

219

PROTOCOLO DE COMUNICAÇÃO DSP-FPGA. *Felipe R. Silva, Maurício S. Barrios, Fernando G. Moraes* (Instituto de Informática, PUCRS).

Este projeto tem por objetivo criar os módulos de comunicação entre o FPGA e o processador, integrados na placa de prototipação LIRMM. Esta placa contém um processador DSP C40 e dois FPGAs XC4013, com 128Kb cada. Os módulos, *emissão e recepção*, têm como função interligar o processador ao FPGA, de maneira transparente ao projetista. Desta forma, no FPGA teremos três módulos: emissão, recepção e a aplicação, todos descritos em VHDL. Os barramentos de comunicação entre os dois dispositivos é de 8 bits. Assim, o Bloco de Emissão, que recebe do circuito implementado no FPGA (aplicação) uma entrada de dados de 32 bits, emitirá sincronamente ao C40 palavras de 8 bits pelo barramento de comunicação. O circuito implementado no FPGA armazena o resultado do processamento no bloco de emissão, e o envio dos dados é comandado pelo processador. Uma vez terminado o envio de 4 palavras de 8 bits, o bloco de emissão envia um sinal ao circuito, indicando que é possível enviar uma nova palavra de 32 bits. O Bloco de Recepção tem por função disponibilizar ao circuito no FPGA uma palavra de 32 bits. O processador envia a este bloco 4 palavras de 8 bits. O controle deste módulo é responsável pela contagem do número de palavras recebidas, gerência dos sinais de interface com o processador e sinalização ao circuito que há palavra disponível para processamento. Pelo lado do processador, esta comunicação é gerenciada por rotinas descritas em linguagem C, com entrada e saída mapeadas em memória. O procedimento para envio e recepção dos dados pelo processador consiste basicamente em escrever variáveis de 32 bits nos endereços definidos para a comunicação. Este protocolo de comunicação está operacional, permitindo o desenvolvimento de projetos de sistemas digitais envolvendo hardware e software (hardware-software codesign). (CNPq/PUCRS).