

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL
INSTITUTO DE INFORMÁTICA
CURSO DE ENGENHARIA DE COMPUTAÇÃO

EVERTON RECKZIEGEL

**Estudo e aplicação de um fluxo de análise de
trilha de alimentação**

Trabalho de Diplomação.

Prof. Dr. Gilson Inácio Wirth
Orientador

Porto Alegre, dezembro de 2009.

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL

Reitor: Prof. Carlos Alexandre Netto

Vice-Reitor: Prof. Rui Vicente Oppermann

Pró-Reitora de Graduação: Profa. Valquíria Link Bassani

Diretor do Instituto de Informática: Prof. Flávio Rech Wagner

Coordenador do ECP: Prof. Gilson Inácio Wirth

Bibliotecária-Chefe do Instituto de Informática: Beatriz Regina Bastos Haro

SUMÁRIO

LISTA DE ABREVIATURAS E SIGLAS.....	5
LISTA DE FIGURAS.....	6
RESUMO.....	7
ABSTRACT.....	8
1 INTRODUÇÃO	9
1.1 Contexto	9
1.2 Motivação	11
1.3 Objetivos.....	11
1.4 Estrutura do documento	12
2 EMBASAMENTO TEÓRICO.....	13
2.1 Encapsulamento	13
2.2 Distribuição da alimentação.....	14
2.2.1 Queda de tensão estática.....	14
2.2.2 Queda de tensão dinâmica	15
2.2.3 Eletromigração.....	16
2.3 Capacitâncias de desacoplamento.....	18
2.4 Tipos de análise	18
2.4.1 Análise baseada em atividade média (Análise Estática)	18
2.4.2 Análise baseada em eventos (Análise Dinâmica).....	19
2.5 Modelos de consumo (NLPM, LM View).....	19
2.5.1 Corrente de fuga (<i>Leakage</i>)	19
2.5.2 Corrente de chaveamento	19
2.5.3 Corrente de curto-circuito.....	19
2.5.4 LM View	20
3 FLUXO DE DESENVOLVIMENTO DO PROJETO FÍSICO	21
3.1 Design_init_design: Floor Planning	22
3.2 Design_preroute: Power Planning	22
3.3 Design_placed_opt: Posicionamento	23
3.4 Design_clock_opt: Síntese da árvore de relógio.....	23
3.5 Design_routed_opt: Roteamento.....	23
3.6 Design: Finalização do projeto.....	23
4 REVISÃO BIBLIOGRÁFICA E ESTADO DA ARTE	24
4.1 Modelos de célula	24
4.1.1 Modelos de célula ao nível de porta.....	24
4.1.2 Modelos de célula ao nível de transistor.....	25
4.2 Mapeamento de ruído a priori	25
4.3 Ferramentas Comerciais	25
4.3.1 Apache RedHawk	25
4.3.2 Cadence Encounter Power System.....	26
4.3.3 Magma Quartz™ Rail	26

4.3.4	Mentor Olympus-SoC™	26
4.3.5	Synopsys PrimeRail	26
5	CONCEPÇÃO GERAL	28
5.1	Análise de consumo médio	28
5.2	Análise dinâmica	28
6	CONCEPÇÃO DETALHADA	30
6.1	Cadeia de análise de consumo médio por bloco	30
6.1.1	Preparação da base de dados	31
6.1.2	Preparação para as <i>Hard Macros</i>	31
6.1.3	Rail Setup	32
6.1.4	Verificação da base de dados e do design	32
6.1.5	Extração da trilha de alimentação	33
6.1.6	Análise de consumo	33
6.1.7	Análise da trilha de alimentação	35
6.1.8	Visualização dos resultados	35
6.2	Cadeia de análise dinâmica por bloco	36
6.2.1	Preparação para <i>Hard Macros</i>	36
6.2.2	Caracterização dinâmica para Standard Cells	39
6.2.3	Análise de consumo	42
6.2.4	Análise da trilha de alimentação	43
6.3	Metodologia escolhida	43
6.4	Integração das cadeias no fluxo de desenvolvimento	43
6.4.1	Verificação da base de dados e do projeto	43
6.4.2	Análise da trilha de alimentação	44
6.5	Resultados das análises para o bloco Modulo 1	45
6.5.1	Verificação da base de dados e do projeto	45
6.5.2	Análise da trilha de alimentação	47
7	CONCLUSÕES	50
8	REFERÊNCIAS	51
9	GLOSSÁRIO	54

LISTA DE ABREVIATURAS E SIGLAS

ASCII	American Standard Code for Information Interchange
ASIC	Application-Specific Integrated Circuit
BCS	Bull Coherent Switch
BGA	Ball Grid Array
CCS	Composite Current Source
CSM	Current Source-based Model
DWM	Dynamic Waveform Model
EDA	Electronic Design Automation
HDL	Hardware Description Language
IC	Integrated Circuit
MIS	Multiple-Input-Switching
MOS	Metal-Oxide-Semiconductor
MTTF	Mean Time To Failure
NLPM	Non-Linear Power Model
NSCM	Non-Switching-Cell Model
PR	PrimeRail
RC	Resistor Capacitor
SCM	Switching-Cell Model
SDC	Synopsys® Design Constraints
SIS	Single-Input-Switching
SoC	System-on-Chip
RTL	Register Transfer Level
SSN	Simultaneous Switching Noise
UDSM	Ultra Deep Sub-Micron
VCD	Value Change Dump
VCR	Voltage Controlled Resistor
VLSI	Very Large Scale Integration

LISTA DE FIGURAS

Figura 1.1: Fluxo de desenvolvimento <i>standard cell</i>	10
Figura 2.1: Encapsulamento Flip Chip BGA típico (visão seccionada)	13
Figura 2.2: Variação na linha de alimentação	15
Figura 2.3: Forças atuantes nos átomos provocando eletromigração.....	16
Figura 2.4: <i>Hillocks</i> e lacunas no metal	17
Figura 2.6: Formação de um curto-circuito.....	17
Figura 2.7: Correntes de consumo de um inversor	20
Figura 3.1: Fluxo do projeto físico do BCS.....	21
Figura 3.2: <i>Floorplan</i> do projeto BCS	22
Figura 6.1: Etapas da análise de consumo médio por bloco	30
Figura 6.2: Exemplo de arquivo CSF	32
Figura 6.3: Circuito lógico representando dois caminhos	34
Figura 6.4: Representação de Timing Window.....	34
Figura 6.5: Etapas da análise de consumo dinâmico por bloco.....	36
Figura 6.6: Fluxo de análise de <i>hard macros</i> através do modelo DWM.....	37
Figura 6.7: As três etapas da análise de consumo das <i>hard macros</i>	38
Figura 6.8: As três etapas da análise de consumo das <i>hard macros</i> de forma detalhada	39
Figura 6.9: Curva representando o consumo de uma NAND	40
Figura 6.10: Representação dos parasitas internos de uma NAND	40
Figura 6.11: Circuitos usados para o cálculo dos parasitas internos da célula	40
Figura 6.12: Mecanismo utilizado para medir o consumo da célula	41
Figura 6.13: Curva representando o consumo da célula.....	41
Figura 6.14: Forma de medir a corrente de fuga.....	42
Figura 6.15: Arquivo ASCII com resultados de uma medida de consumo.....	42
Figura 6.16: Etapa onde será feita a análise da base de dados e do projeto	44
Figura 6.17: Etapa onde será feita a análise da trilha de alimentação	45
Figura 6.18: Resultado da verificação do arquivo de tecnologia	46
Figura 6.19: Resultado da verificação dos dados das macros	46
Figura 6.20: Resultado da verificação lógica	47
Figura 6.21: Resultado da queda de tensão estática do bloco Modulo 1	47
Figura 6.22: Mapa da queda de tensão estática do bloco Modulo 1.....	48
Figura 6.23: Resultado da análise de EM sobre o bloco Modulo 1.....	49
Figura 6.24: Resultado de EM sobre o bloco Modulo 1 apresentando violações.....	49
Figura 8.1: <i>Toogle rate</i>	55

RESUMO

Tecnologias sub-100nm têm visto um incremento em questões relativas à confiabilidade e integridade de sinais. O aumento da densidade dos transistores, o aumento da frequência de operação, a redução das dimensões do *chip* têm contribuído para o aumento na probabilidade de ocorrência de quedas de tensão e de eletromigração. Quedas de tensão afetam a temporização do circuito podendo causar falhas funcionais. A eletromigração pode provocar defeitos físicos em dispositivos semicondutores.

O principal objetivo deste trabalho é o desenvolvimento de um fluxo capaz de analisar e detectar falhas causadas por queda de tensão e eletromigração antes do *tape-out*. O fluxo criado é inserido em um fluxo de desenvolvimento *standard cell* utilizado pela indústria. A análise de um projeto ASIC de 90 nm é realizada e os resultados são apresentados.

Palavras-Chave: microeletrônica, circuitos integrados, standard cells, análise de potência, confiabilidade, queda de tensão, eletromigração.

Study and application of a Rail analysis flow

ABSTRACT

Sub-100nm CMOS technologies have seen an increase in reliability and signal integrity issues. The increase in transistor density, the higher operation frequencies, the reduction of *chip* dimensions have contributed to the increasing probability of voltage drop and electromigration. Voltage drop affects timing and may cause functional failures. Electromigration can lead to physical failures in semiconductor devices.

The main goal of this work is the development of an analysis flow capable of detect electromigration and voltage drop failures before the *tape-out*. The new flow is integrated into a physical design flow. The analysis of a 90 nm ASIC design is done and results are presented.

Keywords: microelectronics, integrated circuits, standard cells, power analysis, reliability, voltage drop, eletromigration.

1 INTRODUÇÃO

1.1 Contexto

A miniturização dos transistores e as melhorias no processo de fabricação de circuitos integrados têm permitido um grande crescimento da indústria de microeletrônica. Com a redução do tamanho dos transistores eles também se tornam mais rápidos, consomem menos potência e são mais baratos para fabricar. Esta sinergia tem revolucionado não só a eletrônica, mas também a sociedade como um todo (WESTE, et al., 2004).

No desenvolvimento de circuitos integrados, podem ser utilizados principalmente dois métodos: *full-custom* e *semicustom*. No método *full-custom* algumas ou todas as células lógicas e máscaras são customizadas para o projeto. Desta forma os projetistas têm a possibilidade de incluir circuitos analógicos, células de memória otimizadas ou estruturas mecânicas no circuito integrado. Além disso, possuem um excelente desempenho em termos de área, frequência de operação, consumo. Circuitos deste tipo são os mais caros para projetar e fabricar, sendo utilizados basicamente em alguns componentes padrões como memórias e microprocessadores. No método *semicustom* as células lógicas já estão prontas sendo necessário realizar as interconexões entre elas a fim de obter o circuito desejado. Isso é feito através de ferramentas de CAD, que na área de microeletrônica também são chamadas de EDA. Essa forma de projeto reduz em muito o tempo de projeto e o custo de desenvolvimento, garantindo uma boa relação entre simplicidade, *time-to-market* e desempenho (SMITH, 2008).

A tecnologia *standard cell* é um tipo ASIC *semicustom*. Sua metodologia baseia-se em uma biblioteca de células projetadas pelo fornecedor usando o método *full-custom*. Cada célula da biblioteca é caracterizada com relação a consumo, atraso, interface de entrada e saída, capacitância de entrada. Um projeto baseado nessa tecnologia pode ser dividido em projeto lógico e projeto físico, como pode ser observado na Figura 1.1.

O fluxo de *standard cells* começa pela definição da interface de mais alto nível do circuito e o diagrama de blocos. Hierarquicamente o projeto é decomposto em unidades até atingir os nós folhas (metodologia *top-down*). A lógica então é especificada utilizando uma Linguagem de Descrição de Hardware (HDL), que provê um nível mais alto de abstração que o esquemático ou o leiaute (WESTE, et al., 2004). O mapeamento tecnológico é realizado: um bloco do circuito, que realiza certa funcionalidade, é mapeado para uma célula da biblioteca com a mesma funcionalidade, e assim segue até todo circuito ser representado por células. O mapeamento é normalmente feito de forma a se reduzir a área ocupada pelo circuito.

A primeira etapa do projeto físico é chamada de *floorplan*. O posicionamento dos diversos módulos do circuito e o planejamento das trilhas de alimentação são realizados nesta etapa. Com as áreas de cada módulo definidas, as células são posicionadas em cada um dos blocos (*placement*). O planejamento dos sinais de relógio que controlam os registradores é feito, e finalmente o leiaute das interconexões que ligam as células em cada módulo são definidos pelo roteador (*routing*). Em cada uma das etapas, é possível retornar à etapa anterior caso o resultado produzido não esteja satisfatório para a continuação do projeto. Após a etapa de roteamento a extração dos parasitas da rede de interconexões pode ser feita, obtendo-se atrasos precisos. Os valores calculados são comparados com as restrições de projeto e, se não são satisfatórios, uma nova iteração sobre o fluxo do projeto físico será realizada. A extração dos parasitas da rede de interconexões permite uma análise precisa da potência do circuito. A potência consumida pelo circuito tem se tornado uma restrição de primeira ordem no projeto de circuitos integrados. A Figura 1.1 ilustra as etapas de um projeto ASIC *semicustom* do tipo *standard cell*.

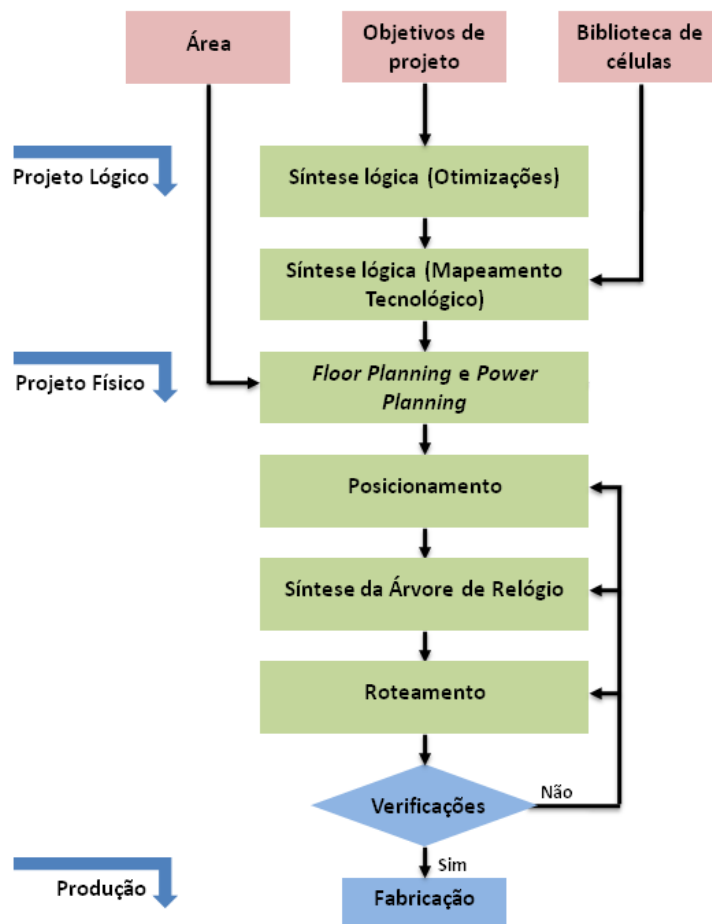


Figura 1.1: Fluxo de desenvolvimento *standard cell*

Depois de o projeto ter sido aprovado pelas verificações ele é enviado para a fábrica, para ser produzido. O processo de fabricação inicia com uma lâmina de silício polida. Sobre essa lâmina são realizados diversos processos físicos e químicos até chegar ao *die* ou *chip*. O *die* é encapsulado, podendo então ser soldado a uma placa de circuito impresso (REIS, 2000).

1.2 Motivação

Circuitos VLSI (Very Large Scale Integration) de tecnologias de 100nm e mais recentes, também conhecidos como tecnologias UDSM (Ultra Deep Sub-Micron) têm visto um incremento em questões relativas à confiabilidade e integridade de sinais. Com a redução da tecnologia (de 130nm para 90nm por ex.), reduz-se também tensão de alimentação e em consequência a margem de ruído. Isso torna o circuito mais suscetível a violações de *glitches* e aumentos na probabilidade de falha (CULAU, 2009). Tecnologias mais recentes também possuem uma quantidade maior de transistores por área, que associadas com frequências mais altas de operação, significam um aumento no consumo e demanda de corrente, provocando maiores quedas de tensão. O resultado é a redução na tensão de alimentação ou o incremento na tensão de referência.

O comportamento de células alimentadas por linhas de alimentação com ruído é diferente de células alimentadas com as tensões nominais. A diferença é que, se a célula é alimentada por uma tensão reduzida, ela funciona de forma mais lenta. Esses efeitos fazem com que o respeito às restrições temporais se torne uma tarefa ainda mais árdua. A variação da tensão de alimentação também reduz o desempenho do circuito, podendo provocar falhas funcionais

O aumento na quantidade de transistores por área, o aumento na frequência de operação tem feito com que a quantidade de corrente atravessando as linhas de alimentação aumente também. O aumento significativo da demanda por corrente tem incrementado a densidade de corrente encontrada nas trilhas de alimentação, tornando os circuitos mais suscetíveis a falhas por eletromigração. O fenômeno da eletromigração é causado por uma densidade excessiva de corrente na linha de alimentação. Essa densidade de corrente excessiva pode causar o rompimento da linha ou o curto-circuito entre linhas de alimentação adjacentes¹, o que inviabiliza o funcionamento do circuito. Uma solução rápida para este problema seria o alargamento de todas as trilhas de alimentação, porém, isso provocaria um grande incremento na área do projeto. É necessário, portanto, outra abordagem do problema, onde possíveis pontos de falha sejam detectados e corrigidos durante a fase de projeto.

1.3 Objetivos

O objetivo do trabalho é realizar uma pesquisa bibliográfica, estudar as ferramentas existentes no mercado e criar um fluxo de análise de trilha de alimentação utilizando uma das ferramentas. Este fluxo deverá ser capaz de prever possíveis ocorrências de eletromigração e/ou queda de tensão durante o projeto físico. Detectando a ocorrência de um dos fenômenos, pode-se retornar a uma das etapas anteriores do desenvolvimento do projeto, efetuar alterações necessárias, finalizar o projeto e produzir um circuito integrado confiável.

O trabalho está sendo desenvolvido como parte do projeto do circuito BCS na equipe de projeto físico da empresa Bull, tradicional empresa francesa na área de informática trabalhando em três domínios fundamentais: servidores, infra-estruturas aplicáveis e segurança. O circuito BCS utiliza tecnologia de 90 nm e tem como

¹ Nesse caso está se referindo apenas a circuitos digitais. Em circuitos analógicos a eletromigração pode ocorrer também nas interconexões de sinais (LIENIG, 2006).

funcionalidade conectar processadores e memórias de servidores MESCA produzidos pela empresa.

1.4 Estrutura do documento

O trabalho inicia com uma visão geral sobre o assunto e uma revisão da literatura, desenvolvido no próximo capítulo. O capítulo seguinte apresenta um fluxo de desenvolvimento de projeto físico utilizado pela indústria. O quarto capítulo mostra o estado da arte e pesquisas correlatas. Os capítulos cinco e seis são de desenvolvimento do projeto proposto, com escolhas feitas e os resultados obtidos. Os pontos importantes são resumidos e comentados no capítulo sete.

2 EMBASAMENTO TEÓRICO

Esta seção tem por objetivo apresentar alguns aspectos teóricos relativos ao trabalho realizado. A compreensão destes itens é importante para uma boa compreensão dos próximos capítulos.

2.1 Encapsulamento

O encapsulamento do *chip* é responsável por prover uma conexão mecânica e elétrica entre o *chip* e a placa de circuito impresso sobre a qual ele será fixado. Não é mais possível separar o projeto de um circuito integrado de alto desempenho do seu encapsulamento (WESTE, et al., 2004).

Atualmente existem diversas opções de encapsulamento disponíveis no mercado. Cada uma apresenta características diferentes: número de pinos de entrada e saída, capacidade para dissipar o calor produzido no *die*, forma de conexão com a placa de circuito impresso. Uma das tecnologias mais utilizadas em projetos que requerem uma grande quantidade de pinos de entrada e saída e uma grande banda passante é a tecnologia Flip Chip BGA. A representação de um encapsulamento que usa essa tecnologia está representada na Figura 2.1.

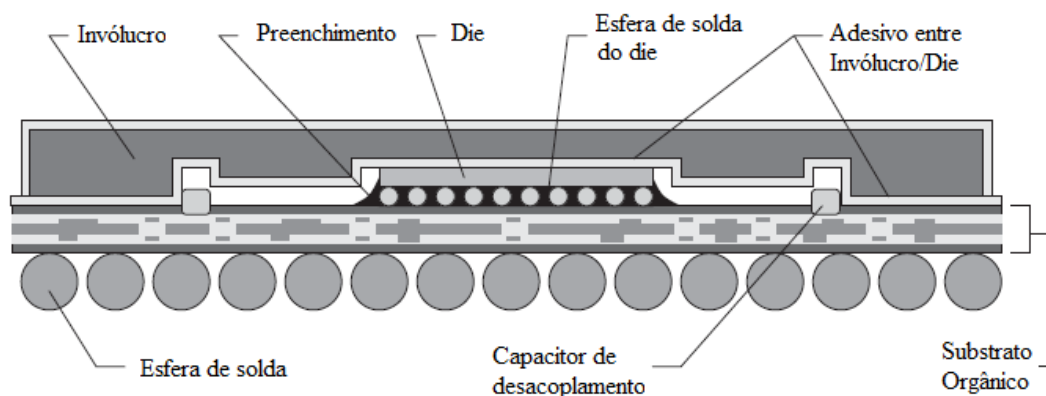


Figura 2.1: Encapsulamento Flip Chip BGA típico (visão seccionada) (TEXAS INSTRUMENTS, 2005)

O termo Flip Chip indica que o *die* é invertido e as conexões são realizadas diretamente no encapsulamento, sem a necessidade de fios. Isso é possível graças aos pontos ou esferas de solda que são posicionados na parte superior do *die*. Os pontos de solda são chamados de *bumps* em inglês. Esse mesmo termo é utilizado para designar

um tipo especial de célula responsável por levar a corrente dos pontos de solda ao interior do *die*, nas linhas de metal superiores. Entre os benefícios desta tecnologia pode-se citar:

- Redução da indutância, possibilitando a operação em frequências mais altas;
- Suporte a uma quantidade maior de pinos;
- Melhoria na qualidade da distribuição de corrente provendo maior habilidade para reduzir quedas de tensão.

2.2 Distribuição da alimentação

O sistema de distribuição de alimentação provê as tensões nominais e de referência de fora do circuito para cada dispositivo MOS (VOLTAGE, 2008). O sistema consiste nas linhas de alimentação do *chip*, do encapsulamento e da placa de circuito impresso. Em um sistema de distribuição de alimentação ideal a tensão fornecida às células deveria ser estável, mantendo-se próximo da tensão nominal. Um sistema ideal deveria ser capaz de atender a demanda de corrente média e de picos de corrente. Um sistema ideal não sofre falhas em decorrência de altas densidades de corrente ou sobreaquecimento (WESTE, et al., 2004).

A natureza resistiva dos fios presentes no *chip* e as indutâncias do encapsulamento fazem com que seja difícil alcançar o ponto ideal. Por exemplo, a corrente DC média fornecida para um microprocessador de 100 Watts de potência, tensão nominal de 1 Volt é de 100 Ampères. O pico de corrente pode facilmente ser o dobro desse valor, e a demanda de corrente pode facilmente mudar de zero para o valor de pico em um tempo muito pequeno, como 1 nanosegundo (RABAEY, et al., 2003).

O grande número de blocos funcionais, a redução das geometrias dos circuitos e o aumento da frequência de operação requerida pelas novas aplicações estão entre as causas principais de ruídos e falhas na rede de alimentação. Os principais ruídos da rede de alimentação são a queda de tensão estática e dinâmica. A falha na rede de alimentação é chamada de eletromigração.

A palavra “estático” é usada com diferentes significados nas diferentes partes de projetos eletrônicos. Na área de queda de tensão, estático se refere à análise que é feita usando fontes de corrente com valores médios ao longo do tempo, onde os efeitos de capacitância e de indutância são ignorados. Na análise temporal, análise estática significa propagar todos os caminhos de sinais para encontrar o maior atraso, sem utilizar nenhum vetor de entrada. Análise dinâmica significa realizar uma simulação utilizando vetores específicos, com atrasos reais e observando que a saída está correta (VOLTAGE, 2008).

2.2.1 Queda de tensão estática

A queda de tensão estática está baseada em um consumo médio das células através do tempo. Com relação aos parasitas da rede de alimentação, ela leva em conta somente os elementos resistivos. A corrente atravessa os elementos resistivos da rede de alimentação resultando em uma redução na tensão. Células que são alimentadas por uma tensão inferior a nominal consomem menos, porém trabalham de forma mais lenta, afetando a temporização do circuito. A queda de tensão estática é influenciada pelo tipo

de material utilizado na rede de alimentação, pelo consumo das células e pelas resistências da trilha de alimentação.

A equação abaixo representa a queda de tensão estática:

$$V_{DD}' = V_{DD} - I_{AVG} \cdot R$$

A corrente média que flui através do circuito vezes a resistência da linha de alimentação é subtraída de V_{DD} (tensão nominal da alimentação). O resultado disso é V_{DD}' que é a tensão efetiva sobre a célula ou transistor. Uma equação dual pode ser criada para representar o efeito na tensão de referência (GND).

2.2.2 Queda de tensão dinâmica

A queda de tensão dinâmica realiza a análise que focando não apenas nos efeitos resistivos da rede de alimentação, mas também nos efeitos indutivos e capacitivos. A demanda por corrente nas células não é sempre a mesma ao longo do tempo, ela é variável no tempo. O consumo de uma célula se divide em estático e dinâmico (assunto visto mais em detalhes na seção 2.5). O consumo dinâmico pode ser compreendido como variações na demanda de corrente durante um curto intervalo de tempo. A variação de corrente produz quedas de tensão sobre indutores parasitas presentes no circuito. Indutores parasitas se encontram entre o encapsulamento e o *die* e nas próprias trilhas de alimentação. Os capacitores presentes no circuito e no encapsulamento, parasitas ou não, atuam como atenuadores de flutuações de corrente. Eles são capazes de armazenar energia e fornecê-la quando acontecem os picos de demanda de corrente.

O aumento na frequência de operação dos circuitos, requerido pelas novas aplicações que exigem alto desempenho (microprocessadores e aplicações móveis por ex.), tem incrementado os transientes de corrente. O aumento da densidade dos transistores tem contribuído da mesma forma no aumento dos picos de corrente. Fazendo com que o efeito indutivo não seja mais um fenômeno negligenciável em tecnologias UDSM.

A Figura 2.2 apresenta a flutuação da tensão de alimentação em um circuito.

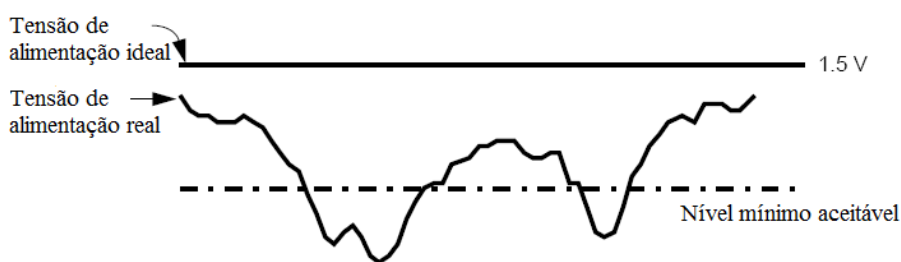


Figura 2.2: Variação na linha de alimentação (SYNOPTIS, 2007-f)

A queda de tensão dinâmica é um fenômeno variante no tempo representado pela equação abaixo:

$$V_{DD}' = V_{DD} - i(t) \cdot R - L \cdot \frac{\partial i}{\partial t}$$

A equação contém uma queda indutiva variante no tempo e uma queda resistiva variante no tempo, resultado do efeito de chaveamento. Da mesma forma que o caso

estático, uma equação dual pode ser criada para representar o efeito na tensão de referência (GND).

Diversas metodologias estão disponíveis atualmente para resolver problemas de queda de tensão. A utilização de linhas de alimentação mais largas reduz a resistência dos fios, amenizando o fator IR da equação. A inserção de capacitâncias de desacoplamento reduz flutuações na linha de alimentação, reduzindo o efeito indutivo da queda de tensão. Uma utilização mais densa de pinos de alimentação ao longo do *die* ajuda a reduzir a distância média entre o pino e a célula, reduzindo efeitos resistivos e indutivos.

2.2.3 Eletromigração

O fenômeno da eletromigração é caracterizado pelo deslocamento de átomos de um condutor causado pela passagem da corrente elétrica.

Quando a corrente elétrica passa por um fio, existe uma interação entre os elétrons em movimento e os íons do metal. Essa interação está exemplificada na Figura 2.3. A figura mostra um fio condutor de alumínio com elétrons em movimento. A interação entre os elétrons em movimento produz duas forças sobre as partículas de alumínio: F_{wind} e F_{field} . F_{field} é a força elétrica criada pelo campo elétrico dos elétrons em movimento. F_{wind} é causado pela transferência de momento entre os elétrons e os íons de alumínio.

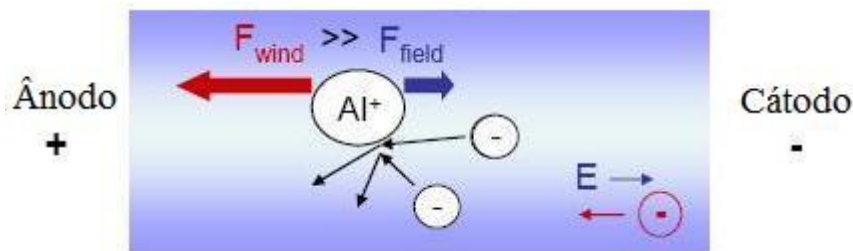


Figura 2.3: Forças atuantes nos átomos provocando eletromigração (LIENIG, 2006)

As interconexões de cobre ou alumínio de um circuito eletrônico são policristalinas. Isso quer dizer que a estrutura é formada por grãos de cristais de construção idêntica, mas com orientações diferentes. Em uma estrutura cristalina homogênea, a transferência de momento é praticamente nula entre os elétrons e os íons do metal por causa da sua estrutura uniforme.

Em função da transferência de momento, os átomos são forçados a seguir a direção do fluxo dos elétrons. Portanto, depois de algum tempo, os átomos do cobre e do alumínio serão acumulados na fronteira dos grãos, formando assim os chamados *hillocks*. Ao mesmo tempo, lacunas são criadas nos espaços antes ocupados pelos íons que foram movidos (Figura 2.4). Os *hillocks* podem conectar metais adjacentes gerando curto-circuito. As lacunas podem reduzir o fluxo de corrente em algumas regiões particulares.

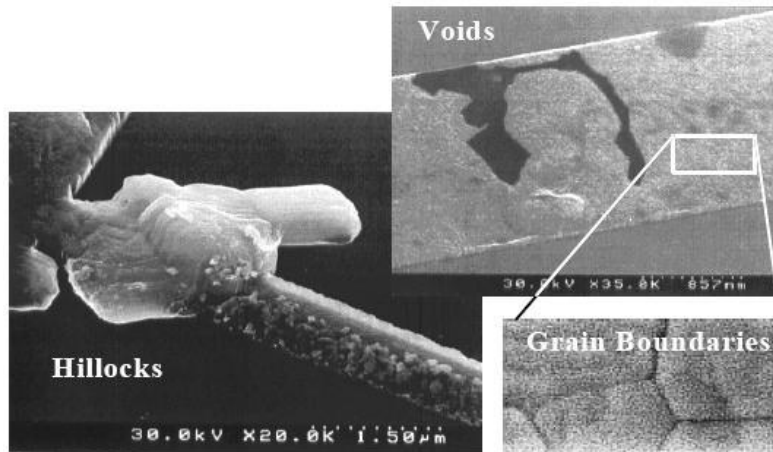


Figura 2.4: *Hillocks* e lacunas no metal (LIENIG, 2006)

A Figura 2.5 ilustra o deslocamento de uma quantidade significativa de íons do metal na direção do metal adjacente. Essa é a formação de um curto-circuito.

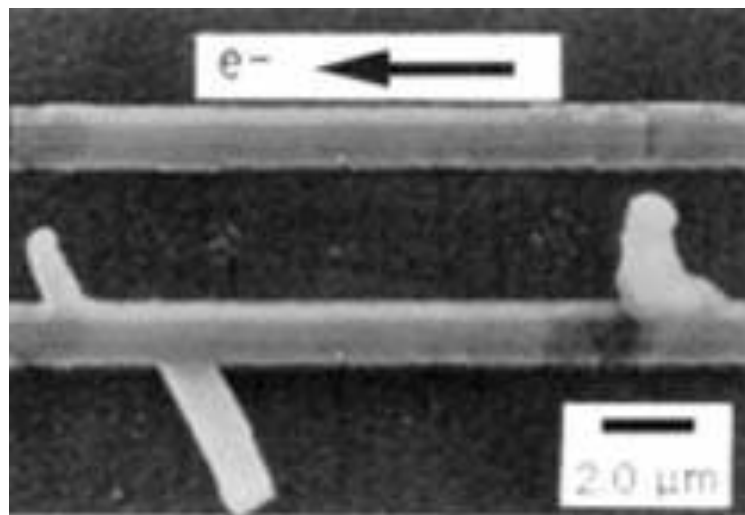


Figura 2.5: Formação de um curto-circuito (W. D. Nix, et al., 1992)

O físico J. R. Black desenvolveu um modelo para estimar o tempo médio para falha, *Mean Time To Failure* (MTTF), de um fio, levando em conta a eletromigração (BLACK, 1969):

$$MTTF = \frac{A}{J^n} \cdot \exp\left(\frac{E_a}{k \cdot T}\right)$$

A: Área da secção do metal

J: Densidade de corrente

E_a : Energia de ativação

k: Constante de Boltzmann (constante física fundamental)

T: Temperatura

n: Fator (normalmente igual a dois)

Observando a fórmula fica claro que, para um mesmo material, os dois fatores decisivos são a densidade de corrente e a temperatura. Materiais de cobre suportam cinco vezes mais densidade de corrente que o alumínio em função de sua maior energia de ativação.

2.3 Capacitâncias de desacoplamento

O capacitor é um dispositivo eletrônico capaz de armazenar e fornecer energia elétrica. Quando conectado em paralelo com uma fonte de alimentação e um circuito integrado, ele atua como um capacitor de desacoplamento. Considerando um caso onde a fonte é capaz de fornecer corrente suficiente para o circuito com uma tensão constante, o capacitor se encontra carregado. Caso o circuito tenha uma demanda grande de corrente em um curtíssimo espaço de tempo, o capacitor é capaz de suprir essa demanda mantendo a tensão (V_{DD} e GND) sobre os três dispositivos estável. Passado o pico de corrente a fonte recarrega o capacitor e o circuito volta ao seu estado original.

Capacitores de desacoplamento ajudam a regular a tensão de alimentação, reduzindo o ruído da linha de alimentação. Eles podem ser posicionados dentro do *chip*, no interior do encapsulamento e na placa de circuito impresso.

A fim de evitar quedas de tensão fora do *chip*, esses capacitores deveriam ser colocados em cada pino de alimentação, estabilizando a tensão de alimentação vista pelo circuito integrado e separando a indutância do encapsulamento (*bonding-wire*) da indutância da interconexão da placa. Em circuitos de alta frequência, está se tornando uma prática comum a integração de capacitores de desacoplamento dentro do chip, o que garante a tensão de alimentação mais limpa. Capacitores de desacoplamento no interior do circuito integrado reduzem picos de corrente para seu valor médio. Esse capacitor é tipicamente construído usando um óxido de gate fino. Um capacitor de óxido fino é um transistor MOS (Metal-Oxide-Semiconductor) cujo dreno e fonte estão conectados (RABAEY, et al., 2003).

2.4 Tipos de análise

A forma mais precisa de calcular o consumo de uma célula em um projeto é realizar uma simulação do circuito usando a ferramenta Spice e monitorar as formas de onda nos pinos de alimentação. Em função do tempo de simulação de um circuito digital de tamanho considerável ser muito grande, esse método se torna inviável. A fim de reduzir o tempo de análise pode-se caracterizar o consumo de células individualmente na presença de eventos de transição de entrada. Existem basicamente duas formas distintas de realizar a análise de potência de um circuito: análise dinâmica e análise estática.

2.4.1 Análise baseada em atividade média (Análise Estática)

Análise baseada em informação de atividade média utiliza um arquivo SAIF ou outra informação de variação estática do circuito para calcular o consumo médio de eventos ocorridos nas células do circuito. Para cada tabela da biblioteca cada evento

possível é considerado. A probabilidade de cada evento é estimada e a contribuição de cada evento para o consumo médio da célula é calculado. Nesse tipo de análise o desempenho tem prioridade maior do que a precisão.

2.4.2 Análise baseada em eventos (Análise Dinâmica)

Análises baseadas em evento utilizam um arquivo VCD ou outra informação de atividade de transição dinâmica para identificar os eventos ocorridos nas células do circuito. Para cada evento a energia correspondente é obtida a partir de dados da biblioteca e a forma de onda da corrente consumida é construída. Para esse tipo de análise a precisão é o critério mais importante.

2.5 Modelos de consumo (NLPM, LM View)

O consumo de uma célula é dividido em três partes: corrente de fuga (*leakage*), corrente de chaveamento e corrente de curto-circuito (Figura 2.6). A corrente de fuga é responsável pelo consumo estático do circuito. As correntes de curto-circuito e de chaveamento são responsáveis pelo consumo dinâmico do circuito, no sentido de aparecerem quando existe uma transição de sinal de entrada ou de saída.

Historicamente o consumo dinâmico é bem superior ao consumo estático, portanto o consumo estático era frequentemente ignorado. Porém, isto está mudando e as correntes de fuga têm ganhado uma grande importância em tecnologias mais recentes, especialmente em aplicações móveis.

2.5.1 Corrente de fuga (*Leakage*)

Quando a tensão da porta de um transistor é menor que o V_{th} , existe uma corrente entre a fonte e o dreno. Essa corrente é chamada de corrente de *subthreshold*. A corrente de fuga da porta que flui entre a porta e a fonte ou entre a porta e o dreno é chamada de *gate leakage*.

A corrente de fuga é dependente dos estados de entrada e também da tensão de alimentação.

2.5.2 Corrente de chaveamento

É a energia consumida quando existe uma mudança de estado na saída da célula: carga da capacitância da saída. Esse consumo é calculado com a seguinte fórmula:

$$P_{sw} = \frac{1}{2} \cdot C_{saída} \cdot V_{dd}^2 \cdot f$$

A capacitância da saída ($C_{saída}$) é a capacitância do fio mais a capacitância de entrada das células de carga.

Observando a fórmula acima percebemos que o consumo do chaveamento é dependente da capacitância de saída, da alimentação e da frequência do sinal (f).

2.5.3 Corrente de curto-circuito

Quando a saída de uma célula muda de valor (0->1 ou 1->0) existe um curto instante de tempo onde os dois transistores conduzem corrente, portanto, existe uma conexão entre o V_{dd} e o GND. Quanto maior o tempo de transição do sinal de entrada, maior o consumo de curto-circuito.

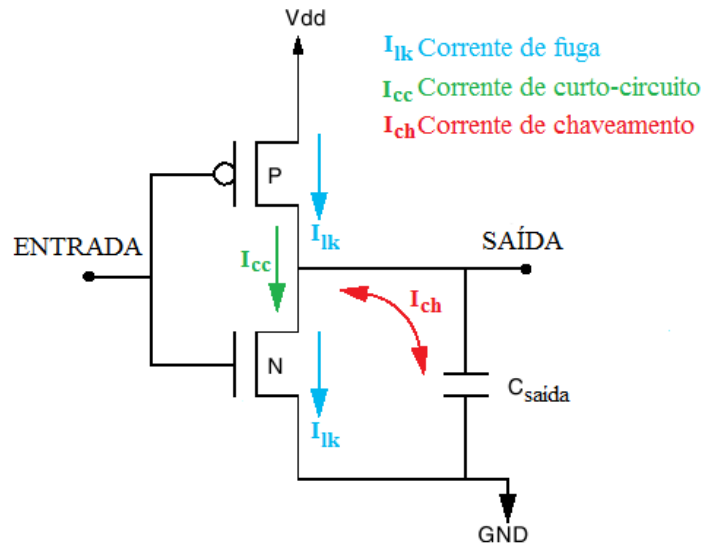


Figura 2.6: Correntes de consumo de um inversor

O modelo de consumo NLPM (Non Linear Power Model) possui os valores de consumo de *leakage*, chaveamento e curto-circuito, com relação aos seguintes parâmetros: V_{DD} , $C_{saída}$, f e estado da entrada. Portanto, para ser capaz de calcular o consumo de uma célula, deve-se encontrar esses parâmetros e ter a caracterização NLPM da biblioteca em questão.

2.5.4 LM View

LM View é o local da base de dados Synopsys que contém informações temporais e de consumo da biblioteca de células. A biblioteca utilizada neste projeto foi fornecida pelo próprio fabricante e possui todas as células caracterizadas segundo o modelo NLPM. Normalmente a caracterização NLPM é feita variando os parâmetros PVT (Processo, Tensão de alimentação, Temperatura).

Avago forneceu três arquivos com a caracterização de consumo de todas *standard cell* e *hard macro*. Cada arquivo corresponde a uma condição de operação: melhor caso, caso típico, pior caso. O melhor, típico e piores casos são com relação ao tempo:

- Melhor caso: baixa temperatura (0° C), caso nominal de processo, alta tensão de alimentação (1.26 V)
- Caso típico: temperatura nominal (25° C), caso nominal de processo, tensão nominal (1.2 V)
- Pior caso: alta temperatura (125° C), caso nominal de processo, baixa tensão de alimentação (1.08 V)

3 FLUXO DE DESENVOLVIMENTO DO PROJETO FÍSICO

O projeto BCS utiliza tecnologia 90 nm, tensão de alimentação 1,2 Volts e o encapsulamento utiliza tecnologia Flip-chip BGA. Outras características físicas do circuito são listadas abaixo:

- Consumo: de 80 a 85 Watts
- 1900 pinos, com distância de 1 mm entre eles. (50 % dos pinos são de alimentação)
- Die: 18 mm x 18 mm
- Número de transistores: 200 milhões
- Frequência: 400 MHz e local 800 MHz

O fluxo de desenvolvimento *standard cell* do projeto físico do circuito BCS está mostrado na Figura 3.1.

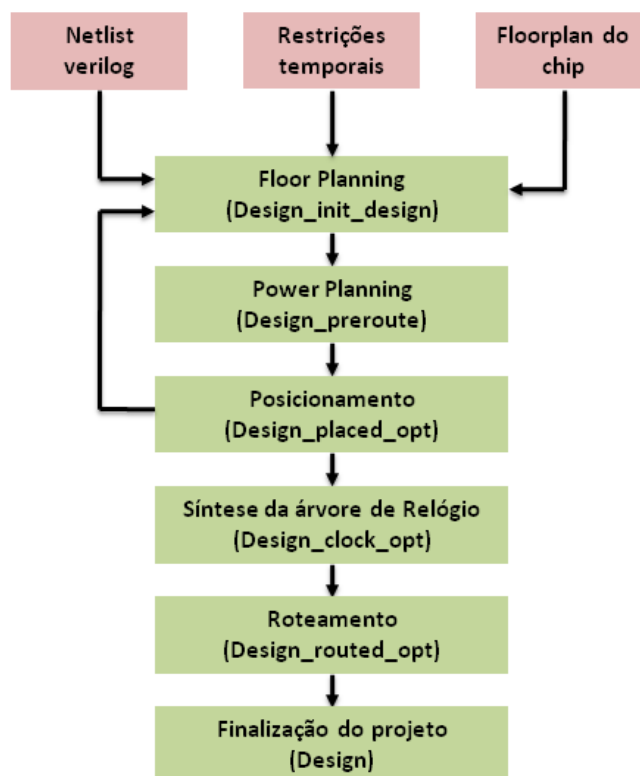


Figura 3.1: Fluxo do projeto físico do BCS

A seta à esquerda do fluxo saindo da etapa de posicionamento em direção ao *floorplan*, indica que, se na etapa de posicionamento os resultados temporais não estão satisfatórios, é possível retornar ao início e alterar o *floorplan*.

3.1 Design_init_design: Floor Planning

O *floorplan* consiste de um posicionamento de macros e de pinos do projeto. A posição de cada pino é definida com relação ao *floorplan* do *chip*, levando em consideração também a posição de outros blocos e de conexões correspondentes. A distribuição dos diversos módulos/blocos do projeto BCS está na Figura 3.2.

As restrições temporais incluem o *fanout* máximo autorizado, a capacidade máxima aceita na saída das células e o tempo máximo de transição dos sinais. Encontram-se também exceções temporais, como falsos caminhos.

O *init_design* é a criação do projeto a partir da netlist verilog, das restrições temporais e do *floorplan*. A base de dados Milkyway do projeto é então criada, com todas as *hard macros* corretamente posicionadas e as *standard cells* posicionadas de forma aleatória.

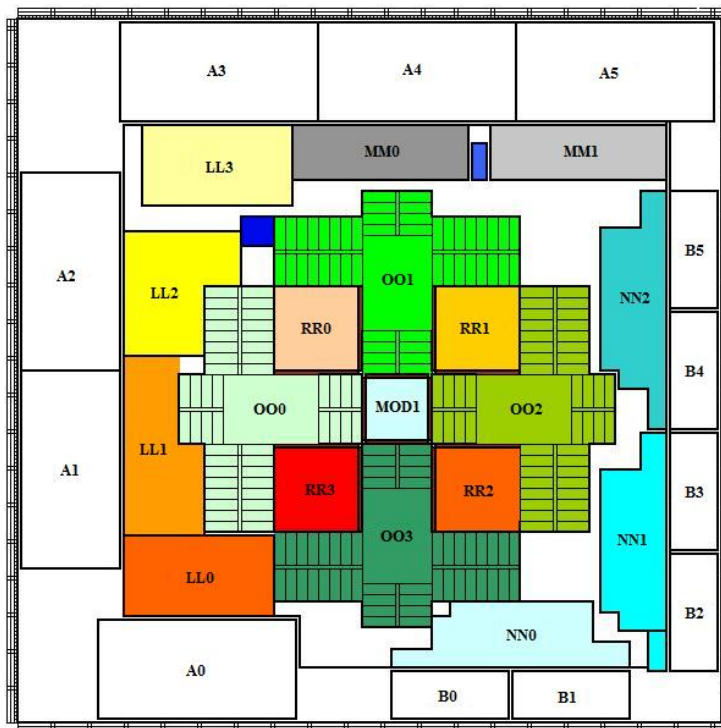


Figura 3.2: *Floorplan* do projeto BCS (Fonte: criado pela equipe de desenvolvimento)

3.2 Design_preroute: Power Planning

Concluída a etapa de *Floor Planning*, as trilhas de alimentação são roteadas para conectar corretamente todas as *hard macros* ao VDD e GND. Utilizam-se os níveis de metal de dois a oito para as trilhas de alimentação.

3.3 Design_placed_opt: Posicionamento

Esta etapa permite o posicionamento final das standard cells. Após diversas iterações encontra-se um posicionamento que respeite as requisições temporais. Nesta etapa, o roteamento é virtual: as conexões não existem no nível físico do design, porém são estimadas levando em conta as camadas de metal ou ainda das vias. O roteamento virtual permite calcular a folga temporal de cada caminho.

3.4 Design_clock_opt: Síntese da árvore de relógio

Esta etapa envolve a criação das árvores de relógio no projeto: síntese, posicionamento, roteamento e otimização. Um exemplo de otimização é a inserção de buffers para melhorar o *clock skew*.

3.5 Design_routed_opt: Roteamento

Na fase de roteamento, o roteamento dos sinais que antes era virtual torna-se real e os erros de DRC podem ser detectados e tratados.

3.6 Design: Finalização do projeto

A finalização do projeto consiste na inserção de capacitâncias de desacoplamento e/ou de células de preenchimento nas zonas insuficientemente densas. Capacitâncias de desacoplamento servirão para reduzir o ruído das linhas de alimentação, os picos de corrente, conseqüentemente as quedas de tensão serão reduzidas e a qualidade dos sinais será melhor. Zonas insuficientemente densas do projeto podem fazer com que a espessura do *die* fique irregular, por esse motivo elas são preenchidas com células de preenchimento.

4 REVISÃO BIBLIOGRÁFICA E ESTADO DA ARTE

Diversos artigos foram estudados a respeito de distribuição de alimentação, queda de tensão e eletromigração. Este capítulo mostra o estado da arte nesses assuntos, bem como as diversas ferramentas existentes no mercado.

4.1 Modelos de célula

Historicamente as análises de potência, de tempo e de ruído se baseavam em modelos lógicos de alto nível. Atualmente a indústria de EDA tem evoluído para uma caracterização a nível físico das células da biblioteca, obtendo-se uma precisão muito maior sem comprometer a eficiência (FELDMANN, *et al.*, 2008).

4.1.1 Modelos de célula ao nível de porta

A modelagem de células ao nível de porta utiliza um modelo de fonte de corrente, *Current Source Model* (CSM), para representar a corrente que flui pela porta CMOS correspondente a cada evento de entrada. Através de resistores controlados por tensão, *Voltage Controlled Resistors* (VCR), as células da biblioteca são então caracterizadas para cada pico de queda de tensão.

O modelo de fonte de corrente (*Current Source Model* - CSM) consiste de dois modelos: *Non-Switching-Cell Model* (NSCM) e *Switching-Cell Model* (SCM). NSCM é o modelo que substitui células da biblioteca que não chaveiam suas entradas. SCM é o modelo utilizado para as células da biblioteca *standard-cell* que chaveia(m) sua(s) entrada(s). O modelo NSCM representa a célula através de uma capacitância de desacoplamento. O modelo SCM utiliza uma fonte de corrente e um resistor controlado por tensão como representação física da célula que chaveia suas entradas.

Quando apenas uma das entradas da célula varia seu estado, tem-se uma transição simples, também chamada de *Single-Input-Switching* (SIS). Sua modelização é simples, pois gera apenas uma forma de onda de corrente no tempo. Múltiplas entradas variando ao mesmo tempo são também chamadas de *Multiple-Input-Switching* (MIS). É um tipo de transição onde duas ou mais portas de entrada trocam de estado ao mesmo tempo. Dessa forma tem-se uma sobreposição de ondas de corrente. Múltiplas transições de entrada eram negligenciadas no passado.

Através dos resistores controlados por tensão (VCR), as células são caracterizadas para cada pico de queda de tensão, com limites de 0 a 300 mV, o que torna o modelo independente do contexto da grade de alimentação e utilizável para análise em implementações alternativas de redes de alimentação (HARIZI, *et al.*, 2007).

4.1.2 Modelos de célula ao nível de transistor

Um bom modelo de células deveria ser independente da forma de onda da entrada e da carga de saída, fácil de caracterizar e não incrementando a complexidade de uma biblioteca de células com *look-up tables* de grandes dimensões. Ao mesmo tempo, ele deveria prover uma boa precisão comparada com uma simulação Spice em todos os cenários de análise incluindo variações múltiplas na entrada (MIS). Ele também deveria ser facilmente estendido para uso em STA estatístico e análises de ruído, e capaz de fazer simulações rápidas o suficiente para uso prático em projetos de milhões de portas.

O uso de nível de transistor para construir modelos de célula se origina na alta precisão obtida na representação de suas células. Neste método, cada transistor é substituído pelo seu equivalente FXM (*Fast Transistor Model*) da topologia de transistor da célula. Com este modelo, a corrente drenada da alimentação durante a transição pode ser modelada de forma muito precisa. A caracterização é rápida, pois somente um transistor da biblioteca de células precisa ser caracterizado, ao invés de todas as células na modelização ao nível de porta (RAJA, 2008).

4.2 Mapeamento de ruído a priori

Nesta seção é descrita uma forma diferente de analisar a queda de tensão dinâmica. O método consiste na previsão do efeito temporal causado por ruído na trilha de alimentação através da substituição de células nominais por células ruidosas.

O fluxo executa uma re-caracterização das células da biblioteca *standard-cell* utilizando diferentes condições de ruído na fonte de alimentação. As células re-caracterizadas são agrupadas gerando uma biblioteca ruidosa que deve ser utilizada no mapeamento do projeto. Uma análise temporal estática é realizada, coletando informações sobre caminhos críticos. Essas informações são comparadas com resultados nominais e usados para estimar o efeito ruidoso da trilha de alimentação na temporização do projeto antes que ele entre na fase de projeto físico (CULAU, 2009).

Este tipo de metodologia fornece uma boa visão sobre como a rede de alimentação deve ser construída. Isso reduz o número de iterações do projeto físico, reduzindo o tempo de projeto.

4.3 Ferramentas Comerciais

Atualmente existem diversas ferramentas disponíveis no mercado que realizam análises de trilha de alimentação. Elas são fornecidas por diferentes fabricantes e por isso cada uma possui suas particularidades e características.

4.3.1 Apache RedHawk

RedHawk é uma plataforma para verificação de potência, ruído e confiabilidade em projetos *System-on-Chip* (SoC) complexos. A solução inclui os seguintes produtos: RedHawk-NX, RedHawk-ALP, RedHawk-PSI e RedHawk-SEM. RedHawk-NX é a próxima geração de análise dinâmica *full-chip*. A ferramenta permite otimização e prototipação em estágios anteriores do fluxo, análise do impacto temporal da queda de tensão dinâmica, identificação de fraquezas no projeto físico e modificações na origem da fonte de ruído.

A análise dinâmica considera os elementos resistivos, indutivos e capacitivos da rede de alimentação do chip e do encapsulamento. A ferramenta considera também a corrente dinâmica drenada por chaveamentos simultâneos das saídas e cargas capacitivas presentes no projeto. Através de uma caracterização integrada ao nível de transistor, ela pode analisar precisamente o impacto temporal de SSN, capacitâncias, indutâncias do chip, do encapsulamento e de parasitas do sistema em SoCs de alto desempenho.

RedHawk-SEM é a solução para verificação de eletromigração, incluindo suporte a EM média, RMS e picos de corrente. Ela suporta checagem da rede de sinais entre células e intra-célula (macros). Quando operando em redes intra-celulares, a ferramenta fornece análises de violações por eletromigração no nível de transistor (APACHE, 2009).

4.3.2 Cadence Encounter Power System

Encounter Power System fornece a equipe de projetistas uma completa e precisa visão da distribuição da alimentação, da queda IR, eletromigração nas linhas de alimentação, eletromigração nos sinais (sobreaquecimento de fios), *leakage*, análise térmica e de ruído.

Projetistas de *floor planning* e *power planning* podem usar Encounter Power System para prototipar seus posicionamentos de entradas/saídas, posicionamento de macros, e a estrutura de alimentação mais cedo no projeto. A ferramenta ajuda os projetistas a identificar áreas de grande potência dinâmica causadas por chaveamentos simultâneos, e podem fornecer otimização automática de capacitâncias de desacoplamento necessárias para contornar as violações de quedas de tensão dinâmica (CADENCE, 2009).

4.3.3 Magma Quartz™ Rail

Magma desenvolveu Quartz Rail, incluindo a análise de queda de tensão e o atraso que ela provoca. Enquanto que as ferramentas de análise de queda de tensão geralmente operam em ambientes diferentes das ferramentas de implementação, Quartz Rail pode ser integrado no fluxo de projeto RTL-para-GDSII das ferramentas Magma. Quartz Rail provê caracterização *on-the-fly* para capturar as formas de onda de corrente durante o chaveamento e informações de capacitâncias de desacoplamento usando um mecanismo SPICE. Essa funcionalidade pode aumentar a precisão da análise da queda de tensão dinâmica (MAGMA, 2007).

4.3.4 Mentor Olympus-SoC™

Olympus-SoC™ é uma ferramenta de posicionamento e roteamento que acelera a integridade de sinais e incrementa a confiabilidade do silício manufaturado. A capacidade de *multi-corner*, multi-modo da análise estática de Olympus concorrentemente calcula o atraso e o *glitch* em qualquer cenário de modo e *corner*. A análise *multi-corner*, multi-modo permite ao projetista verificar problemas de confiabilidade como atraso de *crossstalk*, *glitches*, potência, e eletromigração reduzindo o tempo de finalização do projeto (MENTOR, 2007).

4.3.5 Synopsys PrimeRail

Construído sobre produtos consolidados na indústria de EDA PrimeTime® SI e StarRC™, PrimeRail oferece grande precisão, análise estática e dinâmica *full-chip* SoC

para acelerar o fechamento do projeto. Com um tempo de execução muito mais rápido, a análise estática pode ser freqüentemente usada durante o processo de implementação física. Isso possibilita projetistas a facilmente encontrar e corrigir violações como conexões de vias inadequadas, regiões não conectadas a trilha de alimentação, ou reduzir o tamanho das trilhas de alimentação. PrimeRail oferece suporte a análise dinâmica baseada em vetores e livre de vetores.

PrimeRail oferece única e flexível capacidade *Dynamic White-box Modeling* (DWM) para fornecer modelos de *macros* compactas, de alta precisão baseados em parasitas a nível de transistor e simulação de circuitos. A análise “*what if*” permite trabalhar o compromisso entre *leakage* e queda de tensão durante o processo de implementação do projeto. (SYNOSPSYS, 2008-a)

5 CONCEPÇÃO GERAL

Neste capítulo apresenta-se uma visão geral de cada uma das formas de análise dos circuitos: a análise de consumo médio e a análise dinâmica. A análise de consumo médio é mais rápida e simples de ser executada.

A análise dinâmica leva em conta mais informações para encontrar possíveis irregularidades na construção do projeto. Dessa forma ela é bem mais elaborada para ser implementada e demanda um tempo muito maior para executar. Por outro lado ganha-se muito mais precisão e pode-se encontrar irregularidades que o primeiro tipo de análise não é capaz de detectar.

5.1 Análise de consumo médio

A análise de consumo médio leva em conta as resistências das trilhas de alimentação e o consumo médio de cada célula.

As etapas da análise de consumo médio são:

- Extração da trilha de alimentação (extração R)
- Extração dos sinais (extração RC)
- Cálculo da atividade de mudança dos sinais do circuito
- Cálculo do consumo médio de cada célula
- Simulação do circuito

A extração dos sinais e da atividade de mudança dos sinais serve para calcular o consumo médio de cada célula. Ao final da análise, é feita a simulação do circuito gerado.

Para determinar se ocorreu uma violação por eletromigração basta encontrar a corrente que atravessa cada metal e cada via. Se essa corrente ultrapassa o limite especificado, existe uma violação.

5.2 Análise dinâmica

O objetivo da análise dinâmica é o de encontrar o pior caso de queda de tensão e eletromigração.

As etapas de análise de consumo dinâmico são:

- Extração da trilha de alimentação (extração RC)

- Extração dos sinais (extração RC)
- Curvas de consumo de cada célula por evento e pela capacitância de carga do circuito
- Simulação do circuito

A extração dos sinais do circuito serve para escolher a curva de consumo correta de cada célula e também a latência de cada caminho.

A simulação desse circuito utiliza um arquivo VCD com vetores de entrada. Quanto maior a atividade do circuito, melhor é o arquivo VCD. Dessa forma ele será mais próximo do pior caso de consumo e provavelmente do pior caso da queda de tensão e eletromigração.

6 CONCEPÇÃO DETALHADA

Este capítulo apresenta o desenvolvimento do trabalho. No capítulo anterior os dois tipos de análise de trilha de alimentação foram apresentados brevemente, de forma introdutória. Neste capítulo, cada uma das etapas do fluxo será detalhada, com a descrição do que é feito em cada uma delas e as informações que são geradas ou utilizadas.

6.1 Cadeia de análise de consumo médio por bloco

As etapas da análise de consumo médio por bloco estão descritas na Figura 6.1, sendo que a etapa de Verificação da base de dados e do Projeto é opcional.

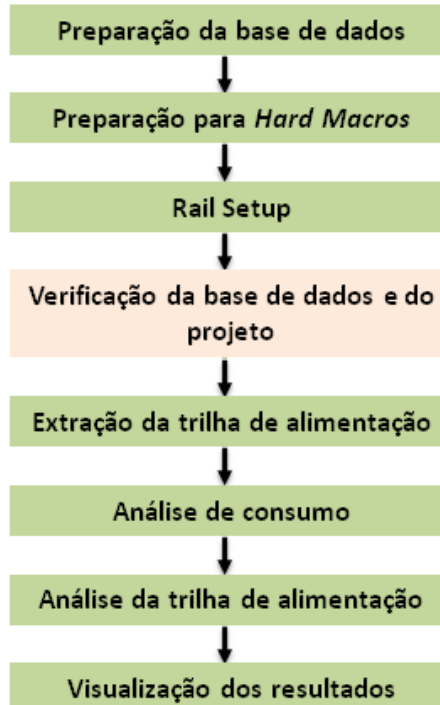


Figura 6.1: Etapas da análise de consumo médio por bloco

6.1.1 Preparação da base de dados

Antes de iniciar a execução dos fluxos no PrimeRail é necessária a geração de alguns dados com relação ao projeto utilizando o programa ICC (Synopsys IC Compiler).

Os arquivos gerados são os seguintes:

- Arquivo com a árvore de clock do design: `{cell}.sdc`
- Netlist Verilog: `{cell}.v`
- Parasitas de sinal (formato SPEF, min e max corner): `{cell}.spef.max` et `{cell}.spef.min`
- `synopsys_pr_setup`

No arquivo `synopsys_pr_setup` encontramos as seguintes informações:

- Condições de operação
- PVT para a extração dos parasitas
- Localização do arquivos TLUPlus
- Localização e nomes das bibliotecas lógicas (LM View : arquivos .db).

Todos os arquivos gerados pelo programa ICC nesta etapa são gravados no diretório `synopsys_rail_setup_{cell}`. Esses arquivos são posteriormente lidos e gravados na base de dados Milkyway.

6.1.2 Preparação para as *Hard Macros*

1) poConnViewPreparation

Nesta etapa é realizada a extração da trilha de alimentação das *hard macros*, que é chamada então de CONN View (Connectivity View) das *hard macros*. Este comando também cria o CSF (Current Source File). O arquivo CSF é do tipo ASCII e contém a localização de fontes de corrente na trilha de alimentação.

Na célula SRAM são utilizados quatro níveis de metal para a alimentação. Nas regiões onde existem vias conectando os níveis um e dois de metal, o consumo é maior porque elas estão mais próximas dos transistores. Portanto as fontes de corrente são geradas para nos locais de Via12.

Na Figura 6.2 encontra-se um exemplo de arquivo CSF para a trilha de alimentação VDD da célula SRAM `hard_macro_04_Module3`. O numero -1 na primeira coluna

indica a Via12, os dois números seguintes indicam a posição XY da fonte de corrente no *layout* e o 1.0 é o valor da fonte de corrente.

```

*****
* Current Source Report
* Cell Master Name   : asdrfsokt2p8x73cm1sw0_llxh
* Net Name           : VDD
* Length Precision   : 1000
* Supply Voltage     : 0 V
* Power Consumption  : 0.000000e+00 W
* Equivalent Current  : 0.000000e+00 A
* Current Source Count : 5488
*****
-1 3675 4235 1.0
-1 3675 3955 1.0
-1 8155 4235 1.0
-1 8155 3955 1.0
-1 12635 4235 1.0
-1 12635 3955 1.0
..
.
```

Figura 6.2: Exemplo de arquivo CSF

6.1.3 Rail Setup

- 1) poPurgeRail
- 2) poLoadRailSetup

O RAIL View é a parte da base de dados Milkyway onde é gravada uma grande parte das informações durante a análise da trilha de alimentação. A fim de iniciar o fluxo é necessário garantir que não existam informações de análises anteriores. Para isso é utilizado o comando poPurgeRail.

O comando poLoadRailSetup carrega as seguintes informações: localização e nomes de arquivos (TLU+, LM View), corner parasita e condições de operação.

6.1.4 Verificação da base de dados e do design

Antes de iniciar a análise de consumo e a análise da queda de tensão, é importante garantir que o design foi bem criado. Para tanto existe o fluxo de verificação do projeto:

- 1) poCheckDesignDB
- 2) poCheckPGNetlist
- 3) poRailChecking

O primeiro comando verifica se o arquivo de tecnologia está correto (unidades e características de cada camada), se as *soft macros* e os *hard macros* do projeto possuem

as informações necessárias para realizar a análise de consumo e a análise de queda de tensão. Os dados para as *soft macros* são: CEL View, FRAM View. Os dados importantes para as *hard macros* são: CEL View, FRAM View, CONN View e CSF.

O Segundo comando (verificação lógica) verifica quatro aspectos:

- Se existe um pino VDD conectado a um sinal ou um VSS.
- Se existe um pino VSS conectado a um sinal ou um VDD.
- Se a alimentação de cada célula está bem conectada a alimentação do nível mais elevado.
- Se existe uma porta de alimentação sem valor associado.

O terceiro comando (verificação física) verifica se cada instância está conectada aos pinos de alimentação e de sinais. Ele também verifica metais ou vias não conectados (chamados de *floating geometries*).

6.1.5 Extração da trilha de alimentação

Nesta etapa é realizada a extração da trilha de alimentação. As informações necessárias para a extração foram geradas no início do fluxo através da ferramenta ICC.

O arquivo de tecnologia pode ser usado na extração de resistências parasitas que são necessárias para o fluxo de consumo médio. Porém, quando a extração das capacitâncias parasitas é efetuada utiliza-se o arquivo TLU+. Em ambos os fluxos, a extração de resistências e capacitâncias é realizada.

Com relação ao corner parasita, geralmente é utilizado o pior caso disponível (P=1, V=1,26, T=125° C).

6.1.6 Análise de consumo

- 1) poCreatePTPXScript
- 2) poCallPTPX
- 3) poTransientPowerAnalysis

As informações que serão utilizadas neste momento são: netlist verilog, arquivo com restrições temporais (SDC), parasitas dos sinais (SPEF), arquivo com as informações de atividade (SAIF, VCD).

Com a netlist verilog, a informação de atividade (se disponível) e o arquivo de restrições temporais ele vai encontrar a atividade de mudança de cada sinal do circuito com relação ao período do relógio (*toggle rate*). Ele faz isso utilizando o método de simulação sem atraso (*zero-delay method*). Esse método não leva em conta o atraso das células. Se o arquivo com as informações de atividade não está disponível, ele utiliza uma entrada padrão e o método mencionado para encontrar a atividade de sinal de todo o circuito. Se a informação de atividade não está completa ele utiliza o mesmo método.

Portanto, as informações seguintes: atividade de mudança (*toggle rate*), tempo de transição, parasitas do sinal e LM View permitem calcular o consumo absoluto da célula por evento.

6.1.6.1 Timing Window

Na Figura 6.3 encontra-se um circuito com dois Flip-flops, uma porta And, três circuitos combinacionais. O caminho um compreende a saída do primeiro Flip-flop até a saída da porta And e ele possui uma latência de três nano segundos. O caminho dois compreende a saída do Segundo flip-flop até a saída da porta And e possui uma latência de cinco nano segundos.

O circuito também mostra dois eventos independentes: o evento 1 representado por vermelho e o evento dois representado por azul. Para o primeiro evento (vermelho), o sinal muda de 1 para 0 no caminho um e permanece em 1 no caminho dois. Para o segundo evento (azul), o sinal permanece estável em um no caminho um, mas muda de 1 para 0 no caminho dois (Figura 6.3).

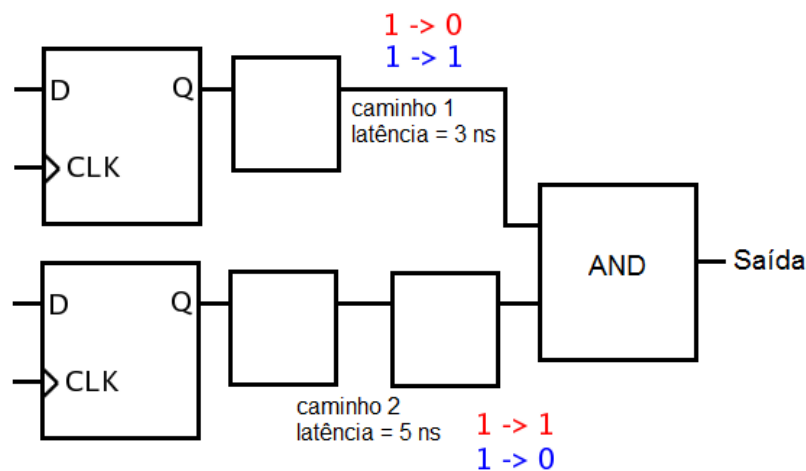


Figura 6.3: Circuito lógico representando dois caminhos

No primeiro evento, a saída é alterada após três nano segundos da borda de subida do relógio. No segundo evento a saída é alterada após cinco nano segundos da borda de subida do relógio. Portanto a diferença entre o tempo mínimo e o tempo máximo para que o sinal mude é definido como o *timing window* (Figura 6.4).

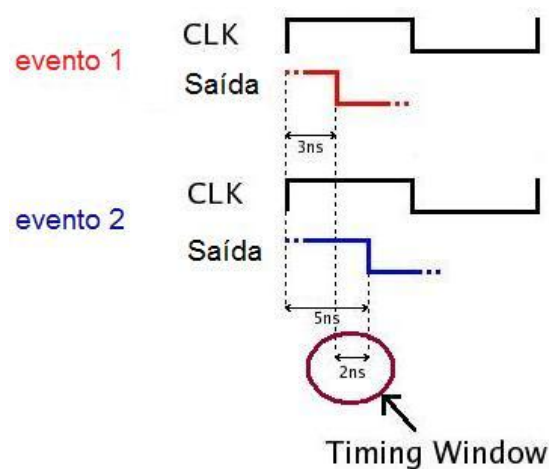


Figura 6.4: Representação de Timing Window

Possuindo o valor de *timing window* de cada evento e o seu consumo absoluto, pode-se encontrar o consumo médio relativo a esse evento utilizando a seguinte fórmula:

$$\text{Consumo médio do evento} = \frac{\text{consumo absoluto} * \text{timing window}}{\text{período do relógio}}$$

A maior parte das células possui mais de uma saída e para cada saída existem dois eventos (borda de subida e borda de descida), sendo assim para encontrar o consumo médio verdadeiro da célula falta adicionar os consumos médios associados a todos os eventos e dividir pelo período do relógio.

$$\text{Consumo médio da célula} = \sum_{i=0}^n \text{Consumo do evento } i$$

O consumo médio de cada célula é gravado na estrutura chamada RAIL View através do terceiro comando desta etapa: `poTransientPowerAnalysis`.

6.1.7 Análise da trilha de alimentação

1) `poRailAnalysis`

De posse dos parasitas da trilha de alimentação, dos parasitas intrínsecos e do consumo médio de cada célula, o comando `poRailAnalysis` é capaz de encontrar a queda de tensão sobre cada uma das células e as correntes que atravessam as trilhas de alimentação.

6.1.8 Visualização dos resultados

Na visualização dos resultados os seguintes arquivos são gerados:

- `${cell}_VSS_EM.txt`: Lista de violações de eletromigração da trilha de alimentação VSS
- `${cell}_VDD_EM.txt`: Lista de violações de eletromigração da trilha de alimentação VDD
- `${cell}_VSS_VD.txt`: Relatório da análise da queda de tensão da trilha de alimentação VSS
- `${cell}_VDD_VD.txt`: Relatório da análise da queda de tensão da trilha de alimentação VDD

6.2 Cadeia de análise dinâmica por bloco

A Figura 6.5 representa as etapas que são realizadas para se completar a análise dinâmica por bloco. Algumas dessas etapas são as mesmas descritas na seção Cadeia de análise de consumo médio por bloco. As quatro etapas marcadas com um quarto de círculo azul à direita são as etapas distintas com relação à outra cadeia e serão explicadas em detalhes nesta seção. A etapa de *Verificação da base de dados e do Projeto* é opcional.

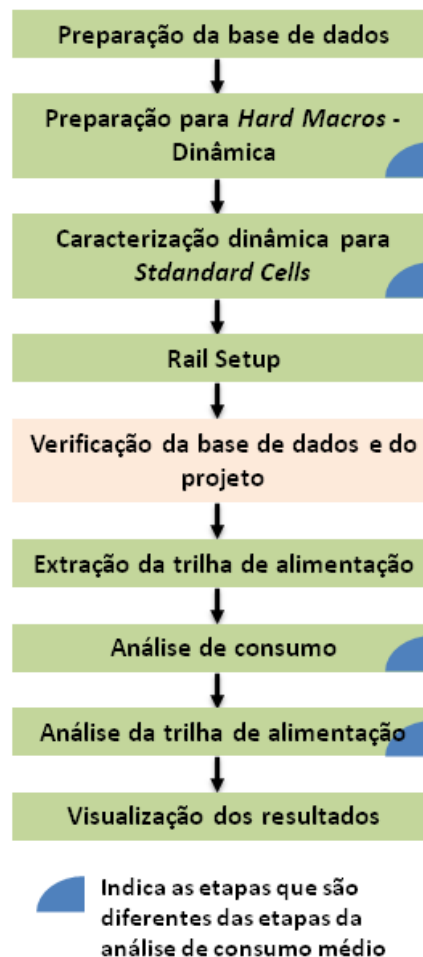


Figura 6.5: Etapas da análise de consumo dinâmico por bloco

6.2.1 Preparação para *Hard Macros*

O objetivo desta etapa é o de extrair informações que serão utilizadas na simulação final do circuito. Essas informações são os parasitas da trilha de alimentação e as curvas de consumo de cada célula. Para cumprir esse objetivo, será utilizado o modelo DWM.

O modelo DWM é uma estrutura de dados Milkyway gravada no Rail view. O modelo contém a corrente dinâmica associada a cada modo de operação da *macro* (leitura, escrita ou estado desativado). Além disso, ele contém a capacitância intrínseca e a capacitância e resistência da trilha de alimentação.

O fluxo utilizado para a criação do modelo DWM das macros está esquematizado na Figura 6.6 e será explicado em seguida.

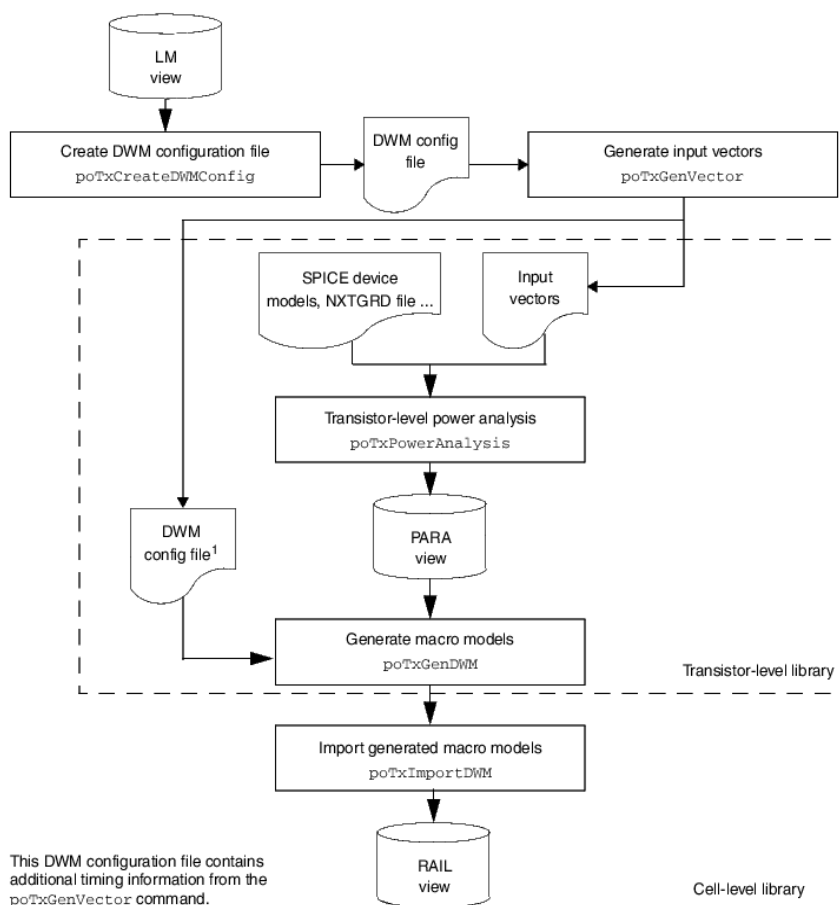


Figura 6.6: Fluxo de análise de *hard macros* através do modelo DWM (SYNOPTSYS, 2008-a)

O comando `poTxCreateDWMConfig` lê a LM View e cria o arquivo DWM Config com os pinos de entrada e saída, alguns modos de operação do circuito e seus respectivos valores de consumo.

O segundo comando copia o último arquivo e anexa os tempos iniciais e finais para cada um dos modos de operação. Esse comando também gera um arquivo com os vetores de entrada para uma simulação NanoSim.

As tarefas efetuadas pelo comando `poTxPowerAnalysis` são três: extração de parasitas, simulação do circuito e importação de resultados na base de dados Milkyway.

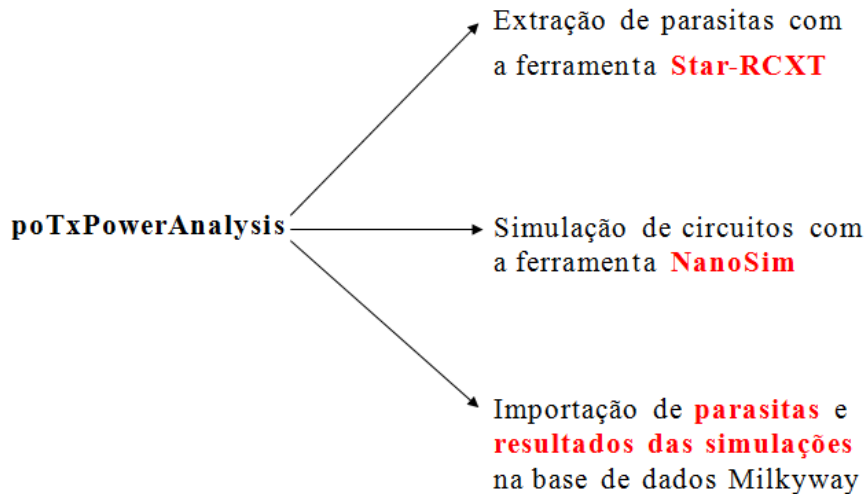


Figura 6.7: As três etapas da análise de consumo das *hard macros*

6.2.1.1 *Hard Macros: Extração de parasitas*

A primeira ação desse comando é chamar a ferramenta Hercules para gerar a conectividade do circuito até o nível de transistor. A conectividade do circuito quer dizer todos os nós e todas as conexões existentes entre esses nós. Conectividade até o nível de transistor significa que além de extrair os diversos níveis de metais existentes, ela enxerga os drenos, as fontes e as portas dos transistores como parte da extração. Eles são chamados de nodos do circuito.

O arquivo *nxtg* contém as informações das capacitâncias e das resistências de todas as camadas de metal utilizados pela tecnologia.

Possuindo o arquivo *nxtg* e as informações de conectividade, Star RC XT é capaz de gerar os arquivos com as informações parasitas. O arquivo SPF que ele gera é um circuito Spice contém o circuito ideal e todos os parasitas de transistor e de sinal. Ele gera ainda um arquivo SPEF com os parasitas da trilha de alimentação.

6.2.1.2 *Hard Macros: Simulação dos circuitos*

As entradas da simulação NanoSim são: os circuitos Spice com os parasitas da trilha de alimentação, sinais e transistores, os vetores de entrada gerados pela etapa anterior e os modelos Spice utilizados nos circuitos.

De posse de todas essas informações, é possível realizar uma simulação do circuito a fim de encontrar as formas de onda do consumo dinâmico. As formas de onda resultantes são semelhantes à mostrada na Figura 6.9.

6.2.1.3 *Hard Macros: Importação de parasitas*

A última etapa consiste em registrar os dados gerados. O comando *poTxPowerAnalysis* grava os resultados da simulação NanoSim (arquivo *.IVEC*) e os parasitas da trilha de alimentação (arquivo *.SPEF*) no diretório PARA da base de dados Milkyway da biblioteca em questão.

A Figura 6.8 mostra os arquivos que são utilizados e gerados em cada etapa da análise transiente das *hard macros*.

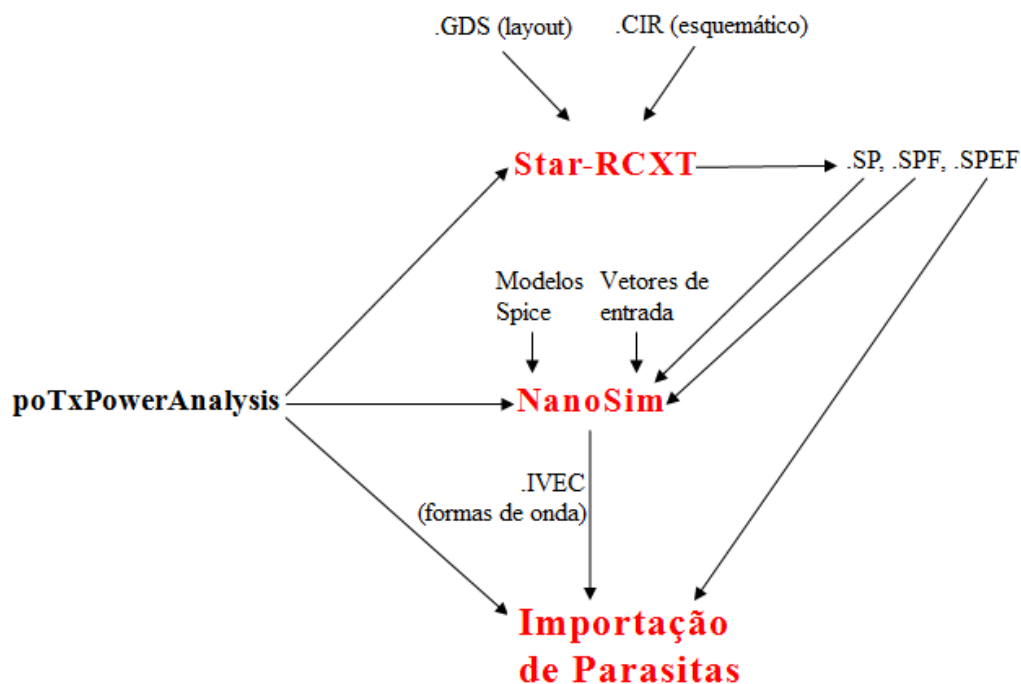


Figura 6.8: As três etapas da análise de consumo das *hard macros* de forma detalhada

A Figura 6.8 mostra os arquivos mais importantes para a compreensão do mecanismo. Existem diversos outros e, entre eles, o arquivo de comando do Star RC XT. Ele possui informações como a localização de alguns arquivos, nome e formato dos arquivos de saída e, sobretudo os parâmetros utilizados na extração.

6.2.2 Caracterização dinâmica para Standard Cells

A caracterização de Standard Cells é bastante semelhante ao modelo de caracterização CCS. Se os modelos CCS já existem na biblioteca, esta etapa não é necessária. A biblioteca de células utilizada não possui a caracterização CCS portanto esta etapa é necessária.

A caracterização dinâmica de *standard cells* tem dois objetivos. O primeiro é o de encontrar a corrente dinâmica associada a cada evento de transição da entrada. A Figura 6.9 mostra a curva de corrente que produzida quando ocorre uma mudança na entrada.

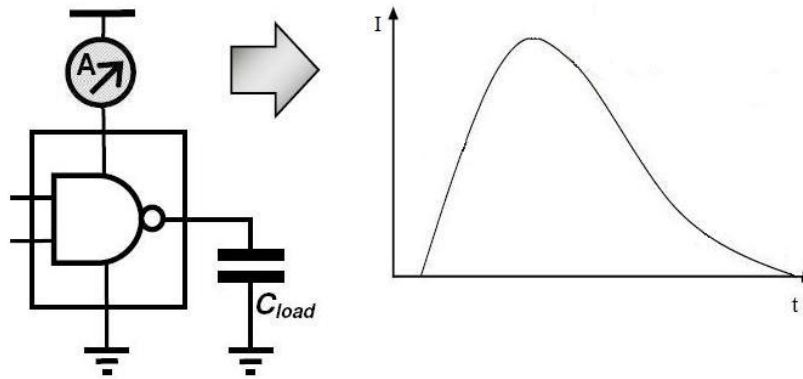


Figura 6.9: Curva representando o consumo de uma NAND (SYNOPTSYS, 2006-b)

O segundo objetivo é o de encontrar a capacitância e a resistência intrínseca da célula, conforme a Figura 6.10.

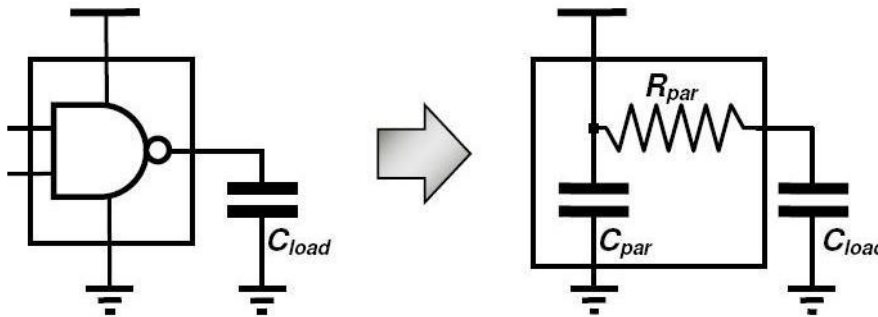


Figura 6.10: Representação dos parasitas internos de uma NAND (SYNOPTSYS, 2006-b)

A Figura 6.11 mostra as simulações realizadas para medir os elementos parasitas. Estas simulações são realizadas para cada estado de entrada e cada pino de saída. Para medir a resistência aplicamos uma diferença de tensão entre o pino de alimentação e a saída. Com a corrente encontrada na resistência e a tensão aplicada calcula-se o valor da resistência.

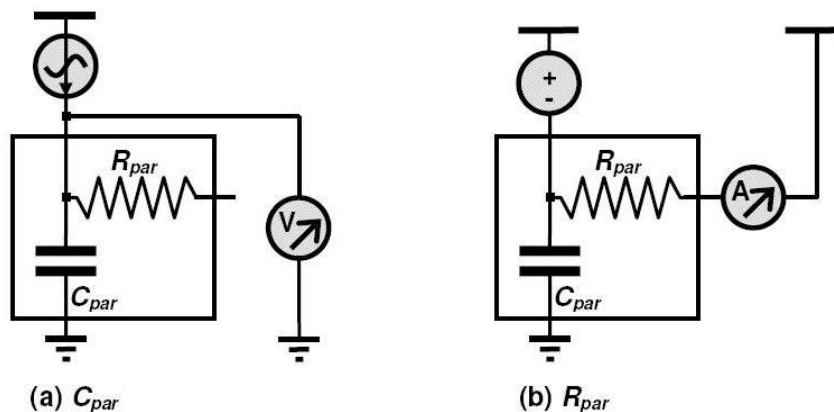


Figura 6.11: Circuitos usados para o cálculo dos parasitas internos da célula (SYNOPTSYS, 2006-b)

O procedimento para medir a corrente dinâmica é o seguinte: varia-se uma das entradas da porta, deixando as outras constantes; mede-se a corrente que atravessa os pinos de alimentação durante o tempo de variação da porta de entrada; esta forma de onda é gravada utilizando uma função linear por partes (Piecewise Linear Format/Function), com cinco pontos. Esse procedimento é realizado variando o tempo de transição (*slew rate*) e a capacitância de carga. A Figura 6.12 ilustra o mecanismo descrito e a Figura 6.13 mostra a curva com a corrente que atravessa o pino de VDD na simulação.

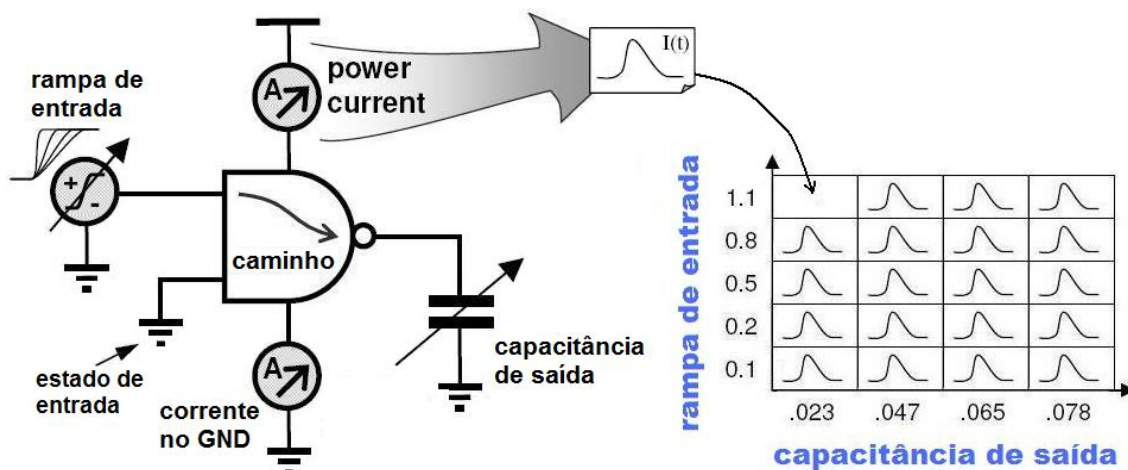


Figura 6.12: Mecanismo utilizado para medir o consumo da célula (SYNOPTSYS, 2006-b)

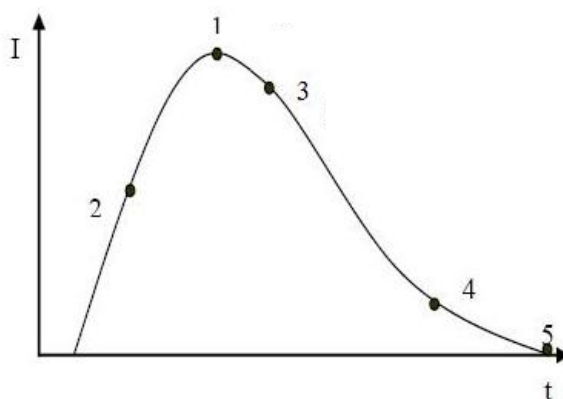


Figura 6.13: Curva representando o consumo da célula (SYNOPTSYS, 2006-b)

As células de preenchimento (*filler cells*) são utilizadas para preencher áreas não suficientemente densas do projeto. Elas possuem capacitâncias internamente que atuam como capacitâncias de desacoplamento. A corrente de fuga deste tipo de células deve ser calculada, conforme mostra a Figura 6.14. Para cada um dos estados de entrada é medida a corrente que passa pelos pinos de alimentação.

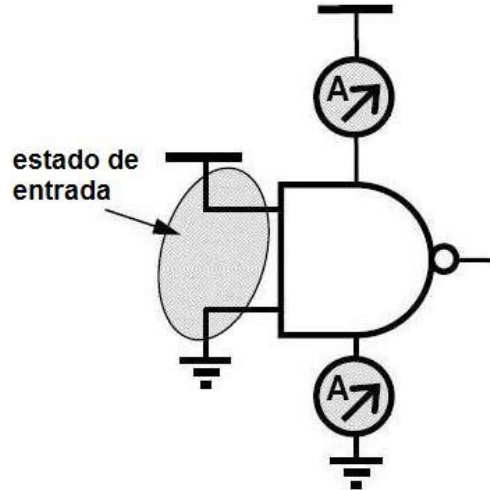


Figura 6.14: Forma de medir a corrente de fuga (SYNOPTSYS, 2006-b)

A fim de ter os resultados gerados pela caracterização, deve-se utilizar o comando `pgDumpCharacterize`. Ele cria um arquivo ASCII com o resultado da caracterização da base de dados Milkyway. Podemos escolher entre: Current Waveform, Gate Intrinsic Parasitic, PM Cell e Filler Cell Leakage.

A Figura 6.15 mostra uma parte do arquivo ASCII gerado pelo `pgDumpCharacterize`, com a opção Current Waveform.

Cap Index	Slew Index	(1) I (Peak)	(2) $\tau(0.5\text{peak})$	(1) $\tau(\text{Peak})$	(3) $\tau(0.9\text{peak})$	(4) $\tau(0.1\text{peak})$	(5) $\tau(\text{end})$	Area
0	0	2.713e-04	1.107e-11	1.721e-11	2.267e-11	3.597e-11	4.539e-11	4.844e-15
0	1	2.545e-04	3.453e-11	5.015e-11	5.163e-11	6.866e-11	7.849e-11	6.752e-15
0	2	2.627e-04	7.083e-11	9.753e-11	1.014e-10	1.322e-10	1.361e-10	1.269e-14
.
1	5	4.017e-04	3.478e-10	4.355e-10	4.487e-10	5.547e-10	5.679e-10	6.758e-14
1	6	3.627e-04	4.192e-10	4.935e-10	5.080e-10	6.240e-10	6.385e-10	7.151e-14

Figura 6.15: Arquivo ASCII com resultados de uma medida de consumo

6.2.3 Análise de consumo

- 1) `poCreatePTPXScript`
- 2) `poCallPTPX`
- 3) `poTransientPowerAnalysis`

Nesta etapa as entradas importantes são: netlist verilog, arquivos de restrição temporal (SDC), parasitas de sinais (SPEF), arquivo com as informações de atividade (VCD).

Com a netlist verilog, a informação de atividade e o arquivo de restrições ele realiza uma simulação do circuito calculando as curvas de consumo de cada célula.

Com o terceiro comando as curvas de consumo de cada célula são gravadas no RAIL View da base de dados Milkyway. Os parasitas intrínsecos a cada célula são gravados também na estrutura RAIL View e anexados a rede de alimentação.

6.2.4 Análise da trilha de alimentação

Com os parasitas da trilha de alimentação, os parasitas intrínsecos e o consumo de cada célula, o comando `poRailAnalysis` é capaz de encontrar a queda de tensão e os valores de corrente nas trilhas de alimentação.

6.3 Metodologia escolhida

A metodologia escolhida para a análise é a hierárquica (ou *bottom-up*). Isso quer dizer que, de início, é feita a análise de cada unidade do projeto (Modulo 1, Modulo 2, Modulo 3, ...) e após a instanciação de todas as unidades, é possível realizar a análise do projeto completo.

As seguintes razões são citadas para justificar a escolha da metodologia hierárquica:

- A síntese do *chip* é feita da mesma maneira: síntese de cada unidade, em seguida é feito o core e o padding e depois o BCS (unidades -> core e padding -> BCS).
- A metodologia hierárquica permite a detecção de problemas de queda de tensão e/ou eletromigração mais cedo, caso existam, e sua correção pode ser feita durante a criação do projeto.
- Quando o design do chip estiver concluído, sua análise levará menos tempo, visto que as extrações dos parasitas e o consumo das células já terão sido computados e armazenados anteriormente.

6.4 Integração das cadeias no fluxo de desenvolvimento

Neste momento os fluxos de análise de consumo médio e dinâmico da trilha de alimentação já foram estudados e desenvolvidos, deve ser feita a sua integração no fluxo de desenvolvimento utilizado no projeto físico de circuitos integrados.

6.4.1 Verificação da base de dados e do projeto

A etapa que foi indicada como opcional em ambos os fluxos apresentados, trata-se de uma etapa que independe das outras. Esta etapa realiza uma função importante dentro do desenvolvimento de circuitos integrados, pois ela é capaz de indicar irregularidades na base de dados e no projeto físico. A verificação física realizada por esse comando informa se cada uma das instâncias está conectada aos pinos de alimentação e dos sinais. Ela também verifica a existência de metais ou vias não conectados (*floating geometries*) e de possíveis vias que faltam.

Quanto mais cedo alguma irregularidade de projeto for detectada melhor. O comando descrito necessita de um projeto com uma base de dados estruturada (o que é feito no *floor planning*) e de que o projeto contenha as trilhas de alimentação posicionadas e conectadas às células, mesmo que estas não estejam ainda em suas posições finais ou com os sinais já roteados. Sendo assim, optou-se por realizar a

verificação da base de dados e do projeto sobre o *Design_preroute*, segunda etapa do projeto físico, onde é feito o *power planning* (Figura 6.16).

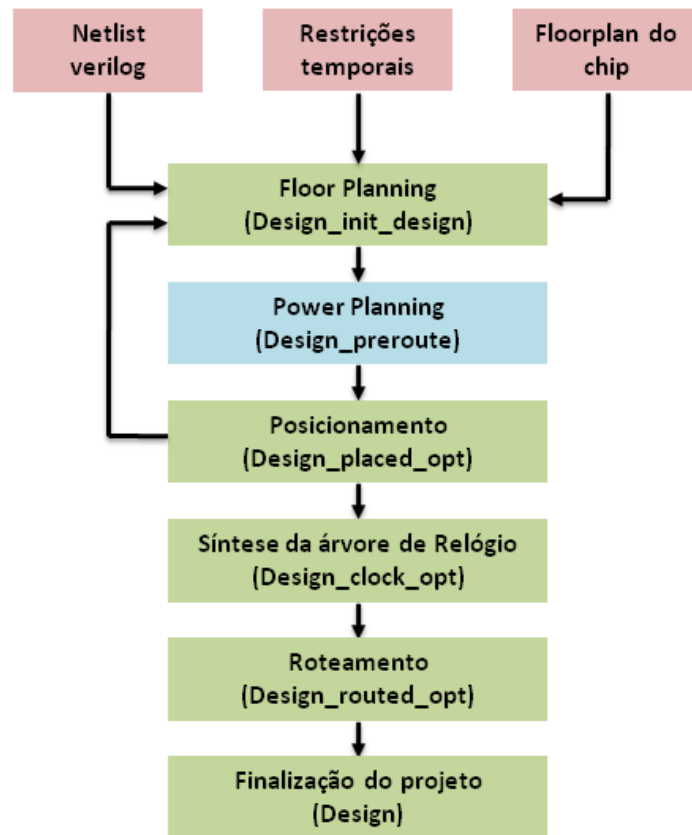


Figura 6.16: Etapa onde será feita a análise da base de dados e do projeto

6.4.2 Análise da trilha de alimentação

Para a análise da queda de tensão e eletromigração as seguintes informações são necessárias: trilha de alimentação extraída, posicionamento de todas as *hard macros* e *standard cells* finalizado, roteamento entre as células prontas e a árvore de relógio roteada. Portanto a única etapa onde somos capazes de utilizar as cadeiras de análise da trilha de alimentação é a última (Figura 6.17).

Com as células estão posicionadas e os sinais roteados é possível detectar mais precisamente a capacitância de carga das células. Conforme visto a capacitância de carga da célula exerce uma forte influência no cálculo do consumo. Através de valores de consumo mais precisos, os resultados das análises de queda de tensão e eletromigração também serão mais precisos.

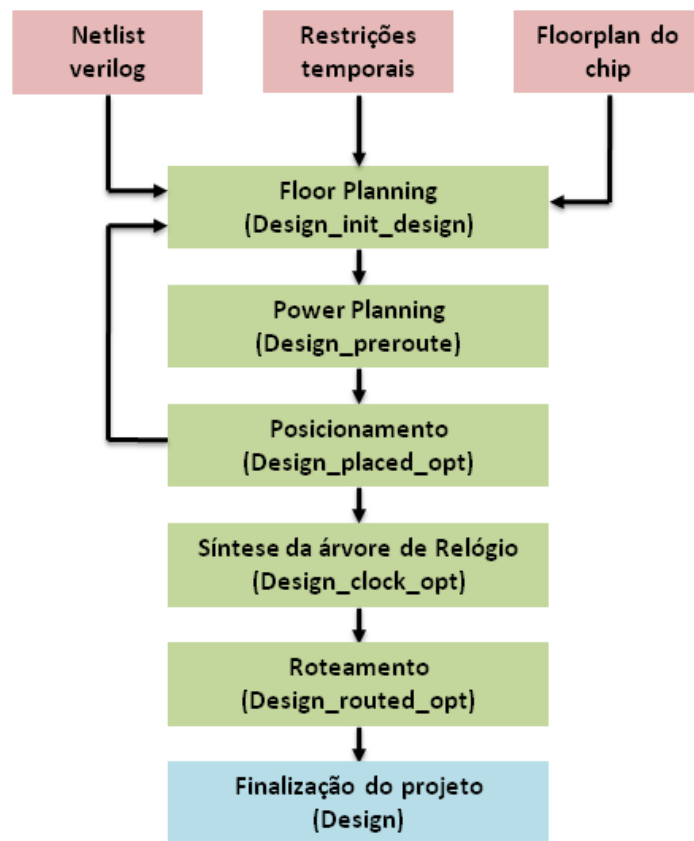


Figura 6.17: Etapa onde será feita a análise da trilha de alimentação

6.5 Resultados das análises para o bloco Modulo 1

A partir do momento em que o bloco “Modulo 1” está finalizado, pode-se aplicar o fluxo criado e verificar os resultados. Esta seção contém as informações que foram geradas pelo fluxo de consumo médio aplicado sobre o bloco “Modulo 1”.

6.5.1 Verificação da base de dados e do projeto

A quarta etapa das cadeias de consumo médio e dinâmico, sugerida como opcional em (SYNOPTIS, 2008-a), que é executada após a inserção das trilhas de alimentação no projeto, apresenta os resultados de verificação do arquivo de tecnologia, de verificação dos dados de macros e da verificação lógica na forma de arquivos de texto.

6.5.1.1 Verificação do arquivo de tecnologia

As regras de utilização de cada uma das camadas de metal e via é verificada para garantir que sejam coerentes. A densidade máxima de corrente informada será utilizada posteriormente para a identificação de violações por eletromigração (Figura 6.18).

<pre> ***** TECH DATA LISTING ***** UNIT and CONSTANT----- Unit UserUnit distance micron 1000 time ns 1000 capacitance pf 10000000 resistance kohm 10000000 inductance nh 100 voltage V 1000 current mA 1000 power pw 1000 dielectric constant 3.730000e-05 </pre>	<pre> LAYER and RULE----- Layername : M1 (31) (Maskname: metal1) Capacitance: 0.000000 Resistance: 1000.000000 Minimum width: 120 Minimum Spacing: 120 Max current density: 20 ViaLayername : VIA1 (51) (Maskname: via1) Capacitance: 0.000000 Resistance: 0.000000 Minimum width: 130 Minimum Spacing: 150 Layername : M2 (32) (Maskname: metal2) Capacitance: 0.000000 Resistance: 650.000000 Minimum width: 140 Minimum Spacing: 140 Max current density: 26 . . </pre>
--	--

Figura 6.18: Resultado da verificação do arquivo de tecnologia

6.5.1.2 Verificação dos dados das macros (*hard e soft*)

As informações mais relevantes contidas na Figura 6.19 são que as *hard macros* contêm FRAM, CONN e CSF View. A FRAM View é importante por que as portas de entrada e saída. O comando não detecta a estrutura CSF porque ela está anexada ao arquivo CONN.

<pre> TOP CELL: MODULE 1_copy (library: Module 1) CEL view : Yes FRAM view : Yes PARA view : Yes HARD MACRO hard_macro_01_Module 1 (library: atts_vrg) CEL view : Yes FRAM view : Yes PARA view : No CONN view : Yes CSF data : No White-Box Model: No Gray-Box Model: No WARNING: Hard macro has a CEL view HARD MACRO hard_macro_02_Module 1 (library: atts_vrg) CEL view : Yes FRAM view : Yes PARA view : No CONN view : Yes CSF data : No White-Box Model: No Gray-Box Model: No WARNING: Hard macro has a CEL view </pre>
--

Figura 6.19: Resultado da verificação dos dados das macros

6.5.1.3 Verificação lógica

A verificação lógica não encontrou nenhum erro no projeto, porém ela informa inúmeros Warnings em um arquivo de texto (Figura 6.20).

```

poCheckPGNetlist Summary

Total Number of Errors ..... 0
Total Number of Warnings ..... 1832
Total Number of Information .. 1834

Detail report is in PR_LOG_DETAIL/poCheckPGNetlist_rpt.txt

```

Figura 6.20: Resultado da verificação lógica

6.5.2 Análise da trilha de alimentação

A última etapa do fluxo de análise de consumo médio da trilha de alimentação, que utiliza um valor médio de consumo para cada célula é realizada sobre o Módulo 1. Os resultados obtidos com relação à queda de tensão estática e eletromigração com corrente média são estudados nos itens subseqüentes.

6.5.2.1 Queda de tensão

Na Figura 6.21 está o relatório da queda de tensão com uma tensão de ativação de -20mV. Isso quer dizer que ele mostra as quedas de tensão maiores ou iguais (em módulo) do que 20 mV. O valor da tensão de ativação pode ser especificado no arquivo de configuração do fluxo (pw_setup.tcl) antes dele ser iniciado.

```

*****
* Voltage Drop Violation Report
*
* Units:
* Length Unit      : um
* Voltage Unit     : mV
*
* Cell Name : MODULE 1_copy
* PG Net    : VDD
* Transient Condition: AVG
*
* Threshold: -20
*
* Format: cell instance name
*        Node/Edge id [left bottom right top] on Layer is voltage
*
MODULE 1_copy
Node 1177202 at [2180.130 -1421.795 2180.570 -1421.595] on metal2 is -27.392
Node 1182454 at [2180.130 -1379.795 2180.570 -1379.595] on metal2 is -27.387
Edge 26273 at [2180.130 -1379.935 2180.570 -1379.795] on metal2 is -27.385
Node 1427816 at [2180.130 -1379.935 2180.570 -1379.795] on metal2 is -27.384
Edge 905937 at [2180.130 -1379.595 2180.570 -1379.250] on metal2 is -27.376
...
..

```

Figura 6.21: Resultado da queda de tensão estática do bloco Módulo 1

A Figura 6.22 mostra o resultado da análise da queda de tensão. A cor vermelha indica a região onde existe uma queda de tensão maior do que a tensão de ativação (20 mV).

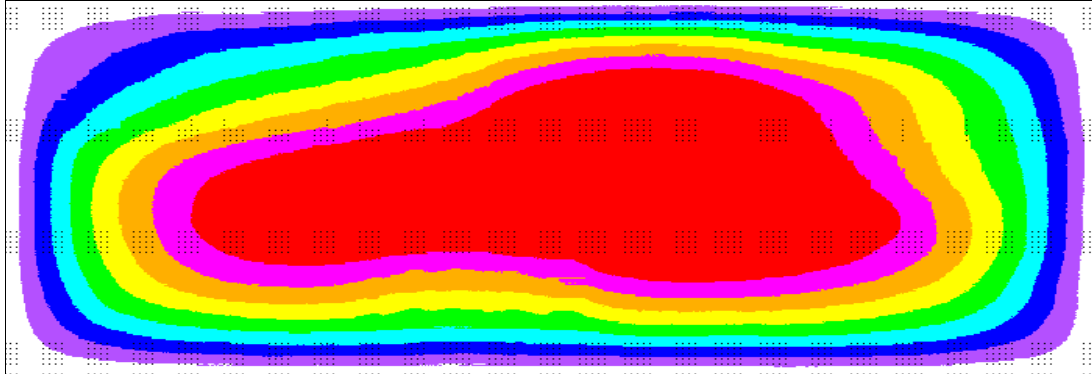


Figura 6.22: Mapa da queda de tensão estática do bloco Modulo 1

Na análise do bloco da Figura 6.22 considerou-se que as fontes de tensão ideal estavam localizadas nas bordas do projeto. Isso justifica o fato de que as maiores diferenças de potencial (em torno de 27 mV) serem encontradas no interior do projeto.

O projeto analisado (Modulo 1) representa apenas um dos blocos do projeto completo do circuito integrado. As células chamadas de *pads* ainda não estão posicionadas nesta versão. Este tipo de célula é responsável por conectar VDD e GND do encapsulamento para o interior do *die*. Quando estas células estão posicionadas de forma uniforme ao longo do projeto (projeto final e cada um dos blocos), considera-se que as fontes de tensão ideal estão localizadas nas posições dos *pads*. Dessa forma o bloco analisado teria inúmeras fontes de tensão ideal no interior do projeto, e as diferenças de potencial seriam menores.

6.5.2.2 Eletromigração

O resultado da análise de eletromigração é colocado em um arquivo de texto, semelhante ao encontrado na Figura 6.23. O arquivo de texto possui os valores máximos e mínimos de densidade de corrente encontrados no projeto do bloco Modulo 1. A última linha mostra que o projeto foi bem construído, pois nenhuma violação de eletromigração foi encontrada.


```

Current density ranges:
metal1 (mA/um): min = 0, max = 0.654329
metal2 (mA/um): min = 0, max = 2.25496
metal3 (mA/um): min = 0, max = 2.87588
metal4 (mA/um): min = 0, max = 0.757173
metal5 (mA/um): min = 4.1667e-07, max = 1.24105
metal6 (mA/um): min = 0, max = 0.741732
metal7 (mA/um): min = 3.19359e-06, max = 3.61903
metal8 (mA/um): min = 3.63505e-05, max = 2.01713
via1 (mA/um^2): min = 0, max = 1.57641
via2 (mA/um^2): min = 0, max = 8.44702
via3 (mA/um^2): min = 0, max = 8.19716
via4 (mA/um^2): min = 0, max = 6.88175
via5 (mA/um^2): min = 0, max = 3.23563
via6 (mA/um^2): min = 7.8756e-05, max = 1.19239
via7 (mA/um^2): min = 0, max = 0.937138
Report Total EM violations      : 0

Generating EM violations report...
Memory: 1.658e3 MB CPU: 2 seconds Elapse: 4 seconds

EM report successfully generated

There are 0 EM violations

```

Figura 6.23: Resultado da análise de EM sobre o bloco Modulo 1

A Figura 6.24 contém um trecho de um relatório de uma outra versão do mesmo módulo. Nele encontramos uma violação de eletromigração no nodo R100036, localizado na camada de metal um, e pertence à trilha de alimentação VSS. O tipo de análise realizada foi a de consumo médio, o que está indicado em *MODE = avg*.

```

CELL:micro INST: NET:VSS
NODE LAYER No MODE CURRENT (>CURRENT WIDTH NEW_WIDTH (LEFT, BOTTOM)
(RIGHT, TOP)
=====
R10036 metal1 16 avg -0.31(>0.2) 1.06 1.64 (102.000, 251.600)
(107.599, 252.659)

```

Figura 6.24: Resultado de EM sobre o bloco Modulo 1 apresentando violações

A seqüência -0.31 >0.2) 1.06 1.64 significa: a corrente neste ponto é de 0.31 e ultrapassou o limite de 0.2. A largura atual do metal é de 1.06. Ele ainda sugere que a largura do metal deva ser ajustada para 1.64 para corrigir o problema.

7 CONCLUSÕES

Questões relativas à confiabilidade de circuitos integrados tem se tornado um problema não mais negligenciável em tecnologias sub-100nm. O incremento na densidade de transistores, frequência de operação tem feito com que a potência dissipada aumentasse drasticamente. Dessa forma, falhas decorrentes de quedas de tensão e eletromigração tem se tornado mais frequentes. Análises que detectem possíveis falhas antes da fabricação são necessárias.

O desenvolvimento de fluxo de análise de consumo médio da trilha de alimentação e o desenvolvimento de um fluxo que utilizasse modelos de célula mais precisos, com vetores de entrada para a simulação foram propostos. A forma de integrá-los a um fluxo de desenvolvimento ASIC baseado em *standard cells* também fez parte da proposta.

O estudo e desenvolvimento do fluxo de análise de trilha de alimentação foram realizados através de diversas pesquisas e estudos feitos em livros, artigos e material disponível na Internet. O fluxo de análise de consumo médio da trilha de alimentação foi desenvolvido e integrado em um fluxo de desenvolvimento de projeto físico. A etapa de verificação do projeto é realizada logo após o posicionamento das trilhas de alimentação, o que permite identificar erros de projeto o mais cedo possível. A análise da trilha de alimentação, que detecta violações em quedas de tensão e eletromigração, é realizada na finalização do projeto: quando as células estão posicionadas e os sinais roteados. Desta forma é possível detectar mais precisamente a capacitância de carga das células, obtendo-se valores de consumo e resultados de quedas de tensão e eletromigração mais próximos do real.

A execução do fluxo de consumo médio em um bloco de um projeto ASIC digital de 90 nm foi efetuada utilizando o método livre de vetores. Não foram encontrados riscos de ocorrência de eletromigração nas trilhas de alimentação. As maiores quedas de tensão foram em torno de 27 mV, no interior do bloco.

A caracterização da biblioteca de células utilizando um modelo de caracterização por fontes de corrente foi realizada. Esse tipo de modelo é necessário para a realização da análise dinâmica que leva em conta os efeitos resistivos, indutivos e capacitivos da trilha de alimentação. Em decorrência de *bugs* encontrados no software PrimeRail, a análise de consumo dinâmica não pode ser concluída.

Observando o desenvolvimento do trabalho e os resultados apresentados no capítulo 6, é perceptível que o trabalho tenha atingido seus objetivos. O desenvolvimento e a integração dos fluxos criados foram bem sucedidos.

8 REFERÊNCIAS

BLACK, J. R. **Electromigration – A brief survey and some recent results.** IEEE Transactions on Electronic Devices, 1969. p. 338-347.

CHEN, H. H.; LING, D. D. **Power supply noise analysis methodology for deep-submicron VLSI Chip Design.** Proc. Design Automation Conference, 1997.

CULAU, B. P. T. **Dynamic voltage drop effect characterization and prediction in UDSM VLSI circuits.** 2009. 55 f. Projeto de Diplomação (Bacharelado em Engenharia da Computação) – Instituto de Informática, UFRGS, Porto Alegre.

FELDMANN, P.; ABBASPOUR, S. **Towards a more physical approach to gate modeling for timing, noise, and power.** Proceedings of the 45th annual conference on Design automation, p. 453-455, Anaheim, USA, June 2008.

GALA, K. *et al.* **On-Chip Inductance Modeling and Analysis.** 37th Design Automation Conference. Los Angeles, California, USA. 2000.

HARIZI, H. *et al.* **Efficient modeling techniques for dynamic voltage drop analysis.** Proceedings of the 44th annual conference on Design automation, p. 706-711, San Diego, USA, June 2007.

HODGES, D. A.; JACKSON, H.G; SALEH, R. A. **Analysis and Design of Digital Integrated Circuits:** In Deep Submicron Technology. 3rd ed. International Edition: McGraw-Hill Education, 2003.

KRIPLANI, H.; NAJM, F.; HAJJ, I. **Maximum current estimation in CMOS circuits.** 29th ACM/IEEE Design Automation Conference. Anaheim, USA, 1992.

LIENIG, J. **Introduction to Electromigration-Aware Physical Design.** Proceedings of the 2006 International symposium on Physical design, 2006. p. 39-46.

RAJA, S. *et al.* **Transistor Level Gate Modeling for Accurate and Fast Timing, Noise, and Power Analysis.** Proceedings of the 45th annual conference on Design automation, p. 456-461, Anaheim, USA, June 2008.

REIS, R. A. L. **Concepção de Circuitos Integrados.** 1^a Ed. Porto Alegre: Instituto de Informática da UFRGS: Editora Sagra Luzzato, 2000.

SMITH, M. J. S. **Application-Specific Integrated Circuits.** 1st edition: Addison-Wesley, 2008.

WESTE, N. H. E.; HARRIS, D. **CMOS VLSI Design: A Circuits and Systems Perspective.** 3rd edition.: Addison Wesley, 2004.

Em meio eletrônico:

BEYRET, E. **Your Power Grid Isn't Good Enough**. Sequence Design Inc., February 2006. Disponível em: <<http://www.soccentral.com/results.asp?CategoryID=488&EntryID=18062>>. Acesso em: dez. 2009.

TEXAS INSTRUMENTS. **Flip Chip Ball Grid Array Package** - Reference Guide. Disponível em: <<http://www.ti.com/>>. Acesso em: dez. 2009.

VOLTAGE drop analysis and verification – an introduction. Mars 2008. Disponível em: <<http://www.allabouteda.com/category/voltage-drop-analysis/>>. Acesso em: dez. 2009.

VOLTAGE drop analysis – a note on accuracy and quality of results. Mars 2008. Disponível em: <<http://www.allabouteda.com/category/voltage-drop-analysis/>>. Acesso em: dez. 2009.

DATASHEETS:

APACHE. **RedHawk-NX**. San Jose, CA, USA. 2009. Disponível em: <<http://www.apache-da.com/apache-da/Home/ProductsandSolutions/SoCPowerNoiseReliability.html>>. Acesso em: dez. 2009.

CADENCE. **Encounter Power System**. San Jose, CA, USA. 2009. Disponível em: <<http://www.cadence.com/products/di/eps/pages/default.aspx>>. Acesso em: dez. 2009.

MAGMA. **Quartz Rail**. San Jose, CA, USA. 2007. Disponível em: <<http://www.magma-da.com/products-solutions/analysis/QuartzRail.aspx>>. Acesso em: dez. 2009.

MENTOR. **Mentor Graphics Announces Industry's First MMMC SI solution for 65/45nm**. Wilsonville, Ore., USA. 2007. Disponível em: <<http://www.mentor.com/company/news/multimodemulticornersignalintegritysolution6545nm>>. Acesso em: dez. 2009.

SYNOPTSYS. **PrimeRail User Guide - Version A-2008.06**. Synopsys SolvNet, June 2008-a. Disponível em: <<https://solvnet.synopsys.com>>. Acesso em: dez. 2009.

SYNOPTSYS. **Prime Time PX User Guide - Version B-2008.06**. Synopsys SolvNet, June 2008-b. Capítulos 1, 3 e 5. Disponível em: <<https://solvnet.synopsys.com>>. Acesso em: dez. 2009.

SYNOPTSYS. **PrimeRail User Guide - Version A-2008.06**. Synopsys SolvNet, June 2008-c. Disponível em: <<https://solvnet.synopsys.com>>. Acesso em: dez. 2009.

SYNOPTSYS. **IC Compiler Commands - Version B-2008.06**. Synopsys SolvNet, June 2008-d. Disponível em: <<https://solvnet.synopsys.com>>. Acesso em: dez. 2009.

SYNOPTSYS. **NanoSim User Guide - Version A-2008.03**. Synopsys SolvNet, March 2008-e. Disponível em: <<https://solvnet.synopsys.com>>. Acesso em: dez. 2009.

SYNOPTSYS. **PrimeRail User Guide - Version A-2007.12**. Synopsys SolvNet, January 2008-f. Disponível em: <<https://solvnet.synopsys.com>>. Acesso em: dez. 2009.

SYNOPTSYS. **Star-RCXT User Guide - Version A-2007.12**. Synopsys SolvNet, December 2007-a. Disponível em: <<https://solvnet.synopsys.com>>. Acesso em: dez. 2009.

SYNOPTSYS. **Star-RCXT Command Reference Version A-2007.12**. Synopsys SolvNet, December 2007-b. Disponível em: <<https://solvnet.synopsys.com>>. Acesso em: dez. 2009.

SYNOPTSYS. **NanoSim Command Reference Version 2007.03**. Synopsys SolvNet, March 2007-c. Disponível em: <<https://solvnet.synopsys.com>>. Acesso em: dez. 2009.

SYNOPTSYS. **Synthesizing a Design in Design Compiler Topographical Mode Using TLUPlus Files**. Article: Design Compiler – Q&A – 018990, Synopsys SolvNet, December 2006-a. Disponível em: <<https://solvnet.synopsys.com>>. Acesso em: dez. 2009.

SYNOPTSYS. **CCS Power Technical White Paper v. 3.0**, August 2006-b. Disponível em: <<http://www.opensourceliberty.org/>>. Acesso em: dez. 2009.

SYNOPTSYS. **PrimeRail User Guide - Version A-2008.06**. Synopsys SolvNet, June 2008-a. Disponível em: <<https://solvnet.synopsys.com>>. Acesso em: dez. 2009.

SYNOPTSYS. **Prime Time PX Recommended Methodology for Power Analysis v1.3**. June 2006-c.

9 GLOSSÁRIO

$\$\{cell\}$: Variável que contém o nome da célula que está sendo analisada.

Avago Technologies: Fábrica de semicondutores responsável pela fabricação do circuito integrado BCS. Ela é a fornecedora de IPs ASIC (*Hard Macros* e *Standard Cells*). Site: <http://www.avagotech.com>

CEL View: Arquivo com o design da célula. Esse tipo de arquivo é encontrado nas *Standard Cells* e *Soft Macros*. As *Hard Macros* podem fazer uso dele também mas isso não é obrigatório. O arquivo pode ser visualizado utilizando os softwares Prime Rail, Milkyway, ICC entre outros.

Formato Liberty: Padrão de fato na indústria de EDA para a modelização de bibliotecas com relação a ruído, potência, tempo e testabilidade.

Fluxo estático: Fluxo de consumo médio ou cadeia de consumo médio.

FRAM View: Arquivo que contém portas, trilhas de alimentação e as regiões onde existe metal na célula.

GDS View: Arquivo com o design da célula. Este tipo de arquivo é somente utilizado para as *Hard Macros*. O arquivo pode ser visualizado utilizando os softwares Prime Rail, Milkyway, ICC entre outros.

Hard macros: Células compostas por *Standard Cells*, *Hard Macros* e uma parte *Full Custom*. Essas células são fornecidas por Avago.

Hercules: Software que realiza extrações de conectividade.

LM View: Logic Model View. Contém a caracterização temporal e de consumo de todas as células da biblioteca. Mais detalhes na seção Aspectos teóricos deste trabalho.

Modelo CCS: Modelo de consumo mais preciso do que o modelo NLPM. Para mais informações verificar [Syn06-1].

Transferência de momento: (Momentum transfer): é a quantidade de momento que uma partícula passa para outra no caso de uma colisão.

Novaescale: Família de servidores abertos desenvolvidos por Bull desde 2003.

NanoSim: Software da Synopsys que realiza simulação de circuitos no nível lógico ou a nível de transistor. Ele é mais rápido que HSpice, por outro lado menos preciso.

Probabilidade do sinal: É o tempo que o sinal permanece em um lógico e zero lógico com relação ao tempo total.

Quantidade de movimento: Grandeza física associada à velocidade e massa de um objeto. Em um sistema mecânico isolado, a quantidade de movimento é a única grandeza que se conserva após uma colisão inelástica.

$$\vec{P} = m \cdot \vec{v}$$

RAIL View: A parte da base de dados Milkyway onde são registradas as informações intermediárias e os resultados de consumo médio e dinâmico.

SAIF file: Arquivo ASCII com informações de atividade de sinal (*toggle rate* e probabilidade do sinal). Ele é utilizado somente no fluxo de consumo médio.

Soft macros: Células compostas por *Standard Cells*, *Hard Macros* e *Soft Macros*. A célula é feita utilizando as ferramentas PC e Astro conforme a cadeia mostrada no capítulo Fluxo de concepção do projeto BCS.

SPF format: É um formato padrão criado por Cadence Design Systems para a descrição de elementos parasitas. DSPF e RSPF são as duas formas de SPF. Às vezes o termo pode ser usado para se referenciar a parasitas em geral.

SPEF: Formato criado por Open Verilog Initiative (OVI) é hoje um formato IEEE para a definição de parasitas. É utilizado da mesma maneira que o formato SPF. Ele pode representar resistências e capacitâncias parasitas nas formas detalhada ou reduzida (modelo PI). Arquivos SPEF são menores do que SPF.

Slack: Diferença de tempo entre a latência encontrada em um caminho e a latência encontrada no arquivo de restrições temporais.

Star RC XT: Ferramenta da Synopsys que realiza a extração de elementos parasitas dos circuitos.

TLUPlus: Arquivo com as informações de capacitâncias e de resistências de cada nível de metal. Ele permite fazer a extração de elementos parasitas de sinais e da trilha de alimentação.

Toggle Rate: Atividade de mudança de um sinal com relação ao período do relógio. Na Figura 9.1 encontra-se um sinal que se altera duas vezes mais lento do que o relógio, portanto o seu *toggle rate* é de 0,5.

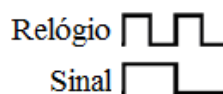


Figura 9.1: *Toggle rate*

VCD file: (Value Change Dump file) é um arquivo que contém informações de atividade dos sinais do design. Ele permite a realização das análises de consumo médio e dinâmico. No caso da análise de consumo médio este arquivo é convertido para um arquivo SAIR, com o aplicativo vcd2saif.