

ESTUDO COMPARATIVO DE VHDL E VERILOG PARA SÍNTESE EM FPGA. *Andre Almeida, Sílvia R. da S. Nascimento, Alexandro M. dos S. Adário* (URI-Campus de Erechim).

A eletrônica digital está presente em todo segmento da atividade humana, dos computadores pessoais às agendas eletrônicas e telefones celulares, passando pela eletrônica doméstica (TVs, fornos de microondas) e embarcada (presente em sistemas automotivos e satélites espaciais). Tecnologias de projeto auxiliado por computador e de rápida prototipação de sistemas digitais auxiliam no desenvolvimento de protótipos e de produtos finais. Dentro deste contexto, realizou-se um estudo comparativo entre as linguagens de descrição de hardware (HDL, *Hardware Description Language*) VHDL e Verilog para síntese em componentes FPGA da família Flex10K da Altera, com a ferramenta Max+PLUS II. O principal objetivo é determinar qual das duas HDLs oferece o melhor desempenho para modelamento e síntese de uma gama de circuitos com características variando entre comportamental e estrutural. Os dois principais estudos de caso basearam-se na implementação de de um divisor e um multiplicador, ambos de 32 bits, visando analisar desempenho e ocupação de área. Cada uma das linguagens apresentou vantagens em aspectos inteiramente distintos, sem ser possível afirmar precisamente qual a mais indicada para o modelamento genérico. A linguagem VHDL. As principais distinções ocorrem no nível de abstração e conteúdo semântico, havendo maior flexibilidade no uso da VHDL. A linguagem Verilog, por ter uma abordagem mais estrutural, envolve um detalhamento mais explícito dos componentes, como flip-flops e latches. No resultado da síntese, os modelos comportamentais VHDL proporcionaram uma melhor ocupação de área, mas foram inferiores em desempenho aos modelos estruturais descritos em Verilog. (FAPERGS-BIC/URI).