

059

MODELAMENTO COMPORTAMENTAL E ESTRUTURAL: COMPARAÇÃO E ANÁLISE DE UM ESTUDO DE CASO. *Eduardo L. Roehe, Alexandre M. dos S. Adário, Sérgio Bampi* (Instituto de Informática, UFRGS)

Este trabalho apresenta a comparação dos resultados da síntese em FPGA de um modelo VHDL estrutural e um comportamental de uma Unidade Lógica e Aritmética (ULA). A comparação foi baseada nos tempos máximos de atraso e no número de blocos lógicos utilizados. A descrição dos modelos, a compilação, a simulação e a síntese foram feitas na ferramenta Max+Plus II da Altera Corp. A ULA descrita é funcionalmente compatível com a ULA74181. A linguagem VHDL possibilita descrições tanto em baixo nível (conexões entre componentes e portas lógicas) denominadas estruturais, quanto em níveis mais altos de abstração, denominado modelamento comportamental. Após a descrição e compilação dos modelos, na etapa de simulação foi verificada a compatibilidade entre os resultados obtidos e os da especificação inicial. O resultado final da síntese de cada um dos modelos foi mapeado num componente EPF10K10LC84-3 da família FLEX10K de FPGAs Altera. A síntese do modelo estrutural utilizou apenas 3% da área do dispositivo e teve um atraso máximo de 29,5 ns, representando uma ocupação de área 8,5 vezes menor e um atraso 2,14 vezes menor do que o comportamental. O estilo de descrição altera os resultados da síntese, demonstrando a necessidade de explorar as alternativas de projeto, conforme os requisitos em termos de economia de tempo, área ou potência. Em geral, o processo de modelamento em VHDL associado a síntese é rápido se comparado a outras técnicas de projeto, possibilitando a exploração de várias soluções sem grande ônus. Os resultados deste caso indicam que para circuitos onde o área e atrasos são críticos, uma descrição mais próxima da estrutura do circuito é mais vantajosa. (CNPq).