

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL  
ESCOLA DE ENGENHARIA  
DEPARTAMENTO DE ENGENHARIA ELÉTRICA  
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA

**PAULO CÉSAR COMASSETTO DE AGUIRRE**

**PROJETO E ANÁLISE DE  
MODULADORES SIGMA-DELTA EM  
TEMPO CONTÍNUO APLICADOS À  
CONVERSÃO AD**

Porto Alegre  
2014

**PAULO CÉSAR COMASSETTO DE AGUIRRE**

**PROJETO E ANÁLISE DE  
MODULADORES SIGMA-DELTA EM  
TEMPO CONTÍNUO APLICADOS À  
CONVERSÃO AD**

Dissertação de mestrado apresentada ao Programa de Pós-Graduação em Engenharia Elétrica, da Universidade Federal do Rio Grande do Sul, como parte dos requisitos para a obtenção do título de Mestre em Engenharia Elétrica.

Área de concentração: Engenharia de Computação - Micro e Nano Eletrônica

**ORIENTADOR: Altamiro Amadeu Susin**

**CO-ORIENTADOR: Hamilton Duarte Klimach**

Porto Alegre  
2014

**PAULO CÉSAR COMASSETTO DE AGUIRRE**

**PROJETO E ANÁLISE DE  
MODULADORES SIGMA-DELTA EM  
TEMPO CONTÍNUO APLICADOS À  
CONVERSÃO AD**

Esta dissertação foi julgada adequada para a obtenção do título de Mestre em Engenharia Elétrica e aprovada em sua forma final pelo Orientador e pela Banca Examinadora.

Orientador: \_\_\_\_\_

Prof. Dr. Altamiro Amadeu Susin, UFRGS

Doutor pela Institut National Polytechnique de Grenoble –  
Grenoble, França

Banca Examinadora:

Prof. Dr. Alexandre Balbinot, UFRGS

Doutor pela Universidade Federal do Rio Grande do Sul – Porto Alegre, Brasil

Prof. Dr. Cesar Augusto Prior, UFSM

Doutor pela Universidade Federal de Santa Maria – Santa Maria, Brasil

Prof. Dr. Tiago Roberto Balen, UFRGS

Doutor pela Universidade Federal do Rio Grande do Sul – Porto Alegre, Brasil

Coordenador do PPGEE: \_\_\_\_\_

Prof. Dr. Alexandre Sanfelice Bazanella

Porto Alegre, maio de 2014.

## **DEDICATÓRIA**

Dedico este trabalho aos meus pais, Maria Zenir e David, a minha irmã, Mariana, a minha noiva, Natalia, e a minha avó, Elsa (*in memoriam*), pelo amor e constante incentivo.

## AGRADECIMENTOS

Aos meus pais, Maria Zenir Comassetto de Aguirre e David Oliveira de Aguirre, a minha irmã, Mariana Comassetto de Aguirre, pela imensa confiança, apoio e principalmente pelo incentivo nas horas de fraqueza.

A minha amada noiva e melhor amiga, Natalia Braun Chagas, pelo carinho, amor, compreensão e suporte técnico nesta etapa da minha vida.

Aos colegas de mestrado Thiago, Ricardo, Alan, Catalina, Alisson, Fábio e Cristiano, pelo convívio harmonioso e amizade dentro e fora do laboratório.

Ao Professor Altamiro Susin, pelos ensinamentos, amizade, confiança e orientação prestada durante a execução deste trabalho.

Ao Professor Hamilton Klimach, pela amizade, co-orientação e troca de conhecimentos durante o desenvolvimento deste trabalho.

Ao professor Sergio Bampi, pela colaboração e acesso à MOSIS, o que tornou possível a fabricação do circuito projetado.

Ao Professor Cesar Prior pela grande colaboração e sugestões prestadas no desenvolvimento deste trabalho.

Aos amigos Crístian Müller e Edinei Santin pela amizade e trocas de conhecimento que foram essenciais para o desenvolvimento deste trabalho.

Aos colegas do LAB110 Filipe, Oscar, Arthur, Moacir e Dalton pela troca de conhecimentos e suporte durante a realização prática deste trabalho.

Aos meus demais amigos e colegas pela amizade e horas de alegria.

A Deus.

## RESUMO

Conversores analógico-digitais (ADCs) têm papel fundamental na implementação dos sistemas-em-chip, do inglês *System-on-Chip* (SoC), atuais. Em razão dos requisitos destes sistemas e dos compromissos entre as características fundamentais dos ADCs, como largura de banda, consumo de energia e exatidão, diversas topologias e estratégias para sua implementação em circuitos integrados (CIs) têm sido desenvolvidas através dos tempos. Dentre estas topologias, os conversores sigma-delta (SDC) têm se destacado pela versatilidade, aliada ao baixo consumo e excelente exatidão. Inicialmente desenvolvidos e empregados para a conversão de sinais de baixa frequência e com operação em tempo discreto (DT), esta classe de conversores têm evoluído e nos últimos anos está sendo desenvolvida para operar em tempo contínuo e ser empregada na conversão de sinais com frequências de centenas de kHz a dezenas de MHz. Neste trabalho, os moduladores sigma-delta em tempo contínuo (SDMs-CT) são estudados, visando sua aplicação à conversão analógico-digital (AD). Os SDMs-CT oferecem vantagens significativas sobre seus homólogos em tempo discreto, como menor consumo de energia, maior largura de banda do sinal de entrada e filtro anti-alias, do inglês *anti-alias filter* (AAF), implícito. Entretanto, os SDMs-CT apresentam limitações adicionais, responsáveis pela degradação de seu desempenho, como os efeitos do *jitter* do sinal de relógio, o atraso excessivo do laço de realimentação, do inglês *Excess Loop Delay* (ELD), e as limitações impostas aos integradores analógicos. Após o estudo e análise de SDMs-CT e de suas limitações, foi desenvolvido um modelo comportamental no ambiente Matlab/Simulink<sup>®</sup>, que permite a simulação do impacto destas limitações no modulador, possibilitando a obtenção de uma estimativa mais aproximada do seu desempenho. Com base nestas simulações foi possível a determinação das especificações mínimas de cada bloco analógico que compõe o modulador (como o *slew rate*, a frequência de ganho unitário ( $f_u$ ) e o ganho DC dos amplificadores operacionais utilizados nos integradores) e os valores toleráveis de ELD e *jitter* do sinal de relógio. Adicionalmente, neste trabalho foi desenvolvida uma metodologia para simulação de SDMs-CT compostos por DACs a capacitor chaveado e resistor, do inglês *Switched-Capacitor-Resistor* (SCR). Com base neste modelo e no estudo das diferentes topologias de SDMs, um circuito foi desenvolvido para aplicação em receptores de RF, sendo do tipo passa-baixas de laço único, do inglês *single-loop, single-bit*, de terceira ordem, voltado ao baixo consumo de energia. Este circuito foi desenvolvido em tecnologia CMOS IBM de 130 nanômetros, tendo sido enviado para fabricação. Através das simulações pós-leiaute realizadas espera-se que seu desempenho fique próximo ao que tem sido publicado recentemente sobre SDMs-CT passa-baixas de laço único e *single-bit*.

**Palavras-chave:** Modulação Sigma-Delta, Modulador Sigma-Delta em Tempo Contínuo, Conversor Analógico-Digital (ADC), Modelagem Comportamental.

## ABSTRACT

Analog-to-Digital Converters (ADCs) play a fundamental role in the implementation of current systems-on-chip (SoC). Due to the requirements of these systems and the trade-offs between the main ADCs characteristics, such as signal bandwidth, power consumption and accuracy, many topologies and strategies for their implementation in integrated circuits (ICs) have been developed through the ages. Among these topologies, the sigma-delta converters (SDC) have highlighted the versatility combined with low power consumption and excellent accuracy. Initially developed and used for the conversion of low frequency signals and operation in the discrete time (DT) domain, this class of converters have been evolved and developed over the past to operate in continuous time domain for the conversion of signals with frequencies of hundreds of kHz up to tens of MHz. In this work, continuous time sigma-delta modulators (CT-SDMs) are studied focusing its application to the analog-to-digital (AD) conversion. CT-SDMs offer significant advantages over their discrete-time counterparts, such as lower power consumption, higher input signal bandwidth and implicit anti-alias filter (AAF). However, CT-SDMs present additional limitations that are responsible for their performance degradation, such as the clock jitter, Excess Loop Delay (ELD) and the limitations imposed on the analog integrators. After the study and analysis of CT-SDMs and their performance limitations, a behavioral model approach was developed in the Matlab/Simulink<sup>®</sup> environment, which allows the simulation of the limitations impact on the modulator, allowing the obtainment of a more accurate estimate of its performance. Based on these simulations it was possible to determine the minimum specifications for each block that composes the analog modulator (such as slew rate, the unity gain frequency ( $f_u$ ) and the DC gain of the operational amplifiers used in integrators) and tolerable values of ELD and clock jitter. Additionally, it was developed in this work a methodology for simulate CT-SDMs with Switched-Capacitor-Resistor (SCR) DACs that provide exponential waveforms. Based on this model and the study of different SDMs topologies, it was developed a low-pass, single-loop, single-bit, third order circuit focused on low-power intended for application in RF receivers. This circuit was developed in an IBM 130 nanometers CMOS technology, and was send to manufacturing. Based on the post-layout simulations it is expected to have performance close to what has been recently published of low-pass, single-loop, single-bit CT-SDMs.

**Keywords:** Sigma-Delta Modulation, Continuous-Time Sigma-Delta Modulator, Analog-to-Digital Converter (ADC), Behavioral Modeling.

## LISTA DE ILUSTRAÇÕES

Figura 1:	Diagrama conceitual de um ADC SD. . . . .	18
Figura 2:	Processo de quantização. . . . .	22
Figura 3:	Modelo linear de um quantizador. . . . .	22
Figura 4:	Ruído de quantização. . . . .	23
Figura 5:	Imagens do sinal de entrada e AFF. . . . .	24
Figura 6:	Ruído de quantização dentro da banda de interesse de acordo com $f_s$ . . . . .	24
Figura 7:	Efeito do <i>noise-shaping</i> em um SDM. . . . .	25
Figura 8:	Modulador SD. . . . .	26
Figura 9:	SDM de primeira ordem. . . . .	27
Figura 10:	Potência teórica do ruído de quantização dentro da banda de interesse em função da taxa de sobreamostragem para SDMs de ordem L. . . . .	28
Figura 11:	DR ideal de um SDM em função da taxa de sobreamostragem para SDMs de ordem L ( <i>single-bit</i> ). . . . .	28
Figura 12:	Número de SDMs à capacitor chaveado e número de SDMs-CT publicados de 1990-2012. . . . .	31
Figura 13:	Modulador SD em tempo contínuo. . . . .	32
Figura 14:	Forma de onda de um DAC RZ de 1 bit. . . . .	34
Figura 15:	Forma de onda de um DAC NRZ de 1 bit. . . . .	34
Figura 16:	Forma de onda de um DAC SCR. . . . .	34
Figura 17:	DR versus banda de sinal de SD. . . . .	35
Figura 18:	Topologia CIFB de terceira ordem. . . . .	36
Figura 19:	SDM-DT: AAF. . . . .	36
Figura 20:	SDM-CT: AAF. . . . .	37
Figura 21:	Laços equivalentes de SDMs. . . . .	38
Figura 22:	Sinal de relógio com <i>jitter</i> . . . . .	39
Figura 23:	Formas de onda de saída de DACs de 1 bit NRZ, RZ e SCR considerando o efeito do <i>jitter</i> do sinal de relógio. . . . .	40
Figura 24:	Efeitos do ELD em SDMs-CT. . . . .	41
Figura 25:	Compensação de ELD clássica. . . . .	42
Figura 26:	Compensação de ELD clássica para um período de relógio. . . . .	42
Figura 27:	Integradores analógicos. . . . .	43
Figura 28:	Integrador RC-ativo. . . . .	47
Figura 29:	Modelo de um integrador RC-ativo. . . . .	48
Figura 30:	Modelo do quantizador. . . . .	48
Figura 31:	Modelagem do DAC SCR: Geração da função de transferência. . . . .	49
Figura 32:	Modelagem do DAC SCR: Circuito de controle. . . . .	50
Figura 33:	Fonte de sinal de relógio com <i>jitter</i> . . . . .	51



Figura 34:	Topologia CIFB de terceira ordem. . . . .	52
Figura 35:	Variação do SNDR de acordo com <i>jitter</i> do sinal de relógio. . . . .	52
Figura 36:	Variação do SNDR <i>versus slew rate</i> para ganhos DC distintos. . . . .	53
Figura 37:	Variação do SNDR em função da frequência de ganho unitário dos amplificadores. . . . .	53
Figura 38:	Variação do SNDR <i>versus</i> valores do ELD. . . . .	54
Figura 39:	PSD do modulador com DACs NRZ. . . . .	55
Figura 40:	PSD do modulador com DACs SCR. . . . .	55
Figura 41:	Entrada de SDM-CT: Integrador RC-ativo. . . . .	56
Figura 42:	Topologia do SDM-CT projetado. . . . .	60
Figura 43:	PSD ideal. . . . .	61
Figura 44:	Faixa dinâmica ideal. . . . .	62
Figura 45:	Impacto do <i>jitter</i> do sinal de relógio no SDM-CT projetado. . . . .	62
Figura 46:	Impacto do <i>jitter</i> do sinal de relógio no SDM-CT projetado. . . . .	63
Figura 47:	Impacto do ganho DC dos amplificadores no SDM-CT projetado. . . . .	63
Figura 48:	Impacto da $f_u$ dos amplificadores no SDM-CT projetado. . . . .	64
Figura 49:	Impacto do SR dos amplificadores no SDM-CT projetado. . . . .	64
Figura 50:	PSD do modulador com não-idealidades. . . . .	65
Figura 51:	Implementação da soma dos coeficientes de alimentação em avanço. . . . .	67
Figura 52:	Esquemático de topo do SDM-CT projetado. . . . .	68
Figura 53:	Diagrama de blocos do amplificador de dois estágios com compensação em avanço. . . . .	71
Figura 54:	Resposta em frequência. . . . .	72
Figura 55:	Esquemático do amplificador operacional de dois estágios. . . . .	73
Figura 56:	Esquemático do circuito de CMFB. . . . .	74
Figura 57:	Circuito de polarização geral. . . . .	74
Figura 58:	Diagrama de bode do amplificador. . . . .	76
Figura 59:	Simulação de <i>corner</i> do amplificador: diagrama de bode do amplificador. . . . .	77
Figura 60:	Simulação pós-leiaute do amplificador: diagrama de bode. . . . .	78
Figura 61:	Esquemático de um <i>latch</i> composto por dois inversores. . . . .	78
Figura 62:	<i>Latch</i> clássico com efeito de <i>kickback-noise</i> . . . . .	79
Figura 63:	Esquemático do comparador do tipo <i>latch</i> dinâmico. . . . .	80
Figura 64:	Esquemático do pré-amplificador. . . . .	81
Figura 65:	Esquemático do quantizador de 1-bit. . . . .	81
Figura 66:	Simulação transiente do quantizador de 1-bit. . . . .	83
Figura 67:	Simulação transiente do quantizador de 1-bit: <i>zoom</i> . . . . .	83
Figura 68:	Implementação clássica de um DAC de 1-bit para SDMs-CT. . . . .	84
Figura 69:	DAC <i>current-steering</i> (DAC + Polarização). . . . .	84
Figura 70:	Resultados de simulação do DAC <i>current-steering</i> . . . . .	85
Figura 71:	<i>Testbench</i> do modulador. . . . .	87
Figura 72:	PSD da saída do modulador: simulação em nível de esquemático. . . . .	88
Figura 73:	DR do modulador. . . . .	89
Figura 74:	FOM versus largura de banda: comparação com o estado da arte (ROSA, 2013). . . . .	90
Figura 75:	DR versus largura de banda: comparação com o estado da arte (ROSA, 2013). . . . .	90
Figura 76:	DR do modulador: simulação pós-leiaute. . . . .	91

Figura 77:	PSD da saída do modulador: simulação pós-leiaute. . . . .	91
Figura 78:	PSD da saída do modulador para um teste com 2 <i>tons</i> : simulação pós-leiaute. . . . .	92
Figura 79:	PSD da saída do modulador para o teste do AAF: simulação pós-leiaute.	93

## LISTA DE TABELAS

Tabela 1:	Medidas de simulação de densidade de ruído para o resistor de precisão de polissilício (com $W=1\ \mu m$ e $T=300\ K$ ) empregado no projeto do modulador SD CT. . . . .	58
Tabela 2:	Medidas de ruído para o resistor de precisão (com $W=1\ \mu m$ e $T=300\ K$ ) empregado no projeto do modulador SD CT. . . . .	59
Tabela 3:	Valores dos resistores e capacitores dos integradores. . . . .	70
Tabela 4:	Valores dos resistores empregados no modulador. . . . .	70
Tabela 5:	Tamanho dos transistores do amplificador. . . . .	75
Tabela 6:	Tamanho dos transistores do circuito de CMFB. . . . .	75
Tabela 7:	Tamanho dos transistores do circuito de polarização. . . . .	75
Tabela 8:	Tamanho dos transistores do <i>latch</i> dinâmico. . . . .	82
Tabela 9:	Tamanho dos transistores do DAC. . . . .	85
Tabela 10:	Tamanho dos transistores do circuito de polarização do DAC. . . . .	85
Tabela 11:	Desempenho do modulador em nível de esquemático para diferentes larguras de banda. . . . .	89
Tabela 12:	Sumário da performance do modulador para largura de banda de 1 MHz: esquemático <i>versus</i> pós-leiaute. . . . .	92
Tabela 13:	Desempenho do modulador em nível de leiaute para diferentes larguras de banda. . . . .	92
Tabela 14:	Sumário da performance do modulador e comparação com outros trabalhos. . . . .	94

## LISTA DE ABREVIATURAS

AAF	<i>Anti-Alias Filter</i> , Filtro Anti-Alias
AD	<i>Analog-to-Digital</i> , Analógico-Digital
ADC	<i>Analog-to-Digital Converter</i> , Conversor Analógico-Digital
BW	<i>Bandwidth</i> , Largura de Banda
CI	Circuito Integrado
CIFB	<i>Cascade of Integrators Feedback</i> , Cascata de Integradores com Realimentação
CIFF	<i>Cascade of Integrators Feed-Forward</i> , Cascata de Integradores com Alimentação em Avanço
CMFB	<i>Common Mode Feedback</i> , Realimentação de Modo Comum
CMOS	<i>Complementary Metal Oxide Semiconductor</i> , Semicondutor Metal-Óxido Complementar
CS	<i>Common Source</i> , Fonte Comum
CT	<i>Continuous Time</i> , Tempo Contínuo
DAC	<i>Digital-to-Analog Converter</i> , Conversor Digital-Analógico
DC	<i>Direct Current</i> , Corrente Contínua
DOR	<i>Digital Output Rate</i> , Taxa Digital de Saída
DR	<i>Dynamic Range</i> , Faixa Dinâmica
DT	<i>Discrete Time</i> , Tempo Discreto
ELD	<i>Excess Loop Delay</i> , Atraso Excessivo do Laço de Realimentação
ENOB	<i>Effective Number of Bits</i> , Número Efetivo de Bits
FOM	<i>Figure of Merit</i> , Figura de Mérito
FS	<i>Full-Scale</i> , Fundo de Escala
GBW	<i>Gain Bandwidth Product</i> , Produto Ganho-Faixa
IBN	<i>In Band Noise</i> , Ruído Dentro da Banda de Interesse
IC	<i>Integrated Circuit</i>
IF	Frequência Intermediária
IIT	<i>Impulse-Invariant Transformation</i> , Transformada Invariante ao Impulso

IM3	Intermodulação de Terceira Ordem
LHP	<i>Left Half-Plane</i> , Semi-Plano Esquerdo
MASH	<i>Multi-Stage Noise-Shaping</i> , <i>Noise-Shaping</i> de Múltiplos Estágios
MIM	<i>Metal-insulator-Metal</i> , Metal-isolante-Metal
MPW	<i>Multiple Project Wafer</i> , Wafer de Projetos Múltiplos
NRZ	<i>Non Return-to-Zero</i> , Sem Retorno para Zero
NTF	<i>Noise Transfer Function</i> , Função de Transferência do Ruído
OSR	<i>Oversampling Ratio</i> , Taxa de Sobreamostragem
OTA	<i>Operational Transconductance Amplifier</i> , Amplificador de Transcondutância
PSD	<i>Power Spectrum Density</i> , Densidade Espectral de Potência
RF	Rádio Frequência
RZ	<i>Return-to-zero</i> Retorno para Zero
SAR	<i>Successive Approximation Register</i> , Conversor de Aproximações Sucessivas
SC	<i>Switched-Capacitor</i> , Capacitor Chaveado
SCR	<i>Switched-Capacitor-Resistor</i> , Capacitor Chaveado com Resistor
SD	Sigma-Delta
SDC	<i>Sigma-Delta Converters</i>
SDM	Modulador Sigma-Delta
SDM-CT	Modulador Sigma-Delta em Tempo Contínuo
SDM-DT	Modulador Sigma-Delta em Tempo Discreto
SFDR	<i>Spurious Free Dynamic Range</i> , Faixa Dinâmica Livre de Espúrios
SI	<i>Switched-Current</i> , Corrente Chaveada
SNDR	<i>Signal to Noise and Distortion Ratio</i> , Relação Sinal-Ruído e Distorção
SNR	<i>Signal to Noise Ratio</i> , Relação Sinal-Ruído
SoC	<i>System-on-Chip</i> , Sistemas em Chip
SQNR	<i>Signal to Quantization Noise Ratio</i> , Relação-Sinal Ruído de Quantização
SR	<i>Slew Rate</i> , Taxa de Variação
STF	<i>Signal Transfer Function</i> , Função de Transferência do Sinal

## LISTA DE SÍMBOLOS

$A_0$	Ganho DC do Amplificador
$a_f$	Expoente do Ruído <i>flicker</i>
dBFS	dB em Relação ao Fundo de Escala
$\delta$	Incerteza do Período de Relógio
$\Delta$	Diferença Entre Dois Níveis de Quantização
$e(n)$	Erro de Quantização
$e(z)$	Erro de Quantização Processado
$E(z)$	Transformada Z do Ruído de Quantização
$f_{in}$	<i>Input Signal Frequency</i> , Frequência do Sinal de Entrada
$f_s$	<i>Sampling Frequency</i> , Frequência de Amostragem
$f_u$	Frequência de Ganho Unitário
$g_{mOTA}$	Transcondutância do OTA
$H(s)$	Filtro do Laço em Tempo Contínuo
$H(z)$	Filtro do Laço em Tempo Discreto
$I_{ref+}$	Corrente de Referência Positiva
$I_{ref-}$	Corrente de Referência Negativa
$k_f$	Parâmetro do Ruído <i>flicker</i> Dependente da Tecnologia
$n_f$	Fator de Excesso do Ruído <i>flicker</i>
$NTF(z)$	Função de Transferência do Ruído do Laço em Tempo Discreto
$n_{thermal}$	Fator de Excesso do Ruído Térmico
$\omega_a$	Frequência de Corte de -3 dB do Amplificador Expressa em rad/s
$\omega_u$	Frequência de Ganho Unitário do Amplificador Expressa em rad/s
$P_E$	Potência do Ruído de Quantização Dentro da Banda de Interesse
$P_Q$	Valor do Ruído Dentro da Banda de Interesse de um ADC Sobreamostrado
$R_{DAC}$	Resistor do DAC
$R_{DAC}(s)$	Função de Transferência do DAC

$\rho_q(e)$	Função de Densidade de Probabilidade do Erro de Quantização
$S_E(f)$	Densidade Espectral de Potência do Erro de Quantização
$\sigma$	Desvio Padrão
$\sigma^2$	Variância
$\sigma^2(e)$	Potência Total do Ruído de Quantização
$STF(z)$	Função de Transferência do Sinal do Laço em Tempo Discreto
$T_{CLK}$	Período do Sinal de Relógio sem <i>Jitter</i>
$T_s$	Período do Sinal de Relógio
$\bar{v}_{DAC}^2$	Densidade de Ruído do DAC
$\bar{v}_R^2$	Densidade de Ruído de um Resistor
$\bar{v}_{R_{in}}^2$	Densidade de Ruído do Resistor de Entrada
$\bar{v}_{OTA}^2$	Densidade de Ruído do OTA
$\bar{v}_{total}^2$	Densidade de Ruído Total na Entrada do Integrador
$V_{ref+}$	Tensão de Referência Positiva
$V_{ref-}$	Tensão de Referência Negativa
$X_{FS}$	Amplitude de Entrada de Fundo de Escala do Quantizador
$Y_{FS}$	Faixa de Saída de Fundo de Escala do Quantizador
$P_{noise}$	Potência de Ruído na Entrada do Integrador

# SUMÁRIO

<b>1</b>	<b>INTRODUÇÃO</b>	18
1.1	Motivação	19
1.2	Objetivos do Trabalho	19
1.3	Contribuições do Trabalho	19
1.4	Organização da Dissertação	20
<b>2</b>	<b>MODULAÇÃO SIGMA-DELTA</b>	21
2.1	Princípios da Conversão AD	21
2.1.1	Amostragem	21
2.1.2	Quantização	21
2.1.3	Sobreamostragem	23
2.1.4	<i>Noise-shaping</i>	24
2.2	Modulador Sigma-Delta	25
2.2.1	Performance de Moduladores Sigma-Delta	27
2.2.2	Classificação de Moduladores Sigma-Delta	29
2.3	Considerações	29
<b>3</b>	<b>MODULADORES SD EM TEMPO CONTÍNUO</b>	31
3.1	Introdução	31
3.2	Características dos SDMs-CT	32
3.2.1	Amostragem	32
3.2.2	Filtro	33
3.2.3	Quantizador	33
3.2.4	DAC	33
3.3	Vantagens dos SDMs-CT	35
3.4	Metodologias de Projeto em Alto Nível de SDMs-CT	37
3.4.1	Transformação DT/CT	37
3.4.2	Síntese Direta do Filtro do Laço	39
3.5	Desvantagens e Não-idealidades de SDMs-CT	39
3.5.1	<i>Jitter</i> do Sinal de Relógio	39
3.5.2	<i>Excess Loop Delay</i>	41
3.5.3	Não-idealidades do Filtro	42
3.6	Considerações	44
<b>4</b>	<b>MODELAGEM DAS NÃO-IDEALIDADES E PROJETO DE ALTO NÍVEL DO SDM-CT</b>	45
4.1	Introdução	45



<b>4.2</b>	<b>Modelagem das Não-idealidades de SDMs</b>	45
<b>4.3</b>	<b>Modelagem das Não-idealidades de SDMs-CT</b>	46
<b>4.4</b>	<b>Modelo Desenvolvido</b>	47
4.4.1	Modelagem de Integradores RC-ativos	47
4.4.2	Modelo de um Quantizador <i>Single-bit</i>	48
4.4.3	Modelo de DACs <i>Single-bit</i> NRZ	48
4.4.4	Modelo de DACs <i>Single-bit</i> SCR	49
4.4.5	Modelo do ELD	50
4.4.6	Modelagem do <i>Jitter</i> do Sinal de Relógio	50
<b>4.5</b>	<b>Estudo de Caso: Simulação com o Modelo Desenvolvido</b>	51
4.5.1	Efeitos do <i>Jitter</i>	52
4.5.2	Efeitos do Ganho DC e <i>Slew Rate</i> Finito dos Amplificadores	52
4.5.3	Efeitos da Frequência de Ganho Unitário Finita dos Amplificadores	53
4.5.4	Efeito do ELD	54
4.5.5	Efeito de Todas as Não-idealidades Modeladas	54
<b>4.6</b>	<b>Análise de Ruído</b>	55
4.6.1	Ruído na Entrada de SDMs-CT	56
4.6.2	Especificação do Ruído Máximo na Entrada do SDM-CT	57
4.6.3	Medidas de Ruído	58
4.6.4	Dimensionamento do Resistor de Entrada do CT Modulador	59
<b>4.7</b>	<b>Projeto de Alto Nível do SDM-CT</b>	59
4.7.1	Escolha da Topologia	60
4.7.2	Projeto do Laço em Tempo Contínuo	60
4.7.3	Performance Ideal	61
4.7.4	Performance com Não-idealidades	62
<b>4.8</b>	<b>Considerações</b>	65
<b>5</b>	<b>PROJETO DO SDM-CT EM TECNOLOGIA CMOS</b>	66
<b>5.1</b>	<b>Definições Gerais</b>	66
5.1.1	Definição da Topologia dos Integradores	66
5.1.2	Implementação em Nível Elétrico dos Coeficientes de Alimentação em Avanço	67
5.1.3	Implementação em Nível Elétrico dos Coeficiente de Realimentação $\gamma$	67
5.1.4	Esquemático de Topo Simplificado do SDM-CT Projetado	67
5.1.5	Definição do Amplificador dos Integradores	67
<b>5.2</b>	<b>Especificações da Implementação em Nível Elétrico</b>	69
<b>5.3</b>	<b>Implementação dos Coeficientes</b>	69
5.3.1	Cálculo dos Resistores e Capacitores dos Integradores	69
5.3.2	Implementação dos Coeficientes de Alimentação em Avanço.	69
5.3.3	Definição do Tipo de Resistor Empregado	70
5.3.4	Definição do Tipo de Capacitor Empregado	70
<b>5.4</b>	<b>Projeto do Amplificador Operacional</b>	71
5.4.1	Resultados de Simulação do Amplificador	76
<b>5.5</b>	<b>Projeto do Quantizador de 1-bit (ADC)</b>	78
5.5.1	Comparadores do Tipo <i>Latch</i>	78
5.5.2	Topologia do Quantizador	80
5.5.3	Simulação do Quantizador	82
<b>5.6</b>	<b>Projeto do DAC NRZ de 1-bit</b>	82
5.6.1	DAC de 1-bit <i>Current-steering</i>	82

5.6.2	Simulação do DAC	85
<b>5.7</b>	<b>Projeto Completo do Modulador em Nível de Esquemático</b>	<b>86</b>
<b>5.8</b>	<b>Leiaute</b>	<b>86</b>
<b>6</b>	<b>RESULTADOS OBTIDOS E DISCUSSÕES</b>	<b>87</b>
<b>6.1</b>	<b>Resultados em Nível de Esquemático</b>	<b>88</b>
<b>6.2</b>	<b>Resultados Pós-Leiaute</b>	<b>90</b>
<b>6.3</b>	<b>Comparação com o Estado da Arte</b>	<b>93</b>
<b>6.4</b>	<b>Discussões</b>	<b>94</b>
<b>7</b>	<b>CONCLUSÕES</b>	<b>95</b>
<b>7.1</b>	<b>Trabalhos Futuros</b>	<b>96</b>
7.1.1	Teste e Caracterização do Chip	96
7.1.2	Aprimoramento nos Modelos Comportamentais	96
7.1.3	Otimizações nos Blocos Analógicos	96
7.1.4	Projeto de um Modulador Reconfigurável	97
7.1.5	Projeto de um Filtro Decimador	97
	<b>REFERÊNCIAS</b>	<b>98</b>
	<b>APÊNDICE A MODELO COMPLETO DOS SDMS-CT NO AMBIENTE MATLAB/SIMULINK®</b>	<b>105</b>
A.0.6	SDM-CT CIFB com DAC NRZ	105
A.0.7	SDM-CT CIFB com DAC SCR	106
	<b>APÊNDICE B ESQUEMÁTICO DE TOPO DO SDM-CT</b>	<b>107</b>
	<b>APÊNDICE C LEIAUTE DOS CIRCUITOS</b>	<b>108</b>
C.0.8	Leiaute dos Resistores	108
C.0.9	Leiaute dos Capacitores	108
C.0.10	Leiaute dos Amplificadores	109
C.0.11	Leiaute do Quantizador	110
C.0.12	Leiaute do DAC	110
C.0.13	Leiaute do Circuito de Polarização do DAC	111
C.0.14	Leiaute do Circuito de Polarização Principal	111
C.0.15	Leiaute Completo do Modulador	112
	<b>APÊNDICE D ANÁLISE DA IMPEDÂNCIA DE ENTRADA DE UM INTE- GRADOR RC-ATIVO</b>	<b>113</b>
D.0.16	Análise da Impedância de Entrada de um Integrador RC-Ativo	113
	<b>APÊNDICE E HISTOGRAMAS DA SIMULAÇÃO DE MONTE CARLO DO AMPLIFICADOR</b>	<b>115</b>
	<b>APÊNDICE F MICROFOTOGRAFIA DO CHIP PROTOTIPADO</b>	<b>116</b>
	<b>ANEXO A FUNÇÕES DE TRANSFERÊNCIA - DACS</b>	<b>117</b>
A.0.17	DAC RZ	117
A.0.18	DAC NRZ	117
A.0.19	DAC SCR	118

# 1 INTRODUÇÃO

O processo de conversão Analógico-Digital (AD) destaca-se pela sua grande importância dentro da área de processamento de sinais (ALLEN; HOLBERG, 2002). Isto é explicado pois, atualmente, grande parte do processamento de sinais em circuitos eletrônicos é efetuado digitalmente (RAPUANO *et al.*, 2005).

Os Moduladores Sigma-Delta (SDMs) surgiram na década de 60 e são empregados no desenvolvimento de conversores analógico-digitais (ADCs) do tipo Sigma-Delta (SD). Estes são compostos basicamente por um filtro anti-alias (AAF), um SDM e um filtro decimador na saída, conforme Figura 1, sendo o SDM o bloco fundamental de um ADC SD, visto que ele limita a largura de banda e precisão do ADC.



Figura 1: Diagrama conceitual de um ADC SD.

Os SDMs têm sido empregados em diferentes aplicações industriais que abrangem desde circuitos de instrumentação até aplicações em circuitos de comunicação, como em receptores de rádio frequência (RF) (A. MORGADO; ROSA, 2011).

Sistemas de comunicação e dispositivos móveis, como telefones celulares, notebooks e tablets, tendem a apresentar sistemas de comunicação sem fio com suporte a diferentes padrões de comunicação. Conversores analógico-digitais estão presentes na maioria destes sistemas, principalmente nos receptores de rádio frequência, e eles devem apresentar um bom compromisso entre consumo de energia e largura de banda do sinal de entrada. Tal abordagem leva ao desenvolvimento de ADCs reconfiguráveis. Os ADCs SD são os candidatos mais adequados para a adaptação e desenvolvimento de ADCs reconfiguráveis. Assim, torna-se atraente o estudo, análise e desenvolvimento de SDMs.

Adicionalmente, uma das principais características dos SDMs é a sua robustez, apresentando menor sensibilidade às imperfeições dos circuitos analógicos que o compõe, o que os torna uma ótima escolha para o projeto de ADCs em circuitos integrados CMOS em escala nanométrica e em modernos sistemas em chip (SoC) (A. MORGADO; ROSA, 2011). Eles proporcionam alta resolução com componentes de relativamente baixa precisão devido aos benefícios de ambos, *noise-shaping* e sobreamostragem, enquanto apresentam um bom compromisso entre largura de banda do sinal de entrada e precisão.

Existem duas abordagens para o desenvolvimento de SDMs: projeto em tempo discreto (DT) e projeto em tempo contínuo (CT). Esta dissertação aborda o estudo, modelagem e o projeto de um SDM em tempo contínuo (SDMs-CT) com baixo consumo de energia em tecnologia CMOS de 130 nm.

## 1.1 Motivação

Os SDMs-CT têm recebido atenção crescente nos últimos anos devido à necessidade de desenvolvimento de ADCs com baixo consumo de energia, alta largura de banda e média e alta resolução para aplicações em sistemas de comunicação sem fio de banda larga implementados em tecnologias CMOS avançadas.

Enquanto os SDMs-CT oferecem vantagens significativas sobre seus homólogos em tempo discreto, como menor consumo de energia, maior largura de banda do sinal de entrada e AAF implícito, eles sofrem devido às não-idealidades do circuito que podem degradar o seu desempenho. Dentre essas não-idealidades as principais contribuições para a redução da relação sinal-ruído (SNR) são dadas por efeitos de *jitter* do sinal de relógio, *Excess Loop Delay* (ELD) e as limitações de integradores analógicos.

Assim, é necessário compreender as principais características e dominar o fluxo de projeto completo de SDMs em tempo contínuo visando o desenvolvimento destes para aplicações em circuitos de comunicação.

Adicionalmente, a análise e projeto de SDMs-CT têm sido alvo de pesquisas ao redor do mundo visando o desenvolvimento de moduladores com maior largura de banda e menor consumo de energia para suprir as demandas dos diferentes e crescentes protocolos de comunicação sem fio. Assim, como principal motivação do desenvolvimento deste trabalho de mestrado destaca-se a inserção da nossa Universidade dentro desta linha de pesquisa e desenvolvimento.

## 1.2 Objetivos do Trabalho

O principal objetivo deste trabalho é estudar, analisar e projetar SDMs em tempo contínuo aplicados à conversão AD. Para isto, deve-se compreender as principais não-idealidades que afetam o desempenho de SDMs-CT e qual o impacto destas na performance do mesmo. Deste modo, é necessário efetuar a modelagem destas não-idealidades para posteriormente analisar os seus impactos na performance dos SDMs-CT.

Objetivando explorar o modelo desenvolvido foi projetado neste trabalho um CT SDMs do tipo passa-baixas *single-loop single-bit* e baixo consumo de energia em tecnologia CMOS de 130 nm para aplicações em receptores de RF do tipo Zero-IF que abrangem os seguintes protocolos: GSM, Bluetooth e GPS.

## 1.3 Contribuições do Trabalho

Após o estudo e análise de SDMs-CT e de suas não-idealidades foi desenvolvido um modelo comportamental para simular e analisar o impacto destas não-idealidades na performance de SDMs-CT. O modelo comportamental foi desenvolvido no ambiente Matlab/Simulink<sup>®</sup> (MATLAB, 2014) e a metodologia de modelagem desenvolvida foi publicada em (AGUIRRE *et al.*, 2013).

A partir da modelagem e análise de performance de um SDM-CT pode-se obter uma estimativa do desempenho real de tal modulador e determinar as especificações mínimas

de cada bloco analógico que o compõe, como o *Slew Rate* (SR), frequência de ganho unitário ( $f_u$ ) e ganho DC dos amplificadores operacionais utilizados nos integradores, e os valores toleráveis de ELD e *jitter*. Adicionalmente, foi desenvolvida neste trabalho uma metodologia para simulação de SDMs-CT compostos por DACs com forma de ondas exponenciais, conhecidos como DACs a capacitor chaveado e resistor, do inglês *switched-capacitor-resistor* (SCR), no Matlab/Simulink<sup>®</sup>.

Com base neste modelo e no estudo das diferentes topologias de SDMs foi projetado um SDM-CT do tipo passa-baixas de laço único (*single-loop*), *single-bit*, de terceira ordem em tecnologia CMOS IBM 8RF-DM (MOSIS, 2014) de 130 nanômetros com tensão de alimentação de 1,2 V voltado ao baixo consumo de energia.

Os resultados de simulação pós-leiaute, com a inclusão de elementos parasitas, para uma banda de sinal de 1 MHz indicam uma Relação Sinal-Ruído e Distorção (SNDR) de pico de 57,31 dB, Número Efetivo de Bits (ENOB) de 9,23 bits, consumo de energia de 5,91 mW e uma Figura de Mérito (FOM) de 4,93 pJ/conv deixando o modulador próximo ao estado da arte em relação aos SDMs-CT do tipo passa-baixas *single-loop single-bit*.

Deste modo, foi possível compreender e analisar o fluxo completo de projeto de SDMs-CT em tecnologia CMOS. As análises críticas dos resultados obtidos encontram-se no final desta dissertação.

## 1.4 Organização da Dissertação

Este trabalho está organizado em 7 Capítulos. O Capítulo seguinte apresenta os principais conceitos sobre Modulação Sigma-Delta. O Capítulo 3 apresenta o embasamento teórico para a compreensão do princípio de funcionamento e projeto de SDMs-CT. A modelagem das não-idealidades presentes nos SDMs em tempo contínuo e o projeto em alto nível do modulador são apresentadas no Capítulo 4. O Capítulo 5 apresenta em detalhes o projeto elétrico em tecnologia CMOS de 130 nm do SDM-CT projetado. Os resultados obtidos e discussões referentes ao projeto e simulação em nível elétrico do modulador são apresentados no Capítulo 6. Finalmente, no Capítulo 7 são apresentadas as principais conclusões do trabalho e as sugestões para trabalhos futuros.

## 2 MODULAÇÃO SIGMA-DELTA

### 2.1 Princípios da Conversão AD

A conversão de sinais analógicos para o domínio digital é efetuada por um conversor analógico-digital e sua operação é dividida em duas fases: Amostragem no tempo e quantização em amplitude.

#### 2.1.1 Amostragem

De acordo com o Teorema de Nyquist (HAYKIN; MOHER, 2006), a frequência de amostragem,  $f_s$ , necessária para a perfeita reconstrução de um sinal após o processo de amostragem, sem distorção, deve ser de pelo menos duas vezes a máxima componente de frequência de interesse do sinal amostrado  $f_{in}$ :

$$f_s \geq f_N = 2 \times f_{in} \quad (1)$$

onde  $f_N$  é definida como a frequência de Nyquist.

Como os conversores analógico-digitais são responsáveis por converter sinais contínuos dentro de uma largura de banda (BW) finita em um sinal discreto no tempo, assume-se que a frequência de amostragem deve satisfazer o teorema de Nyquist, assim:  $f_s \geq 2 \times BW$ .

A relação entre a frequência de amostragem e a frequência de Nyquist é referenciada como taxa sobreamostragem (OSR):

$$OSR = \frac{f_s}{2 \times BW} \quad (2)$$

Os conversores AD são classificados de acordo com o OSR. Os ADCs com OSR unitário ou levemente superior a um (tipicamente de 1,5 a 10) são denominados conversores do tipo Nyquist-rate, enquanto ADCs com OSR muito maior que um (tipicamente de 10 a 512) são denominados ADCs sobreamostrados (JOHNS; MARTIN, 1997).

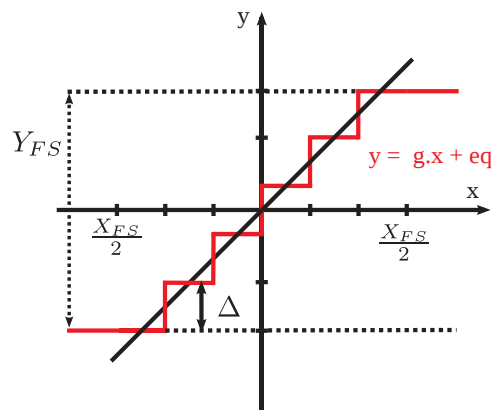
Dentre os ADCs do tipo Nyquist-rate pode-se citar os ADCs integradores dupla-rampa, conversores de aproximação sucessiva (SAR) e conversores *flash*. Já dentre os conversores sobreamostrados destacam-se os ADCs Sigma-Delta (MALOBERTI, 2007) (JESPER, 2001).

#### 2.1.2 Quantização

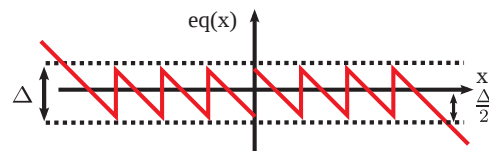
O processo de quantização em amplitude, comumente chamado apenas de quantização, é o processo que transforma uma faixa de sinal contínuo em um conjunto de valores discretos finitos.

O processo de quantização é efetuado por um bloco chamado quantizador. Mesmo com o emprego de um quantizador ideal são introduzidos erros inerentes ao processo de quantização, conhecidos como erro de quantização. Adicionalmente, o processo de quantização é não reversível, ocasionando a redução da resolução do sinal digitalizado, ou seja, ocasiona a perda de informação do sinal original (ROSA, 2011).

A Figura 2 ilustra o processo de quantização. Na Figura 2(a) observa-se a curva de transferência de um quantizador ideal onde os passos de quantização, cujos valores são representados no eixo y, são interligados através de uma reta que cruza por zero. O erro de quantização  $eq(x)$  é uma função não linear do sinal de entrada  $x$  e este é ilustrado na Figura 2(b).



(a) Quantização uniforme.



(b) Erro de quantização.

Figura 2: Processo de quantização.

### 2.1.2.1 Modelo do quantizador

O erro de quantização pode ser fortemente correlacionado ao sinal de entrada do quantizador (JOHNS; MARTIN, 1997). Entretanto, se for considerado que não existe correlação pode-se aproximar o comportamento do erro de quantização pela adição de uma fonte de ruído branco ao sinal de entrada, conforme Figura 3.

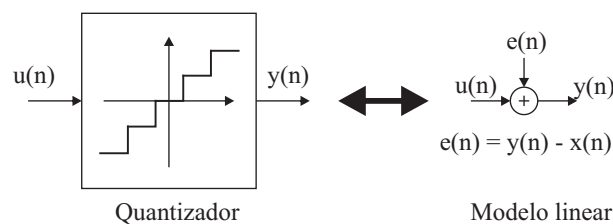


Figura 3: Modelo linear de um quantizador.

O erro de quantização é a diferença entre o sinal de entrada e o sinal de saída do quantizador, e neste modelo ele é aproximado como um número aleatório independente



distribuído uniformemente entre  $\pm\Delta/2$ , onde  $\Delta$  é igual a diferença entre dois níveis de quantização adjacentes (JOHNS; MARTIN, 1997). Contudo, este modelo é válido apenas quando o sinal de entrada varia rapidamente e possui amplitude menor ou igual a amplitude de entrada de fundo de escala, do inglês *Full-Scale* (FS),  $\pm X_{FS}/2$  do quantizador. Caso a amplitude do sinal de entrada esteja fora do limite  $\pm X_{FS}/2$  o erro de quantização excede o valor  $\pm\Delta/2$  e cresce monotonicamente (ROSA, 2011).

Para um quantizador de N bits, o passo de quantização  $\Delta$  é definido pela Equação 3.

$$\Delta = \frac{Y_{FS}}{2^N - 1} \quad (3)$$

onde  $Y_{FS}$  é faixa de saída de fundo de escala do quantizador e N o número de bits do quantizador.

A função de densidade de probabilidade do erro de quantização,  $\rho_q(e)$ , é uniforme na faixa de  $[-\Delta/2, +\Delta/2]$ , como ilustrado na Figura 4(a).

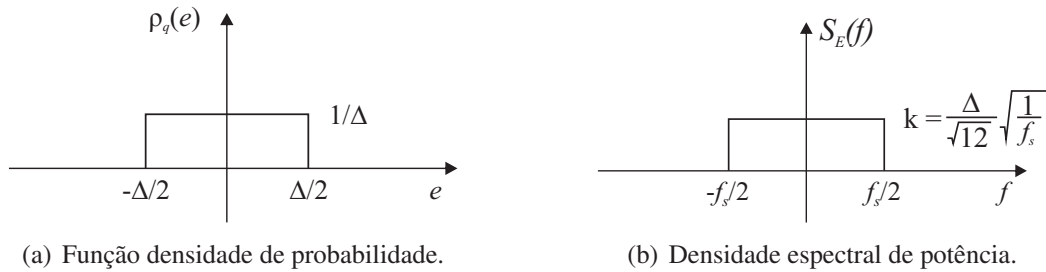


Figura 4: Ruído de quantização.

A potência total do ruído de quantização,  $\sigma^2(e)$ , é igual a  $\Delta^2/12$  e é independente da frequência de amostragem  $f_s$  (JOHNS; MARTIN, 1997), sendo distribuída uniformemente na faixa  $[-\frac{f_s}{2}, \frac{f_s}{2}]$ .

Assim, a densidade espectral de potência do erro de quantização,  $S_E(f)$ , é constante com amplitude  $k = \frac{\Delta}{\sqrt{12}} \sqrt{\frac{1}{f_s}}$  e concentrada no intervalo  $[-\frac{f_s}{2}, \frac{f_s}{2}]$ , como mostra a Figura 4(b), sendo calculada através da Equação 4.

$$S_E(f) = \frac{\sigma^2(e)}{f_s} = \frac{\Delta^2}{12 \times f_s} \quad (4)$$

Assim, a potência do ruído de quantização dentro da banda de interesse ( $P_E$ ) é calculada através de Equação 5.

$$P_E = \int_{-BW}^{BW} S_E(f) df = \int_{-BW}^{BW} k df = \frac{\Delta^2}{12 \times OSR} \quad (5)$$

### 2.1.3 Sobreamostragem

O processo de sobreamostragem consiste em amostrar sinais à uma frequência superior à frequência de Nyquist, como visto anteriormente, e possui dois efeitos perceptíveis em um conversor AD.

O primeiro efeito é que desde que  $f_s$  seja maior que a taxa de Nyquist, as imagens do sinal de entrada criadas pelo processo de amostragem ficam mais espaçadas no domínio da frequência do que em um ADC do tipo Nyquist-rate, como ilustrado na Figura 5.

Assim, as componentes espectrais do sinal de entrada nas faixas  $[BW, f_s - BW]$  não se sobrepõem com a banda de sinal e o fator de atenuação do AAF pode ser mais suave em um ADC sobreamostrado, simplificando o projeto e reduzindo o custo do AAF.



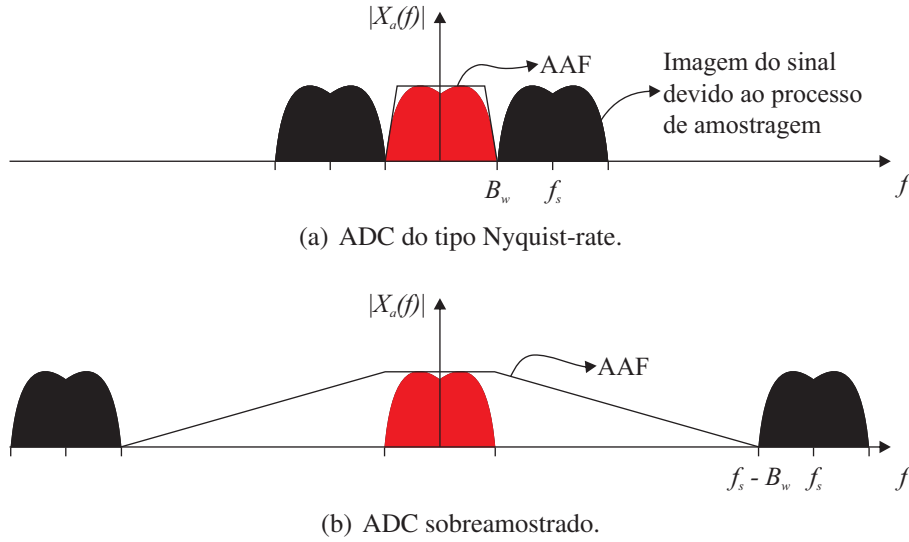


Figura 5: Imagens do sinal de entrada e AAF.

O segundo efeito é associado à distribuição uniforme do ruído de quantização dentro da faixa  $[-\frac{f_s}{2}, \frac{f_s}{2}]$ , onde apenas uma fração do ruído de quantização é localizada dentro da banda de sinal do ADC. Com base na Equação 5 nota-se que é possível diminuir a potência do ruído de quantização com o aumento do OSR. Por exemplo, se o OSR for incrementado duas vezes pode-se reduzir pela metade a potência do ruído de quantização dentro da banda de interesse, ou seja, 3 dB. Assim, o ruído de quantização dentro da banda de interesse é reduzido devido ao aumento do OSR à uma taxa de 3 dB/oitava. Isto pode ser verificado na Figura 6.

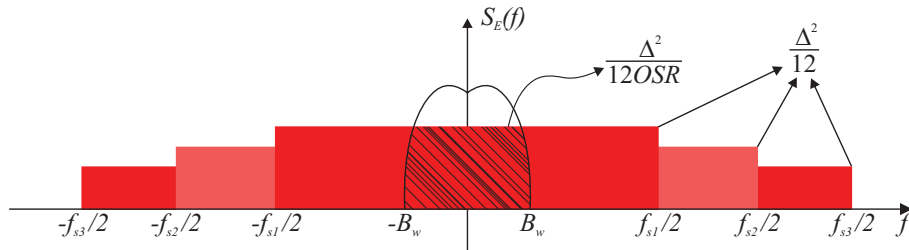


Figura 6: Ruído de quantização dentro da banda de interesse de acordo com  $f_s$ .

O cálculo da relação sinal-ruído (SNR) máxima para um ADC de  $N$  bits do tipo Nyquist-rate é efetuado através da Equação 6 (JOHNS; MARTIN, 1997).

$$SNR = 6,02 \times N + 1,76 \text{ dB} \quad (6)$$

Como a potência do ruído de quantização dentro da banda de interesse depende da taxa de sobreamostragem pode-se adequar a Equação 6 para calcular a relação sinal-ruído de quantização (SQNR) máxima de um conversor AD, como mostra a Equação 7.

$$SQNR = 6,02 \times N + 1,76 + 10 \times \log(OSR) \text{ dB} \quad (7)$$

#### 2.1.4 Noise-shaping

A potência do ruído de quantização dentro da banda de sinal pode ser reduzida com o processamento do erro de quantização, possivelmente ao custo do aumento do ruído de

quantização fora da banda de sinal. Deste modo, o espectro plano do ruído de quantização é modificado resultando em um espectro modelado, como ilustra a Figura 7 (MALO-BERTI, 2007).

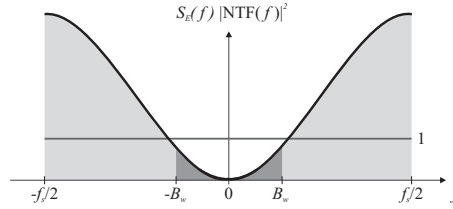


Figura 7: Efeito do *noise-shaping* em um SDM.

Destaca-se que o incremento do ruído de quantização em regiões de alta frequência não é crítico, pois utiliza-se um filtro digital depois do SDM que remove este ruído em altas frequências, ver Figura 1.

Considerando a quantização de um sinal sobreamostrado, e um elevado OSR, têm-se que a amplitude do sinal de entrada irá mudar pouco em relação a última amostra. Conclui-se então que o erro de quantização  $e(n)$  entre uma amostra e outra será similar em baixas frequências e as maiores mudanças no valor do erro de quantização irão ocorrer em altas frequências (A. MORGADO; ROSA, 2011). Assim, para atenuar as componentes de baixa frequência do ruído de quantização basta subtrair a amostra anterior da amostra atual:

$$e_Q(n) = e(n) - e(n - 1) \quad (8)$$

Adicionalmente, pode-se empregar um número maior de amostras anteriores durante o processamento do ruído de quantização (A. MORGADO; ROSA, 2011). Pode-se generalizar este procedimento no domínio Z empregando a transformada Z de acordo com a Equação 9.

$$e(z) = (1 - z^{-1})^L \times E(z) \quad (9)$$

onde  $E(z)$  é a transformada Z do ruído de quantização. Nota-se que o erro de quantização processado,  $e(z)$ , é uma versão filtrada por um filtro passa-altas do erro de quantização original (A. MORGADO; ROSA, 2011). A função de transferência deste filtro é conhecida como função de transferência de ruído (NTF) e é definida como:

$$NTF(z) = (1 - z^{-1})^L \quad (10)$$

onde L é a ordem do filtro. Deste modo, pode-se calcular aproximadamente o valor do ruído dentro da banda de interesse de um conversor AD sobreamostrado,  $P_Q$ , através da Equação 11 (SCHREIER; TEMES, 2005).

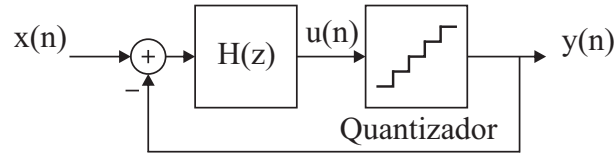
$$P_Q = \frac{\Delta^2}{12} \times \frac{\pi^{(2L)}}{(2L + 1) \times OSR^{(2L+1)}} \quad (11)$$

## 2.2 Modulador Sigma-Delta

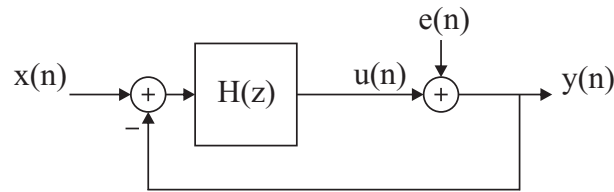
A modulação sigma-delta é baseada na sobreamostragem e no emprego de *noise-shaping* para reduzir o ruído de quantização dentro da banda de sinal. Assim, a essência

de um modulador SD é a incorporação de um quantizador de N bits dentro de um laço realimentado.

A arquitetura básica de um SDM, ilustrada na Figura 8(a), apresenta um sinal de entrada,  $x(n)$ , que é amostrado, e após processado pelo bloco  $H(z)$  e convertido em um valor digital através do quantizador de N bits.



(a) Arquitetura básica.



(b) Modelo Linear.

Figura 8: Modulador SD.

O laço de realimentação é composto por um conversor digital-analógico (DAC) de N bits, responsável pela geração de uma representação analógica do sinal digital, recém convertido pelo quantizador de N bits, que será subtraída do sinal de entrada na entrada do modulador.

O erro de quantização ocorre devido ao quantizador e é representado no modelo linear do SDM como uma adição de ruído branco junto ao quantizador, conforme Figura 8(b). Deste modo, o modulador pode ser analisado como um sistema de duas entradas cuja saída é representada no domínio Z como:

$$Y(z) = STF(z) \times X(z) + NTF(z) \times E(z) \quad (12)$$

onde  $X(z)$ ,  $Y(z)$  e  $E(z)$  são, respectivamente, as representações dos sinais de entrada, de saída e do erro de quantização do SDM no domínio Z,  $STF(z)$  é a função de transferência do sinal de entrada e  $NTF(z)$  é a função de transferência do ruído de quantização.

Ambas funções de transferência podem ser obtidas através da escolha correta da função de transferência do laço  $H(z)$ . Almeja-se que  $H(z)$  não influencie no sinal de entrada e filtre o ruído de quantização na banda de interesse. Deste modo,  $H(z)$  deve ser escolhida de tal maneira que a  $STF(z)$  se comporte como um filtro passa-baixas para o sinal de entrada e a  $NTF(z)$  se comporte como um filtro passa-altas para o ruído de quantização. A função de transferência  $H(z)$  que melhor se adéqua a estes propósitos é a de um integrador, que no domínio Z é expressa como:

$$H(z) = \frac{z^{-1}}{(1 - z^{-1})} \quad (13)$$

O diagrama de blocos de um SDM clássico de primeira ordem empregando a função de transferência  $H(z)$  da Equação 13 é apresentado na Figura 9. A representação no domínio Z do sinal de saída do modulador  $Y(z)$  é agora apresentado na Equação 14.

$$Y(z) = z^{-1} \times X(z) + (1 - z^{-1}) \times E(z) \quad (14)$$

A partir da Equação 14 é possível concluir que o sinal de entrada estará atrasado por um ciclo de sinal de relógio, enquanto o erro de quantização é filtrado por um filtro do tipo passa altas cuja função de transferência no domínio Z é  $(1 - z^{-1})$ .

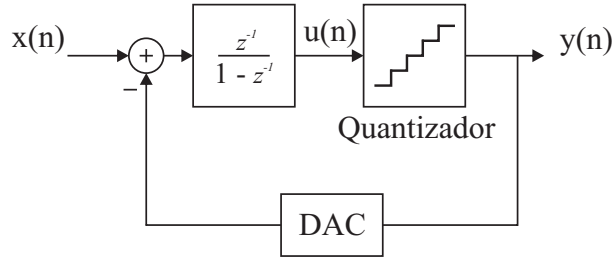


Figura 9: SDM de primeira ordem.

### 2.2.1 Performance de Moduladores Sigma-Delta

A performance dos SDMs pode ser avaliada através de alguns parâmetros: faixa dinâmica, do inglês *Dynamic Range* (DR), relação sinal-ruído e distorção, do inglês *Signal-to-Noise-plus-Distortion Ratio* (SNDR), e número efetivo de bits, do inglês *Effective Number of Bits* (ENOB).

O DR é a amplitude do sinal de entrada em que o SNDR do modulador é igual a zero (MALOBERTI, 2007) e o seu valor é aproximadamente igual ao SNDR (JOHNS; MARTIN, 1997). O SNDR é taxa entre a potência do sinal (normalmente um sinal senoidal) e a potência do ruído total produzido pelo circuito e pelo processo de quantização, considerando também as distorções causadas pelo circuito do modulador (ORTAMANN; GERFERS, 2006). Já o ENOB é a representação em bits do SNDR, ou seja, é a resolução de um ADC ideal necessária para o valor da relação sinal-ruído-de-quantização, do inglês *Signal-to-Quantization-Noise Ratio* (SQNR), deste ADC ser igual ao SNDR do modulador (JOHNS; MARTIN, 1997).

O DR ideal de um SDM é calculado através da Equação 15 (A. MORGADO; ROSA, 2011) e o ENOB pode ser calculado de através da Equação 16.

$$DR \approx SNDR \approx 10 \times \log_{10} \left( \frac{3}{2} \times (2^N - 1)^2 \times \frac{(2L + 1) \times OSR^{(2L+1)}}{\pi^{(2L)}} \right) \quad (15)$$

$$ENOB = \frac{SNDR - 1,76}{6,02} \quad (16)$$

onde N é o número de bits do quantizador, L é ordem do filtro e OSR é a taxa de sobreamostragem. A partir da Equação 15 nota-se que o SNDR é proporcional à taxa de sobreamostragem, à ordem do filtro e ao número de bits do quantizador. Assim, as estratégias para o incremento da performance de SDM são baseadas no incremento de um ou mais destes parâmetros.

#### 2.2.1.1 Aumento da ordem do filtro

O aumento da ordem do filtro de um SDM ocasiona o aumento de performance do DR. Entretanto, problemas de instabilidade surgem a partir do projeto de SDM com  $L > 3$  (SCHREIER; TEMES, 2005).

### 2.2.1.2 Aumento da taxa de sobreamostragem

O aumento da taxa de sobreamostragem ocasiona um incremento do DR, e este é dependente da ordem  $L$  do filtro. Em um SDM de primeira ordem aumenta-se o DR em 1,5 bit/oitava de OSR. De maneira geral, pode-se dizer que o incremento da taxa de sobreamostragem gera um aumento de  $(2 \times L + 0,5)$  bits/oitava no DR de um SDM com filtro de ordem  $L$ . A Figura 10 apresenta a potência do ruído de quantização dentro da banda de interesse em função da taxa de sobreamostragem para SDMs de ordem  $L$ . Já a Figura 11 ilustra o DR ideal em função da taxa de sobreamostragem de SDMs de ordem  $L$  (*single-bit*).

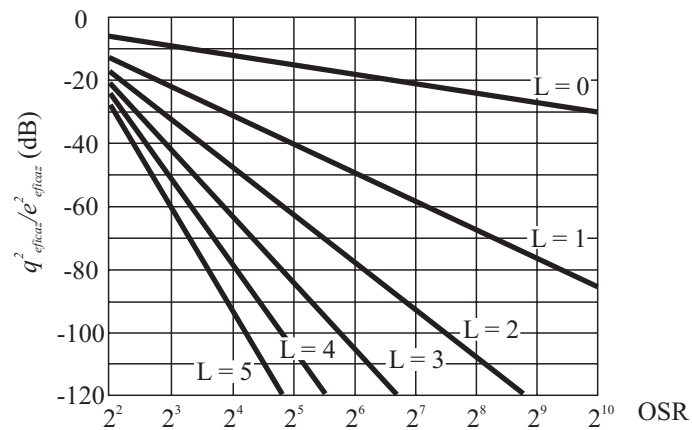


Figura 10: Potência teórica do ruído de quantização dentro da banda de interesse em função da taxa de sobreamostragem para SDMs de ordem  $L$ .

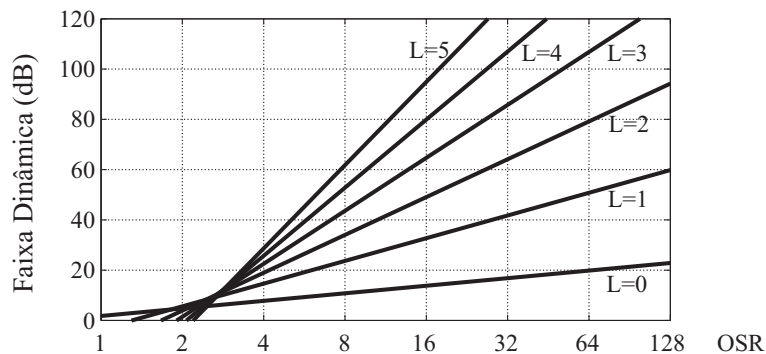


Figura 11: DR ideal de um SDM em função da taxa de sobreamostragem para SDMs de ordem  $L$  (*single-bit*).

### 2.2.1.3 Aumento do número de bits do quantizador

O incremento do DR de um SDM é de aproximadamente 1 bit (6 dB) para cada bit extra do quantizador. Isto leva ao desenvolvimento de quantizadores e DACs multi-bit, que ao contrário de quantizadores e DACs de 1-bit, não são lineares.

As não-linearidades geradas pelo DAC multi-bit são adicionadas diretamente na entrada do modulador e não são reduzidas pelo *noise-shaping*. Deste modo, a linearidade do DAC deve possuir a mesma especificação de linearidade do SDM, o que incrementa a complexidade de projeto do DAC multi-bit, gerando também o incremento do consumo de energia do modulador.

## 2.2.2 Classificação de Moduladores Sigma-Delta

Diferentes arquiteturas de SDMs já foram e continuam a ser reportadas na literatura (SCHREIER; TEMES, 2005) (ROSA, 2011). Tais arquiteturas foram desenvolvidas visando o aumento da performance dos SDMs através das estratégias citadas na subsecção anterior. Abaixo segue as principais classificações de SDMs.

### 2.2.2.1 Banda de sinal

Os SDMs podem ser empregados para o processamento de sinais em banda base com frequência intermediária (IF) igual a zero ou diferente de zero. Os SDMs do tipo passa-baixas são empregados para processamento de sinais de banda base com IF igual a zero e os SDMs do tipo passa-banda são empregados para processamento de sinais com IF diferente de zero.

### 2.2.2.2 Número de bits do quantizador

Os SDMs podem ser classificados como *single-bit* ou multi-bit, conforme o número de bits do quantizador (RÍO *et al.*, 2006).

### 2.2.2.3 Número de quantizadores

Os SDMs que possuem apenas um quantizador são classificados como estruturas de laço único, do inglês *single-loop*. Já os SDMs que apresentam mais de um quantizador, e conseqüentemente mais que um laço, são classificados como SDMs em cascata. Filtros do laço de estruturas de laço único de ordem superior a dois estão sujeitos a instabilidade (SCHREIER; TEMES, 2005). Assim, os SDMs em cascata são utilizados para gerar um *noise-shaping* de ordem elevada, empregando mais de um laço de ordem, geralmente, menor ou igual a 2 (ORTAMANN; GERFERS, 2006).

### 2.2.2.4 Natureza do laço

Os SDMs são classificados em relação a natureza do laço basicamente em dois grupos: os SDMs em tempo discreto e os SDMs em tempo contínuo, foco deste trabalho. Recentemente, outro tipo de classificação surgiu: os SDMs híbridos, que misturam as características de ambos, SDMs-DT e SDMs-CT (MORGADO; ROSA; RIO, 2009).

### 2.2.2.5 Estado da arte

Visto que os SDMs são amplamente estudados e pesquisados é mantido em (ROSA, 2013) um estudo e análise de performance dos SDMs publicados na literatura. Esta lista é atualizada a cada 6 meses e possibilita uma comparação com os SDMs estado da arte. Este levantamento é efetuado considerando apenas os trabalhos apresentados em revistas, jornais e conferências de impacto na área de projeto e análise de circuitos integrados.

## 2.3 Considerações

Neste Capítulo foram fornecidos os conceitos básicos sobre modulação sigma-delta e as principais características dos SDMs. O foco deste trabalho de mestrado concentra-se no estudo, análise e projeto de SDMs-CT do tipo passa baixas de laço único, *single-bit*. Assim, para mais detalhes sobre as diferentes arquiteturas e topologias de SDMs pode-se recorrer aos diversos livros e artigos encontrados na literatura (MALOBERTI,

2007) (A. MORGADO; ROSA, 2011) (ROSA; RIO, 2013) (ROSA, 2011) (SCHREIER; TEMES, 2005) (ORTAMANN; GERFERS, 2006).

Na próximo Capítulo serão apresentadas as principais características e os fundamentos teóricos para a interpretação, análise e projeto de SDMs-CT.

### 3 MODULADORES SD EM TEMPO CONTÍNUO

#### 3.1 Introdução

Desde o surgimento da modulação SD na década de 60 (CLUTER, 1960) e do primeiro SDM reportado (INOSE; YASUDA; MURAKAMI, 1962), diversos avanços e melhorias nas diferentes topologias de SDMs foram apresentados na literatura.

A maioria dos SDM reportados na literatura nos últimos tempos foram implementados em tempo discreto, normalmente através do emprego de técnicas à capacitor-chaveado ou, de modo minoritário, com técnicas de chaveamento em corrente (ROSA; RODRIGUEZ-VAZQUEZ; PEREZ-VERDU, 2002) (ROSA, 2011). Entretanto, a demanda de SDMs para aplicações em circuitos de comunicação que operam em alta velocidade e com elevada performance aumentou o interesse no desenvolvimento de SDMs em tempo contínuo (BREEMS; HUIJING, 2001) (CHERRY; SNELGROVE, 2000) (ORTAMANN; GERFERS, 2006) (KULCHYCKI, 2008). A Figura 12 compara o número de SDMs à capacitor chaveado e o número de SDMs-CT publicados nos últimos anos (ROSA; RIO, 2013). Nota-se com base nesta Figura uma tendência do uso e desenvolvimento de técnicas de projeto de SDMs-CT.

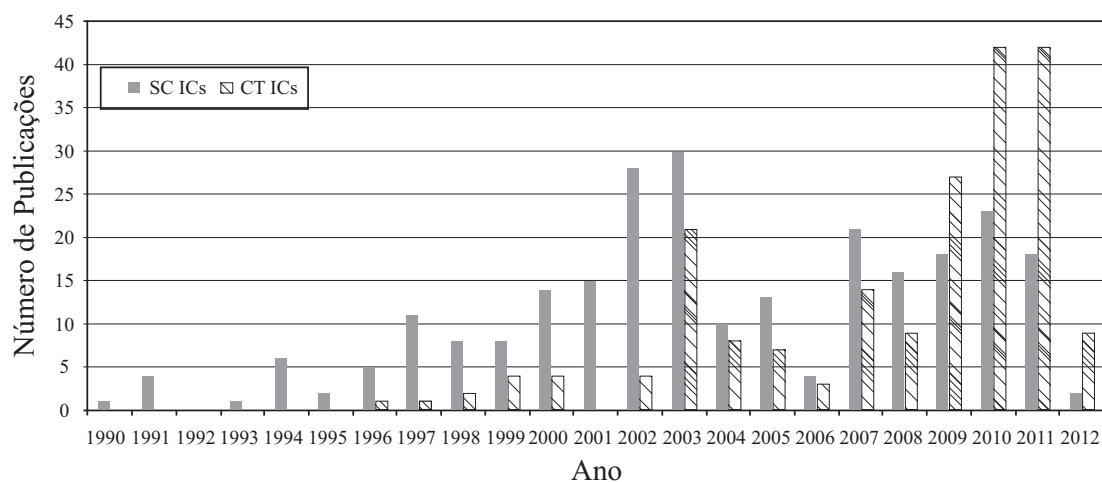


Figura 12: Número de SDMs à capacitor chaveado e número de SDMs-CT publicados de 1990-2012.

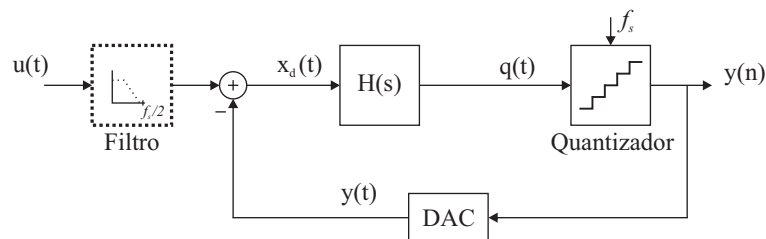


### 3.2 Características dos SDMs-CT

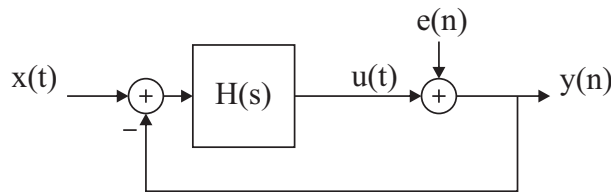
No capítulo anterior foi apresentada a teoria básica sobre modulação SD tomando como base a implementação clássica em tempo discreto. Entretanto, o filtro do laço do modulador pode ser desenvolvido em tempo contínuo, ou seja, com o emprego de integradores e ressonadores analógicos não chaveados. A Figura 13(a) apresenta a arquitetura básica de um SDM-CT de primeira ordem, que apresenta como blocos básicos um filtro no laço, um quantizador e um DAC. Adicionalmente, pode-se empregar um filtro anti-alias na entrada do modulador.

O filtro do laço, cuja função de transferência é representada por  $H(s)$ , é um filtro analógico que pode ser realizado através de integradores do tipo RC-ativo, integradores Gm/C ou ainda ressonadores LC. A ordem do filtro do laço fornece a ordem do SDM.

Destaca-se também que a amostragem dos sinais é efetuada à uma frequência de amostragem  $f_s$  no quantizador do modulador. Como o erro de quantização é gerado pelo quantizador, pode-se empregar também um modelo linear do quantizador com a adição de uma fonte de ruído branco (de quantização), ilustrado na Figura 13(b).



(a) Arquitetura básica.



(b) Modelo Linear.

Figura 13: Modulador SD em tempo contínuo.

#### 3.2.1 Amostragem

A principal diferença entre um SDM-CT e um SDM-DT é que no primeiro a amostragem ocorre dentro do laço do modulador e no segundo a amostragem ocorre normalmente em um circuito *sample-and-hold* na entrada do modulador (ORTAMANN; GERFERS, 2006). Geralmente o *sample-and-hold* insere erros no sistema e como estes erros são inseridos na entrada do modulador eles são tratados como sinal de entrada e não sofrem o efeito do *noise-shaping*, reduzindo assim o *noise-floor* do modulador e a performance do mesmo. Já em um SDM-CT as não-idealidades devido ao processo de amostragem sofrem o efeito do *noise-shaping* e não degradam de forma demasiada a performance do modulador (CHERRY; SNELGROVE, 2000). Outra característica oriunda da localização do processo de amostragem é o filtro anti-alias implícito ao modulador, o que é discutido com mais detalhes na próxima seção.

### 3.2.2 Filtro

Os sinais internos ao laço dos SDMs-CT são analógicos e representados por formas de onda contínuas no tempo, apresentando perturbações de baixa amplitude de tensão devido a inexistência de chaveamento dentro do laço. Isto fornece um nó de terra virtual com baixo ruído e boa linearidade (ORTAMANN; GERFERS, 2006).

A função de transferência do filtro é implementada através de integradores analógicos. Diferentemente dos SDMs-DT onde os ganhos dos integradores são determinados através da razão entre duas capacitâncias (SCHREIER; TEMES, 2005), os ganhos dos integradores analógicos dos SDMs-CT dependem de componentes como resistores e capacitores em um integrador do tipo RC-ativo, ou da razão entre a transcondutância de um OTA e um capacitor em um integrador do tipo Gm/C (JOHNS; MARTIN, 1997). É possível concluir que o coeficiente de um integrador analógico em tempo contínuo está sujeito às variações de processo inerentes ao processo de fabricação da tecnologia CMOS, o que pode levar à mudança da função de transferência do filtro podendo reduzir a performance ou ainda gerar instabilidade no modulador.

O filtro de um SDM-CT é composto por componentes passivos e ativos, e estes componentes podem apresentar não-linearidades, além de contribuir com a geração de ruído, o que acaba por limitar a performance do modulador. Deste modo, deve-se analisar principalmente as especificações de ruído e linearidade na entrada do modulador pois o ruído na entrada do modulador estará presente na saída do mesmo, aumentando o ruído dentro da banda de interesse do SDM. Então, pode-se concluir que a exatidão do sistema está diretamente relacionada com a exatidão do estágio de entrada do modulador.

### 3.2.3 Quantizador

Como característica genérica de SDMs o quantizador pode ser *single-bit* ou multi-bit, o que impacta no número de bits do DAC. Porém, em SDMs-CT o tempo necessário para se efetuar o processo de quantização deve ser extremamente rápido para gerar os sinais que controlam o DAC, que por sua vez gera os sinais em tempo contínuo para efetuar a realimentação do laço. O tempo necessário entre o processo de quantização e a geração dos sinais de realimentação do laço, oriundos do DAC, é um dos limitantes da performance dos SDMs-CT, conhecido como atraso excessivo do laço de realimentação, do inglês *Excess Loop Delay* (ELD). Maiores detalhes serão fornecidos na seção 3.5.

### 3.2.4 DAC

O DAC é o circuito responsável por gerar os sinais de realimentação do laço. Em um SDM-DT os sinais de referência gerados pelo DAC são amostrados e integrados através de um capacitor em um SDM à capacitor-chaveado ou em um integrador de corrente em um SDMs implementado com técnicas de chaveamento em corrente. Destaca-se que a integração ocorre em apenas uma fase de operação do SDMs-DT.

Já em SDMs-CT o sinal de referência gerado pelo DAC, e empregado durante a realimentação do laço, é integrado ao longo do tempo e deve ser atualizado exatamente a cada ciclo de relógio. Qualquer atraso na atualização do sinal de realimentação impactará na performance do modulador. Com base nisso, nota-se uma sensibilidade do SDMs-CT em relação a qualidade do sinal de relógio, especificamente em relação ao *jitter* e ruído de fase. Maiores detalhes sobre o efeito do *jitter* do relógio em SDMs-CT serão abordados na seção 3.5.

### 3.2.4.1 Formas de Onda dos DACs

Em SDMs-CT pode-se empregar DACs com diferentes formas de onda de saída. As formas de onda de saída dos DACs clássicos são retangulares e conhecidos como DACs com formas de onda com retorno para zero (RZ) e DACs com formas de onda sem retorno para zero (NRZ), ilustradas nas Figuras 14 e 15, respectivamente.

Em um DAC RZ o sinal gerado apresenta o valor de referência durante um determinado tempo  $t_p$  do período  $T_s$ , e no restante do período o valor do sinal de referência é igual a zero. Já em um DAC NRZ o sinal de referência gerado é mantido constante durante todo o período  $T_s$ . A polaridade do sinal gerado varia de acordo com o sinal de controle gerado pelo quantizador.

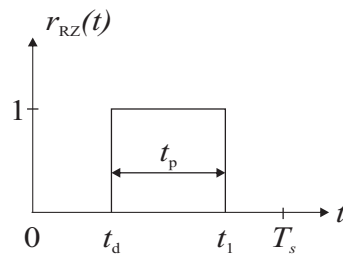


Figura 14: Forma de onda de um DAC RZ de 1 bit.

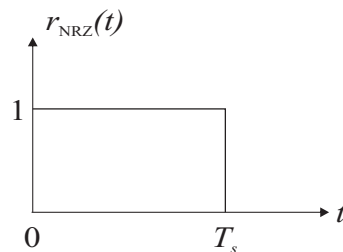


Figura 15: Forma de onda de um DAC NRZ de 1 bit.

Outro DAC bastante empregado é o DAC SCR, que gera uma forma de onda exponencial semelhante a forma de onda da descarga de um capacitor. Neste DAC a forma de onda apresenta um pico de sinal cujo valor é igual ao sinal de referência e este sofre uma descarga do tipo exponencial de duração  $t_p$  durante parte do período  $T_s$ .

Também é importante destacar que a forma de onda do DAC influencia diretamente no projeto do laço dos SDMs-CT, como abordado na seção 3.4.

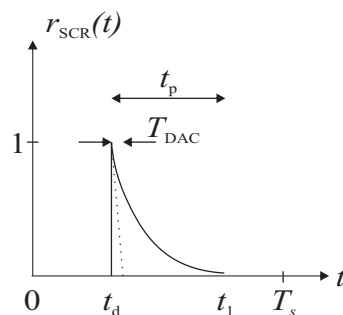


Figura 16: Forma de onda de um DAC SCR.

### 3.3 Vantagens dos SDMs-CT

Nesta seção são sintetizadas, de modo geral, as principais características e vantagens dos SDMs-CT em relação aos seus homólogos em tempo discreto. O fundamento teórico para compreender tais vantagens foi apresentado nas seções anteriores.

Os SDMs-CT são conhecidos por trabalharem com maiores taxas de amostragem e com menor consumo de energia se comparados com os SDMs-DT. Isto possibilita o seu emprego em receptores de rádio-frequência e em aplicações de alta velocidade, antes não abrangidas por SDMs (A. MORGADO; ROSA, 2011). A Figura 17 apresenta um comparativo entre o DR e a banda de sinal de entrada de SDMs (ROSA, 2011). Nota-se que com SDMs-CT a banda de sinal de entrada atingida é maior, ao custo de uma redução no DR do modulador.

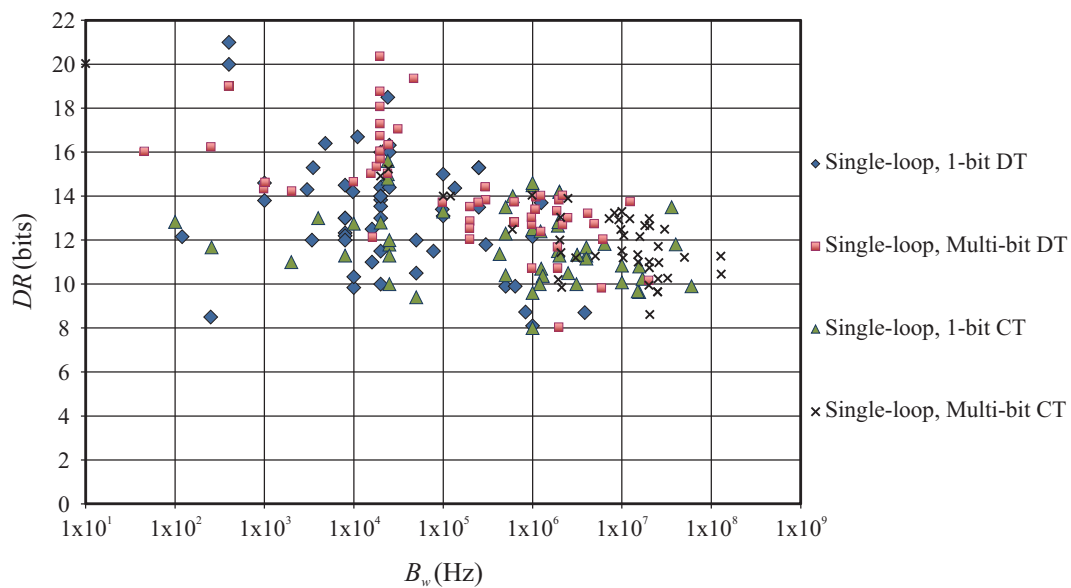


Figura 17: DR versus banda de sinal de SD.

A etapa de amostragem em SDMs-CT não ocorre na entrada do modulador e sim antes do quantizador, após o filtro do laço. Esta construção possibilita uma redução do consumo de energia em relação aos demais conversores AD e SDMs-DT visto que não é necessário um estágio de ganho de alta velocidade para o circuito amostrador na entrada do ADC. Adicionalmente, torna-se mais fácil acionar a entrada do modulador, e a injeção de ruído dentro do sistema é menor do que em um sistema com amostragem na entrada (KULCHYCKI, 2008).

Outra vantagem comumente citada é o AAF implícito, que pode reduzir os requisitos do AAF na entrada do ADC, ou ainda eliminar a necessidade do mesmo. Esta característica é possível devido ao processo de amostragem ocorrer antes do quantizador e pelo fato do modulador possuir um filtro do tipo passa-baixas no laço. Entretanto, é necessário analisar a topologia do modulador e a sua construção em nível elétrico visto que o AAF intrínseco pode ter suas características degradadas (PAVAN, 2011), ou mesmo não existir quando se utiliza a topologia descrita em (SILVA *et al.*, 2001).

Para ilustrar o efeito do AAF implícito ao laço é apresentada a simulação em alto nível do SDM-CT apresentado em (AGUIRRE *et al.*, 2013), projetado através do seu homólogo em tempo discreto com o emprego da metodologia de projeto de conversão DT/CT, discutida em 3.4.1. O modulador em questão é do tipo passa-baixas de laço

único, terceira ordem e *single-bit* com topologia do tipo Cascata de Integradores com Realimentação (CIFB), ilustrado na Figura 18, projetado para uma banda de sinal de 2 MHz e  $f_s$  de 128 MHz. Primeiramente, simulou-se o SDM-DT aplicando um sinal puramente senoidal com frequência de entrada  $f_{in}$  de 0,75 MHz, e após aplicando um sinal senoidal com  $f_{in}$  de 128,75 MHz, ou seja  $f_s + f_{in}$ . O espectro de densidade de potência (PSD) do modulador para ambas as simulações é apresentado na Figura 19. Nota-se em 19(b) que ocorreu alias do sinal de entrada e surge no espectro de saída do modulador uma componente de frequência de 0,75 MHz de mesma amplitude do sinal com  $f_{in}$  de 128,75 MHz. A mesma simulação foi efetuada para versão em tempo contínuo deste modulador e os resultados são apresentados em 20. Nota-se em 20(b) que para uma  $f_{in}$  de 128,75 MHz a componente de frequência de 0,75 MHz não aparece no PSD de saída do modulador, comprovando o funcionamento do AAF implícito de SDMs-CT.

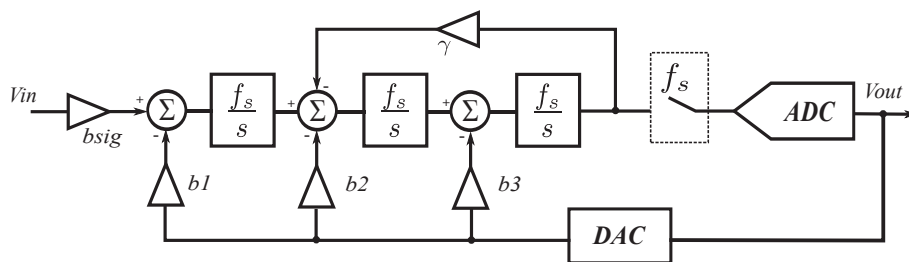


Figura 18: Topologia CIFB de terceira ordem.

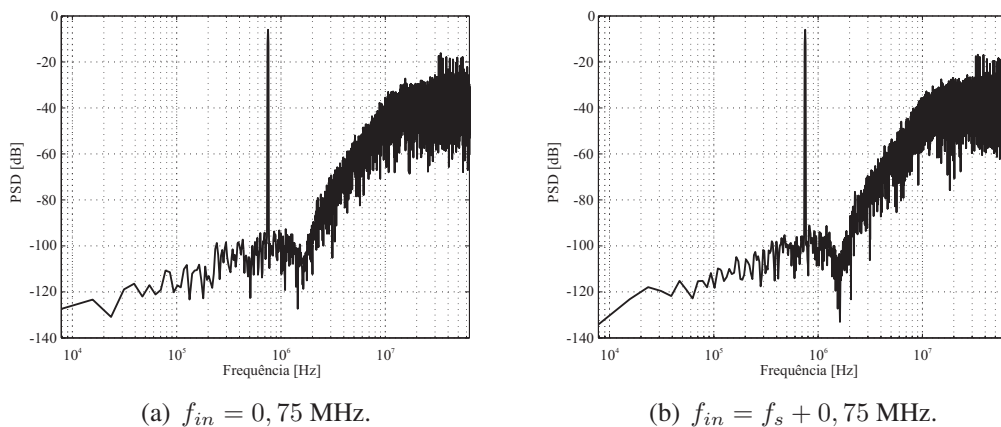


Figura 19: SDM-DT: AAF.

Outra vantagem dos SDMs-CT é a sua tolerância às imperfeições dos circuitos analógicos que o compõe, quando comparados com SDMs-DT e outras topologias de ADCs, tornando-os uma ótima escolha para o projeto de ADCs em circuitos integrados CMOS em escala nanométrica e em modernos SoC (A. MORGADO; ROSA, 2011). Isto é possível pois em SDMs-CT o impacto do ruído e das não-linearidade associadas ao processo de amostragem é reduzida significativamente, garantindo o seu emprego em tecnologias com tensão de alimentação reduzida. Adicionalmente, com o *scaling* das tecnologias CMOS ocorre um incremento da corrente de fuga dos transistores o que deteriora a qualidade das chaves CMOS reduzindo a performance dos moduladores à capacitor-chaveado.

Também, pode-se reduzir o consumo de energia para determinada frequência de amostragem se SDMs-CT forem utilizados. Isto é explicado pois os integradores a capacitores-

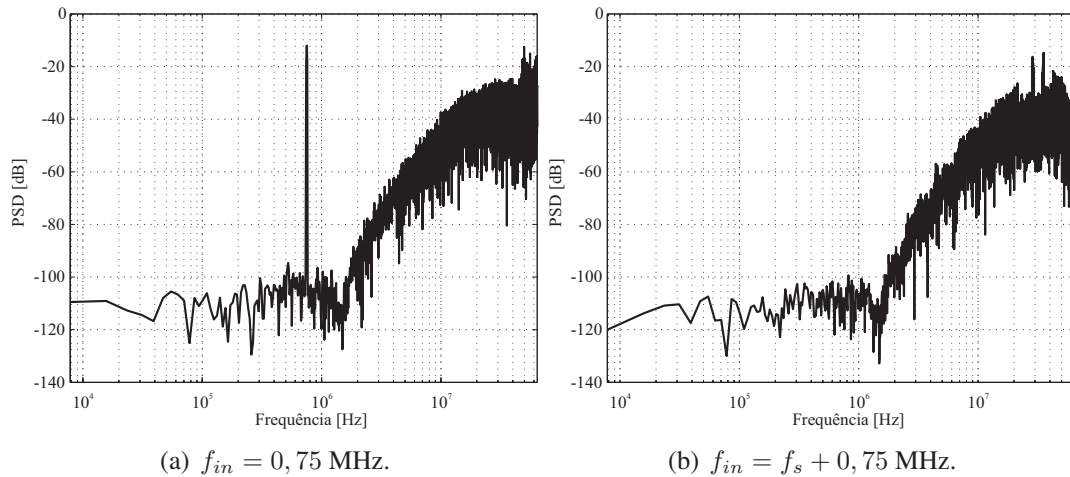


Figura 20: SDM-CT: AAF.

chaveados de SDMs-DT demandam amplificadores operacionais com frequência de ganho unitário entre oito a dez vezes a frequência de amostragem e um ganho tipicamente acima de 80 dB para fornecer um tempo de estabilização adequado aos sinais internos do modulador. Já os integradores dos SDMs-CT necessitam de amplificadores com frequência de ganho unitário de uma a duas vezes o valor da frequência de amostragem e um ganho DC comumente na faixa de 40 a 60 dB, reduzindo drasticamente o consumo de energia do modulador (ORTAMANN; GERFERS, 2006).

### 3.4 Metodologias de Projeto em Alto Nível de SDMs-CT

O projeto em alto nível de SDMs-CT começa a partir da definição da largura de banda (BW) e da relação sinal-ruído (SNR) do modulador. Para isto, é necessário o conhecimento prévio da aplicação e do sistema onde o modulador será inserido. Com base nestas informações parte-se para a definição das especificações do modulador, como definição do OSR, e conseqüentemente da frequência de amostragem, da ordem do modulador e do número de bits do quantizador.

Após estas definições é necessário projetar a função de transferência do filtro,  $H(s)$ , do modulador. A função de transferência  $H(s)$  pode ser obtida através de diferentes topologias de SDMs, apenas com a escolha correta dos coeficientes do modulador (SCHREIER; TEMES, 2005). Existem basicamente duas estratégias para o projeto do laço em tempo contínuo: transformação DT/CT e síntese direta do laço em tempo contínuo (ROSA, 2011), ambas abordadas nas seções 3.4.1 e 3.4.2, respectivamente.

#### 3.4.1 Transformação DT/CT

Nos últimos anos foram desenvolvidas diversas ferramentas, topologias e técnicas de análise de SDMs-DT. Com base nisto, e na equivalência observada entre moduladores SDMs-DT e SDMs-CT, pode-se começar o projeto do laço em tempo contínuo através do projeto da função de transferência  $H(z)$  em tempo discreto. Isto possibilita que o SDM seja projetado e analisado no domínio discreto para verificar se a performance desejada foi atingida, e após efetua-se uma conversão do laço em tempo discreto para um laço em tempo contínuo (OLIAEI, 2003). Este procedimento é conhecido como transformação DT/CT e é amplamente empregado para o projeto de SDMs-CT. Após a transformação

DT/CT é obtido um SDM-CT com as mesmas características que o seu homólogo em tempo discreto (BELOTTI; BONIZZONI; MALOBERTI, 2012). As duas principais metodologias de conversão DT/CT são apresentadas a seguir.

### 3.4.1.1 Transformada Invariante ao Impulso

O emprego da transformada invariante ao impulso (IIT) para o projeto de SDMs-CT foi empregada primeiramente por (SHOAEI, 1995) e (CHERRY; SNELGROVE, 1999a). Esta técnica é baseada na premissa de que se existe um processo de amostragem implícito no quantizador, o SDM-CT é um sistema amostrado, e sistemas amostrados são sistemas em tempo discreto. Assim, analisa-se a função de transferência a partir da saída do quantizador até a sua entrada, de ambos os moduladores, em tempo discreto e em tempo contínuo. O laço equivalente analisado para o SDM-DT é apresentado na Figura 21(a), e para o SDM-CT é está representado na Figura 21(b).

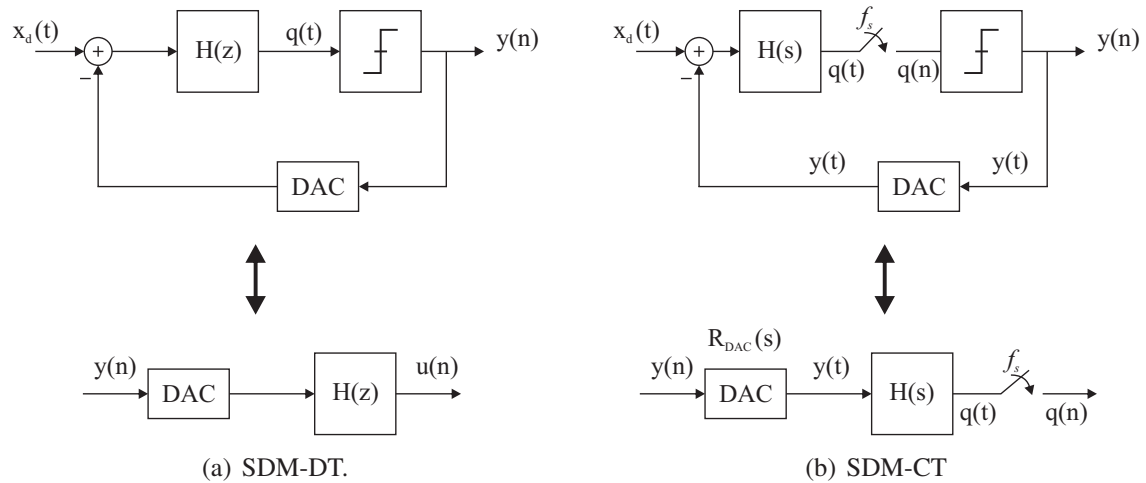


Figura 21: Laços equivalentes de SDMs.

Os sinais na entrada e saída de ambos os quantizadores são discretos. Almeja-se então uma equivalência entre eles, ou seja,  $u(n)$  e  $q(n)$  devem ser iguais. Como o valor de  $q(n)$  depende das funções de transferência do DAC,  $R_{DAC}(s)$ , e do laço,  $H(s)$ , pode-se escrever:

$$Z^{-1}\{H(z)\} = \mathcal{L}^{-1}\{R_{DAC}(s) \times H(s)\} \quad (17)$$

Como as respostas ao impulso em tempo contínuo e em tempo discreto devem ser iguais, a transformação entre as duas é efetuada através da transformada invariante ao impulso. Através desta técnica se obtém um SDM-CT exatamente equivalente ao seu homólogo em tempo discreto. A partir da Equação 17 nota-se uma dependência da função de transferência do DAC, que varia conforme a forma de onda do DAC, ver anexo A.

No projeto de alto nível dos moduladores desenvolvidos durante este trabalho de mestrado utilizou-se desta técnica.

### 3.4.1.2 Transformada Z Modificada

O emprego da transformada Z modificada para o projeto de SDMs-CT através da técnica de transformação DT/CT foi apresentada em (BENABES; KERAMAT; KIELBASA, 1997) (ABOUSHADY; LOUERAT, 2002). Esta técnica consiste na determinação dos coeficientes do laço em tempo contínuo através da comparação entre o função de



transferência do laço em tempo contínuo, discretizada com o emprego da transformada Z modificada, com a função de transferência  $H(z)$  do modulador projetado em tempo discreto. Uma abordagem completa, incluindo exemplos de projeto, sobre esta técnica de projeto poder ser encontrada em (ORTAMANN; GERFERS, 2006).

### 3.4.1.3 Transformação Empregando Espaço de Estados

Esta técnica consiste no emprego de variáveis de estado e processamento matemático para a síntese do laço de SDMs-CT (GUPTA; SANCHEZ-SINENCIO, 2006). Esta técnica não é amplamente empregada e não será abordada neste trabalho.

## 3.4.2 Síntese Direta do Filtro do Laço

Esta síntese consiste no projeto do filtro do laço diretamente a partir da NTF e não a partir do projeto de um SDM-DT. Para isto emprega-se normalmente uma aproximação de Chebychev (ROSA, 2011) e projeta-se logo o filtro em tempo contínuo, ou seja a função de transferência  $H(s)$ . Esta técnica também não é muito empregada nos trabalhos presentes na literatura.

## 3.5 Desvantagens e Não-idealidades de SDMs-CT

Até o presente momento foram apresentadas as principais vantagens e os conceitos básicos sobre SDMs-CT. Nesta seção serão apresentadas as desvantagens e as principais não-idealidades de tais moduladores, bem como estratégias para mitigar seus efeitos.

### 3.5.1 Jitter do Sinal de Relógio

O *jitter* é uma incerteza nas transições do sinal de relógio, como ilustra a Figura 22, e é responsável por aumentar o ruído dentro da banda de interesse (IBN) de SDMs (BOSER; WOOLEY, 1988). Sabe-se que, devido ao emprego da sobreamostragem, os SDMs apresentam maior tolerância aos efeitos do *jitter* do sinal de relógio se comparados a ADCs do tipo Nyquist-rate. Entretanto, isto é verdadeiro apenas para SDMs-DT (CHERRY; SNELGROVE, 1999b). Já em SDMs-CT o *jitter* é um dos mecanismos responsáveis pela redução da performance destes moduladores (CHOPP; HAMOUI, 2009)(CHERRY; SNELGROVE, 1999b).

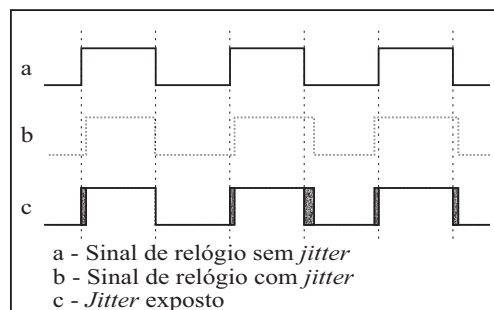


Figura 22: Sinal de relógio com *jitter*.

Em SDMs-DT a redução de performance devido ao *jitter* do sinal de relógio é originada devido à erros de amostragem no circuito de amostragem e retenção, cujo erro da amplitude amostrada é proporcional ao *jitter*, e este acaba por degradar o SNR do modulador.



Já os SDMs-CT são afetados pelo *jitter* durante a amostragem do sinal analógico de saída do filtro do laço pelo quantizador, e no DAC durante a geração do sinal de realimentação (CHERRY; SNELGROVE, 1999b) (SILVA; HUIJSING, 2010). Os erros gerados durante a amostragem no quantizador são atenuados pelo efeito de *noise-shaping* do modulador. Entretanto, os erros ocasionados na forma de onda gerada pelo DAC devido ao *jitter* do sinal de relógio não são atenuados e limitam a performance do modulador. Isto ocorre pois a forma de onda gerada pelo DAC é integrada ao longo do tempo e as variações estatísticas desta forma de onda se propagam pelo modulador e, conseqüentemente, aumentam o ruído da saída do modulador e reduzem o SNDR do mesmo.

### 3.5.1.1 Estratégias de Mitigação para os Efeitos do Jitter

A magnitude dos erros induzidos devido ao *jitter* do sinal de relógio depende fortemente do tipo de DAC empregado. As formas de onda mais comuns empregadas em SDMs-CT são fornecidas por DACs do tipo RZ e NRZ, ver seção 3.2.4, sendo afetadas pelo *jitter* no final do pulso. Estas formas de onda estão representadas na Figura 23 onde estão destacadas as variações da forma de onda ocasionadas pelo *jitter* de relógio com uma variação  $\Delta t$ . O DAC do tipo NRZ introduz erros devido ao *jitter* no modulador apenas quando ocorre mudança de polaridade. Já o DAC do tipo RZ introduz estes erros em cada transição. Se comparados, SDMs-CT com DACs do tipo NRZ são mais tolerantes aos efeitos do jitter do sinal de relógio do que os SDMs-CT com DACs do tipo RZ.

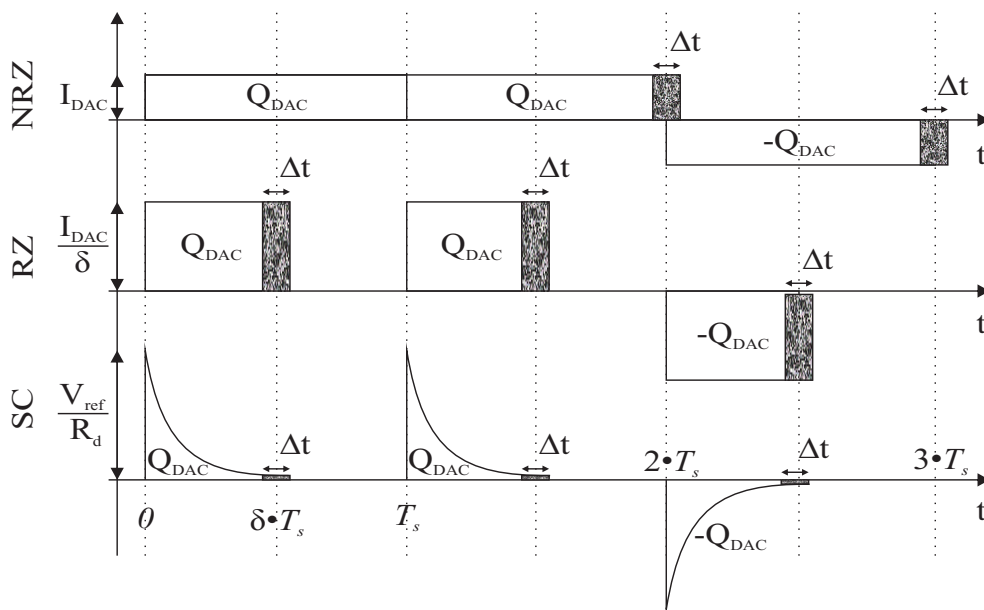


Figura 23: Formas de onda de saída de DACs de 1 bit NRZ, RZ e SCR considerando o efeito do *jitter* do sinal de relógio.

Visando mitigar o efeito do *jitter* em SDMs-CT foi introduzida em (ORTMANN; GERFERS; MANOLI, 2001) (ORTMANN; GERFERS; MANOLI, 2005) a utilização de DACs do tipo capacitor-chaveado com resistor (SCR) que geram uma forma de onda exponencial. Como ilustrado na Figura 23, o efeito do *jitter* se manifesta a cada período, entretanto o erro gerado é de baixa amplitude se comparado com o erro ocasionado por DACs RZ ou NRZ. Esta topologia de DAC tem sido bastante empregada para o projeto de SDMs-CT no últimos anos (ANDERSON; SUNDSTROM, 2009), porém ao custo de uma maior ocupação de área em silício durante o projeto do modulador em tecnologia

CMOS devido ao uso de capacitores e resistores, e de uma possível redução na eficácia do AAF implícito de SDMs-CT (PAVAN, 2011).

### 3.5.2 Excess Loop Delay

O atraso excessivo do laço de realimentação, do inglês *Excess Loop Delay* (ELD),  $t_d$ , é o atraso entre a forma de onda do sinal de realimentação ideal de um SDM-CT e a forma de onda gerada pelo DAC em sua implementação em nível elétrico. Este atraso ocorre na cadeia composta pelo processo de amostragem, quantização do sinal e conversão D/A do sinal de realimentação do modulador efetuada pelo DAC (CHERRY; SNELGROVE, 1999a). Deste modo, existe um atraso entre a subida do sinal de relógio e a mudança no sinal de saída do DAC, modificando a função de transferência  $H(s)$  do modulador e, consequentemente, a equivalência entre o modulador em tempo contínuo e o seu homólogo em tempo discreto.

Este atraso ocorre principalmente devido ao tempo necessário para o chaveamento dos transistores do quantizador e do DAC (ORTAMANN; GERFERS, 2006). Existem basicamente dois efeitos causados pelo ELD. A Figura 24 será utilizada para exemplificar estes dois efeitos, considerando um DAC NRZ. Um dos efeitos do ELD pode ser a geração de um atraso,  $t_d$ , na resposta da forma de onda do DAC, porém com a retenção do pulso apenas durante o período  $T_s$ , como ilustrado na Figura 24(a). O segundo efeito pode ser a geração de um *shift*,  $t_d$ , na resposta da forma de onda do DAC que se estende até o próximo ciclo de relógio, como ilustrado na Figura 24(b).

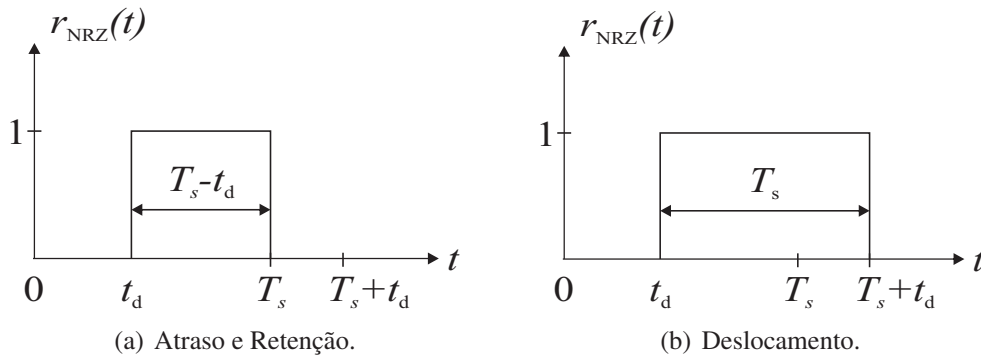


Figura 24: Efeitos do ELD em SDMs-CT.

#### 3.5.2.1 Estratégias de Mitigação para os Efeitos do ELD

Diversas estratégias para a mitigação dos efeitos do ELD foram desenvolvidas nos últimos anos (ALAMDARI; EL-SANKARY; EL-MASRY, 2009) (SINGH; KRISHNAPURA; PAVAN, 2010) (PAVAN, 2008) (SINGH *et al.*, 2012). Entretanto, estes esquemas de compensação são responsáveis pela inserção de mais blocos analógicos junto ao circuito do modulador acarretando no aumento da área em silício e no consumo de energia.

Em (KELLER *et al.*, 2008) é apresentada uma revisão completa sobre as principais técnicas de compensação de ELD. Nesta dissertação será apresentado apenas o princípio básico de funcionamento da metodologia de compensação de ELD clássica (BENABES; KERAMAT; KIELBASA, 1997) visto que não foi necessário o emprego de compensação de ELD no modulador projetado.

A técnica clássica para compensação de ELD é baseada na inserção de um laço de realimentação curto em torno do quantizador, como ilustrado na Figura 25.

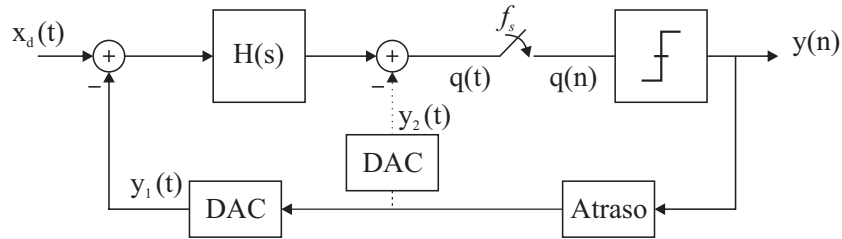


Figura 25: Compensação de ELD clássica.

Através da comparação deste novo laço com o laço ideal, e como o auxílio das transformadas Z e IIT, pode-se fazer um mapeamento no domínio Z de ambos os laços e com isto obter os novos coeficientes do modulador com o atraso de laço compensado.

Esta técnica oferece uma compensação para atrasos de laço de até um período de relógio. Deste modo, em implementações práticas, é adicionado um registrador entre o quantizador e os DACs, como ilustrado na Figura 26. Adicionalmente, é possível obter os novos coeficientes do modulador, após o emprego da compensação. Entretanto, esta abordagem requer um maior esforço matemático durante a etapa de projeto do modulador. Já em nível de circuito é necessário ao menos um DAC adicional e, dependendo da topologia do SDM, um circuito somador antes do quantizador.

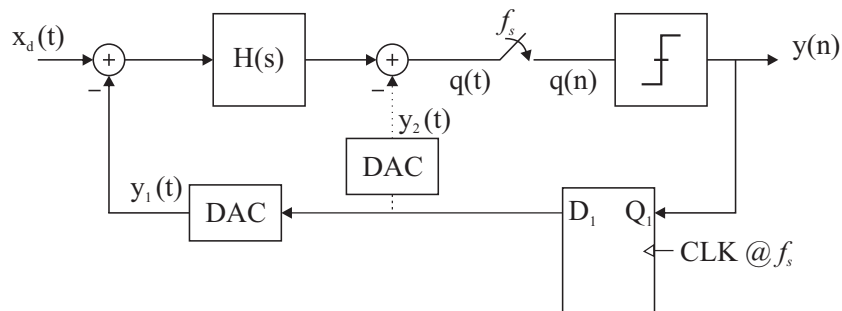


Figura 26: Compensação de ELD clássica para um período de relógio.

### 3.5.3 Não-idealidades do Filtro

O filtro dos SDMs-CT é composto basicamente por integradores ou ressonadores. Deste modo, as principais não-idealidades do filtro estão associadas aos elementos constitutivos destes circuitos. Neste trabalho foram empregados apenas integradores analógicos e as considerações básicas sobre estes blocos são aqui apresentadas. Para mais informações sobre as não-idealidades dos filtros de SDMs-CT é apresentado em (ORTAMANN; GERFERS, 2006) um estudo aprofundado sobre o impacto destas nas diferentes topologias de SDMs-CT.

Tipicamente, os integradores analógicos de SDMs-CT são implementados através de duas maneiras: integradores RC-ativos ou integradores do tipo Gm/C. Os integradores RC-ativos são compostos por amplificadores operacionais, resistores e capacitores, como ilustrado na Figura 27(a). Já os integradores do tipo Gm/C, ilustrados na Figura 27(b), são compostos por um amplificador de transcondutância (OTA) e capacitores. Conclui-se então que as não-idealidades do filtro dos SDMs-CT estão associadas aos componentes ativos e passivos dos integradores, como amplificadores operacionais, OTAs, resistores e capacitores.

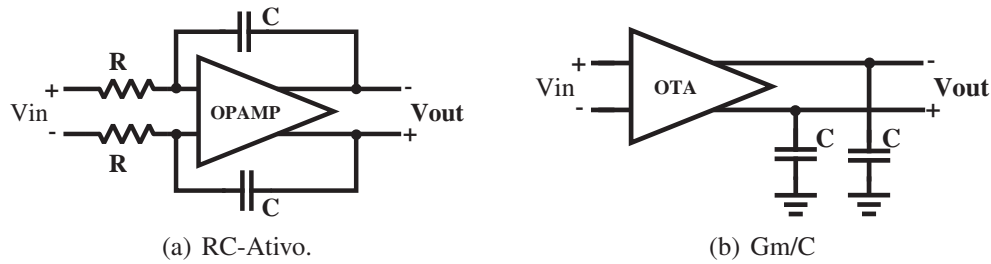


Figura 27: Integradores analógicos.

### 3.5.3.1 Não-idealidades dos Amplificadores Operacionais e OTAs

As principais não-idealidades dos amplificadores operacionais e OTAs são: ganho DC finito, largura de banda finita, representada pela frequência de ganho unitário ( $f_u$ ), e o *slew rate* finito.

O ganho DC finito afeta a função de transferência do integrador em tempo contínuo, produzindo um pólo em baixas frequências, além de alterar a constante de tempo do integrador. O *slew rate* finito produz não-linearidades, e juntamente com o a frequência de ganho unitário finita limita o tempo de acomodação do circuito. Adicionalmente, observa-se um erro de ganho na saída do integrador devido à frequência de ganho unitário finita do amplificador.

As variações de processo presentes em tecnologias CMOS também são responsáveis por afetar o desempenho destes blocos analógicos. Elas induzem variações absolutas nos parâmetros acima citados. Adicionalmente, o descasamento entre os transistores que compõe o amplificador ocasionam o *offset* do amplificador.

Outra questão que também deteriora a performance de ambos amplificadores é a característica da carga conectada na saída. Amplificadores operacionais apresentam baixa impedância de saída e são empregados com cargas resistivas ou de baixa impedância. Já OTAs devem ser conectados a cargas capacitivas ou cargas de elevada impedância. Caso estas condições não sejam satisfeitas o circuito amplificador poderá ter seu comportamento afetado, como modificações no ganho DC e no valor da frequência de ganho unitário, ou ainda se tornar instável a partir de alterações no valor da margem de fase.

Por fim deve-se ressaltar que os circuitos amplificadores são responsáveis por gerar ruído no sistema, este oriundo do ruído dos transistores CMOS que os compõem (RA-ZAVI, 1998).

### 3.5.3.2 Não-idealidades dos Elementos Passivos

Os elementos passivos presentes nos integradores também são responsáveis por inserção de ruído no sistema e influenciam diretamente no valor dos coeficientes dos integradores do modulador.

Os coeficientes do integrador, obtidos no projeto de alto nível, devem ser implementados em nível elétrico e seus valores dependem dos valores dos elementos passivos dos integradores, bem como da frequência de amostragem (ORTAMANN; GERFERS, 2006). Estes coeficientes são os ganhos dos integradores que compõe o modulador. A Equação 18 apresenta a relação entre o coeficiente de ganho  $c_k$  dos integradores do modulador e os valores dos resistores e capacitores de um integrador RC-ativo.

$$c_k \times f_s = \frac{1}{RC} \quad (18)$$

onde  $k$  é o índice referente a cada integrador.

Já em um integrador do tipo Gm/C a relação entre o coeficiente de ganho do integrador depende diretamente do valor da transcondutância do OTA empregado e do capacitor de saída, como mostra a Equação 19.

$$c_k \times f_s = \frac{Gm}{C} \quad (19)$$

Em tecnologias CMOS atuais a variação dos valores absolutos de elementos passivos é elevada. Deste modo, mesmo que exista um bom nível de casamento, as variações nos valores absolutos dos componentes passivos gera uma modificação nos valores dos coeficientes do modulador, afetando a função de transferência  $H(s)$  e podendo levar à completa instabilidade do mesmo.

### 3.6 Considerações

Neste Capítulo foram apresentadas as principais características dos SDMs-CT. Foram destacadas as vantagens em relação ao uso destes moduladores se comparados com os seu homólogos em tempo discreto e as suas principais não-idealidades. Foram indicadas também referências bibliográficas para aprofundamento teórico nos tópicos não abordados nesta seção.

## 4 MODELAGEM DAS NÃO-IDEALIDADES E PROJETO DE ALTO NÍVEL DO SDM-CT

### 4.1 Introdução

Como visto no capítulo anterior as principais não-idealidades que contribuem para degradação de performance dos SDMs-CT são: *jitter* do sinal de relógio, *Excess Loop Delay*, limitações dos integradores analógicos e variação dos coeficientes de ganho do modulador (ORTAMANN; GERFERS, 2006).

Neste trabalho de mestrado foram desenvolvidos modelos de simulação incluindo estas não-idealidades afim de se obter uma estimativa mais aproximada do desempenho de SDMs-CT (AGUIRRE *et al.*, 2013). O ambiente de simulação empregado foi o Matlab/Simulink®. Com base nos resultados de simulação é possível determinar as especificações mínimas de cada bloco analógico que compõe o modulador, como o *slew rate*, a frequência de ganho unitário, e ganho DC dos amplificadores operacionais utilizados nos integradores, e os valores toleráveis de ELD e *jitter*. É também apresentada neste capítulo uma análise sobre o ruído referido à entrada, do inglês *input referred noise*, de SDMs-CT e as considerações necessárias durante a etapa de projeto em nível elétrico.

Por fim, é apresentado o projeto e análise em alto nível do SDM-CT projetado neste trabalho de mestrado.

### 4.2 Modelagem das Não-idealidades de SDMs

As não-idealidades dos blocos analógicos e as variações dos processos de fabricação CMOS influenciam na degradação da performance de SDMs. Com a consolidação e ampla aplicação de SDMs-DT nos anos 90 tornou-se imprescindível o desenvolvimento da modelagem e técnicas de simulação de SDMs-DT englobando suas não-idealidades. Assim, foram desenvolvidos diferentes modelos e metodologias de simulação de SDMs-DT incluindo suas não-idealidades tendo como base, normalmente, o ambiente de simulação comportamental Matlab/Simulink® (BRIGATI *et al.*, 1999) (MALCOVATI *et al.*, 2003) (FORNASARI; MALCOVATI; MALOBERTI, 2005) (ZARE-HOSEINI; KALE; SHOAIEI, 2005) (JAYKAR; PALSODKAR; DAKHOLE, 2011) (LAO; U; MARTINS, 2003).

Outras técnicas de simulação comportamental através de descrições com linguagem VHDL-AMS também foram desenvolvidas (SUAREZ; JIMENEZ; FERNANDEZ, 2007) (SUAREZ; JIMENEZ, 2005). Entretanto, devido a sua fácil reprodução, grande abrangência e alta velocidade de simulação devido à operação em tempo discreto, as técnicas de modelagem de SDMs-DT no ambiente Matlab/Simulink® se difundiram e são amplamente empregadas.

### 4.3 Modelagem das Não-idealidades de SDMs-CT

Com o crescente avanço de pesquisas e desenvolvimento na área de projeto de SDMs-CT tornou-se também essencial o desenvolvimento de técnicas e modelos de simulação incluindo as não-idealidades destes moduladores.

Diferentemente dos SDMs-DT os SDMs-CT operam em tempo contínuo, implicando em maior tempo de processamento para a simulação do modulador devido a sua natureza não linear. Visando a otimização do tempo de processamento necessário para a simulação comportamental do modulador diferentes técnicas de modelagem foram desenvolvidas em distintos ambientes de simulação.

Em (FRANCKEN *et al.*, 2002) é apresentado o desenvolvimento de uma metodologia para simulação de SDMs-CT com interface gráfica chamada DAYSE. Entretanto, poucas informações sobre como reproduzir os resultados são fornecidos.

Já em (LEOW *et al.*, 2009) foi desenvolvido um modelo de simulação comportamental no ambiente Matlab/Simulink<sup>®</sup> baseado no circuito eletrônico diferencial do modulador e seus componentes discretos. Este modelo possibilita uma visão de baixo nível do circuito ao preço de complexidade de reprodução do modelo. Ou seja, é necessário o conhecimento de como será dada a implementação em nível elétrico do modulador.

Uma metodologia de simulação de SDMs-CT no ambiente Matlab/Simulink<sup>®</sup> é apresentada em (KAALD *et al.*, 2009). Este trabalho aborda os cuidados necessários para se efetuar a simulação de SDMs-CT neste ambiente e deriva a partir das simulações de alto nível do modulador, englobando suas não-idealidades, as especificações mínimas dos blocos analógicos do modulador. Este trabalho foi utilizado como referência básica para o desenvolvimento da metodologia de modelagem desenvolvida neste trabalho.

Em (BENABES; TUGUI, 2011) é apresentada uma metodologia de simulação e otimização de SDMs-CT em uma *framework* que emprega os ambientes de simulação da Cadence<sup>®</sup> e Matlab/Simulink<sup>®</sup>, e faz uso da linguagem de descrição VHDL-AMS. Esta metodologia de simulação necessita do conhecimento, em nível de transistores e elementos passivos, dos circuitos utilizados no projeto do modulador. Adicionalmente, esta metodologia é complexa pois necessita de um conhecimento profundo sobre ambas as plataformas utilizadas, e não pode ser facilmente reproduzida.

Outra metodologia de simulação empregando o ambiente Matlab/Simulink<sup>®</sup> é apresentada (BUHMANN *et al.*, 2007). Neste trabalho foi desenvolvido um *toolbox* para a simulação em tempo discreto de SDMs-CT e apresenta como vantagem a possibilidade de utilização de uma interface gráfica junto ao ambiente de desenvolvimento de SDMs-CT criado pelos autores do trabalho.

Em (RUIZ-AMAYA *et al.*, 2004) é apresentado o desenvolvimento do *toolbox* para Matlab/Simulink<sup>®</sup> chamado SIMSIDES. Este toolbox é reconhecido como o mais completo para o dimensionamento automatizado de alto nível de SDMs. Ele é baseado na combinação de um simulador comportamental no domínio do tempo e um otimizador estatístico. Além disso, esta é a primeira ferramenta empregada na síntese de ambos, SDMs-DT e SDMs-CT. Entretanto, esta ferramenta não possibilita a análise dos modelos de não-idealidades empregados e não oferece modelos de simulação de DACs SCR para SDMs-CT.



## 4.4 Modelo Desenvolvido

Devido a necessidade de se modelar as não-idealidades de SDMs-CT durante a etapa de projeto de alto nível, foi desenvolvido neste trabalho de mestrado uma metodologia de modelagem e simulação no ambiente Matlab/Simulink<sup>®</sup>. O modelo foi desenvolvido com o objetivo de ser facilmente replicado e de se ter acesso e controle sobre a modelagem de cada não-idealidade. O ambiente Matlab/Simulink<sup>®</sup> foi escolhido pois ele é muito utilizado pela comunidade de projetistas de SDMs durante as etapas de projeto e análise de performance de tais moduladores. Adicionalmente, ele traz inúmeras vantagens em termos de manipulação de dados, flexibilidade e capacidade de integração com outras ferramentas de simulação e síntese.

A seguir são apresentados os principais modelos dos blocos empregados no projeto de SDMs-CT do tipo passa-baixas com quantizador de 1-bit, podendo ser expandido para englobar a modelagem e quantizadores e DAC multi-bit. Após será apresentado um estudo de caso.

### 4.4.1 Modelagem de Integradores RC-ativos

Como apresentado na seção 3.5.3 os integradores de SDMs-CT são implementados através de integradores do tipo RC-ativo ou do tipo Gm/C. Como qualquer ruído ou distorção gerados a partir do primeiro integrador, e referenciados à entrada do modulador, surgem no espectro de saída do modulador sem supressão, o primeiro integrador deve prover linearidade e robustez. Assim, devido a sua linearidade, é usual escolher a topologia de integradores do tipo RC-ativo para compor o primeiro integrador do modulador. Apesar do consumo de energia destes integradores, a implementação de todos os integradores do modulador através de integradores RC-ativos tem sido bastante empregada. Assim, este tipo de integrador é usado neste trabalho para a abordagem de modelagem e projeto dos integradores do modulador.

Considere o esquemático de um integrador RC-ativo, ilustrado novamente na Figura 28. A função de transferência ideal deste integrador  $I(s)$  é dada pela Equação 20.

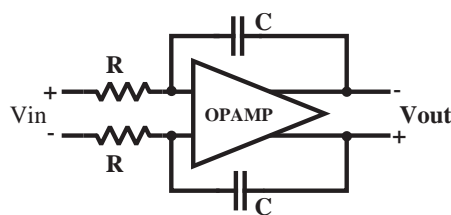


Figura 28: Integrador RC-ativo.

$$I(s) = \frac{1}{s(R \times C)} \quad (20)$$

onde a constante de tempo do integrador é dada pelo produto entre R e C. Uma vez que o integrador RC-ativo é composto por um amplificador operacional real, com ganho DC e frequência de ganho unitária finitos, estes parâmetros devem ser levados em consideração na função de transferência do integrador. A função de transferência  $A(s)$  do amplificador englobando estas não-idealidades é expressa na Equação 21.

$$A(s) = \frac{A_o}{1 + \frac{s}{\omega_a}} = \frac{A_o}{1 + s \frac{A_o}{\omega_u}} \quad (21)$$



onde  $A_o$  é o ganho DC do amplificador,  $\omega_a$  é a frequência de corte de -3 dB e  $\omega_u$  é a frequência de ganho unitário do amplificador, ambas expressas em radianos por segundo.

A partir das equações 20 e 21, e com algumas manipulações matemáticas, é possível modelar uma nova função de transferência para o integrador RC-ativo. Esta nova função de transferência é apresentada na Equação 22 (SILVA; HUIJSING, 2010).

$$I(s) = \frac{1}{s^2\left(\frac{RC}{\omega_u}\right) + s\left(\frac{1}{\omega_u} + \frac{RC}{A_o} + RC\right) + \frac{1}{A_o}} \quad (22)$$

Esta função de transferência foi implementada no Simulink através do bloco *Transfer Function*. Adicionalmente, os efeitos de *slew rate* e saturação do amplificador foram modelados com o emprego dos blocos *Rate Limiter* e *Saturation*. O modelo completo com as não-idealidades de um integrador RC-ativo é apresentado na Figura 29. A partir deste modelo foi criado um novo bloco e este inserido no SDM-CT para substituir os integradores ideais.

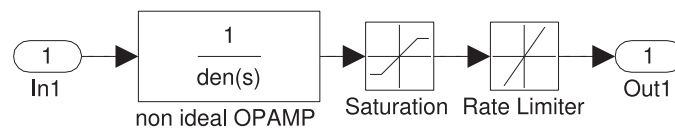


Figura 29: Modelo de um integrador RC-ativo.

#### 4.4.2 Modelo de um Quantizador *Single-bit*

O modelo de um quantizador *single-bit* é facilmente efetuado como um comparador cuja não-idealidade é apenas um *offset*. Ele é implementado no Simulink através do bloco *Relay* dentro de um sistema com *trigger* controlado pelo sinal de relógio do modulador. O sistema com *trigger* é implementado com o bloco *Triggered Subsystem*. O modelo completo do quantizador é apresentado na Figura 30. Destaca-se que a modelagem de um quantizador multi-bit pode ser efetuada de maneira similar com a adição de mais blocos *Relay* e a correta definição dos níveis de comparação.

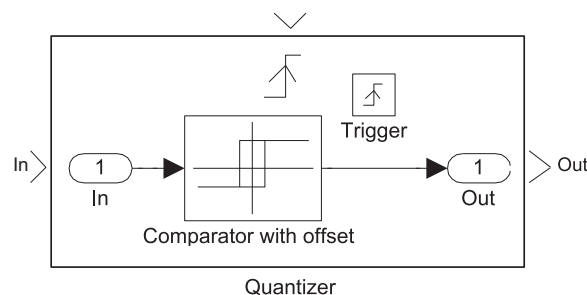


Figura 30: Modelo do quantizador.

#### 4.4.3 Modelo de DACs *Single-bit* NRZ

Os DAC do tipo NRZ são amplamente empregados nos SDMs-CT. Um DAC NRZ de 1-bit é responsável por gerar os sinais de realimentação do laço  $\pm V_{ref}$  a cada ciclo de relógio, onde  $V_{ref}$  é o sinal de referência.

Nos modelos desenvolvidos, os sinais de saída do quantizador possuem amplitude de  $\pm V_{ref}$  ao invés de 0 e 1. Como o valor dos sinais de saída do quantizador são os

mesmos dos sinais de saída do DAC NRZ de 1-bit não é necessário um bloco extra para a implementação do DAC. Neste caso, os próprios sinais de saída do quantizador são aplicados na entrada do modulador e subtraídos do sinal de entrada.

#### 4.4.4 Modelo de DACs *Single-bit SCR*

Um DAC do tipo SCR apresenta na sua saída uma forma de onda exponencial e sua resposta ao impulso é expressa através da função de transferência,  $R_{DAC}(s)$ , apresentada na Equação 23 (ORTAMANN; GERFERS, 2006).

$$R_{DAC}(s) = \frac{e^{-st_d}}{s + \frac{1}{\tau_{DAC}}} - \frac{e^{-s(t_d+t_p)}}{\left(s + \frac{1}{\tau_{DAC}}\right) \times e^{\frac{t_p}{\tau_{DAC}}}} \quad (23)$$

Termos exponenciais do domínio da frequência ( $e^{st}$ ) não são disponibilizados no ambiente Simulink através de blocos. Entretanto, sabe-se que um termo exponencial no domínio da frequência ( $e^{st}$ ) representa um atraso  $t$  no domínio do tempo. Assim, a abordagem escolhida para modelar a resposta exponencial deste DAC SCR foi: empregar os blocos do tipo *Transfer Function* para modelar as funções de transferências  $TF_1(s)$  e  $TF_2(s)$ , apresentadas nas Equações 24 e 25, seguidas por blocos *Transport Delay* 1 e 2 para implementar os atrasos de  $t_d$  e  $(t_d + t_p)$ . Após isto ambos os sinais foram subtraídos através de um bloco subtrator, como mostrado na Figura 31.

$$TF_1(s) = \frac{1}{s + \frac{1}{\tau_{DAC}}} \quad (24)$$

$$TF_2(s) = \frac{1}{\left(s + \frac{1}{\tau_{DAC}}\right) \times e^{\frac{t_p}{\tau_{DAC}}}} \quad (25)$$

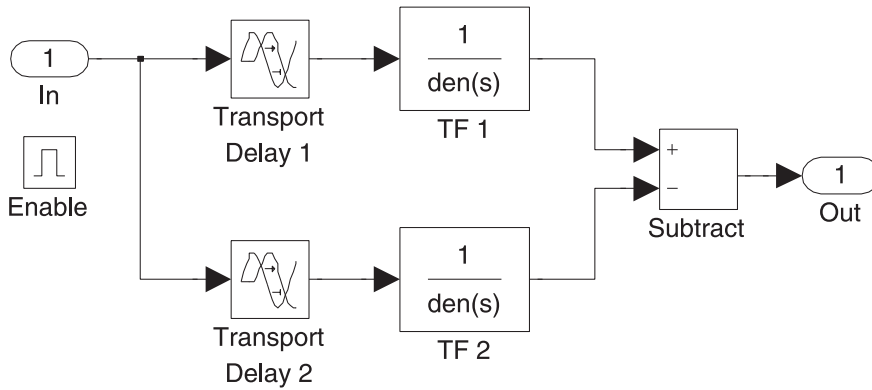


Figura 31: Modelagem do DAC SCR: Geração da função de transferência.

De acordo com a Figura 16 a forma de onda exponencial é fornecida pelo DAC após um tempo  $t_d$  depois da subida do sinal de relógio, e a forma de onda exponencial tem um tempo  $t_p$  de duração, normalmente de meio período de relógio.

Para possibilitar a forma de onda apresentada na Figura 16 é preciso adicionar um circuito de controle externo ao bloco de geração do sinal exponencial. Este circuito é ilustrado na Figura 32 e é composto basicamente por uma chave que seleciona quando o DAC SCR deverá fornecer na saída uma tensão igual a zero ou o sinal exponencial com amplitude de pico  $\pm V_{ref}$ .

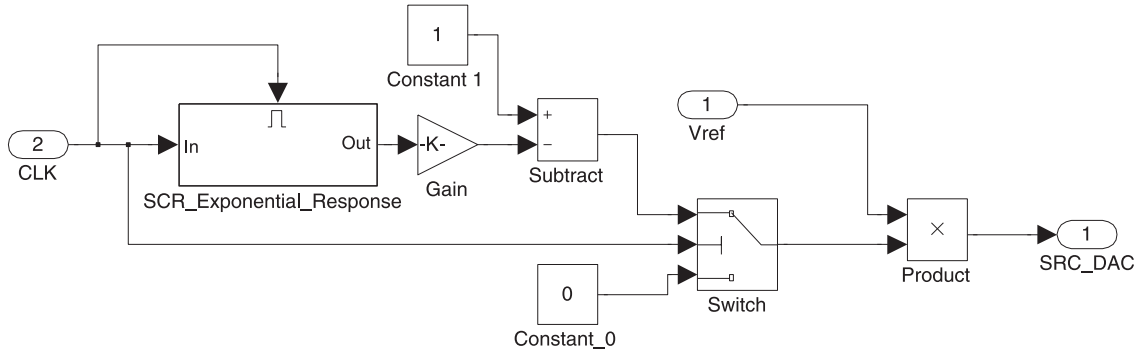


Figura 32: Modelagem do DAC SCR: Circuito de controle.

É importante destacar que a metodologia de simulação de SDMs-CT com DACs SCR empregando diagrama de blocos no ambiente Matlab/Simulink<sup>®</sup> é uma das contribuições deste trabalho.

#### 4.4.5 Modelo do ELD

O ELD, atraso entre a subida do sinal de relógio e a resposta do DAC, é modelado com a inserção de um bloco *Transport Delay* na malha de realimentação do modulador. Neste trabalho ele foi inserido após a saída do DAC.

#### 4.4.6 Modelagem do *Jitter* do Sinal de Relógio

Na literatura são apresentadas diferentes técnicas para modelar os efeitos do *jitter* do sinal de relógio em SDMs-CT (ASHRY; SHADY, 2009) (BENABES; KIELBASA, 2001) (CHOPP; HAMOUI, 2009).

Em (BENABES; KIELBASA, 2001) o efeito do *jitter* é assumido como uma fonte de ruído adicional na entrada do modulador, fornecendo assim uma simulação em tempo discreto rápida ao invés de simulações contínuas no tempo. De maneira similar, foi apresentado em (CHOPP; HAMOUI, 2009) outra técnica de simulação e análises do efeito do *jitter* em SDMs-CT no domínio discreto. Esta técnica foi proposta com a utilização da transformação IIT e validada utilizando modelos comportamentais no Matlab/Simulink<sup>®</sup>.

Entretanto, as técnicas descritas anteriormente abordam apenas os efeitos do *jitter* em SDMs-CT com DACs do tipo RZ e NRZ, desprezando também os efeitos do *jitter* no quantizador. Embora os efeitos do *jitter* no quantizador são amenizados devido ao *noise-shaping* do modulador, ele também foi modelado neste trabalho para o fornecimento de um modelo o mais exato possível, e que englobe diferentes tipos de DAC.

A incerteza do período de relógio  $\delta$  é modelada como uma variável randômica de média zero com variância  $\sigma^2$ , ou seja, um processo randômico do tipo Gaussiano sem correlação e com desvio padrão  $\sigma$ . Assim, o período do sinal de relógio,  $T_s$  é expresso pela Equação 26

$$T_s = T_{clk} + \delta \quad (26)$$

onde  $T_{clk}$  é o período do sinal de relógio sem *jitter*.

Para avaliar os efeitos do *jitter* em SDMs-CT foi desenvolvido o modelo de uma fonte de sinal de relógio com *jitter*, como mostrado na Figura 33. Este modelo gera um sinal de relógio com *jitter* baseado na comparação com zero de um sinal referente a soma de um sinal de referência senoidal, ou triangular, com nível DC igual a zero e um sinal gaussiano proveniente de um bloco *Gaussian Variable*. Para evitar pulsos aleatórios no

o sinal de relógio gerado optou-se por somar o sinal gaussiano no momento em que o sinal de referência estiver com amplitude máxima. Isto foi efetuado através da inserção de um atraso entre a amostragem do sinal gaussiano e a sua adição ao sinal de referência.

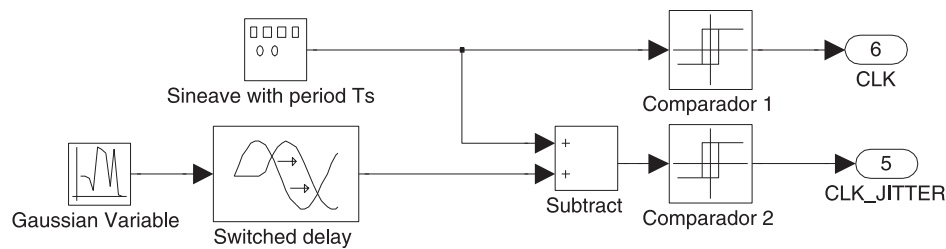


Figura 33: Fonte de sinal de relógio com *jitter*.

Esta fonte de sinal foi utilizada como sinal de relógio durante as simulações do modulador em alto nível. A principal razão para projetar esta fonte de sinal de relógio com *jitter* é a possibilidade de simular os efeitos do *jitter* em SDMs-CT com DACs de diferentes formas de onda. Enquanto esta abordagem implica em um aumento no tempo de simulação ela também fornece resultados precisos, dependentes do passo de simulação empregado, criando um compromisso entre precisão da simulação e tempo de simulação.

#### 4.5 Estudo de Caso: Simulação com o Modelo Desenvolvido

Nesta seção é apresentado um estudo de caso englobando o modelo desenvolvido para a simulação em alto nível de um SDMs-CT implementado com a clássica topologia Cascata de Integradores com Realimentação Distribuída (CIFB) e com uma realimentação local para formar um ressonador (SCHREIER; TEMES, 2005). Este modulador foi projetado apenas em alto nível visando atingir os requisitos básicos para suprir os seguintes padrões de comunicação sem fio: GSM, Bluetooth e GPS (A. MORGADO; ROSA, 2011). A banda deste modulador é de 2 MHz, com frequência de amostragem de 128 MHz. Foram projetadas duas versões em tempo contínuo deste modulador. A primeira utilizando DACs NRZ e a segunda empregando DACs SCR.

O projeto deste modulador foi efetuado a partir da transformação DT/CT com o emprego da transformada IIT, ver seção 3.4.1. Os coeficientes do modulador em tempo discreto foram escolhidos de acordo com (MARQUES *et al.*, 1998) e o coeficiente de realimentação do ressonador foi escolhido para prover um aumento do SNDR, ocasionado pela inserção de um zero na NTF (SCHREIER; TEMES, 2005). Após a transformação DT/CT os coeficientes do modulador em tempo contínuo obtidos são dados por [bsig b1 b2 b3  $\gamma$ ] = [0,05 0,05 0,2 0,38 0,005] e [bsig b1 b2 b3  $\gamma$ ] = [0,05 1 3,5 6,2 0,005] para as implementações com DACs NRZ e SCR, respectivamente.

As simulações foram efetuadas para um sinal de entrada com amplitude de -12,04 dBFS e com frequência de 1,75 MHz, e o PSD da saída do modulador foi calculado através de uma FFT de  $2^{14}$  pontos. Uma vez que a precisão da simulação é dependente do *time-step*, uma escolha cuidadosa do método matemático empregado na simulação do ambiente Matlab/Simulink<sup>®</sup> é essencial. As simulações incluindo apenas os efeitos do *jitter* de relógio foram efetuadas empregando um *time-step* de simulação fixo de  $T_s/3000$ , ocasionando um incremento no tempo de simulação. Já as demais simulações englobando todas as não-idealidades do circuito caracterizam um *stiff system*, visto que o passo de simulação deve ser variado constantemente para a correta resolução do sistema. Assim, foi empregado o solver com *time-step* variável *ode23s* (KAALD *et al.*, 2009).

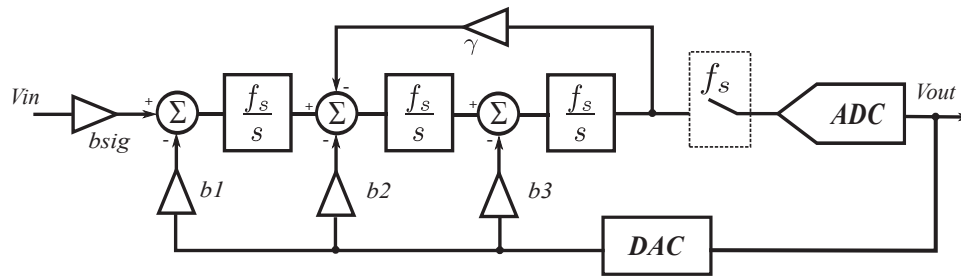


Figura 34: Topologia CIFB de terceira ordem.

A seguir são analisados os efeitos de cada não-idealidade na performance dos moduladores projetados.

#### 4.5.1 Efeitos do *Jitter*

O impacto do *jitter* do sinal de relógio nos SDMs-CT projetados, considerando os demais elementos do modulador como ideais, é apresentado na Figura 35. É possível observar e comprovar que a implementação do SDM-CT com DACs SCR é menos susceptível aos efeitos do *jitter* se comparado com a implementação que emprega DACs NRZ, em acordo com (ORTMANN; GERFERS; MANOLI, 2005).

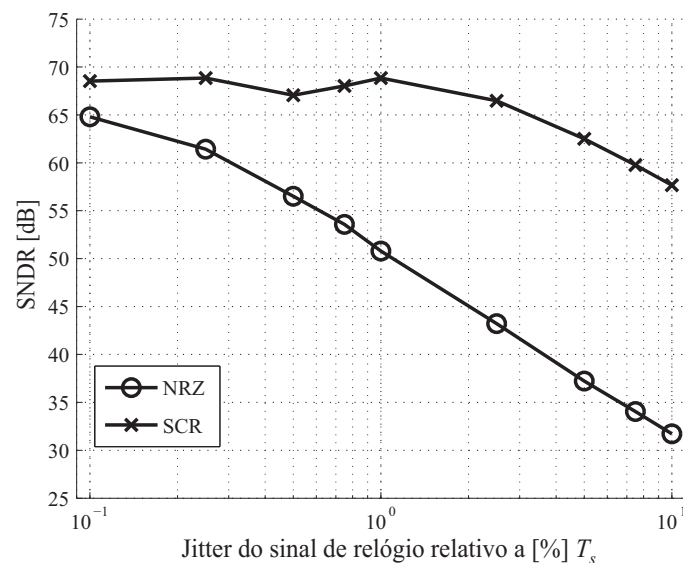


Figura 35: Variação do SNDR de acordo com *jitter* do sinal de relógio.

#### 4.5.2 Efeitos do Ganho DC e *Slew Rate* Finito dos Amplificadores

Os SDMs-CT também são conhecidos por proporcionarem a utilização de amplificadores operacionais com requisitos de ganho DC e velocidade menos exigentes. A Figura 36 apresenta a degradação do SNDR do modulador em função do *slew rate* finito dos amplificadores. Estes resultados foram obtidos para amplificadores com diferentes ganhos DC, frequência de ganho unitário quatro vezes superior a frequência de amostragem e sinal de saída com saturação e  $0,8 V_{ref}$ .

A partir da Figura 36 é possível concluir que os integradores podem ser construídos com amplificadores operacionais com ganho DC de 60 dB sem degradação de performance para ambas as implementações. Entretanto, os requisitos de *slew rate* são diferen-

tes para as implementações com DACs NRZ e DACs SCR. O SDM-CT com DACs NRZ necessita de um amplificador com *slew rate* de pelo menos  $50 \text{ V}/\mu\text{s}$ . Já o SDM-CT com DACs SCR requer amplificadores com *slew rate* de pelo menos  $100 \text{ V}/\mu\text{s}$  e  $120 \text{ V}/\mu\text{s}$  para ganhos DC do amplificador de 60 dB e 80 dB, respectivamente.

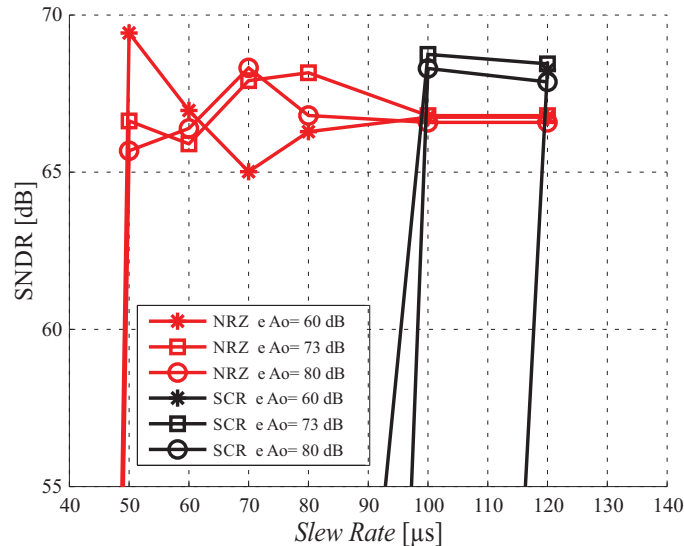


Figura 36: Variação do SNDR versus *slew rate* para ganhos DC distintos.

#### 4.5.3 Efeitos da Frequência de Ganho Unitário Finita dos Amplificadores

Tipicamente, a frequência de ganho unitário dos amplificadores empregados nos integradores de SDMs-CT deve ser de aproximadamente duas vezes a frequência de amostragem. A Figura 37 apresenta a relação entre o SNDR dos moduladores projetados e a frequência de ganho unitário dos amplificadores. Nesta simulação foram considerados amplificadores reais com ganho DC de 80 dB, *slew rate* de  $150 \text{ V}/\mu\text{s}$  e tensão de saturação de saída de  $0,8 V_{ref}$ .

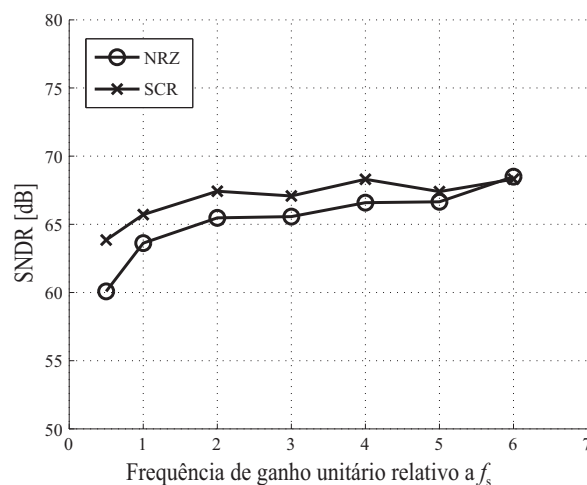


Figura 37: Variação do SNDR em função da frequência de ganho unitário dos amplificadores.

#### 4.5.4 Efeito do ELD

O impacto do ELD nos SDMs desenvolvidos é apresentado na Figura 38, sendo empregados nesta simulação amplificadores operacionais com as não-idealidades citadas anteriormente. Pode-se notar nesta Figura que ambas as implementações apresentam uma alta tolerância a efeitos de ELD de até 10% do período de relógio  $T_s$ . Para ELD superiores a 10% do período de relógio  $T_s$  observa-se uma degradação do SNDR elevada. Deste modo, em implementações práticas, deve-se avaliar a necessidade ou não da utilização de técnicas para compensar os efeitos de ELD.

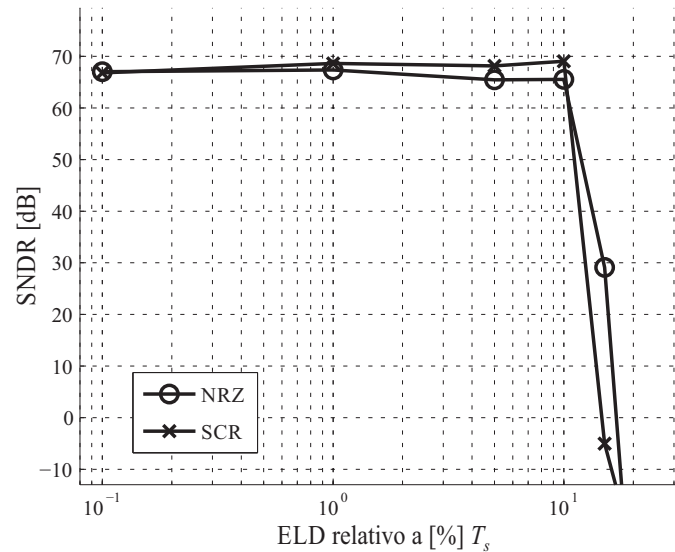


Figura 38: Variação do SNDR *versus* valores do ELD.

#### 4.5.5 Efeito de Todas as Não-idealidades Modeladas

Os modelos completos, englobando todas as não-idealidades, dos SDMs-CT analisados são apresentados nos apêndices 82 e 81. As Figuras 39 e 40 apresentam a densidade espectral de potência (PSD), calculada com  $2^{16}$  pontos, de ambas as implementações, com DACs NRZ e DACs SCR, respectivamente. Nestas simulações foi empregado o modelo completo do modulador com as seguintes não-idealidades: *jitter* de 1% de  $T_s$ , ELD de 5% de  $T_s$ , ganho DC dos amplificadores de 80 dB, *slew rate* de 150 V/ $\mu$ s, frequência de ganho unitário de 512 MHz, tensão de saturação dos amplificadores de  $0,8 V_{ref}$  e *offset* do quantizador de 1 mV.

A degradação devidos às não-idealidades do modulador é mais evidente na implementação com DACs NRZ. O modulador com DACs NRZ apresenta um SNDR de 66,35 dB, ou seja, um ENOB de 10,73 bits. Já a simulação incluindo as não-idealidades forneceu um SNDR de 52,15 dB, ou seja uma degradação de 21,4 % em relação à performance do modulador ideal. Comparando os resultados apresentados com a Figura 35 pode-se concluir que esta degradação de performance é causada principalmente pelos efeitos do *jitter*, o que está de acordo com o que já foi apresentado neste trabalho e alguns trabalhos presentes na literatura (CHERRY; SNELGROVE, 1999b).

Já a implementação com DACs SCR, sob as mesmas não-idealidades, apresentou uma redução de apenas 1,5 dB entre o SNDR ideal e o SNDR do modulador com as não-idealidades.



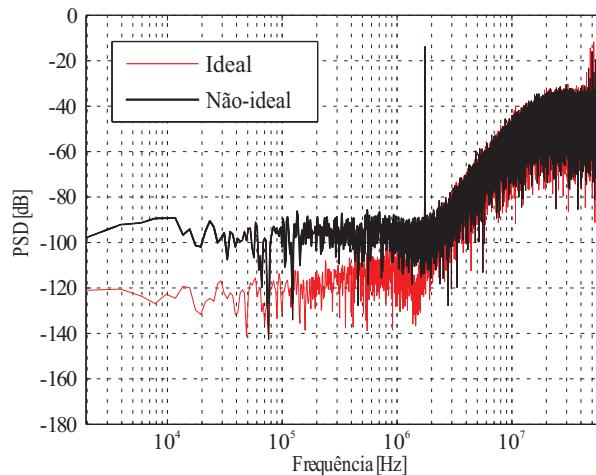


Figura 39: PSD do modulador com DACs NRZ.

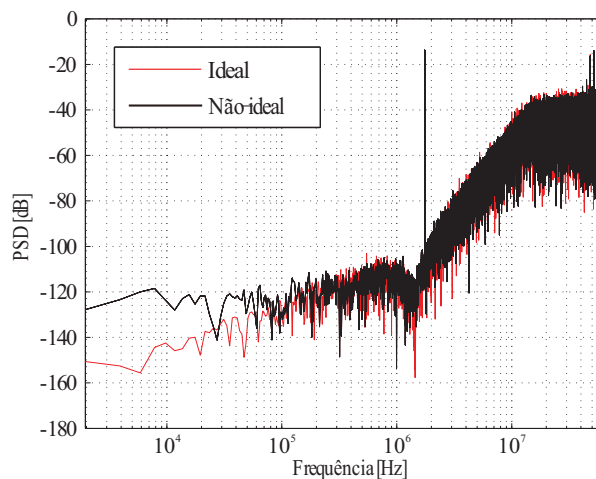


Figura 40: PSD do modulador com DACs SCR.

## 4.6 Análise de Ruído

Em um modulador SD ideal o único ruído presente é o ruído de quantização, e este é suprimido pelo *oversampling* e pelo *noise-shaping* (SCHREIER; TEMES, 2005). Neste caso, a relação sinal-ruído do modulador SD é chamada de SQNR (relação sinal-ruído-de-quantização). Entretanto, a relação sinal-ruído presente na saída de um SDM real depende das não-idealidades e do ruído proveniente dos circuitos eletrônicos que o compõe. Nas seções anteriores foram apresentadas simulações do modulador SD ideal, e também com não-idealidades, com exceção do ruído presente nas implementações reais.

Existem basicamente dois tipos de ruído que afetam os circuitos eletrônicos: ruído térmico e ruído *flicker*, também conhecido como ruído  $1/f$  (RAZAVI, 1998). Os SDM-CT fabricados em tecnologias CMOS são compostos basicamente por resistores, capacitores e transistores MOS. A principal fonte de ruído em resistores e capacitores é o ruído térmico. Já os transistores MOS são afetados pelo ruído térmico e pelo ruído *flicker*.

O ruído térmico é causado devido a agitação térmica dos elétrons, ocasionando variações de tensão em um condutor mesmo que a corrente média seja zero. Em transistores MOS o ruído térmico é gerado principalmente no canal do transistor (RAZAVI, 1998).

O ruído *flicker* no transistor MOS é oriundo da flutuação randômica de elétrons no



canal. Este fenômeno é conhecido como *trapping* e nada mais é do que o aprisionamento e a emissão de portadores de carga do canal do transistor MOS (TSIVIDIS; MCANDREW, 2010).

Em ADCs SD em tempo contínuo, apenas as componentes de ruído presentes na banda de interesse afetam a performance do circuito enquanto as componentes de alta frequência são eliminadas pelo filtro decimador (ORTAMANN; GERFERS, 2006). Para avaliar o impacto do ruído na performance do modulador SD deve-se conhecer a localização de cada fonte de ruído. Como abordado anteriormente, as fontes de ruído críticas localizam-se na entrada do modulador (BREEMS; HUIJING, 2001). Isto se deve ao fato de que o ruído na entrada de moduladores SD não é *noise shaped* (SCHREIER; TEMES, 2005) e aparece diretamente na saída do modulador afetando sua performance. Assim, faz-se necessária a análise do ruído máximo permitido na entrada do modulador SD para que os requisitos de DR, ENOB e SNR sejam atingidos.

#### 4.6.1 Ruído na Entrada de SDMs-CT

O ruído na entrada de SDMs-CT é basicamente composto pelo ruído de entrada do primeiro integrador. Em (ORTAMANN; GERFERS, 2006) a análise das fontes de ruído dominantes na entrada de um SDM-CT composto por integradores RC-ativos, ilustrado na Figura 41, é efetuada. O ruído total referido à entrada do SDM-CT, neste caso, é composto pela soma do ruído térmico dos resistores de entrada,  $R1$ , e do DAC,  $R_{DAC}$ , e pelo ruído do amplificador referido à sua entrada (ruído térmico e *flicker*).

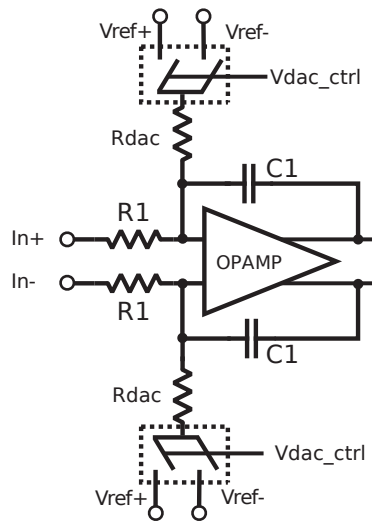


Figura 41: Entrada de SDM-CT: Integrador RC-ativo.

A densidade espectral da potência do ruído térmico gerado por um resistor numa dada frequência em torno de uma banda de 1 Hz é expressa pela Equação 27.

$$\bar{v}_R^2 = 4kTR \quad (27)$$

onde  $k = 1,3810^{-23}$  J/K é a constante de Boltzmann, T a temperatura em Kelvin e R a resistência do resistor. Já o ruído total referido à entrada do amplificador é expresso na Equação 28 (ORTAMANN; GERFERS, 2006).

$$\bar{v}_{OTA}^2 = \frac{8}{3} \frac{kTn_{thermal}}{g_{mOTA}} + \frac{k_f n_f}{C_{ox}^2 WL a_f} \quad (28)$$

onde  $n_{thermal}$  e  $n_f$  descrevem os fatores de excesso dos ruídos térmico e *flicker*, respectivamente.  $W$  e  $L$  são a largura e comprimento do canal dos transistores que compõem o par diferencial de entrada do amplificador, respectivamente.  $g_{mOTA}$  é a transcondutância do amplificador.  $k_f$  e  $a_f$  são parâmetros do ruído *flicker* que dependem do tipo de transistor e da tecnologia empregada.

Para obter o ruído total referido a entrada do integrador basta somar o ruído proveniente de cada fonte citada. A unidade de densidade de ruído é expressa em  $V/\sqrt{Hz}$  ou  $V^2/Hz$ . Esta expressa a potência do ruído em uma banda de 1 Hz. Deste modo, a potência do ruído referente a entrada do integrador na banda de interesse é obtida integrando-se a densidade de potência do ruído, expresso em  $V^2/Hz$  em toda a banda de interesse, ver Equação 29.

$$P_{noise} = \int_0^{BW} \bar{v}_{total}^2 df \quad (29)$$

onde  $P_{noise}$  é a potência de ruído na entrada do integrador e  $\bar{v}_{total}^2$  é o valor total da densidade de ruído. Conclui-se assim, que a potência total do ruído referido à entrada do modulador é expressa por:

$$P_{noise} = \int_0^{BW} (\bar{v}_{Rin}^2 + \bar{v}_{DAC}^2 + \bar{v}_{OTA}^2) df \quad (30)$$

onde  $\bar{v}_{Rin}^2$ ,  $\bar{v}_{DAC}^2$  e  $\bar{v}_{OTA}^2$  são as densidades de ruído dos resistores de entrada, do DAC e do ruído do OTA referenciado à entrada, respectivamente

Existem diferentes tipos de DAC e possibilidades distintas de implementação, sendo que a análise detalhada da contribuição total de ruído de cada topologia de DAC pode ser encontrada na literatura. Por exemplo, em (SILVA *et al.*, 2006) é efetuada a análise da contribuição de ruído de um DAC SCR na entrada do primeiro integrador de um SDM-CT. Neste trabalho de mestrado as análises de ruído foram efetuadas através de simulação em nível elétrico.

#### 4.6.2 Especificação do Ruído Máximo na Entrada do SDM-CT

O patamar de ruído térmico na saída do modulador (*thermal noise floor*) é aproximadamente igual à soma do ruído térmico presente na entrada do modulador. Deste modo, tal ruído deve ser considerado durante o projeto elétrico do modulador de maneira que o SNDR desejado na saída do SDM seja obtido. A seguir é apresentada uma metodologia de como estimar o ruído máximo permitido na entrada do modulador. Para melhor apresentar a metodologia será apresentado um estudo de caso para o dimensionamento do ruído máximo na entrada de um SDM-CT.

Um SDM-CT com ENOB de 12 bits apresenta, na prática, um SNDR de aproximadamente 74 dB para uma banda de sinal de entrada de 1 MHz. Entretanto, durante a simulação do modulador ideal, o SQNR obtido deve ser de 3 a 6 dB superior ao SNDR almejado, ou seja, o SQNR deve ser de aproximadamente 80 dB para um fator de segurança de 6 dB. Isto significa projetar um modulador ideal com no mínimo 1 bit de ENOB além da especificação requerida. Considere que a amplitude de *full scale* (FS) seja de 800 mV, ou seja, a tensão de referência é de  $\pm 400$  mV, e que o maior SNDR é obtido para um sinal de entrada com amplitude de -6,02 dBFS (400 mVpp). Deste modo, o *quantization noise floor* do modulador dentro da banda de interesse deve ser de pelo menos -86 dBFS.

A amplitude do sinal de entrada para a obtenção do SNDR de pico é tipicamente igual ou próxima a -6,02 dBFS. Para sinais de entrada com amplitude acima deste valor ocorre

a redução do SNDR devido a saturação de blocos analógicos do modulador. Destaca-se também que existe um limite para a amplitude máxima do sinal de entrada do modulador de modo a garantir a operação correta do modulador. Este limite é conhecido como nível de sobrecarga, do inglês *overload level*, e é tipicamente definido como a amplitude do sinal de entrada que gera um SNDR aproximadamente 6 dB menor do que o SNDR de pico (ROSA; RIO, 2013).

No projeto em nível elétrico do SDM-CT define-se que o *thermal noise floor* do modulador dentro da banda de interesse deve ser de pelo menos -80 dBFS. Isto implica que a soma do ruído na entrada do modulador deve ser aproximadamente superior a -80 dBFS, possibilitando um SNDR de 74 dB para um sinal de entrada de -6,02 dBFS, sem sobre dimensionar os componentes do circuito.

Neste caso, com embasamento prático, define-se, por exemplo, que o ruído térmico do resistor de entrada deve estar 6 dB abaixo do *thermal noise floor* do modulador, ou seja, seu valor deve ser de -86 dBFS. Definindo a mesma amplitude de ruído para o DAC, -86 dBFS, obtém-se um incremento do ruído térmico de entrada de -86 dBFS para -83 dBFS. Assim, o ruído térmico de entrada do modulador devido ao amplificador do integrador pode ser igual ao do resistor de entrada e do DAC. Deste modo, a soma dos ruídos na entrada do amplificador total fica em -80 dBFS, ou seja, a resolução almejada por ser obtida.

Com base na metodologia de projeto apresentada, pode-se dimensionar os componentes de entrada do modulador afim de reduzir a área e o consumo de energia total do modulador. No caso do resistor, quanto maior a resistência permitida, menor o capacitor necessário para a implementação de um determinado coeficiente, por exemplo. Ainda, reduzindo-se o tamanho do capacitor, pode-se reduzir a transcondutância do amplificador até um valor mínimo cujo ruído do amplificador ainda esteja abaixo do especificado (ORTAMANN; GERFERS, 2006).

### 4.6.3 Medidas de Ruído

A estimativa do ruído total referido à entrada do SDM-CT será efetuada via simulação durante a etapa de projeto dos blocos que compõem o modulador, visto que o ruído depende diretamente da tecnologia empregada. A Tabela 1 apresenta os valores de ruído para alguns resistores de precisão de polisilício empregados no projeto do SDM-CT.

Tabela 1: Medidas de simulação de densidade de ruído para o resistor de precisão de polisilício (com  $W=1 \mu m$  e  $T=300 K$ ) empregado no projeto do modulador SD CT.

Resistência ( $k\Omega$ )	Ruído ( $nV/\sqrt{Hz}$ )	L ( $\mu m$ )
0,5	2,88	1,73
1	4,07	3,86
2	5,75	8,1
5	9,1	20,85
10	12,87	42,1
15	15,75	63,35
20	18,21	84,6
50	28,79	212,1
100	40,71	424,6

Com base na Tabela 1 e simulações extras com outras dimensões de resistores, conclui-

se que a potência de ruído dos resistores da tecnologia CMOS utilizada pode ser calculada com precisão de acordo com a Equação 27.

#### 4.6.4 Dimensionamento do Resistor de Entrada do CT Modulador

Com o embasamento teórico-prático apresentado na subseção 4.6.2 pode-se dimensionar a resistência máxima dos resistores de entrada do SDM-CT para atingir determinada especificação de ruído. Considerando novamente que a amplitude de *full scale* (FS) seja de 800 mV, ou seja, a amplitude da tensão de referência é de  $\pm 400$  mV, e que o maior SNDR é obtido para um sinal de entrada com amplitude de -6,02 dBFS (400 mVpp), pode-se calcular a amplitude de ruído do resistor de acordo com a Equação 31:

$$20 \times \log \frac{\bar{v}_R}{V_{ref}} = P_{noise\_Rin} \quad (31)$$

onde  $\bar{v}_R$  é a densidade de potência do ruído expressa em  $V/\sqrt{Hz}$ ,  $V_{ref}$  é a amplitude da tensão de referência, 400 mV, e  $P_{noise\_Rin}$  é a potência de ruído do resistor de entrada expressa em dBFS, -86 dBFS, na banda de interesse.

A amplitude do ruído obtida a partir da Equação 31 é de  $20 \mu V$ . Como a potência de ruído depende do espectro de frequência analisado e do valor da resistência, com base nas Equações 29 e 27 chega-se à seguinte relação:

$$4kTR \times BW = (20 \times 10^{-6})^2 \quad (32)$$

A partir da Equação 32 pode-se definir os valores dos resistores de entrada do primeiro integrador do SDM-CT. A Tabela 2 sumariza estes valores para a metodologia e estudo de caso apresentados para diferentes larguras de banda de sinal de entrada. Nota-se que estes valores são válidos em casos onde se almeja um SNDR de 74 dB para as tensões de referência e entrada do modulador apresentadas anteriormente.

Tabela 2: Medidas de ruído para o resistor de precisão (com  $W = 1 \mu m$  e  $T = 300$  K) empregado no projeto do modulador SD CT.

Largura de banda (MHz)	Resistência de Entrada (kΩ)
0,1	241,50
0,2	120,77
0,5	48,31
1	24,15
1,1	21,96
2	12,08

A Tabela 2 apresenta a resistência máxima de entrada para o SDM-CT. Como o circuito é totalmente diferencial, são necessários 2 resistores de entrada. Visto que as duas resistências de entrada contribuem para a geração do ruído térmico, o valor de cada resistor de entrada será igual ao valor da resistência máxima de entrada dividido por dois.

## 4.7 Projeto de Alto Nível do SDM-CT

Nesta seção é apresentado o projeto de alto nível do SDM-CT desenvolvido neste trabalho e implementado em tecnologia CMOS. A metodologia de projeto utilizada foi

baseada no estudo de caso apresentado na seção 4.5. O modulador projetado foi desenvolvido visando sua aplicação em circuitos de comunicação, como em receptores de RF empregados para a recepção de sinais de GSM, *Bluetooth* e GPS.

A banda de sinal de entrada do SDM-CT foi definida em 1 MHz e o SNDR do modulador foi especificado para ser superior a 60 dB.

#### 4.7.1 Escolha da Topologia

A escolha da topologia do SDM-CT depende de inúmeros fatores, como largura de banda do sinal de entrada, estabilidade do laço, SNDR almejado, linearidade, etc. Foram estudadas diversas topologias de SDMs-CT apresentadas na literatura e optou-se pela escolha de uma topologia clássica de laço-único, *single-bit*, de terceira ordem do tipo Cascata de Integradores com Alimentação em Avanço (CIFF) (SCHREIER; TEMES, 2005).

Sabe-se que SDMs de ordem igual ou superior a três são marginalmente estáveis (SCHREIER; TEMES, 2005). Deste modo, o modulador foi projetado para manter a estabilidade para uma ampla faixa de sinais de entrada cujos limites de amplitude máxima são próximos às tensões de referência do SDM. Adicionalmente, optou-se por empregar um quantizador *single-bit* pois ele é intrinsecamente linear e não afeta a complexidade de projeto do DAC.

Para atingir os requisitos de projeto, e ainda obter um fator de segurança, empregou-se um OSR de 64. Assim, a frequência de amostragem foi definida em 128 MHz. Visando aumentar ainda mais o SQNR da topologia foi empregado também uma realimentação local para formar um ressonador (SCHREIER; TEMES, 2005) no laço, gerando um zero na NTF e reduzindo ainda mais o ruído de quantização dentro da banda de interesse. A topologia do SDM-CT é apresentada na Figura 42.

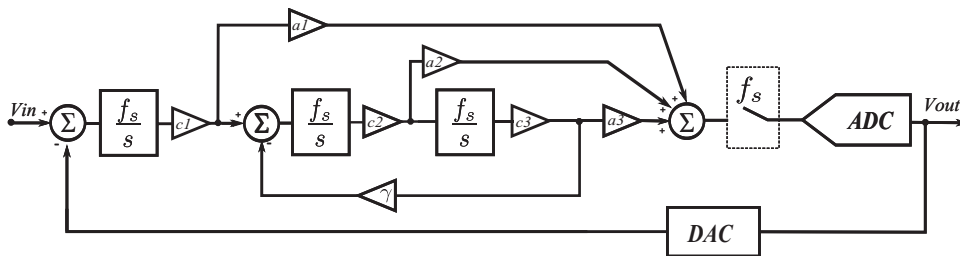


Figura 42: Topologia do SDM-CT projetado.

#### 4.7.2 Projeto do Laço em Tempo Contínuo

O projeto do laço em tempo contínuo foi efetuado a partir da transformação DT/CT com o emprego da transformada IIT, ver seção 3.4.1. Assim, foi necessário efetuar o projeto do SDM-DT e após efetuar a conversão DT/CT para encontrar os coeficientes do seu homólogo em tempo contínuo.

##### 4.7.2.1 Projeto do Laço em Tempo Discreto

Os coeficientes do modulador em tempo discreto  $c_1$ ,  $c_2$ ,  $c_3$ ,  $a_1$ ,  $a_2$  e  $a_3$  foram calculados para a obtenção de um SDM com NTF terceira ordem ótima, desconsiderando a realimentação local para formar o ressonador, apresentada na Equação 33.

$$NTF(z) = \frac{(z - 1)^3}{(z - 0,6694)(z^2 - 1,531z + 0,6639)} \quad (33)$$

Esta NTF foi obtida com a função *synthesizeNTF* do *toolbox* para Matlab Delta-Sigma (SCHREIER, 2011). Já o coeficiente  $\gamma$  não foi calculado, e sim definido para a obtenção do maior SNDR. Deste modo, os coeficientes do modulador em tempo discreto obtidos são dados por:  $[c_1, c_2, c_3, a_1, a_2, a_3, \gamma] = [1, 1, 1, 0,8, 0,3, 0,56, 0,005]$ .

#### 4.7.2.2 Conversão DT/CT

Antes de se efetuar a conversão DT/CT definiu-se a forma de onda do DAC. Os resultados da seção 4.5 indicam que SDMs-CT com DACs SCR são menos susceptíveis aos efeitos do *jitter* do sinal de relógio, porém eles são implementados através de capacitores e resistores, resultando no incremento da área em silício dos moduladores. Neste trabalho, optou-se por empregar um DAC NRZ visando a redução da área em silício do modulador para possibilitar sua prototipação via MPW MOSIS.

Após a definição do tipo de DAC foram encontrados os coeficientes do SDM-CT:  $[c_1, c_2, c_3, a_1, a_2, a_3, \gamma] = [1, 1, 1, 0,681, 0,244, 0,056, 0,015]$ . Entretanto, para reduzir a amplitude dos sinais de saída de cada integrador e do somador em frente ao quantizador foi efetuado um escalamento destes coeficientes. Assim, os novos coeficientes do modulador são dados por:  $[c_1, c_2, c_3, a_1, a_2, a_3, \gamma] = [0,1, 1, 0,1, 1,7, 0,61, 1,4, 0,015]$ .

#### 4.7.3 Performance Ideal

Após a conversão DT/CT espera-se obter um SDM-CT com características muito similares às do seu homólogo em tempo discreto. Por isso, é apresentado aqui a análise de performance de alto nível do modulador SDM-CT e de seu homólogo.

Foram efetuadas simulações em alto nível empregando na entrada do modulador um sinal de 250 kHz com amplitude de -6,02 dBFS. O PSD de ambos os moduladores, calculado com  $2^{16}$  pontos, é apresentado na Figura 43. O SDNR, ou neste caso, SQNR, obtido para o SDM-CT e seu homólogo são: 90,30 dB e 90,46 dB, respectivamente.

Já a Faixa Dinâmica (DR) de ambos os moduladores é apresentada na Figura 44. O DR do SDM-CT é de aproximadamente 92 dB, apresentando uma leve redução em relação ao seu homólogo em tempo discreto.

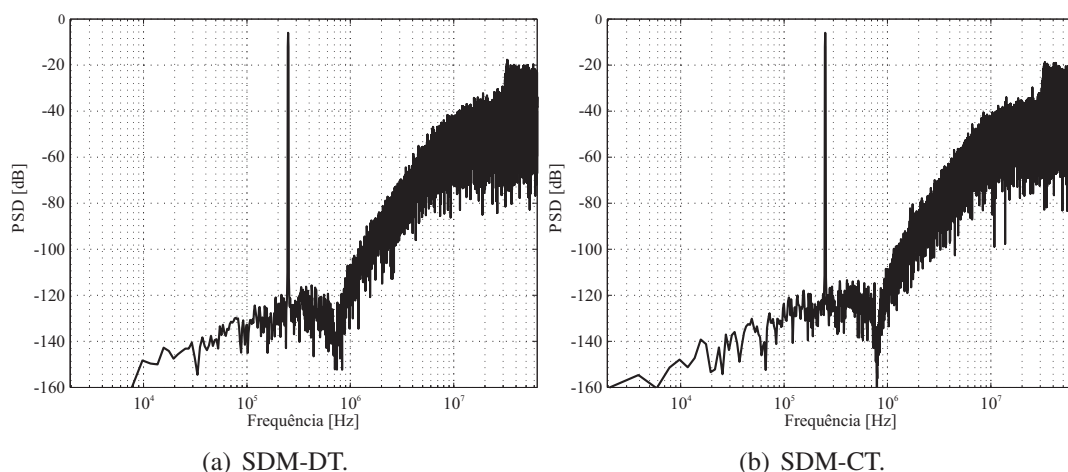


Figura 43: PSD ideal.

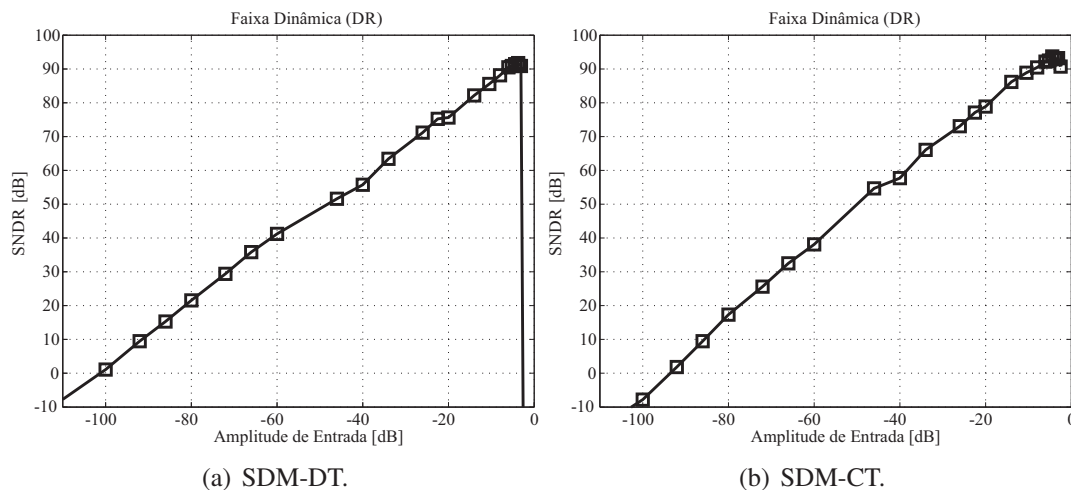


Figura 44: Faixa dinâmica ideal.

#### 4.7.4 Performance com Não-idealidades

Visando analisar o impacto das não-idealidades no SDM-CT projetado foram efetuadas simulações com o modelo desenvolvido. Primeiramente foram analisados os efeitos do *jitter* de relógio e o ELD do modulador, considerando os integradores ideais.

O impacto do *jitter* do sinal de relógio no desempenho do modulador é notável. A Figura 45 apresenta a queda de desempenho do modulador em função do *jitter*. A partir desta simulação pode-se extrair os requisitos do circuito gerador do sinal de relógio empregado durante o teste do modulador.

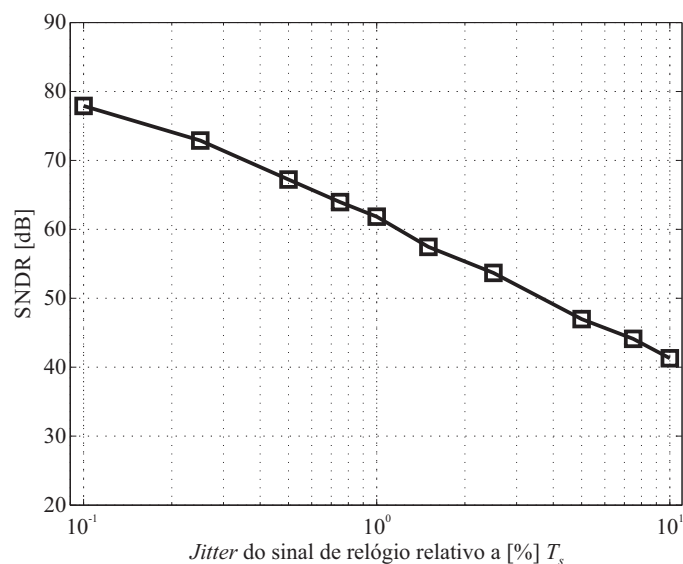


Figura 45: Impacto do *jitter* do sinal de relógio no SDM-CT projetado.

A partir da Figura 46 conclui-se que o efeito do ELD no SDM-CT projetado é desprezível para valores de ELD de até 25 % do período do sinal de relógio ( $T_s$ ). Para valores de ELD acima de 25 % de  $T_s$  o modulador torna-se instável. Deste modo, o atraso permitido entre a subida do sinal de relógio no quantizador e a mudança na saída do DAC pode ser de até 1,95 ns sem prejudicar o desempenho do modulador.



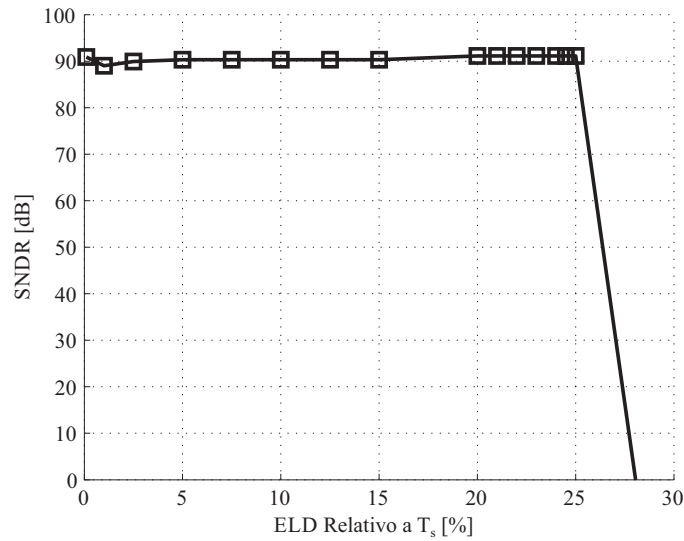


Figura 46: Impacto do *jitter* do sinal de relógio no SDM-CT projetado.

Os efeitos das não-idealidades dos amplificadores operacionais dos integradores foram analisadas individualmente, considerando as demais não-idealidades dos amplificadores com valores reais ótimos:  $f_u = 10 \times f_s$ , ganho DC de 100 dB e *slew rate* de 150 V/ $\mu$ s.

O impacto do ganho DC dos amplificadores operacionais no SNDR do modulador é apresentado na Figura 47. É possível observar que para ganhos superiores a 40 dB praticamente não existe redução de performance. Entretanto, para ganhos DC abaixo de 20 dB ocorre uma degradação significativa no SNDR do modulador.

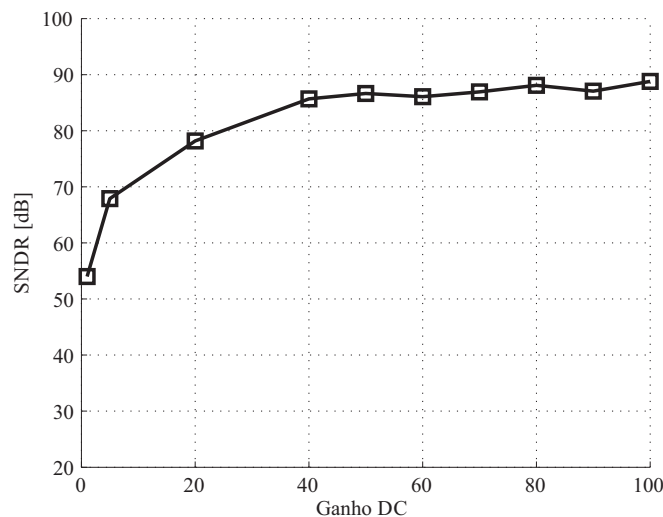


Figura 47: Impacto do ganho DC dos amplificadores no SDM-CT projetado.

Em relação a  $f_u$  dos amplificadores é possível afirmar que valores de aproximadamente duas vezes a  $f_s$  são suficientes para evitar a redução de performance do modulador, ver Figura 48. Esta noção dos valores de  $f_u$  evita o sobredimensionamento do amplificador, possibilitando economia no consumo de potência do amplificador.

O impacto do SR dos amplificadores na performance de SDMs-CT não é comumente abordada na literatura. Entretanto, baixos valores de SR ocasionam o aumento de ruído dentro da banda de interesse bem como o surgimento de harmônicas do sinal de entrada,



reduzindo o SNDR do mesmo. A Figura 49 apresenta o impacto do SR dos amplificadores na performance do modulador. Assim, pode-se concluir que o SR mínimo dos amplificadores operacionais dos integradores deve ser igual ou superior a  $20 \text{ V}/\mu\text{s}$ .

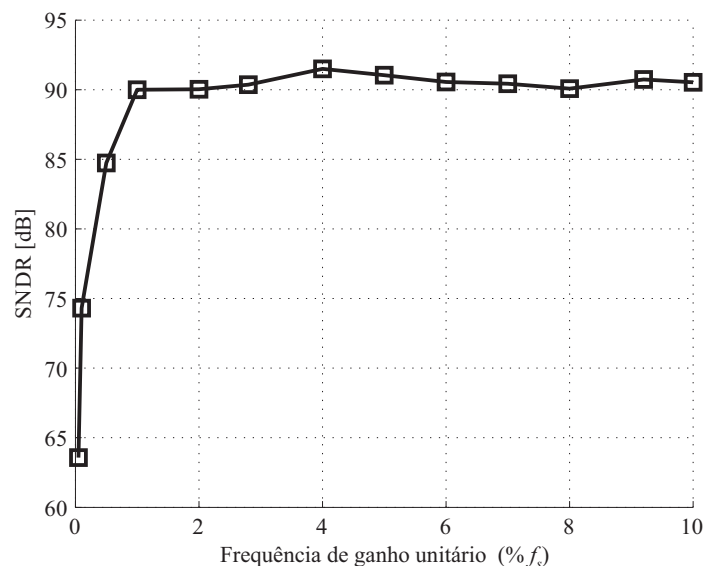


Figura 48: Impacto da  $f_u$  dos amplificadores no SDM-CT projetado.

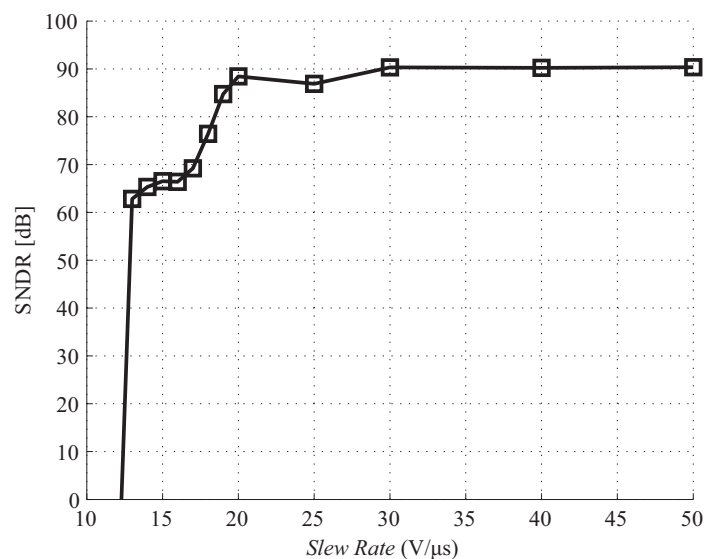


Figura 49: Impacto do SR dos amplificadores no SDM-CT projetado.

Até o momento foi apresentado o impacto de cada não-idealidade do modulador separadamente. Entretanto, também foram efetuadas simulações combinando as não-idealidades apresentadas. Nesta simulação foram utilizadas as não-idealidades oriundas da implementação em nível elétrico do modulador: ELD 2,5 % de  $T_s$ , ganho DC de 47,35 dB,  $f_u = 2,5 \times f_s$  e SR =  $25 \text{ V}/\mu\text{s}$ . Não foi considerado aqui o efeito do *jitter* do sinal de relógio.

O PSD da simulação considerando estas não-idealidades é apresentada na Figura 50. O SNDR obtido com estas não-idealidades é de 90 dB, proporcionando um ENOB de 14,66 bits. Entretanto, deve-se salientar que não estão englobadas as não-idealidades do amplificador somador presente em frente ao quantizador.

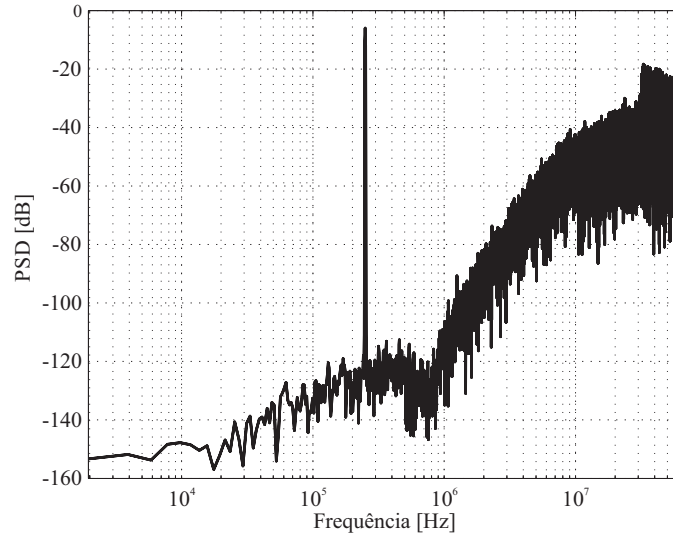


Figura 50: PSD do modulador com não-idealidades.

## 4.8 Considerações

Neste Capítulo foi apresentada a metodologia de simulação de SDMs-CT desenvolvida neste trabalho. A metodologia desenvolvida engloba as principais não-idealidades destes moduladores e pode ser empregada para a simulação de diferentes topologias. Como vantagens dessa metodologia pode-se citar sua fácil reprodução e uma estratégia para simulação de DACs com forma de ondas exponenciais (SCR) no Matlab/Simulink®. Adicionalmente, ela fornece uma abordagem rápida e intuitiva para definir parâmetros dos blocos analógicos que compõe o modulador. Contudo, esta metodologia apresenta um compromisso entre a precisão dos resultados e o passo de simulação utilizado.

Também foi apresentado neste capítulo o projeto em alto nível do SDM-CT projetado neste trabalho de mestrado. Os detalhes da implementação elétrica do modulador são apresentados no próximo Capítulo.

## 5 PROJETO DO SDM-CT EM TECNOLOGIA CMOS

Neste capítulo são abordados os aspectos referentes à implementação elétrica do SDM-CT projetado neste trabalho em tecnologia CMOS IBM 8RF-DM de 130 nm (MOSIS, 2014) com tensão de alimentação de 1,2 V. Este processo tecnológico foi escolhido pois é adequado às necessidades referentes ao projeto de circuitos integrados com baixa tensão de alimentação e baixo consumo de energia visando aplicações e compatibilidade com circuitos integrados mistos empregados atualmente.

O projeto do modulador foi efetuado visando a possibilidade de prototipação através de MPW (do inglês, *Multiple Project Wafer*) via MOSIS (MOSIS, 2013a). Assim, as opções de processo da tecnologia suportadas através das rodadas MPW da MOSIS foram respeitadas (MOSIS, 2013b) e o modulador foi enviado com sucesso para fabricação em fevereiro de 2014.

O projeto do modulador em nível de transistores foi efetuado utilizando o ambiente Cadence e o simulador Spectre, que emprega o modelo BSIM4 para a tecnologia IBM CMOS 130 nm fornecida pela MOSIS. Adicionalmente, durante as etapas de projeto, foram empregadas simulações de Monte Carlo e análises de *corner* para avaliar o impacto das variações de processo no projeto em nível de transistores do modulador.

A seguir são apresentados os blocos analógicos projetados bem como os detalhes envolvendo a etapa de projeto do modulador.

### 5.1 Definições Gerais

Nesta implementação, visando o desenvolvimento de um circuito de alta performance, optou-se por efetuar o projeto do modulador de modo totalmente diferencial. A operação em modo diferencial fornece maior imunidade ao ruído e perturbações de modo comum provenientes dos circuitos vizinhos e fontes de alimentação (RAZAVI, 1998), ao custo do aumento na complexidade de projeto. Assim, as considerações e explicações efetuadas a seguir serão efetuadas considerando blocos analógicos diferenciais.

O primeiro passo para a implementação em nível elétrico de um SDM-CT é a definição de como serão implementados os integradores do modulador e os coeficientes de alimentação em avanço, visto que estas definições impactam no projeto dos blocos analógicos do modulador. Estas informações são apresentadas a seguir.

#### 5.1.1 Definição da Topologia dos Integradores

Existem três principais tipos de integradores em tempo contínuo: integradores RC-ativos, integradores Gm-C e integradores MOSFET C. Neste trabalho, o primeiro integrador do modulador é do tipo RC-ativo ao invés de integradores Gm-C ou MOSFET C

devido aos requisitos já apresentados na seção 4.4.1, como boa linearidade. Neste trabalho optou-se também por implementar os demais integradores do modulador através de integradores do tipo RC-ativo. Destaca-se que os coeficientes  $c_1$ ,  $c_2$  e  $c_3$  são implementados por estes integradores.

### 5.1.2 Implementação em Nível Elétrico dos Coeficientes de Alimentação em Avanço

A implementação dos coeficientes de alimentação em avanço  $a_1$ ,  $a_2$  e  $a_3$ , e a soma dos mesmos, pode ser efetuada com o emprego de um somador analógico em frente ao quantizador. Neste caso o somador é implementado através de uma configuração inversora (RAZAVI, 1998) e os coeficientes são dados pela relação: entre  $a_k = R_{ref}/R_{a_k}$ , como ilustrado na Figura 51.

Existem outras possibilidades de implementação destes coeficientes sem a necessidade de um amplificador somador empregado antes do quantizador, visando a redução do consumo de potência gerado pelo amplificador somador (BOLATKALE *et al.*, 2011). Entretanto, optou-se por manter a abordagem clássica devido a sua fácil implementação e pela menor complexidade dos blocos analógicos a serem empregados.

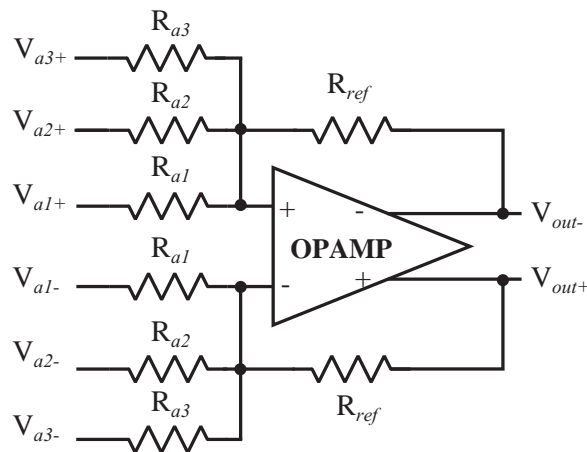


Figura 51: Implementação da soma dos coeficientes de alimentação em avanço.

### 5.1.3 Implementação em Nível Elétrico dos Coeficiente de Realimentação $\gamma$

A implementação do coeficiente de realimentação  $\gamma$  foi efetuada por realimentação resistiva a partir da saída do terceiro integrador até a entrada do segundo integrador. Para isto foi empregado um par resistivo com resistência  $R_\gamma$ . A implementação do coeficiente é dada entre a razão entre  $R_\gamma$  e o resistor de entrada do segundo integrador  $R_2$ .

### 5.1.4 Esquemático de Topo Simplificado do SDM-CT Projetado

Com base nas definições apresentadas anteriormente é apresentado na Figura 52 o esquemático de topo simplificado do SDM-CT em nível elétrico.

### 5.1.5 Definição do Amplificador dos Integradores

Deve-se definir se o amplificador empregado no integrador RC-ativo é um amplificador operacional (opamp) ou um amplificador de transcondutância (OTA). Deve-se então compreender e estar ciente das diferenças entre um opamp e um OTA, além de conhecer a impedância de carga do amplificador a ser projetado.

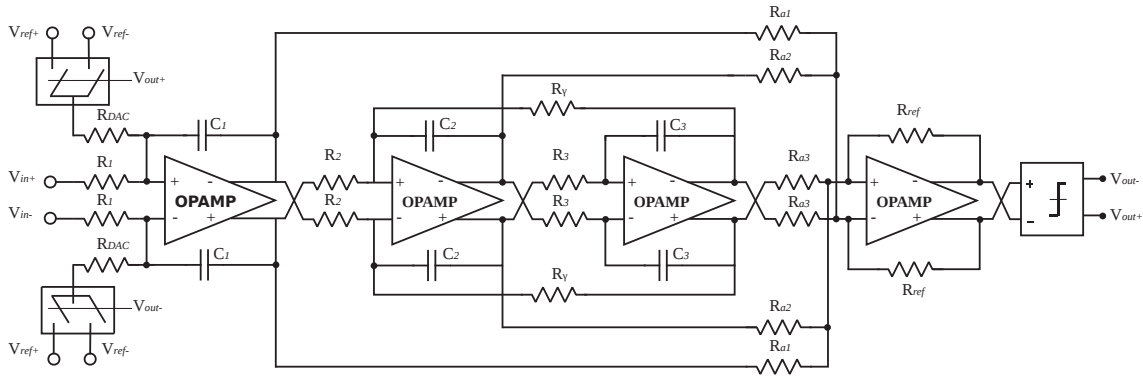


Figura 52: Esquemático de topo do SDM-CT projetado.

O ganho de um amplificador é dado pelo produto entre a transcondutância do amplificador e sua impedância de saída, podendo este ser afetado pela impedância de carga. OTAs apresentam uma elevada impedância de entrada e uma elevada impedância de saída. Então, caso a carga seja resistiva, o ganho do OTA dependerá do valor resultante da associação em paralelo da impedância de saída do OTA e da impedância da carga, podendo cair bruscamente. Conclui-se então que OTAs são empregados quando a impedância de carga tem características capacitivas ou de alta impedância (resistência de carga  $\gg$  impedância de saída do OTA).

Amplificadores operacionais são compostos basicamente por dois estágios: um estágio de ganho composto por um OTA e um estágio de saída (buffer). Diferentemente dos OTAs os amplificadores operacionais apresentam baixa impedância de saída podendo ser empregados com cargas resistivas sem redução significativa do ganho. Entretanto, eles apresentam maior complexidade de projeto e maior consumo de potência devido a existência de um estágio de saída (buffer) adicional.

O tipo do amplificador do primeiro integrador a ser projetado depende da topologia dos demais integradores empregados no projeto do SDM-CT. Caso apenas o primeiro integrador seja do tipo RC-ativo e os demais sejam do tipo Gm/C, têm-se que o primeiro integrador pode ser composto por um OTA. Entretanto, se todos os integradores do modulador são do tipo RC-ativo, o primeiro amplificador, bem como os demais devem ser amplificadores operacionais. Neste caso, os integradores são conectados em cascata e a impedância de carga equivalente do primeiro integrador RC-ativo é composta pela soma da impedância de carga do próprio integrador RC-ativo mais a impedância de entrada do segundo integrador.

A capacitância de carga  $C_L$  de um integrador RC-ativo é composto pela soma entre as capacitâncias  $C_1$  e  $C_{PAR}$ , sendo  $C_{PAR}$  a capacitância parasita equivalente do nó de saída do integrador e  $C_1$  a capacitância de integração.

$$C_L = C_1 + C_{PAR} \quad (34)$$

Entretanto, levando-se em consideração o circuito do modulador, têm-se que a impedância de carga total é definida pela soma entre  $C_L$  e a impedância de entrada do segundo integrador. No apêndice D é efetuada a análise da impedância de carga de um integrador RC-ativo. Com embasamento na análise apresentada conclui-se que o amplificador necessário para o projeto dos integradores RC-ativo é um amplificador operacional.

## 5.2 Especificações da Implementação em Nível Elétrico

As principais especificações do modulador são apresentadas nesta seção. A tensão de alimentação do modulador é especificada em 1,2 V, sendo a tensão de modo comum  $V_{CM}$  de todos os circuitos diferenciais igual a 0,6 V. A frequência de amostragem já foi definida em alto nível e é de 128 MHz, gerando um OSR de 58, 64 e 128 para larguras de banda de 1,1 MHz, 1,0 MHz e 500 kHz, respectivamente.

A tensão de referência do modulador  $V_{ref}$  é definida como sendo  $0,6 \pm 400$  mV, ou seja  $V_{ref+} = 1,0$  V e  $V_{ref-} = 200$  mV. A tensão de referência limita a amplitude do sinal de entrada, neste caso 6,02 dBFS é aproximadamente  $0,5 V_{ref}$ , ou seja  $0,6 \pm 200$  mV.

Para atingir a especificação de ruído na entrada do modulador os resistores de entrada do primeiro integrador foram definidos como sendo de 25 k $\Omega$ . Considerando que o ruído gerado por cada resistor é descorrelacionado pode-se considerar que o ruído térmico máximo gerado pelos dois resistores de entrada se equivale ao ruído térmico gerado por um único resistor de 50 k $\Omega$ . Para a especificação dos resistores de entrada considerou-se o procedimento apresentado na seção 4.6.1 e ruído térmico total, gerado por estes resistores dentro de uma banda de 2 MHz, com amplitude de aproximadamente -40  $\mu$ V.

## 5.3 Implementação dos Coeficientes

O cálculo e dimensionamento dos elementos utilizados para implementação dos coeficientes do modulador são apresentados nesta seção.

### 5.3.1 Cálculo dos Resistores e Capacitores dos Integradores

Cada integrador RC-ativo diferencial é composto por um amplificador operacional, dois resistores e dois capacitores. O projeto e dimensionamento destes elementos são apresentados a seguir. Os valores dos capacitores e resistores devem ser dimensionados de maneira adequada para implementar os coeficientes de cada integrador do SDM-CT. Os seus valores são derivados com base no projeto em alto nível do modulador de acordo com a seguinte relação:

$$a_k \times f_s = \frac{1}{R_k \times C_k} \quad (35)$$

onde  $a_k$  são os coeficientes de cada integrador,  $f_s$  é a frequência de amostragem,  $R_k$  e  $C_k$  são os resistores e capacitores do integrador RC-ativo.

Quanto mais relaxadas as especificações de ruído na entrada do primeiro integrador, maiores podem ser os resistores do primeiro integrador e menores os capacitores para a implementação de um mesmo coeficiente. Isto impacta diretamente na área em silício ocupada pelo modulador, visto que a área em silício ocupada por capacitores é mais significativa do que a área em silício ocupada por resistores. Neste trabalho, as resistências e capacitâncias do primeiro integrador foram definidas de modo a empregar capacitores com tamanho máximo na faixa de até 5 pF.

Na Tabela 3 são apresentados os valores de resistores e capacitores para a implementação dos coeficientes dos integradores do modulador.

### 5.3.2 Implementação dos Coeficientes de Alimentação em Avanço.

Os demais coeficientes do SDM-CT são implementados através de relações entre resistores. A Tabela 4 apresenta os valores dos demais resistores do circuito.

Tabela 3: Valores dos resistores e capacitores dos integradores.

Integrador <sub>k</sub>	Coefficiente C <sub>k</sub>	Resistor R <sub>k</sub> (kΩ)	Capacitor C <sub>k</sub> (pF)
Integrador <sub>1</sub>	0,1	25,00	3,125
Integrador <sub>2</sub>	1,0	7,81	1,0
Integrador <sub>3</sub>	0,1	78,10	1,0

Tabela 4: Valores dos resistores empregados no modulador.

Resistor	Resistência (kΩ)
R <sub>a1</sub>	14,70
R <sub>a2</sub>	41,00
R <sub>a3</sub>	17,80
R <sub>ref</sub>	25,00
R <sub>γ</sub>	520,00

### 5.3.3 Definição do Tipo de Resistor Empregado

O processo de fabricação CMOS empregado possibilita a escolha de oito diferentes tipos de resistores. Porém, a escolha do tipo resistor deve levar em conta as características do circuito. O valor dos resistores afeta diretamente o valor dos coeficientes do SDM em tempo contínuo, assim, os resistores devem ser pouco sensíveis às variações de processo. Adicionalmente, o modulador foi implementado de maneira totalmente diferencial, sendo que o casamento entre resistores também é altamente desejado. Deste modo, optou-se pela utilização de resistores de precisão de polisilício (OP RP *polysilicon*) com resistência de folha de  $228 \Omega/\square$  (MOSIS, 2014).

Para avaliar a variação dos valores absolutos dos resistores utilizados foram efetuadas simulações de *corner* e Monte Carlo em pares de resistores casados e constatou-se que a variação do valor absoluto dos resistores chega a aproximadamente 20 %, o que impactará nos coeficientes por eles implementados. Devido a restrição de pinos disponíveis para o encapsulamento do circuito não foi possível empregar bancos de resistores e capacitores reconfiguráveis para a implementação dos coeficientes do modulador. Entretanto, é recomendado o emprego destes para possibilitar a reconfiguração dos coeficientes do SDM, após a fabricação, visando a obtenção do melhor SNDR.

### 5.3.4 Definição do Tipo de Capacitor Empregado

A escolha da topologia de capacitor empregado no projeto foi efetuada de maneira a reduzir a área ocupada pelos capacitores, visto que o casamento entre capacitores é muito preciso (RAZAVI, 1998). Apenas dois tipos de capacitores são suportados pelo serviço de MPW da MOSIS sendo escolhido a topologia de capacitor dual MIM (Metal-insulator-Metal). Este capacitores apresentam uma capacitância por área de  $4,1 \pm 0,41 \text{ fF}/\mu\text{m}^2$  e um coeficiente de temperatura de  $21 \text{ ppm}/^\circ\text{C}$ .



## 5.4 Projeto do Amplificador Operacional

O amplificador operacional do modulador foi projetado de maneira a ser empregado em ambos os integradores e ainda no somador presente em frente ao quantizador. Esta reutilização do amplificador operacional acarretou em menor tempo de projeto do modulador ao custo de uma redução no SNDR do modulador e aumento do consumo de energia, pois o ideal é projetar quatro amplificadores com características distintas.

Visto que o ganho intrínseco dos transistores da tecnologia empregada é baixo, aproximadamente 10, o projeto de um amplificador operacional com elevado ganho (acima de 70 dB), baixa impedância de saída e elevada frequência de ganho unitário torna-se relativamente complexo e com elevado consumo de energia. Como um ganho DC acima de 40 dB é suficiente para os amplificadores operacionais dos integradores trabalhou-se com o projeto de um amplificador operacional com ganho entre 40 dB e 60 dB.

Deste modo, optou-se por efetuar o projeto de um amplificador operacional de dois estágios. Inicialmente, foi efetuado o projeto de um amplificador de dois estágios com compensação do tipo Miller (ALLEN; HOLBERG, 2002). Visto que o circuito do amplificador é diferencial são necessários dois capacitores de compensação, o que acarretaria no incremento da área dos amplificadores. Adicionalmente, a frequência de ganho unitário do amplificador é dada em função desta capacitância de compensação, existindo um compromisso entre o consumo de energia do amplificador e a frequência de ganho unitário desejada. Trabalhou-se no projeto de amplificadores empregando esta topologia e ganhos de até 50 dB foram obtidos. Entretanto, não se conseguiu atingir uma frequência de ganho unitário igual ou superior a duas vezes a frequência de amostragem do SDM-CT com baixo consumo de energia (abaixo de 5 mW). Assim, partiu-se para o projeto do amplificador empregando outra topologia.

Optou-se então por efetuar o projeto de um amplificador operacional de dois estágios com compensação de fase através de uma realimentação em avanço (THANDRI; SILVA-MARTINEZ, 2003) (GRAY *et al.*, 2009). Este esquema de compensação utiliza a mudança de fase positiva dos zeros do semi-plano esquerdo (LHP) causado pelo caminho de realimentação em avanço para cancelar a mudança de fase negativa dos pólos para atingir uma boa margem de fase. O diagrama de blocos deste esquema de compensação para um amplificador de dois estágios é apresentado na Figura 53, onde  $g_{m1}$  e  $g_{m2}$  são as transcondutâncias do primeiro e do segundo estágio do amplificador principal, respectivamente, e  $g_{m3}$  é a transcondutância do amplificador de compensação, que implementa a realimentação em avanço. A entrada do amplificador de compensação está conectada na entrada do primeiro estágio do amplificador principal e sua saída conectada na saída do segundo estágio do amplificador principal.

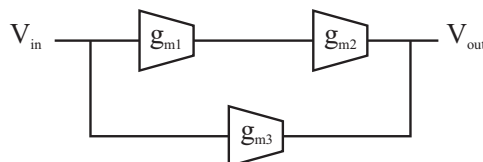
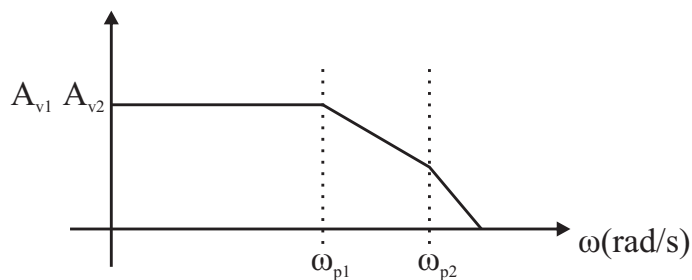


Figura 53: Diagrama de blocos do amplificador de dois estágios com compensação em avanço.

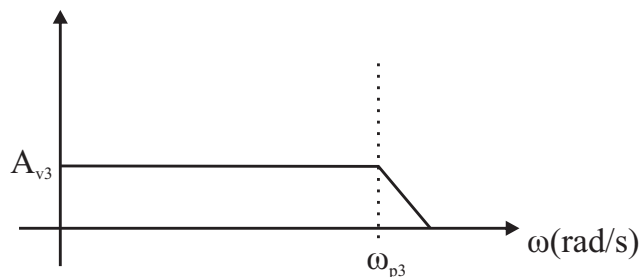
A Figura 54(a) apresenta a resposta em frequência ideal de um amplificador operacional de dois estágios sem compensação de fase, onde  $\omega_1$ ,  $\omega_2$ ,  $A_1$  e  $A_2$  são os pólos e ganhos do primeiro e segundo do estágio do amplificador principal, respectivamente. O ampli-



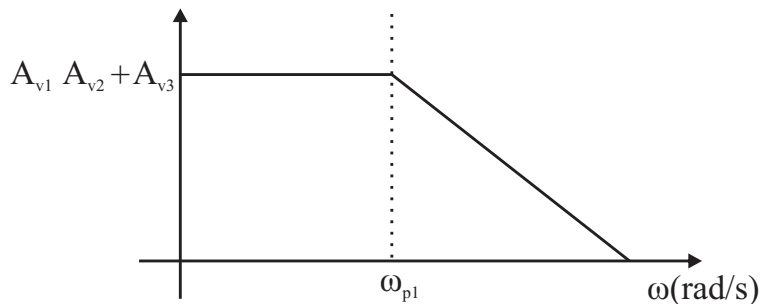
ficador de compensação, com ganho  $A_3$ , deve ser projetado de modo a possuir um pólo  $\omega_3$  igual ao pólo do  $\omega_2$  do segundo do estágio do amplificador principal, como ilustrado da figura 54(b). Assim, a mudança de fase negativa devido ao segundo pólo  $\omega_2$  é compensado pela mudança de fase positiva do zero do semi-plano esquerdo ocasionado pela realimentação em avanço promovida pelo amplificador de compensação. A resposta em frequência do amplificador de dois estágios com compensação em avanço é apresentada na figura 54(c).



(a) Amplificador de dois estágios sem compensação de fase.



(b) Amplificador de compensação.



(c) Amplificador de dois estágios com compensação de fase.

Figura 54: Resposta em frequência.

A técnica de compensação de fase empregada elimina a necessidade de capacitores de compensação ao custo adicional de um amplificador de compensação. Porém, é obtido um amplificador de dois estágios com resposta rápida visto que a largura de banda do amplificador não é afetada devido a não existência do tradicional efeito de separação dos pólos presente na compensação do tipo Miller.

Adicionalmente, foi observado na literatura que esta topologia de amplificador operacional tem sido bastante empregada no projeto de SDMs-CT (BALAGOPAL; SAXENA, 2012) (KIM; SILVA-MARTINEZ, 2012).

O esquemático do amplificador operacional de compensação em avanço projetado neste trabalho é apresentado na Figura 55.

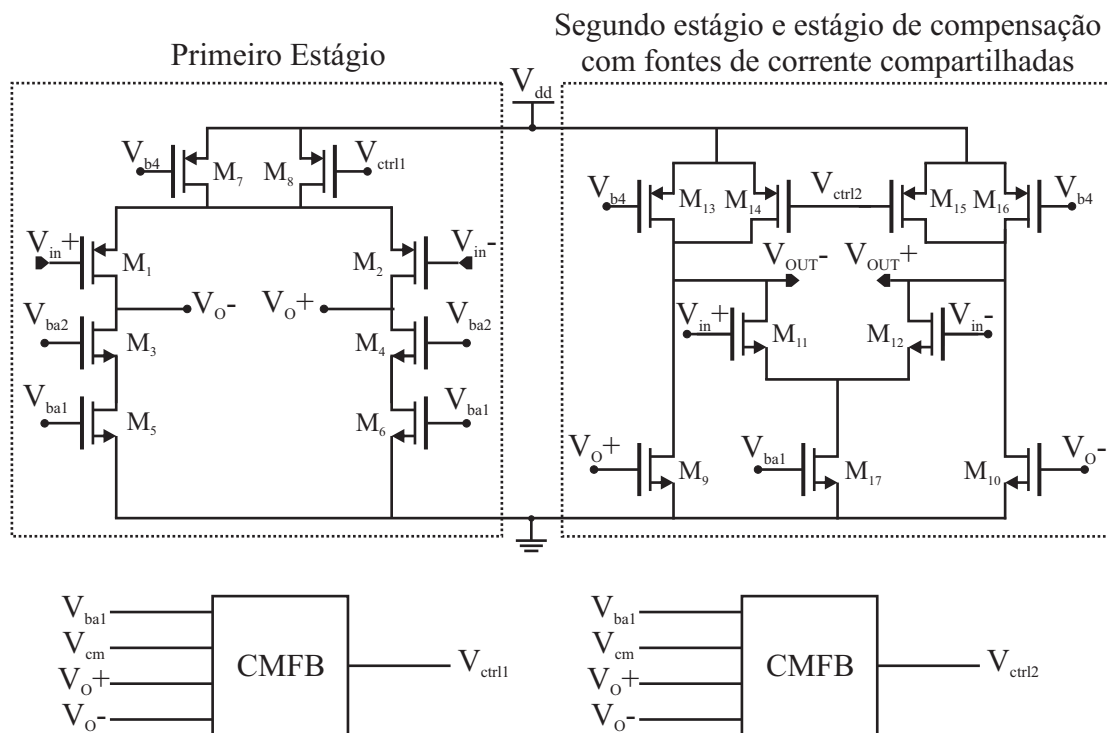


Figura 55: Esquemático do amplificador operacional de dois estágios.

O primeiro estágio é composto por um amplificador diferencial com pares de entrada do tipo PMOS e fontes de corrente cascode. O segundo estágio é composto por dois amplificadores de fonte comum (CS) e o amplificador de compensação é um amplificador diferencial clássico (RAZAVI, 1998).

Foi empregado um circuito de realimentação de modo comum (CMFB) para o primeiro amplificador e um segundo circuito de CMFB compartilhado entre o amplificador do segundo estágio e o amplificador de compensação. Como a corrente de polarização de ambos os amplificadores é a mesma, empregou-se o mesmo circuito de CMFB.

O circuito de CMFB empregado é ilustrado na Figura 56. Este circuito dispensa componentes passivos empregando apenas transistores CMOS. O seu princípio de funcionamento é baseado em pares diferenciais e é dado através da comparação entre o sinal de referência da tensão de modo comum, igual a 0,6 V, e o sinal de saída do amplificador. O circuito de CMFB gera uma tensão de controle  $V_{ctrl}$  responsável pela geração de 50% da corrente de polarização de cada um dos amplificadores utilizados no amplificador operacional diferencial.

É necessário abordar neste trabalho a complexidade de projeto enfrentada durante o projeto deste amplificador. Foram superadas as instabilidades devido aos ganhos de laço, principalmente a instabilidade de ganho de laço de modo comum ocasionada pela utilização do circuito de CMFB real no amplificador do primeiro estágio. Esta realimentação de modo comum apresentava ganho de laço com margem de fase negativa, causando instabilidades do amplificador principal em algumas simulações. Isto foi solucionado com o projeto adequado da transcondutância do circuito de CMFB, ao custo de uma tensão de modo comum com *offset* de aproximadamente -2 mV. Também foram efetuadas simulações de Monte Carlo e de *corner* para verificar e comprovar a estabilidade do amplificador operacional projetado.

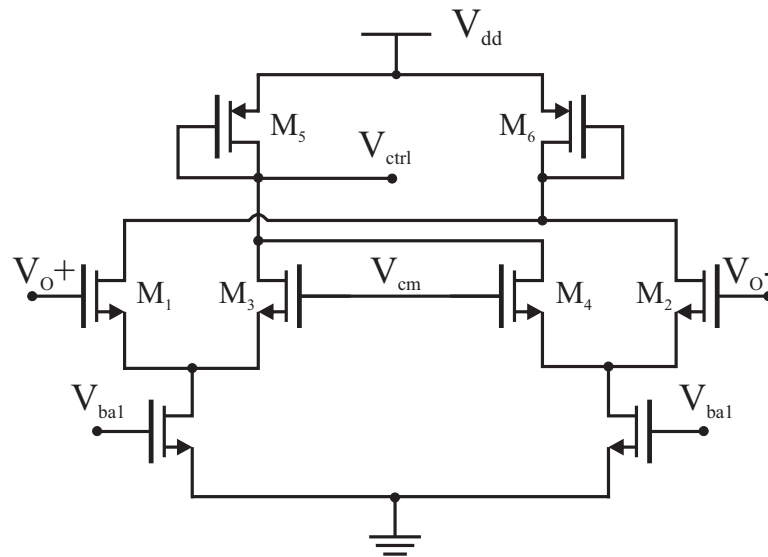


Figura 56: Esquemático do circuito de CMFB.

O circuito de polarização do amplificador é responsável por gerar as tensões de polarização dos transistores do amplificador de dois estágios e a fonte de corrente do circuito de CMFB. A topologia empregada é apresentada em (BAKER, 2010) e o seu esquemático é ilustrado na Figura 57. Deve-se destacar que transistor  $M_4$  é conectado a uma fonte de corrente  $I$  de  $20 \mu\text{A}$ , que será implementada externamente ao chip.

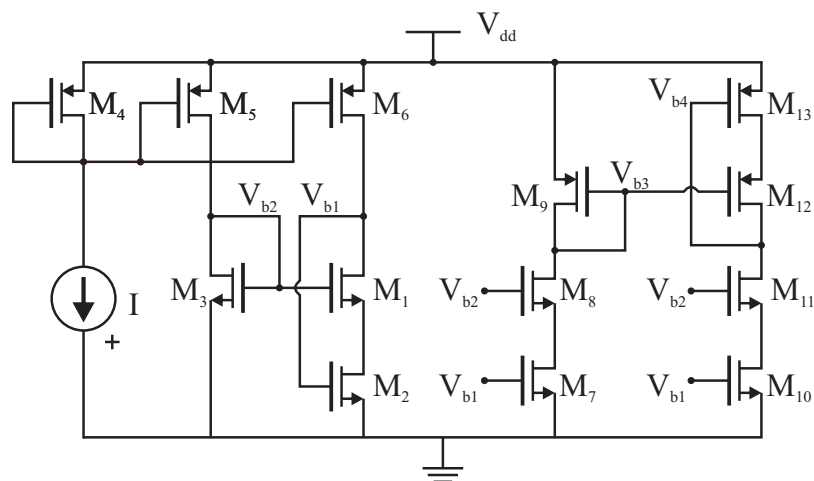


Figura 57: Circuito de polarização geral.

A estratégia empregada para a implementação do amplificador foi de manter todos os transistores em saturação. Deste modo, o circuito de polarização foi projetado de tal maneira a manter todos os transistores saturados. Salienta-se que esta topologia de circuito de polarização também foi empregada para a polarização dos circuitos do quantizador.

O tamanho dos transistores do amplificador operacional projetado, do circuito de CMFB e do circuito de polarização são apresentados nas Tabelas 5, 6 e 7, respectivamente.

Tabela 5: Tamanho dos transistores do amplificador.

Transistores	W/L ( $\mu m$ )	Multiplicidade	Fingers
M <sub>1</sub> e M <sub>2</sub>	6, 0/0, 6	6	1
M <sub>3</sub> e M <sub>4</sub>	10, 0/0, 6	6	1
M <sub>5</sub> e M <sub>6</sub>	10, 0/1, 2	6	1
M <sub>7</sub> e M <sub>8</sub>	10, 0/1, 2	6	1
M <sub>9</sub> e M <sub>10</sub>	5, 0/2, 4	2	1
M <sub>11</sub> e M <sub>12</sub>	12, 0/0, 6	1	1
M <sub>13</sub> e M <sub>16</sub>	10, 0/1, 2	14	1
M <sub>14</sub> e M <sub>15</sub>	10, 0/1, 2	9	1
M <sub>17</sub>	20, 0/1, 2	9	1

Tabela 6: Tamanho dos transistores do circuito de CMFB.

Transistores	W/L ( $\mu m$ )	Multiplicidade	Fingers
M <sub>1</sub> , M <sub>2</sub> , M <sub>3</sub> e M <sub>4</sub>	96, 0/0, 6	1	8
M <sub>5</sub> , M <sub>6</sub> , M <sub>7</sub> e M <sub>8</sub>	80, 0/1, 2	1	8

Tabela 7: Tamanho dos transistores do circuito de polarização.

Transistores	W/L ( $\mu m$ )	Multiplicidade	Fingers
M <sub>1</sub> , M <sub>8</sub> e M <sub>11</sub>	10, 0/0, 6	1	1
M <sub>2</sub> , M <sub>7</sub> e M <sub>10</sub>	10, 0/1, 2	1	1
M <sub>3</sub>	2, 0/3, 6	1	1
M <sub>4</sub>	10, 0/1, 2	2	1
M <sub>5</sub> e M <sub>6</sub> e M <sub>13</sub>	10, 0/1, 2	1	1
M <sub>9</sub>	2, 4/1, 2	1	1
M <sub>12</sub>	8, 0/0, 6	1	1

### 5.4.1 Resultados de Simulação do Amplificador

O amplificador operacional projetado opera com tensão de alimentação de 1,2 V e tem um consumo de potência total de 1,4 mW, ou seja, drena uma corrente de 1,17 mA. O primeiro estágio do amplificador drena uma corrente de 134,8  $\mu\text{A}$  e o segundo estágio é responsável por drenar 391  $\mu\text{A}$ . O amplificador de compensação é polarizado com uma corrente de 213,1  $\mu\text{A}$  e cada circuito de CMFB drena 216  $\mu\text{A}$ .

O diagrama de bode do amplificador é plotado na Figura 58. Nota-se um aumento na margem de fase do amplificador para frequências de aproximadamente  $10^8$  Hz devido ao descasamento entre o segundo polo do amplificador e o zero inserido pelo amplificador de compensação. Entretanto, isto não afeta negativamente o amplificador. Foi empregado como carga deste amplificador um integrador RC-ativo com resistor de 10 k $\Omega$  e capacitor de 1 pF. O amplificador apresenta um ganho DC de 47,35 dB, margem de fase de 76,96 graus e frequência de ganho unitário de 365,7 MHz ( $2,85 \times f_s$ ).

Como o amplificador operacional é o bloco fundamental do modulador projetado serão apresentadas a seguir as simulações de *corner* e Monte Carlo do amplificador.

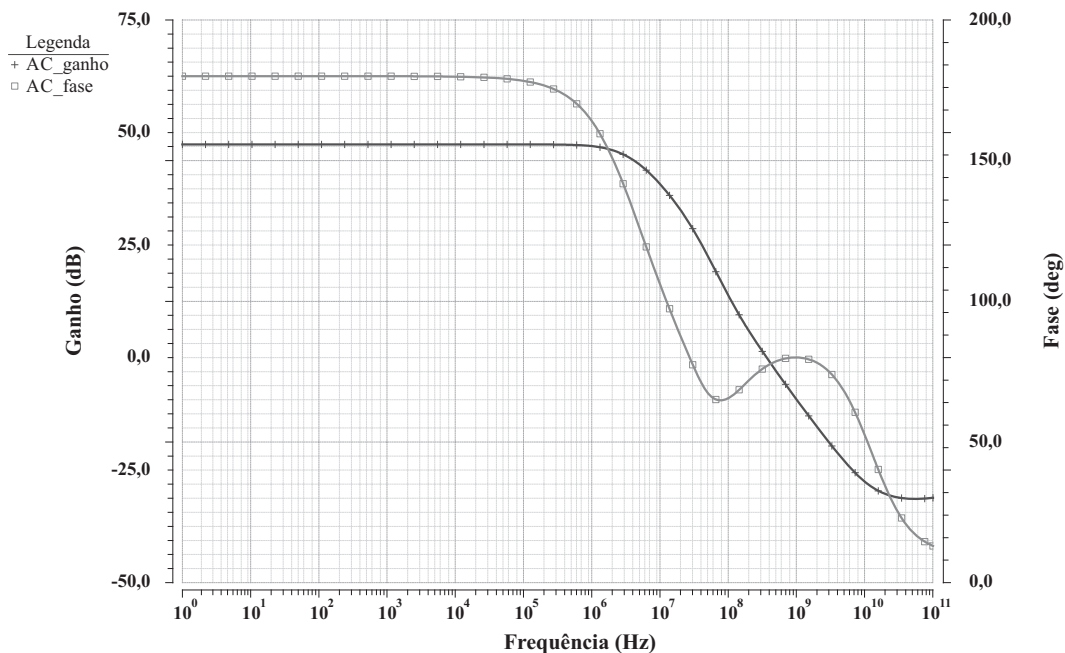


Figura 58: Diagrama de bode do amplificador.

#### 5.4.1.1 Análises de Corner

A análise de *corner* foi efetuada com base nos dados fornecidos pela *foundry*. O amplificador apresentou ganho DC mínimo de 44,81 dB e ganho máximo de 49,9 dB. Já a margem de fase apresentou baixa variação com valores entre 76,12 e 77,41 graus. A frequência de ganho unitário mínima foi de 292,60 MHz e a frequência máxima foi de 483,10 MHz. Com estes dados observa-se que o amplificador operacional se mantém em operação mesmo com grandes variações de processo e temperaturas de operação. A Figura 59 ilustra o diagrama de bode do amplificador obtido para todas as configurações de *corner* simuladas.

Notou-se também a redução do ganho DC e da frequência de ganho unitário com o aumento da temperatura.

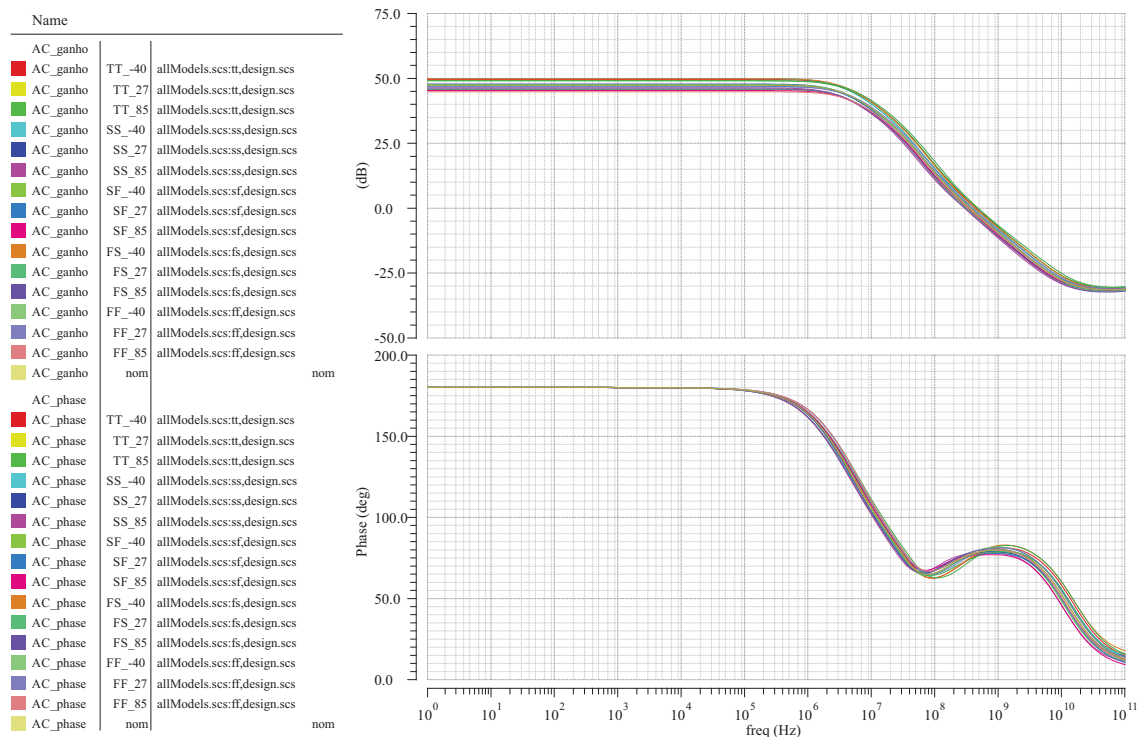


Figura 59: Simulação de *corner* do amplificador: diagrama de bode do amplificador.

#### 5.4.1.2 Análise de Monte Carlo

Foi efetuada também uma simulação de Monte Carlo do amplificador com 1.000 amostras. O ganho DC médio do amplificador operacional é de 44,84 dB com desvio padrão de 3,8732 dB. A margem de fase apresentou valor de 80,21 graus e desvio padrão de 4,59 graus. Já a frequência de ganho unitário média é de 392,178 MHz com desvio padrão 36,09 MHz. Os histogramas da simulação são apresentados no apêndice E, onde pode-se notar que apenas o comportamento da frequência de ganho unitário segue uma distribuição de probabilidade normal.

#### 5.4.1.3 Simulação Pós-leiaute do Amplificador

A simulação pós-leiaute do amplificador, com extração de elementos parasitas, apresentou: ganho DC de 47,32 dB, margem de fase de 75,96 dB e frequência de ganho unitário de 329 MHz. O diagrama de bode desta simulação é apresentado na Figura 60.

#### 5.4.1.4 Outras Considerações

É importante destacar que a etapa de projeto do amplificador operacional ocupou aproximadamente 50% do tempo de projeto em nível de esquemático do modulador. Destaca-se que antes de ser efetuado o projeto do amplificador operacional utilizado no projeto final do modulador foi projetado outro amplificador. Este amplificador é um amplificador de transcondutância diferencial *folded-cascode* com *gain-boosting* para aumento do ganho (SACKINGER; GUGGENBUHL, 1990). Foi atingido um ganho de 70 dB e uma frequência de ganho unitário de 260 MHz, entretanto devido ao sua baixa excursão de sinal de saída ele não pode ser utilizado no amplificador somador.

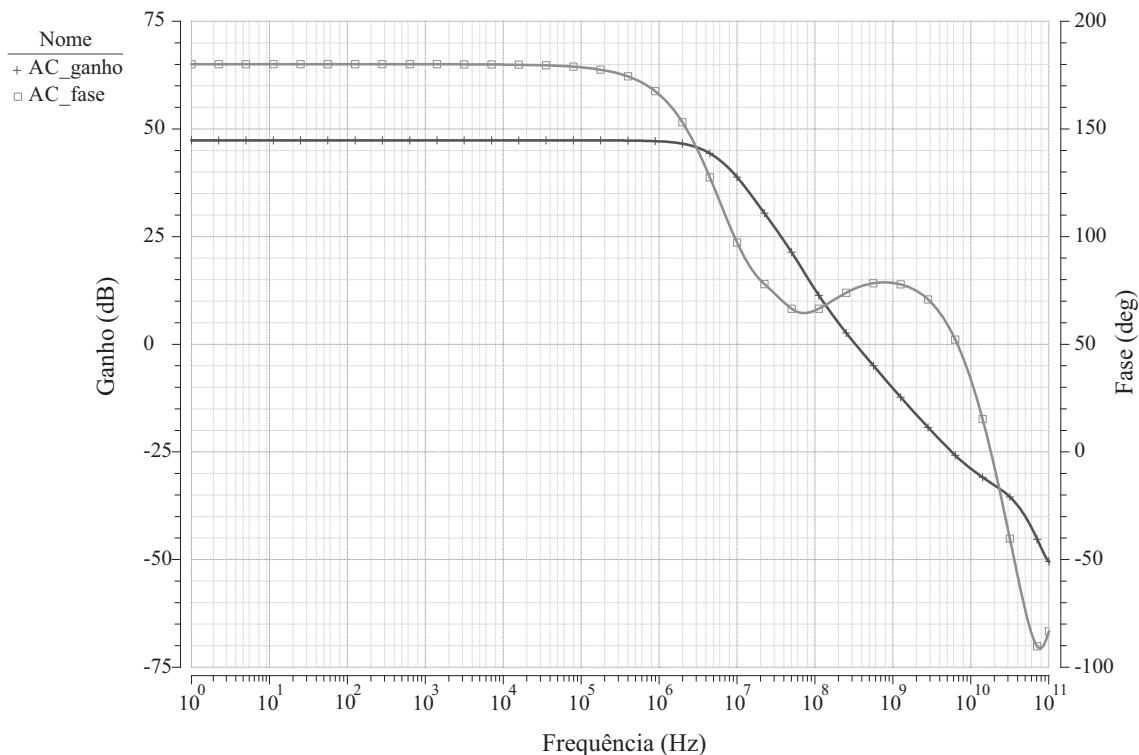


Figura 60: Simulação pós-leiaute do amplificador: diagrama de bode.

## 5.5 Projeto do Quantizador de 1-bit (ADC)

O quantizador do SDM é o bloco responsável por comparar o sinal diferencial de entrada, vindo da saída do filtro, e gerar os sinais de controle para o DAC. Adicionalmente, os mesmos sinais de controle compõem o *bitstream* de saída do SDM.

O processo de comparação é uma operação básica em ADCs. Esta operação é efetuada por comparadores do tipo *latch*, cujas principais características são apresentadas na subseção 5.5.1.

A escolha da topologia do comparador do tipo *latch* influencia diretamente na performance e consumo de energia do SDM. Destaca-se que o processo de comparação deve ser rápido, pois impacta diretamente no ELD reduzindo a performance do modulador.

### 5.5.1 Comparadores do Tipo *Latch*

Os comparadores do tipo *latch* são compostos por um circuito de realimentação positiva responsável por transformar o sinal analógico de entrada em um sinal digital de saída que varia de  $GND$  à  $VDD$  (RAZAVI, 1995). Este circuito de realimentação positiva é um *latch*, que pode ser composto por dois inversores de ganho  $-A_0$  ( $A_0 > 0$ ) como ilustra a Figura 61. Neste circuito, a diferença de tensão  $V_a - V_b$  será amplificada para um nível de tensão digital.

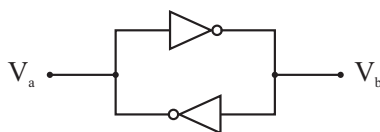


Figura 61: Esquemático de um *latch* composto por dois inversores.



Adicionalmente, a amostragem do sinal de entrada do comparador é sincronizada através de um sinal de relógio, neste caso, um sinal de relógio cuja frequência é igual a frequência de amostragem do SDM.

Existem diferentes topologias de comparadores do tipo *latch*, são elas: comparadores estáticos, comparados classe AB e comparadores dinâmicos. Estas topologias podem ser comparadas através de métricas de performance, como máxima resolução, consumo de energia, velocidade e geração do ruído conhecido como *kickback noise*, tratado com detalhes na subseção 5.5.1.1.

Em (FIGUEIREDO; VITAL, 2006) as topologias citadas acima foram comparadas em relação à consumo de energia, velocidade e geração de *kickback noise*. Os resultados desta comparação são sumarizados a seguir.

Os comparadores do tipo *latch* estáticos apresentam baixa geração de *kickback noise*, porém apresentam alto consumo de energia estática e baixa velocidade de regeneração. Os comparadores do tipo *latch* classe AB apresentam menor consumo de energia e maior velocidade de regeneração se comparados aos comparadores estáticos, entretanto eles geram mais *kickback noise*. Já os comparadores do tipo *latch* dinâmicos não apresentam consumo estático de energia apresentando o consumo de energia mais eficiente entre as três topologias. Adicionalmente, eles são os comparadores do tipo *latch* mais rápidos e os que mais geram *kickback noise*.

#### 5.5.1.1 Kickback-Noise

Considere um comparador do tipo *latch* clássico, como ilustra a Figura 62. Durante o chaveamento do circuito ocorre uma ampla variação de tensão nos nós de regeneração  $V_{o+}$  e  $V_{o-}$ . Estes nós são, normalmente, acoplados através de capacitâncias parasitas dos transistores à entrada do comparador. Como a impedância de saída dos circuitos que antecedem o comparador não são nulas, ocorre um distúrbio na tensão de entrada do comparador gerada através das correntes que são injetadas nestas capacitâncias, degradando a performance do comparador (HUANG; SCHLEIFER; KILLAT, 2013). Este efeito é chamado de *kickback-noise* e é dependente da impedância de saída dos circuitos que antecedem o comparador. Quando comparadores do tipo *latch* são empregados no projeto de conversores AD deve-se levar em consideração o *kickback-noise* visto que ele pode afetar a resolução do ADC.

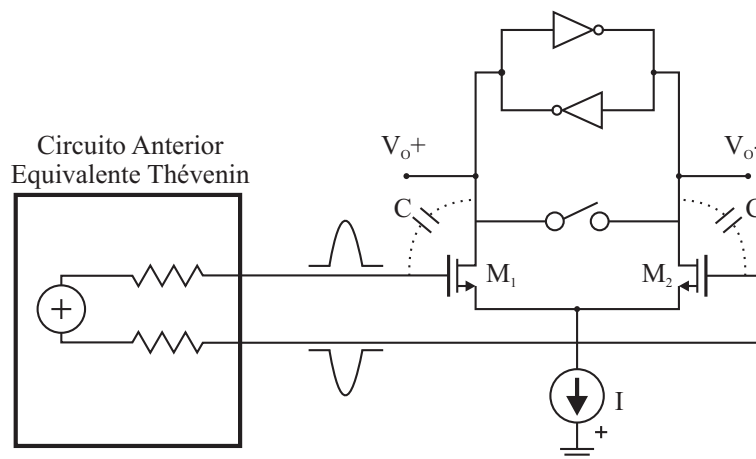


Figura 62: *Latch* clássico com efeito de *kickback-noise*.



### 5.5.1.2 Escolha da Topologia do Comparador

Visando uma solução eficiente no quesito de consumo de energia e com rápida resposta, optou-se neste trabalho pelo desenvolvimento de um comparador do tipo *latch* dinâmico, sem consumo de energia estática (PLAS; DECOUTERE; DONNAY, 2006). O esquemático deste comparador é ilustrado na Figura 63.

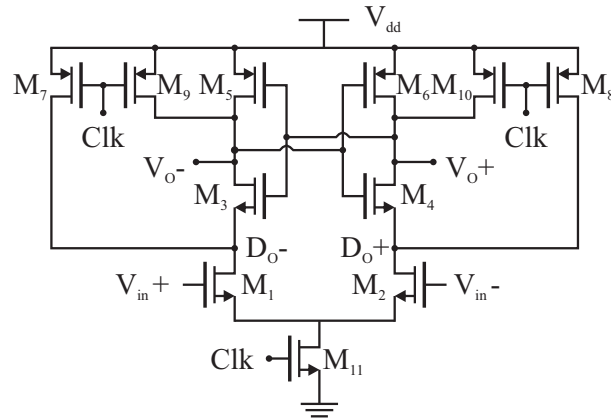


Figura 63: Esquemático do comparador do tipo *latch* dinâmico.

O funcionamento do circuito é explicado na sequência. Quando o sinal de relógio está em nível baixo, 0 V, os transistores  $M_7$ ,  $M_8$ ,  $M_9$  e  $M_{10}$  estão acionados e colocam os nós  $V_{o-}$ ,  $V_{o+}$  e os drenos de  $M_1$  e  $M_2$  em nível alto, ou seja, 1,2 V. Esta fase é chamada fase de *reset*. Quando o sinal de relógio sobe para nível alto os transistores  $M_7$ ,  $M_8$ ,  $M_9$  e  $M_{10}$  são desligados e os nós  $D_{o-}$ ,  $D_{o+}$  começam a ser descarregados através dos transistores  $M_1$  e  $M_2$ . Esta fase recebe o nome de fase de avaliação. A amplitude de tensão dos sinais  $V_{in+}$  e  $V_{in-}$  impacta na velocidade de descarga dos nós  $D_{o-}$ ,  $D_{o+}$ . Uma vez que as tensões nos nós  $D_{o-}$ ,  $D_{o+}$  sejam menores que  $V_{DD}$  menos a tensão de *threshold* ( $V_{th}$ ) dos transistores  $M_3$  e  $M_4$ , estes ligam e iniciam o processo de realimentação positiva. Quando a tensão dos nós  $V_{o-}$ ,  $V_{o+}$  atingem o patamar de  $V_{DD}$  menos  $V_{th}$  dos transistores  $M_5$  e  $M_6$ , estes transistores também ligam aumentando ainda mais a realimentação positiva. Este princípio de funcionamento possibilita a transformação do sinal analógico de entrada em um sinal digital de saída.

### 5.5.2 Topologia do Quantizador

O comparador do tipo *latch* dinâmico gera um *kickback noise* elevado, reduzindo assim a resolução do próprio comparador. Existem diferentes técnicas para mitigar o efeito do *kickback noise* (HUANG; SCHLEIFER; KILLAT, 2013) (LEI; MAK; MARTINS, 2013) (FIGUEIREDO; VITAL, 2006), sendo a mais comum a adição de um pré-amplificador em frente a *latch* para evitar a distorção do sinal a ser avaliado (RAZAVI, 1995). Entretanto, deve-se avaliar a necessidade do emprego destas técnicas, visto que elas normalmente incrementam o consumo de energia do circuito e não fornecem um ganho de desempenho notável.

A topologia do quantizador foi definida durante a etapa de simulação do modulador. Foram avaliados duas topologias: a primeira contendo apenas a *latch* dinâmica apresentada na Figura 63 e a segunda contando com a adição de um pré-amplificador na entrada da *latch*. O pré-amplificador é utilizado para isolar a entrada do quantizador do *latch* e prevenir possíveis distorções geradas pela variação de tensão nos nós internos deste *latch*.

A topologia do pré-amplificador empregado é apresentada na Figura 64 (RAZAVI, 1995).

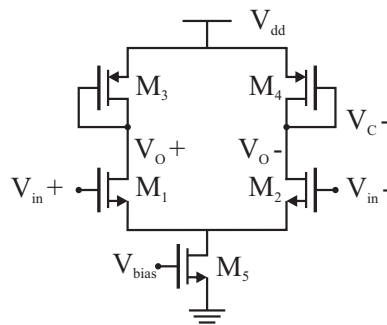


Figura 64: Esquemático do pré-amplificador.

Após algumas simulações notou-se que a adição do pré-amplificador reduzia os impactos do *kickback noise* na saída do amplificador somador, porém nenhuma diferença significativa foi evidenciada na performance do modulador. Deste modo, visando a redução do consumo de energia do modulador, optou-se por não empregar o pré-amplificador na entrada do *latch* dinâmico. Adicionalmente, deve-se adicionar um *latch* SR após o *latch* dinâmico para o quantizador gerar o *bitstream* de saída do modulador e os sinais de realimentação do DAC NRZ corretamente. Visando uma redução no tempo de resposta do quantizador foram adicionados inversores na saída do *latch* dinâmico para acionar com maior velocidade o *latch* SR. O esquemático completo do quantizador, composto pelo *latch* dinâmico, pelos inversores e pelo *latch* SR de saída é ilustrado na Figura 65.

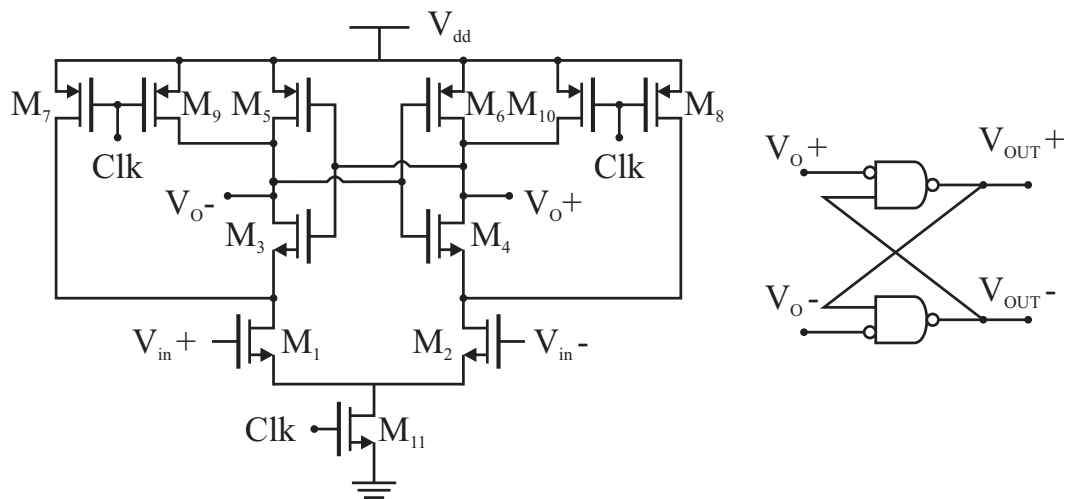


Figura 65: Esquemático do quantizador de 1-bit.

A Tabela 8 apresenta o tamanho dos transistores do *latch* dinâmico. Visto que o *latch* SR é um bloco digital básico seu esquemático não será apresentado.

Adicionalmente, durante a etapa de leiaute do chip, notou-se a necessidade da inserção de *buffers* da saída do quantizador para evitar o aumento do ELD devido a conexão entre a saída do quantizador e os *pads* do chip, cuja capacitância estimada é de 1 pF. Estes *buffers* foram projetados e adicionados na saída do quantizador.

Tabela 8: Tamanho dos transistores do *latch* dinâmico.

Transistores	W/L ( $\mu\text{m}$ )	Multiplicidade	Fingers
M <sub>1</sub> e M <sub>2</sub>	5,0/0,120	16	1
M <sub>3</sub> e M <sub>4</sub>	5,0/0,120	1	2
M <sub>5</sub> e M <sub>6</sub>	8,0/0,120	1	2
M <sub>7</sub> , M <sub>8</sub> M <sub>9</sub> e M <sub>10</sub>	3,6/0,120	1	1
M <sub>11</sub>	80,0/0,120	1	10

### 5.5.3 Simulação do Quantizador

O quantizador foi analisado empregando como carga os *buffers* citados anteriormente e mais uma capacitância de 100 fF modelando a carga representada pelo DAC. Foi efetuada uma simulação transiente aplicando-se um sinal diferencial de 10 mV e com frequência de 80 MHz na entrada do quantizador. Primeiramente, para avaliar o consumo de potência estática aplicou-se uma tensão de 0 V na entrada do sinal de relógio do quantizador e efetuou-se uma simulação transiente de 100  $\mu\text{s}$ . Foi medido um consumo de potência estática de 34,90 nW. Já para avaliar o consumo de potência média foi efetuada uma simulação transiente de 10  $\mu\text{s}$  aplicando um sinal de relógio de 128 MHz no quantizador. Verificou-se um consumo de potência média de 242,64  $\mu\text{W}$ .

A Figura 66 apresenta as formas de onda de saída do quantizador para a simulação transiente detalhada acima, onde: *clock* é o sinal de relógio do quantizador, Vin+ e Vin- são os sinais de entrada positivo e negativo, respectivamente, e Vout+ e Vout- são os sinais de saída positivo e negativo, respectivamente.

Aplicou-se um *zoom* nesta forma de onda, apresentado na Figura 67 para avaliar o tempo de decisão do quantizador. Pode-se analisar que este tempo é de aproximadamente 200 ps.

## 5.6 Projeto do DAC NRZ de 1-bit

A implementação de um DAC NRZ de 1-bit para SDMs-CT com integradores do tipo RC-ativos pode ser feita de duas maneiras: empregando tensões de referência ou correntes de referência.

Na primeira implementação o DAC consiste em um circuito controlado pelo quantizador que aplica as tensões  $V_{ref+}$  e  $V_{ref-}$  na entrada do amplificador do primeiro integrador através de um resistor  $R_{DAC}$ , como ilustra a Figura 68. Isto implica no emprego de dois resistores, com grande variabilidade em tecnologias CMOS, e na geração das duas tensões de referência.

A segunda possibilidade de implementação deste DAC é com o emprego da topologia chamada *current-steering* apresentada em detalhes na próxima seção.

### 5.6.1 DAC de 1-bit *Current-steering*

Visando a redução de área em silício optou-se pelo projeto de um DAC *current-steering*. Este DAC consiste na injeção de correntes de referência  $I_{ref+}$  e  $I_{ref-}$  na entrada do amplificador do primeiro integrador. Estas correntes de referência são derivadas a partir da implementação clássica do DAC que emprega as tensões  $V_{ref+}$  e  $V_{ref-}$ . A Equação 36 define o cálculo das correntes  $I_{ref+}$  e  $I_{ref-}$ .

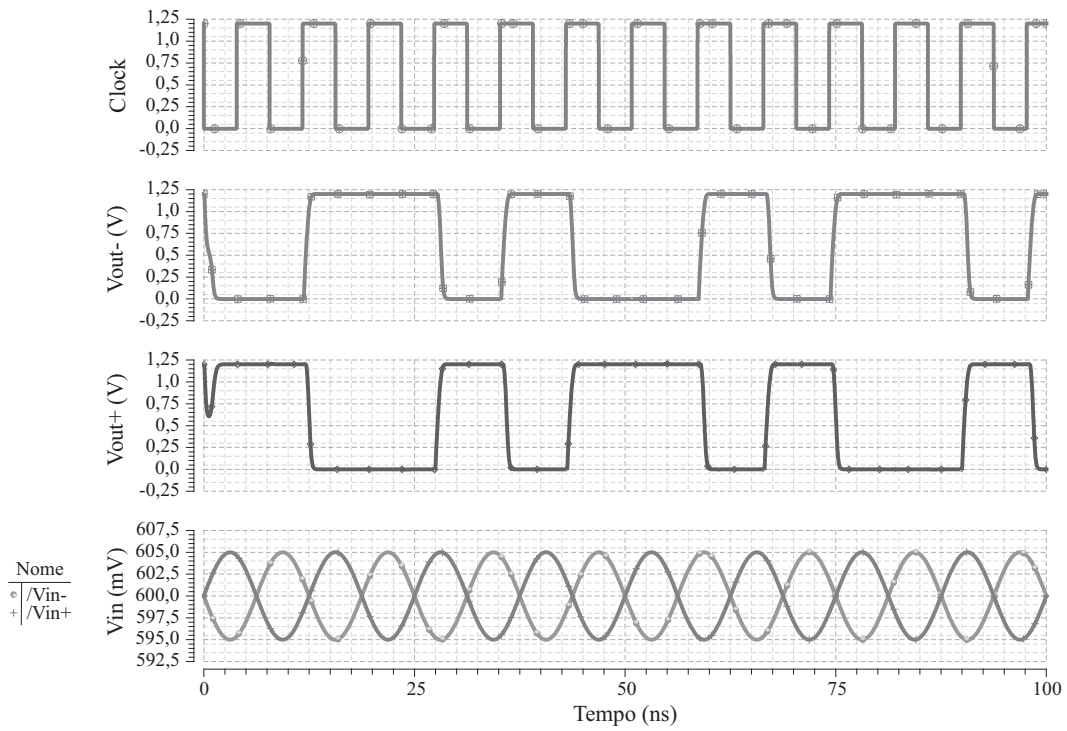


Figura 66: Simulação transiente do quantizador de 1-bit.

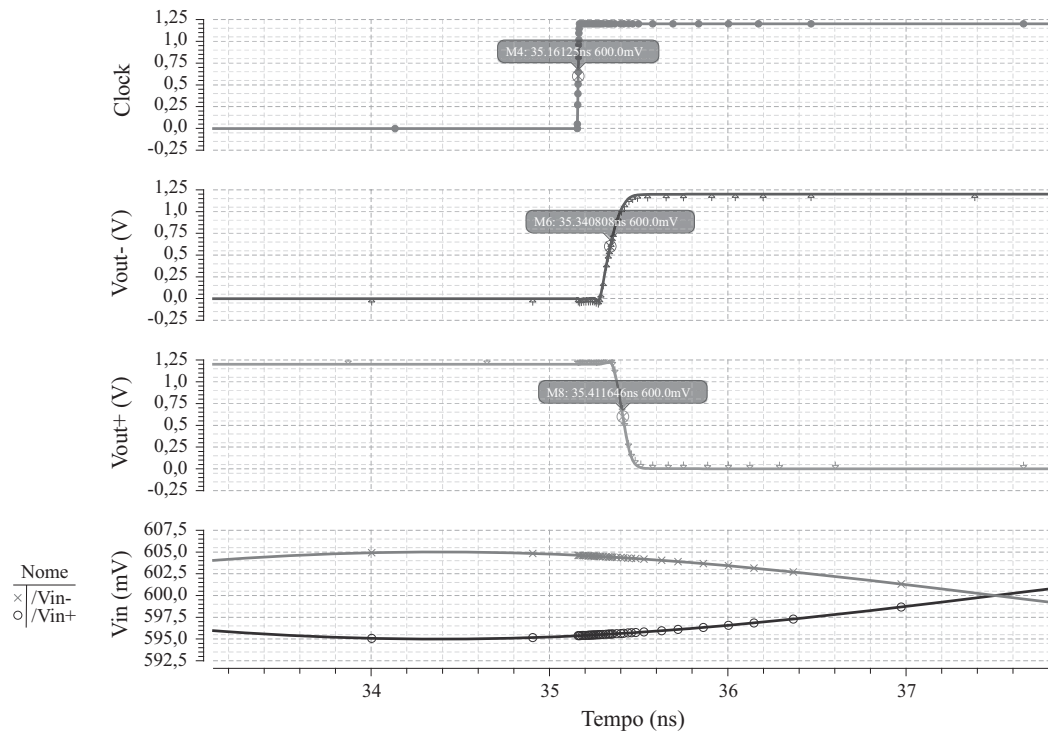


Figura 67: Simulação transiente do quantizador de 1-bit: *zoom*.

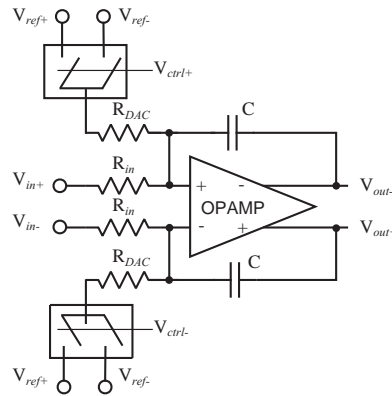


Figura 68: Implementação clássica de um DAC de 1-bit para SDMs-CT.

$$\pm I_{ref} = \frac{\pm V_{ref}}{R_{DAC}} \quad (36)$$

Como o ganho do sinal de entrada e do sinal proveniente do DAC é unitário, o resistor  $R_{DAC}$  é igual ao resistor de entrada  $R_{in}$ . Assim, com base na Equação 36 foram obtidas as correntes de referência como sendo  $I_{ref+}$  igual a  $16 \mu A$  e  $I_{ref-}$  igual a  $-16 \mu A$ .

O esquemático do DAC *current-steering* e de seu circuito de polarização é ilustrado na Figura 69. As fontes de corrente do DAC foram projetadas de maneira a fornecer uma corrente precisa e pouco suscetível a variações de processo. Deste modo, as fontes de corrente do DAC são implementadas através de transistores CMOS em conexão cascode. Para evitar o surgimento de *offset* de modo comum no terra virtual do amplificador operacional do primeiro integrador foram adicionadas duas fontes de corrente de modo comum com valor  $0,5 I_{ref}$  (LI; FIEZ, 2007).

O circuito de polarização do DAC, também apresentado na Figura 69, é da mesma topologia do circuito de polarização dos amplificadores operacionais. A fonte de corrente  $I$ , conectada ao transistor  $M_4$ , fornece  $36,5 \mu A$  e será implementada externamente ao chip. Ela pode ser gerada por um resistor externo ao chip com resistência de  $19,0565 k\Omega$ .

Todos os transistores foram projetados para trabalhar em saturação. O tamanho dos transistores do DAC e do seu circuito de polarização são apresentados nas Tabelas 9 e 10, respectivamente.

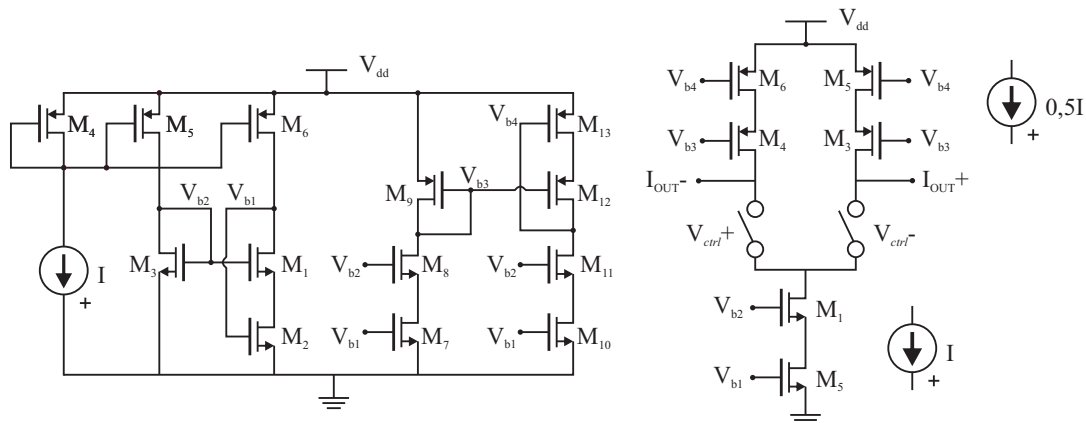


Figura 69: DAC *current-steering* (DAC + Polarização).

Tabela 9: Tamanho dos transistores do DAC.

Transistores	W/L ( $\mu m$ )	Multiplicidade	Fingers
M <sub>1</sub> e M <sub>2</sub>	1,6/1,0	8	1
M <sub>3</sub> e M <sub>4</sub>	4,0/1,0	4	1
M <sub>5</sub> e M <sub>6</sub>	1,8/1,0	4	1

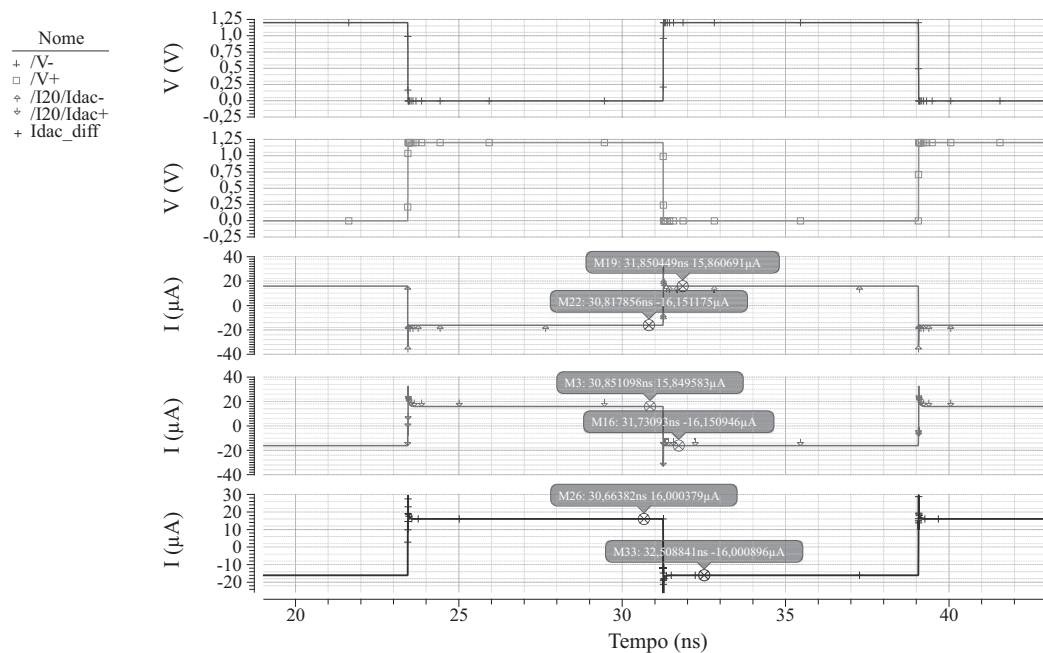
Tabela 10: Tamanho dos transistores do circuito de polarização do DAC.

Transistores	W/L ( $\mu m$ )	Multiplicidade	Fingers
M <sub>3</sub>	2,0/6,0	1	1
M <sub>1</sub> e M <sub>2</sub>	1,6/1,0	2	1
M <sub>7</sub> , M <sub>8</sub> , M <sub>10</sub> e M <sub>11</sub>	1,6/1,0	1	1
M <sub>3</sub> e M <sub>4</sub>	4,0/1,0	4	1
M <sub>5</sub> e M <sub>6</sub>	1,8/1,0	4	1

### 5.6.2 Simulação do DAC

A simulação do DAC foi efetuada utilizando duas fontes de tensão ideais de 0,6 V como carga. Os sinais de relógio para controle do DAC foram gerados a uma frequência de 128 MHz. A Figura 70 apresenta os resultados da simulação transiente do DAC. A corrente diferencial de saída do DAC é de  $+16,000379 \mu A$  e  $-16,000896 \mu A$ , ou seja, muito próxima do valor ideal de  $\pm 16 \mu A$ .

O consumo do circuito de polarização do DAC é de  $72,36 \mu W$  e o consumo do próprio DAC é de  $38,76 \mu W$ . O consumo do circuito de polarização justifica-se pelo valor da corrente de referência empregada, vista que ela será externamente gerada através do emprego de um resistor.

Figura 70: Resultados de simulação do DAC *current-steering*.

## 5.7 Projeto Completo do Modulador em Nível de Esquemático

O projeto completo do modulador foi efetuado com o emprego de todos os blocos apresentados anteriormente. O esquemático completo do modulador no ambiente Cadence/Virtuoso é apresentado no apêndice B. Os resultados de simulação em nível de esquemático e o consumo de potência do modulador serão abordados em detalhes no capítulo 06.

## 5.8 Leiaute

O leiaute do modulador foi desenvolvido de maneira hierárquica devido a quantidade de circuitos que o compõe. Deste modo, foi efetuado o leiaute, as verificações pós-leiaute, a extração do leiaute e a simulação pós-leiaute de cada bloco antes da integração destes leiautes no leiaute de topo do modulador. As ferramentas empregadas durante o leiaute e verificações pós-leiaute foram: Suite Virtuoso Layout e Assura, respectivamente, ambas da Cadence.

Foram empregadas técnicas de leiaute em todos os circuitos para mitigar os efeitos devido às variações de processo. Dentre as técnicas empregadas pode-se citar o emprego de dispositivos *dummies*, interdigitação e simetria entre os elementos empregados. O leiaute de topo foi desenvolvido com base em um barramento principal ao qual os demais blocos foram conectados. Isto facilitou a etapa de leiaute e a padronização do mesmo. Os leiautes de cada bloco do modulador bem como o leiaute de topo podem ser verificados no apêndice C.

A área total em silício ocupada pelo modulador, sem os *pads*, é de  $900 \mu\text{m} \times 340 \mu\text{m}$ . Esta área é ocupada basicamente pelos elementos passivos do modulador e os quatro amplificadores operacionais. Após o leiaute do circuito foi efetuada a extração de elementos parasitas e os resultados das simulações pós-leiaute do modulador são apresentados e analisados no Capítulo 06.

## 6 RESULTADOS OBTIDOS E DISCUSSÕES

Neste capítulo são apresentados os resultados de simulação do SDM-CT projetado neste trabalho. Foram efetuadas simulações em nível de esquemático e simulações pós-leiaute, incluindo parasitas, para avaliar a performance final do modulador e a redução de performance ocorrida durante a etapa de leiaute.

O *testbench* utilizado durante as simulações em nível elétrico do modulador é apresentado na Figura 71. A tensão de alimentação do circuito é de 1,2 V sendo a tensão de modo comum de 0,6 V. Para a geração da corrente de polarização foram empregados resistores ideais e a carga de saída do modulador é de 1,25 pF. Esta carga foi definida considerando a capacitância dos *pads* do chip, 1 pF, mais um fator de segurança de 0,25 pF associado as demais capacitâncias parasitas da placa de circuito impresso a ser empregada para testes e medição do chip.

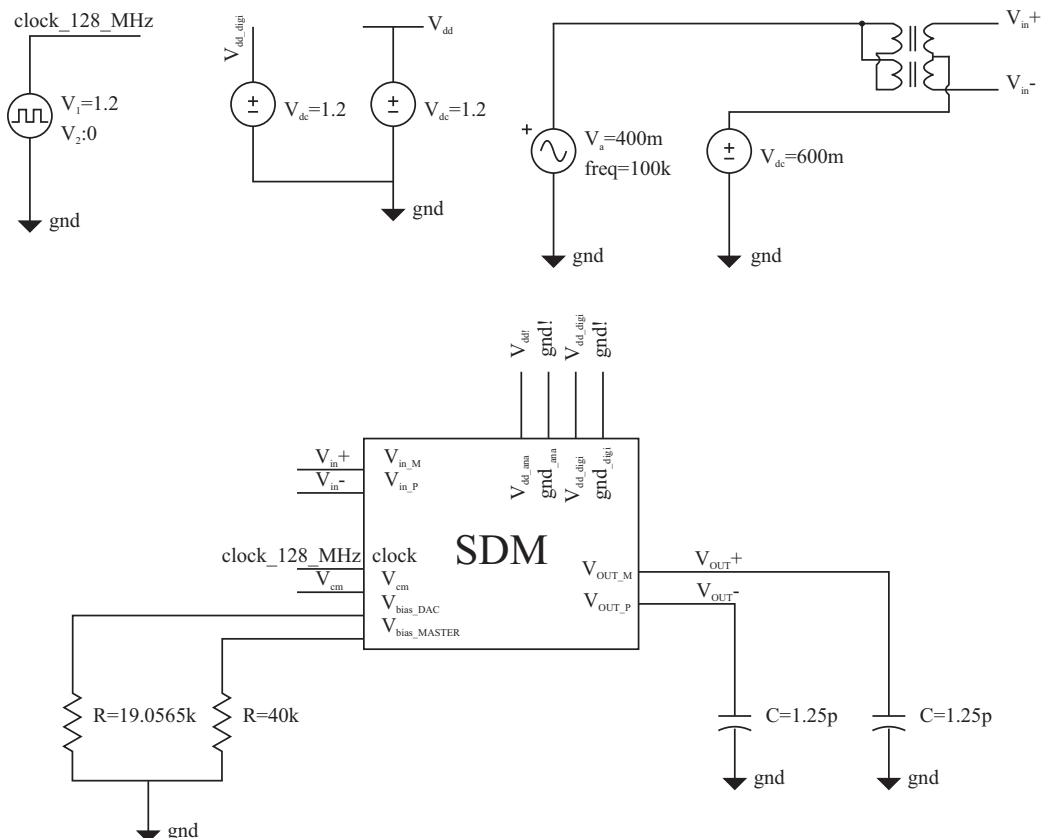


Figura 71: *Testbench* do modulador.



A performance do modulador foi analisada com base no SNDR, no ENOB e no consumo de energia do mesmo. Como a banda de sinal de um ADC SD é definida pelo filtro decimador, também foram efetuadas análises para diferentes bandas de sinal de entrada, variando de 500 kHz até 1,2 MHz.

A comparação entre os moduladores presentes na literatura é efetuada com o auxílio de figuras de mérito (FOM) (ROSA; RIO, 2013) baseadas nas principais especificações do modulador. A figura de mérito empregada neste trabalho para fins de comparação é apresentada na Equação 37, expressa em pJ/conv.

$$FOM = \frac{P_W(W)}{2^{ENOB(bits)} \times DOR(S/s)} \times 10^{12} \quad (37)$$

onde  $P_W$  é a potência consumida pelo circuito, ENOB é o número efetivo de bits do modulador e DOR é taxa de Nyquist depois do emprego de um filtro decimador. Esta FOM enfatiza o consumo de potência e quanto menor o seu valor melhor o desempenho do modulador.

## 6.1 Resultados em Nível de Esquemático

As simulações em nível de esquemático visam a análise do modulador em nível elétrico sem os efeitos de elementos parasitas. Foram efetuadas simulações empregando diferentes sinais de entrada e o desempenho do modulador foi analisado para diferentes larguras de banda.

O consumo de energia do modulador foi obtido através de simulações transientes considerando uma atividade de chaveamento do quantizador real. O consumo do modulador obtido é de 5,91 mW e este consumo será empregado para os cálculos da FOM.

Primeiramente analisou-se o modulador para uma banda de sinal de entrada de 1 MHz. Assim, aplicou-se um sinal de entrada de 250 kHz e amplitude de -6,02 dBFS (400 mVpp) com nível DC de 0,6 V. Esta frequência possibilita a inclusão da segunda e terceira harmônica dentro de banda de sinal. O PSD do modulador, calculado com  $2^{16}$  pontos, é apresentado na Figura 72. Nota-se que não existem componentes significantes das harmônicas do sinal de entrada na banda de interesse.

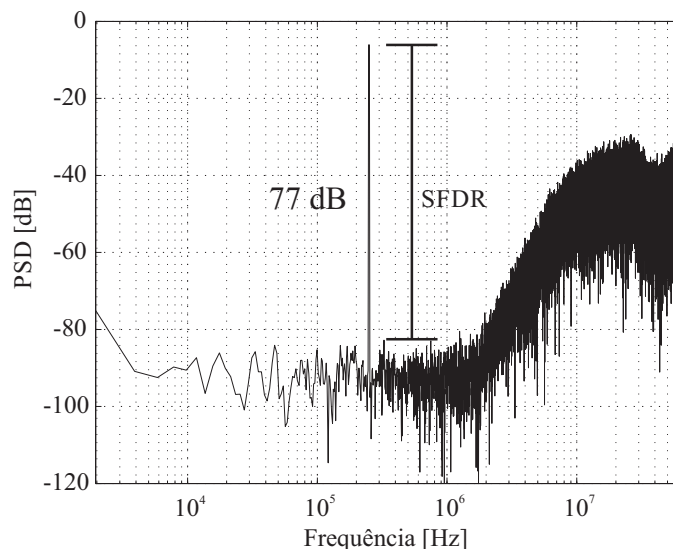


Figura 72: PSD da saída do modulador: simulação em nível de esquemático.

O SNDR de pico do modulador para este sinal de entrada é de 60,051 dB e o ENOB é de 9,683 bits. Já a FOM, considerando esta largura de banda, é de 3,59 pJ/conv. A faixa dinâmica livre de espúrios (SFDR) é de 77 dB sendo a maior componente de ruído dentro da banda de sinal a segunda harmônica da frequência de entrada.

A faixa dinâmica do modulador, apresentada na Figura 73, é de aproximadamente 58 dB. Observa-se que o SNDR de pico do modulador é de 60,59 dB para um sinal de entrada com amplitude de -5 dBFS. Deste modo, o ENOB de pico do modulador é de 9,77 bits e a FOM é de 3,38 pJ/conv.

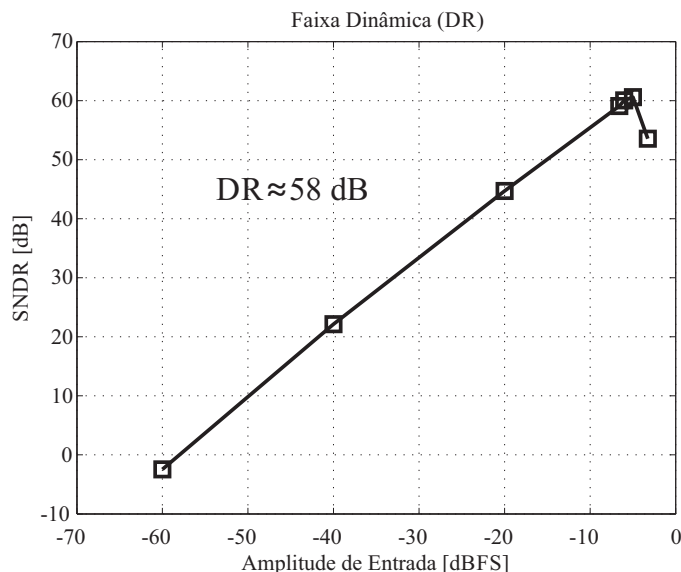


Figura 73: DR do modulador.

Para esta mesma simulação também foram computados o SNDR, o ENOB e a FOM para outras bandas de sinal. Estes valores são apresentados na Tabela 11.

Tabela 11: Desempenho do modulador em nível de esquemático para diferentes larguras de banda.

Largura de banda	OSR	SNDR (dB)	ENOB (bits)	FOM (pJ/conv)
0,5 MHz	128	64,37	10,40	4,383
1,0 MHz	64	60,59	9,77	3,379
1,1 MHz	58,18	60,03	9,68	3,271
1,2 MHz	53,34	59,60	9,60	3,155

Os resultados obtidos em nível de esquemático foram comparados com os resultados apresentados como estado da arte para SDMs-CT do tipo passa-baixas de laço único e *single-bit* no levantamento apresentado em (ROSA, 2013). Este levantamento é efetuado considerando apenas os trabalhos apresentados em revistas, jornais e conferências de impacto na área de projeto e análise de circuitos integrados.

A Figura 74 situa os resultados da FOM obtida com os resultados de FOM estado da arte apresentados em (ROSA, 2013). A FOM obtida neste trabalho fica próxima ao estado da arte em relação aos SDMs-CT do tipo passa-baixas de laço único e *single-bit*. Entretanto, ela é inferior às FOMs obtidas para moduladores que empregam DACs multi-bit (ROSA, 2013).

Comparou-se também a relação entre o DR e a largura de banda do modulador com os demais trabalhos estado da arte. Esta comparação é encontrada na Figura 75. Neste quesito o modulador desenvolvido apresenta resultados próximos ao estado da arte, porém muitos moduladores estado da arte apresentam um DR maior para maiores larguras de banda. Entretanto, é necessário destacar que o consumo de energia não é levado em consideração nesta comparação.

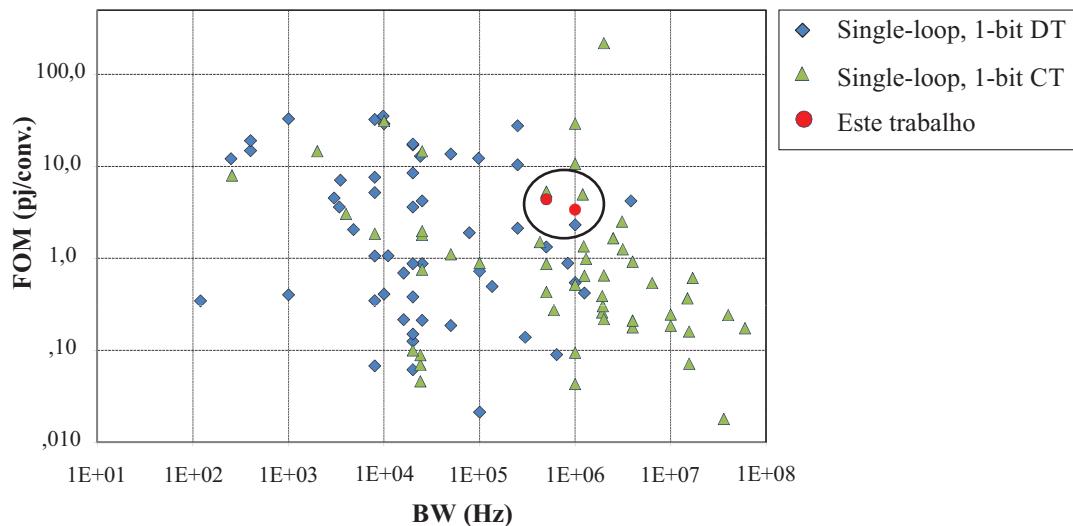


Figura 74: FOM versus largura de banda: comparação com o estado da arte (ROSA, 2013).

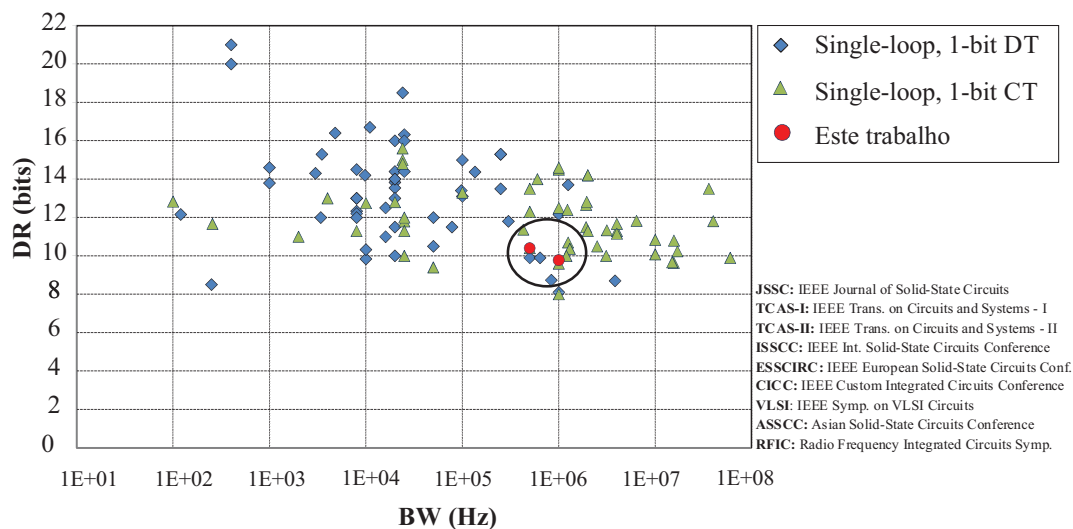


Figura 75: DR versus largura de banda: comparação com o estado da arte (ROSA, 2013).

## 6.2 Resultados Pós-Leiaute

Após o leiaute do circuito foram efetuadas as mesmas simulações transientes empregadas em nível de esquemático para analisar a performance do modulador considerando os elementos parasitas devido ao leiaute do circuito. Foram efetuadas simulações para sinais de 250 kHz com diferentes amplitudes.

O DR do modulador considerando uma banda de sinal de 1 MHz é de aproximadamente 62 dB como ilustra a Figura 76. O SNDR de pico do modulador foi obtido para um sinal de entrada de -6,02 dBFS e seu valor é de 57,31 dB resultando em um ENOB de 9,23 bits e uma FOM de 4,93 pJ/conv. O PSD do modulador, calculado com  $2^{16}$  pontos, para um sinal de entrada de -6,02 dBFS é apresentado na Figura 77. O SFDR encontrado é de 66,2 dB e o maior espúrio dentro da banda de sinal é a terceira harmônica do sinal de entrada, como ilustrado na Figura 77.

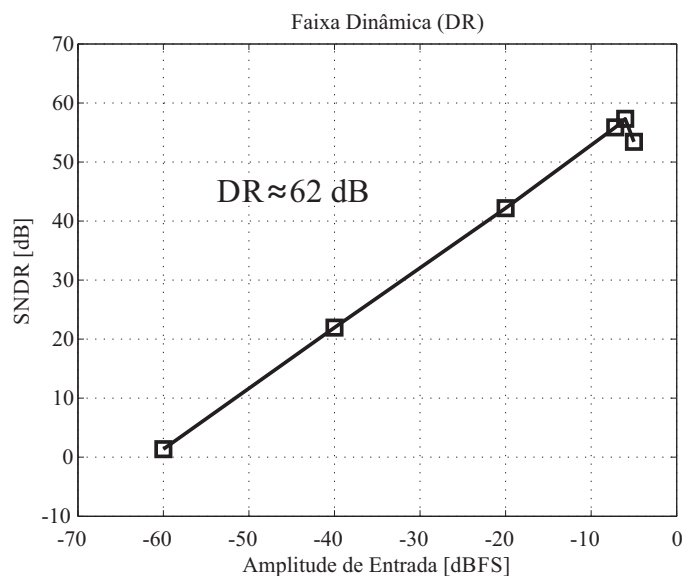


Figura 76: DR do modulador: simulação pós-leiaute.

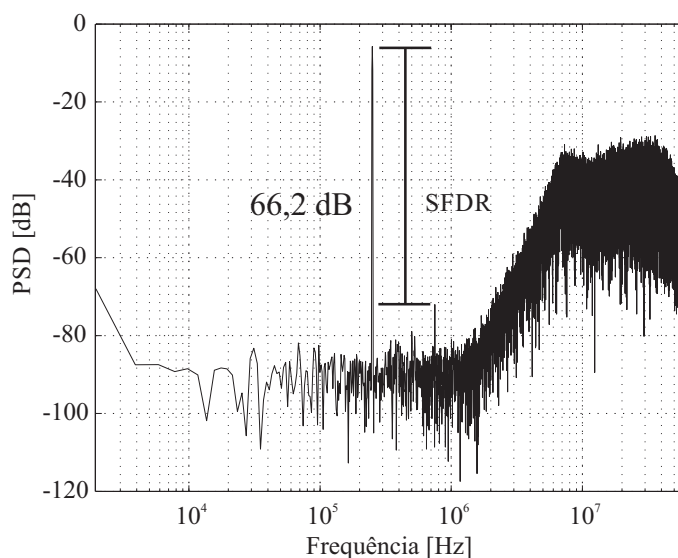


Figura 77: PSD da saída do modulador: simulação pós-leiaute.

Avaliando a performance do modulador pode-se dizer, com base nas simulações pós-leiaute, com extração de parasitas, que ocorreu uma redução do SNDR de pico do SDM-CT, bem como a redução da amplitude do sinal de entrada para o máximo SNDR.

O SNDR de pico teve uma redução de 3,28 dB e o ENOB do modulador foi reduzido

em 0,55 bit. A Tabela 12 apresenta as principais métricas do SDM-CT projetado antes e depois do leiaute do circuito.

Tabela 12: Sumário da performance do modulador para largura de banda de 1 MHz: esquemático *versus* pós-leiaute.

Parâmetro	Esquemático	Pós-leiaute
SNDR de pico	60,59 dB	57,31 dB
ENOB	9,77 bits	9,23 bits
DR	58 dB	62 dB
FOM	3,38 pJ/conv.	4,93 pJ/conv.

Para complementar a análise do modulador também foi computada a performance do mesmo para diferentes bandas de sinal. Estes dados são apresentados na Tabela 13.

Tabela 13: Desempenho do modulador em nível de leiaute para diferentes larguras de banda.

Largura de banda	OSR	SNDR (dB)	ENOB (bits)	FOM (pJ/conv)
0,5 MHz	128	61,51	9,93	6,08
1,0 MHz	64	57,31	9,23	4,93
1,1 MHz	58,18	56,77	9,14	4,77
1,2 MHz	53,34	56,40	9,08	4,56

Como em sistemas de comunicação existem interferências é necessário levar em consideração as não-idealidades devido a intermodulação. Para avaliar a intermodulação dentro da banda de interesse foi efetuado um teste com dois *tons*. A Figura 78 apresenta o PSD do modulador, calculado com  $2^{16}$  pontos, para o teste de 2 *tons*.

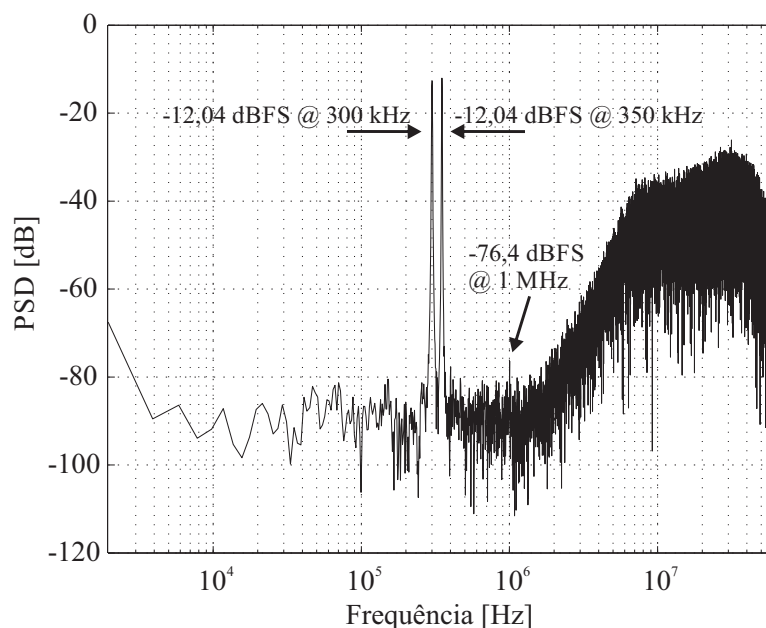


Figura 78: PSD da saída do modulador para um teste com 2 *tons*: simulação pós-leiaute.

A simulação foi efetuada aplicando na entrada do modulador dois sinais com amplitude de -12,04 dBFS ( $200 \text{ mV}_{pp}$ ) e frequências de 300 kHz e 350 kHz. A intermodulação de terceira ordem (IM3) é mínima e a componente de IM3 de maior amplitude (-76,4 dBFS) ocorre em 1 MHz.

Foi avaliado também o AAF implícito do modulador. Nesta simulação foi aplicado na entrada do modulador um sinal com frequência de 128,25 MHz com amplitude de 6,02 dBFS. É esperado que a componente de frequência de 250 kHz apareça no espectro de frequência de saída do modulador, porém atenuada. O PSD do modulador para esta simulação, calculado com  $2^{15}$  pontos, é apresentado na Figura 79. É possível notar que existe a componente de frequência de 250 kHz no espectro de frequência do modulador. Porém, ela apresenta amplitude de -62,89 dBFS. Pode-se afirmar que ocorreu alias do sinal de entrada, porém este sinal sofreu uma atenuação de amplitude de 56,87 dB.

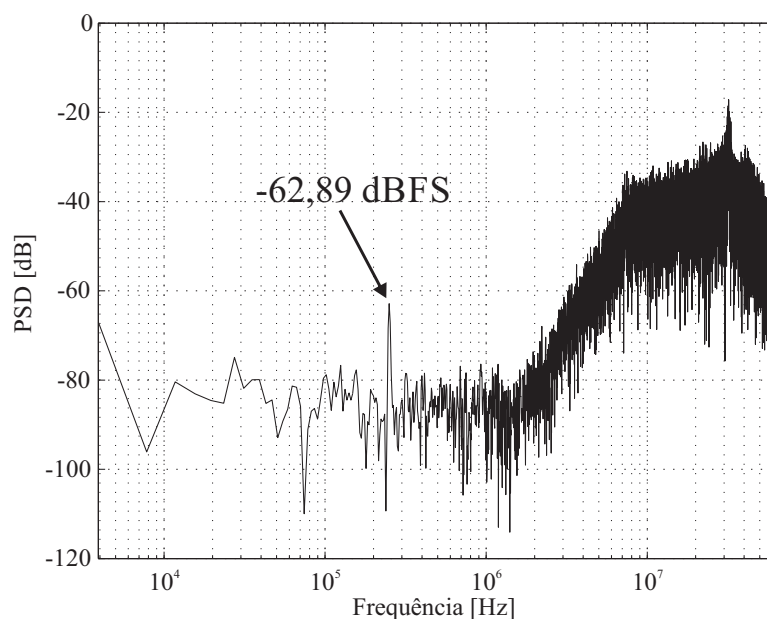


Figura 79: PSD da saída do modulador para o teste do AAF: simulação pós-leiaute.

### 6.3 Comparação com o Estado da Arte

É apresentado na Tabela 14 o sumário da performance do modulador para uma banda de sinal de 1 MHz e uma comparação com alguns dos trabalhos presentes na literatura e indicados como estado da arte por (ROSA, 2013). Os resultados dos trabalhos utilizados na tabela comparativa foram obtidos através de medidas dos SDMs-CT fabricados. Deste modo, para uma comparação efetiva é necessário medir os resultados do SDM-CT projetado neste trabalho e enviado para fabricação.

Entretanto, é possível notar em uma comparação inicial que o SDM-CT projetado apresenta menor consumo de energia, maior SNDR de pico e melhor FOM se comparado com o SDM-CT de mesma largura de banda apresentado em (YANG; HSIEH; HUNG, 2009). Adicionalmente, o SDM-CT projetado neste trabalho ocupa a menor área em silício se comparado com os demais trabalhos apresentados.

Tabela 14: Sumário da performance do modulador e comparação com outros trabalhos.

Parâmetros	Este trabalho*	1**	2**	3**
Tecnologia	IBM 130 nm	TSMC 180 nm	180 nm	65 nm
Tensão	1,2 V	1,8 V	1,8 V	2,5 V
$f_s$	128 MHz	100 MHz	256 MHz	124,8 MHz
BW	1,0 MHz	1,0 MHz	2 MHz	1,95 MHz
OSR	64	50	64	32
SNDR de pico	57,31 dB	56,80 dB	82,3 dB	73,3 dB
ENOB	9,23 bits	9,14 bits	-	-
DR	$\approx$ 62 dB	60 dB	87,1	79 dB
Atenuação do AFF	56,87 dB	-	-	-
Área em silício	0,31 mm <sup>2</sup>	1,62 mm <sup>2</sup>	0,39 mm <sup>2</sup>	2,72 mm <sup>2</sup>
Potência	5,91 mW	22,2 mW	16,5 mW	8,55 mW
FOM	4,93 pJ/conv.	19,6 pJ/conv.	0,22 pJ/conv.	0,30 pJ/conv.

\*Simulação Pós-leiaute; \*\*Medidas do chip.

1 - (YANG; HSIEH; HUNG, 2009) - *Int. Symp. on VLSI Design, Automation and Test*.

2 - (NANDI; BOOMINATHAN; PAVAN, 2013) - *IEEE Journal of Solid-State Circuits*.

3 - (KIM; MATSUURA; MURMANN, 2011) - *Symp. on VLSI Circuits*.

## 6.4 Discussões

Após as simulações em nível elétrico do modulador é possível notar que ocorreu uma redução de performance em relação ao modulador ideal. Esta redução de performance se deu pelo aumento do *noise-floor* dentro da banda de interesse. Este aumento do ruído dentro da banda de interesse ocorreu principalmente devido ao emprego dos amplificadores operacionais não ideais.

O circuito ainda está sendo analisado para verificar se ocorreu alguma mudança nos parâmetros dos amplificadores com a inserção dos mesmos no circuito completo do modulador. Adicionalmente, estão sendo empregados modelos ideais dos blocos analógicos, desenvolvidos em VerilogA, e os inserindo no circuito do modulador em nível elétrico para verificar quais são os blocos responsáveis pela redução de desempenho do circuito.

Durante o projeto de receptores de RF analisa-se a performance do mesmo, sendo que a especificação do ADC é extraída a partir da simulação do receptor completo. Em (A. MORGADO; ROSA, 2011) são apresentados os requisitos de ADCs para o emprego em receptores de RF a partir dos projetos de receptores já apresentados na literatura.

Entretanto, de acordo com (WANG; DEHOLLAIN, 2012) pode-se utilizar o modulador projetado neste trabalho de mestrado em receptores de RF para aplicações de *Bluetooth*, onde um ENOB de 9 bits é suficiente.



## 7 CONCLUSÕES

Esta dissertação apresentou a análise e o desenvolvimento de SDMs-CT voltados à conversão AD. Inicialmente foi apresentada uma revisão teórica sobre modulação SD e SDMs-CT, apresentando o seu princípio de funcionamento e suas principais características. Adicionalmente, foram analisadas as principais não-idealidades dos SDMs-CT apresentando algumas soluções para a mitigação de seus efeitos. Deste modo, os capítulos iniciais contribuem com uma revisão bibliográfica abrangente sobre o tema fornecendo também um número significativo de referências bibliográficas para o aprofundamento no tema.

O Capítulo 4 abordou a metodologia de modelagem de algumas não-idealidades de SDMs-CT desenvolvida neste trabalho de mestrado. O modelo apresentado foi desenvolvido no ambiente Matlab/Simulink® possibilitando assim uma simulação de alto nível dos SDMs-CT em uma ferramenta amplamente utilizada para a simulação de SDMs-DT. Adicionalmente, com base nos resultados de simulação é possível determinar as especificações mínimas de cada bloco analógico utilizado para compor o modulador, como o *slew rate*, frequência de ganho unitário e ganho DC dos amplificadores operacionais utilizados nos integradores, e os valores toleráveis de ELD e *jitter*. Foi apresentado também um estudo de caso para a utilização do modelo desenvolvido com a topologia de SDMs clássica (CIFB). Ainda no Capítulo 4 foi apresentado o projeto de alto nível de um SDM-CT passa-baixas de laço-único, *single-bit*, de terceira ordem, projetado neste trabalho para uma banda de sinal de 1 MHz. A partir do modelo desenvolvido simulou-se o SDM-CT projetado com não-idealidades e a partir destas simulações foram extraídas as especificações dos blocos analógicos projetados.

O Capítulo 5 apresentou os aspectos referentes à implementação em nível elétrico do SDM-CT projetado em tecnologia CMOS de 130 nm com tensão de alimentação de 1,2 V. Foram apresentados em detalhes os circuitos analógicos projetados e as principais características dos mesmos. Após o projeto em nível de esquemático foi efetuado o leiaute de cada bloco analógico, e após, o leiaute de topo do modulador. O SDM-CT foi enviado para prototipação em silício no mês de fevereiro de 2014 via programa de MPW da MOSIS.

No Capítulo 6 são apresentados os resultados de simulação do SDM-CT projetado. Foram efetuadas simulações em nível de esquemático e simulações pós-leiaute, incluindo parasitas, para avaliar a performance final do modulador e a redução de performance ocorrida durante a etapa de leiaute. Os resultados de simulação pós-leiaute, com a inclusão de elementos parasitas, para uma banda de sinal de 1 MHz indicam um SNDR de pico de 57,31 dB, ENOB de 9,23 bits, consumo de potência de 5,91 mW e uma FOM de 4,93 pJ/conv. Assim, espera-se que o desempenho real do SDM-CT prototipado fique próximo ao que tem sido publicado recentemente sobre SDMs-CT.



Por fim, cabe dizer que com base no trabalho desenvolvido foi possível compreender e analisar o fluxo completo de projeto de SDMs-CT. Os trabalhos relacionados a este trabalho de mestrado geraram até o momento uma publicação em anais de eventos (AGUIRRE *et al.*, 2013) e outro artigo, contendo os resultados finais do modulador apresentados nesta dissertação, está sendo escrito para submissão nos próximos meses.

## 7.1 Trabalhos Futuros

Durante o desenvolvimento e finalização desta dissertação observou-se que diversos avanços podem ser desenvolvidos no campo de modelagem, análise e projeto de SDMs-CT. Abaixo são descritos os principais trabalhos futuros que podem ser realizados com base na dissertação apresentada.

### 7.1.1 Teste e Caracterização do Chip

Antes do término da escrita da versão final desta dissertação retornaram da fábrica as amostras dos chips do modulador. Deste modo, como trabalho futuro deve-se realizar o teste e a caracterização do SDM-CT fabricado. O Apêndice F apresenta uma microfotografia do chip prototipado, com destaque para a área ocupada pelo SDM-CT.

O modulador será testado principalmente através dos pinos de entrada e saída do chip. Assim, já está sendo projetada uma placa de circuito impresso de maneira a prover uma interface entre os chips fabricados e os equipamentos de medição, seguindo os procedimentos apresentados em (ROSA; RIO, 2013).

A caracterização da performance do SDM-CT fabricado será efetuada através de análises dinâmicas. Serão extraídos parâmetros como SNDR, ENOB e DR através de análises de FFT do bitstream do modulador, similarmente à caracterização apresentada nesta dissertação. Com base nos resultados obtidos será possível analisar as modificações necessárias e reprojeter o SDM-CT para corrigir possíveis erros e prototipar novamente o circuito.

### 7.1.2 Aprimoramento nos Modelos Comportamentais

Com base na metodologia de modelagem apresentada pode-se desenvolver um *toolbox* do Matlab para simulação e análise de SDMs-CT com não-idealidades. Adicionalmente, seria interessante acrescentar não-linearidades ao modelo comportamental desenvolvido tornando-o mais completo. Para isto, é necessário um conhecimento mais aprofundado dos blocos analógicos que irão compor o modulador.

### 7.1.3 Otimizações nos Blocos Analógicos

Visando a redução do consumo de energia e o aumento do desempenho do modulador deve-se analisar detalhadamente cada bloco para efetuar um projeto com melhor relação desempenho *versus* consumo de energia.

Pode-se investir também no projeto de amplificadores de elevada frequência de ganho unitário (acima de 1 GHz) para aplicações em maiores frequências e no desenvolvimento de quantizadores e DACs multi-bit para possibilitar o projeto de moduladores com maior resolução e largura de banda, tendendo ao estado da arte.

#### **7.1.4 Projeto de um Modulador Reconfigurável**

O projeto de SDMs-CT reconfiguráveis são necessários para a aplicação em receptores de RF com suporte a diferentes padrões de comunicação. A reconfiguração possibilita a redução do consumo de energia do modulador quando possível. Diferentemente de SDMs-DT à capacitor chaveado, a mudança da frequência de amostragem ou coeficientes de um integrador de SDMs-CT não é facilmente efetuada. Assim, poucos trabalhos a respeito da implementação de SDMs-CT reconfiguráveis são apresentados na literatura.

O projeto de SDMs-CT reconfiguráveis leva conseqüentemente ao desenvolvimento de blocos analógicos reconfiguráveis como amplificadores de largura de banda e consumo reconfigurável, bem como DACs reconfiguráveis. Assim, apesar da complexidade, este tópico demonstra ser de grande relevância tanto para a academia como para a indústria.

#### **7.1.5 Projeto de um Filtro Decimador**

Neste trabalho foi efetuado o projeto de um SDM-CT. Entretanto, para o projeto de um ADC SD completo é necessário incluir um filtro decimador na saída do SDM-CT. Assim, pode-se trabalhar futuramente no projeto de um filtro decimador para o SDM-CT projetado visando a obtenção de um ADC SD completo.

## REFERÊNCIAS

- A. MORGADO, R. d. R.; ROSA, J. M. de la. **Nanometer CMOS Sigma-Delta Modulators for Software Defined Radio**. Sevilla: Springer, 2011.
- ABOUSHADY, H.; LOUERAT, M.-M. Systematic approach for discrete-time to continuous-time transformation of sigma-delta modulators. In: IEEE INTERNATIONAL SYMPOSIUM ON CIRCUITS AND SYSTEMS (ISCAS 2002), 2002, Scottsdale. **Proceedings...** [S.l.: s.n.], 2002. p.229–232.
- AGUIRRE, P. *et al.* Behavioral modeling of continuous-time sigma-delta modulators in matlab/simulink. In: IEEE FOURTH LATIN AMERICAN SYMPOSIUM ON CIRCUITS AND SYSTEMS (LASCAS 2013), 2013, Cusco. **Proceedings...** [S.l.: s.n.], 2013. p.1–4.
- ALAMDARI, H.; EL-SANKARY, K.; EL-MASRY, E. Excess loop delay compensation for continuous-time sigma-delta modulators using interpolation. **Electronics Letters**, [S.l.], v.45, n.12, p.609–610, June 2009.
- ALLEN, P. E.; HOLBERG, D. R. **CMOS Analog Circuit Design**. [S.l.]: Oxford University Press, 2002.
- ANDERSON, M.; SUNDSTROM, L. Design and Measurement of a CT  $\Delta\Sigma$  ADC With Switched-Capacitor Switched-Resistor Feedback. **Solid-State Circuits, IEEE Journal of**, [S.l.], v.44, n.2, p.473–483, Feb. 2009.
- ASHRY, A.; SHADY, H. Fast and accurate jitter simulation technique for continuous-time SigmaDelta modulators. **Electronics Letters**, [S.l.], v.45, n.24, p.1218–1219, 19 2009.
- BAKER, J. **CMOS Circuit Design, Layout and Simulation**. 3rd.ed. [S.l.]: John Wiley and Sons, Inc., 2010.
- BALAGOPAL, S.; SAXENA, V. A 1 GS/s, 31 MHz BW, 76.3 dB dynamic range, 34 mW CT Sigma-Delta ADC with 1.5 cycle quantizer delay and improved STF. In: IEEE 55TH INTERNATIONAL MIDWEST SYMPOSIUM ON CIRCUITS AND SYSTEMS (MWSCAS 2012), 2012, Boise. **Proceedings...** [S.l.: s.n.], 2012. p.802–805.
- BELOTTI, O.; BONIZZONI, E.; MALOBERTI, F. Exact design of continuous-time sigma-delta modulators with multiple feedback DACs. **Analog Integrated Circuits and Signal Processing**, [S.l.], v.73, n.1, p.255–264, 2012.

- BENABES, P.; KERAMAT, M.; KIELBASA, R. A methodology for designing continuous-time sigma-delta modulators. In: EUROPEAN DESIGN AND TEST CONFERENCE (ED&TC 97), 1997, Paris. **Proceedings...** [S.l.: s.n.], 1997. p.46–50.
- BENABES, P.; KIELBASA, R. Fast clock-jitter simulation in continuous-time delta-sigma modulators. In: IEEE INSTRUMENTATION AND MEASUREMENT TECHNOLOGY CONFERENCE (IMTC 2001), 2001, Budapest. **Proceedings...** [S.l.: s.n.], 2001. p.1587–1590.
- BENABES, P.; TUGUI, C. Effective modeling of CT functions for fast simulations using MATLAB-Simulink and VHDLAMS applied to Sigma-Delta architectures. In: IEEE INTERNATIONAL SYMPOSIUM ON CIRCUITS AND SYSTEMS (ISCAS 2011), 2011, Rio de Janeiro. **Proceedings...** [S.l.: s.n.], 2011. p.2269–2272.
- BOLATKALE, M. *et al.* A 4 GHz Continuous-Time  $\Delta\Sigma$  ADC With 70 dB DR and - 74 dBFS THD in 125 MHz BW. **Solid-State Circuits, IEEE Journal of**, [S.l.], v.46, n.12, p.2857–2868, Dec. 2011.
- BOSER, B.; WOOLEY, B. The design of sigma-delta modulation analog-to-digital converters. **Solid-State Circuits, IEEE Journal of**, [S.l.], v.23, n.6, p.1298 –1308, Dec. 1988.
- BREEMS, L.; HUIJING, J. **Continuous-Time Sigma-Delta for A/D Conversion in Radio Receivers**. 2nd.ed. [S.l.]: Kluwer Academic Publishers, 2001.
- BRIGATI, S. *et al.* Modeling sigma-delta modulator non-idealities in SIMULINK(R). In: IEEE INTERNATIONAL SYMPOSIUM ON CIRCUITS AND SYSTEMS (ISCAS 99), 1999, Orlando. **Proceedings...** [S.l.: s.n.], 1999. p.384–387.
- BUHMANN, A. *et al.* DISCO - A toolbox for the discrete-time simulation of continuous-time Sigma-Delta modulators using MATLAB. In: MIDWEST SYMPOSIUM ON CIRCUITS AND SYSTEMS (MWSCAS 2007), 2007, Montreal. **Proceedings...** [S.l.: s.n.], 2007. p.1082–1085.
- CHERRY, J.; SNELGROVE, W. Excess loop delay in continuous-time delta-sigma modulators. **Circuits and Systems II: Analog and Digital Signal Processing, IEEE Transactions on**, [S.l.], v.46, n.4, p.376 –389, Apr. 1999.
- CHERRY, J.; SNELGROVE, W. Clock jitter and quantizer metastability in continuous-time delta-sigma modulators. **Circuits and Systems II: Analog and Digital Signal Processing, IEEE Transactions on**, [S.l.], v.46, n.6, p.661 –676, June 1999.
- CHERRY, J.; SNELGROVE, W. **Continuous-Time Sigma-Delta Modulators High-Speed A/D Conversion: theory, practice and fundamental performance limits**. 2nd.ed. [S.l.]: Kluwer Academic Publishers, 2000.
- CHOPP, P.; HAMOUI, A. Analysis of Clock-Jitter Effects in Continuous-Time DeltaSigma Modulators Using Discrete-Time Models. **Circuits and Systems I: Regular Papers, IEEE Transactions on**, [S.l.], v.56, n.6, p.1134 –1145, June 2009.
- CLUTER, C. **Transmission System Employing Quantization**. U.S. Patent number 2927962, 9 Mar. 1960.

FIGUEIREDO, P.; VITAL, J. Kickback noise reduction techniques for CMOS latched comparators. **Circuits and Systems II: Express Briefs, IEEE Transactions on**, [S.l.], v.53, n.7, p.541–545, 2006.

FORNASARI, A.; MALCOVATI, P.; MALOBERTI, F. Improved modeling of sigma-delta modulator non-idealities in Simulink. In: IEEE INTERNATIONAL SYMPOSIUM ON CIRCUITS AND SYSTEMS (ISCAS 2005), 2005, Kobe. **Proceedings...** [S.l.: s.n.], 2005. p.5982–5985.

FRANCKEN, K. *et al.* DAISY-CT: a high-level simulation tool for continuous-time delta; sigma; modulators. In: DESIGN, AUTOMATION AND TEST IN EUROPE CONFERENCE AND EXHIBITION (DATE 2002), 2002, Paris. **Proceedings...** [S.l.: s.n.], 2002. p.1110.

GRAY, P. R. *et al.* **Analysis and Design of Analog Integrated Circuits**. 5rd.ed. [S.l.]: John Wiley and Sons, Inc., 2009.

GUPTA, A.; SANCHEZ-SINENCIO, E. State space approach to design of continuous time sigma delta ADC with delay in feedback path. In: IEEE INTERNATIONAL MIDWEST SYMPOSIUM ON CIRCUITS AND SYSTEMS (MWSCAS '06), 2006, Puerto Rico. **Proceedings...** [S.l.: s.n.], 2006. v.2, p.664–668.

HAYKIN, S.; MOHER, M. **An Introduction to Analog and Digital Communications**. 2nd.ed. [S.l.: s.n.], 2006.

HUANG; SCHLEIFER, H.; KILLAT, D. Design and analysis of novel dynamic latched comparator with reduced kickback noise for high-speed ADCs. In: EUROPEAN CONFERENCE ON CIRCUIT THEORY AND DESIGN (ECCTD 2013), 2013, Dresden. **Proceedings...** [S.l.: s.n.], 2013. p.1–4.

INOSE, H.; YASUDA, Y.; MURAKAMI, J. A telemetering by code modulation  $\Delta$ - $\Sigma$  modulation. **IRE Trans Space Electron. Telemetry**, [S.l.], v.8, p.204–209, Sept. 1962.

JAYKAR, S.; PALSODKAR, P.; DAKHOLE, P. Modeling of Sigma-Delta Modulator Non-Idealities in MATLAB/SIMULINK. In: INTERNATIONAL CONFERENCE ON COMMUNICATION SYSTEMS AND NETWORK TECHNOLOGIES (CSNT), 2011, Katra. **Proceedings...** [S.l.: s.n.], 2011. p.525–530.

JESPER, P. G. A. **Integrated Converters: d to a and a to d architectures, analysis and simulation**. Oxford: Oxford University Press, 2001.

JOHNS, D. A.; MARTIN, K. **Analog Integrated Circuit Design**. [S.l.]: John Wiley and Sons, Inc., 1997.

KAALD, R. *et al.* High-level continuous-time sigma delta design in Matlab/Simulink. In: THE NORDIC MICROELECTRONICS EVENT (NORCHIP), 2009, Trondheim. **Proceedings...** [S.l.: s.n.], 2009. p.1–6.

KELLER, M. *et al.* A Comparative Study on Excess-Loop-Delay Compensation Techniques for Continuous-Time Sigma-Delta Modulators. **Circuits and Systems I: Regular Papers, IEEE Transactions on**, [S.l.], v.55, n.11, p.3480–3487, 2008.

KIM, D.; MATSUURA, T.; MURMANN, B. A continuous-time, jitter insensitive modulator using a digitally linearized Gm-C integrator with embedded SC feedback DAC. In: SYMPOSIUM ON VLSI CIRCUITS (VLSIC), 2011, Kyoto. **Proceedings...** [S.l.: s.n.], 2011. p.38–39.

KIM, K.; SILVA-MARTINEZ, J. Low-power 3rd-order continuous-time low-pass sigma-delta analog-to-digital converter for wideband applications. In: IEEE INTERNATIONAL MIDWEST SYMPOSIUM ON CIRCUITS AND SYSTEMS (MWSCAS), 2012, Boise. **Proceedings...** [S.l.: s.n.], 2012. p.814–817.

KULCHYCKI, S. D. **Continuous-Time Sigma-Delta ADCs**. Disponível em: <<http://www.ti.com/lit/an/snua098/snua098.pdf>>. Acesso em: 22 abr. 2014.

LAO, C.-I.; U, S.-P.; MARTINS, R. Bandpass sigma-delta modulator SIMULINK non-idealities model with behavior simulation. In: INTERNATIONAL CONFERENCE ON ASIC, 2003, Beijing. **Proceedings...** [S.l.: s.n.], 2003. p.685–688.

LEI, K.-M.; MAK, P.-I.; MARTINS, R. Systematic analysis and cancellation of kickback noise in a dynamic latched comparator. **Analog Integrated Circuits and Signal Processing**, [S.l.], v.77, n.2, p.277–284, 2013.

LEOW, Y. H. *et al.* A circuit based behavioral modeling of Continuous-Time Sigma Delta modulators. In: INTERNATIONAL SYMPOSIUM ON INTEGRATED CIRCUITS (ISIC '09), 2009, Singapore. **Proceedings...** [S.l.: s.n.], 2009. p.109–112.

LI, Z.; FIEZ, T. A 14 Bit Continuous-Time Delta-Sigma A/D Modulator With 2.5 MHz Signal Bandwidth. **Solid-State Circuits, IEEE Journal of**, [S.l.], v.42, n.9, p.1873–1883, Sept. 2007.

MALCOVATI, P. *et al.* Behavioral modeling of switched-capacitor sigma-delta modulators. **Circuits and Systems I: Fundamental Theory and Applications, IEEE Transactions on**, [S.l.], v.50, n.3, p.352–364, 2003.

MALOBERTI, F. **Data Converters**. [S.l.]: Springer, 2007.

MARQUES, A. *et al.* Optimal parameters for Delta-Sigma modulator topologies. **Circuits and Systems II: Analog and Digital Signal Processing, IEEE Transactions on**, [S.l.], v.45, n.9, p.1232–1241, Sept. 1998.

MATLAB. **Simulink, Simulation and Model-Based Design**. Disponível em: <<http://www.mathworks.com/products/simulink/>>. Acesso em: 22 abr. 2014.

MORGADO, A.; ROSA, J. de la; RIO, R. del. Hybrid continuous-timediscrete-time cascade sigma-delta modulator with adaptive inter-stage resonance. **Electronics Letters**, [S.l.], v.45, n.5, p.251–252, Feb. 2009.

MOSIS. **MOSIS Supported Options: ibm 8rf-dm cmos process**. Disponível em: <<http://www.mosis.com/vendors/view/ibm/8rf-dm-options>>. Acesso em: 20 oct. 2013.

MOSIS. **IBM 8RF-LM CMOS Process**. Disponível em: <<http://www.mosis.com/vendors/view/ibm/8rf-dm>>. Acesso em: 22 abr. 2014.

MOSIS. Disponível em: <<http://www.mosis.com>>. Acesso em: 20 oct. 2013.



NANDI, T.; BOOMINATHAN, K.; PAVAN, S. Continuous-Time Delta-Sigma Modulators With Improved Linearity and Reduced Clock Jitter Sensitivity Using the Switched-Capacitor Return-to-Zero DAC. **Solid-State Circuits, IEEE Journal of**, [S.l.], v.48, n.8, p.1795–1805, Aug 2013.

OLIAEI, O. Design of continuous-time sigma-delta modulators with arbitrary feedback waveform. **Circuits and Systems II: Analog and Digital Signal Processing, IEEE Transactions on**, [S.l.], v.50, n.8, p.437–444, Aug. 2003.

ORTAMANN, M.; GERFERS, F. **Continuous-Time Sigma-Delta AD Conversion: fundamentals, performance limits and robust implementations**. New York: Springer, 2006.

ORTMANN, M.; GERFERS, F.; MANOLI, Y. Clock jitter insensitive continuous-time Sigma-Delta modulators. In: IEEE INTERNATIONAL CONFERENCE ON ELECTRONICS, CIRCUITS AND SYSTEMS (ICECS 2001), 2001, Malta. **Proceedings...** [S.l.: s.n.], 2001. p.1049–1052.

ORTMANN, M.; GERFERS, F.; MANOLI, Y. A continuous-time Sigma; Delta; Modulator with reduced sensitivity to clock jitter through SCR feedback. **Circuits and Systems I: Regular Papers, IEEE Transactions on**, [S.l.], v.52, n.5, p.875–884, May 2005.

PAVAN, S. Excess Loop Delay Compensation in Continuous-Time Delta-Sigma Modulators. **Circuits and Systems II: Express Briefs, IEEE Transactions on**, [S.l.], v.55, n.11, p.1119–1123, Nov. 2008.

PAVAN, S. Alias Rejection of Continuous-Time  $\Delta\Sigma$  Modulators With Switched-Capacitor Feedback DACs. **Circuits and Systems I: Regular Papers, IEEE Transactions on**, [S.l.], v.58, n.2, p.233–243, Feb. 2011.

PLAS, G. Van der; DECOUTERE, S.; DONNAY, S. A 0.16pJ/Conversion-Step 2.5mW 1.25GS/s 4b ADC in a 90nm Digital CMOS Process. In: IEEE INTERNATIONAL SOLID-STATE CIRCUITS CONFERENCE (ISSCC 2006), 2006, San Francisco. **Proceedings...** [S.l.: s.n.], 2006. p.2310.

RAPUANO, S. *et al.* ADC parameters and characteristics. **Instrumentation Measurement Magazine, IEEE**, [S.l.], v.8, n.5, p.44 – 54, Dec. 2005.

RAZAVI, B. **Principles of Data Conversion System Design**. [S.l.]: IEEE Press, 1995.

RAZAVI, B. **Design of Analog CMOS Integrated Circuits**. [S.l.]: McGraw-Hill International Edition, 1998.

ROSA, J. de la. Sigma-Delta Modulators: tutorial overview, design guide, and state-of-the-art survey. **Circuits and Systems I: Regular Papers, IEEE Transactions on**, [S.l.], v.58, n.1, p.1 –21, Jan. 2011.

ROSA, J. de la. **CMOS Sigma-Delta State-of-the-Art Survey**. Disponível em: <<http://www.imse-cnm.csic.es/jrosa/CMOS-SDMs-Survey-IMSE-JMdelaRosa.xlsx>>. Acesso em: 01 abr. 2014.

ROSA, J. de la; RIO, R. del. **CMOS Sigma-Delta Converters: practical design guide.** [S.l.]: Wiley-IEEE Press, 2013.

ROSA, J.; RODRIGUEZ-VAZQUEZ; PEREZ-VERDU, B. **Systematic Design of CMOS Switched-Current Bandpass Sigma-Delta Modulators for Digital Communication Chips.** New York: Kluwer Academic Publishers, 2002.

RUIZ-AMAYA, J. *et al.* An optimization-based tool for the high-level synthesis of discrete-time and continuous-time Sigma; Delta; modulators in the Matlab/Simulink environment. In: INTERNATIONAL SYMPOSIUM ON CIRCUITS AND SYSTEMS (ISCAS '04), 2004, Vancouver. **Proceedings...** [S.l.: s.n.], 2004. p.97–100.

RÍO, R. del *et al.* **CMOS Cascade Sigma-Delta Modulators for Sensors and Telecom:** erro analysis and practical design. New York: Springer, 2006.

SACKINGER, E.; GUGGENBUHL, W. A high-swing, high-impedance MOS cascode circuit. **Solid-State Circuits, IEEE Journal of,** [S.l.], v.25, n.1, p.289–298, Feb. 1990.

SCHREIER, R. **Delta-Sigma Toolbox.** Disponível em: <<http://www.mathworks.com/matlabcentral/fileexchange/19-delta-sigma-toolbox>>. Acesso em: 01 abr. 2014.

SCHREIER, R.; TEMES, G. **Understanding Delta-Sigma Data Converters.** Piscataway: Wiley-IEEE Press, 2005.

SHOAEI, O. **Continuous-Time Delta-Sigma A/D Converters for High Speed Applications.** 1995. 210p. Tese (Doctor of Philosophy) — Carleton University, Ottawa, 1995, Ottawa.

SILVA, J. *et al.* Wideband low-distortion delta-sigma ADC topology. **Electronics Letters,** [S.l.], v.37, n.12, p.737–738, June 2001.

SILVA, P. G. R.; HUIJSING, J. H. **High-Resolution IF-to-Baseband Sigma-Delta ADC for Car Radios.** Delft: Springer, 2010.

SILVA, P. *et al.* Noise analysis of continuous-time Sigma-Delta modulators with switched-capacitor feedback DAC. In: IEEE INTERNATIONAL SYMPOSIUM ON CIRCUITS AND SYSTEMS (ISCAS 2006), 2006, Island of Kos. **Proceedings...** [S.l.: s.n.], 2006.

SINGH, V.; KRISHNAPURA, N.; PAVAN, S. Compensating for Quantizer Delay in Excess of One Clock Cycle in Continuous-Time  $\Delta\Sigma$  Modulators. **Circuits and Systems II: Express Briefs, IEEE Transactions on,** [S.l.], v.57, n.9, p.676–680, Sept. 2010.

SINGH, V. *et al.* A 16 MHz BW 75 dB DR CT  $\Delta\Sigma$  ADC Compensated for More Than One Cycle Excess Loop Delay. **Solid-State Circuits, IEEE Journal of,** [S.l.], v.47, n.8, p.1884–1895, Aug. 2012.

SUAREZ, G.; JIMENEZ, M. Behavioral modeling of Sigma-Delta modulators using VHDL-AMS. In: MIDWEST SYMPOSIUM ON CIRCUITS AND SYSTEMS (MWSCAS), 2005, Cincinnati. **Proceedings...** [S.l.: s.n.], 2005. p.704–707 Vol. 1.



SUAREZ, G.; JIMENEZ, M.; FERNANDEZ, F. Behavioral Modeling Methods for Switched-Capacitor Sigma-Delta Modulators. **Circuits and Systems I: Regular Papers, IEEE Transactions on**, [S.l.], v.54, n.6, p.1236–1244, 2007.

THANDRI, B.; SILVA-MARTINEZ, J. A robust feedforward compensation scheme for multistage operational transconductance amplifiers with no Miller capacitors. **Solid-State Circuits, IEEE Journal of**, [S.l.], v.38, n.2, p.237–243, Feb. 2003.

TSIVIDIS, Y.; MCANDREW, C. **Operation and Modeling of the MOS Transistor**. 3rd.ed. [S.l.]: Oxford University Press, 2010.

WANG, S.; DEHOLLAIN, C. A generalized graphical model to specify A/D resolution from receiver front-end. In: ELECTRONICS, CIRCUITS AND SYSTEMS (ICECS), 2012 19TH IEEE INTERNATIONAL CONFERENCE ON, 2012, Seville. **Proceedings...** [S.l.: s.n.], 2012. p.248–251.

YANG, W.-L.; HSIEH, W.-H.; HUNG, C.-C. A third-order continuous-time sigma-delta modulator for Bluetooth. In: INTERNATIONAL SYMPOSIUM ON VLSI DESIGN, AUTOMATION AND TEST (VLSI-DAT '09), 2009, Taiwan. **Proceedings...** [S.l.: s.n.], 2009. p.247–250.

ZARE-HOSEINI, H.; KALE, I.; SHOAEE, O. Modeling of switched-capacitor delta-sigma Modulators in SIMULINK. **Instrumentation and Measurement, IEEE Transactions on**, [S.l.], v.54, n.4, p.1646–1654, 2005.

# APÊNDICE A MODELO COMPLETO DOS SDMS-CT NO AMBIENTE MATLAB/SIMULINK®

## A.0.6 SDM-CT CIFB com DAC NRZ

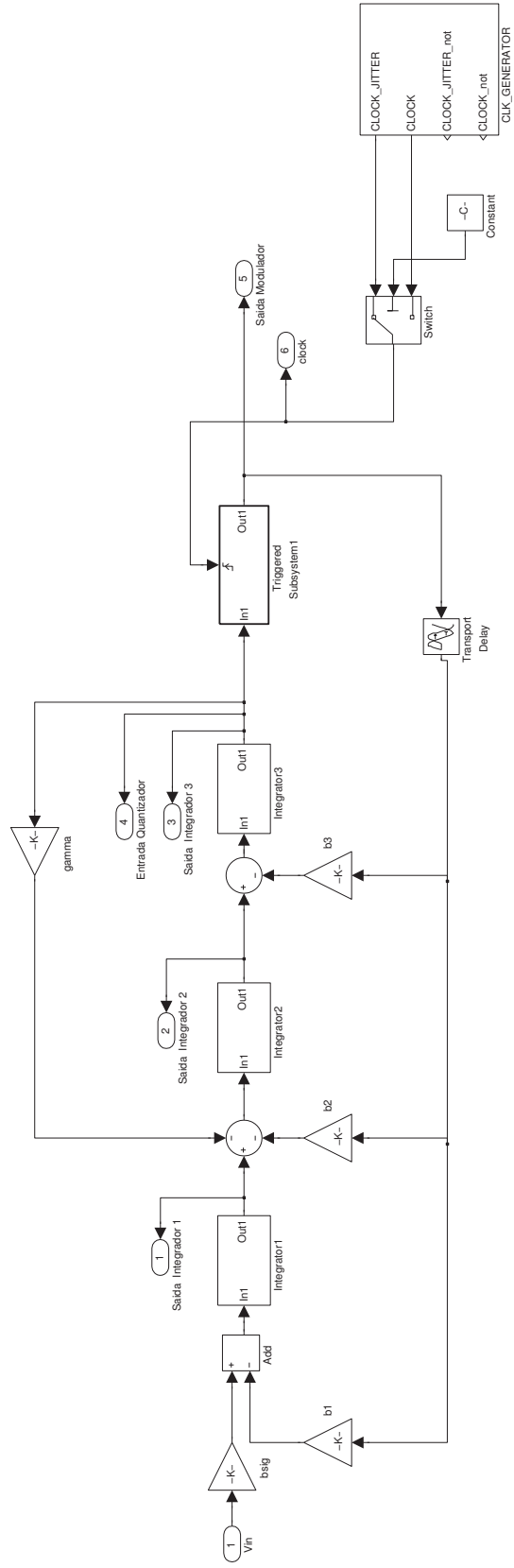


Figura 80: Modelo do SDM-CT CIFB com DAC NRZ no Matlab/Simulink®.

**A.0.7 SDM-CT CIFB com DAC SCR**

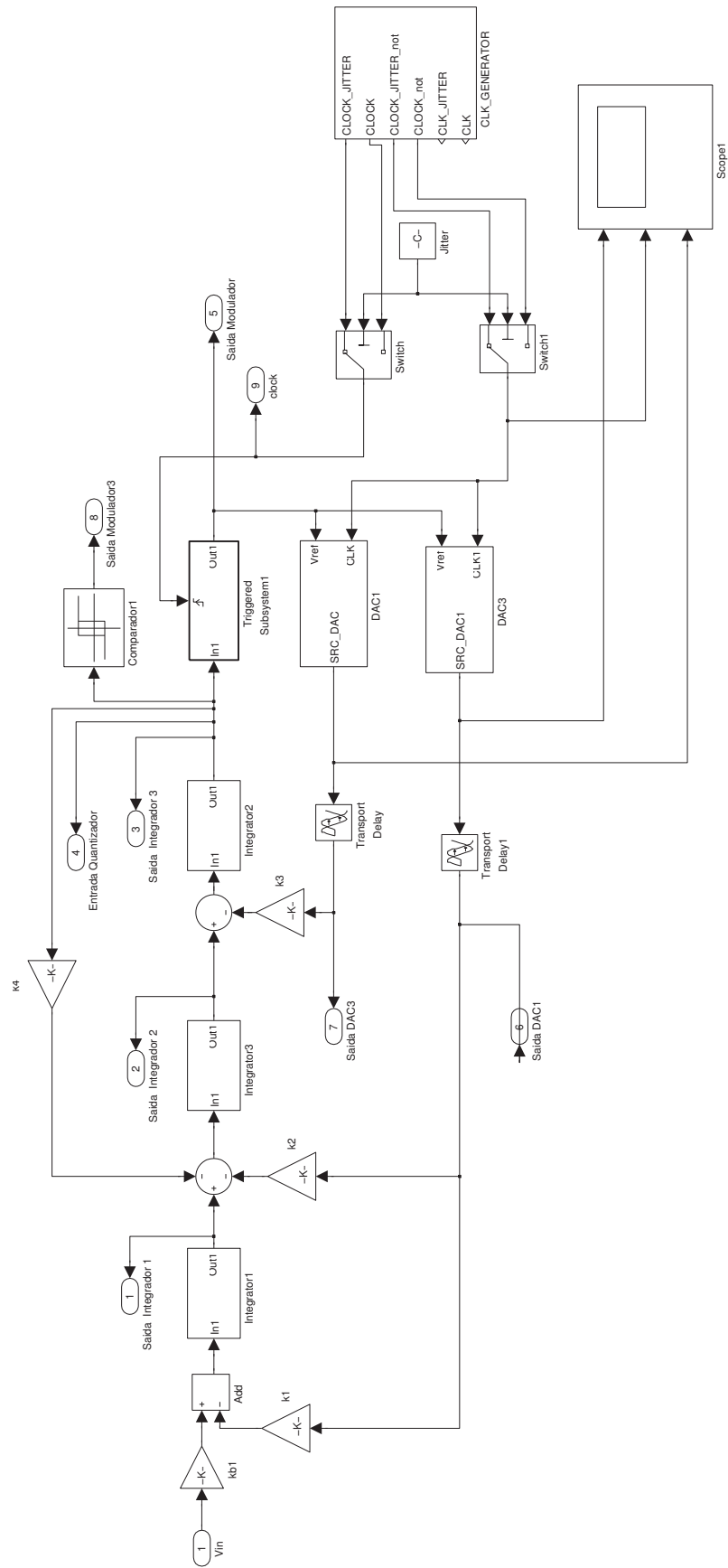


Figura 81: Modelo do SDM-CT CIFB com DAC SCR no Matlab/Simulink®.

# APÊNDICE B ESQUEMÁTICO DE TOPO DO SDM-CT

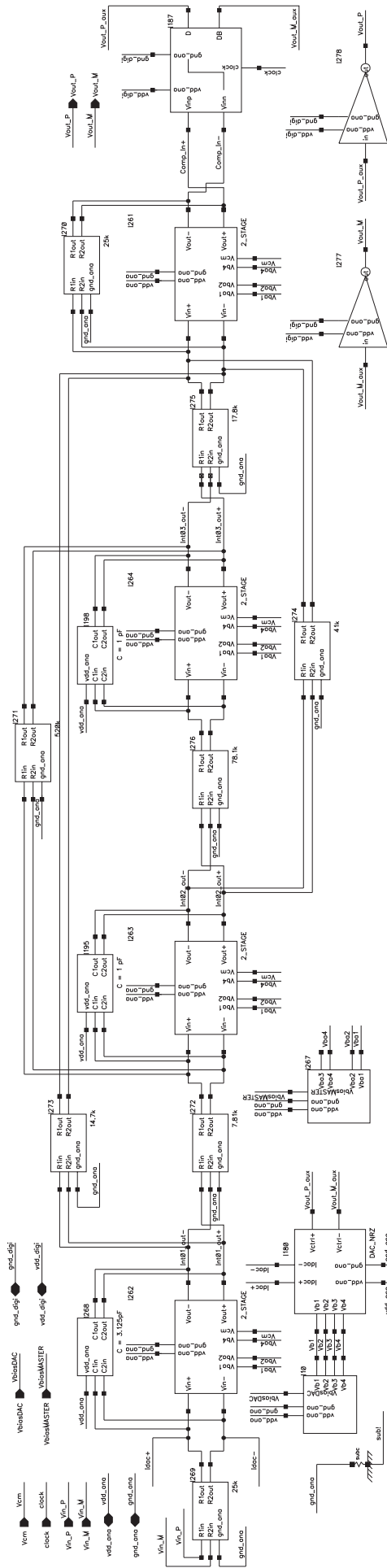


Figura 82: Esquemático de topo do modulador.

## APÊNDICE C LEIAUTE DOS CIRCUITOS

### C.0.8 Leiaute dos Resistores

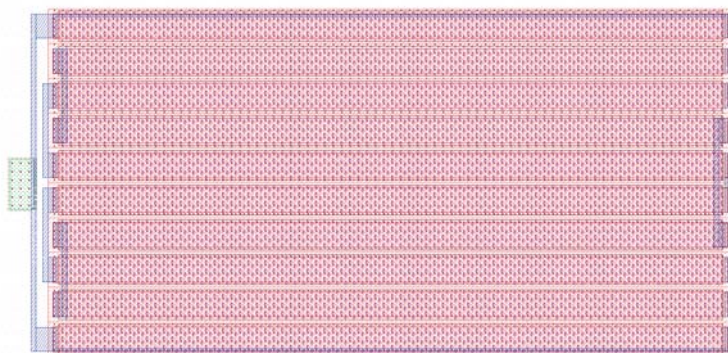


Figura 83: Leiaute de um par resistivo casado ( $520\text{ k}\Omega$ ).

### C.0.9 Leiaute dos Capacitores

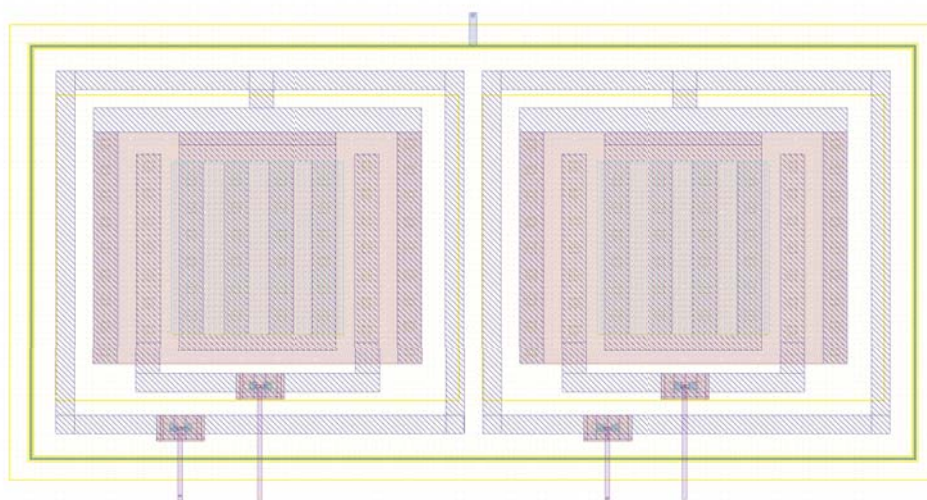


Figura 84: Leiaute de um par capacitivo casado ( $1\text{ pF}$ ).

### C.0.10 Leiaute dos Amplificadores

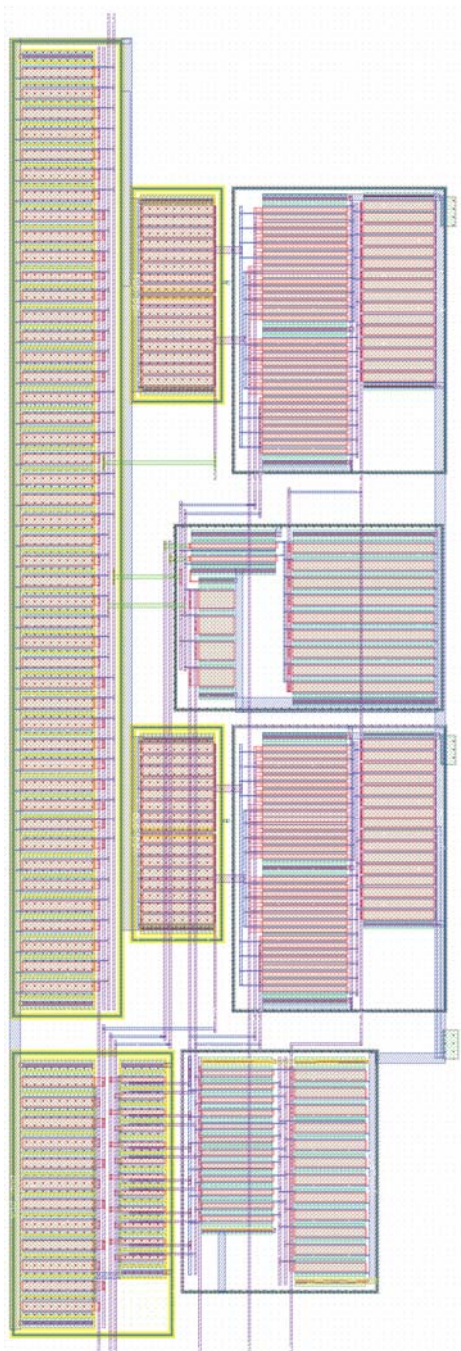


Figura 85: Leiaute do amplificador.



### C.0.11 Leiaute do Quantizador

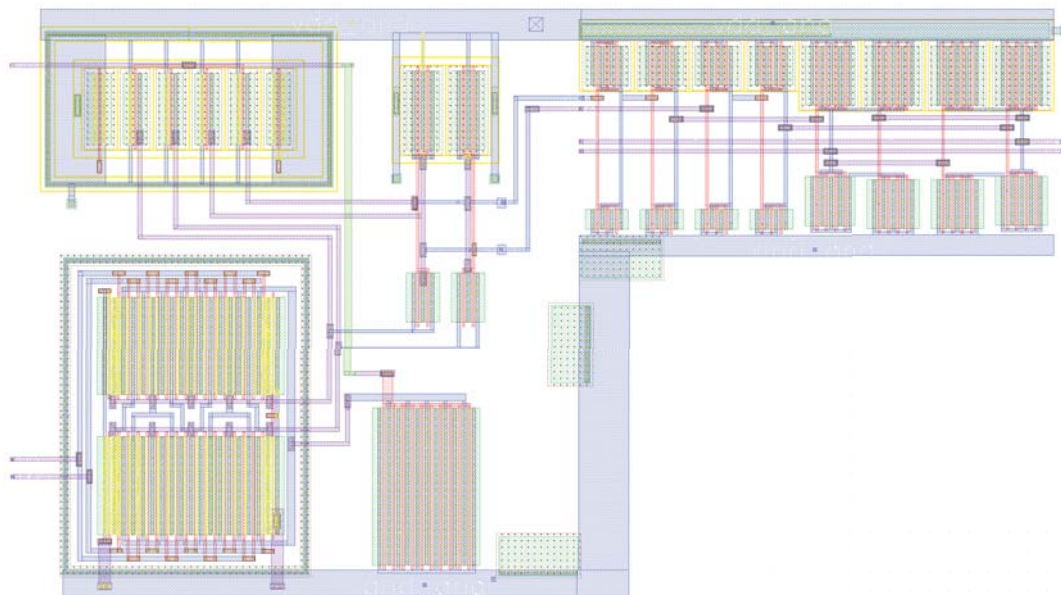


Figura 86: Leiaute do quantizador *single-bit*.

### C.0.12 Leiaute do DAC

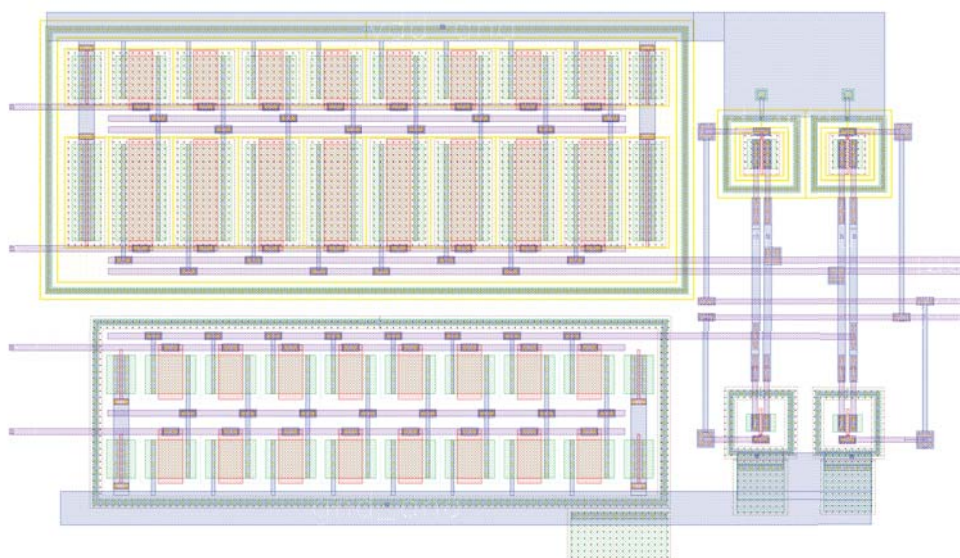


Figura 87: Leiaute do DAC.

### C.0.13 Leiaute do Circuito de Polarização do DAC



Figura 88: Leiaute do circuito de polarização do DAC.

### C.0.14 Leiaute do Circuito de Polarização Principal

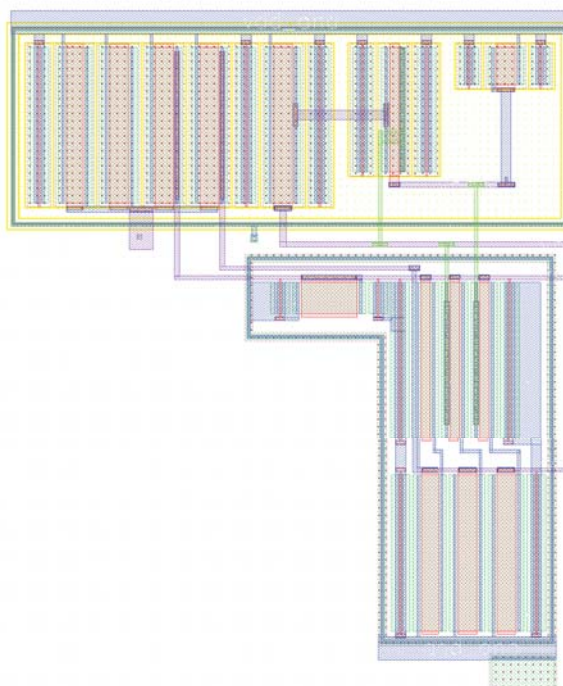


Figura 89: Leiaute do circuito de polarização principal.



### C.0.15 Leiaute Completo do Modulador

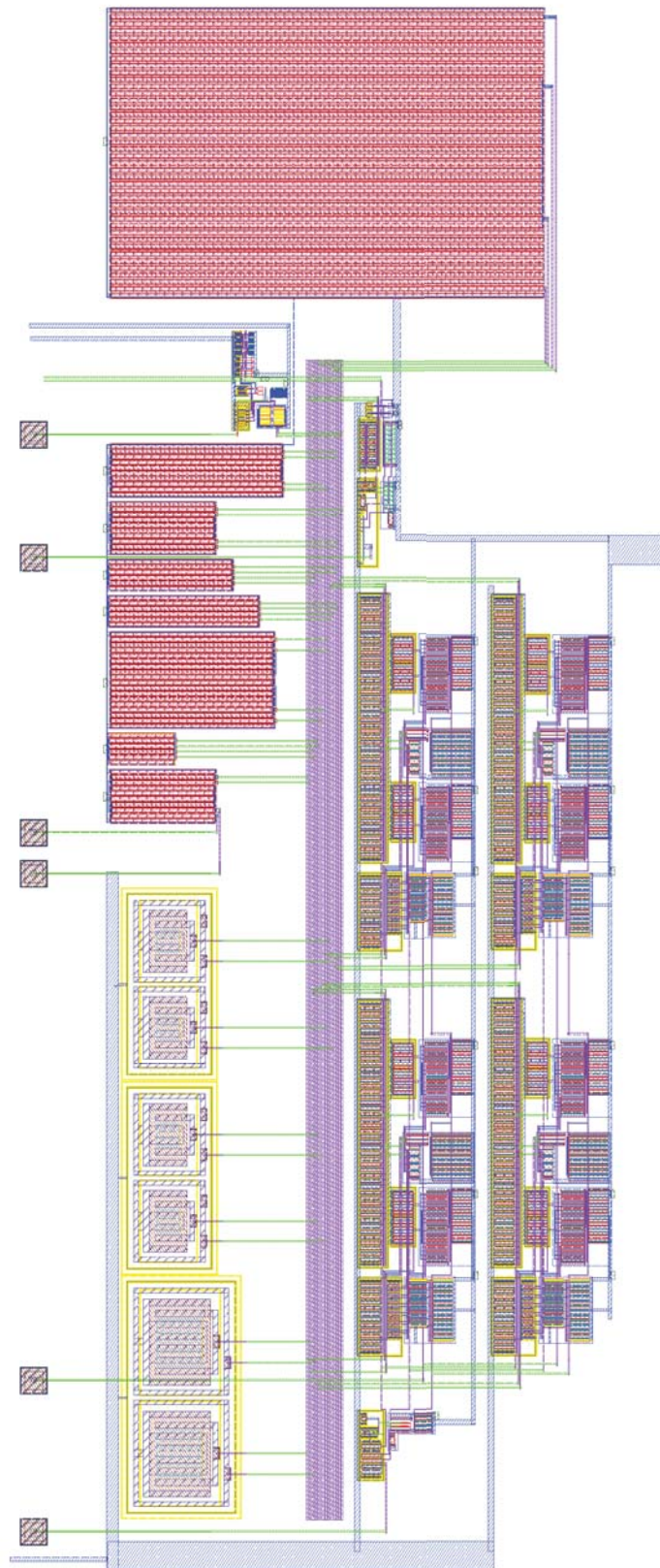


Figura 90: Leiaute completo do CT  $\Sigma\Delta M$ .

## APÊNDICE D ANÁLISE DA IMPEDÂNCIA DE ENTRADA DE UM INTEGRADOR RC-ATIVO

### D.0.16 Análise da Impedância de Entrada de um Integrador RC-Ativo

Esta análise tem o objetivo de encontrar a impedância de entrada equivalente de um integrador RC-ativo. Dentro da largura de banda do amplificador, este pode ser modelado como uma fonte de tensão controlada por tensão (VCVS) com ganho  $A$  (onde  $A$  é o ganho DC, por exemplo  $A=10.000 \text{ V/V} = 80 \text{ dB}$ ). Para simplificar a análise será considerado um integrador RC-ativo *single-ended*, mostrado na Figura 91.

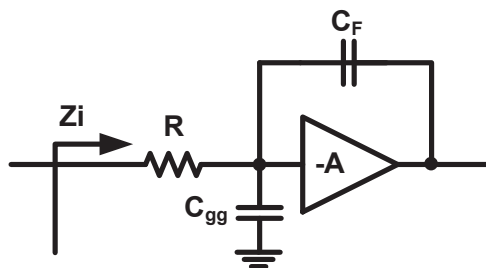


Figura 91: Integrador RC-ativo.

Onde  $R = 1 \text{ k}\Omega$ ,  $C_F = 1 \text{ pF}$  e  $C_{gg} = C_{gs} + C_{gd} + C_{gb}$  é a capacitância de gate do transistor de entrada.  $C_{gs}$  é da ordem de poucos fF (femto-farads) e pode ser ignorada para simplificação. Note que  $C_F$  sofre multiplicação Miller (ALLEN; HOLBERG, 2002). Então, o circuito pode ser redesenhado como ilustra a Figura 92.

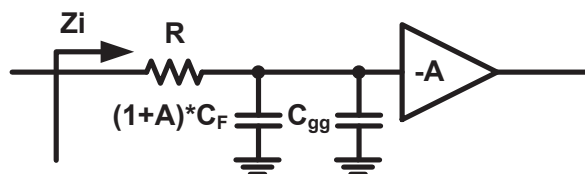


Figura 92: Integrador RC-ativo: Circuito equivalente após multiplicação Miller.

Uma vez que para valores típicos de  $R$ ,  $C_F$ ,  $C_{gg}$ , e  $A$  tem-se que  $(1 + A) \cdot C_F \gg C_{gg}$ , a combinação em paralelo dos dois capacitores é dominada por  $(1 + A) \cdot C_F$ . Por isso, pode-se simplificar o circuito como mostra a Figura 93.

Deste modo,  $Z_i$  é expressa por:

$$Z_i = R + \frac{1}{s \cdot (1 + A_o) \cdot C_F} = R - \frac{j}{\omega \cdot (1 + A_o \cdot C_F)} \quad (38)$$

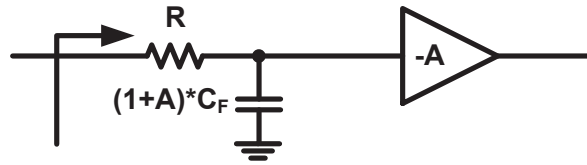


Figura 93: Integrador RC-ativo simplificado.

Pode-se encontrar o valor da frequência para qual  $R = \frac{1}{\omega \cdot (1+A) \cdot C_F}$ , ou seja, o termo imaginário é igual ao termo real. Este valor de frequência é expresso por:

$$f_c = \frac{1}{2 \cdot \pi \cdot (1 + A_o) \cdot R \cdot C_F} \quad (39)$$

Considere, por exemplo,  $R=1 \text{ k}\Omega$  e  $C=1 \text{ pF}$ :

$$f_c = \frac{1}{2 \cdot \pi \cdot (1 + 10^4 \cdot 10^3 \cdot 10^{-12})} = 15,9 \text{ kHz}. \quad (40)$$

Nota-se que a partir desta frequência, o módulo de  $Z_i$  é expresso por:

$$|Z_i| = 2^{0,5 \cdot R} \sim 1,4142 \cdot R \quad (41)$$

Então, para valores de frequência consideravelmente maiores que  $f_c = 1/(2 \cdot \pi \cdot (1 + A) \cdot R \cdot C_F) = 15,9 \text{ kHz}$  pode-se simplificar o circuito ainda mais, como mostra a Figura 94.

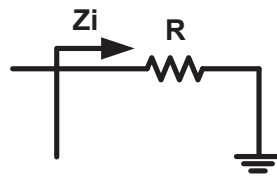


Figura 94: Integrador RC-ativo.

Deste modo,  $Z_i$  tende para  $R$  quando  $f$  tende ao infinito. Utilizando os valores numéricos dados como exemplo acima, pode-se dizer que:

- (i) Quando  $f = f_c$ ,  $Z_i \sim 1,4142R$
- (ii) Quando  $f \gg f_c$ ,  $Z_i \sim R$
- (iii) Quando  $f \ll f_c$ ,  $Z_i \sim -j/(\omega \cdot (1 + A) \cdot C_F)$ , ou seja, é uma impedância puramente capacitiva.

## APÊNDICE E HISTOGRAMAS DA SIMULAÇÃO DE MONTE CARLO DO AMPLIFICADOR

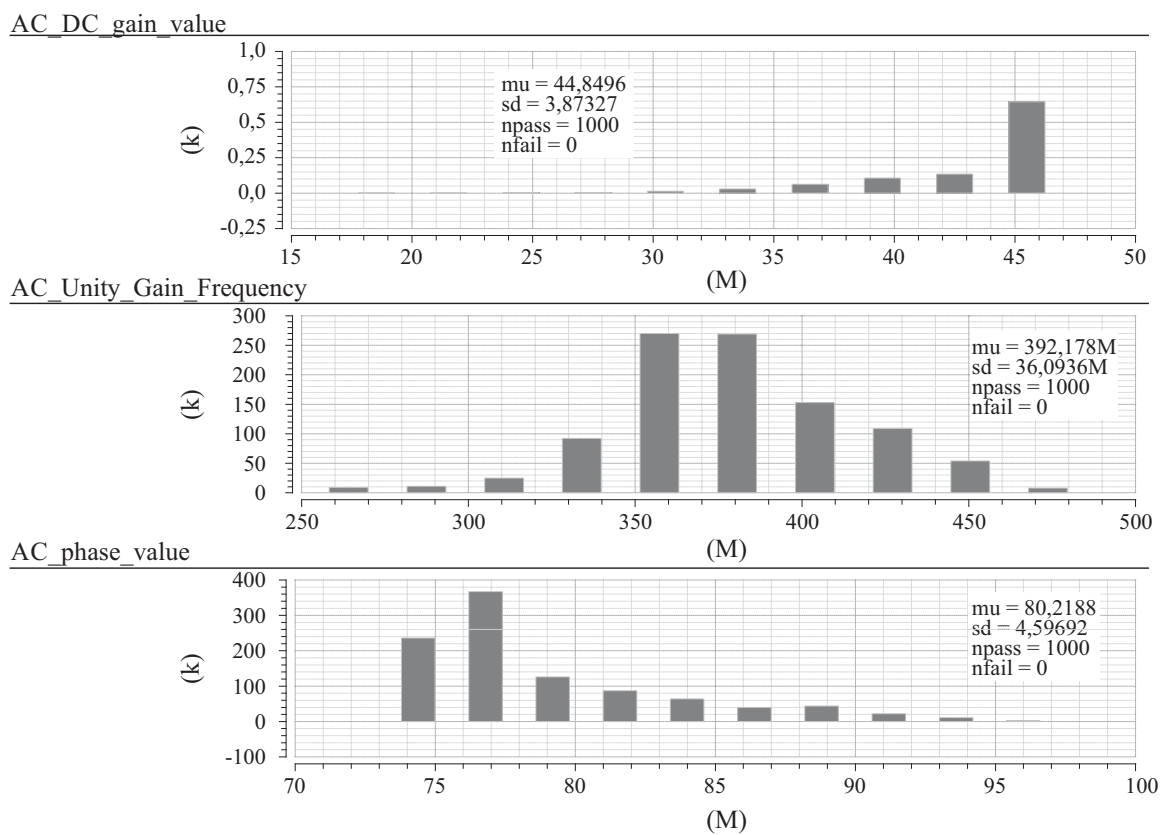


Figura 95: Simulação de Monte Carlo do amplificador operacional (1.000 amostras): Histogramas do ganho DC, frequência de ganho unitário e margem de fase.

## APÊNDICE F MICROFOTOGRAFIA DO CHIP PROTOTIPADO

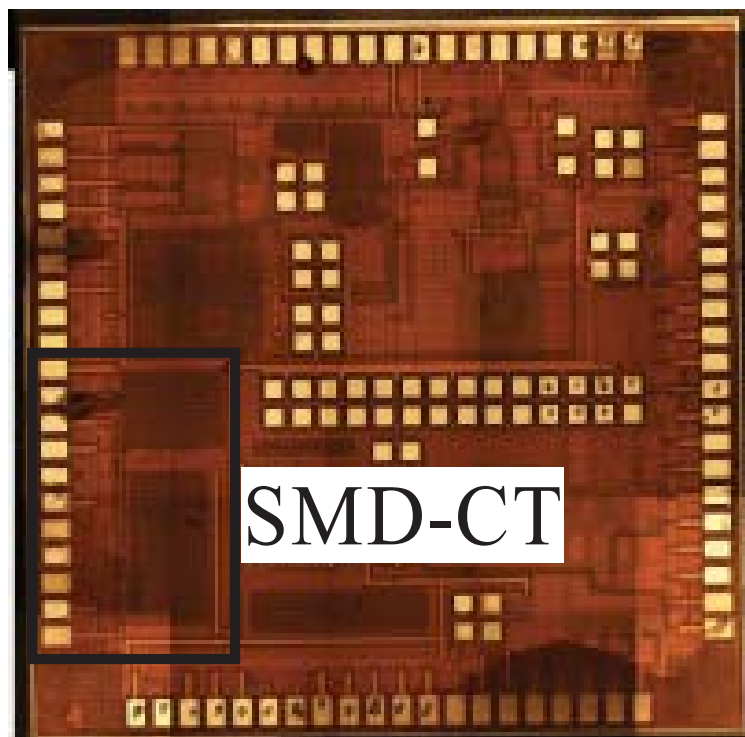


Figura 96: Microfotografia do chip projetado: Em destaque área e pinos ocupados pelo SDM-CT.

## ANEXO A FUNÇÕES DE TRANSFERÊNCIA - DACS

São apresentadas neste anexo as funções de transferências dos três principais tipos de DAC empregados no projeto de SDMs-CT. Dados referentes aos demais tipos de DAC podem ser verificados em (ORTAMANN; GERFERS, 2006).

### A.0.17 DAC RZ

#### A.0.17.1 Forma de onda

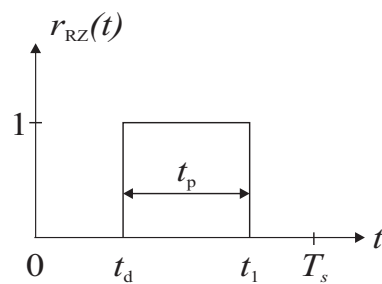


Figura 97: Forma de onda de um DAC RZ.

#### A.0.17.2 Função do domínio do tempo

$$r_{RZ}(t) = \begin{cases} 1, & t_d \leq t < t_1 \\ 0, & t_1 \leq t < t_d \end{cases} \quad (42)$$

#### A.0.17.3 Função de transferência

$$r_{RZ}(s) = \frac{e^{-st_d} \times (1 - e^{-st_p})}{s} \quad (43)$$

### A.0.18 DAC NRZ

#### A.0.18.1 Forma de onda

#### A.0.18.2 Função do domínio do tempo

$$r_{NRZ}(t) = \begin{cases} 1, & 0 \leq t < T_s \\ 0, & T_s \leq t < 0 \end{cases} \quad (44)$$

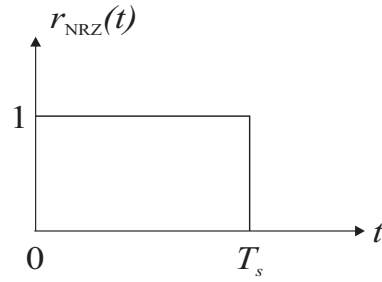


Figura 98: Forma de onda de um DAC NRZ.

### A.0.18.3 Função de transferência

$$r_{NRZ}(s) = \frac{1 - e^{-sT_s}}{s} \quad (45)$$

## A.0.19 DAC SCR

### A.0.19.1 Forma de onda

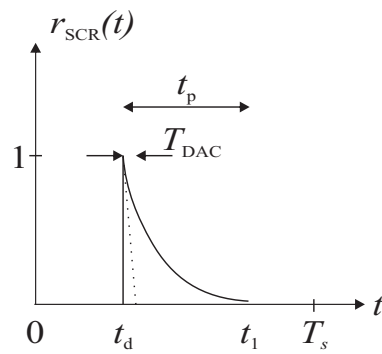


Figura 99: Forma de onda de um DAC SCR.

### A.0.19.2 Função do domínio do tempo

$$r_{SCR}(t) = \begin{cases} e^{-(t-t_d)/\tau_{DAC}}, & t_d \leq t < t_1 \\ 0, & t_1 \leq t < t_d \end{cases} \quad (46)$$

### A.0.19.3 Função de transferência

$$r_{SCR}(s) = \frac{e^{-st_d} \times (1 - e^{-t_p(s + \frac{1}{\tau_{DAC}})})}{s + \frac{1}{\tau_{DAC}}} \quad (47)$$