

Em diversas aplicações de sistemas microprocessados, a multiplicação se apresenta como uma operação crítica que deve ser realizada um grande número de vezes, sendo assim um fator determinante na velocidade de execução da tarefa. A utilização de hardware dedicado à multiplicação nestes sistemas pode liberar o microprocessador para outras tarefas, aumentando em muito o seu desempenho. Neste trabalho procuramos desenvolver um multiplicador rápido em FPGA, por ser esta uma tecnologia que possibilita grande facilidade de desenvolvimento e teste, além de apresentar baixo custo de prototipação. Após analisar diversas possibilidades de implementação (Wallace tree, FSM, etc.), optamos por uma configuração paralela do algoritmo de Booth, por apresentar melhor velocidade de operação e pequena utilização de células lógicas. Utilizamos inicialmente uma descrição dos blocos componentes em alto nível (AHDL), passando a partir daí a buscar um melhor aproveitamento das células lógicas, através da modificação dos blocos componentes, inclusão de diretivas de compilação e modificação do estilo de síntese. Obtivemos como resultado final duas configurações interessantes. Uma utilizando 127 células lógicas do dispositivo EPM5128, e apresentando um tempo de multiplicação máximo de 369ns, e a outra utilizando 136 células lógicas do EPM7160, e apresentando um tempo máximo de multiplicação de 134ns. (CNPq, FAPERGS)