



<b>Evento</b>	Salão UFRGS 2014: SIC - XXVI SALÃO DE INICIAÇÃO CIENTÍFICA DA UFRGS
<b>Ano</b>	2014
<b>Local</b>	Porto Alegre
<b>Título</b>	Desenvolvimento de Técnica Híbrida para a Detecção de Erros em Processadores de Arquitetura Mips
<b>Autor</b>	GENNARO SEVERINO RODRIGUES
<b>Orientador</b>	FERNANDA GUSMAO DE LIMA KASTENSMIDT

O trabalho desenvolvido tem como objetivo detectar erros em processadores através da inserção de técnicas de tolerância à falhas no software a ser protegido.

Quando expostos à radiação, circuitos integrados podem apresentar erros no funcionamento devido falhas transientes que ocorrem dada a interação de partículas energizadas e transistores. Os processadores são altamente utilizados em aplicações aeroespaciais e em aplicações terrestres que exijam alta confiabilidade e necessitam ser tolerantes a esses erros.

Como solução para este perigoso problema, desenvolvemos uma ferramenta de tolerância à falhas, que aplica a técnica HETA (Hybrid Error-Detection Technique Using Assertions) desenvolvida no grupo de pesquisa. A técnica consiste em atribuir assinaturas à blocos básicos ,isto é, conjuntos de instruções que são sempre executadas em sequência. Analisamos as relações entre estes blocos e atribuímos as assinaturas de forma a explicitarem suas relações (ou falta de relação) de maneira matemática. Desta forma somos capazes de analisar em tempo real qualquer desvio inválido na ordem de execução dos blocos básicos do programa pelo processador .

A técnica foi implementada em Java e consiste na análise do programa e inserção da técnica HETA diretamente em seu código. Geramos assim uma nova versão do programa com a mesma funcionalidade do original, porém protegida. A técnica também faz uso de um hardware auxiliar (conhecido como *watchdog*) que ajuda a identificar os erros que afetam o processador.