

GERAÇÃO DE REDES LÓGICAS "READ-ONCE" E "SÉRIE-PARALELO"

Lucas Carraro e Renato Perez Ribas

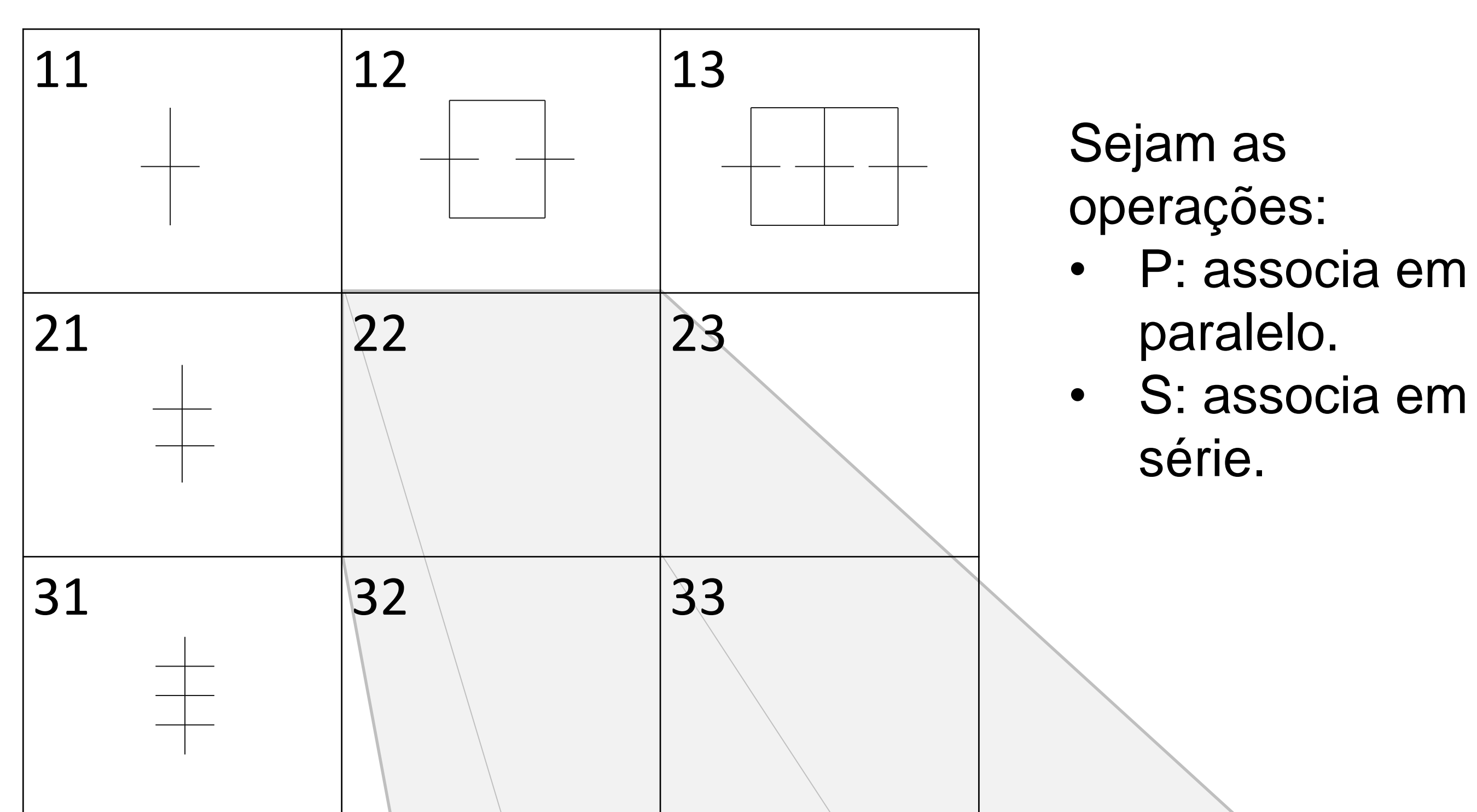
UFRGS, Porto Alegre, Brasil
{lcarraro, rpribas}@inf.ufrgs.br

INTRODUÇÃO

Na síntese lógica presente no fluxo de projeto de circuitos integrados digitais, o processo conhecido como mapeamento tecnológico é fundamental. O objetivo desta etapa é a construção dos blocos lógicos produzidos a partir de bibliotecas de células, que serão usadas nos algoritmos de otimização do desempenho do circuito final. A qualidade destas células impacta diretamente na eficiência destes algoritmos.

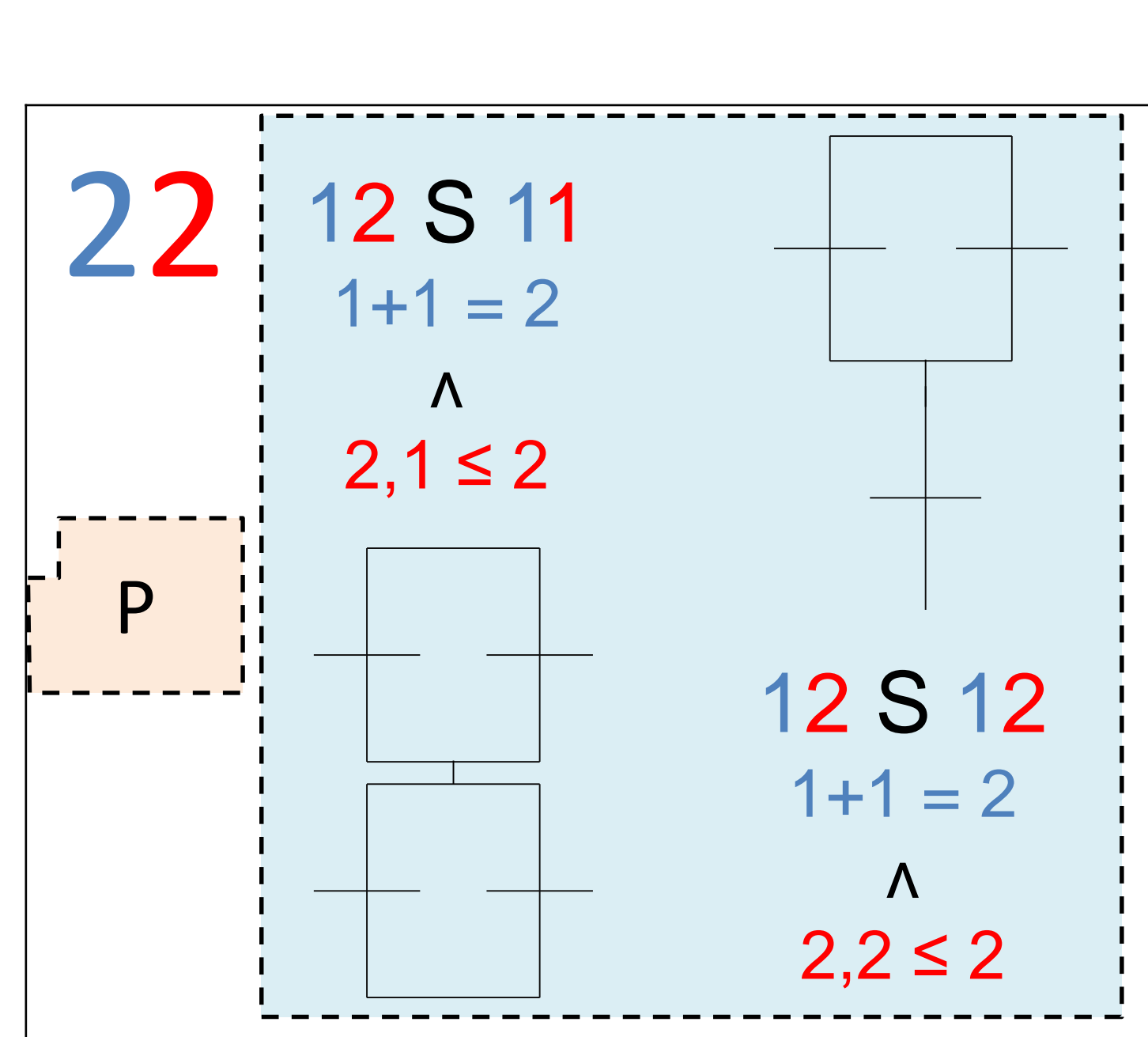
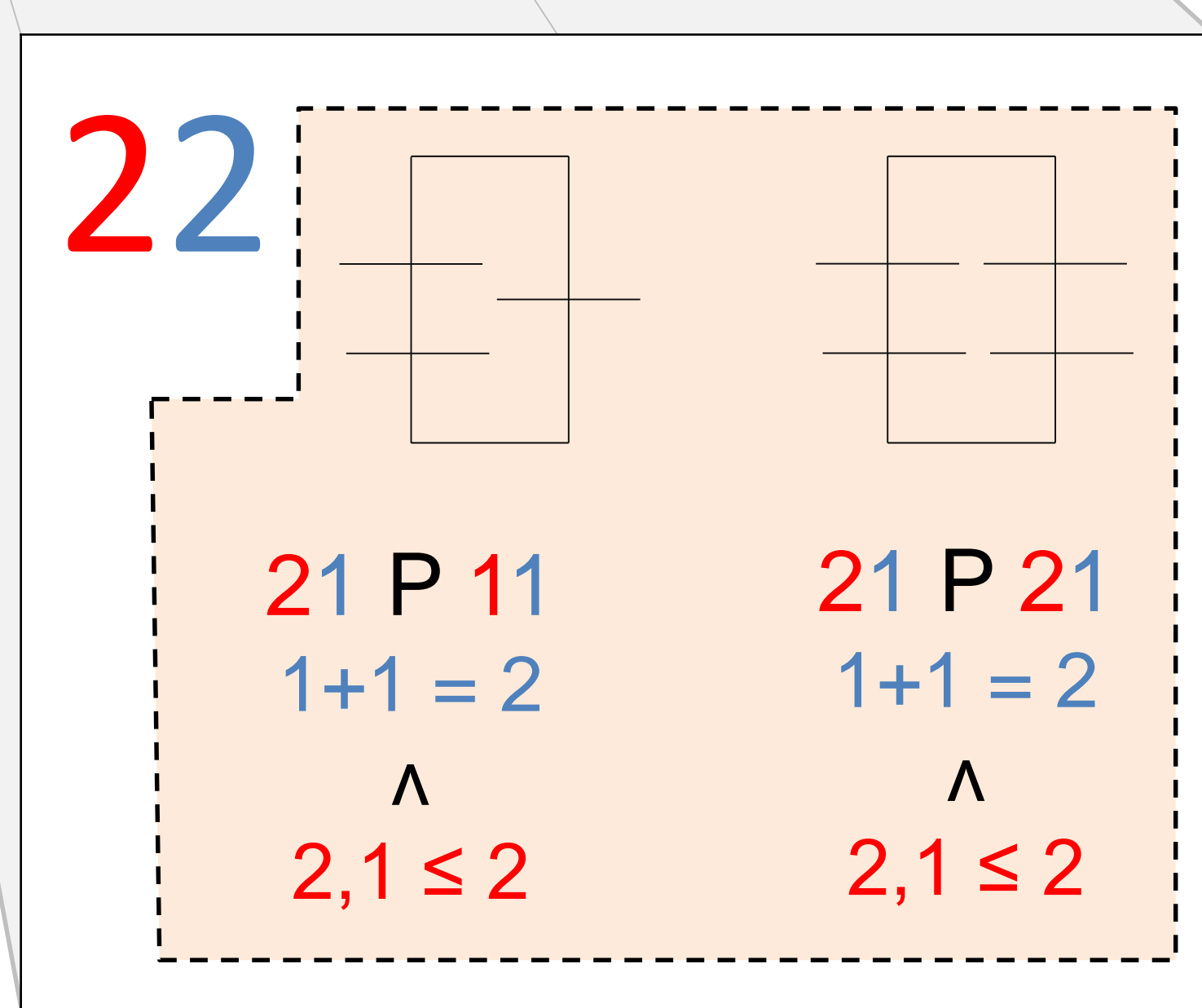
A proposta aqui é encontrar uma forma de gerar expressões booleanas read-once (expressões onde não há repetição de variáveis) e série-paralelo (compostas por operadores AND e OR).

PROCEDIMENTO



Sejam as operações:

- P: associa em paralelo.
- S: associa em série.



A simples execução desta técnica produzirá, de fato, todas as redes esperadas. Contudo, neste procedimento acabaremos encontrando várias combinações repetidas nas células da matriz. Estas repetições são identificadas e eliminadas com o auxílio do algoritmo de análise de isomorfismo de grafos descrito no artigo [1].

Os métodos aqui apresentados são apenas um exemplo para o caso de todas as redes com até 3 séries e 3 paralelos. Entretanto, o algoritmo teoricamente pode ser expandido para qualquer conjunto, tomados os devidos tempos de execução que serão amostrados mais adiante.

Considerando que $C[S,P]$ é o conjunto de todas as redes série-paralelo read-once de no máximo S associações em série e P associações em paralelo, obtivemos os seguintes números de redes em cada C:

S \ P	1	2	3	4	5
1	1	2	3	4	5
2	2	7	18	42	90
3	3	18	87	396	1677
4	4	42	396	3503	28435
5	5	90	1677	28435	425803

Os resultados aqui obtidos conferem com os citados no artigo [2] e cada conjunto foi gerado em tempos de execução conforme a tabela a seguir:

S \ P	1	2	3	4	5
1	1ms	2ms	1ms	2ms	2ms
2	1ms	2ms	6ms	18ms	19ms
3	1ms	5ms	26ms	19ms	61ms
4	1ms	14ms	23ms	42ms	357ms
5	1ms	18ms	47ms	396ms	6523ms

CONCLUSÃO

Essa metodologia é um recurso que permitiu a implementação de um gerador de conjuntos conforme a especificação do usuário. Esta é uma ferramenta que está sendo incorporada a programas em desenvolvimento no logiCS lab para ser disponibilizada em breve.

REFERÊNCIAS

- [1] H. I. Scoins, Placing Trees in Lexicographic Order, Machine Intelligence, vol. 3, pp. 43-60;
- [2] E. Detjens, G. Gannot, R. Rudell, A. Sangiovanni-Vicentelli and A. Wang, *Technology Mapping in MIS*, Proceedings of the ICCAD, pp. 116-119, November 1987.

FLUXO

