

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL
INSTITUTO DE INFORMÁTICA
PROGRAMA DE PÓS-GRADUAÇÃO EM MICROELETRÔNICA

ALESSANDRO GONÇALVES GIRARDI

**Automação do Projeto de Módulos CMOS
Analógicos Usando Associações
Trapezoidais de Transistores**

Tese apresentada como requisito parcial
para a obtenção do grau de
Doutor em Microeletrônica

Prof. Dr. Sergio Bampi
Orientador

Porto Alegre, março de 2007

CIP – CATALOGAÇÃO NA PUBLICAÇÃO

Girardi, Alessandro Gonçalves

Automação do Projeto de Módulos CMOS Analógicos Usando Associações Trapezoidais de Transistores / Alessandro Gonçalves Girardi. – Porto Alegre: PGMICRO da UFRGS, 2007.

166 f.: il.

Tese (doutorado) – Universidade Federal do Rio Grande do Sul. Programa de Pós-Graduação em Microeletrônica, Porto Alegre, BR-RS, 2007. Orientador: Sergio Bampi.

1. Projeto analógico. 2. Associações de transistores. 3. Ferramenta de CAD. 4. MOSFET. 5. Transistor trapezoidal. I. Bampi, Sergio. II. Título.

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL

Reitor: Prof. José Carlos Ferraz Hennemann

Vice-Reitor: Prof. Pedro Cezar Dutra Fonseca

Pró-Reitora de Pós-Graduação: Prof^a. Valquíria Linck Bassani

Diretor do Instituto de Informática: Prof. Flávio R. Wagner

Coordenador do PGMICRO: Prof. Sergio Bampi

Bibliotecária-chefe do Instituto de Informática: Beatriz Regina Bastos Haro

*“A melhor maneira de ter uma boa idéia
é ter muitas idéias.”*
— LINUS PAULING

SUMÁRIO

LISTA DE ABREVIATURAS E SIGLAS	9
LISTA DE FIGURAS	11
LISTA DE TABELAS	15
RESUMO	17
ABSTRACT	19
1 INTRODUÇÃO	21
1.1 Motivação	23
1.2 Objetivos	24
1.3 Organização do Texto	25
2 MODELAGEM DA ASSOCIAÇÃO DE TRANSISTORES	27
2.1 O Transistor em Formato T	27
2.2 Modelagem dos TSTs	29
2.2.1 Corrente de Dreno	29
2.2.2 Tensão de Saturação	35
2.2.3 Linearidade	38
2.2.4 Análise de Pequenos Sinais	40
2.2.5 Análise em Médias Frequências	43
2.3 Resultados Experimentais	47
2.4 Conclusão	56
3 METODOLOGIA DE PROJETO USANDO TSTS	59
3.1 Estimativa da Associação Equivalente	59
3.1.1 Equivalência em corrente com tensão fixa	61
3.1.2 Equivalência em corrente com tensão variável	64
3.2 Exemplos de Projetos de Blocos Analógicos Utilizando TSTs	68
3.2.1 Exemplo de projeto 1: amplificador Miller	68
3.2.2 Exemplo de projeto 2: comparador <i>Track-and-Latch</i>	74
3.3 Conclusão	77
4 DFM E ESTRATÉGIAS DE LAYOUT ANALÓGICO	79
4.1 <i>Design for Manufacturability</i> para circuitos analógicos	79
4.1.1 Fatores inibidores da produtividade e técnicas de DFM	82
4.2 Casamento de transistores MOS	87

4.3	Efeitos geométricos	88
4.3.1	Área de <i>gate</i>	88
4.3.2	Espessura do óxido de <i>gate</i>	89
4.3.3	Modulação do comprimento de canal	90
4.3.4	Orientação	90
4.4	Efeitos de difusão e corrosão	91
4.4.1	Variações na taxa de corrosão do polisilício	91
4.4.2	Contatos sobre área de <i>gate</i> ativa	92
4.4.3	Difusões perto do canal	92
4.4.4	Contatos sobre difusão	93
4.4.5	PMOS versus NMOS	93
4.5	Efeitos térmicos e mecânicos	93
4.5.1	Gradientes de espessura do óxido	93
4.5.2	Gradientes de tensão mecânica	94
4.5.3	Tensão mecânica induzida pela metalização	94
4.5.4	Gradientes térmicos	95
4.6	Layout em centróide comum de transistores MOS	95
4.6.1	Regras para o casamento de transistores MOS	99
4.7	Considerações Sobre o Layout dos TSTs	103
4.8	Conclusão	105
5	MÉTODO DE OTIMIZAÇÃO DA GEOMETRIA DE TRANSISTORES MOS EM AMPLIFICADORES	107
5.1	O Algoritmo <i>Simulated Annealing</i>	108
5.2	A Metodologia de Projeto gm/I_D	110
5.3	Metodologia de Dimensionamento Automático de Amplificadores	113
5.4	Exemplo de projeto automático - Amplificador Miller	116
5.4.1	Comparação com a metodologia <i>fuzzy</i>	119
5.5	Exemplo de projeto automático - Amplificador <i>Folded Cascode</i>	120
5.5.1	Comparação com metodologia de projeto manual	122
5.6	Conclusão	124
6	CONCLUSÃO	125
6.1	Trabalhos Futuros	126
	REFERÊNCIAS	129
	APÊNDICE A RESULTADOS EXPERIMENTAIS DE MEDIDAS I-V	135
A.1	Comparação entre TSTs com mesma relação de aspecto equivalente	135
A.2	Efeito da redução das dimensões W e L de MS	140
A.3	Efeitos da variação de ND e NS	145
	APÊNDICE B LIT: FERRAMENTA DE AUTOMAÇÃO DO PROJETO ANALÓGICO	149
B.1	LIT-S: Dimensionamento dos transistores	151
B.2	LIT-T: Cálculo do TST equivalente	151
B.3	LIT-L: Geração do <i>layout</i> de blocos analógicos básicos	153
B.4	LIT-P: Posicionamento das células	156
B.5	LIT-R: Roteamento entre células	158
B.6	Outras funções	158

APÊNDICE C	LIT-S: CÓDIGO MATLAB	161
-------------------	-----------------------------	--------------	------------

LISTA DE ABREVIATURAS E SIGLAS

ASIC	Application-Specific Integrated Circuit
CAD	Computer-Aided Design
CD	Critical Dimension
CIF	Caltech Intermediate Format
CMOS	Complementar Metal Oxide Semiconductor
DC	Direct Current
DFM	Design for Manufacturability
DIBL	Drain-Induced Barrier Lowering
GBW	Gain-Bandwidth product
ICMR	Input Common-Mode Ratio
IIP_3	Third-Order Input Intercept Point
IMD_3	Intermodulação de 3ª ordem
LNA	Low-Noise Amplifier
MF	Margem de Fase
MOSFET	Metal-Oxide-Semiconductor Field-Effect Transistor
NMOS	Transistor MOSFET tipo N
OAI	Off-Axis Illumination
OPC	Optical Proximity Correction
PMOS	Transistor MOSFET tipo P
PSM	Phase Shift Modulation
PSRR	Power-Supply Rejection Ratio
RAM	Random-Access Memory
RET	Resolution Enhancement Techniques
RF	Rádio-Frequência
SA	Simulated Annealing
SR	Slew-Rate

SRAF	Sub-Resolution Assist Feature
TAT	Trapezoidal Association of Transistors
TST	T-Shaped Transistor
VLSI	Very-Large Scale of Integration

LISTA DE FIGURAS

Figura 1.1:	Módulos da ferramenta LIT abrangendo todo o fluxo de projeto analógico.	25
Figura 2.1:	Esquemático do transistor composto tipo T.	28
Figura 2.2:	Uma associação retangular e duas associações tipo T com o mesmo W/L equivalente.	29
Figura 2.3:	Relação $I_D \times V_D$ mostrando as aproximações realizadas para o cálculo da corrente de dreno utilizando o modelo ACM.	33
Figura 2.4:	Exemplo da utilização do método da bisseção para a estimativa da corrente de dreno em um TST PMOS.	34
Figura 2.5:	Simulação elétrica de $V_X \times V_G$ para V_D fixo, associação tipo NMOS, $W_{MD} = 10\mu m$, $L_{MD} = 1\mu m$, $W_{MS} = 4\mu m$, $L_{MS} = 1\mu m$	36
Figura 2.6:	Simulação elétrica de $V_X \times V_D$ para diferentes valores de V_G de duas associação tipo NMOS, $L_{MD} = 1\mu m$, $W_{MS} = 4\mu m$, $L_{MS} = 1\mu m$	36
Figura 2.7:	Simulação de $I_D \times V_D$ para um TST canal longo	37
Figura 2.8:	Esquemático de 4 versões diferentes de um espelho de corrente.	38
Figura 2.9:	Simulação elétrica de 4 versões de um espelho de corrente	39
Figura 2.10:	Esquemático de um amplificador de baixo ruído (LNA) com a substituição de M1 por um TST equivalente.	41
Figura 2.11:	Simulação elétrica do IIP_3 para o LNA da fig 2.10, versão com transistor simples.	41
Figura 2.12:	Simulação elétrica do IIP_3 para o LNA da fig 2.10, versão com TST.	42
Figura 2.13:	Modelo de pequenos sinais do transistor tipo T para baixas frequências.	43
Figura 2.14:	Simulação elétrica da transcondutância equivalente gm_{TST} de um transistor tipo T e das transcondutâncias unitárias gm_{MD} e gm_{MS} . $(W/L)_{MD} = 10\mu m/1\mu m$, $(W/L)_{MS} = 4\mu m/1\mu m$	44
Figura 2.15:	Modelo de pequenos sinais do transistor tipo T para cálculo da impedância de saída equivalente.	44
Figura 2.16:	Simulação elétrica da condutância de saída equivalente gds_{TST} de um transistor tipo T e das condutâncias unitárias gds_{MD} e gds_{MS} . $(W/L)_{MD} = 10\mu m/1\mu m$, $(W/L)_{MS} = 4\mu m/1\mu m$	45
Figura 2.17:	Esquemático da associação de transistores incluindo capacitâncias parasitas intrínsecas.	45
Figura 2.18:	Circuito equivalente de pequenos sinais da associação TST incluindo capacitâncias parasitas intrínsecas.	46
Figura 2.19:	<i>Layout</i> do chip prototipado.	47
Figura 2.20:	Micro-fotografia do chip prototipado em tecnologia AMS $0.35\mu m$	48

Figura 2.21:	Esquemáticos das associações TST C1 a C5	50
Figura 2.22:	Layout do transistor tipo T C6.	51
Figura 2.23:	Medidas elétricas das associações TST C1 a C6 NMOS em inversão forte, mais o transistor simples equivalente M_{16} ($W = 20\mu m$, $L = 1,8\mu m$).	51
Figura 2.24:	Medidas elétricas das associações TST C1 a C6 NMOS em saturação, mais o transistor simples equivalente M_{16} ($W = 20\mu m$, $L = 1,8\mu m$).	52
Figura 2.25:	Esquemáticos das associações C7 e C8.	52
Figura 2.26:	Medidas elétricas das associações TST C7 e C8 NMOS em inversão forte, mais o transistor simples equivalente M_{11} ($W = 10\mu m$, $L = 5\mu m$).	53
Figura 2.27:	Medidas elétricas para NS constante das associações TST A5, B1, B2, B3 e C1 NMOS, todas com $NS = 1$	54
Figura 2.28:	Medidas elétricas para ND constante das associações TST B3, B4 e B5 NMOS, todas com $ND = 10$	55
Figura 2.29:	Comparação entre medida e simulação elétrica da associação C1. Tecnologia AMS $0.35\mu m$, modelo ACM.	57
Figura 3.1:	Simulação elétrica da característica $I_D \times V_{DB}$ de um transistor simples e de um TST equivalente para diversos valores de V_{GB}	60
Figura 3.2:	Relação $I_D \times V_{DB}$ do transistor simples de referência e dois TSTs equivalentes em corrente (tab. 3.2) obtida por simulação elétrica.	63
Figura 3.3:	Relação $gm \times V_{GB}$ do transistor simples de referência e dois TSTs equivalentes em corrente (tab. 3.2) obtida por simulação elétrica.	63
Figura 3.4:	Relação $gds \times V_{DB}$ do transistor simples de referência e dois TSTs equivalentes em corrente (tab. 3.2) obtida por simulação elétrica.	64
Figura 3.5:	Relação $gm \times V_{GB}$ do transistor simples de referência e do TST7, equivalente em transcondutância de gate (tab. 3.3) obtida por simulação elétrica.	65
Figura 3.6:	Relação $I_D \times V_{DB}$ do transistor simples de referência e de dois TSTs equivalentes em W/L (tab. 3.4) obtida por simulação elétrica.	65
Figura 3.7:	Tela do ambiente de dimensionamento de TSTs equivalentes em corrente com polarização em tensão não fixa.	66
Figura 3.8:	Esquemáticos de um amplificador diferencial nas versões simples e TST.	67
Figura 3.9:	Layout de um amplificador diferencial nas versões simples e TST. Obs.: <i>body-tie</i> , poço e select não mostrados).	69
Figura 3.10:	Esquemático do amplificador de dois estágios tipo Miller.	70
Figura 3.11:	Microfotografia do amplificador Miller versão full-custom.	72
Figura 3.12:	Microfotografia do amplificador Miller versão TST.	72
Figura 3.13:	Resposta em frequência do amplificador Miller nas versões <i>full-custom</i> e TAT, medida em configuração de ganho unitário.	73
Figura 3.14:	Esquemático do comparador <i>track-and-latch</i>	74
Figura 3.15:	Resultados de medidas elétricas do comparador versão TST mostrando um sinal de entrada (V_{in}) e a resposta de saída (V_{o+} e V_{o-}).	76
Figura 3.16:	Resultados de medidas elétricas do comparador versão TST mostrando o comportamento da corrente I_{tail} em relação ao sinal de clock ϕ_{i1}	76

Figura 3.17:	Microfotografia do comparador versão TST.	77
Figura 4.1:	Ruptura do regime “WYSIWYG”.	80
Figura 4.2:	Diferença entre as dimensões da máscara desenhada e da camada impressa causada pelos efeitos do processo de litografia.	80
Figura 4.3:	Exemplo de <i>layout</i> no qual foi aplicado OPC, mostrando a inserção de <i>serifs</i> e <i>hammerheads</i> na máscara e o resultado final impresso no <i>wafer</i>	84
Figura 4.4:	Litografia <i>off-axis</i> (OAI), na qual a fase da onda incidente é deslocada em 180° na região à esquerda do eixo óptico.	84
Figura 4.5:	Exemplos de problemas na inserção de SRAFs no <i>layout</i> original.	85
Figura 4.6:	Resultados de litografia produzidos por uma máscara convencional e uma máscara com deslocamento de fase.	85
Figura 4.7:	Restrições de <i>layout</i> para atender a técnica de PSM.	86
Figura 4.8:	Larguras e comprimentos de <i>gate</i> efetivos e desenhados.	90
Figura 4.9:	Arranjos de transistores MOS.	92
Figura 4.10:	Arranjo de transistores interdigitados.	96
Figura 4.11:	Deslocamentos laterais das regiões de dreno e fonte de um transistor devido ao implante inclinado.	97
Figura 4.12:	Arranjo de transistores em par cruzado	99
Figura 4.13:	Posicionamento de dispositivos casados simetricamente em relação a um dispositivo emissor de calor.	104
Figura 4.14:	Estilos de <i>layout</i> das associações trapezoidais tipo T.	105
Figura 4.15:	Exemplo de matriz de transistores sobre a qual podem ser implementados tanto circuitos digitais quanto circuitos analógicos usando TSTs.	106
Figura 5.1:	Fluxograma genérico do algoritmo <i>Simulated Annealing</i>	110
Figura 5.2:	Curva gm/I_D versus I_C para a tecnologia AMS 0,35 μm obtida a partir das equações analíticas do modelo EKV.	112
Figura 5.3:	Curva gm/I_D versus I_{\square} NMOS para a tecnologia AMS 0.35 μm obtida através de medidas elétricas em um transistor de teste e a partir de simulação elétrica usando o modelo ACM.	113
Figura 5.4:	Fluxo de síntese automática de circuitos analógicos da ferramenta LIT-S usando <i>simulated annealing</i> e a metodologia gm/I_D	115
Figura 5.5:	Tela principal da ferramenta LIT-S, desenvolvida em Matlab.	116
Figura 5.6:	Módulos do fluxo de síntese automática.	117
Figura 5.7:	Evolução das funções custo e probabilidade na síntese do amplificador Miller.	119
Figura 5.8:	Esquemático do amplificador operacional <i>folded-cascode</i>	122

LISTA DE TABELAS

Tabela 2.1:	Resultados de simulação elétrica do amplificador LNA da fig. 2.10 nas versões simples ($(W/L)_{M1} = 442\mu m/1\mu m$) e TST ($W_{MD} = 442\mu m$, $L_{MD} = 0.35\mu m$, $W_{MS} = 238\mu m$, $L_{MS} = 0.35\mu m$).	40
Tabela 2.2:	Descrição dos blocos prototipados segundo numeração da fig. 2.19.	48
Tabela 2.3:	Lista de associações de transistores prototipadas em tecnologia AMS $0.35\mu m$ tipo NMOS.	49
Tabela 2.4:	Valores de ND e NS dos TSTs para comparação dos efeitos da variação destes parâmetros. Para todas as associações, $W_{un} = 4\mu m$ e $L_{un} = 0.3\mu m$	54
Tabela 3.1:	Transistor M_{ref} e valores de corrente de dreno e transcondutâncias no ponto de operação $V_{GB} = 1,65V$, $V_{DB} = 1,65V$, $V_{SB} = 0V$, simuladas com o modelo ACM.	62
Tabela 3.2:	Associações trapezoidais com diferença de menos de 1% na corrente de dreno em relação ao transistor simples M_{ref} no ponto de operação $V_{GB} = 1,65V$, $V_{DB} = 1,65V$, $V_{SB} = 0V$, simuladas com o modelo ACM. $W_{un} = 4\mu m$, $L_{un} = 0,3\mu m$	62
Tabela 3.3:	Associação trapezoidal com diferença de menos de 1% na transcondutância de gate em relação ao transistor simples M_{ref} no ponto de operação $V_{GB} = 1,65V$, $V_{DB} = 1,65V$, $V_{SB} = 0V$, simulada com o modelo ACM.	63
Tabela 3.4:	Associação trapezoidal com mesmo W/L em relação ao transistor simples M_{ref} , calculadas de acordo com a aproximação linear de 1ª ordem (equação 2.4).	64
Tabela 3.5:	Dimensões projetadas dos transistores do amplificador diferencial da fig. 3.8, versões simples e TST.	68
Tabela 3.6:	Resultados obtidos através de simulação elétrica das características do amplificador diferencial, versões simples e TST, para os modelos de simulação típico (CT), pior caso de potência (PCP) e pior caso de velocidade (PCV).	68
Tabela 3.7:	Dimensões dos transistores no projeto do amplificador Miller versão <i>full-custom</i>	71
Tabela 3.8:	Número de transistores unitários que compõem as associações de transistores no amplificador Miller versão TST ($(W/L)_{un(NMOS)} = 4\mu m/0,3\mu m$, $(W/L)_{un(PMOS)} = 7\mu m/0,3\mu m$).	71
Tabela 3.9:	Parâmetros de desempenho obtidos através de medidas elétricas de 5 amostras do amplificador Miller versões <i>full-custom</i> e TST.	74

Tabela 3.10:	Dimensões dos transistores do comparador - Versões <i>full-custom</i> e TST	75
Tabela 3.11:	Resultados medidos de desempenho do comparador versão TST prototipado.	77
Tabela 4.1:	Avanços na tecnologia de litografia óptica para fabricação de circuitos integrados (WONG, 2003).	81
Tabela 4.2:	Exemplos de padrões de interdigitação para arranjos de transistores .	98
Tabela 5.1:	Especificações e resultados de simulações para o amplificador de dois estágios.	117
Tabela 5.2:	Dimensões dos dispositivos do amplificador Miller obtidas pelo método de otimização	119
Tabela 5.3:	Especificações do projeto do amplificador Miller para comparação com o método baseado em lógica Fuzzy (SAHU; DUTTA, 2002). . .	120
Tabela 5.4:	Dimensões dos dispositivos do amplificador Miller obtidos pela metodologia proposta e comparação com os mesmos obtidos por (SAHU; DUTTA, 2002).	120
Tabela 5.5:	Resultados de simulação elétrica para o amplificador Miller projetado pela metodologia proposta e comparação com os mesmos obtidos por lógica Fuzy (SAHU; DUTTA, 2002).	121
Tabela 5.6:	Requisitos de <i>matching</i> a variáveis livres para a otimização do amplificador <i>folded-cascode</i>	121
Tabela 5.7:	Especificações e resultados simulados para o amplificador <i>folded-cascode</i>	123
Tabela 5.8:	Tamanhos dos transistores do amplificador <i>folded-cascode</i> obtidos através de síntese automática e síntese manual.	123

RESUMO

A metodologia de projeto semi-customizado usando associações trapezoidais de transistores (TATs) é especialmente viável para o projeto de circuitos integrados mistos analógico-digitais. Vários trabalhos foram desenvolvidos demonstrando exemplos de aplicações que geraram bons resultados utilizando esta metodologia. Entretanto, ficou evidente a falta de ferramentas de CAD apropriadas para automatizar o processo de síntese dos circuitos. Para preencher esta lacuna, foi desenvolvido o LIT, uma ferramenta de CAD especializada na geração do *layout* de células analógicas utilizando associações de transistores. O principal desafio da técnica de associações trapezoidais é a escolha adequada da associação equivalente ao transistor simples, de modo que os efeitos negativos da substituição deste transistor no desempenho do circuito sejam os menores possíveis. Podem existir diversas opções de associações equivalentes, e a escolha da mais adequada nem sempre é uma tarefa direta e intuitiva.

O objetivo deste trabalho é a criação de ferramentas de auxílio ao projeto de circuitos analógicos utilizando a técnica de associação série-paralela de transistores MOS (*Metal-Oxide-Semiconductor*), desde o dimensionamento do circuito até a descrição do *layout* em formato de troca. Pretende-se fazer com que o tempo total de projeto seja reduzido e seus custos diminuídos. Além disso, o projeto visando a manufaturabilidade, de fundamental importância em tecnologias sub-micrométricas, também é abordado na ferramenta através da busca pela regularidade do *layout*.

Um novo conceito de associação de transistores é introduzido: a associação do tipo T (TST - *T-Shaped Transistor*). Esta associação caracteriza-se por seu formato trapezoidal, porém sem limite quanto ao tamanho dos transistores unitários, os quais são considerados, em trabalhos anteriores sobre TATs (associações trapezoidais de transistores), como sendo todos iguais. Assim, uma ou duas variáveis livres a mais ficam disponíveis ao projetista, dando a liberdade da escolha de até quatro dimensões para os TSTs, o que faz com que o projeto se torne mais flexível. A modelagem deste tipo de associação é desenvolvida neste trabalho de modo que os efeitos de segunda ordem sejam previstos no desempenho geral do circuito e a verificação experimental comparada com simulações.

Palavras-chave: Projeto analógico, associações de transistores, ferramenta de CAD, MOSFET, transistor trapezoidal.

Analog CMOS Modules Design Automation Using Trapezoidal Associations of Transistors

ABSTRACT

The semi-custom design methodology using trapezoidal associations of transistors (TATs) is specially viable for the design of mixed-signal integrated circuits. Several works have been developed demonstrating examples of applications that generated good results using this methodology. However, there is a lack of specific CAD tools able to automate the synthesis procedure. In order to fill this need, the LIT tool was developed. LIT is a CAD tool specialized in layout generation of analog cells using associations of transistors. The main challenge is the choice of the correct equivalent association for a given single transistor, in such a way that negative effects related to this substitution are minimized. The most adequate choice is not a direct and intuitive task, because many options of associations exist.

The goal of this work is to develop a tool for the aid of analog circuits design using series-parallel associations of MOS transistors, from circuit sizing phase to layout description. Total time and costs can be reduced with this tool. Moreover, design for manufacturability is also improved through layout regularity.

A new concept of associations of transistors is introduced: the T-Shaped Transistor (TST). The main characteristic of this association is its trapezoidal format, but with no limit on the sizes of unit transistors, which were fixed in previous works about TATs (Trapezoidal Associations of Transistors). Then, one or two more free variables are available to the designer, giving him the possibility to work with up to four dimensions for the TSTs. A model of this kind of association is developed in this work, since it is needed to prevent or minimize second order effects that degrade circuit performance. Experimental comparison with simulations are also presented.

Keywords: analog design, associations of transistors, CAD tool, MOSFET, trapezoidal transistor.

1 INTRODUÇÃO

Hoje em dia, é visível a crescente digitalização dos sistemas VLSI (*Very Large Scale of Integration*). Um dos principais fatores na evolução no projeto de sistemas é a tecnologia de integração de circuitos, a qual permite a realização e construção de circuitos cada vez mais velozes e complexos, fazendo com que níveis de lógica digital sejam capazes de processar sinais e executar operações até então exclusivas de circuitos analógicos. Isto levou a uma nova realidade, na qual o mundo digital, composto por milhares de transistores cada vez menores, tornou-se predominante e com um custo extremamente baixo. Porém, os circuitos analógicos não podem ser totalmente substituídos, pois todas as grandezas físicas na natureza são analógicas, fazendo-se necessária alguma forma de transformar sinais analógicos em digitais e vice-versa. Muitas vezes o processamento de um sinal por um circuito analógico é mais econômico e eficiente do que o seu equivalente digital. Exemplos dessa economia podem ser encontrados em aplicações onde a frequência de operação é alta, inviabilizando sua implementação digital com sinal amostrado, ou em aplicações de muito baixa potência.

Por outro lado, as tecnologias de fabricação permitem que ambos os tipos de circuito atuem lado-a-lado sobre o mesmo substrato, em uma sintonia que permite a criação de inúmeras aplicações de sistemas em chip. A complexidade de projeto aumenta à medida que se tem como objetivo a integração da parte digital com a parte analógica (projeto misto) em uma mesma pastilha de silício, buscando-se o aproveitamento máximo das vantagens de ambos os lados. Hoje em dia, há uma tendência em direção ao desenvolvimento de sistemas nos quais a parte digital realiza o processamento do sinal, enquanto que a parte analógica atua como uma interface com o mundo real.

Os circuitos integrados analógicos caracterizam-se por serem formados por uma pequena quantidade de transistores se comparados com os circuitos digitais. Exemplos destes sistemas integrados são filtros a capacitor chaveado, conversores analógico-digitais e digital-analógicos, etc. A complexidade de projeto, entretanto, não é diminuída devido a esta pequena quantidade. Cada dispositivo precisa ser dimensionado individualmente e efeitos de segunda ordem afetam sobremaneira o desempenho do circuito. A grande quantidade de variáveis e as complexas inter-relações entre desempenho, tamanho dos transistores e parasitas (R , C , L) torna o projeto analógico uma tarefa dominada apenas por projetistas experientes. Não é o caso dos circuitos digitais, nos quais a grande maioria dos transistores possuem dimensões semelhantes e os efeitos de segunda ordem não ocasionam problemas significativos, costumando inclusive ser desconsiderados para efeitos de projeto.

As metodologias de projeto analógico e digital também são bastante diferentes. As técnicas e as ferramentas de CAD (*Computer-Aided Design*) para o projeto de circuitos analógicos ainda apresentam uma forte correlação com a experiência do projetista.

Ao contrário do projeto de sistemas digitais, onde a automação vem apresentando uma crescente evolução acompanhada da redução do preço dos chips, esta correlação está vinculada tanto aos conhecimentos específicos de projeto como ao uso dos modelos de simulação existentes, que, por sua vez, são limitados. A metodologia de projeto analógico está intimamente relacionada à topologia do circuito, à tecnologia de fabricação e à região de operação dos dispositivos. Muitos autores consideram o projeto analógico uma arte, na qual o projetista muitas vezes utiliza-se da sua própria experiência para realizar projetos, sem o auxílio de técnicas sistemáticas ou ferramentas de CAD específicas. Assim, é consenso que um sistema computacional completamente automatizado para síntese de circuitos analógicos é impraticável, uma vez que a exploração do espaço de projeto e a busca constante por soluções otimizadas, aliada à enorme faixa de especificações dos circuitos, não permite que se desenvolva uma metodologia automática abrangente e confiável.

Entretanto, níveis semi-completos de automação são viáveis, já que podem reduzir o tempo de projeto. Por exemplo, a geração automática de blocos analógicos compatíveis com a tecnologia digital é certamente um valor agregado. A etapa de prototipação é uma fase crítica no projeto de circuitos analógicos e mistos. Simulações extensivas não garantem necessariamente a funcionalidade esperada do circuito. Metodologias tradicionais de projeto requerem um ciclo de fabricação completo, que pode demorar várias semanas e atrasar substancialmente a introdução de um novo produto no mercado. Além disso, um processo dedicado é caro e fatores econômicos devem determinar sua viabilidade. O uso de uma metodologia de projeto semi-customizada permite um alto nível de abstração do projeto, oferecendo boa qualidade e performance a um custo baixo, baixo *time-to-market* e necessitando de poucas rodadas de prototipação para validação. Além disso, outro fator importante nas tecnologias sub-micrométricas é cada vez mais a busca por eficiência em manufatura. Devido à contínua diminuição do fator de escala das tecnologias de fabricação de circuitos integrados, os materiais e os dispositivos utilizados estão cada vez mais próximos dos seus limites de confiabilidade. Isto significa que o fator de confiabilidade em breve irá restringir o desempenho dos circuitos se não for levado em consideração.

A eficiência da manufatura, ou simplesmente manufaturabilidade, de um circuito VLSI é determinada pela quantidade de elementos que causam discrepâncias inaceitáveis entre o desempenho desejado e o desempenho real de um circuito integrado. Tais discrepâncias levam a uma redução da produtividade. Fatores que contribuem para a perda no desempenho são as condições dos equipamentos de fabricação, variáveis de projeto (como as dimensões das máscaras de litografia) e perturbações aleatórias que causam flutuação nas condições de processo durante a fabricação (MALY, 1990). Estes fatores podem causar falhas devido à deformação das características físicas da estrutura do circuito integrado, como variações na distância entre duas linhas de metal, quebra de interconexões, impurezas no óxido de gate (causando a diminuição do valor da tensão de *threshold*) e deslocamentos da camada epitaxial. Os distúrbios que levam a estas deformações são flutuações na temperatura durante o crescimento do óxido de gate, deposição de líquido contaminante sobre o óxido de gate, etc. Distúrbios e deformações podem ser de natureza global, quando o *wafers* inteiro é afetado, ou local, quando o fenômeno ocorre sobre uma região específica do *wafers*.

A caracterização dos distúrbios de processo não é uma tarefa trivial, pois eles são difíceis de se medir. A única evidência de sua existência são as deformações que aparecem após o processo de fabricação, as quais também são difíceis de caracterizar, necessitando para isto de um procedimento estatístico.

Em circuitos analógicos, os distúrbios afetam o desempenho na forma de incremento

na tensão de *offset* (causada principalmente pela diferença da tensão de *threshold* dos transistores de entrada), descasamento das correntes em espelhos de corrente e diminuição da linearidade.

O uso de metodologias de projeto voltadas para DFM (*Design for Manufacturability*) são, portanto, cada vez mais importantes para que a confiabilidade e a produtividade dos circuitos integrados não sejam degradadas (WHITE; TRYBULA; ATHAY, 1997). Ferramentas de CAD voltadas para esta filosofia serão cada vez mais necessárias para o auxílio à exploração completa do espaço de projeto e para o tratamento de aspectos relacionados à manufaturabilidade de circuitos VLSI.

1.1 Motivação

A automação de etapas fundamentais do projeto de circuitos integrados analógicos é extremamente relevante para o sucesso de um projeto. A etapa de dimensionamento dos transistores é, talvez, a mais difícil de automatizar. Devido à sua complexidade, esta etapa pode consumir muito tempo, fato que pode provocar até mesmo atrasos significativos em relação à entrada de um produto no mercado. Hoje em dia ainda não há ferramentas de automação da síntese de circuitos analógicos que percorram todo o espaço de projeto, proporcionando a utilização completa das vantagens que a tecnologia de fabricação tem a oferecer. O projeto é, na maior parte das vezes, feito através de tentativa e erro por meio de simulações elétricas spice. A experiência do projetista, neste caso, é um fator fundamental. Pretende-se, então, explorar a possibilidade da automação parcial da etapa de síntese, tendo como princípio básico a interatividade do projetista com a ferramenta, fato que torna o seu uso muito mais abrangente. Ao mesmo tempo, a geração do *layout* de blocos analógicos básicos é uma tarefa que demanda tempo e está sujeita a erros se for realizada manualmente. Portanto, a automação da geração do *layout*, utilizando técnicas de pareamento para diminuição dos efeitos das variações físicas durante o processo de fabricação, também é de extrema importância.

Para facilitar os procedimentos acima descritos, um fator precisa ser maximizado: a regularidade. A utilização de transistores de mesmas dimensões, como no projeto de circuitos digitais, torna tanto a síntese analógica quanto a geração do *layout* tarefas mais fáceis de serem automatizadas. Entretanto, devido à natureza irregular dos transistores analógicos, alguns artifícios precisam ser utilizados para emular o comportamento de transistores de dimensões grandes através de transistores regulares. A associação série-paralela de transistores é uma técnica bastante utilizada hoje em dia, principalmente em espelhos de corrente e transistores com fator de forma muito pequeno ou muito grande.

Trabalhos anteriores (CHOI, 2001; GIRARDI, 2003) já exploraram a idéia de um bloco em particular - a Associação Trapezoidal de Transistores (TAT) - mostrando que é possível a obtenção de circuitos analógicos com bom desempenho utilizando transistores de natureza digital. Transistores unitários de tamanho fixo são associados em série e paralelo, em formato trapezoidal, de modo a formarem transistores equivalentes de dimensões variadas. A ferramenta LIT (GIRARDI; BAMPI, 2004a), originalmente proposta como uma ferramenta de síntese física de circuitos analógicos utilizando TATs, também pode ser de grande utilidade para a geração do *layout* de qualquer tipo de associação de transistores, incluindo a possibilidade da incorporação também de módulos para a síntese de circuitos *full-custom* de canal ultra-curto.

A regularidade também auxilia na manufaturabilidade do circuito, já que utilização de um pequeno conjunto de dimensões de transistores unitários nas associações permite

uma melhor caracterização elétrica e, conseqüentemente, a extração de parâmetros de modelos elétricos para simulação mais precisos. Além disso, a variação das características físicas do *wafer* terão um efeito menor sobre os transistores unitários, os quais podem ser distribuídos de forma mais flexível, em configurações que minimizem estes efeitos. Um *layout* regular também é de fundamental importância para a melhoria da produtividade em processos sub-micrométricos que utilizam técnicas de litografia para a fabricação de dispositivos menores que o comprimento de onda da luz incidente.

1.2 Objetivos

A metodologia de projeto semi-customizado usando associações trapezoidais de transistores pode ser usada para o projeto de circuitos mistos analógico-digitais. Vários trabalhos foram desenvolvidos demonstrando exemplos de aplicações que geraram bons resultados utilizando esta metodologia (CHOI, 2001) (HAAN, 1995). Entretanto, ficou evidente a falta de ferramentas de CAD apropriadas para automatizar o processo de síntese dos circuitos. Para preencher esta lacuna, foi desenvolvido o LIT, uma ferramenta de CAD especializada na geração do *layout* de células analógicas utilizando associações de transistores. O principal desafio da técnica de associações trapezoidais é a escolha adequada da associação equivalente ao transistor simples, de modo que os efeitos negativos da substituição deste transistor no desempenho do circuito sejam os menores possíveis. Podem existir diversas opções de associações equivalentes, e a escolha da mais adequada nem sempre é uma tarefa direta e intuitiva. O objetivo deste trabalho é a criação de ferramentas de auxílio ao projeto de circuitos analógicos utilizando a técnica de associação série-paralela de transistores, desde o dimensionamento do circuito até a descrição do *layout* em formato de troca. Pretende-se fazer com que o tempo total de projeto seja reduzido. Assim, a utilização da metodologia de projeto proposta poderia ser uma boa opção em termos de tempo de projeto, prototipação e fabricação de circuitos analógicos ou mistos. Pretende-se também fornecer ao projetista mais informações sobre as associações equivalentes, proporcionando um maior número possível de dados para a escolha adequada da melhor associação.

A ferramenta LIT foi criada com o objetivo de fornecer ao projetista analógico um ambiente de projeto gráfico e interativo, no qual o fluxo analógico completo pode ser desenvolvido, sem a necessidade de migração para outras ferramentas. A fig. 1.1 apresenta os módulos da ferramenta e suas inter-relações. Os módulos são independentes entre si, porém interligados através de arquivos de troca. Cada módulo é descrito em um capítulo deste trabalho, conforme indicado na figura. O módulo LIT-S é responsável pelo dimensionamento automático dos transistores MOS (largura e comprimento de canal) a partir de uma especificação em alto nível do circuito, como ganho, frequência de operação, potência dissipada máxima, etc. Para isso, são utilizados algoritmos de otimização para determinar o ponto otimizado de operação. A saída é uma descrição spice do circuito dimensionado. O módulo LIT-T realiza a conversão do circuito formado por transistores simples (retangulares) para um circuito formado por associações de transistores. Esta conversão é semi-automática, ou seja, necessita da intervenção do projetista. Já o módulo LIT-L recebe o *netlist* do módulo anterior e gera automaticamente o *layout* de blocos analógicos (chamados células), como par diferencial e espelho de corrente, levando em consideração requisitos de *matching*. O resultado gerado serve como entrada para o módulo LIT-P, o qual realiza o posicionamento das células e fornece as informações para o módulo LIT-R realizar automaticamente o roteamento entre as células, gerando assim o

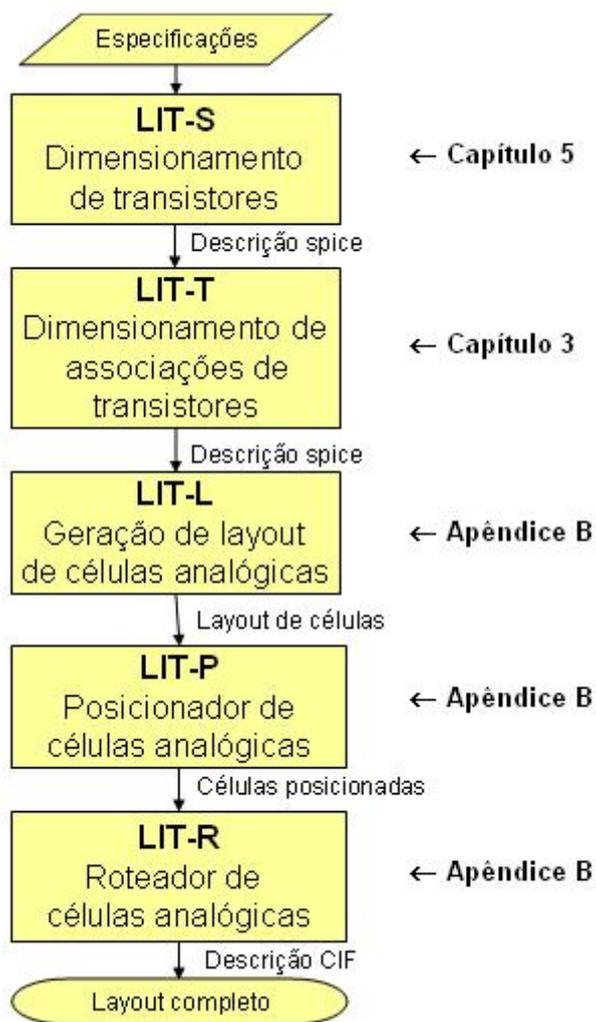


Figura 1.1: Módulos da ferramenta LIT abrangendo todo o fluxo de projeto analógico.

layout final. Para realizar a verificação dos resultados obtidos, tanto o *layout* quanto os *netlists* podem ser extraídos em formato CIF ou spice e importados facilmente em outras ferramentas.

Um novo conceito de associação de transistores é introduzido: a associação do tipo T (TST - *T-Shaped Transistor*). Esta associação caracteriza-se por seu formato trapezoidal, porém sem limite quanto ao tamanho dos transistores unitários (os quais são considerados, por definição, todos iguais nos TATs (GALUP-MONTORO; SCHNEIDER; LOSS, 1994)). Assim, uma ou duas variáveis livres a mais ficam disponíveis ao projetista, dando a liberdade da escolha de até quatro dimensões para os TSTs, o que faz com que o projeto se torne mais flexível. A modelagem deste tipo de associação, entretanto, deve ser conhecida, de modo que os efeitos de segunda ordem não prejudiquem o desempenho geral do circuito.

1.3 Organização do Texto

O capítulo 2 apresenta a modelagem da associação de transistores do tipo T (TST), incluindo o modelo da corrente de dreno, dos parâmetros de pequenos sinais e o fator de

forma equivalente. Estimativas de tensão de saturação, linearidade e comportamento em médias frequências também são mostradas, através de simulações elétricas. Além disso, uma série de medidas experimentais é analisada, de modo a validar o modelo proposto.

No capítulo 3 são tratadas as metodologias de projeto utilizando associações do tipo T. Primeiramente são apresentadas duas maneiras de se estimar a associação equivalente, baseadas nos modelos de corrente: uma que não modifica a polarização em tensão do dispositivo e outra que leva em consideração somente o nível de corrente. Após, os projetos de dois blocos analógicos com TSTs - um amplificador de dois estágios tipo Miller e um comparador *track-and-latch* - são analisados e comparados com projetos convencionais compostos por transistores simples.

O capítulo 4 traz um resumo dos principais problemas encontrados na geração do *layout* de circuitos integrados analógicos em tecnologias sub-micrométricas e as principais técnicas utilizadas para contorná-los ou minimizá-los. São discutidas questões ligadas ao projeto visando a manufaturabilidade (DFM) e as limitações impostas pelo processo de fabricação nas novas tecnologias.

O capítulo 5 trata de uma metodologia proposta para o dimensionamento automático de circuitos analógicos através do algoritmo de otimização *Simulated Annealing* e da metodologia de projeto gm/I_D . Dois exemplos de síntese automática são apresentados. O primeiro para um amplificador de dois estágios do tipo Miller e o segundo para um amplificador operacional *folded-cascode*. Ambos são validados através de simulação elétrica.

Já o capítulo 6 apresenta as conclusões finais e as expectativas de continuidade do trabalho.

No apêndice A são apresentados diversos gráficos das características das associações trapezoidais em tecnologia AMS 0, $35\mu m$ obtidos através de medidas experimentais em um chip prototipado, com a finalidade de caracterizar os TSTs nesta tecnologia e validar o modelo proposto.

Uma descrição da ferramenta LIT e todos os seus módulos voltados para a determinação da associação equivalente e para a geração automática do *layout* dos TSTs é encontrada no apêndice B, o qual apresenta também as suas funcionalidades especiais, como simulação elétrica, posicionamento e roteamento entre células.

2 MODELAGEM DA ASSOCIAÇÃO DE TRANSISTORES

2.1 O Transistor em Formato T

O transistor MOS em formato T (TST - *T-Shaped Transistor*) é uma generalização da associação trapezoidal de transistores (TAT - *Trapezoidal Association of Transistors*), proposta por (GALUP-MONTORO; SCHNEIDER; LOSS, 1994). Ele consiste em dois transistores em série, sendo que o transistor conectado ao terminal de dreno (chamado *MD*) possui largura de canal (W) maior que o transistor conectado ao terminal de fonte (chamado *MS*). A fig. 2.1 mostra a geometria de um transistor tipo T. O comprimento de canal (L) de ambos os transistores podem ser os mesmos, como no caso dos TATs, ou diferentes, de modo a emular um determinado comprimento de canal equivalente. A limitação de apenas dois transistores em série é uma definição adotada, sendo que a utilização de mais transistores unitários em série está implícita em *MS*. O transistor *MS* pode ser visto como uma associação série-paralela retangular de transistores, e o comprimento de canal L_{MS} será a soma dos comprimentos de canal unitários. Os *gates* de *MD* e *MS* são conectados entre si, formando externamente um dispositivo com as mesmas características de um transistor simples. Segundo (RICCÓ, 1984), um transistor em formato trapezoidal é assimétrico e possui como principal característica uma condutância de saída mais baixa com a aplicação de potencial de fonte no extremo mais estreito do canal, comparando com a situação inversa. Ao mantermos o transistor do terminal de dreno (W_{MD}/L_{MD}) maior que o terminal de fonte (W_{MS}/L_{MS}), temos uma diminuição da condutância de saída (g_{ds}) deste transistor em relação a um transistor simples (retangular) equivalente.

Para transistores unitários de canal longo, a relação entre um transistor simples e seu TST equivalente é obtida considerando-se uma aproximação de primeira ordem cuja razão de aspecto equivalente é dada pela equação abaixo:

$$\left(\frac{W}{L}\right)_{eq} = \frac{\left(\frac{W_{MD}}{L_{MD}}\right)\left(\frac{W_{MS}}{L_{MS}}\right)}{\left(\frac{W_{MD}}{L_{MD}}\right) + \left(\frac{W_{MS}}{L_{MS}}\right)} \quad (2.1)$$

Assim, a largura e o comprimento de canal equivalentes do transistor são dados pelas seguintes expressões (GALUP-MONTORO; SCHNEIDER; LOSS, 1994):

$$W_{eq} = W_{MD} \quad (2.2)$$

$$L_{eq} = L_{MD} + \frac{W_{MD}}{W_{MS}} L_{MS} \quad (2.3)$$

Pode-se reescrever 2.1 de maneira mais intuitiva:

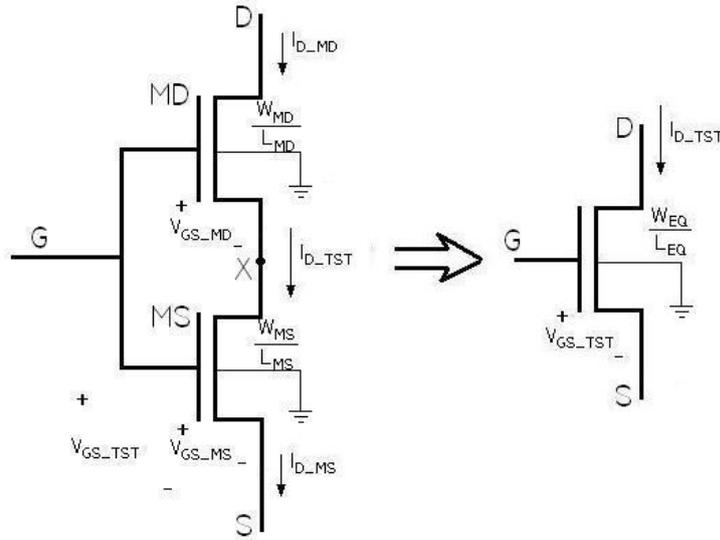


Figura 2.1: Esquemático do transistor composto tipo T.

$$\left(\frac{W}{L}\right)_{eq} = \frac{W_{MD}}{L_{MD} + \frac{W_{MD}}{W_{MS}} L_{MS}} \quad (2.4)$$

Se os transistores MD e MS forem formados por uma associação paralela de transistores unitários de mesma dimensão (como nos casos dos TATs construídos sobre matrizes pré-difundidas), então $L_{MD} = L_{MS}$ e a eq. 2.4 reduz-se a

$$\left(\frac{W}{L}\right)_{eq} = \frac{ND}{m+1} \left(\frac{W_{un}}{L_{un}}\right) \quad (2.5)$$

onde m é a relação ND/NS , sendo ND e NS o número de transistores unitários em paralelo que formam MD e MS , respectivamente. Para que a associação tenha o formato trapezoidal, é preciso garantir que ND seja sempre maior que NS . Como estes valores são discretos, $ND_{min} = 2$ e $NS_{min} = 1$. Neste caso, $W_{eq(min)} = 2W_{un}$. Já o menor comprimento de canal equivalente é dado por $L_{eq(min)} \approx 2L_{un}$, no caso em que $ND \approx NS$. Estas limitações reduzem o espaço de projeto em circuitos analógicos a transistores com relação de aspecto maiores que 1. Apesar de isto não ser um fator que impeça o projeto de circuitos em situações não-críticas (médio desempenho), pode ser um agravante em aplicações que necessitam baixas correntes.

A utilização de transistores unitários com as mesmas dimensões se dá principalmente em aplicações onde os TATs são gerados sobre uma matriz de transistores pré-difundidos de tamanho fixo (GIRARDI, 2003). Esta, aliás, é a principal vantagem das associações trapezoidais de transistores. Com elas pode-se reproduzir o comportamento em nível de corrente de transistores simples de dimensões maiores que a dos transistores unitários. Para os circuitos analógicos, onde o tamanho dos transistores pode variar dentro de uma larga faixa de possibilidades, esta é realmente uma propriedade importante. A partir de uma associação série-paralela formada por transistores de tamanho mínimo é possível emular o comportamento de um transistor retangular de tamanho bem maior.

A construção dos TSTs se dá através da escolha correta das dimensões dos transistores unitários. Várias geometrias podem resultar em um mesmo $(W/L)_{eq}$. A figura 2.2 mostra três transistores tipo T equivalentes, sendo que o comprimento e a largura de canal de MS são reduzidos proporcionalmente de modo a manter a mesma relação de aspecto.

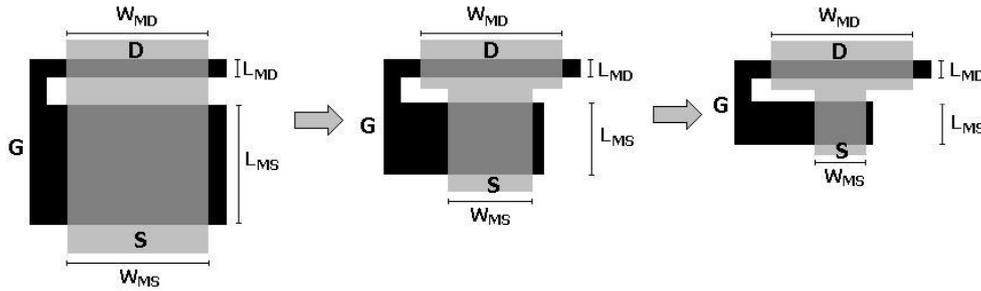


Figura 2.2: Uma associação retangular e duas associações tipo T com o mesmo W/L equivalente. O transistor do lado do dreno (MD) é mantido fixo enquanto que o transistor do lado da fonte (MS) é encolhido proporcionalmente, mantendo a mesma relação de aspecto.

A associação mais à direita na figura possui uma área de *gate* menor que a associação retangular que a originou (à esquerda), porém ainda assim mantém a mesma relação de aspecto equivalente, apesar de possuir uma menor corrente por quadrado (efeitos de canal curto ficam mais pronunciados neste caso, como será visto mais adiante).

O fato de que MD é mais largo e mais curto que MS é a principal característica dos TSTs. Assim, o projetista tem como variáveis o (W/L) de dois transistores, ao invés de um apenas no caso do transistor simples. Este grau de liberdade a mais dá margem para uma série de otimizações que podem ser feitas de acordo com a função exercida pela associação dentro de um circuito, como será visto nos capítulos seguintes.

2.2 Modelagem dos TSTs

O TST pode ser visto como um macro-bloco (figura 2.1) com as mesmas características principais de um transistor simples. Através dos quatro terminais externos (*gate*, *bulk*, dreno e fonte) mais a corrente de dreno $I_{D_{TST}}$, é possível estimar o comportamento elétrico da associação. O nó V_X , interno a este macro-bloco, não é conhecido do ponto de vista do projetista e, desta maneira, não pode ser uma variável independente na modelagem da associação. Para uma correta utilização da associação, seu modelo elétrico deve ser conhecido. As próximas seções descrevem o modelo da corrente, da tensão de saturação, de pequenos sinais e de ruído dos TSTs.

2.2.1 Corrente de Dreno

Para que o transistor composto TST funcione de maneira correta, os transistores MD e MS devem operar na região de condução. Assim, de acordo com a figura 2.1, em inversão forte, as seguintes condições devem ser satisfeitas ¹:

$$V_G - V_X - V_T > 0 \quad (2.6)$$

$$V_G - V_S - V_T > 0 \quad (2.7)$$

Aqui, V_T é a tensão de limiar, na qual o transistor entra em condução. Pode-se reescrever a eq. 2.6 como:

¹Para efeitos de simplicidade, todas as tensões são referidas ao *bulk*, a não ser quando indicado.

$$V_X - V_S < V_G - V_S - V_T = V_{Dsat_{MS}} \quad (2.8)$$

Ou seja, o transistor MS opera sempre na região linear na condição de inversão forte (considerando $(W/L)_{MD} \gg (W/L)_{MS}$). Dependendo da tensão de dreno V_D , o transistor MD pode operar tanto em saturação quanto na região linear.

Na modelagem da corrente de dreno do transistor composto TST, usaremos a equação da corrente de um transistor simples para a determinação das correntes dos transistores unitários. Como estes transistores unitários estão em série, (fig. 2.1), então

$$I_{DTST} = I_{DMD} = I_{DMS} \quad (2.9)$$

Assim, determinando-se a corrente em qualquer um dos transistores unitários, tem-se a corrente no transistor composto. O valor da tensão no nó X , entretanto, é uma incógnita dependente das tensões terminais e das dimensões de M_D e M_S . Como será visto mais adiante, não é possível isolar a tensão V_X nas equações da corrente de M_D e M_S , a não ser que algumas simplificações sejam feitas, o que prejudica a precisão do modelo. Desta maneira, um método numérico para a estimativa de V_X é utilizado.

O modelo do transistor MOS utilizado neste trabalho é o ACM (Advanced Compact MOSFET Model), desenvolvido na década de 1990 por (CUNHA; SCHNEIDER; GALUP-MONTORO, 1998). As vantagens deste modelo sobre outros, como BSIM3 (BSIM3v3 MANUAL, 2005), EKV (ENZ; KRUMMENACHER; VITTOZ, 1995) ou MOS9 (GRAAFF; KLAASSEN, 1990), é que ele é fundamentado em princípios físicos básicos, utiliza poucos parâmetros e é derivável em todas as regiões de operação. O ACM é um modelo de carga, ou seja, a carga de inversão é a única variável chave, permitindo o equacionamento compacto independente da região de operação do transistor (CUNHA, 1996). A simetria entre os terminais de dreno e fonte do transistor é preservada, pois todas as tensões são referenciadas ao *bulk*. A utilização de uma relação simples entre a densidade de carga de inversão, aliada a uma definição física da saturação, possibilita a dedução de equações compactas também para as transcondutâncias. A inclusão de efeitos de canal curto é feita de forma simples, sendo que cada efeito físico é representado por parâmetros independentes (GOUVEIA, 1999). O modelo está atualmente implementado no simulador comercial Smash, produzido pela Dolphin Integration (INTEGRATION, 2002).

A seguir, dois modelos para a corrente de dreno dos TSTs serão analisados. O primeiro baseia-se nas correntes normalizadas direta e reversa, obtendo uma equação explícita para I_D . Já o segundo modelo tem como base as tensões terminais V_G , V_D , V_S e V_B da associação.

2.2.1.1 Modelo baseado na diferença das correntes direta e reversa

O modelo da corrente de dreno de um transistor de canal longo, segundo o ACM, utiliza os conceitos de corrente direta, função de V_G e V_S ($I_F = f(V_G, V_S)$) e reversa, função de V_G e V_D ($I_R = f(V_G, V_D)$). O mesmo pode-se aplicar ao TST (OLIVEIRA PINTO, 1997):

$$I_{DMD} = f(V_G, V_X, (W/L)_{MD}) - f(V_G, V_D, (W/L)_{MD}) = I_{FMD} - I_{RMD} \quad (2.10)$$

$$I_{DMS} = f(V_G, V_S, (W/L)_{MS}) - f(V_G, V_X, (W/L)_{MS}) = I_{FMS} - I_{RMS} \quad (2.11)$$

Normalizando 2.10 e 2.11, tem-se

$$I_{D_{MD}} = I_{SQ} \left(\frac{W}{L} \right)_{MD} (i_{f_{MD}} - i_{r_{MD}}) \quad (2.12)$$

$$I_{D_{MS}} = I_{SQ} \left(\frac{W}{L} \right)_{MS} (i_{f_{MS}} - i_{r_{MS}}) \quad (2.13)$$

onde $i_{f(r)} = I_{F(R)}/I_{SQ}(W/L)$ e $I_{SQ} = \mu n C'_{ox} \phi_t^2 / 2$, sendo que μ é a mobilidade dos portadores, C'_{ox} é a capacitância do óxido de silício por unidade de área, n é o fator de rampa, W_{eff} e L_{eff} são a largura e o comprimento efetivos do canal, respectivamente, e ϕ_t é o potencial termodinâmico, cujo valor é 0.0259V a 300K. Segundo a figura 2.1, $V_{S_{MD}} = V_{D_{MS}} = V_X$, portanto $i_{f_{MD}} = i_{r_{MS}}$. Desta maneira elimina-se uma incógnita e chega-se à seguinte expressão para a corrente de dreno do TST:

$$I_{D_{TST}} = \left(\frac{W}{L} \right)_{eq} I_{SQ} (i_{f_{MS}} - i_{r_{MD}}) \quad (2.14)$$

Esta formulação estende ao TST uma separação da corrente análoga à de um transistor simples. A razão de aspecto equivalente $(W/L)_{eq}$ é a mesma da eq. 2.4.

Apesar da eq. 2.14 ser extremamente simples e permitir a divisão da corrente em uma componente direta e uma reversa, do ponto de vista da simulação elétrica sua utilização fica limitada, pois é necessário conhecer o valor das correntes normalizadas dos transistores unitários, enquanto que geralmente o que se tem disponível são os valores das tensões terminais. Além disso, a introdução de efeitos de canal curto torna inviável a formulação $I_D = I_F - I_R$.

2.2.1.2 Modelo baseado nas tensões terminais

Quando as tensões terminais do TST são conhecidas, é importante que se tenha uma relação entre elas e a corrente do transistor composto. No modelo ACM, esta relação é dada de maneira direta para os transistores e de maneira indireta para o TST.

A corrente de dreno de um transistor de canal longo é representada por (GOUVEIA, 1999)

$$I_D = \frac{\mu}{C'_{ox}} \frac{W_{eff}}{L_{eff}} \left(\frac{Q'_F{}^2 - Q'_R{}^2}{2n} \right) \quad (2.15)$$

As densidades de carga direta (Q'_F) e reversa (Q'_R) são as densidades de carga na fonte e dreno, deslocadas de $nC'_{ox}\phi_t$:

$$Q'_{F(R)} = Q'_{IS(D)} + Q'_{IP} \quad (2.16)$$

Q'_{IP} é definido como a densidade de carga de inversão no canal na condição de *pinch-off*, e é dado por $Q'_{IP} = -nC'_{ox}\phi_t$.

As densidades de carga na fonte (Q'_{IS}) e no dreno (Q'_{ID}) estão relacionadas com as tensões terminais do transistor através da seguinte equação:

$$\frac{V_P - V_{S(D)}}{\phi_t} = \frac{Q'_{IP} - Q'_{IS(D)}}{-Q'_{IP}} + \ln \left(\frac{Q'_{IS(D)}}{Q'_{IP}} \right) \quad (2.17)$$

Aqui, V_P é a tensão de *pinch-off*, definida no modelo ACM como sendo a tensão no canal que corresponde à densidade de carga de inversão igual a Q'_{IP} , podendo ser calculada por

$$V_P = \left(\sqrt{V_G - V_{T0} + \phi_{S0} + \gamma \sqrt{\phi_{S0}} + \left(\frac{\gamma}{2}\right)^2} - \frac{\gamma}{2} \right)^2 - \phi_{S0} \quad (2.18)$$

A tensão de *pinch-off* depende exclusivamente da tensão de *gate* (V_G) e dos parâmetros da tecnologia V_{T0} (tensão de limiar na condição de equilíbrio), ϕ_{S0} (potencial de superfície) e γ (coeficiente de efeito de corpo). Isto faz com que ela se torne um parâmetro importante do ponto de vista do projetista analógico, pois indica a região de operação do transistor.

A equação 2.17 é a única relação carga-tensão do modelo ACM, válida em todos os regimes de inversão. Algumas simplificações, entretanto, podem ser realizadas, tendo em vista a utilização do modelo em regiões específicas de operação. Em inversão muito fraca, $|Q'_{IS}|$ e $|Q'_{ID}|$ são muito menores que $|Q'_{IP}|$ e, portanto, podem ser reduzidos a

$$Q'_{IS(D)} \cong -nC'_{ox} \phi_t e^{\frac{V_P - V_{S(D)} + \phi_t}{\phi_t}} \quad (2.19)$$

Em inversão forte, $|Q'_{IS}|$ e $|Q'_{ID}|$ são muito maiores que $|Q'_{IP}|$ e o termo logarítmico da equação 2.17 torna-se mais importante que o de primeiro grau, levando a

$$Q'_{IS(D)} \cong -nC'_{ox} \phi_t (V_P - V_{S(D)}) \quad (2.20)$$

Outro parâmetro importante do ponto de vista do projetista é a tensão de saturação V_{DSsat} , que corresponde a uma densidade de carga mínima Q'_{IDSAT} necessária do lado do dreno quando os portadores atingem a velocidade de saturação, podendo ser aproximada por:

$$V_{DSsat} \cong \phi_t \left[\frac{Q'_{IS}}{Q'_{IP}} + \ln \left(\frac{UCRIT L_{eff}}{\phi_t} \right) \right] \quad (2.21)$$

onde $UCRIT$ é o parâmetro de campo elétrico crítico e L_{eff} é o comprimento de canal efetivo.

Baseando-se nestas aproximações, pode-se deduzir as equações da corrente de dreno em diferentes regiões de operação do transistor. Em inversão forte, substituindo 2.20 em 2.17, tem-se a equação da corrente de dreno na região linear:

$$I_D = \frac{\mu W_{eff} n C'_{ox}}{2 L_{eff}} \left(V_S^2 - V_D^2 + 2V_P(V_D - V_S) - 2\phi_t(V_D - V_S) \right) \quad (2.22)$$

Da mesma forma, considerando $V_D = V_{DSsat}$, tem-se a equação da corrente de dreno na saturação:

$$I_D = \frac{\mu W_{eff} n C'_{ox}}{2 L_{eff}} \left(V_P^2 - 2V_P V_S - 2V_P \phi_t + 4V_S \phi_t \right) \quad (2.23)$$

A figura 2.3 mostra o resultado das aproximações realizadas para inversão forte, comparando as equações 2.15, 2.22 e 2.23. A tensão de saturação pode agora ser calculada no ponto de máximo da eq. 2.22, ou seja, é o valor de V_D no qual a derivada de I_D por V_D é zero:

$$V_{DSsat} = V_P - \phi_t \quad (2.24)$$

Já em inversão fraca, a corrente varia exponencialmente com V_P . Na região linear, substituindo 2.19 em 2.17, chega-se a

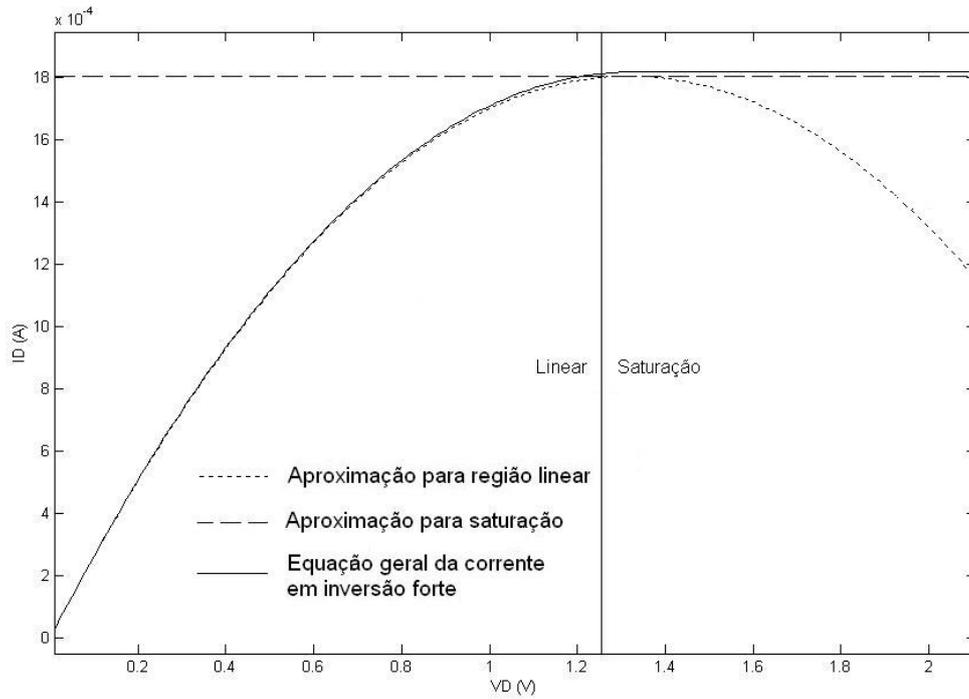


Figura 2.3: Relação $I_D \times V_D$ mostrando as aproximações realizadas para o cálculo da corrente de dreno utilizando o modelo ACM (eq. 2.22 na região linear, eq. 2.23 na região de saturação e eq. 2.15 na equação geral válida em inversão forte).

$$I_D = \frac{\mu W_{eff} n C'_{ox} \phi_t^2}{2L_{eff}} \left[\left(e^{\left(\frac{V_P - V_S}{\phi_t} + 1 \right)} + 1 \right)^2 - \left(e^{\left(\frac{V_P - V_D}{\phi_t} + 1 \right)} + 1 \right)^2 \right] \quad (2.25)$$

Utilizando V_{DSsat} , tem-se a seguinte aproximação para a região de saturação:

$$I_D = \frac{\mu W_{eff} n C'_{ox} \phi_t^2}{2L_{eff}} \left[\left(e^{\left(\frac{V_P - V_S}{\phi_t} + 1 \right)} + 1 \right)^2 - \left(e^{\left(\frac{V_P}{\phi_t} + 1 \right)} \frac{\phi_t}{UCRITL_{eff}} + 1 \right)^2 \right] \quad (2.26)$$

O modelo ACM completo, incluindo efeitos de canal curto, está descrito em (GOUVEIA, 1999).

De acordo com a relação $I_{DTST} = I_{DMD} = I_{DMS}$, o cálculo preciso da corrente de dreno do transistor composto só pode ser realizado através de técnicas numéricas de simulação de dois transistores em série. Existe um método muito simples e intuitivo de realizar este cálculo, através do algoritmo da bissecção (CLÁUDIO; MARINS, 1994), no qual os valores das correntes de MD e MS são calculados para um determinado valor de V_X (que está entre V_{max} e V_{min}) e a diferença entre elas determina em qual intervalo está localizado a solução. A cada iteração, o intervalo é dividido por 2 até que se chegue a uma solução aceitável, ou seja, até que o critério de parada seja satisfeito. O alg. 1 descreve o método em pseudo-linguagem.

A variável independente, neste caso, é V_X . A figura 2.4 mostra o comportamento do algoritmo para o cálculo da corrente de um TST PMOS, convergindo em 15 iterações para $\Delta I_D = 10^{-8}$.

Os efeitos de canal curto, como modulação do comprimento do canal, DIBL (*Drain-Induced Barrier Lowering*), difusão lateral e resistência série são inseridos no modelo da

Algoritmo 1 Método da bisseção para o cálculo da corrente no TST.

ENQUANTO $\Delta I_D >$ precisao **FAÇA**

$$V_X = (V_{max} + V_{min})/2;$$

$$I_{D_{MD}} = f(V_G, V_D, V_X);$$

$$I_{D_{MS}} = f(V_G, V_X, V_S);$$

$$\Delta I_D = I_{D_{MD}} - I_{D_{MS}};$$

SE $\Delta I_D > 0$ **ENTÃO**

$$V_{max} = V_X$$

SENÃO

$$V_{min} = V_X$$

FIM SE

FIM ENQUANTO

$$I_{D_{TST}} = I_{D_{MD}} = I_{D_{MS}}$$

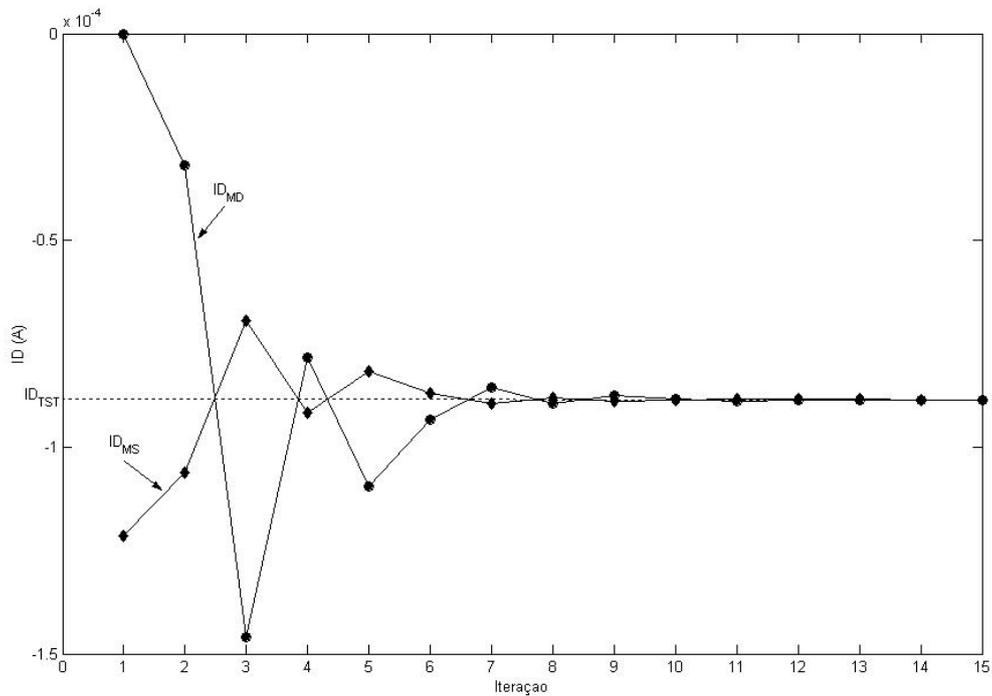


Figura 2.4: Exemplo da utilização do método da bisseção para a estimativa da corrente de dreno em um TST PMOS. O algoritmo converge em 15 iterações para $\Delta I_D = 10^{-8}$.

corrente do transistor simples de maneira direta. A equação da corrente válida em todas as regiões de operação, incluindo os efeitos de canal curto e contínua e simétrica em torno de $V_{DS} = 0$, é dada por (GOUVEIA, 1999):

$$I_D = \frac{\mu W_{eff}}{C'_{ox} L_{eq}} \frac{1}{1 + \frac{|Q'_F - Q'_R|}{Q'_A}} \frac{Q'_F{}^2 - Q'_R{}^2}{2n} \quad (2.27)$$

onde

$$Q'_A = nC'_{ox} L_{eq} UCRIT \quad (2.28)$$

$$L_{eq} = \lambda L_c \ln \left[1 + \frac{(V_{DS} - V'_{DS})}{L_c UCRIT} \right] \quad (2.29)$$

Neste caso, λ é o parâmetro de modulação do canal, V'_{DS} é dado por uma função contínua tal que $V'_{DS} = V_{DS}$ para $V_{DS} < V_{Dsat}$ e $V'_{DS} = V_{Dsat}$ para $V_{DS} \geq V_{Dsat}$, e L_c é um parâmetro de ajuste dado por

$$L_c = \sqrt{\frac{\epsilon_{Si} X_J}{C'_{ox}}} \quad (2.30)$$

sendo que X_J é a profundidade de junção.

No TST, o transistor MS , o qual opera sempre na região linear, não sofre os efeitos de canal curto relacionados com a saturação, como modulação do comprimento do canal e DIBL. Uma análise mais aprofundada dos efeitos de canal curto nos TATs pode ser encontrada em (CHOI, 2001).

2.2.2 Tensão de Saturação

A tensão no nó X geralmente é uma variável desconhecida pelo projetista analógico, sendo relevante apenas para o cálculo da corrente de dreno e das transcondutâncias e transcapacitâncias do transistor composto. Ela pode ser aproximada, em inversão forte, por (ENZ, 1996)

$$V_X \simeq \left[1 - \frac{1}{\sqrt{1 + \frac{W_{MD}/L_{MD}}{W_{MS}/L_{MS}}}} \right] V_P \quad (2.31)$$

e em inversão fraca por

$$V_X \simeq \phi_t \ln \left(1 + \frac{W_{MD}/L_{MD}}{W_{MS}/L_{MS}} \right) \quad (2.32)$$

Em relação às tensões terminais do TST, ela varia de maneira praticamente linear com V_G , principalmente em inversão forte, como pode ser visto na simulação mostrada na fig. 2.5, e é constante em relação a V_D quando M_D atinge a região de saturação (fig. 2.6).

Uma característica importante do TST é a sua baixa tensão de saturação, comparado com uma associação *cascade*. Se $ND \gg NS$, o transistor MS opera sempre na região linear, enquanto que o transistor MD opera na região linear ou de saturação. Assim, a tensão entre o terminal de fonte e dreno de MS é bastante pequena, fazendo com que a tensão de saturação equivalente do transistor composto seja proporcional à do transistor MD . Considerando $V_{SB_{TST}} = 0$, temos:

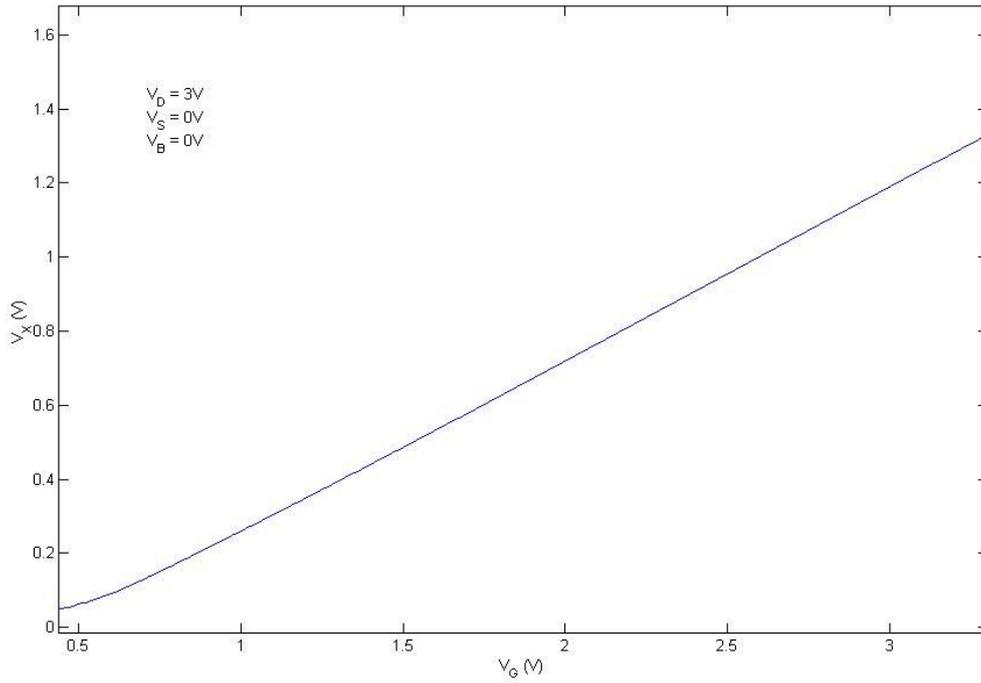


Figura 2.5: Simulação elétrica de V_X x V_G para V_D fixo, associação tipo NMOS, $W_{MD} = 10\mu m$, $L_{MD} = 1\mu m$, $W_{MS} = 4\mu m$, $L_{MS} = 1\mu m$.

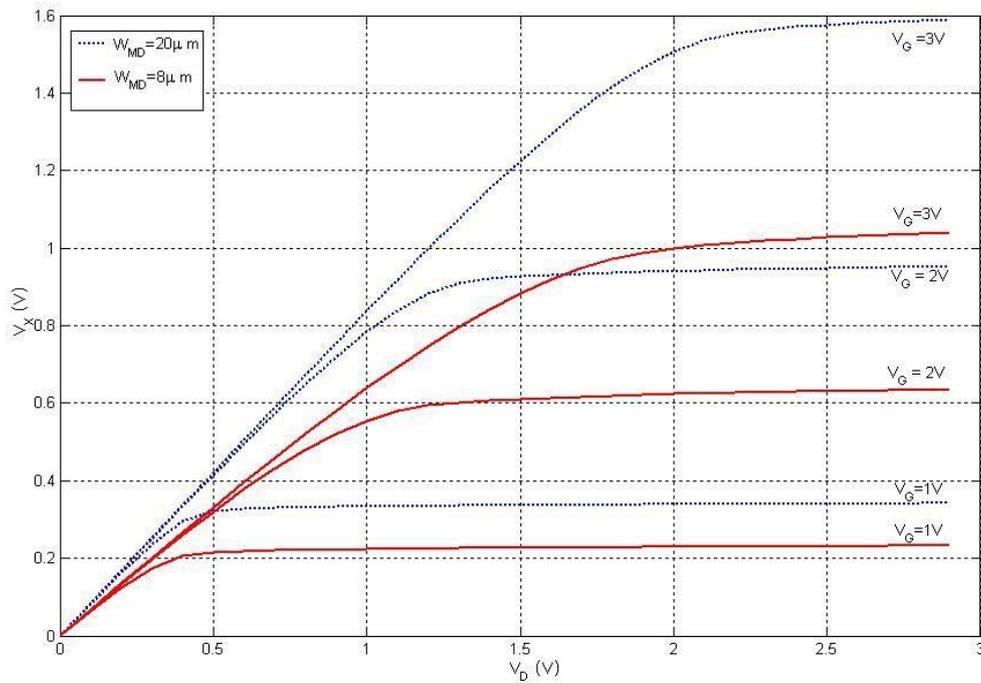


Figura 2.6: Simulação elétrica de V_X x V_D para diferentes valores de V_G de duas associação tipo NMOS, $L_{MD} = 1\mu m$, $W_{MS} = 4\mu m$, $L_{MS} = 1\mu m$.

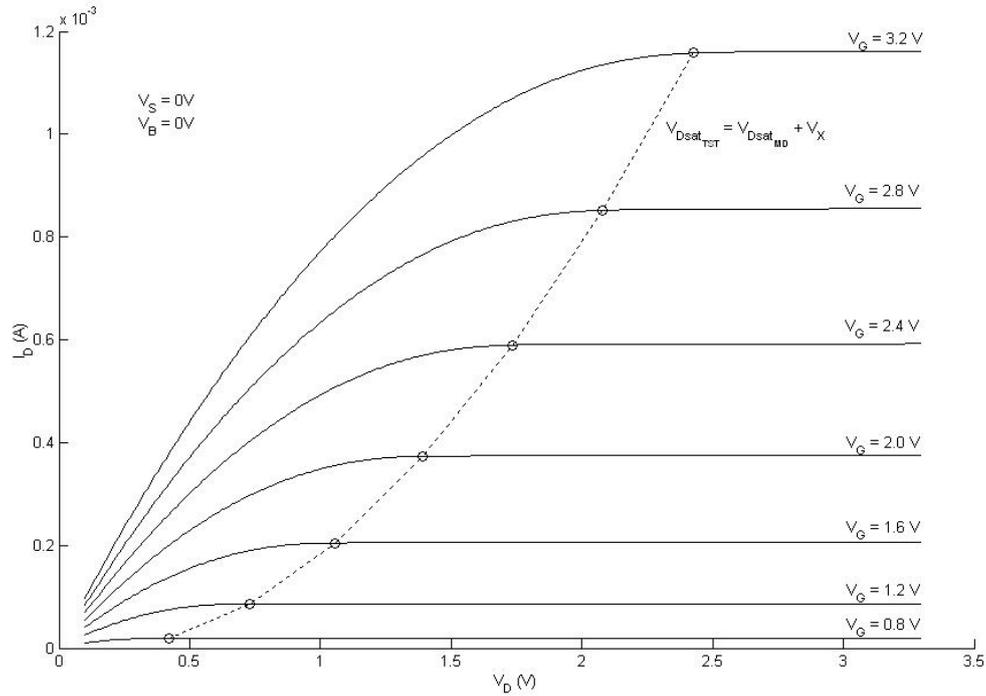


Figura 2.7: Simulação de $I_D \times V_D$ para um TST canal longo, mostrando a tensão de saturação equivalente do transistor composto estimada através da equação 2.33.

$$V_{Dsat_{TST}} = V_{Dsat_{MD}} + V_{DB_{MS}} \quad (2.33)$$

Nestas condições, a tensão $V_{DB_{MS}}$ é igual a V_X . Esta propriedade do transistor composto torna a sua estrutura *self-cascode* própria para o uso em aplicações a baixa tensão, em substituição à estrutura *cascode*, cuja tensão de saturação é muito maior (RAJPUT; JAMUAR, 2002).

A tensão de saturação equivalente do TST é proporcional à tensão de *pinch-off*, que é a mesma tanto em MD quanto em MS (proporcional somente a V_G). Como $V_{GS_{MD}} < V_{GS_{MS}}$, $V_{Dsat_{MS}} > V_{Dsat_{MD}}$. A figura 2.7 mostra a simulação elétrica da corrente de dreno de um transistor composto e a sua tensão de saturação para diferentes valores de V_G estimada através da eq. 2.33.

Em uma análise de primeira ordem, pode-se estimar $V_{Dsat_{TST}} = V_{GS_{TST}} - V_T$, ou seja, a mesma de um transistor simples equivalente. Note, entretanto, que as tensões de limiar de MD e MS não são necessariamente iguais (YAN; SANCHEZ-SINENCIO, 2000).

Diversos trabalhos já demonstraram a utilização de *self-cascodes* em aplicações de baixa potência e baixa tensão operando nas regiões de inversão fraca e moderada, principalmente em espelhos de corrente com alta impedância de saída (CAMACHO-GALEANO; GALUP-MONTORO; SCHNEIDER, 2005; GEROSA; NEVIANI, 2003; ZEKI; KUNTMAN, 2000).

Para visualizar o efeito da baixa tensão de saturação dos TSTs, considere a simulação elétrica de um espelho de corrente em 4 versões diferentes: simples, TST, cascode e cascode TST, cujos esquemáticos estão mostrados na figura 2.8.

A versão cascode do espelho de corrente é muito utilizada para proporcionar uma condutância de saída menor e conseqüentemente, uma menor diferença da corrente de cópia em relação à corrente de referência (LEE; LEUNG; MOK, 2005). Porém, a excur-

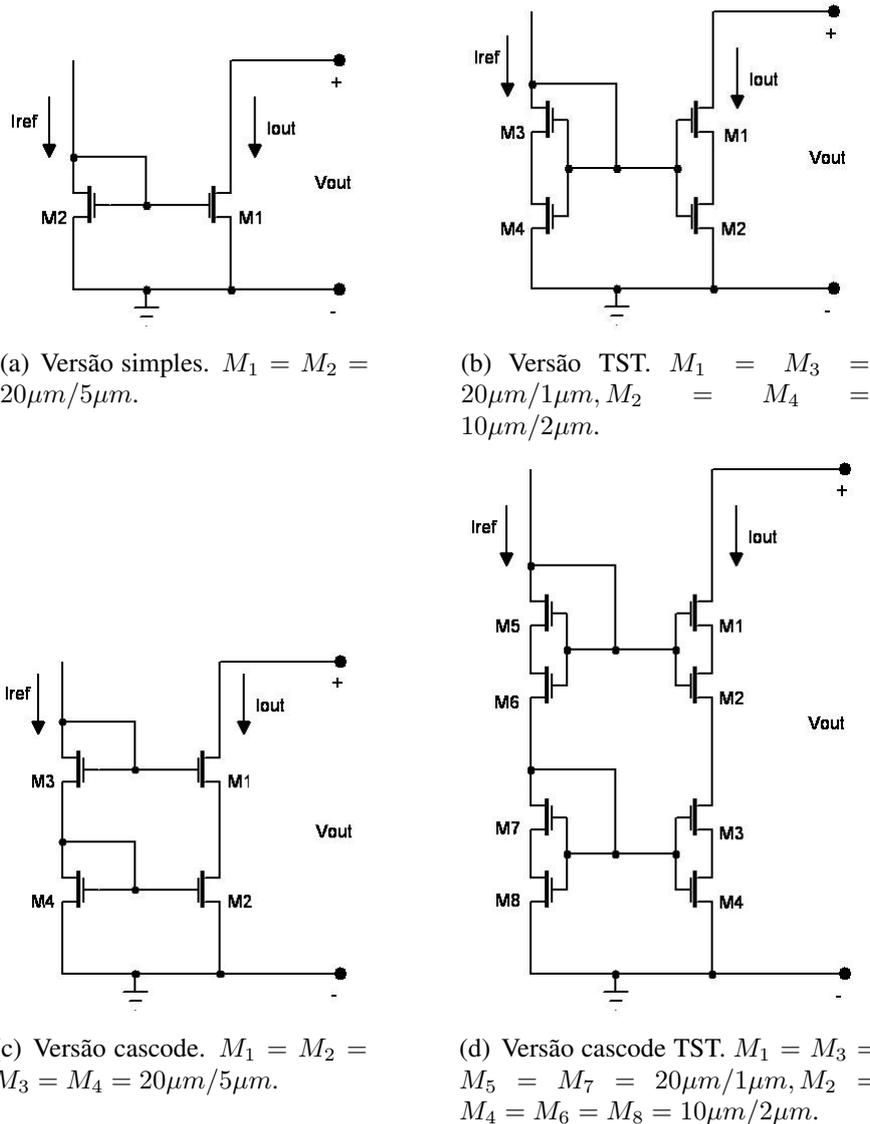


Figura 2.8: Esquemático de 4 versões diferentes de um espelho de corrente.

são mínima da tensão de saída está limitada a $V_{out(min)} = V_T + 2V_{on}$, sendo V_{on} a parte de V_{GS} que excede V_T . Obviamente, $V_{out(min)}$ pode ser reduzida através do aumento da relação de aspecto dos transistores e ajuste da tensão *gate-fonte*. Entretanto, utilizando-se TSTs, obtém-se um excursão mínima ainda menor com menos gasto em área, já que, para a versão TST, $V_{out(min)} = V_T + V_{on}$. Este é o mesmo valor do espelho versão simples. A vantagem é que a versão TST apresenta uma condutância de saída menor. A fig. 2.9 mostra a simulação elétrica da corrente de cópia em relação à tensão de carga para as 4 versões do espelho de corrente, em que o efeito da tensão de saturação fica evidente. Observe que a versão *cascode* TST não é viável, pois apresenta uma excursão mínima igual à da versão *cascode*.

2.2.3 Linearidade

A linearidade é um fator bastante importante em sistemas RF. A não-linearidade causa muitos problemas, como geração de harmônicas indesejáveis, compressão do ganho, dessensibilização, modulação cruzada, intermodulação, etc (RAZAVI, 1998; KIM; KIM;

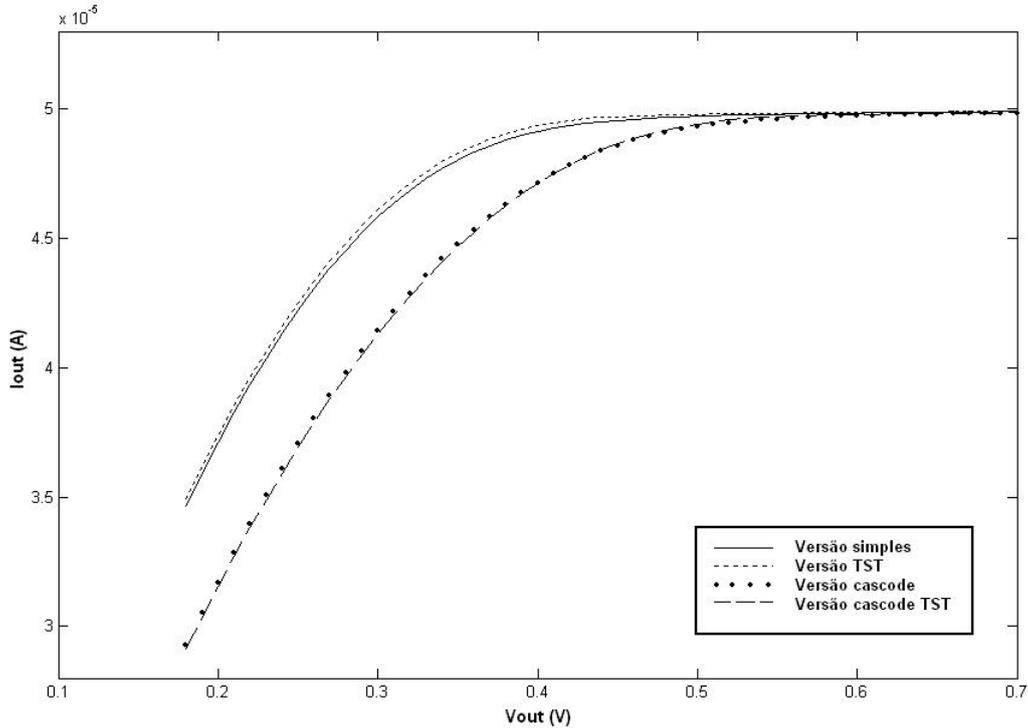


Figura 2.9: Simulação elétrica da corrente de cópia em relação à tensão de carga das 4 versões do espelho de corrente cujos esquemáticos estão na fig. 2.8. Tecnologia AMS 0.35, simulador Smash, modelo ACM, $V_T = 0.41V$.

LEE, 2004). Entre os vários tipos de distorção, as de ordem par são facilmente reduzidas através da utilização de arquiteturas diferenciais nos amplificadores. As de ordem ímpar, entretanto, são difíceis de reduzir, principalmente a distorção de intermodulação de terceira ordem (IMD_3), que é a componente de não-linearidade dominante em amplificadores RF. A medida de desempenho para este tipo de não-linearidade é geralmente expressa por IIP_3 (*third-order input intercept point*) dividido pelo consumo de potência DC (IIP_3/P_{DC}). Assim, um dos grandes desafios dos projetistas de RF é aumentar a relação IIP_3/P_{DC} em sistemas de baixíssima tensão de alimentação.

Muitas técnicas já foram propostas para aumentar o IIP_3 em amplificadores RF, como degeneração de fonte por resistor ou indutor (KO; LEE, 1996; KIM; LEE, 2002) e a utilização da configuração *cascode* (KO; LEE, 1997). Apesar destes métodos serem eficientes no aumento do IIP_3 , eles têm o problema da redução do ganho. O aumento da linearidade, na realidade, é o resultado da diminuição do ganho, já que o IIP_3 é limitado pela própria transcondutância do MOSFET (KIM; KIM; LEE, 2004).

Os TSTs também podem ser usados para o aumento da linearidade do amplificador RF, já que podem ser tratados como *self-cascodes* (SÁNCHEZ-SINENCIO; SILVA-MARTÍNEZ, 2000). Para investigar este efeito, realizou-se a simulação elétrica de um amplificador de baixo ruído (LNA - *Low-Noise Amplifier*), cujo esquemático está mostrado na figura 2.10. O LNA foi originalmente projetado com um transistor simples para operar em uma frequência de 2,4GHz, figura de ruído menor que 5dB e carga de 0,5pF, em tecnologia AMS 0.35 μm . Logo após, o transistor simples foi substituído por um TST equivalente. A tabela 2.1 mostra os resultados obtidos por simulação para o amplificador nas versões com transistor simples e com TST. Na versão transistor simples, o transistor M_1 possui $(W/L) = 442\mu m/1\mu m$ e uma transcondutância gm de 20mS (valor arbitrário

Tabela 2.1: Resultados de simulação elétrica do amplificador LNA da fig. 2.10 nas versões simples ($(W/L)_{M1} = 442\mu m/1\mu m$) e TST ($W_{MD} = 442\mu m$, $L_{MD} = 0.35\mu m$, $W_{MS} = 238\mu m$, $L_{MS} = 0.35\mu m$).

Parâmetro	Versão simples	Versão TST
f_{op}	2,4GHz	2,4GHz
A_v	15,5dB	12,8dB
NF	2,47dB	4,3dB
IIP_3	4,82dBm	7,28dBm
IIP_3/P_{DC}	0,27dBm/mW	0,65dBm/mW
I_D	5,4mA	3,4mA
gm	22,85mS	-
gm_{MD}	-	32mS
gm_{MS}	-	11,8mS
Área de gate	442 μm^2	238 μm^2

para casamento de impedância de entrada). Já na versão com TST, o transistor simples foi substituído por uma associação de dois transistores em série com mesmo $(W/L)_{eq}$: $W_{MD} = 442\mu m$, $L_{MD} = 0.35\mu m$, $W_{MS} = 238\mu m$, $L_{MS} = 0.35\mu m$. Os resultados demonstram que obteve-se um incremento no IIP_3 na versão TST em relação à versão simples, às custas da diminuição do ganho e do aumento da figura de ruído (NF). A área efetiva de gate, entretanto, foi reduzida quase pela metade. Isto demonstra que as associações trapezoidais de transistores possuem uma maior linearidade em gm e podem ser utilizadas em aplicações RF, proporcionando um parâmetro livre a mais ao projetista, que é a escolha das dimensões dos transistores unitários. O incremento na razão IIP_3/P_{DC} na versão TST do LNA justifica esta abordagem. As figuras 2.11 e 2.12 mostram os gráficos da simulação de IIP_3 do LNA nas duas versões.

2.2.4 Análise de Pequenos Sinais

A determinação de um modelo de pequenos sinais para baixas frequências é um meio importante de auxílio ao cálculo das características do dispositivo em torno de um determinado ponto de operação. No caso do TST, pode-se estimar um modelo de pequenos sinais equivalente, o qual servirá para futuros cálculos em circuitos que utilizam o transistor composto.

Na análise realizada nesta seção, não se considerou o efeito de corpo a fim de simplificar as equações e proporcionar um entendimento intuitivo a respeito dos resultados. O efeito de corpo sobre MD ($gmb_{MD}V_{XS}$) acontece quando o terminal de fonte do transistor MD (nó X) está em um potencial acima do terminal de fonte do TST (nó S)². Assim, a tensão V_{SB} de MD (igual a V_{MS} se considerarmos que $V_{SB_{TST}}$ é igual a zero) será maior que zero. Este efeito pode tornar-se nulo através de técnicas de *layout* pelas quais o substrato de MD é polarizado em um nível diferente do substrato de MS . Entretanto, esta técnica só é possível para um TST do tipo NMOS se a tecnologia de fabricação permitir o uso de poços do tipo P. Da mesma forma para um TST PMOS, poços do tipo N devem estar disponíveis. Neste caso, MD e MS estariam localizados em poços diferentes polarizados em V_X e V_S , respectivamente. Esta técnica de *layout* tem suas desvantagens, como aumento na área ocupado pelo TST e necessidade de poços de ambos os tipos P e

²Todo o tratamento do modelo de pequenos sinais neste texto é feito com base em um transistor do tipo NMOS. No caso do tipo PMOS, os resultados obtidos continuam valendo, porém com o sinal contrário.

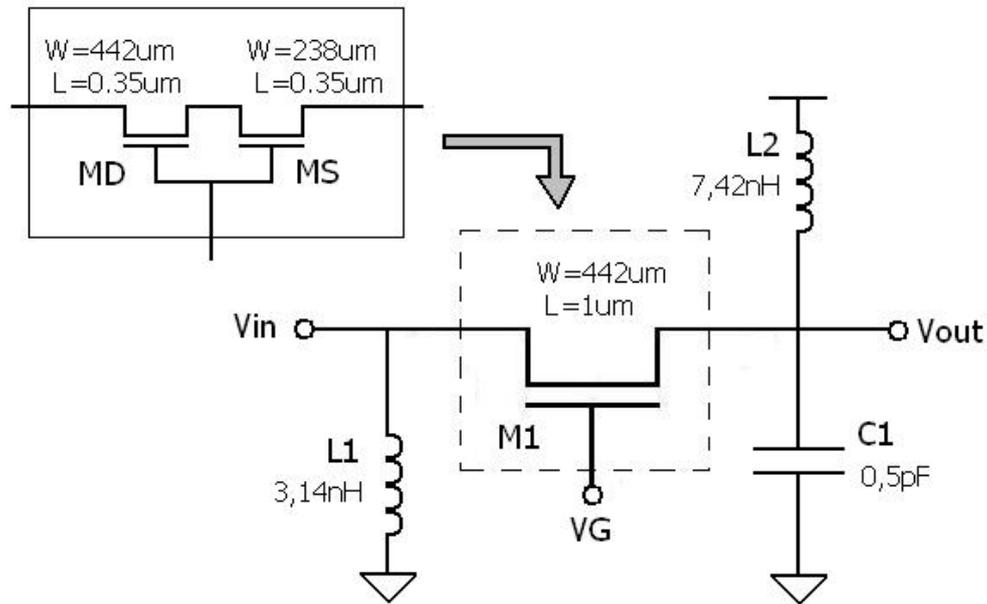


Figura 2.10: Esquemático de um amplificador de baixo ruído (LNA) com a substituição de M1 por um TST equivalente.

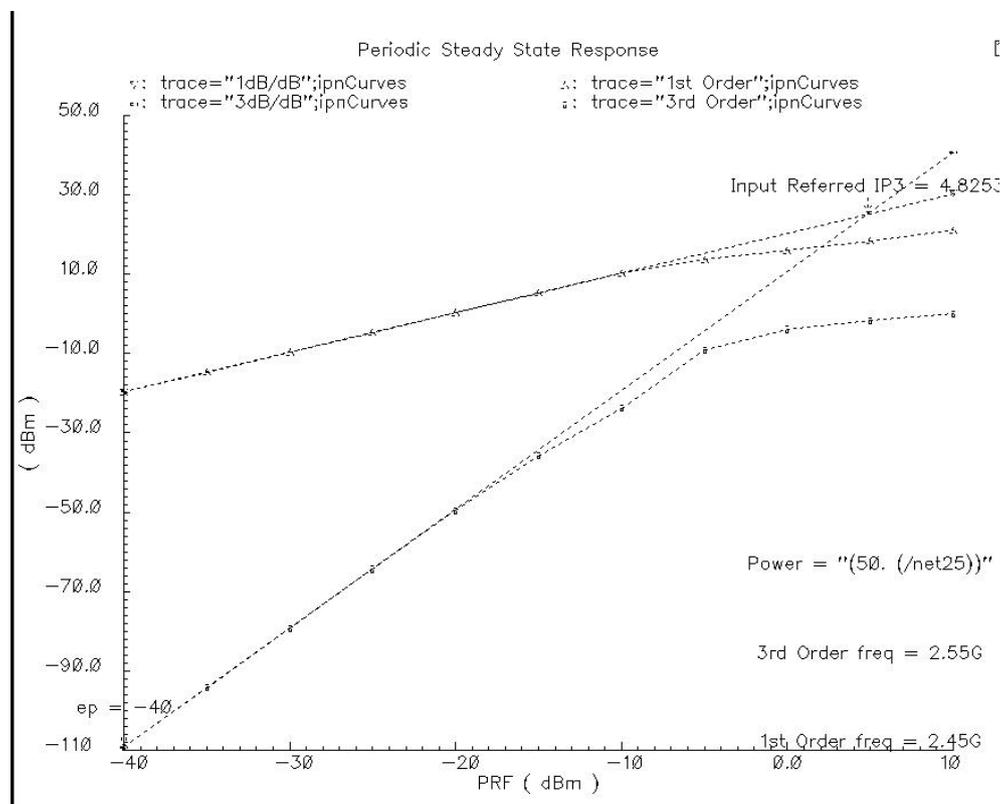


Figura 2.11: Simulação elétrica do IIP_3 para o LNA da fig 2.10, versão com transistor simples.

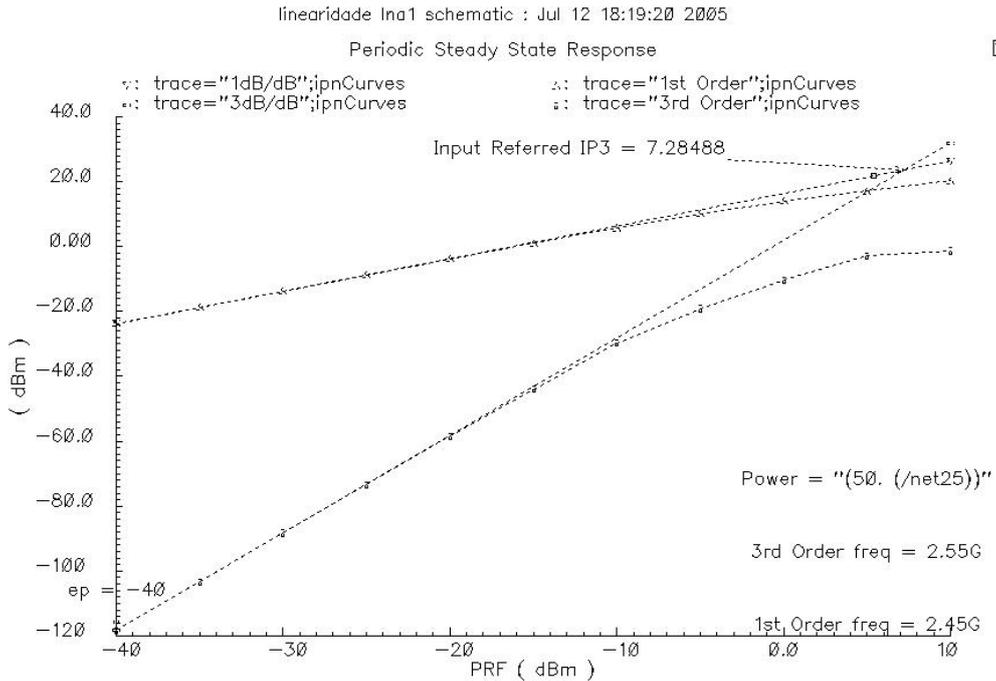


Figura 2.12: Simulação elétrica do IIP_3 para o LNA da fig 2.10, versão com TST.

N disponíveis na tecnologia. Porém, se considerarmos que o efeito de corpo torna-se menos significativo quanto menor o comprimento de canal dos transistores unitários - pois neste caso o efeito de canal curto predomina - podemos ignorá-lo sem perda na qualidade da análise. O preço a pagar em área seria grande demais para tão pouco ganho em desempenho.

A figura 2.13 mostra o modelo de pequenos sinais em baixa frequência do transistor composto (TSIVIDIS, 1999).

Após alguma manipulação algébrica, é possível calcular as transcondutâncias e condutâncias equivalentes. A transcondutância de $gate \partial I_D / \partial V_G$ do TST é dada por

$$gm_{TST} = \frac{gds_{MS}gm_{MD} + gm_{MS}gm_{MD} + gm_{MS}gds_{MD}}{gds_{MS} + gm_{MD} + gds_{MD}} \quad (2.34)$$

De acordo com (CHOI, 2001), a transcondutância de $gate$ de um TST é menor que a do transistor simples equivalente na região de inversão forte. Se considerarmos que $gm_{MD(MS)} \gg gds_{MD(MS)}$, a eq. 2.34 pode ser aproximada por

$$gm_{TST} \approx gm_{MS} \quad (2.35)$$

Esta aproximação só é válida no caso em que o transistor MD possui uma razão de aspecto muito maior que a do transistor MS . Pode-se comparar este efeito com o efeito de degeneração de fonte (VEERAVALLI; SÁNCHEZ-SINENCIO; SILVA-MARTINEZ, 2002), na qual MS , polarizado na região linear, atua como um resistor controlado pela tensão de $gate V_G$. Na prática, entretanto, a transcondutância equivalente do TST será maior que a transcondutância de MS e menor que a de MD :

$$gm_{MD} > gm_{TST} > gm_{MS} \quad (2.36)$$

Esta queda no valor de gm_{TST} reflete na resposta em pequenos sinais do TST, porém é compensada pelo aumento na resistência de saída, como será visto mais adiante. A

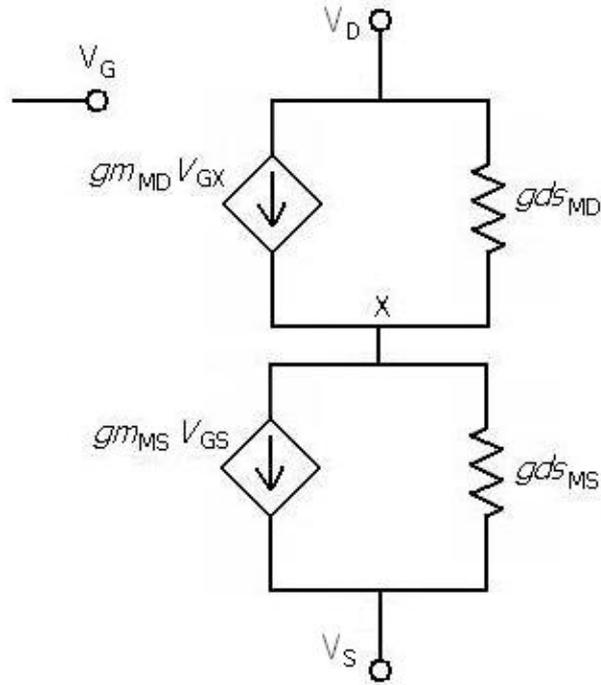


Figura 2.13: Modelo de pequenos sinais do transistor tipo T para baixas frequências.

figura 2.14 ilustra o comportamento da transcondutância de *gate* do TST através de uma simulação elétrica comparando gm_{TST} com gm_{MD} e gm_{MS} .

Já a condutância de saída do TST ($\partial I_D / \partial V_D$) pode ser calculada através do modelo de pequenos sinais da fig. 2.15:

$$gds_{TST} = \frac{gds_{MD}gds_{MS}}{gm_{MD} - gds_{MS} - gds_{MD}} \quad (2.37)$$

A figura 2.16 mostra a comparação entre as condutâncias de saída dos transistores unitários *MD* e *MS* e a condutância equivalente do TST. Pode-se notar que a condutância equivalente é menor que as condutâncias unitárias em todas as regiões de operação. Esta é a maior vantagem na utilização de TSTs, pois proporciona um incremento no estágio de ganho de um amplificador, por exemplo, ocupando uma área menor.

2.2.5 Análise em Médias Frequências

Para a análise em frequência, é necessária a inclusão das capacitâncias parasitas intrínsecas da associação, de acordo com a fig. 2.17, a qual mostra o esquemático da associação tipo T e os respectivos capacitores parasitas.

O circuito equivalente de pequenos sinais pode ser visto na fig. 2.18.

As capacitâncias parasitas são dadas por:

$$C_1 = C_{gs(MD)} + C_{gd(MS)} \quad (2.38)$$

$$C_2 = C_{bd(MS)} + C_{bs(MD)} \quad (2.39)$$

$$C_3 = C_{bd(MD)} + C_L \quad (2.40)$$

$$C_4 = C_{gd(MD)} \quad (2.41)$$

A capacitância parasita C_4 , localizada entre o *gate* e o dreno (V_{in} e V_{out}), resulta na adição de um zero na resposta em frequência, pois é mais um caminho possível entre a

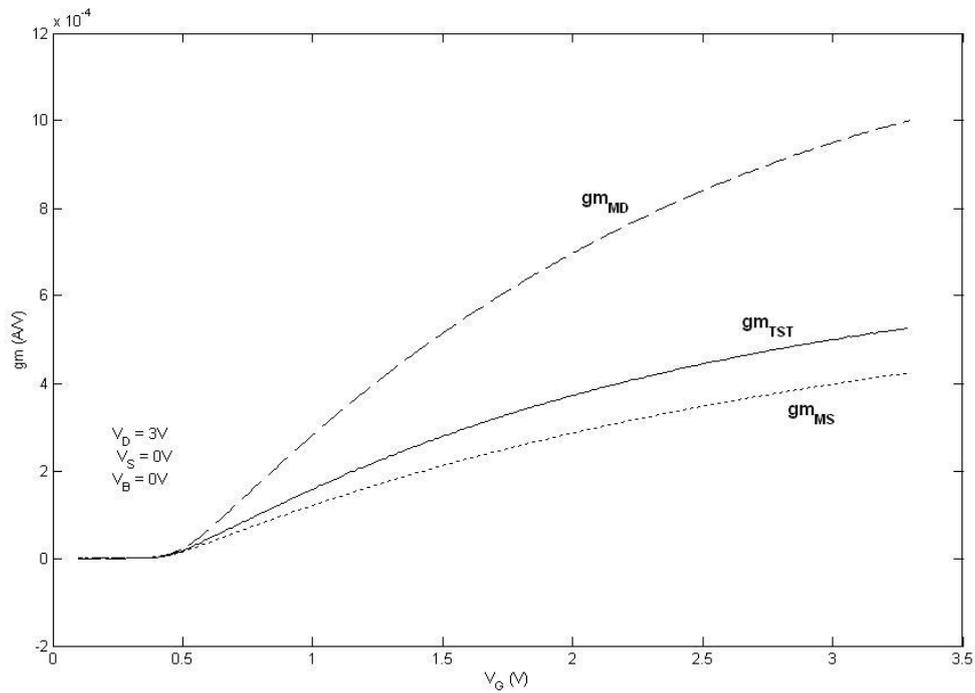


Figura 2.14: Simulação elétrica da transcondutância equivalente g_{mTST} de um transistor tipo T e das transcondutâncias unitárias g_{mMD} e g_{mMS} . $(W/L)_{MD} = 10\mu m/1\mu m$, $(W/L)_{MS} = 4\mu m/1\mu m$

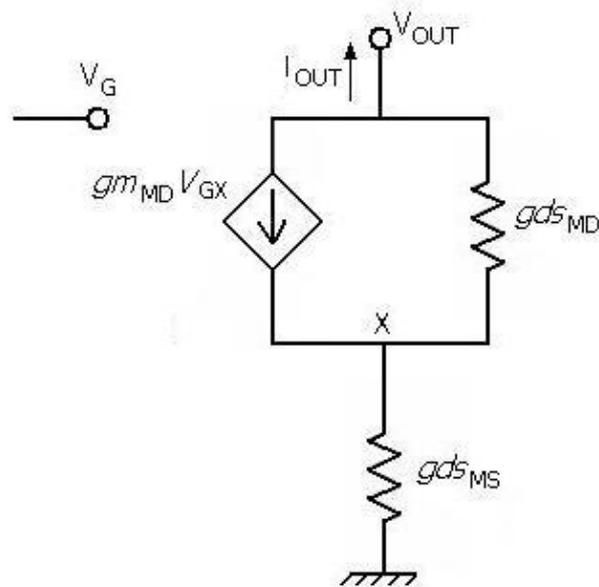


Figura 2.15: Modelo de pequenos sinais do transistor tipo T para cálculo da impedância de saída equivalente.

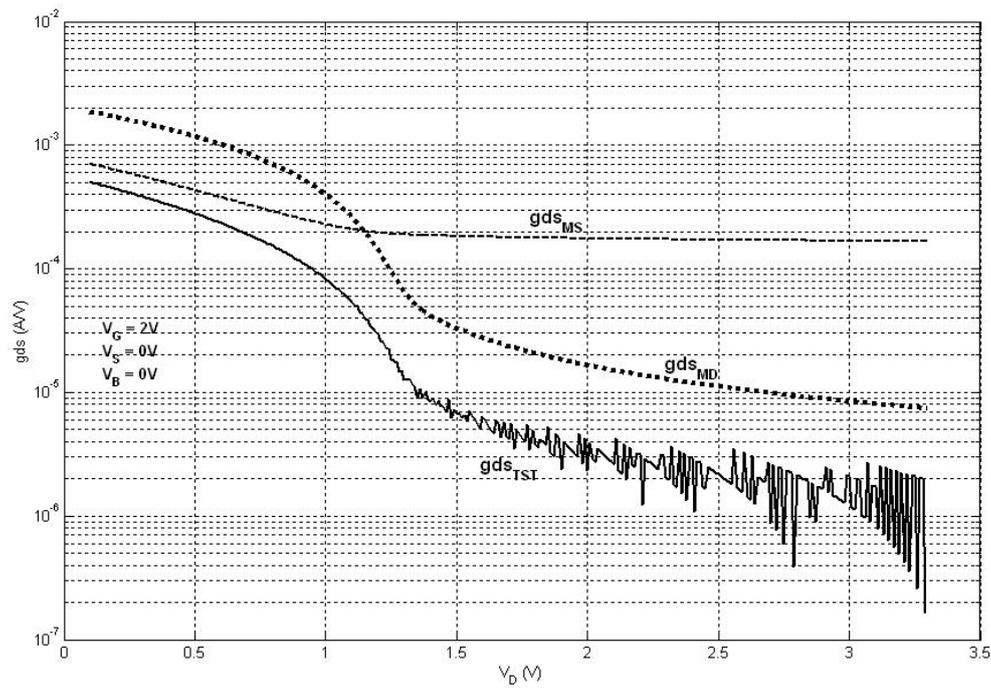


Figura 2.16: Simulação elétrica da condutância de saída equivalente gds_{TST} de um transistor tipo T e das condutâncias unitárias gds_{MD} e gds_{MS} . $(W/L)_{MD} = 10\mu m/1\mu m$, $(W/L)_{MS} = 4\mu m/1\mu m$

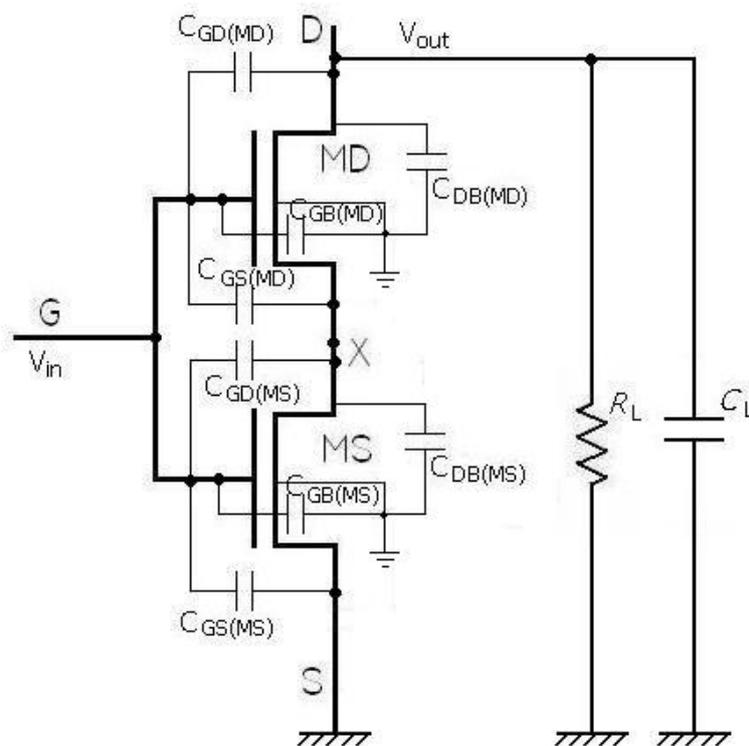


Figura 2.17: Esquemático da associação de transistores incluindo capacitâncias parasitas intrínsecas.

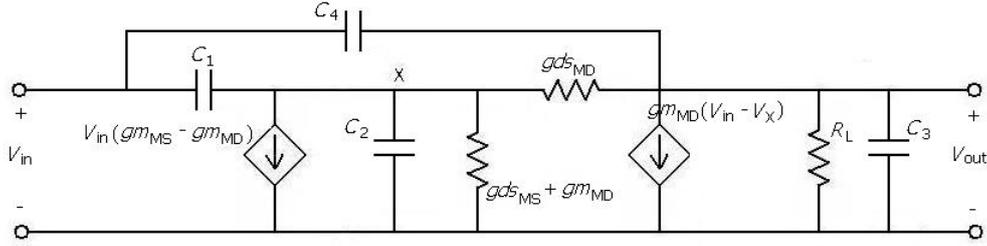


Figura 2.18: Circuito equivalente de pequenos sinais da associação TST incluindo capacitâncias parasitas intrínsecas.

entrada e a saída do circuito. Após alguma manipulação algébrica, chega-se à relação entre a entrada (V_G) e a saída (V_D) da associação tipo T, que é dada por (GIRARDI; BAMPI, 2004b):

$$\frac{V_{out}}{V_{in}} = \frac{a_1 s^2 + b_1 s + c_1}{a_2 s^2 + b_2 s + c_2} \quad (2.42)$$

onde

$$a_1 = (C_2 + C_1)C_4 \quad (2.43)$$

$$b_1 = C_4(g_{ds_{MS}} + g_{m_{MD}} + g_{ds_{MD}}) - C_2 g_{m_{MD}} + C_1 g_{ds_{MD}} \quad (2.44)$$

$$c_1 = -g_{m_{MD}} g_{ds_{MS}} - g_{m_{MS}} g_{ds_{MD}} \quad (2.45)$$

$$a_2 = (C_2 + C_1)(C_4 + C_3) \quad (2.46)$$

$$b_2 = (C_2 + C_1)(g_{ds_{MD}} + R_L) + (C_4 + C_3)(g_{ds_{MS}} + g_{m_{MD}} + g_{ds_{MD}}) \quad (2.47)$$

$$c_2 = (g_{ds_{MS}} + g_{m_{MD}} + g_{ds_{MD}})R_L + g_{ds_{MD}} g_{ds_{MS}} \quad (2.48)$$

Considerando-se que os pólos estão distantes um do outro, a eq. 2.42 nos dá o seguinte valor para o pólo dominante:

$$p_1 = -\frac{(g_{ds_{MS}} + g_{m_{MD}} + g_{ds_{MD}})R_L + g_{ds_{MD}} g_{ds_{MS}}}{(C_2 + C_1)(g_{ds_{MD}} + R_L) + (C_4 + C_3)(g_{ds_{MS}} + g_{m_{MD}} + g_{ds_{MD}})} \quad (2.49)$$

Já o pólo não-dominante é dado por:

$$p_2 = -\frac{(C_2 + C_1)(g_{ds_{MD}} + R_L) + (C_4 + C_3)(g_{ds_{MS}} + g_{m_{MD}} + g_{ds_{MD}})}{(C_2 + C_1)(C_4 + C_3)} \quad (2.50)$$

Observamos que, se $s = 0$, a eq. 2.42 reduz-se ao ganho DC intrínseco:

$$A_{v0} = -\frac{(g_{ds_{MS}} + g_{m_{MD}} + g_{ds_{MD}})g_{m_{MD}} + (-g_{m_{MS}} + g_{m_{MD}})(g_{ds_{MD}} + g_{m_{MD}})}{(g_{ds_{MS}} + g_{m_{MD}} + g_{ds_{MD}})(g_{ds_{MD}} + R_L) + g_{ds_{MD}}(-g_{ds_{MD}} - g_{m_{MD}})} \quad (2.51)$$

Apesar da análise em médias frequências resultar em expressões pouco intuitivas, ela demonstra que a associação tipo T pode ser tratada como um macro-bloco com características semelhantes à de um transistor comum. Em uma aproximação de primeira ordem, pode-se dizer que o ganho em baixas frequências da associação é maior em relação ao de um transistor simples, porém o pólo dominante é deslocado, perdendo-se em altas frequências. Estes efeitos podem ser melhor observados através de medidas e simulação elétrica, as quais serão abordadas mais adiante no texto.

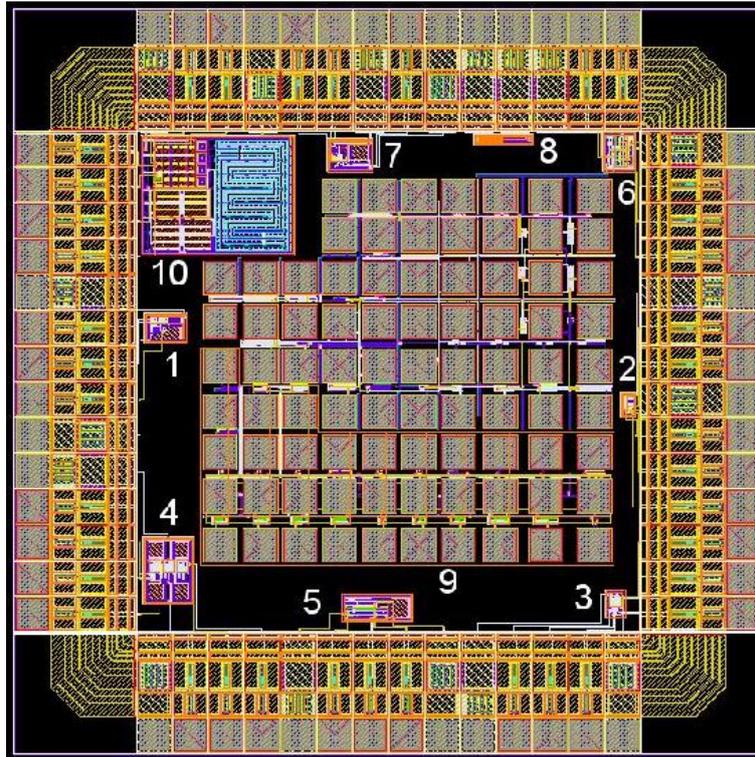


Figura 2.19: *Layout* do chip prototipado contendo estruturas para caracterização da tecnologia, associações de transistores e blocos analógicos. A descrição de cada bloco está na tab. 2.2.

2.3 Resultados Experimentais

Para validar os conceitos teóricos e as equações comportamentais da associação de transistores tipo T obtidas analiticamente, um chip contendo diversas estruturas de teste foi projetado e prototipado. O chip, em tecnologia AMS $0.35\mu\text{m}$ (3 níveis de metal), foi fabricado pelo CMP francês no sistema multi-usuário, retornando 5 amostras encapsuladas e 20 sem encapsulamento. Ele contém associações trapezoidais de transistores de diferentes tamanhos e formas, transistores simples retangulares para caracterização da tecnologia de fabricação, além de blocos analógicos básicos como amplificadores operacionais, comparadores, filtros, etc. A fig. 2.19 mostra o *layout* completo do chip. A área total, incluindo os pads, é de $4,55\text{mm}^2$. No centro estão localizadas as estruturas de caracterização (TSTs e transistores simples), as quais são acessadas através de microponteiras diretamente sobre os *pads*. Nas laterais estão dispostos os blocos analógicos, acessados através dos terminais externos do chip encapsulado. A fig. 2.20 mostra uma micro-fotografia do circuito prototipado.

A lista dos blocos prototipados está mostrada na tabela 2.2. Nesta seção serão considerados apenas os transistores e os TSTs localizados na região central do chip. No capítulo 3 serão abordados os blocos 1, 2, 5 e 6. Os demais blocos fazem parte de outras pesquisas realizadas pelo Grupo de Microeletrônica da UFRGS (CONRAD JÚNIOR et al., 2005).

Em relação às associações de transistores, várias comparações podem ser feitas entre elas e também com os transistores simples equivalentes. A lista completa de associações prototipadas está descrita na tabela 2.3.

Em primeiro lugar, compara-se diferentes associações do tipo T que possuem, na análise de primeira ordem, o mesmo W e L equivalente. As associações C1 a C6, cujos

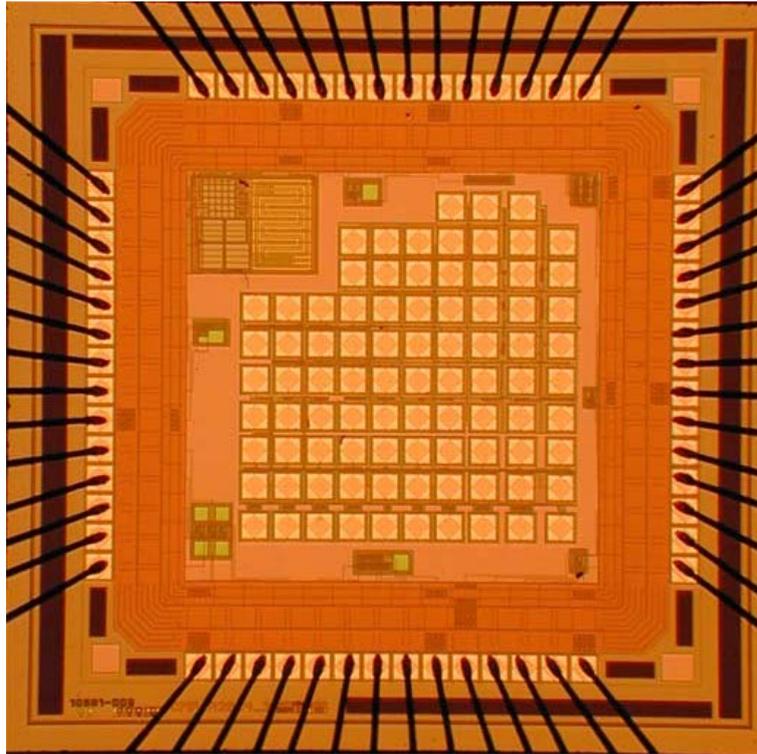


Figura 2.20: Micro-fotografia do chip prototipado em tecnologia AMS $0.35\mu m$.

esquemáticos estão mostrados na fig. 2.21 (o *layout* de $C6$, que é um caso especial de transistor trapezoidal unitário, está na fig. 2.22), possuem $W_{eq} = 20\mu m$ e $L_{eq} = 1,8\mu m$. Para efeitos de comparação também foi prototipado um transistor simples com estas dimensões, chamado de M_{16} . Os gráficos da fig. 2.23 mostram as curvas características de I_D e VA em relação a V_D , em inversão forte³. Pode-se notar que, apesar de todas as associações tipo T apresentarem uma perda em corrente (em relação a M_{16}), a associação $C1$ ainda assim possui uma condutância de saída g_{ds} menor que a do transistor simples e um valor da tensão de Early VA maior, fator que a torna uma boa opção a ser utili-

³As figuras dos resultados de medidas elétricas desta seção estão repetidas no apêndice A em tamanho maior para uma visualização mais detalhada. O número correspondente no apêndice está indicado junto à legenda de cada figura.

Tabela 2.2: Descrição dos blocos prototipados segundo numeração da fig. 2.19.

Número	Bloco	Simple/TST
1	Amplificador Miller versão 1	Simple
2	Comparador	Simple
3	Amplificador de transcondutância	Simple
4	Filtro gm-C	Simple
5	Amplificador Miller	TST
6	Comparador	TST
7	Amplificador Miller versão 2	Simple
8	Oscilador em anel	Simple
9	Transistores de teste	Simple e TST
10	Referência de tensão band-gap	Simple

Tabela 2.3: Lista de associações de transistores prototipadas em tecnologia AMS 0.35 μm tipo NMOS.

TST	W_{MD}	L_{MD}	W_{MS}	L_{MS}	W_{eq}	L_{eq}	$(W/L)_{eq}$	Área ativa de <i>gate</i> (μm^2)
A5	3 x 4 μm	0,3 μm	4 μm	0,3 μm	12 μm	1,2 μm	10	4,8
A6	4 x 4 μm	0,3 μm	2 x 4 μm	0,3 μm	16 μm	0,9 μm	17,78	7,2
B1n	2 x 4 μm	0,3 μm	4 μm	0,3 μm	8 μm	0,9 μm	8,89	3,6
B2n	6 x 4 μm	0,3 μm	4 μm	0,3 μm	24 μm	2,1 μm	11,43	8,4
B3n	10 x 4 μm	0,3 μm	4 μm	0,3 μm	40 μm	3,3 μm	12,12	13,2
B4n	10 x 4 μm	0,3 μm	5 x 4 μm	0,3 μm	40 μm	0,9 μm	44,44	18
B5n	10 x 4 μm	0,3 μm	9 x 4 μm	0,3 μm	40 μm	0,63 μm	63,5	22,8
C1	5 x 4 μm	0,3 μm	4 μm	0,3 μm	20 μm	1,8 μm	11,1	7,2
C2	5 x 4 μm	0,3 μm	3 x 4 μm	3 x 0,3 μm	20 μm	1,8 μm	11,1	16,8
C3	5 x 4 μm	0,3 μm	5 x 4 μm	5 x 0,3 μm	20 μm	1,8 μm	11,1	36
C4	20 μm	0,3 μm	12 μm	0,9 μm	20 μm	1,8 μm	11,1	16,8
C5	5 x 4 μm	0,3 μm	3 x 4 μm	0,9 μm	20 μm	1,8 μm	11,1	16,8
C6	-	-	-	-	20 μm	1,8 μm	11,1	16,8
C7	10 μm	1 μm	5 μm	2 μm	10 μm	5 μm	2	20
C8	10 μm	1 μm	2,5 μm	1 μm	10 μm	5 μm	2	12,5

zada em estágios de ganho de um amplificador, por exemplo. As demais associações não conseguiram o mesmo desempenho em pequenos sinais, porém possuem uma corrente de dreno mais próxima da do transistor simples. Em relação a *C6*, pode-se observar que o seu comportamento é similar ao de um transistor simples, com bom desempenho tanto em corrente quanto em condutância de saída.

Nestas mesmas curvas, comparando-se *C2*, *C4* e *C6*, observa-se que possuem características construtivas bastante semelhantes. A única diferença é quanto à organização e ao tamanho dos transistores unitários, no caso de *C2* e *C4*, e à ausência do nó central *X* em *C6*. Pode-se ver nos gráficos que há uma degradação na corrente de dreno causadas por efeitos de canal curto sobre os transistores unitários que compõem as associações, principalmente em *C2*. Estes efeitos não estão previstos na equação 2.4. A associação *C6* possui praticamente a mesma condutância de saída de M_{16} para uma corrente de saturação um pouco menor. É importante notar que *C6* é construído com menos da metade da área de *gate* de M_{16} (16,8 μm^2 contra 36 μm^2 , veja tab. 2.3), o que é importante para aplicações em altas frequências. O efeito da resistência série da região de difusão no nó central *X* (no caso de *C2* há 3 nós intermediários) também fica evidente nesta comparação, como pode ser visto na região linear do gráfico da corrente de dreno.

A comparação entre *C4* e *C5* mostra o aparecimento de um interessante efeito relacionado com a fabricação: o ajuste da largura do canal realizada na etapa de fabricação da máscara para cada transistor individual. Isto torna *C4* efetivamente mais estreito que *C5*, resultando em uma corrente de dreno aproximadamente 4% maior. A partir das curvas medidas, pode-se estimar em 0,15 μm o aumento da largura de canal fabricado para cada transistor unitário.

Uma relação interessante ocorre entre as associações *C1*, *C2* e *C3*. Note na fig.

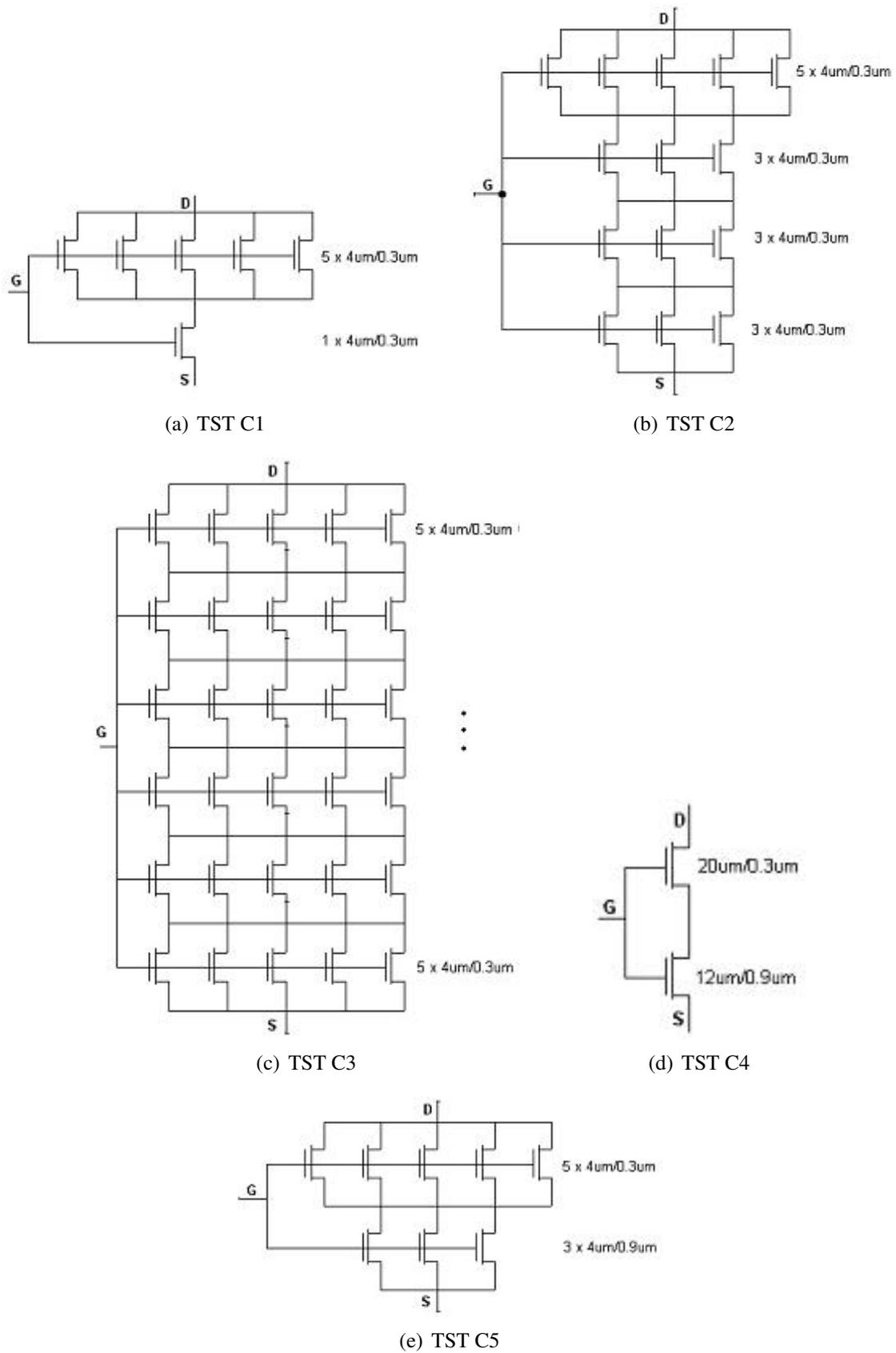


Figura 2.21: Esquêmicos das associações TST C1 a C5

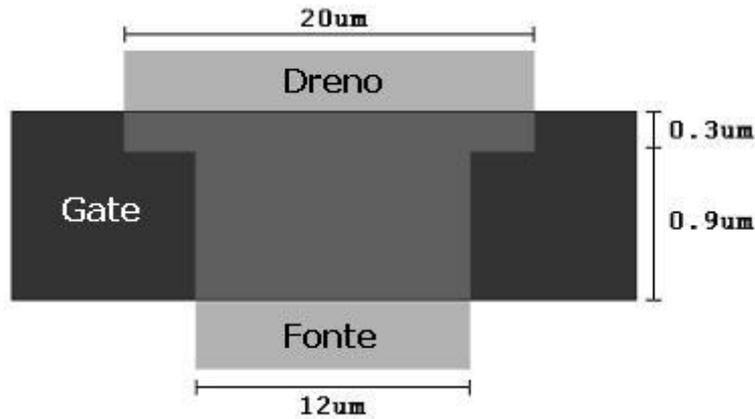
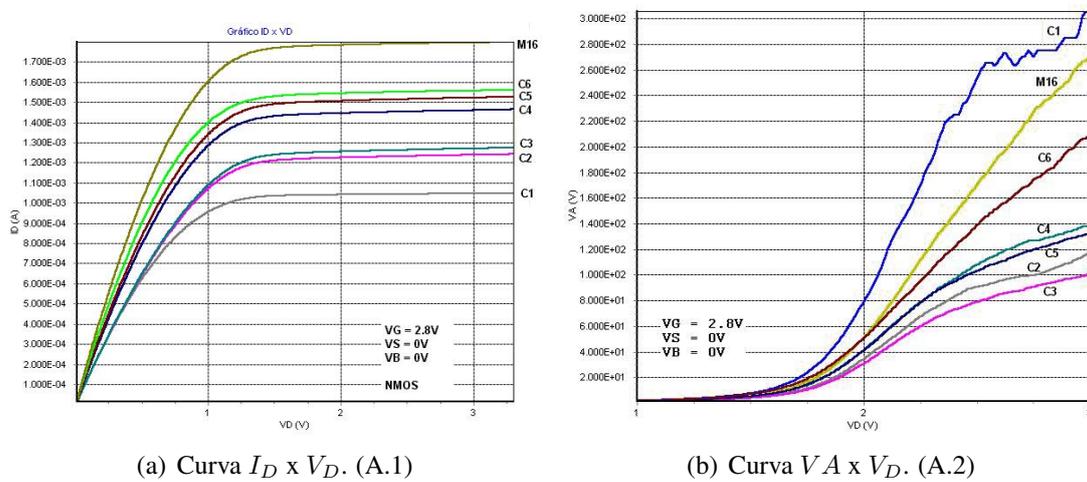


Figura 2.22: Layout do transistor tipo T C6.



(a) Curva $I_D \times V_D$. (A.1)

(b) Curva $V_A \times V_D$. (A.2)

Figura 2.23: Medidas elétricas das associações TST C1 a C6 NMOS em inversão forte, mais o transistor simples equivalente M_{16} ($W = 20\mu m$, $L = 1,8\mu m$).

2.23(a) que a pequena diferença entre $C2$ e $C3$ é devido a dois efeitos: primeiro, ao ajuste da largura, como foi dito anteriormente, o que aumenta a largura efetiva de MS em $C3$; segundo, ao pequeno campo elétrico longitudinal (dreno-fonte) no canal dos transistores $4\mu m/0,3\mu m$ da associação retangular $C3$. Esta é simplesmente uma manifestação do efeito físico de saturação de velocidade presente em transistores sub-micrométricos, levemente atenuado pela associação não-prática de 6 transistores em série. Já $C1$, com MS formado por apenas um transistor unitário de dimensões mínimas e área de $gate$ 4 vezes menor que a de M_{16} , obteve o melhor resultado em relação a condutância de saída e tensão de Early (fig. 2.23(b)). Pode-se concluir que quanto mais trapezoidal for a associação (maior a relação $(W/L)_{MD}/(W/L)_{MS}$), menor será a condutância de saída.

Em inversão fraca (fig. A.4 a A.6, apêndice A), os resultados são bastante semelhantes aos obtidos em inversão forte, porém os valores da condutância de saída e tensão de Early obtidos para as associações e para M_{16} são muito próximos entre si.

As fig. 2.24(a) e 2.24(b) mostram a variação de I_D e gm das associações $C1$ a $C6$ e do transistor simples M_{16} em relação a V_G , em saturação. Pode-se observar que em todas as associações a corrente de dreno é degradada devido aos efeitos de canal curto sobre os transistores unitários. A transcondutância das associações, conseqüentemente, também é prejudicada, ficando bem aquém do valor alcançado por M_{16} . No projeto de circuitos

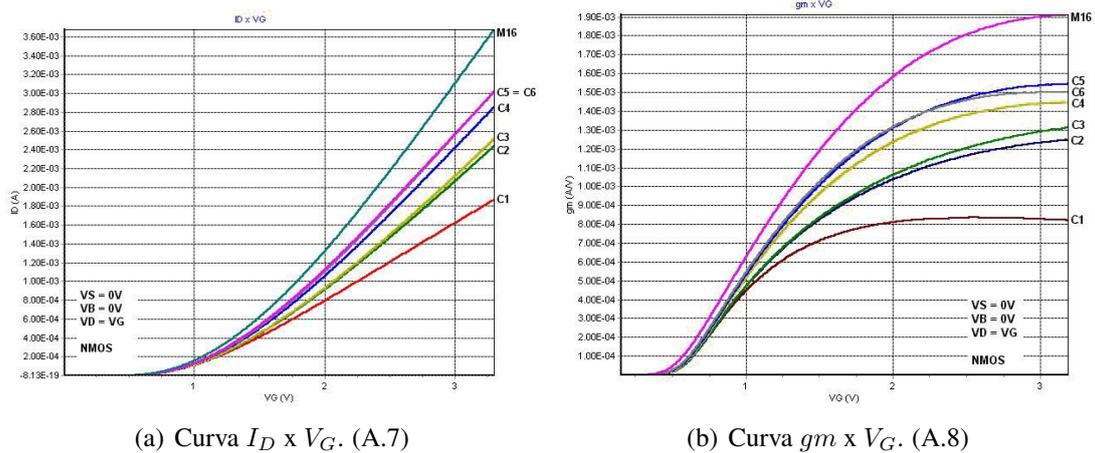


Figura 2.24: Medidas elétricas das associações TST C1 a C6 NMOS em saturação, mais o transistor simples equivalente M_{16} ($W = 20\mu m$, $L = 1,8\mu m$).

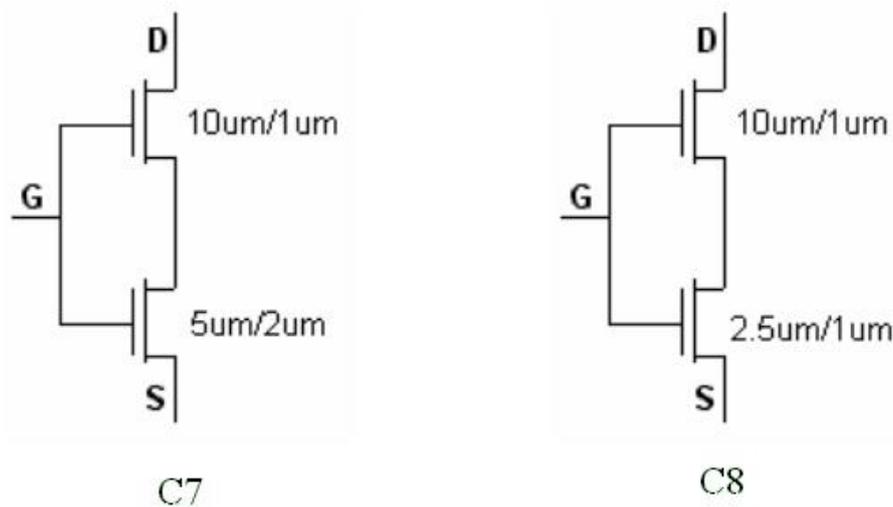


Figura 2.25: Esquemáticos das associações C7 e C8.

analógicos utilizando TSTs, isto deve ser levado em consideração para que o ganho obtido na condutância de saída não seja ocultado pela perda em transcondutância.

Outra comparação importante é entre as associações C7 e C8, mais o transistor simples equivalente M_{11} . Os esquemáticos estão mostrados na fig. 2.25. Ambas as associações possuem a mesma relação de aspecto equivalente ($10\mu m/5\mu m$), porém o transistor unitário MS de C8 é reduzido pela metade proporcionalmente em relação ao de C7. Para visualizar este efeito da redução de MS , foram medidos os gráficos da figura 2.26. Em inversão forte, observa-se que os efeitos de canal curto são mais evidentes em C8, como seria de se esperar. A corrente de saturação é visivelmente degradada. Por outro lado, a condutância de saída diminui à medida que MS encolhe, demonstrando mais uma vez esta característica dos transistores trapezoidais. Também a tensão de Early, que relaciona a corrente com a condutância, ainda é maior em C8. Em inversão fraca os mesmos efeitos aparecem, como podem ser vistos nos gráficos das figuras A.12 a A.14 no apêndice A. Já a transcondutância g_m mais uma vez diminuiu com MS , porém em valores não muito significativos comparados com o decréscimo de g_{ds} (figuras A.15 a A.16).

Para verificar o grau de sensibilidade das características elétricas das associações em

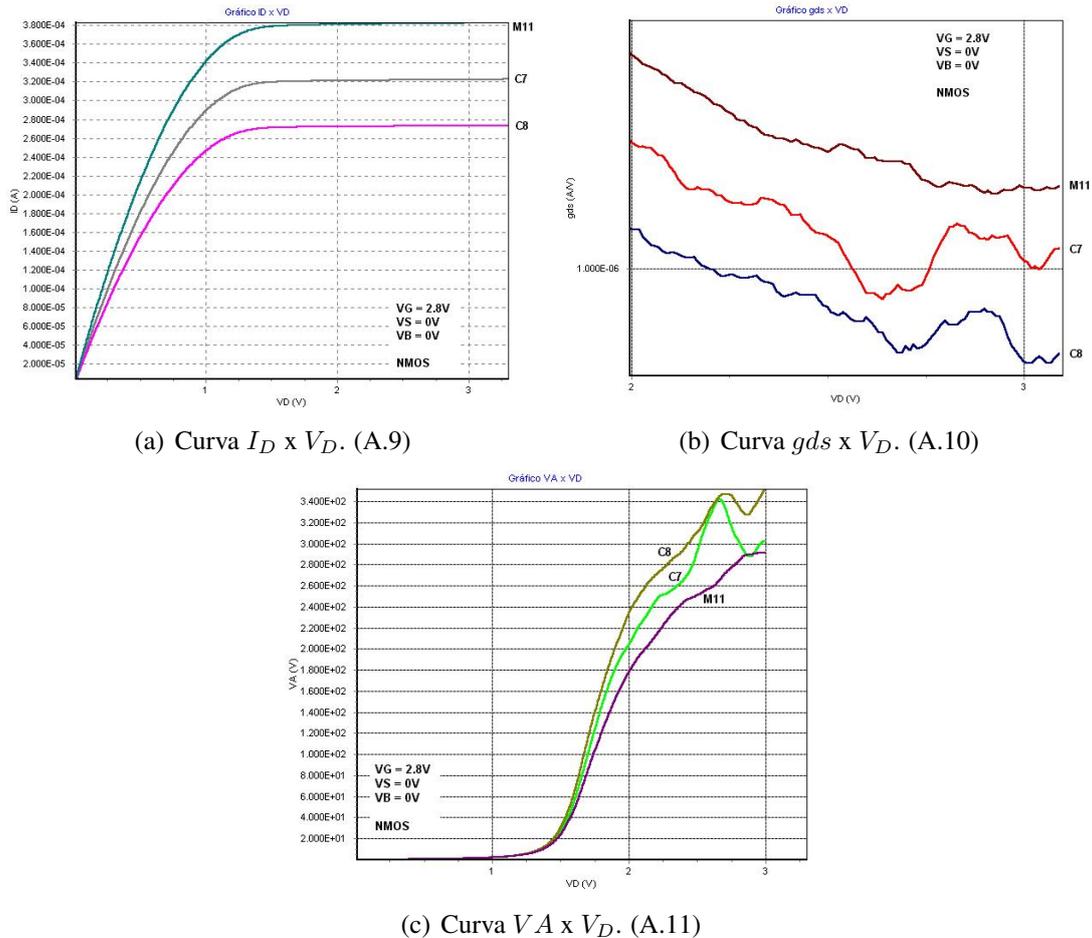


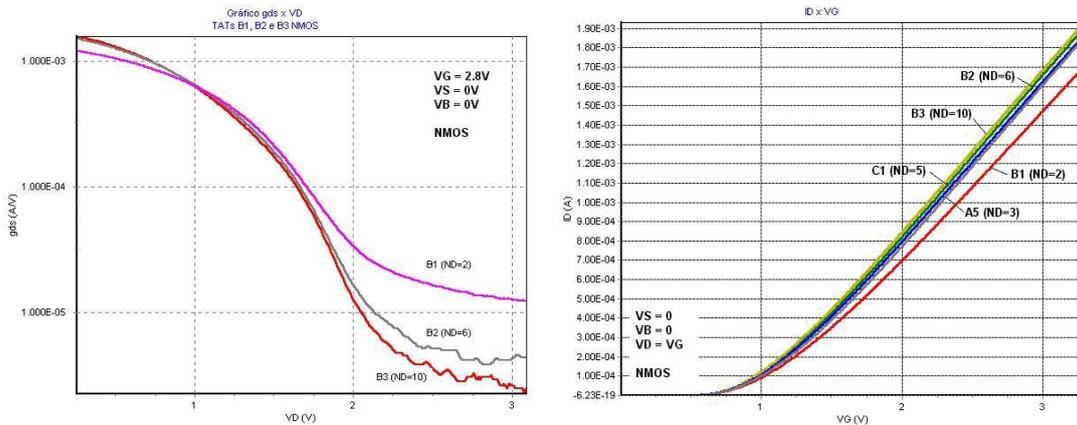
Figura 2.26: Medidas elétricas das associações TST C7 e C8 NMOS em inversão forte, mais o transistor simples equivalente M_{11} ($W = 10\mu m$, $L = 5\mu m$).

relação ao tamanho de MD e MS , mediu-se uma série de associações compostas por transistores unitários de mesmo tamanho ($4\mu m/0,3\mu m$), porém em quantidades diferentes. O número de transistores unitários em paralelo que formam MD e MS é chamado de ND e NS , respectivamente. A tab. 2.4 mostra a lista destes TSTs.

Apesar de não possuírem a mesma relação de aspecto equivalente, a comparação destas associações é importante para verificar o quanto cada componente influencia na corrente de dreno, na condutância de saída e na transcondutância. As associações $B1$, $B2$, $B3$, $A5$ e $C1$ possuem $NS = 1$ e ND variável. Os gráficos da fig. 2.27 mostram os resultados medidos para estas associações. Nota-se que a condutância de saída diminui à medida que ND aumenta, ou seja, à medida que a associação torna-se cada vez mais trapezoidal. A corrente de dreno praticamente não varia com o aumento de ND , chegando inclusive a saturar para $ND > 3$. O mesmo ocorre com a transcondutância gm . Esta pouca sensibilidade a ND pode ser explicada pelo fato de o transistor unitário MD estar saturado e o valor da tensão no nó central X no ponto de operação ser determinado principalmente por $V_{Dsat(MD)}$. Por outro lado, fixando-se ND e variando-se NS , os efeitos são bem mais proeminentes, como mostram os gráficos da figura 2.28, os quais comparam as associações $B3$, $B4$ e $B5$. Estas associações possuem $ND = 10$ e NS variando de 1 a 9. Aqui, pode-se ver claramente que tanto a corrente de dreno quanto a transcondutância são extremamente sensíveis a NS , aumentando à medida que NS aumenta. Já a condutância de saída segue o mesmo comportamento já descrito do efeito trapezoidal.

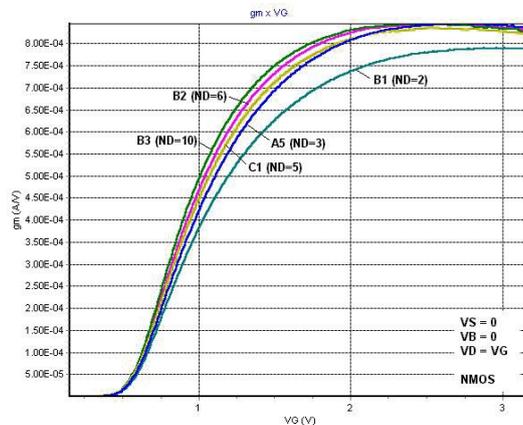
Tabela 2.4: Valores de ND e NS dos TSTs para comparação dos efeitos da variação destes parâmetros. Para todas as associações, $W_{un} = 4\mu m$ e $L_{un} = 0.3\mu m$.

Associação	ND	NS
B1	2	1
A5	3	1
C1	5	1
B2	6	1
B3	10	1
B4	10	5
B5	10	9



(a) Curva g_{ds} x V_D . (A.17)

(b) Curva I_D x V_G . (A.18)



(c) Curva g_m x V_G . (A.19)

Figura 2.27: Medidas elétricas para NS constante das associações TST A5, B1, B2, B3 e C1 NMOS, todas com $NS = 1$.

Em suma, o comportamento elétrico das associações trapezoidais de transistores, incluindo a versão conceitual (transistor C6), possui características semelhantes ao de transistores retangulares, tanto para grandes como para pequenos sinais. A possibilidade de se alterar ND e NS faz com que se possa também ajustar essas características de acordo com a necessidade. A característica mais importante é a que se refere a g_m e g_{ds} : quanto mais trapezoidal for o formato da associação, menor a condutância de saída, porém menor também será a transcondutância. Isto pode ser controlado facilmente pelo dimensionamento adequado de MS , o qual é o principal responsável pela variação tanto

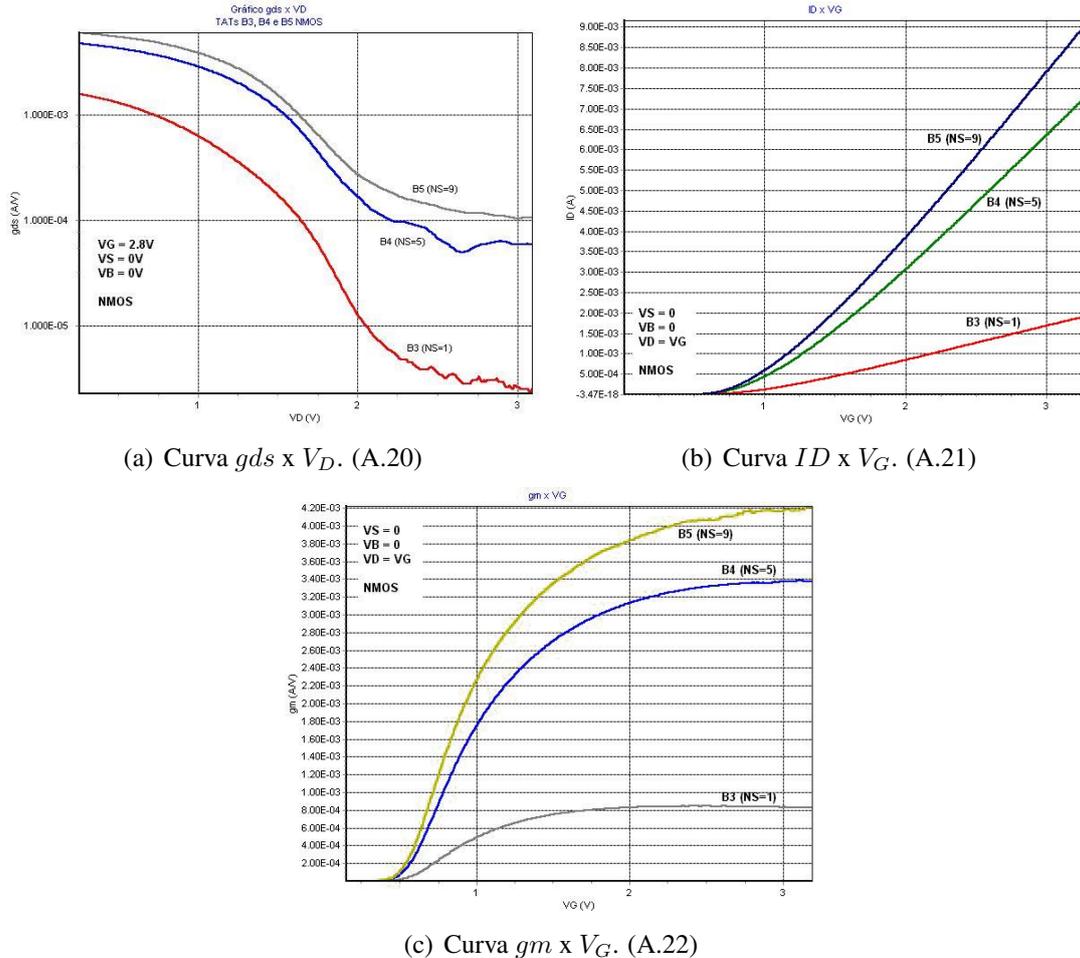


Figura 2.28: Medidas elétricas para ND constante das associações TST B3, B4 e B5 NMOS, todas com $ND = 10$.

da transcondutância de *gate* quanto da condutância de saída da associação. A tensão de Early V_A , outro fator de mérito diretamente relacionado ao ganho intrínseco do transistor, obtém um incremento à medida que a associação torna-se cada vez mais trapezoidal. Como $V_A = I_D/g_{ds}$, percebe-se que a redução da corrente de dreno é menos proeminente que a diminuição da condutância de saída nas associações.

Para efeito de comparação dos resultados obtidos através de medidas elétricas, os gráficos da figura 2.29 mostram uma comparação destas medidas com simulação elétrica usando o modelo ACM, tecnologia AMS $0.35\mu m$. Percebe-se que há pouca diferença entre as curvas medidas e simuladas, o que evidencia a boa aproximação por parte do modelo analítico das características elétricas das associações trapezoidais. O modelo ACM utilizado inclui parâmetros que modelam os efeitos de canal curto e é contínuo em todas as regiões de operação. Estes resultados demonstram que a utilização de um modelo para simulação de transistores retangulares convencionais pode ser utilizado para a simulação elétrica também de associações trapezoidais de transistores com resultados bastante satisfatórios. Os parâmetros do modelo ACM utilizados foram extraídos a partir dos parâmetros fornecidos pela foundry para o modelo BSIM3v3 e otimizados de acordo com as medidas realizadas sobre as estruturas de teste prototipadas (COITINHO et al., 2001).

2.4 Conclusão

A modelagem das associações de transistores em formato trapezoidal é de fundamental importância para o entendimento do seu comportamento elétrico e para que se possa obter o máximo desempenho possível na sua utilização em projetos de circuitos integrados analógicos. As principais vantagens dos TSTs são a baixa tensão de saturação, alta linearidade, e baixa condutância de saída. Isto os torna próprios para aplicações em baixa potência e baixa tensão de alimentação, podendo ser aplicados em estágios de ganho e espelhos de corrente. Como pontos negativos, destaca-se a degradação no valor da transcondutância de *gate*.

Para controlar as características elétricas das associações, pode-se variar as dimensões dos transistores que as compõem. De modo geral, quanto mais trapezoidal for a associação, mais baixa será a condutância de saída. Para casos em que $ND \gg NS$, o transistor MD está sempre saturado e MS opera na região linear. Assim, gm e gds são extremamente sensíveis à variação no valor de NS . Entretanto, efeitos de canal curto fazem com que ocorra uma diminuição no valor da corrente de dreno quando MD e MS são compostos por transistores unitários de comprimento de canal próximo ao mínimo permitido pela tecnologia de fabricação.

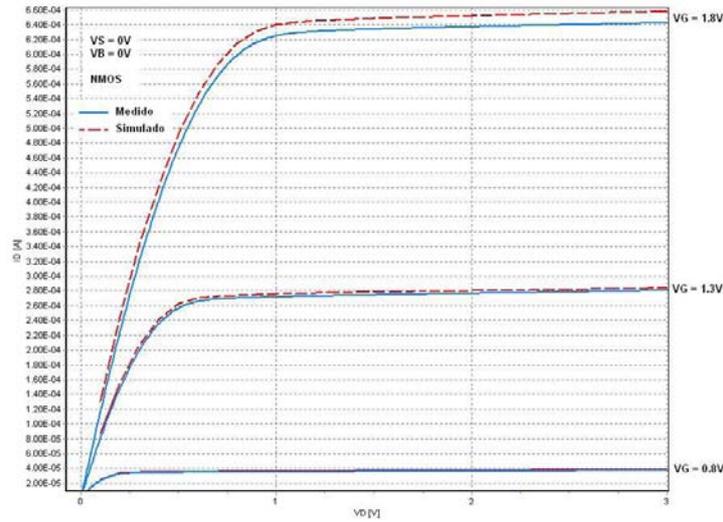
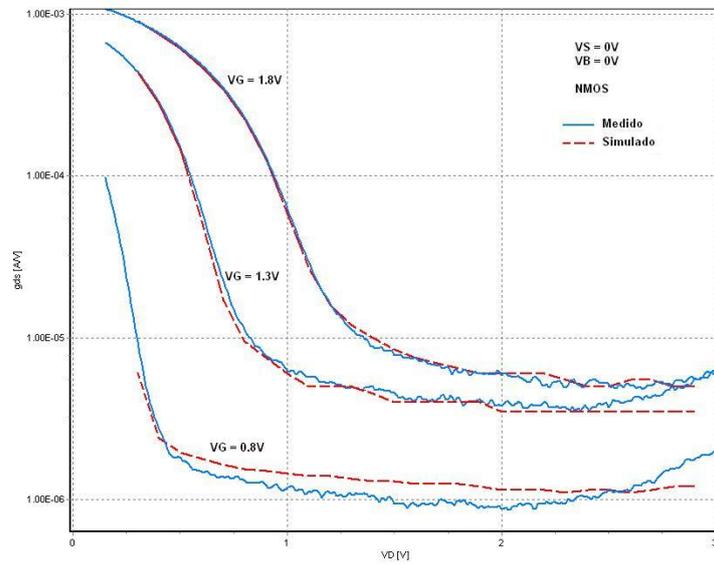
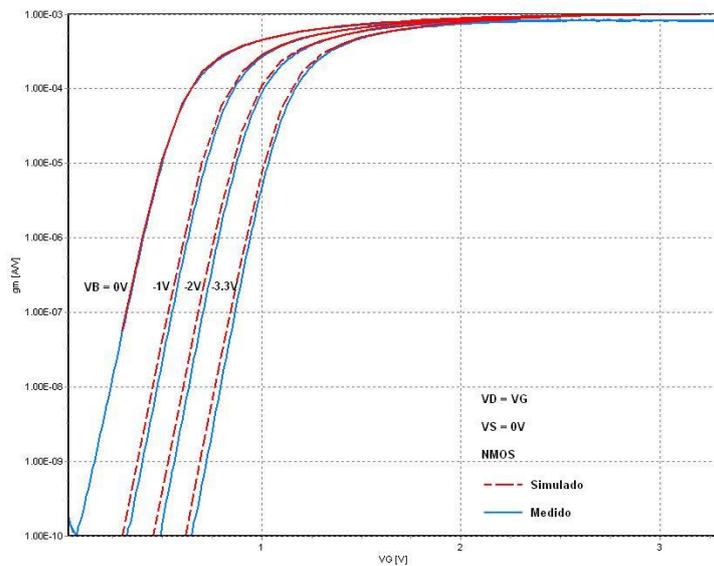
(a) Característica $I_D \times V_D$.(b) Característica $g_{ds} \times V_D$.(c) Característica $g_m \times V_G$.

Figura 2.29: Comparação entre medida e simulação elétrica da associação C1. Tecnologia AMS $0.35\mu m$, modelo ACM.

3 METODOLOGIA DE PROJETO USANDO TSTS

A metodologia de síntese de circuitos analógicos que utiliza associações trapezoidais de transistores baseia-se na premissa de que um circuito analógico com transistores simples já foi previamente projetado e validado. A transformação para um projeto com TSTs inicia com uma descrição em formato *spice* deste circuito. O resultado esperado é um circuito equivalente formado por TSTs que mantenha as mesmas especificações originais de ganho de tensão (ou corrente), banda passante, produto ganho-faixa, potência, *slew-rate*, etc, originais. Apesar de algumas especificações precisarem ser relaxadas em detrimento de outras, como será visto mais adiante com exemplos de projeto, pretende-se demonstrar que a transformação de cada transistor simples em um TST é viável e pode ser uma alternativa para a automação do projeto analógico. Este capítulo apresenta as metodologias para a determinação de associações equivalentes a um transistor simples e a sua utilização no projeto de dois blocos analógicos básicos: amplificador de transcondutância tipo Miller e comparador. As metodologias estão incluídas na implementação do módulo LIT-T da ferramenta LIT, o qual propicia um ambiente gráfico e interativo de auxílio ao projetista na determinação da melhor associação equivalente.

3.1 Estimativa da Associação Equivalente

A tarefa de transformação de um transistor simples para uma associação trapezoidal equivalente não é direta e, muitas vezes, pode levar a projetos que não satisfaçam as especificações desejadas. Dada a definição de equivalência em corrente, no qual o TST equivalente deve possuir uma corrente DC igual ou próxima à corrente DC do transistor simples para uma mesma polarização, o fato é que podem existir várias soluções de TST equivalente. Assim, cabe ao projetista decidir sobre qual solução utilizar. Como visto no capítulo 2, as equações para o cálculo do TST equivalente baseadas na aproximação de primeira ordem (eq. 2.2 a 2.4) não produzem bons resultados quando os transistores unitários possuem comprimento de canal menores que $1\mu m$. Nestas tecnologias, os efeitos de canal curto são mais acentuados. A inclusão dos efeitos de canal curto sobre as equações da aproximação de primeira ordem complicaria em muito os cálculos, já que os transistores compostos *MD* e *MS* operam em diferentes regimes de polarização. Assim, outra aproximação para o cálculo dos TSTs equivalentes torna-se necessária. Resolveu-se partir para um método segundo o qual a corrente DC de um TST é calculada de acordo com equações que modelam os efeitos de canal curto de dois transistores retangulares em uma associação série. Estas equações, entretanto, exigem que o ponto de operação da associação seja conhecido, pois as curvas características dos transistores simples e das associações trapezoidais diferem em regiões diferentes de operação, ou seja, não existe associação trapezoidal equivalente em corrente a um transistor simples em todos os pontos

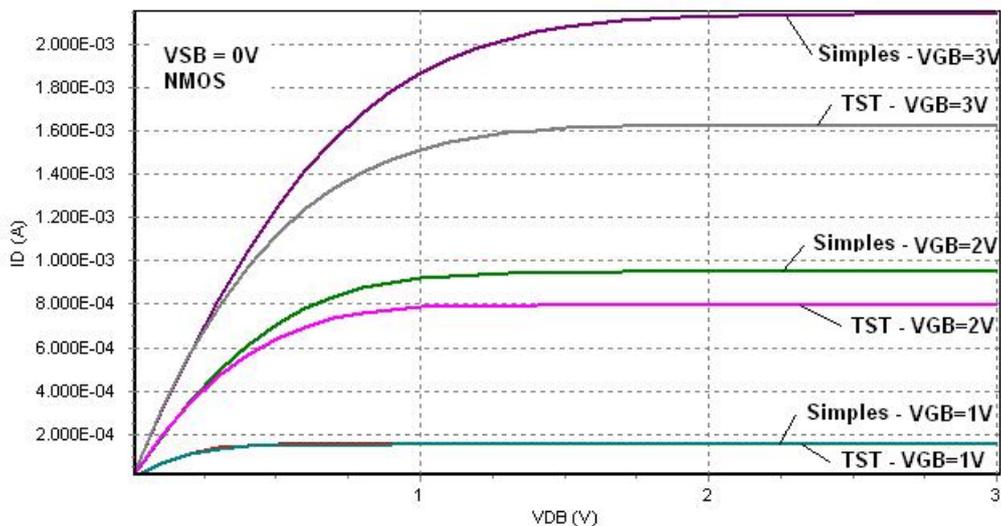


Figura 3.1: Simulação elétrica da característica $I_D \times V_{DB}$ de um transistor simples e de um TST equivalente para diversos valores de V_{GB} . $W/L_{simples} = 10\mu m/1\mu m$, $ND = 3$, $NS = 1$, $(W/L)_{unitario} = 4\mu m/0,3\mu m$. Tecnologia AMS $0.35\mu m$.

de operação. Como exemplo, observe as curvas características $I_D \times V_{DB}$ de um transistor simples e de um TST mostradas na fig. 3.1. Pode-se afirmar, neste caso, que o TST é equivalente ao transistor simples quando $V_{GB} = 1V$, pois para esta polarização os níveis de corrente são iguais. Já para os demais valores de V_{GB} existe uma diferença considerável na corrente, ou seja, não há mais equivalência.

Para o cálculo da associação equivalente, os seguintes parâmetros precisam ser conhecidos:

- Comprimento de canal do transistor simples (L_{sg})
- Largura de canal do transistor simples (W_{sg})
- Comprimento de canal dos transistores unitários (L_{un})
- Largura de canal dos transistores unitários (W_{un})
- Margem de diferença aceitável, em % (f)
- Menor valor de ND (ou NS) permitido
- Maior valor de ND (ou NS) permitido
- Tensões de polarização (V_{GB} , V_{DB} e V_{SB})
- Parâmetros elétricos do modelo para a tecnologia-alvo

Um TST é considerado equivalente em corrente a um transistor simples quando a seguinte condição de desvio de corrente é satisfeita:

$$f_{[\%]} > \left| \frac{I_{D(TST)} - I_{D(simples)}}{I_{D(simples)}} \right| \cdot 100 \quad (3.1)$$

Entretanto, há casos em que os parâmetros de pequenos sinais gm e gds também precisam ser equivalentes, dependendo da função que o transistor exerce dentro do circuito. Transistores do par diferencial de entrada em um estágio de ganho, por exemplo, devem possuir equivalência em transcondutância de *gate* e/ou condutância de saída, já que a corrente de dreno que passa por eles é fixa e determinada por uma fonte de corrente. O valor de gm/gds é o parâmetro mais importante deste tipo de transistor. Por outro lado, os transistores que compõem um espelho de corrente precisam ter equivalência em corrente, sendo que a transcondutância é um fator secundário.

Assim, pode-se identificar três tipos de equivalência:

- Equivalência em W/L (primeira ordem)
- Equivalência em corrente
- Equivalência em pequenos sinais (gm ou gm/gds)

A equivalência em corrente pode ser calculada de duas maneiras. A primeira considera que as tensões terminais do TST são fixas e busca-se uma associação que possua a mesma corrente (ou próxima, dentro de um limite pré-estabelecido) que um transistor simples nesta condição de polarização. Este método é utilizado em circuitos onde os TSTs são polarizados com tensão fixa como, por exemplo, em fontes de corrente. Já a segunda maneira abrange os casos em que a corrente é fixada em um determinado valor e pode haver mudanças na polarização com a variação das tensões terminais, como no caso dos espelhos de corrente. As seções a seguir trazem um detalhamento maior destas duas metodologias de determinação de associações trapezoidais equivalentes em corrente.

3.1.1 Equivalência em corrente com tensão fixa

Para exemplificar o cálculo de associações trapezoidais equivalentes em corrente considerando-se fixas as tensões terminais V_{GB} , V_{DB} e V_{SB} , considere um transistor tipo NMOS chamado M_{ref} , com $W = 50\mu m$ e $L = 1,5\mu m$, operando na polarização $V_{GB} = 1,65V$, $V_{DB} = 1,65V$, $V_{SB} = 0V$. A tab. 3.1 mostra os valores de corrente, transcondutância de *gate*, condutância de saída e gm/I_D de M_{ref} no ponto de operação considerado. Limitando os TSTs a dois transistores em série com mesmo comprimento de canal, tem-se a configuração da fig. 2.1, onde MD e MS são compostos por ND e NS transistores unitários em paralelo, respectivamente. Os transistores unitários, para efeito de simplificação, são considerados todos do mesmo tamanho ($W_{un} = 4\mu m$ e $L_{un} = 0,3\mu m$). Utilizando o modelo ACM, calcula-se, para a polarização indicada, a corrente de dreno das associações para todas as combinações possíveis de ND e NS até um ND máximo arbitrário, sempre obedecendo à regra $ND > NS$ (condição para que a associação mantenha o aspecto trapezoidal). O ND máximo escolhido foi 40, de maneira a limitar o efeito das capacitâncias parasitas no nó de dreno.

Filtrando os resultados obtidos para as associações para uma diferença máxima de corrente em relação a M_{ref} de $\pm 1\%$, obtém-se 6 possíveis alternativas de associações equivalentes em corrente, conforme mostrado na tab. 3.2. A tabela também mostra os valores simulados para gm , gds e gm/I_D , além dos respectivos erros em relação ao transistor simples. Pode-se notar que a opção TST1 é a que mais se aproxima do transistor simples, tanto no valor da corrente quanto de gm . As opções TST2 a TST6 demonstram o efeito da saturação de MD , em que ND varia de 15 a 19 para $ND = 4$, porém sem um aumento significativo no fornecimento de corrente. Para todas as opções, a condutância

Tabela 3.1: Transistor M_{ref} e valores de corrente de dreno e transcondutâncias no ponto de operação $V_{GB} = 1,65V$, $V_{DB} = 1,65V$, $V_{SB} = 0V$, simuladas com o modelo ACM.

Parâmetro	Valor
W	$50 \mu m$
L	$1,5 \mu m$
W/L	33,33
I_D	$2,201 mA$
gm	$3,167 mA/V$
gds	$11,185 \mu A/V$
gm/I_D	$1,44 V^{-1}$

Tabela 3.2: Associações trapezoidais com diferença de menos de 1% na corrente de dreno em relação ao transistor simples M_{ref} no ponto de operação $V_{GB} = 1,65V$, $V_{DB} = 1,65V$, $V_{SB} = 0V$, simuladas com o modelo ACM. $W_{un} = 4\mu m$, $L_{un} = 0,3\mu m$.

TST	ND	NS	I_D (mA)	Erro (%)	gm (A/V)	Erro (%)	gds (A/V)	Erro (%)	gm/I_D (V^{-1})
TST1	7	5	2,202	+0,06	2,911m	-8,08	1,871u	-83,27	1,32
TST2	15	4	2,187	-0,64	2,769m	-12,56	420,86n	-96,24	1,27
TST3	16	4	2,197	-0,17	2,774m	-12,41	359,735n	-96,78	1,26
TST4	17	4	2,206	+0,21	2,777m	-12,31	307,955n	-97,25	1,26
TST5	18	4	2,213	+0,53	2,780m	-12,23	292,833n	-97,38	1,26
TST6	19	4	2,219	+0,80	2,781m	-12,18	268,268n	-97,60	1,25

de saída das associações obteve um valor muito menor que a do transistor simples, devido à configuração trapezoidal. Apesar de a tabela fornecer resultados bastante precisos, a escolha da melhor associação ainda não é feita de forma direta. A opção TST1 seria a melhor escolha se o fator preponderante fosse a menor área ocupada e o maior valor de gm . Porém, se a área não for importante e sim a condutância de saída, então a opção TST6 seria a mais indicada. Note a grande diferença da condutância de saída de TST1 em relação a TST2, evidenciando o efeito que a geometria trapezoidal exerce sobre gds .

Comparando-se apenas as correntes de dreno, pode-se visualizar na fig. 3.2 a boa equivalência entre M_{ref} e os TSTs 1 e 2 na região de saturação, para V_{GB} fixo.

Já no gráfico da transcondutância de *gate* (fig. 3.3), percebe-se que a equivalência em gm não é obedecida no ponto de operação considerado, existindo uma diferença entre 8 e 12%. Há uma equivalência em um ponto de operação para V_{GB} mais baixo, porém sem validade, pois a associação não irá operar nesta região.

A fig. 3.4 mostra o gráfico da condutância de saída de M_{ref} e dos TSTs equivalentes 1 e 6. Como seria de se esperar, o valor de gds das associações trapezoidais são menores que a do transistor simples no ponto de operação.

Filtrando-se agora os resultados simulados para as associações para diferenças de gm menores que 1%, obtém-se apenas uma opção de TST equivalente, mostrada na tab. 3.3. A diferença de corrente desta associação é de +9,51% em relação à corrente de M_{ref} . Isto demonstra que as associações trapezoidais compostas por transistores unitários de canal curto precisam de uma maior corrente de dreno para fornecer o mesmo valor de gm de um transistor simples.

Na fig. 3.5 é mostrado o gráfico $gm \times V_{GB}$ do TST 7 e de M_{ref} , com a indicação do ponto de operação arbitrário. Para uma margem de diferença de 1%, percebe-se que a

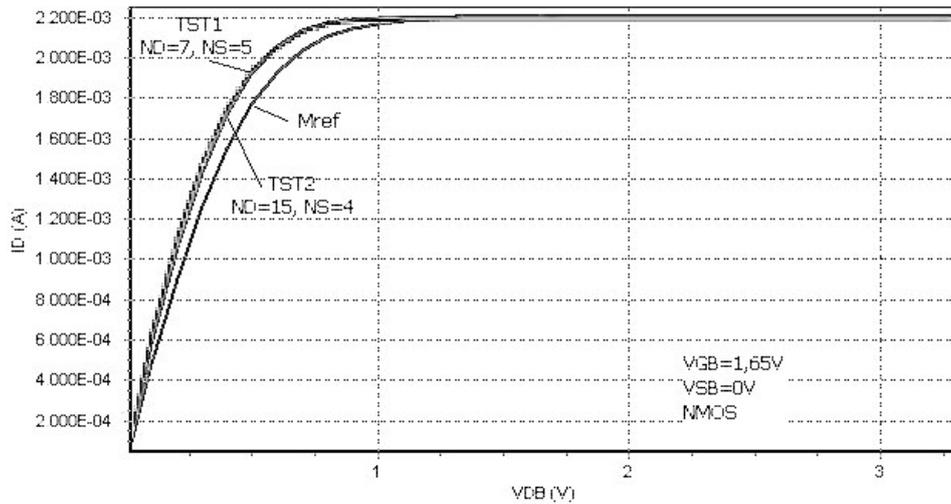


Figura 3.2: Relação $I_D \times V_{DB}$ do transistor simples de referência e dois TSTs equivalentes em corrente (tab. 3.2) obtida por simulação elétrica.

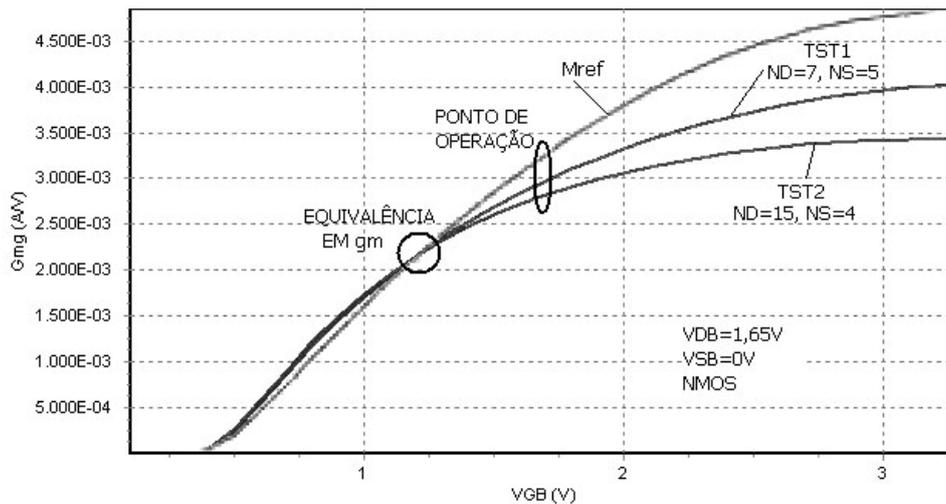


Figura 3.3: Relação $gm \times V_{GB}$ do transistor simples de referência e dois TSTs equivalentes em corrente (tab. 3.2) obtida por simulação elétrica.

Tabela 3.3: Associação trapezoidal com diferença de menos de 1% na transcondutância de gate em relação ao transistor simples M_{ref} no ponto de operação $V_{GB} = 1,65V$, $V_{DB} = 1,65V$, $V_{SB} = 0V$, simulada com o modelo ACM.

TST	ND	NS	I_D (mA)	Erro (%)	gm (A/V)	Erro (%)	gds (A/V)	Erro (%)	gm/I_D (V^{-1})
TST7	9	5	2,411	+9,51	3,168m	+0,04	1,567u	-85,99	1,31

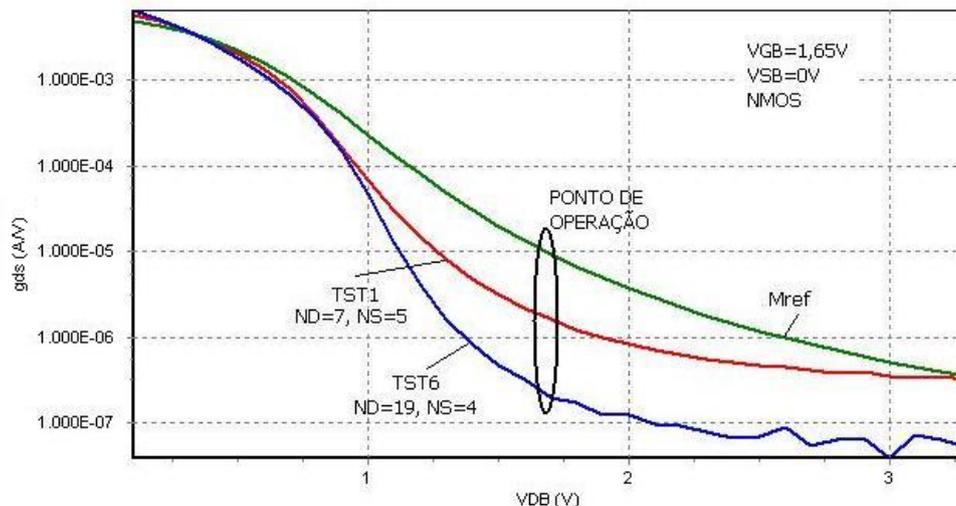


Figura 3.4: Relação $g_{ds} \times V_{DB}$ do transistor simples de referência e dois TSTs equivalentes em corrente (tab. 3.2) obtida por simulação elétrica.

Tabela 3.4: Associação trapezoidal com mesmo W/L em relação ao transistor simples M_{ref} , calculadas de acordo com a aproximação linear de 1ª ordem (equação 2.4).

TST	ND	NS	I_D (mA)	Erro (%)	g_m (A/V)	Erro (%)	g_{ds} (A/V)	Erro (%)	g_m/I_D (V ⁻¹)
TST8	7	4	1,912	-13,15	2,515m	-20,58	1,285u	-88,51	1,32
TST9	15	3	1,668	-24,22	2,087m	-34,10	173,795n	-98,45	1,25

equivalência em g_m já não é obtida fora do ponto de polarização.

Por outro lado, se fosse considerada a equação de primeira ordem (2.4) para o cálculo das associações equivalentes, teríamos duas opções, mostradas na tab. 3.4. Esta equivalência em W/L , entretanto, não se reflete nas reais características das associações. Há uma degradação em termos de corrente de dreno e g_m , o que acarretaria erros significativos em estágios de polarização, por exemplo.

A fig. 3.6 mostra o gráfico da corrente de dreno versus a tensão de dreno dos TSTs 8 e 9 e de M_{ref} . Pode-se observar a perda de desempenho das associações, causada principalmente por efeito de canal curto nos transistores unitários.

A correta escolha da associação trapezoidal equivalente, portanto, é definida a partir das especificações do projeto e da função que o transistor exerce no circuito. Para isso, é extremamente importante uma correta estimativa do comportamento das associações equivalentes. A ferramenta LIT, em seu módulo LIT-T, proporciona um ambiente gráfico e interativo no qual as características elétricas das associações são calculadas com base no modelo ACM. Uma lista de associações equivalentes é apresentada ao projetista, com a possibilidade filtrá-la de acordo com a necessidade. Mais informações sobre o LIT-T podem ser encontradas no apêndice B.

3.1.2 Equivalência em corrente com tensão variável

Para o cálculo da associação equivalente em corrente com tensões terminais variáveis, foi desenvolvida, no módulo LIT-T, uma função em Matlab para guiar o projetista na escolha da associação mais adequada. Baseado no projeto com transistores simples, o

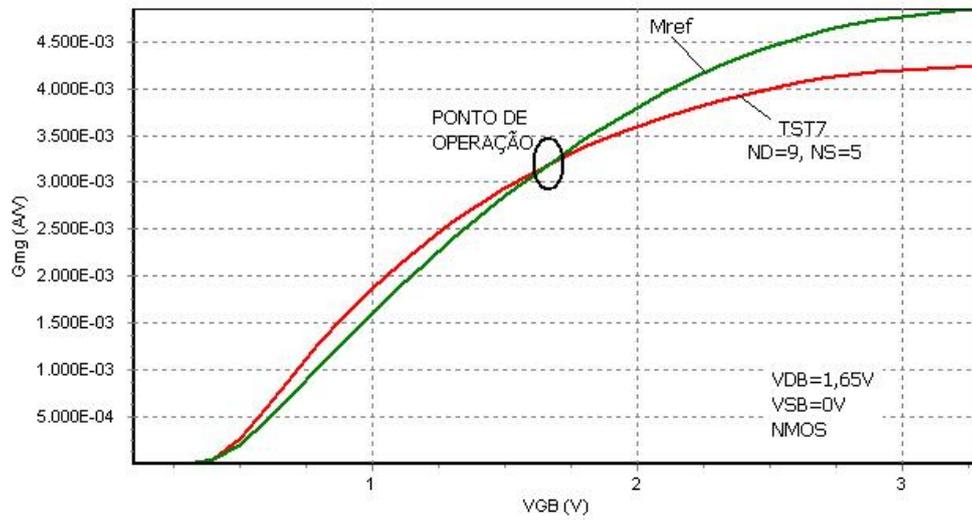


Figura 3.5: Relação $g_m \times V_{GB}$ do transistor simples de referência e do TST7, equivalente em transcondutância de gate (tab. 3.3) obtida por simulação elétrica.

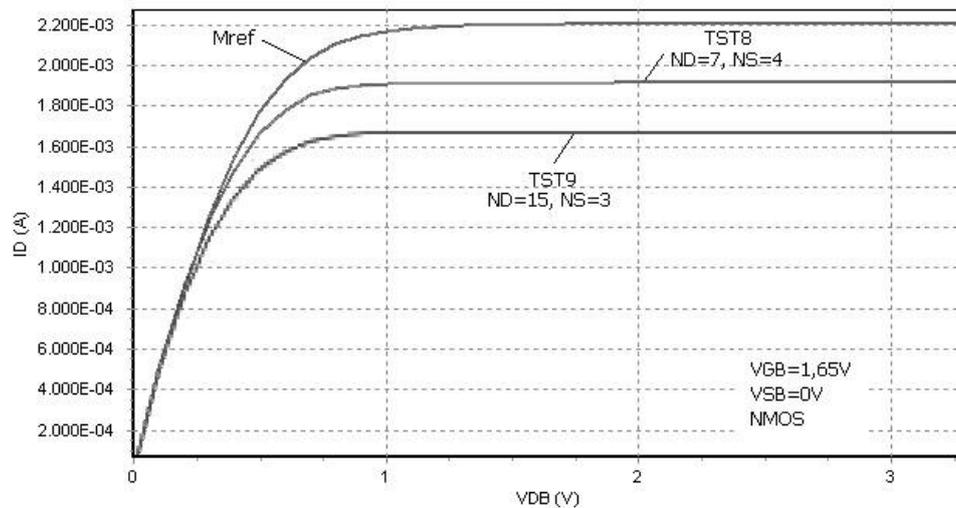


Figura 3.6: Relação $I_D \times V_{DB}$ do transistor simples de referência e de dois TSTs equivalentes em W/L (tab. 3.4) obtida por simulação elétrica.

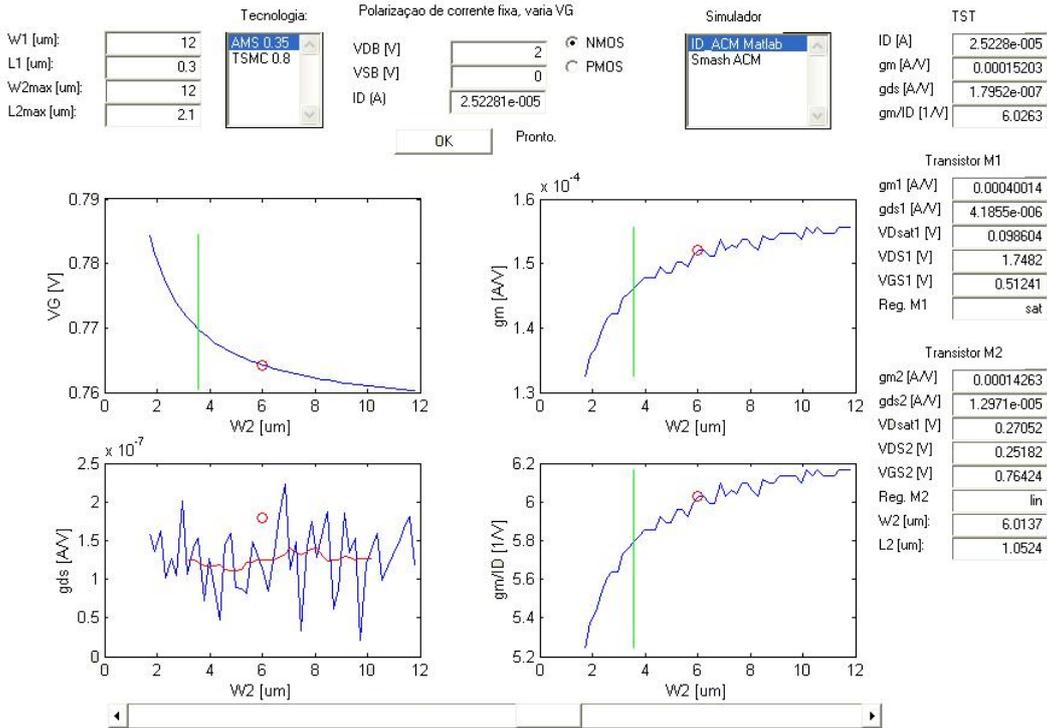


Figura 3.7: Tela do ambiente de dimensionamento de TSTs equivalentes em corrente com polarização em tensão não fixa.

método usa a função para dimensionar os TSTs a partir da polarização em corrente. A fig. 3.7 mostra a tela da função no LIT-T de auxílio à síntese de circuitos com TSTs.

As dimensões W_{MD} e L_{MD} são fixadas de acordo com o seguinte critério:

$$W_{MD} = W_{simples} \quad (3.2)$$

$$L_{MD} = L_{min} \quad (3.3)$$

onde L_{min} é o comprimento mínimo de canal dado pela tecnologia de fabricação. A fixação destas dimensões nestes valores ocorre pelo fato de que a transformação de um transistor retangular em uma associação trapezoidal se dá pelo encolhimento do lado da fonte do transistor até um determinado valor, mantendo-se o lado do dreno fixo. Além disso, se considerarmos uma associação de dois transistores em série, como no caso dos TSTs, não há necessidade de um comprimento de canal grande no transistor unitário do lado do dreno, pois este não contribui significativamente com o ganho da associação, sendo a condutância de saída determinada pelo transistor unitário do lado da fonte. Assim, o dimensionamento de M_S se dá pelo encolhimento do restante do transistor retangular original (retirando-se M_D) de maneira proporcional (W e L) para manter a relação de aspecto. A questão que o projetista precisa definir é o grau de encolhimento de M_S . Para isso, a ferramenta serve como guia, indicando os níveis de tensão V_{GS} e os valores da transcondutância gm , da condutância de saída gds e da relação gm/I_D para cada grau de encolhimento na forma de gráficos. Percebe-se, como mostrado no exemplo a seguir, que, para manter o nível de corrente DC constante, a tensão V_{GS} do TST aumenta à medida que M_S encolhe. O mesmo ocorre com a transcondutância e com gm/I_D . Já a condutância de saída (apesar de ser difícil de calcular devido ao ruído numérico), tende a diminuir de valor

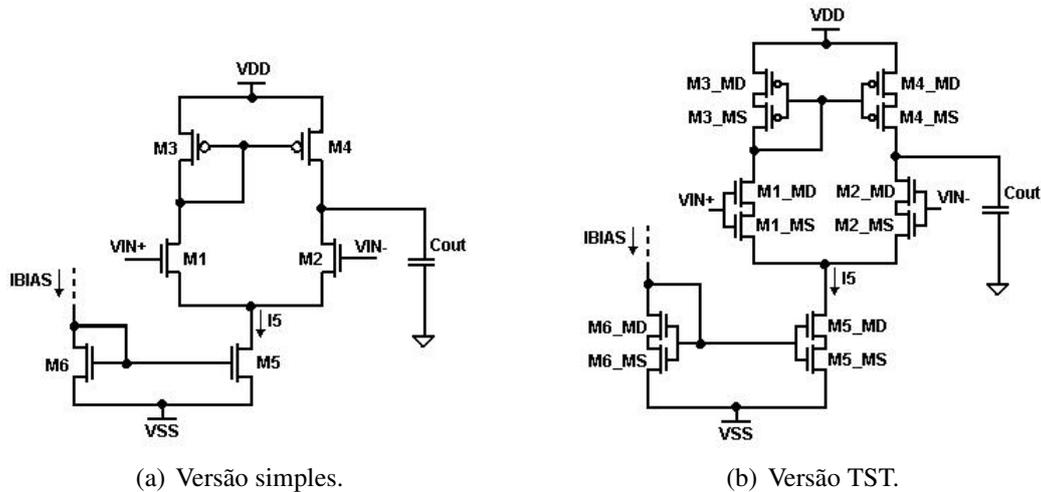


Figura 3.8: Esquemáticos de um amplificador diferencial nas versões simples e TST.

com a diminuição das dimensões de M_S . Assim, o projetista, analisando e monitorando o comportamento da associação à medida que M_S encolhe, precisa verificar as informações que dispõe e escolher o ponto máximo de encolhimento, a partir do qual o comportamento elétrico da associação difere significativamente do transistor retangular original.

Como exemplo conceitual de projeto utilizando TSTs equivalentes em corrente, foi realizado o projeto de um amplificador diferencial com carga ativa, o qual é composto por um par diferencial de entrada e um espelho de corrente como carga. O esquemático do amplificador está mostrado na fig. 3.8 nas versões simples (com transistores retangulares) e TST. Como o amplificador diferencial é polarizado em corrente, a transformação da versão simples para a versão TST deve ser feita considerando-se que todas as correntes do circuito são conhecidas e não podem ser modificadas. Desta maneira, a escolha dos TSTs deve levar em conta a equivalência em corrente para que a polarização do circuito não seja prejudicada.

Partindo de um projeto pré-existente de um amplificador diferencial versão simples, projetado de maneira convencional, determina-se (por simulação elétrica) os níveis de corrente, o ponto de operação dos transistores e as características elétricas do circuito (ganho, potência dissipada, etc). Na ferramenta de auxílio ao dimensionamento de TSTs equivalentes em corrente, entra-se com estas informações e são gerados os gráficos de V_{GS} , gm , gds e gm/I_D versus W_{MS} . Como não se deseja modificar a relação de aspecto de M_S , o valor de L_{MS} é sempre proporcional ao de W_{MS} . Os gráficos são gerados a partir de simulação elétrica. O dimensionamento dos TSTs é, então, escolhido pelo projetista. A tab. 3.5 mostra as dimensões dos TSTs obtidas utilizando-se este método para o amplificador diferencial e a comparação com as dimensões dos transistores da versão simples. Outro fator preponderante na determinação de W_{MS} é a possibilidade de dividi-lo em NS transistores unitários em paralelo visando a futura geração do *layout* do circuito. Como resultado, observe as características do amplificador nas suas duas versões obtidas por simulação elétrica mostradas na tab. 3.6. Foram utilizados três modelos do transistor fornecidos pela foundry: modelo caso típico (CT), modelo pior caso em potência (PCP) e modelo pior caso em velocidade (PCV). Esta simulação de piores casos permite a avaliação do comportamento elétrico dos circuitos em casos críticos de variação dos parâmetros causada durante o processo de fabricação. Percebe-se que as duas versões apresentam características bem próximas, porém com uma leve degradação no caso da

Tabela 3.5: Dimensões projetadas dos transistores do amplificador diferencial da fig. 3.8, versões simples e TST.

Transistor	Versão simples		Versão TST			
	W	L	W_{MD}	L_{MD}	W_{MS}	L_{MS}
$M_1 = M_2$	$12,0\mu m$	$2,4\mu m$	$9,0\mu m$	$0,3\mu m$	$6,0\mu m$	$1,1\mu m$
$M_3 = M_4$	$9,0\mu m$	$1,2\mu m$	$9,0\mu m$	$0,3\mu m$	$6,0\mu m$	$0,6\mu m$
$M_5 = M_6$	$24,0\mu m$	$0,9\mu m$	$24,0\mu m$	$0,3\mu m$	$12,0\mu m$	$0,3\mu m$
Área de gate	$124,4\mu m^2$		$54,6\mu m^2$			

Tabela 3.6: Resultados obtidos através de simulação elétrica das características do amplificador diferencial, versões simples e TST, para os modelos de simulação típico (CT), pior caso de potência (PCP) e pior caso de velocidade (PCV).

Especificação	Versão simples			Versão TST		
	CT	PCP	PCV	CT	PCP	PCV
$A_v(dB)$	41,88	41,51	42,13	34,95	35,20	35,87
$GBW(MHz)$	5,51	6,43	4,90	5,20	6,23	4,60
$ICMR^+(V)$	1,20	1,23	1,23	1,16	1,26	1,24
$ICMR^-(V)$	-0,62	-0,85	-0,55	-0,65	-0,84	-0,48
$SR(V/\mu s)$	10,07	10,23	9,99	10,08	10,57	9,92
$P_{diss}(\mu W)$	165,6	166,9	165,0	165,6	169,7	164,3
$I_{bias}(\mu A)$	50,00	50,00	50,00	50,00	50,00	50,00
$I_5(\mu A)$	50,34	51,16	49,98	50,39	52,85	49,61

versão TST. A variabilidade também foi maior na versão TST nos piores casos em relação ao caso típico. A vantagem está na utilização de menos área de gate. Esta diminuição na área ativa, entretanto, não se reflete na área total do circuito, como pode ser visto na fig. 3.9, a qual mostra o layout *full-custom* das duas versões do amplificador. Como ocorre um aumento no número de nós a serem roteados na versão TST (nós centrais das associações), é necessária uma área maior para roteamento. A versão simples ocupou uma área total de $387,75\mu m^2$ e a versão TST ocupou $576\mu m^2$. Porém, o layout da versão TST é mais fácil de automatizar e produz um padrão mais regular da camada de polisilício que o da versão simples.

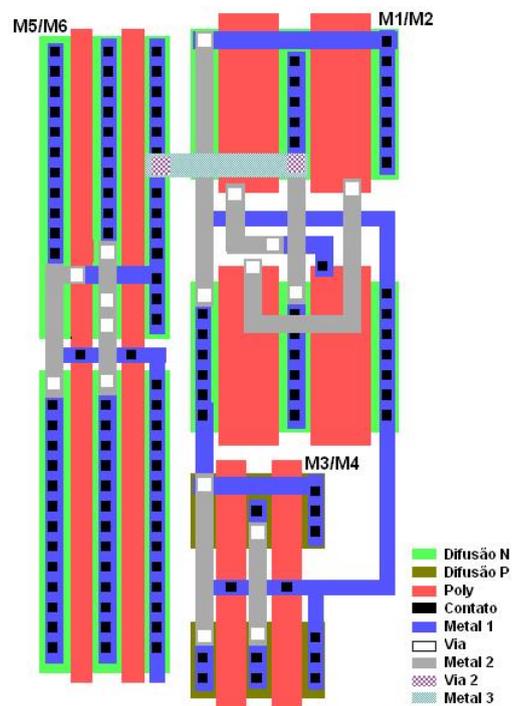
3.2 Exemplos de Projetos de Blocos Analógicos Utilizando TSTs

Para validar o fluxo de projeto de blocos analógicos utilizando TSTs, dois circuitos foram projetados e prototipados: um amplificador de dois estágios do tipo Miller e um comparador *track-and-latch*. A seguir, cada projeto será descrito detalhadamente.

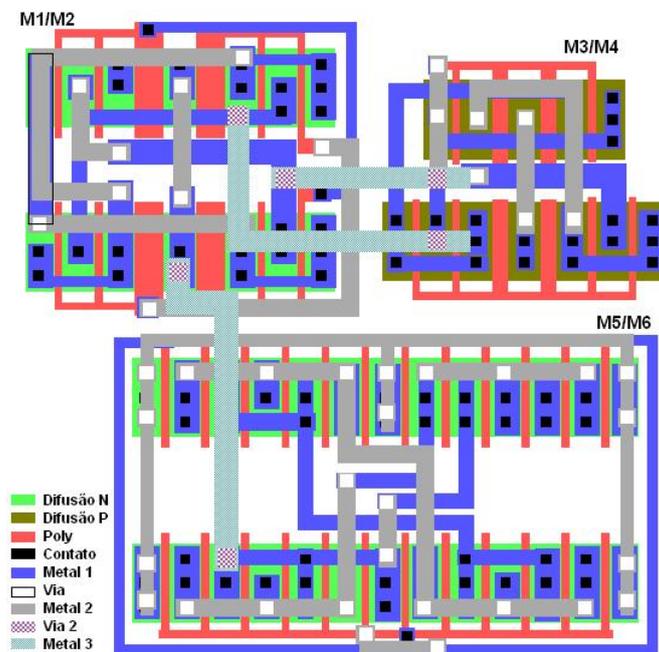
3.2.1 Exemplo de projeto 1: amplificador Miller

O amplificador operacional Miller é um amplificador de dois estágios que tem esta denominação porque utiliza a versão mais simples da técnica da compensação Miller. Esta técnica é aplicada conectando-se um capacitor da saída do circuito à entrada do segundo estágio amplificador. A fig. 3.10 mostra o esquemático do amplificador Miller.

O primeiro estágio é um amplificador diferencial, formado pelos transistores M_1 , M_2 , M_3 , M_4 e M_7 . O amplificador diferencial é um dos circuitos mais versáteis no



(a) Versão simples, Área total = $14,1\mu\text{m} \times 27,5\mu\text{m} = 387,75\mu\text{m}^2$.



(b) Versão TST, Área total = $24\mu\text{m} \times 24\mu\text{m} = 576\mu\text{m}^2$.

Figura 3.9: Layout de um amplificador diferencial nas versões simples e TST. Obs.: *body-tie*, poço e select não mostrados).

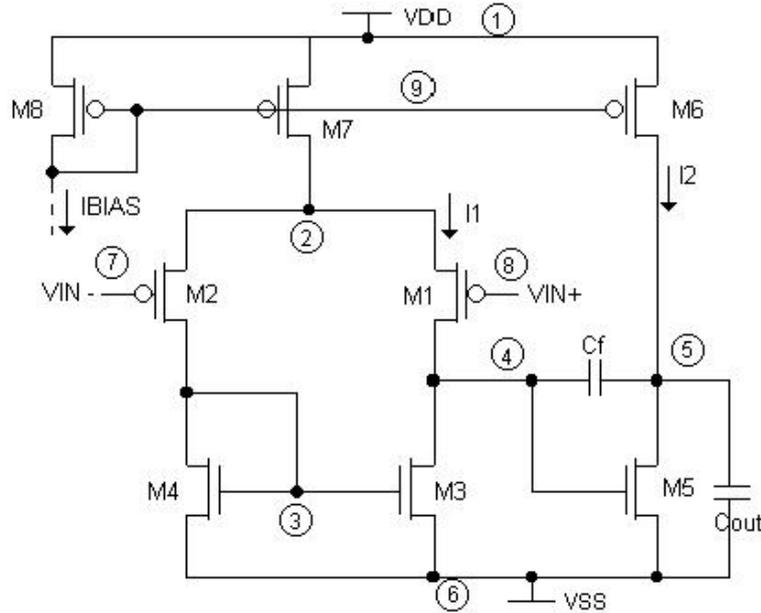


Figura 3.10: Esquemático do amplificador de dois estágios tipo Miller.

projeto analógico. Ele serve como estágio de entrada para a maioria dos amplificadores operacionais e é formado por um par diferencial, um espelho de corrente (carga) e um transistor que tem a função de fonte de corrente. O segundo estágio é um amplificador inversor com fonte de corrente, formado pelos transistores $M5$ e $M6$. Esta configuração proporciona um alto ganho de tensão. A fonte de corrente usa o transistor $M6$ com a mesma polarização de $M7$.

O ganho total do amplificador Miller em baixas frequências é, então, o produto dos ganhos dos dois estágios:

$$A_{v0} = \frac{g_{m1}g_{m5}}{(g_{ds1} + g_{ds3})(g_{ds5} + g_{ds6})} \quad (3.4)$$

As especificações para o projeto são as seguintes: Ganho DC > 10000 (80dB), produto ganho-faixa $GBW > 15\text{MHz}$, margem de fase $> 60^\circ$, faixa de entrada em modo comum $\text{ICMR} = -1\text{V}$ a 0.5V , slew-rate $\text{SR} > 18\text{V}/\mu\text{s}$, carga $C_L = 10\text{pF}$, $V_{DD} = 1,65\text{V}$ e $V_{SS} = -1,65\text{V}$. A tecnologia utilizada foi a AMS 0, $35\mu\text{m}$ CMOS. Primeiramente, uma metodologia de projeto full-custom foi aplicada para a síntese do amplificador e, então, o resultado foi transformado em uma versão com TSTs.

A metodologia de projeto baseada na curva característica gm/I_D , proposta por (SILVEIRA; FLANDRE; JESPER, 1996), permite uma abordagem unificada válida em todas as regiões de operação do transistor MOS. Neste método, a relação entre a transcondutância de *gate* (gm) sobre a corrente de dreno e a corrente de dreno normalizada $ID/(W/L)$ é considerada como a característica fundamental do dispositivo no projeto a ser explorada. Esta relação representa uma característica única para todos os transistores do mesmo tipo (NMOS ou PMOS) para uma determinada tecnologia. A curva universal gm/I_D versus $ID/(W/L)$ é utilizada durante a etapa de projeto quando as dimensões dos transistores ainda são desconhecidas. Uma vez que o valor de gm/I_D seja escolhido de modo a definir uma região de operação do dispositivo, o W/L do transistor pode ser determinado diretamente através da curva. Além disso, uma otimização adicional ao projeto pode ser feita através da escolha do comprimento de canal dos transistores (L) de

Tabela 3.7: Dimensões dos transistores no projeto do amplificador Miller versão *full-custom*.

Tansistor	$W(\mu m)$	$L(\mu m)$	W/L	gm/I_D
M1, M2	54	1,5	36	10
M3, M4	15	1,5	10	10
M5	154	1,5	103	7
M6	237	1,5	158	7
M7, M8	30	1,5	20	-

Tabela 3.8: Número de transistores unitários que compõem as associações de transistores no amplificador Miller versão TST ($(W/L)_{un(NMOS)} = 4\mu m/0,3\mu m$, $(W/L)_{un(PMOS)} = 7\mu m/0,3\mu m$).

Transistor	ND	NS
M1, M2	8	4
M3, M4	3	2
M5	27	23
M6	25	22
M7, M8	6	2

maneira a minimizar a potência. Para isso, outra importante curva característica é associada: a relação entre gm/I_D e VA (tensão de Early). Esta relação é considerada como fundamental para a determinação do comprimento de canal mínimo permitido dentro de um conjunto de especificações. Ambas as curvas podem ser obtidas através de medidas ou, na falta destas, através de simulação elétrica.

O procedimento de projeto levou em consideração o melhor desempenho em termos de ganho DC (A_v), margem de fase (MF) e *slew-rate* (SR). As dimensões projetadas para os transistores para esta versão do amplificador (*full-custom*) estão mostradas na tab. 3.7.

Para o projeto utilizando TSTs, cada transistor simples no circuito foi substituído por uma associação trapezoidal equivalente. Na tecnologia utilizada ($0,35\mu m$), as dimensões dos transistores unitários escolhidas foram as de uma porta digital típica, com os seguintes valores: $W_{un(NMOS)} = 4\mu m$, $W_{un(PMOS)} = 7\mu m$, $L_{un(NMOS)} = L_{un(PMOS)} = 0,3\mu m$. Um conjunto de associações equivalentes foi gerado para cada transistor simples do projeto original. A melhor associação foi escolhida de acordo com o critério de menor diferença de corrente entre o TST e o transistor simples (equivalência em corrente).

Na implementação do par diferencial de entrada, a configuração "par cruzado" foi aplicada para melhorar o *matching*. Nesta configuração, cada associação de transistores é quebrada em duas partes, as quais são organizadas de maneira a produzir um *layout* em centróide comum. A única restrição desta configuração é que o número total de transistores unitários que constitui a associação ($ND + NS$) deve ser par.

A corrente de dreno de cada associação tem menos de 1% de diferença em relação ao transistor simples no ponto de operação. O projeto com TSTs utilizou 147 transistores unitários (60 NMOS e 87 PMOS). A área total utilizada foi de $129\mu m \times 45,5\mu m$. A tabela 3.8 mostra os valores de ND e NS para a versão do amplificador Miller com TSTs.

Ambos os projetos (versão *full-custom* e versão com TSTs) foram prototipados em tecnologia CMOS AMS $0,35\mu m$. As figuras 3.11 e 3.12 mostram as micro-fotografias dos amplificadores.

Os resultados experimentais obtidos através de medidas elétricas da resposta em frequên-

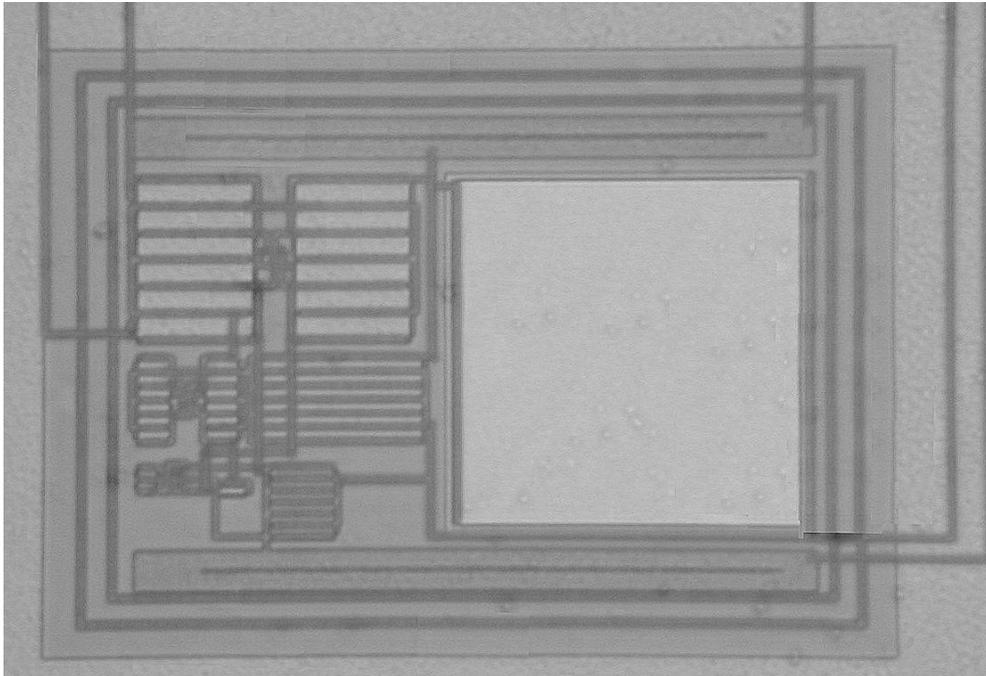


Figura 3.11: Microfotografia do amplificador Miller versão full-custom.

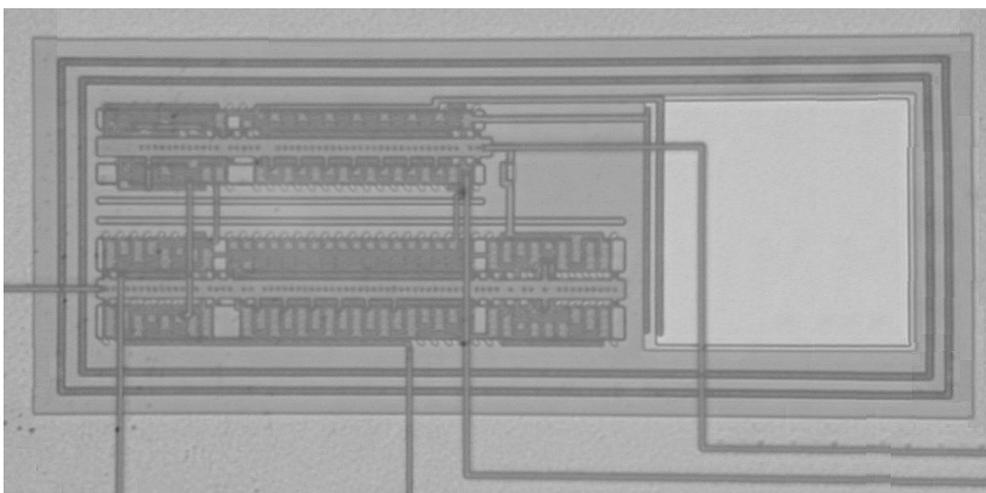


Figura 3.12: Microfotografia do amplificador Miller versão TST.

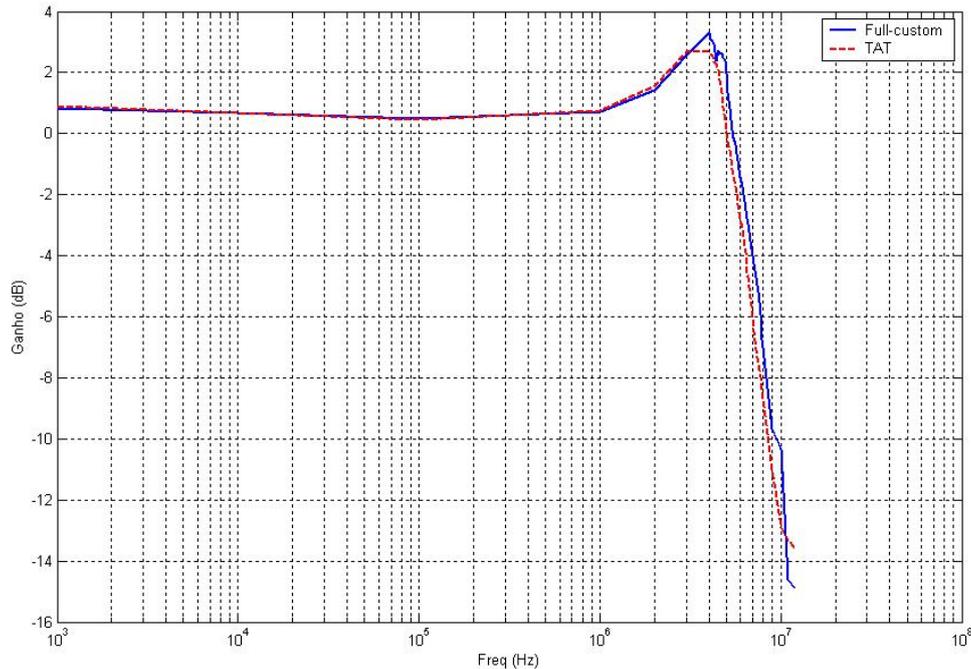


Figura 3.13: Resposta em frequência do amplificador Miller nas versões *full-custom* e TAT, medida em configuração de ganho unitário.

cia em laço fechado (configuração de ganho unitário) para as versões *full-custom* e TST estão mostrados na figura 3.13. O ganho DC medido não foi 0dB devido ao descasamento dos resistores utilizados no circuito externo de polarização. Esta configuração retorna a metade do valor de GBW quando a curva cai -3dB. Assim, pôde-se medir o produto ganho-faixa dos amplificadores, que foi de 13 e 11MHz para as versões *full-custom* e TST, respectivamente.

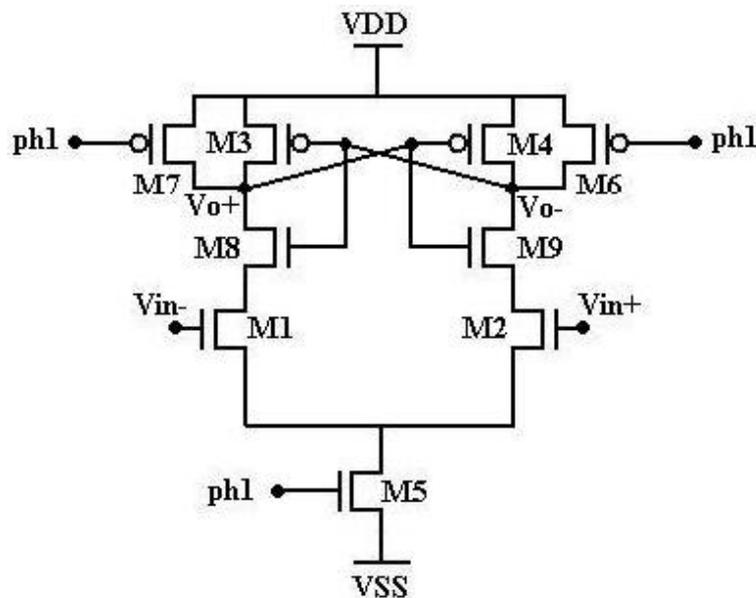
Todos os valores simulados e medidos referem-se a uma carga de aproximadamente $20pF$. A tabela 3.9 mostra o resultado de desempenho do amplificador em ambas as versões. Foram realizadas medidas em 5 amostras, sendo que os resultados da tabela são a média dos valores obtidos.

A versão com TSTs mostrou um desempenho bastante semelhante à versão com transistores simples em termos de resposta em frequência, *slew-rate* e *settling time*. O consumo de potência médio das 5 amostras da versão TST diferem em menos de 5% da versão simples. Além disso, cada associação TST também possui uma área ativa de gate menor que o seu equivalente simples. No total, a área de gate ocupada pela versão *full-custom* foi de $883,5\mu m^2$ e pela versão TST foi de $254,7\mu m^2$. O amplificador com TSTs mostrou uma maior tensão de *offset*, fato que pode ser explicado devido ao maior descasamento dos dispositivos de canal curto que compõem as associações de transistores. As associações na versão TST são formadas por transistores unitários com $L = 0,3\mu m$, enquanto que na versão *full-custom* os transistores possuem $L = 1,5\mu m$.

A grande vantagem da utilização da técnica TST é que as associações podem ser compostas apenas por transistores de comprimento de canal mínimo, os quais são compatíveis com arranjos digitais de transistores, permitindo a execução de projetos rápidos com alto nível de automação. O amplificador versão TST foi inteiramente projetado com auxílio da ferramenta LIT, desde a etapa de cálculo da associação equivalente até a geração do *layout*.

Tabela 3.9: Parâmetros de desempenho obtidos através de medidas elétricas de 5 amostras do amplificador Miller versões full-custom e TST.

Parâmetro	Versão simples		Versão TST	
	Média	Desv. padrão	Média	Desv. padrão
A_v (dB)	80,3	3,98	70,7	0,67
GBW (MHz)	13	0,42	11	0,26
Settling time (ns)	315	13,00	315	21,23
Slew-rate ($V/\mu s$)	7,5	0,14	7,2	0,12
Tensão de offset (mV)	1,9	2,79	5,0	3,11
ICMR (V)	+1 / -1,5	0,05 / 0,04	+0,99 / -1,4	0,07 / 0,03
Corrente total (μA)	282	9,24	268	9,25
Potência consumida (mW)	0,93	0,03	0,88	0,03
Área total (μm^2) (sem capacitor C_f)	3784	-	6000	-
Área ativa de <i>gate</i> (μm^2)	883,5	-	254,7	-

Figura 3.14: Esquemático do comparador *track-and-latch*

3.2.2 Exemplo de projeto 2: comparador *Track-and-Latch*

O comparador é um bloco funcional muito utilizado no projeto de circuitos integrados analógicos, principalmente em conversores analógico-digitais (A/D) e digital-analógicos (D/A). O comparador do tipo *track-and-latch*, mostrado na figura 3.14, é composto por um par diferencial NMOS na entrada (M1, M2), inversores de configuração de realimentação positiva (M3, M8 e M4, M9), transistores de pré-carga (M6, M7) e uma fonte de corrente controlada (M5). Ele possui a vantagem de uma baixa dissipação de potência em modo de espera, já que o consumo de corrente é cortado depois da comparação regida pelo *clock*. Os sinais entrada precisam estar estáveis durante o semi-ciclo de comparação *phi1* (*clock*). Na borda de subida do sinal *phi1*, os transistores de pré-carga abrem e o par diferencial é ativado, iniciando a comparação. Na fase de pré-carga (semi-ciclo inativo), a corrente que passa por M5 (I_{tail}) é cortada e os *drivers* de entrada são pré-carregados em V_{DD} .

Tabela 3.10: Dimensões dos transistores do comparador - Versões *full-custom* e TST

Transistor	W (μm)	L (μm)	W/L	ND	NS	W_{un}/L_{un}	Erro (%)
M1	66	1,5	44	18	7	$4\mu m/0, 3\mu m$	0,92
M2	66	1,5	44	18	7	$4\mu m/0, 3\mu m$	0,92
M3	22,5	2,5	9	16	1	$7\mu m/0, 3\mu m$	0,87
M4	22,5	2,5	9	16	1	$7\mu m/0, 3\mu m$	0,87
M5	1,25	4,5	0,28	1	0	$4\mu m/0, 3\mu m$	-
M6	1	0,3	3,33	1	0	$1\mu m/0, 3\mu m$	-
M7	1	0,3	3,33	1	0	$1\mu m/0, 3\mu m$	-
M8	7,5	2,5	3	6	2	$1\mu m/0, 3\mu m$	1,56
M9	7,5	2,5	3	6	2	$1\mu m/0, 3\mu m$	1,56

A velocidade deste tipo de comparador é fortemente dependente da corrente I_{tail} , ou seja, a velocidade é diretamente dependente da corrente de dreno de M5. O comparador utilizado neste exemplo foi projetado para operar nas seguintes especificações: sensibilidade mínima de $50mV$, frequência de operação em $15MHz$, capacitância de carga C_L de $100fF$, *slew-rate* mínimo de $100V/ms$, $V_{DD}=1,65V$ e $VSS=-1,65V$. O projeto visa otimizar tanto a velocidade quanto o consumo de potência, alcançando uma sensibilidade e um ganho razoáveis. Uma vez que a frequência de operação nominal é alcançada, o consumo de potência é definido pela corrente I_{tail} . Enquanto o projeto não alcança as especificações iniciais, ela é aumentada iterativamente através da variação do tamanho dos transistores do par diferencial M1 e M2, até que o desempenho esperado seja atingido. O comparador *track-and-latch* foi inicialmente implementado em tecnologia CMOS $0,35\mu m$ na versão *full-custom* e então cada transistor foi substituído por um TST equivalente. Uma restrição imposta na versão TST foi de que todos os transistores unitários que formam as associações trapezoidais tivessem uma das seguintes dimensões: $(W/L) = 1\mu m/0, 3\mu m$ ou $(W/L) = 4\mu m/0, 3\mu m$ para NMOS e $(W/L) = 1\mu m/0, 3\mu m$ ou $(W/L) = 7\mu m/0, 3\mu m$ para PMOS. Os tamanhos dos transistores para ambas as versões estão mostradas na tabela 3.10. A versão *full-custom* utilizou 9 transistores, enquanto que a versão TST utilizou 103 transistores unitários. Note que na versão TST somente os transistores do par diferencial (M1, M2) e dos inversores (M3, M8 e M4, M9) foram transformados em associações trapezoidais de transistores. Como os demais transistores realizam a função de chave, de natureza digital, possuindo $L = L_{min}$, utilizou-se uma associação paralela de transistores unitários (NS=0), de maneira a obter a largura de canal (W) equivalente. Além disso, como os transistores unitários utilizados não possuíam $W/L < 3$, o transistor M5 na versão TST não possuía equivalente. Assim, na versão TST utilizou-se $(W/L)_{M5} = 1\mu m/0, 3\mu m$.

O circuito foi prototipado em tecnologia AMS $0.35\mu m$. A fig. 3.15 mostra o resultado obtido através de medidas elétricas para o comparador versão TST de um sinal de entrada com frequência de $100kHz$ amostrado com um clock de $5MHz$. A saída V_{o+} e V_{o-} corresponde a V_{DD} quando a entrada é positiva e a VSS quando é negativa. A comparação ocorre somente quando o clock está em nível alto. Portanto, um latch seria necessário na saída para manter o nível do sinal na fase negativa do clock.

A corrente em modo de espera no semi-ciclo inativo de *phil* é muito pequena, minimizando o consumo de potência. A figura 3.16 mostra a medida da corrente I_{tail} em relação ao clock.

Os resultados de performance medidos da versão TST estão mostrados na tabela 3.11.

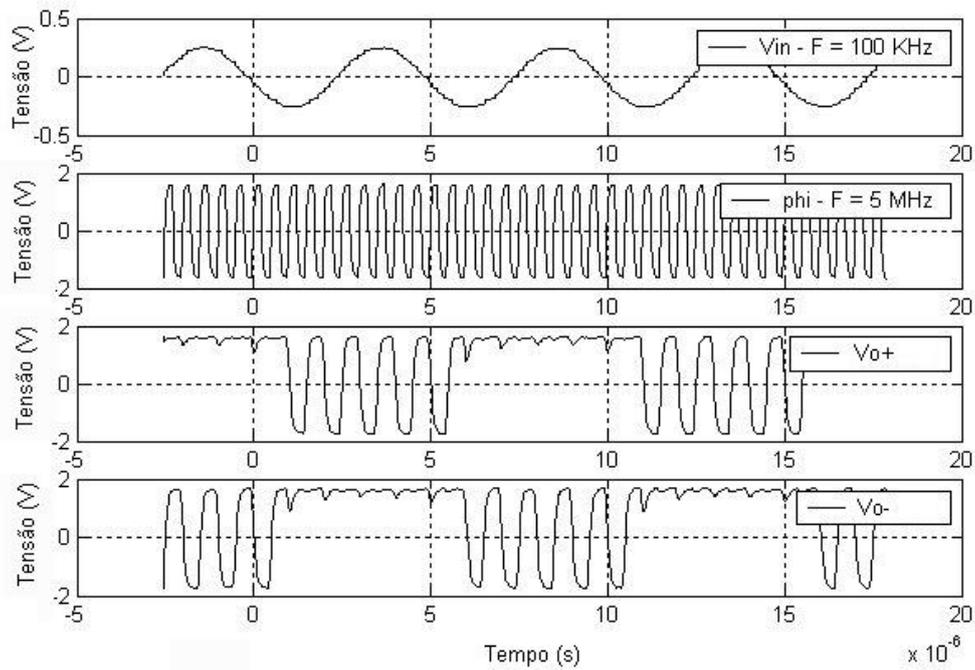


Figura 3.15: Resultados de medidas elétricas do comparador versão TST mostrando um sinal de entrada (V_{in}) e a resposta de saída (V_{o+} e V_{o-}).

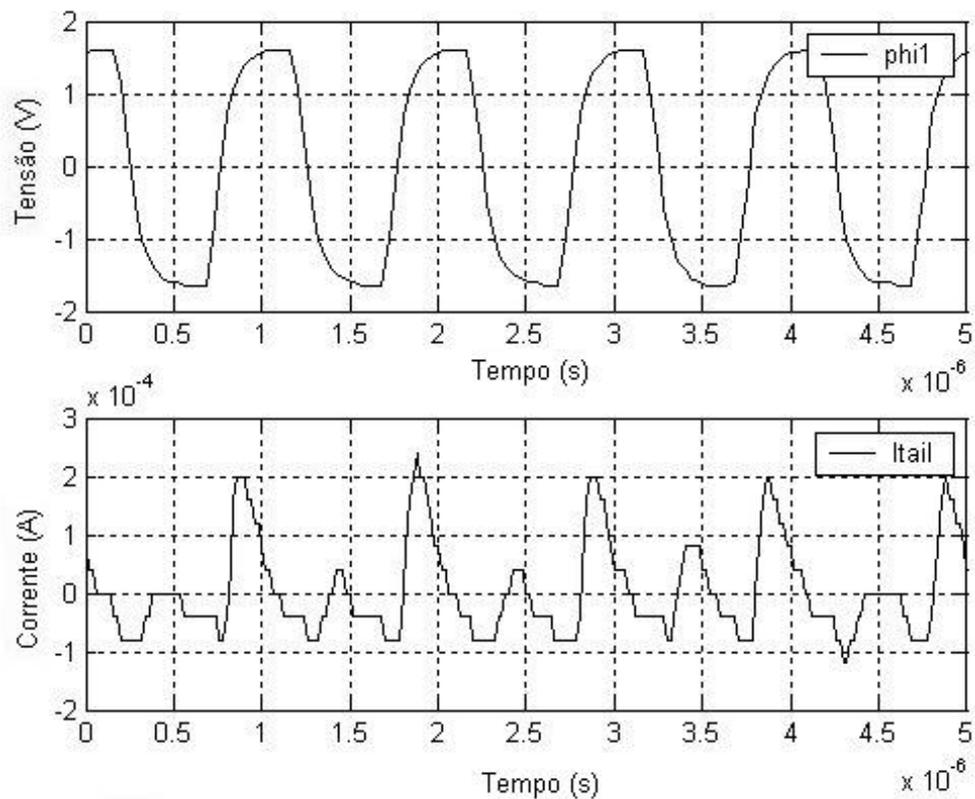


Figura 3.16: Resultados de medidas elétricas do comparador versão TST mostrando o comportamento da corrente I_{tail} em relação ao sinal de clock $phi1$.

Tabela 3.11: Resultados medidos de desempenho do comparador versão TST prototipado.

	TST
Atraso td_{hl} ($\phi_{I1} 50mV_p \rightarrow V_{o+}$)	80ns
f_{max}	18MHz
Sensibilidade $\Delta V_{in}(V_p)$ @ 10MHz	184mV
I_{tail}	288 μA

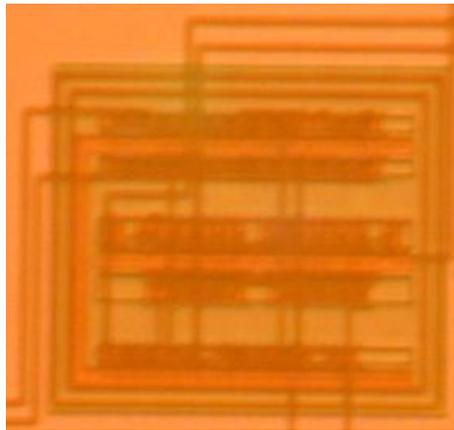


Figura 3.17: Microfotografia do comparador versão TST.

A versão TST mostrou melhor desempenho em comparação com as especificações, exceto pela maior sensibilidade na entrada diferencial. A razão é que a frequência máxima do comparador é dependente da corrente que alimenta o par diferencial (I_{tail}), a qual na versão TST alcançou um valor maior devido à limitação da metodologia TST proposta na transformação de M5 em uma associação de transistores.

A fig. 3.17 mostra a microfotografia do comparador na versão TST. A área ocupada foi de 39 x 72 μm^2 .

3.3 Conclusão

A determinação de associações trapezoidais de transistores equivalentes a transistores simples retangulares deve ser realizada de acordo com alguns critérios. Este capítulo demonstrou que as associações são equivalentes apenas em determinada polarização, ou seja, não existem associações trapezoidais eletricamente equivalentes a transistores simples em todas as regiões de operação. Isto se deve aos efeitos de canal curto das associações, mais proeminentes por causa da utilização de transistores unitários de comprimento de canal próximo ao mínimo. Da mesma forma, uma associação equivalente em corrente não significa equivalência também nos parâmetros de pequenos sinais gm e gds . Assim, é necessário determinar inicialmente o tipo de equivalência desejada para só então realizar a busca da melhor solução. A ferramenta LIT, através do módulo LIT-T, proporciona duas metodologias de cálculo de associações equivalentes - tensão fixa e corrente fixa -, facilitando a determinação por parte do projetista.

Dois blocos analógicos foram projetados com TSTs, prototipados em tecnologia AMS 0.35 μm e caracterizados, com o objetivo de avaliar o comportamento elétrico. Os resultados demonstraram um bom desempenho, comparável ao do mesmo bloco em versão *full-custom* (no caso do amplificador Miller) e ao do previsto por simulação elétrica (no

caso do comparador). A vantagem é a utilização apenas de transistores de comprimento de canal mínimo na construção das associações, compatível com a tecnologia digital e especialmente viável no projeto de circuitos mistos sobre matrizes de transistores regularmente espaçados.

4 DFM E ESTRATÉGIAS DE *LAYOUT* ANALÓGICO

Este capítulo traz um resumo dos principais problemas encontrados na geração do *layout* de circuitos integrados analógicos em tecnologias sub-micrométricas e as principais técnicas utilizadas para contorná-los ou minimizá-los. São discutidas questões ligadas ao projeto visando a manufaturabilidade (DFM) e ao projeto elétrico dos circuitos contendo transistores casados, além daquelas relativas ao projeto físico, ou seja, ao *layout* propriamente dito. Inicialmente é feita uma revisão dos tipos de defeitos relacionados ao processo de fabricação, das técnicas de litografia óptica, das metodologias de pareamento para transistores simples e, logo após, a transposição dessas mesmas técnicas para os TSTs. São listadas também uma série de regras qualitativas que devem ser obedecidas para a geração de um bom *layout* analógico.

4.1 *Design for Manufacturability* para circuitos analógicos

Cuidados em relação à variabilidade nos processos de fabricação de circuitos integrados não é uma prática nova para os projetistas analógicos. Entretanto, à medida que a tecnologia de fabricação avança para o domínio sub-micrométrico e proporciona um aumento exponencial no desempenho e no número de funções, os projetos analógicos vão se tornando cada vez mais complexos. A variabilidade das características físicas dos *chips* é cada vez maior e mais difícil de ser controlada. Além disso, fatores que até então eram deixados de lado passaram a ser relevantes e a causarem impacto direto no desempenho e até mesmo na manufaturabilidade dos circuitos, como é o caso dos efeitos causados pela litografia. A DFM (*Design for Manufacturability*), hoje em dia, é fundamental para que os circuitos possam ser fabricados corretamente (WHITE; TRYBULA; ATHAY, 1997). A eficiência em manufatura - ou, simplesmente, manufaturabilidade - de um circuito VLSI é determinada por diversas variáveis, tanto de projeto quanto do processo de fabricação. Estas variáveis, entretanto, possuem uma característica em comum: elas causam discrepâncias inaceitáveis entre o desempenho desejado e o desempenho real do circuito integrado fabricado. Tais discrepâncias levam a uma redução na produtividade e, conseqüentemente, na diminuição na manufaturabilidade dos CIs (MALY, 1990). O desempenho de um CI fabricado é influenciado pelas condições dos equipamentos, por variáveis de projeto (dimensões da máscara) e perturbações aleatórias que causam flutuações nas condições de processo durante a fabricação.

Uma das maneiras de melhorar a reprodutibilidade dos CIs na presença de variações de processo é a criação de regras de projeto específicas para circuitos analógicos, menos agressivas e que proporcionem menor sensibilidade às variações de processo que as regras para células digitais. Problemas de alinhamento das máscaras podem afetar o desempenho de circuitos analógicos de maneira muito severa. Algumas técnicas são utilizadas para



Figura 4.1: Ruptura do regime “WYSIWYG”: os polígonos desenhados no *layout* não refletem as geometrias reais da máscara, as quais, por sua vez, também não refletem as geometrias reais fabricadas em silício.

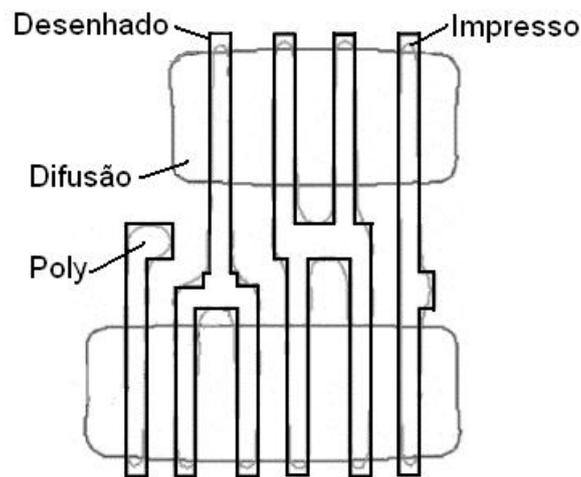


Figura 4.2: Diferença entre as dimensões da máscara desenhada e da camada impressa causada pelos efeitos do processo de litografia.

minimizar estes efeitos. Como exemplo, a variação no comprimento efetivo do *gate* pode ser reduzida através do aumento nas dimensões mínimas de espaçamento e sobreposição, de modo que o desalinhamento da máscara de poli resulte em menor variação devido ao arredondamento dos cantos das linhas. Da mesma maneira, o aumento do número de contatos de *gate* e difusão resulta em menor variação na resistência se a máscara de contatos estiver deslocada.

Na prática, o que ocorre é que não há mais uma semelhança exata entre o *layout* desenhado, a máscara e o resultado impresso no *wafer* de silício (figura 4.1). Com o fim do regime “WYSIWYG” (*What You See Is What You Get*), novos desafios em relação à verificação e novas restrições de *layout* devem ser abordadas. Tal dissimilaridade pode ser vista na figura 4.2, na qual a camada impressa difere dos formatos desenhados, principalmente nos cantos dos polígonos (WONG et al., 2005).

A partir dos $180nm$, passamos para o regime no qual as dimensões dos dispositivos são menores que o comprimento de onda utilizada na litografia óptica. Isto causa uma série de problemas por causa dos inúmeros obstáculos que surgem. Os avanços na litografia são mais lentos que os das demais etapas do processo. Assim, são necessárias mudanças no projeto físico em tecnologias menores que $100nm$, de modo que o projeto seja implementado com a litografia disponível.

A dimensão crítica (CD) da litografia óptica - ou seja, o tamanho mínimo que ela pode definir - é uma função de três parâmetros:

Tabela 4.1: Avanços na tecnologia de litografia óptica para fabricação de circuitos integrados (WONG, 2003).

Comprimento de onda (nm)	Fonte de luz	Ano de introdução	Diminuição na CD (%)
436	Mercúrio	Anos 1970	-
365	Mercúrio	1984	16
248	Laser de KrF	1989	32
193	Laser de ArF	1999	23
157	Laser de F_2	2004	19

$$CD = k_1 \frac{\lambda}{NA} \quad (4.1)$$

Assim, CD é proporcional ao comprimento de onda λ da luz incidente e da constante de Rayleigh k_1 (medida de dificuldade no processo de litografia, com valores baixos indicando processo litográfico mais complexo), porém diminui com o aumento da abertura numérica da exposição NA . Para imprimir dimensões cada vez menores com os equipamentos de litografia óptica, é preciso diminuir o comprimento de onda, aumentar a abertura numérica, reduzir k_1 ou uma combinação dessas ações. Três fatores limitam a redução do comprimento de onda. Primeiro, poucas fontes de luz são capazes de fornecer potência adequada a um custo financeiro razoável. Segundo, a atmosfera atenua a luz significativamente para comprimentos de onda menores que $193nm$, exigindo assim a operação em um ambiente sem oxigênio e umidade. Terceiro, associado à redução do comprimento de onda estão mudanças nos equipamentos de fabricação e desenvolvimento de novos *fotorezists* e materiais ópticos. Os comprimentos de onda utilizados na projeção de litografia óptica tem diminuído ao longo dos anos, como pode ser observado na tabela 4.1. Cada redução acarreta uma diminuição da dimensão crítica de aproximadamente 20%.

Em relação à abertura numérica, seu valor físico máximo é 1, pois está relacionada com o seno do ângulo dos raios que formam a imagem. Neste limite, o sistema imageador captura os raios de luz que se propagam em todas as direções. Apesar de o aumento na NA causar uma melhoria na resolução, ele piora a profundidade do foco (a quantidade máxima de variação no foco que o processo de exposição tolera). Valores típicos de NA estão na faixa de 0,5 a 0,85.

Já o fator k_1 tem diminuído rapidamente nos últimos tempos, com valores que vão de 0,4 a 0,6, contrastando com os avanços em relação a λ e NA . Para compensar a dificuldade crescente de manter o processo funcionando corretamente em baixos k_1 s, gradativamente foi preciso introduzir técnicas de melhoria de resolução (RET - *Resolution Enhancement Techniques*) (LIEBMANN, 2001).

Abaixo do nó tecnológico dos $90nm$, técnicas agressivas de OPC (*Optical Proximity Correction*) são necessárias e projetos físicos amigáveis litograficamente são obrigatórios. Tecnologias empregadas para a extensão da resolução resultam em máscaras com uma quantidade muito maior de dados, o que aumenta o seu custo. A evolução da tecnologia CMOS chegou a um ponto no qual considerações tradicionais que permitiam uma total desconexão entre o projeto físico e o processo de fabricação estão se tornando inválidas. Isto demanda uma mudança de paradigma na maneira como os circuitos são implementados. Mesmo as metodologias de projeto ASIC (*Application-Specific Integrated Circuit*), as quais primam pela performance, devem se adaptar a esta mudança para que o projeto seja funcional e escalável além da fronteira dos $100nm$. Projetos de alta performance, em

particular, necessitam de uma abordagem significativamente diferente, partindo para soluções que sejam litograficamente amigáveis e que proporcionem um projeto físico robusto, escalável e de boa manufaturabilidade. O projeto, em tecnologias futuras, deve tolerar um aumento substancial na corrente de *leakage*, tanto de *subthreshold* quanto de *gate*. Tolerância a variações é outro requisito dos projetos nas tecnologias futuras. Muitas etapas do processo são afetada pelo estilo do *layout*. A densidade de polígonos, principalmente, terá um grande impacto na espessura das camadas de dielétrico isolante. A densidade de difusão terá um impacto significativo na produtividade do produto final. Estilos de *layout* inadequados podem influenciar na flutuação da dopagem e na variação das dimensões críticas da camada de polisilício em circuitos onde o casamento dos dispositivos é importante para a funcionalidade dos circuitos (WONG et al., 2005).

Os projetistas passarão a levar em consideração os efeitos de proximidade nos circuitos e projetar de acordo com regras adicionais, de maneira que qualquer comportamento anormal seja previsto através de simulações. Efeitos de proximidade podem surgir como resultado do posicionamento de um transistor próximo a um poço ou em áreas com densidade muito alta ou muito baixa de polisilício, por exemplo. O fato de transistores estarem próximos a outras estruturas causa flutuação nos dopantes durante a etapa de implantação. À medida que cada transistor possua uma vizinhança similar, os efeitos de proximidade tornam-se consistentes. Caso contrário, eles podem causar uma variação na tensão de limiar dos transistores. Outros efeitos de proximidade incluem variações nas dimensões críticas de poli devido à fotolitografia e efeitos de proximidade no *etching*, como resultado de estilos de *layout* não otimizados. Muitos dos efeitos de proximidade sistemáticos podem ser evitados através de um bom estilo de *layout* e de técnicas de fotolitografia. Porém, os projetistas precisam entender as limitações e aplicar as técnicas de projeto que minimizem esses efeitos.

Para tecnologias de $90nm$ ou mais avançadas, há a necessidade de se considerar a maneira como o estilo de projeto de cada componente se comunica e afeta os demais. Elementos fora do padrão, como componentes analógicos feitos a mão ou regiões de difusão com geometrias irregulares são mais susceptíveis a variações na corrente, afetando o comportamento elétrico, a potência e até a vida útil dos dispositivos.

4.1.1 Fatores inibidores da produtividade e técnicas de DFM

As questões envolvendo produtividade mudam a cada nova tecnologia de fabricação. O tempo necessário para fazer com que um novo processo tenha índices de produtividade aceitáveis aumenta a cada nova tecnologia. Por isso, é importante entender os tipos de defeitos que diminuem a produtividade e o impacto que eles causam nos métodos de correção e análise. Os tipos de defeito incluem defeitos aleatórios (tipicamente associados a partículas), sistemáticos (induzidos pelo próprio processo ou pela litografia) e paramétrico (o qual causa problemas de *timing* e outras falhas ocasionadas pela física dos dispositivos e efeitos de interconexão). Esses três tipos de defeitos têm impacto muito grande nos projetos nanométricos de hoje em dia. Apesar das questões sistemáticas atraírem grande atenção no últimos tempos, os defeitos aleatórios e paramétricos também influenciam significativamente na produtividade geral (ABERCROMBIE; FERGUSON, 2005). A seguir veremos cada um destes tipos de defeitos com mais detalhes.

4.1.1.1 Defeitos aleatórios

Em grande parte das tecnologias de fabricação de circuitos integrados as limitações de produtividade são dominadas por defeitos aleatórios e não-paramétricos. Apesar dos

esforços de melhorias das salas limpas, pequenas partículas ainda pousam nos *chips* ou nas máscaras. Estas partículas podem causar falhas catastróficas - curtos-circuitos (metal extra entre duas linhas de metal) ou circuitos abertos (falta de metal, o que interrompe a linha) - ou ainda resultar em variações paramétricas (aumento na resistividade, acoplamento capacitivo). Defeitos aleatórios não são de fato a causa principal de perda de produtividade, mas afetam substancialmente e são cada vez mais frequentes.

Os defeitos aleatórios causados por partículas não diminuem na mesma proporção que as dimensões geométricas encolhem, fazendo com que circuitos nanométricos sejam mais susceptíveis a este tipo de falha. Além disso, os projetistas procuram gerar o *layout* com as dimensões mínimas especificadas, o que aumenta a susceptibilidade dos projetos a efeitos aleatórios.

Historicamente, os defeitos aleatórios são minimizados através da identificação das larguras e dos espaçamentos mínimos na forma de regras de DRC. Obedecendo a estas regras mínimas, os defeitos aleatórios mais comuns não causam curtos-circuitos ou circuitos abertos porque eles não são grandes o suficiente em relação ao tamanho das linhas. Apesar deste método ser ainda utilizado hoje em dia, o fato de os defeitos aleatórios não encolherem na mesma proporção das linhas torna difícil para os fabricantes conciliarem regras de desenho otimizadas e garantias de produtividade mínima no processo de fabricação.

4.1.1.2 Defeitos sistemáticos

Os fatores sistemáticos que afetam a produtividade não são aleatórios por natureza (apesar de que, na prática, pode ser difícil determinar a natureza repetitiva de alguns defeitos sistemáticos) e estão relacionados com a tecnologia de fabricação. Isto inclui impactos dos materiais químicos envolvidos no processo, impactos mecânicos do processo de manufatura, a aplicação pós-*layout* do processo litográfico, entre outros. Diferentemente dos defeitos aleatórios, os defeitos sistemáticos são proporcionais ao número de instâncias de um dado tipo de elemento. Alguns exemplos de defeitos sistemáticos incluem: planaridade (diferença na espessura de óxido em algumas regiões), efeitos de antena (acumulação de carga em componentes de interconexão), vias abertas, eletromigração, entre outros.

À medida que os tamanhos dos dispositivos diminuem, alguns truques ópticos precisam ser adotados para compensar as limitações físicas dos equipamentos *stepper* operando em um determinado comprimento de onda. Estes truques são chamados RETs. O mais comum e amplamente utilizado pelas foundries é o OPC. Porém, a capacidade de se aplicar os RETs adequadamente está limitada ao projeto do *layout*. Certas formas de RET, como PSM (*Phase Shift Mask*) e OAI (*Off-Axis Illuminaion*) precisam atuar em uma grade com passos bem definidos (*itches*). Um *itch* é essencialmente metade da largura mais metade do espaçamento do polígono em questão. Hoje, isto é mais problemático para a camada de polisilício que forma o *gate* dos transistores, porém rapidamente está se tornando relevante também para as linhas de metal. A aplicação de RETs ocasiona efeitos sistemáticos de interação entre as camadas de *layout*, resultando na proibição de algumas formas e em regras de interação.

A correção por OPC consiste na modificação das formas geométricas originais do *layout* de modo a evitar distorções causadas pela litografia (KAHNG; PATI, 1999). O objetivo é produzir pequenos elementos de correção para compensar as distorções não-lineares resultantes da difração óptica. Tipicamente, estas correções são feitas de acordo com um conjunto de regras pré-determinadas (“*rule-based OPC*”) ou através de resulta-



Figura 4.3: Exemplo de *layout* no qual foi aplicado OPC, mostrando a inserção de *serifs* e *hammerheads* na máscara e o resultado final impresso no *wafer*.

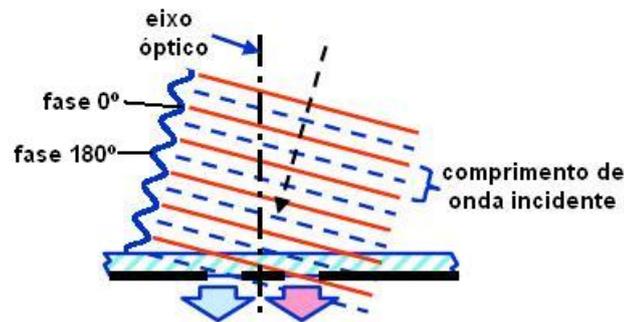


Figura 4.4: Litografia *off-axis* (OAI), na qual a fase da onda incidente é deslocada em 180° na região à esquerda do eixo óptico.

dos de simulação litográfica iteradas com algoritmos de correção (“*model-based OPC*”). As correções podem aparecer de diversas formas, incluindo *serifs* e *hammers* para eliminar o arredondamento dos cantos e encurtamento do final das linhas, *notches* para controlar a largura das linhas, e barras auxiliares para gerar geometrias de *gate* pequenas. A figura 4.3 mostra uma máscara contendo um *layout*, a aplicação de OPC e o resultado impresso no *wafer*. Geralmente, o OPC é transparente ao projetista, sendo aplicado diretamente sobre o *layout* entregue à *foundry* no momento da geração das máscaras. Entretanto, possíveis restrições são embutidas diretamente nas regras de DRC, evitando configurações de *layout* que não possam ser fabricadas ou que não provoquem uma boa produtividade.

A técnica de OAI, mostrada na figura 4.4, é muito utilizada em processos com k_1 baixo. Entretanto, um problema intrínseco da técnica acontece. O ângulo de iluminação *off-axis* é função do *pitch* dos elementos a serem impressos, o que caracteriza um fenômeno no qual o OAI não funciona corretamente quando os *itches* variam em relação ao ângulo de iluminação otimizado (RIEGER; MAYHEW; PANCHAPAKESAN, 2001). Para prevenir perdas no processo, elementos auxiliares de sub-resolução (SRAFs - *Sub-Resolution Assist Features*), também chamados de *scatter-bars*, são adicionados ao *layout* para emular litograficamente o *pitch* primário. Entretanto, o posicionamento ótimo dos SRAFs depende do formato e da largura dos elementos críticos associados e do espaçamento entre as estruturas. Para isso, restrições nas regras de *layout* idealmente evitam determinadas larguras de espaço vazio que limitam o posicionamento dos elementos SRAF, como ilustrado na figura 4.5.

O princípio do PSM é ilustrado na figura 4.6, a qual mostra a impressão de uma linha com uma máscara convencional (à esquerda) e com uma máscara com deslocamento de

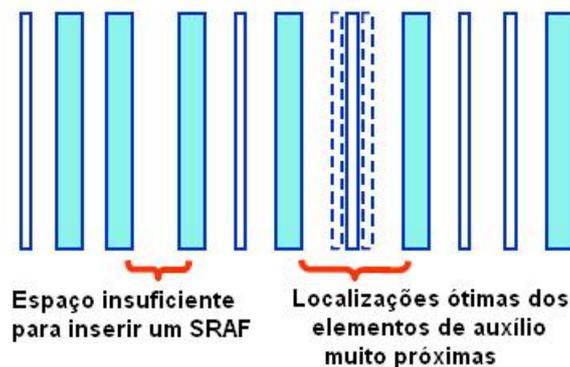


Figura 4.5: Exemplos de problemas na inserção de SRAFs no *layout* original.

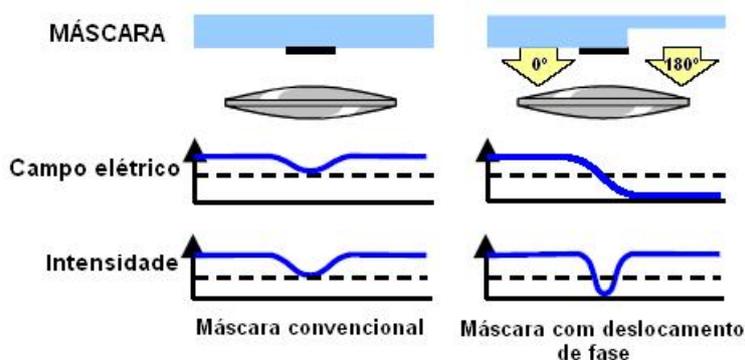


Figura 4.6: Resultados de litografia produzidos por uma máscara convencional e uma máscara com deslocamento de fase.

fase (à direita). Se as regiões iluminadas de cada lado da linha diferirem em fase por 180° , os campos eletromagnéticos destas regiões irão produzir uma interferência destrutiva e gerarão uma região de baixa amplitude de campo entre eles. Como a intensidade da imagem é proporcional ao quadrado do campo elétrico, a técnica resulta em uma imagem bem definida. Já a imagem produzida pela máscara convencional é menos robusta, devido à falta de interação entre as fases. Apesar de o PSM produzir imagens de alta fidelidade, as regiões escuras são necessariamente contínuas, pois os limites das regiões de 180° são contínuos. Algumas aplicações (como a impressão da camada de *gate*), entretanto, requerem áreas escuras distintas. Nestes casos, uma segunda exposição com uma nova máscara pode remover faixas escuras indesejáveis, criando uma região clara entre duas escuras consecutivas. O uso de dupla exposição, entretanto, requer regras de projeto adicionais (WONG, 2003). Em alguns casos, podem ocorrer conflitos de fase, como nos exemplos mostrados na figura 4.7. A maneira de resolver estes conflitos depende do nível de envolvimento dos projetistas. Em um caso extremo, onde os projetistas não desejam saber nada sobre o processo de litografia, as regras de projeto devem ser severas o bastante para garantir que o *layout* inteiro é livre de conflitos de fase. Na prática, os processos que utilizam PSM demandam a participação dos projetistas físicos na adoção de práticas que minimizam a probabilidade de conflitos de fase, propondo alternativas para configurações problemáticas.

Para melhorar a manufacturabilidade em tecnologias sub-micrométricas, é necessário limitar as configurações de padrões de *layout*. Por exemplo, restringir o posicionamento de contatos a uma grade de tal forma que todos os contatos estejam alinhados em todas

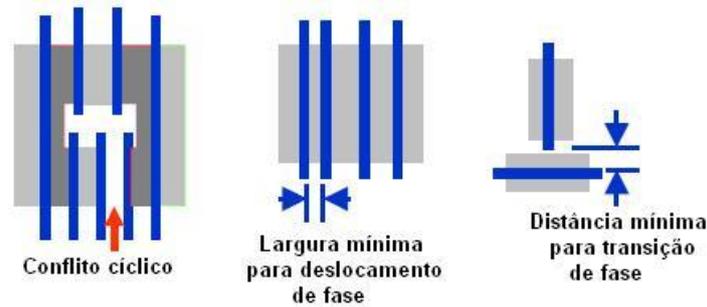


Figura 4.7: Restrições de *layout* para atender a técnica de PSM.

as direções espaciais pode otimizar a litografia. No caso dos circuitos analógicos, evitar o uso de comprimento de *gate* mínimo pode reduzir a variação nos dispositivos. Alguns cuidados devem ser tomados quando se seleciona o comprimento de canal, pois a maioria dos processos de fabricação são afinados especificamente para circuitos digitais, resultando em um *pitch* de comprimento de canal mínimo para otimização da densidade. É possível que o *pitch* de um bloco analógico caia em uma faixa de *pitches* de grande variabilidade. Se o algoritmo de OPC não é aplicado corretamente, é possível que artefatos gerados pela máscara surjam no projeto físico, criando problemas de produtividade. Assim, é preciso que se verifique a variabilidade em função do comprimento de canal de modo que *pitches* e comprimentos de canal “proibidos” sejam evitados. Para controlar melhor as dimensões críticas de poli, *scatter-bars* são adicionados ao projeto, resultando em *pitches* permitidos.

As *foundries* tradicionalmente tratam as questões sistemáticas de produtividade identificando-as para o usuário na forma de restrições de projeto embutidas nas regras de DRC. Nestas situações, como em um verificador de DRC, um resultado de sim/não ou passou/falhou é usado para identificar onde o problema reside. Diferentemente do DRC tradicional, onde uma instância específica pode ser definida pelo que pode ser fisicamente manufaturado e o que não pode, para as regras relacionadas à produtividade são dados valores baseados no que se acredita resultar em uma produtividade aceitável. Elas geralmente são baseadas na experimentação e na experiência em manufatura, como por exemplo as soluções para verificação de efeitos de antena. Assim, as regras são, na maioria, empíricas e não resultam necessariamente em erro de *layout*.

4.1.1.3 Defeitos paramétricos

De maior impacto nos projetos nanométricos são as perdas paramétricas de produtividade. Elas acontecem quando todos os elementos de um projeto estão funcionando, porém o *timing* ou outros requisitos elétricos como potência estão fora das especificações. Defeitos paramétricos se tornaram importantes a partir da tecnologia $180nm$ e são cruciais nos projetos em $90nm$. Eles são o resultado de parasitas nas interconexões e da física dos dispositivos. Estes efeitos físicos, individualmente ou como um todo, podem causar um comportamento do circuito de forma não ideal, causando variações de potência em barramentos, aumento no ruído, etc. A modelagem destes efeitos físicos, portanto, deve ser feita, e modelos spice devem incluir estas dependências para que se possa simular, modelar e tratar o impacto dos defeitos, o que afetará diretamente no sucesso ou não de um novo produto.

4.2 Casamento de transistores MOS

Para minimizar os efeitos da variabilidade dos parâmetros de processo de fabricação de circuitos integrados, é prática comum gerar o *layout* dos circuitos analógicos aplicando técnicas como o casamento de transistores. Alguns circuitos, como pares diferenciais, necessitam do pareamento da tensão *gate*-fonte, enquanto que outros, como espelhos de corrente, necessitam do casamento das correntes de dreno. As condições de polarização necessárias para otimizar o casamento em tensão diferem daquelas requeridas para otimizar o casamento em corrente. Pode-se otimizar os transistores tanto para casamento de tensão como para casamento de corrente, mas não ambos simultaneamente (HASTINGS, 2001). A relação entre polarização e pareamento de tensão é facilmente derivada das equações de Shichman-Hodges para a região linear:

$$I_D = k \left((V_{GS} - V_T) - \frac{V_{DS}}{2} \right) \cdot V_{DS} \quad (4.2)$$

e para a região de saturação:

$$I_D = \frac{k}{2} (V_{GS} - V_T)^2 \quad (4.3)$$

onde k é o parâmetro de transcondutância do dispositivo. Apesar destas equações não preverem os efeitos de corpo, modulação do canal ou efeitos de canal curto, elas são úteis para esta análise, pois o objeto deste estudo é a relação entre as correntes ou tensões de dois transistores casados, e não o valor exato destas. Podemos utilizá-las, então, como uma forma simples de determinar qualitativamente as causas e os efeitos causadores do descasamento entre transistores MOS. Suponhamos que dois transistores casados operam com a mesma corrente de dreno I_D . Se os transistores fossem ideais, então eles deveriam ter a mesma tensão *gate*-fonte V_{GS} . Na prática, o descasamento gera tensões *gate*-fonte diferentes por uma quantidade $\Delta V_{GS} = V_{GS1} - V_{GS2}$. Assumindo que os transistores operam em saturação, como é o geralmente o caso, então o *offset* de tensão ΔV_{GS} é igual a

$$\Delta V_{GS} \cong \Delta V_T - V_{GST1} \left(\frac{\Delta k}{2k_2} \right) \quad (4.4)$$

onde ΔV_T é igual à diferença entre as tensões de limiar dos dois transistores, Δk é igual à diferença entre as suas transcondutâncias, V_{GST1} é igual à tensão de *gate* efetiva do primeiro transistor e k_2 é a transcondutância do segundo transistor. A tensão de *offset* ΔV_{GS} depende das dimensões do dispositivo devido à presença da transcondutância k_2 no denominador. Da mesma forma, a tensão de *offset* depende das condições de polarização devido à presença da tensão de *gate* efetiva ΔV_{GS1} na equação. Estas dependências são características próprias dos transistores MOS. Pode-se minimizar a tensão de *offset* ΔV_{GS} dos transistores MOS através da redução da tensão de *gate* efetiva V_{GST} dos transistores casados. Circuitos que dependem do casamento de tensão, portanto, beneficiam-se do uso de grandes relações W/L e baixa corrente de operação (gm/I_D grande). As melhorias obtidas desta maneira são limitadas pelo início de condução sub-limiar e pela presença de descasamentos da tensão de limiar. Como regra prática, a redução de V_{GST} abaixo de 0,1V produz poucas melhoras no casamento de tensão (HASTINGS, 2001). Circuitos que necessitam de casamento de corrente comportam-se de maneira diferente. O descasamento entre duas correntes de dreno I_{D1} e I_{D2} pode ser especificado em termos da relação I_{D2}/I_{D1} :

$$\frac{I_{D2}}{I_{D1}} \cong \frac{k_2}{k_1} \left(1 + \frac{2\Delta V_T}{V_{GST1}} \right) \quad (4.5)$$

O descasamento entre correntes de dreno geralmente aumenta para tensões efetivas de *gate* pequenas devido à grande contribuição do descasamento das tensões de limiar ΔV_T . Circuitos com casamento de corrente devem operar a tensões efetivas de *gate* grandes para evitar a intensificação das variações das tensões de limiar. O valor ótimo de V_{GST} depende de muitos fatores e é difícil de quantificar. Como regra prática, deve-se manter uma tensão nominal de, ao menos, $0,3V$ (preferivelmente $0,5V$) nos transistores que geram correntes casadas. Tensões efetivas de *gate* maiores podem dar algum benefício adicional, porém a maioria das aplicações não suporta altas tensões V_{GST} (HASTINGS, 2001). Em suma, circuitos que geram tensões casadas devem operar a baixas tensões de *gate* efetivas, enquanto que circuitos que geram correntes casadas devem operar com altas tensões de *gate* efetivas. Para a maioria dos casos, um V_{GST} nominal de $0,1V$ ou menos fornecerá um casamento de tensões ótimo, e um V_{GST} nominal de $0,3V$ ou mais dará um casamento de correntes ótimo. Assumindo que o projetista ajuste a polarização dos transistores para estes valores, o casamento agora depende quase que somente dos cuidados com o *layout*.

4.3 Efeitos geométricos

O tamanho, o formato e a orientação dos transistores MOS afetam o seu casamento. Transistores grandes casam com maior precisão que os pequenos, porque o aumento da área de *gate* ajuda a minimizar o impacto de flutuações localizadas. Transistores de canal longo casam melhor que os de canal curto porque os canais longos reduzem as variações da largura das linhas e a modulação do comprimento do canal. Transistores orientados na mesma direção casam melhor que aqueles orientados em direções diferentes por causa da natureza anisotrópica do silício monocristalino. A seguir será discutido o impacto dos fatores geométricos no casamento de transistores MOS.

4.3.1 Área de *gate*

O descasamento de transistores MOS tem sido medido experimentalmente em um grande número de processos. Estas medidas revelam que a magnitude do descasamento da tensão de limiar varia inversamente com a raiz quadrada da área ativa de *gate*. Esta relação pode ser expressa em termos das dimensões efetivas de canal W_{eff} e L_{eff} como

$$s_{V_T} = \frac{C_{V_T}}{\sqrt{W_{eff}L_{eff}}} \quad (4.6)$$

onde s_{V_T} é o desvio padrão do descasamento da tensão de limiar e C_{V_T} é uma constante (LAKSHMIKUMAR; HADAWAY; COPELAND, 1986). O valor de C_{V_T} é determinado empiricamente através de medidas de descasamento aleatórias entre pares de transistores de diferentes tamanhos. Os resultados somente se aplicam a transistores parecidos aos dispositivos de teste usados para derivar C_{V_T} . As relações entre dimensões desenhadas e dimensões efetivas nem sempre são conhecidas, e algumas vezes as dimensões desenhadas W_d e L_d devem ser substituídas pelas dimensões efetivas W_{eff} e L_{eff} . Esta substituição terá pequeno efeito na precisão dos prognósticos quando ambas as dimensões dos transistores forem muitas vezes maiores que as mínimas. Porém, se as dimensões dos transistores forem próximas das mínimas permitidas pela tecnologia de fabri-

cação, então a diferença entre a área de *gate* desenhada e a área efetiva é muito grande (LOVETT et al., 1998). Por exemplo, a fig. 4.8 mostra a largura e o comprimento de canal efetivos e desenhados para dois dispositivos com a mesma área desenhada, um com $W/L = 8,33\mu\text{m}/0,8\mu\text{m}$ e outro com $W/L = 1,66\mu\text{m}/4\mu\text{m}$. Ambos os dispositivos têm uma área desenhada de $6,66\mu\text{m}^2$. A área hachurada é a área efetiva para o cálculo do descasamento de V_T . A figura ilustra como a geometria do transistor com $W/L = 8,33\mu\text{m}/0,8\mu\text{m}$ reduz severamente a sua área efetiva para $A_{eff} = 3,1\mu\text{m}^2$, enquanto que o transistor com $W/L = 1,66\mu\text{m}/4\mu\text{m}$, com $A_{eff} = 4,98\mu\text{m}^2$, é afetado muito menos. Assim, de acordo com a eq. 4.6 para *layouts* de dispositivos desenhados com a mesma área, aqueles com maior área efetiva terão melhor casamento. Para a mesma área desenhada, à medida que o comprimento de canal (L) se torna menor (W/L grande), a área efetiva é reduzida e o casamento torna-se pior. Do mesmo modo, à medida que W se torna menor (W/L pequeno), a área efetiva aumenta e o casamento é melhor. A eq. 4.6 somente se aplica a transistores que foram cuidadosamente desenhados para assegurar um casamento ótimo. Transistores com casamentos ruins geralmente exibem efeitos que não se comportam como preditos. Uma vez que estes defeitos são eliminados, os descasamentos da tensão de limiar remanescentes geralmente seguem a eq. 4.6 com boa precisão. Estudos teóricos sugerem que o descasamento residual da tensão de limiar provém de flutuações estatísticas na distribuição dos dopantes do substrato (PELGROM; DUINMAIJER; WELBERS, 1989). Flutuações estatísticas na distribuição das cargas fixas do óxido também podem influenciar, porém em escala reduzida. Variações aleatórias de pequena intensidade também parecem determinar o descasamento residual de transcondutâncias observado em dispositivos com bom casamento. Se o descasamento de transcondutâncias for descrito como a relação normalizada s_k/k , então ela varia com as dimensões efetivas W_{eff} e L_{eff} , como segue:

$$\frac{s_k}{k} = \frac{C_k}{\sqrt{W_{eff}L_{eff}}} \quad (4.7)$$

onde C_k é uma constante. Possíveis causas para estas variações na transcondutância incluem variações na largura das linhas, rugosidade do óxido de *gate* e variações estatísticas na mobilidade. A importância relativa destas causas não é conhecida, apesar de muitos autores sugerirem que as variações na mobilidade predominam.

4.3.2 Espessura do óxido de *gate*

Muitos projetistas acreditam que transistores com óxido de *gate* fino casam melhor que os transistores com óxido de *gate* mais espesso. À primeira vista, a evidência parece suportar esta hipótese, porém outros fatores além da espessura do óxido também influenciam. Os transistores de óxido fino para baixas tensões geralmente sofrem alguma forma de escalamento constante, que afeta não só a espessura do óxido de *gate* como também a dopagem do substrato. Se a dopagem do substrato é a causa dominante do descasamento da tensão de limiar, então o escalamento deveria diminuir o descasamento por um fator S . O escalamento constante também diminui a espessura do óxido por um fator S . Esta coincidência parece assemelhar-se com a relação empírica observada entre as espessuras de óxido e o descasamento da tensão de limiar. Sem levar em consideração a causa exata, o escalamento dos transistores para dimensões menores parece melhorar o casamento da tensão de limiar. Este efeito não se estende ao casamento de transcondutâncias, que parece continuar o mesmo, independente do escalamento.

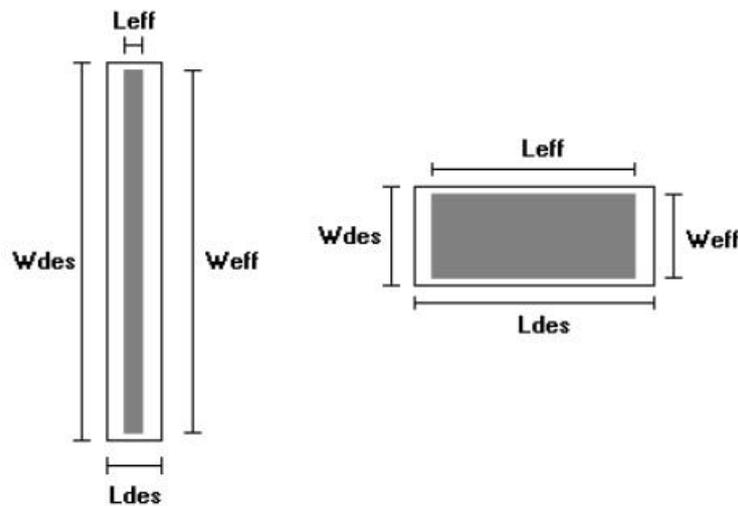


Figura 4.8: Larguras e comprimentos efetivos e desenhados para $W/L = 8,33\mu m/0,8\mu m$ e $W/L = 1,66\mu m/4\mu m$. A área de ambos os dispositivos é de $6,66\mu m^2$. A área efetiva está hachurada. O transistor de canal curto tem uma área efetiva muito menor que o dispositivo de canal estreito.

4.3.3 Modulação do comprimento de canal

A modulação do comprimento de canal pode causar descasamentos severos entre transistores de canal curto operando em tensões dreno-fonte diferentes. O descasamento sistemático entre os transistores é proporcional à diferença entre suas tensões dreno-fonte, e inversamente proporcional aos seus comprimentos de canal. Comprimentos de canal desenhados de $15\mu m$ a $25\mu m$ são geralmente adequados para aplicações não críticas. Maiores precisões podem ser obtidas através da operação dos transistores casados em tensões dreno-fonte similares, por exemplo, através da adição de cascodes. Projetistas raramente usam degeneração de fonte para combater a modulação do comprimento de canal porque a baixa transcondutância dos transistores MOS torna difícil a obtenção de degenerações adequadas sem o uso de resistores extremamente grandes.

4.3.4 Orientação

As transcondutâncias dos transistores MOS dependem da mobilidade dos portadores, e estes, por sua vez, exibem sensibilidade à tensão mecânica dependente da orientação. Transistores orientados ao longo de eixos diferentes do cristal de silício exibirão diferentes transcondutâncias sob tensão mecânica. Como todos os dispositivos que estão dentro de um mesmo encapsulamento experimentam a mesma tensão mecânica, estes descasamentos somente podem ser evitados através da orientação dos transistores casados na mesma direção. Variações da mobilidade causadas pela tensão mecânica podem induzir grandes descasamentos de corrente entre dispositivos rotacionados (CHUNG et al., 1991). A edição do *layout* pode facilmente introduzir erros de orientação se o projeto não foi particionado adequadamente. Considere um circuito que contém dois transistores casados: M1, localizado na célula X1, e M2, localizado na célula X2. Durante a edição do *layout* em alto nível, o projetista decide rotacionar a célula X1 em 90° . Apesar desta operação parecer inócua, ela realmente introduz uma diferença de 90° entre as orientações de M1 e M2. Erros deste tipo podem ser prevenidos pelo agrupamento de dispositivos casados em uma mesma célula. Isto pode tornar o esquemático mais difícil de ser compreendido,

porém reduz o risco da introdução inadvertida de erros de casamento durante a edição do *layout*.

4.4 Efeitos de difusão e corrosão

As seções anteriores examinaram as fontes de descasamento que dependem somente da geometria. Outros tipos de descasamento são causados pela presença ou ausência de outras estruturas perto dos transistores casados. Por exemplo, a presença de regiões de polisilício perto dos eletrodos de *gate* pode causar pequenas variações na taxa de *etching* do polisilício. Estas variações produzem descasamentos nos comprimentos e larguras efetivos dos transistores casados. Similarmente, o posicionamento de outras difusões perto do canal pode influenciar a concentração de dopantes no substrato e, então, causar variações na tensão de limiar e na transcondutância.

4.4.1 Variações na taxa de corrosão do polisilício

O polisilício nem sempre é corroído uniformemente. Grandes aberturas de poli limpam mais rapidamente que as pequenas, porque os íons de corrosão têm livre acesso aos lados e abaixo da região de grande abertura. As laterais das grandes aberturas, então, exibem alguns graus de corrosão a mais, devido ao tempo adicional que as aberturas pequenas necessitam para limpar (OCKEY; SYRZYCKI, 2001). Este efeito pode causar variações nos comprimentos dos *gates* dos transistores.

Para visualizar melhor o fenômeno, considere o *layout* da fig. 4.9(a). O *gate* do transistor M2 possui *gates* adjacentes em ambos os lados, mas os *gates* dos transistores M1 e M3 somente possuem *gates* adjacentes em um lado. O lado externo dos *gates* de M1 e M3 experimentam mais erosão que os correspondentes lados do *gate* de M2. Portanto, os comprimentos efetivos dos *gates* de M1 e M3 serão um pouco menores que o comprimento do *gate* de M2. Transistores com casamento de corrente moderado ou preciso devem usar *dummy gates* para assegurar corrosão uniforme. Se isso não acontecer, descasamentos de corrente de 1% ou mais podem ocorrer. A fig. 4.9(b) mostra um exemplo de uma matriz de transistores incorporando *dummies*. A maioria dos projetistas constrói os *dummy gates* com a mesma largura dos transistores ativos, porém esta precaução não é estritamente necessária porque a largura das tiras de poli é muito menos significativa que o seu espaçamento. Os *dummies* D1 e D2 são, então, feitos tão estreitos quanto possível para permitir espaço para um contato. O espaçamento entre os *dummies* e os *gates* ativos deve ser exatamente igual ao espaçamento entre os próprios *gates* ativos.

Como os *dummies* não são transistores reais, eles não requerem a presença de regiões de dreno e fonte ao longo de seus limites externos. O implante de fonte e dreno pode então terminar sob os *dummies*, como mostra a fig. 4.9(b). Isto não deve introduzir descasamentos significativos, conquanto a geometria da difusão se estenda além da lateral interna dos *dummies* por alguns micrômetros, para assegurar que a lateral do *dummy* descanse sobre óxido de *gate* fino. Os eletrodos dos *dummies* devem ser conectados eletricamente para prevenir a sua flutuação em potenciais desconhecidos. Apesar desta precaução não ser estritamente necessária, isto ajuda a assegurar que as características elétricas dos transistores não são afetadas pela formação de canais espúrios ou regiões de depleção abaixo dos *dummies*. Alguns projetistas conectam os *dummies* a eletrodos de *gates* adjacentes, mas esta prática não é recomendada porque aumenta as capacitâncias parasitas do terminal e as correntes de fuga. Uma prática melhor consiste na conexão dos *dummies* ao potencial do substrato. Muitos projetistas interconectam múltiplos *gates* com uma linha

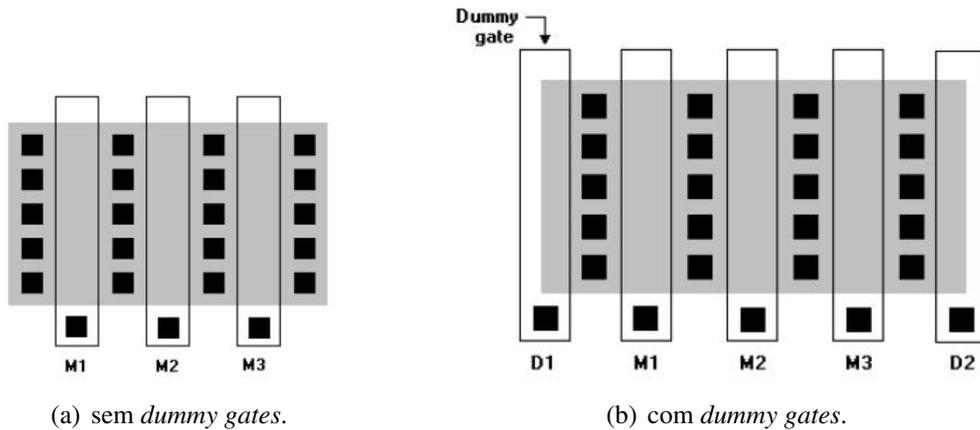


Figura 4.9: Arranjos de transistores MOS.

de polissilício. Apesar disto ser inegavelmente conveniente, pode introduzir variações na taxa de corrosão devido à presença de uma geometria de polissilício adjacente. Para um casamento melhor possível, deve-se utilizar linhas simples de polissilício interconectadas com metal.

4.4.2 Contatos sobre área de *gate* ativa

Por razões ainda não bem entendidas, o posicionamento de contatos sobre as regiões de *gate* ativos de transistores MOS algumas vezes induzem descasamentos significativos da tensão de limiar. Uma possível explicação para este efeito é a presença de metal sobre o *gate* ativo. Outro mecanismo em potencial para o descasamento causado por contatos sobre *gates* envolve a silicidação localizada dos contatos. Em processos onde o poli de *gate* é suficientemente fino, alguns silicídios podem penetrar inteiramente através do polissilício. A presença de silicídios na interface do óxido altera drasticamente o funcionamento do eletrodo de *gate* nas vizinhanças do contato e pode causar grandes descasamentos de tensão de limiar. Variações no tamanho dos grãos, distribuição dos dopantes e tensão mecânica podem também ajudar na geração de descasamentos induzidos por contatos. A figura 4.9 ilustra o posicionamento correto dos contatos de *gate* nas extensões de polissilício. Esta precaução assegura que os contatos residam sobre óxido de campo, onde eles não podem alterar significativamente as propriedades dos transistores.

4.4.3 Difusões perto do canal

Difusões profundas podem afetar o casamento dos transistores localizados nas proximidades. As “caudas” destas difusões se estendem a uma distância considerável além das suas junções e os dopantes em excesso que eles introduzem podem variar as tensões de limiar e alterar a transcondutância dos transistores localizados em regiões próximas. Poços também são difusões profundas. Geometrias de poço N não devem ser colocadas perto de transistores NMOS casados para prevenir que a “cauda” da distribuição dos dopantes do poço N intercepte os canais dos transistores casados. Transistores PMOS devem ser posicionados longe das bordas das regiões de poço N nas quais estão inseridos. Em todos os casos, um espaçamento das regiões de *gate* ativos igual ou maior a duas vezes a profundidade da junção devem limitar as interações para níveis negligenciáveis.

4.4.4 Contatos sobre difusão

Os contatos que ligam as regiões de difusão de dreno/fonte às linhas de metal, de modo a conectar os terminais dos transistores, podem afetar no casamento dos transistores. A resistência dos contatos pode variar muito de um contato para outro (por um fator de 5 ou mais em alguns processos (TSIVIDIS, 1995)). Neste caso, o único caminho para manter o descasamento baixo é assegurar que a resistência de cada contato seja muito menor que a resistência da região de difusão. Se este não for o caso, deve-se utilizar o maior número de contatos possíveis em cada nó, de modo a manter a resistência efetiva dos contatos baixa e, por conseguinte, minimizar a sua variação absoluta. A regra prática é, portanto, preencher a região de difusão com tantos contatos quantos couber. O mesmo vale para as vias.

4.4.5 PMOS versus NMOS

Transistores do tipo NMOS geralmente casam com maior precisão do que os transistores do tipo PMOS. Este fenômeno tem sido observado em diferentes processos, incluindo variantes de poços N e P. Alguns autores afirmam que os transistores PMOS exibem de 30 a 50% mais descasamento de transcondutância do que os transistores NMOS (LAKSHMIKUMAR; HADAWAY; COPELAND, 1986) (PELGROM; DUINMAIJER; WELBERS, 1989). Alguns estudos também detectaram um aumento no descasamento das tensões de limiar em transistores PMOS, apesar deste não parecer tão significativo quanto as diferenças no casamento de transcondutância. Os mecanismos responsáveis pelas diferenças entre PMOS e NMOS ainda não são bem entendidos. Possíveis causas incluem o aumento na variabilidade dos dopantes do substrato, a presença de canais enterrados e os efeitos de tensão mecânica dependentes da orientação. Alguns autores sugerem que o aumento na variabilidade é resultado (ao menos em parte) das diferenças nos implantes para ajuste de *threshold*, porém isto parece uma explicação não razoável, já que muitos processos diferentes se comportam da mesma forma.

4.5 Efeitos térmicos e mecânicos

Outra importante categoria de descasamento resulta das variações em larga escala chamadas gradientes. A magnitude dos descasamentos induzidos pelos gradientes depende da separação entre os centros efetivos, ou centróides, dos dispositivos casados. Considerando que os dispositivos estão posicionados relativamente próximos uns dos outros, a variação ΔP no parâmetro P entre dois dispositivos casados é igual ao produto da distância d entre os centróides e o gradiente ∇P ao longo da linha que conecta os dois centróides:

$$\Delta P \cong d \nabla P \quad (4.8)$$

O impacto do gradiente no casamento depende tanto da magnitude do gradiente quanto da distância entre os centróides dos dispositivos casados. O casamento de transistores MOS é afetado pelos gradientes da espessura do óxido, tensão mecânica e temperatura.

4.5.1 Gradientes de espessura do óxido

A espessura de um filme de óxido depende da temperatura e da composição da atmosfera oxidante usada para crescê-lo. Apesar de os fornos modernos serem controlados com muita precisão, pequenas variações da temperatura e da composição da atmosfera ainda

ocorrem dentro do tubo de cozimento. Camadas de óxido grosso geralmente exibem um padrão de anéis concêntricos coloridos que denunciam a presença de um gradiente radial na espessura do óxido. Óxidos de *gate* são muito finos para exibirem interferência de cores, mas também tendem a exibir gradientes radiais de espessura do óxido. Dispositivos localizados muito próximos uns dos outros possuem uma espessura de óxido muito similar, enquanto que dispositivos distantes podem apresentar grandes diferenças na espessura do óxido. Estas diferenças afetam diretamente o casamento da tensão de limiar.

4.5.2 Gradientes de tensão mecânica

A tensão mecânica afeta a transcondutância dos transistores MOS por causa da variação na mobilidade dos portadores. Os efeitos da tensão mecânica na mobilidade dependem da orientação. Em substratos de silício, os buracos experimentam máxima dependência da tensão mecânica ao longo do eixo $\langle 110 \rangle$ e mínima dependência ao longo do eixo $\langle 100 \rangle$. Da mesma forma, os elétrons experimentam máxima dependência da tensão mecânica ao longo do eixo $\langle 100 \rangle$ e mínima ao longo do eixo $\langle 110 \rangle$. Os *chips* são orientados à superfície mais plana da lâmina, perpendicular ao eixo $\langle 110 \rangle$. Assim, os elétrons experimentam mínima variação na mobilidade induzida pela tensão mecânica nas direções alinhadas aos eixos X e Y, enquanto que os buracos experimentam a mínima variação nas direções orientadas a 45° destes eixos. A dependência da mobilidade à tensão mecânica no substrato cai a praticamente zero ao longo de orientações favorecidas, porém o mesmo não é verdade para a mobilidade efetiva dos portadores confinados no canal. A dependência da mobilidade efetiva à tensão mecânica diminui ao longo das direções previstas pela teoria, porém em escala muito menor que a prevista para o caso da mobilidade no substrato. O posicionamento diagonal de um transistor PMOS pode reduzir a dependência da sua transcondutância à tensão mecânica em somente 50%, ao invés dos 90% ou mais que seria esperado baseado nos dados da mobilidade no substrato. Os efeitos aleatórios das colisões dos portadores com a interface óxido/silício provavelmente conta para a dependência reduzida em relação à orientação das mobilidades efetivas, porém nem todos os pesquisadores concordam com os detalhes deste mecanismo. Dadas estas incertezas, parece haver poucas razões para a orientação diagonal de transistores PMOS. Deve-se preferir o projeto com *layouts* em centróide comum para minimizar a sensibilidade à tensão mecânica. A tensão mecânica tem relativamente pouco efeito sobre o casamento de tensão porque as tensões de limiar dos transistores MOS são praticamente independentes à sua variação. A pequena dependência que existe é causada provavelmente pelas variações na tensão de *bandgap* do silício causadas pela tensão mecânica. A tensão de limiar geralmente não exibe mais de alguns poucos milivolts de variação induzida pela tensão mecânica, a qual pode ser reduzida ainda mais com o uso de técnicas de *layout* em centróide comum.

4.5.3 Tensão mecânica induzida pela metalização

O roteamento de linhas de metal sobre regiões de *gate* ativo de transistores MOS produz descasamento induzido pela tensão mecânica em quantidades significativas (TUI-NHOUT et al., 1996). A metalização pode causar grandes descasamentos se os *wafers* não forem resfriados em uma atmosfera reduzida, já que a deposição de metal sobre o óxido de *gate* parece introduzir cargas de superfície neste óxido. Idealmente, as linhas de metal nunca devem ser roteadas sobre as regiões de *gate* ativos de transistores casados. Se estas linhas precisarem cruzar os transistores, então deve-se considerar a adição de linhas *dummies* de modo que cada transistor seja cruzado por um segmento idêntico de

metalização na mesma posição ao longo do canal. Esta precaução minimizará o impacto da metalização no casamento, mas não o eliminará completamente. Assim, para a melhor precisão deve-se evitar completamente linhas de roteamento sobre regiões de *gate* ativas.

4.5.4 Gradientes térmicos

O casamento de tensões em transistores MOS depende primeiramente do casamento das tensões de limiar. As tensões de limiar diminuem com a temperatura em aproximadamente $-2mV/^{\circ}C$. A maioria dos coeficientes de temperatura são resultados de variações na função trabalho dos materiais de *gate* e substrato em relação à temperatura, e isto é virtualmente independente da corrente de dreno (KLAASEN; HES, 1986). A tensão de *offset* de entrada dos transistores MOS é ajustada através da adequação das densidades de corrente. Esta operação tem como objetivo cancelar o descasamento das tensões de limiar pela introdução de um *offset* de compensação na transcondutância. O coeficiente de temperatura da tensão de limiar é causado por mecanismos diferentes que o coeficiente de temperatura da transcondutância. Portanto, os dois não são iguais, e a operação de ajuste não reduz o coeficiente de temperatura a zero. O casamento de corrente dos transistores MOS depende primeiramente do casamento das transcondutâncias. Estas transcondutâncias são diretamente proporcionais às mobilidades efetivas dos portadores, as quais exibem grandes coeficientes de temperatura. A temperaturas perto de $25^{\circ}C$, a transcondutância de um MOS tipicamente exhibe coeficientes de temperatura de aproximadamente $+7000ppm/^{\circ}C$. Variações da temperatura na tensão de limiar têm pouco efeito no casamento de corrente quando os transistores operam a uma tensão efetiva de *gate* V_{GST} relativamente alta.

4.6 Layout em centróide comum de transistores MOS

Descasamentos induzidos por gradientes podem ser minimizados pela redução da distância entre os centróides dos dispositivos casados. Alguns tipos de *layout* podem realmente reduzir a distância dos centróides a zero. Estes *layouts* em “centróide comum” podem reduzir completamente os efeitos de variações em larga escala se estas forem funções lineares da distância. Mesmo se as variações contiverem componentes não-lineares, elas ainda são aproximadamente lineares para pequenas distâncias. Quanto mais compacto o *layout* em centróide comum, menos suscetível ele estará para os gradientes não-lineares. Os melhores *layouts* para transistores MOS combinam alinhamento exato dos centróides com compactação. As regiões de *gate* ativas de um transistor geralmente têm a forma de um retângulo longo e estreito. Os transistores são geralmente divididos em segmentos para permitir a construção de um arranjo compacto. Os tipos mais simples de arranjos envolvem o posicionamento de múltiplos segmentos em paralelo. Se estes segmentos forem interdigitados corretamente, então os centróides dos dispositivos casados estarão alinhados em um ponto no meio do eixo de simetria do arranjo. A figura 4.10 mostra um exemplo de um par de transistores casados esboçados como um arranjo interdigitado. Este *layout* usa o padrão de interdigitação *ABBA* para assegurar um exato alinhamento dos centróides. Se os segmentos de fonte e dreno forem denotados por subscritos, então o padrão se torna $DA_S B_D B_S A_D$. Note que o segmento de *A* à direita tem seu dreno na direita, enquanto que o segmento de *A* à esquerda tem o seu dreno na esquerda. Da mesma forma, o segmento de *B* da direita tem sua fonte à direita, enquanto que o segmento de *B* da esquerda tem sua fonte à esquerda. Cada transistor, portanto, contém um segmento orientado em cada direção. A razão para esta precaução é um tanto sutil. Suponha que

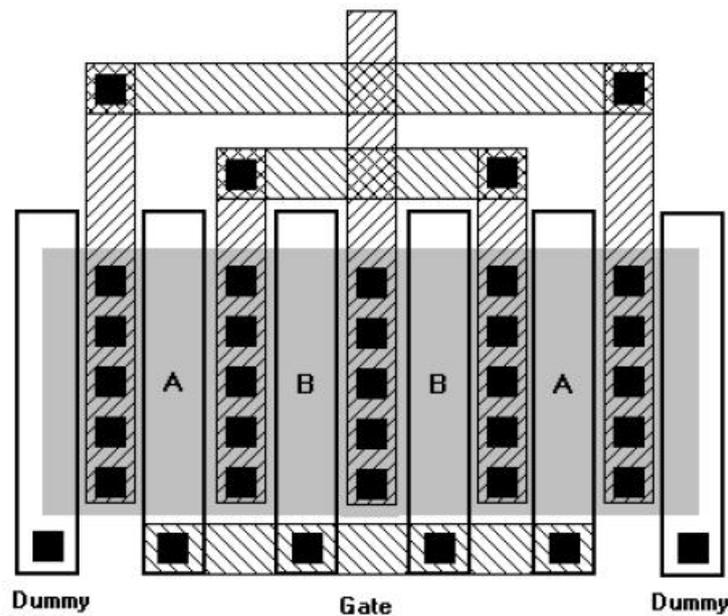


Figura 4.10: Arranjo de transistores interdigitados.

um transistor consista somente de segmentos com drenos à esquerda, enquanto que um segundo transistor tenha todos os seus segmentos com drenos à direita. Se os segmentos diferirem de alguma maneira, então os dois transistores não estarão casados. Se ambos os transistores consistirem completamente de segmentos orientados na mesma direção, então o efeito da orientação em cada transistor será o mesmo. Se cada transistor for composto por um número igual de segmentos orientados à esquerda e à direita, então os efeitos da orientação se cancelarão e os transistores se casarão.

De uma forma mais geral, se definirmos a “quiralidade” de um transistor como a fração de segmentos orientados à direita que ele contém menos a fração de segmentos orientados à esquerda, então os transistores que possuírem quirralidades iguais não experimentarão descasamentos dependentes da orientação. Por exemplo, um transistor tendo três segmentos orientados à direita e um orientado à esquerda tem uma quirralidade de $3/4 - 1/4 = 1/2$. Da mesma maneira, um transistor tendo nove segmentos orientados à direita e três orientados à esquerda tem uma quirralidade de $9/12 - 3/12 = 1/2$. Como estes transistores têm quirralidades iguais, eles não exibem nenhum descasamento dependente da orientação. A maioria dos projetistas prefere usar arranjos com quirralidade zero, ou seja, transistores que consistem de números iguais de segmentos orientados à direita e à esquerda. Descasamentos dependentes da orientação podem se desenvolver em transistores MOS devido ao deslocamento diagonal nos implantes de fonte e dreno. Tais deslocamentos diagonais ocorrem quando a implantação de íons é realizada em um ângulo para prevenir o tunelamento. Tais implantes inclinados causam diferenças nas regiões de fonte/dreno do lado esquerdo dos *gates* em relação ao lado direito (figura 4.11). Se os dispositivos casados forem arranjados em um padrão $DA_S B_D$, então o dreno do dispositivo do lado esquerdo difere do dreno do dispositivo do lado direito. Igualmente, a fonte do dispositivo do lado esquerdo difere da fonte do dispositivo do lado direito. Implantes inclinados têm pouco efeito sobre o casamento de transistores que operam na região linear, porém dispositivos em saturação às vezes experimentam pequenas diferenças de transcondutância. Estes descasamentos tornam-se piores quando a queda de tensão

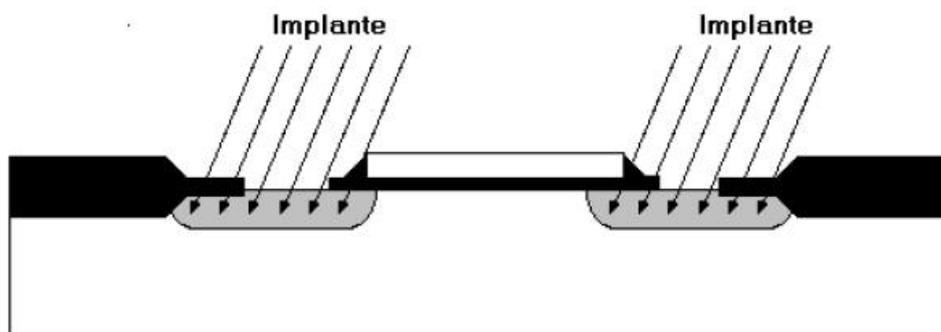


Figura 4.11: Deslocamentos laterais das regiões de dreno e fonte de um transistor devido ao implante inclinado. Note a diferença das sobreposições do *gate* sobre as regiões de dreno e fonte. As dimensões estão exageradas para efeitos de clareza.

ao longo do dispositivo se aproxima do máximo, porque implantes inclinados têm um impacto forte na geração de portadores (BAKER; PFIESTER, 1988). Estas dependências da orientação se cancelam quando os transistores possuem quiralidades iguais.

Os padrões de interdigitação para arranjos de transistores com centróide comum são geralmente difíceis de se construir, porque não é fácil satisfazer todas as regras de *layout* em centróide comum. O conjunto completo de regras para dispositivos MOS é o seguinte (HASTINGS, 2001):

- **Coincidência:** os centróides dos dispositivos casados devem, ao menos, coincidir aproximadamente. Idealmente, os centróides devem coincidir exatamente.
- **Simetria:** o arranjo deve ser simétrico em torno dos eixos X e Y. Idealmente, esta simetria deve vir do posicionamento dos segmentos no arranjo e não da simetria dos próprios segmentos individuais.
- **Dispersão:** o arranjo deve exibir o mais alto grau de dispersão possível, ou seja, os segmentos de cada dispositivo devem ser distribuídos no arranjo o mais uniformemente possível.
- **Compactação:** o arranjo deve ser tão compacto quanto possível. Idealmente, deve se aproximar do formato de um quadrado.
- **Orientação:** cada dispositivo casado deve consistir de um número igual de segmentos orientados na mesma direção. De forma mais geral, os dispositivos devem possuir quiralidades iguais.

A tabela 4.2 mostra alguns padrões simples de interdigitação usados para transistores MOS. Segmentos de fonte e dreno são denotados por subscritos e seqüências de segmentos que podem ser repetidas estão entre parênteses. Quando um padrão inclui mais de uma seqüência repetida, cada porção da seqüência entre parênteses deve ser replicado o número de vezes. Certos padrões contêm locais onde os segmentos de fonte/dreno não podem se fundir uns com os outros. Estes são indicados por traços. Todos os padrões da tabela obedecem às regras da coincidência, simetria e orientação, porém muitos deles não são tão dispersos ou compactos quanto possível. Por exemplo, considere os padrões de 1 a 4. No padrão 1 falta dispersão, pois ele contém longas seqüências de segmentos pertencentes a um mesmo dispositivo. O padrão 2 contém quebras de difusão, o que o torna

menos compacto que os outros. Os padrões 3 e 4 exibem dispersão considerável, pois os seus segmentos aparecem em pares na maioria das partes do arranjo. Entretanto, o centro do padrão 4 contém uma série de quatro segmentos pertencentes ao mesmo dispositivo. O centro do padrão 3 contém uma série de somente dois segmentos, por isso proporciona um melhor dispersão que o padrão 4. Em suma, o padrão 3 deve exibir maior precisão no casamento que os padrões 1, 2 e 4. O dispositivo da figura 4.10 usa o padrão 3.

Transistores interdigitados não proporcionam o melhor cancelamento possível dos gradientes, pois eles dependem da simetria dos segmentos individuais do dispositivo para determinar um dos seus dois eixos de simetria. Um arranjo bidimensional em centróide comum proporciona um alto grau de simetria, pois ambos os eixos de simetria vêm do *layout* do arranjo, ao invés dos segmentos que o formam. Arranjos bi-dimensionais com centróide comum são particularmente úteis para o casamento de pares de transistores de tamanhos iguais, como pares diferenciais. *Layouts* deste tipo são chamados “pares cruzados”. Como em outros *layouts* com centróide comum, cuidados devem ser tomados para assegurar que as dependências da orientação se cancelem. A figura 4.12 mostra a forma mais simples de par cruzado. Este *layout* segue o padrão de interdigitação ${}_D A_S B_D / {}_D B_S A_D$, onde a barra (/) separa os segmentos que ocupam os quadrantes superiores daqueles que ocupam os quadrantes inferiores. Isto não só produz um *layout* compacto como também satisfaz a regra da orientação, pois os dois segmentos pertencentes a cada dispositivo estão orientados em direções opostas. Este *layout* é especialmente bom para pares de transistores relativamente pequenos.

Grandes pares cruzados são mais difíceis de se construir. A maioria dos projetistas simplesmente divide cada transistor em duas metades iguais e as posiciona em cantos diametralmente opostos do arranjo. Um *layout* deste tipo pode ser representado pelo padrão XY/YX, onde X e Y são os sub-arranjos compostos inteiramente por segmentos dos transistores A e B, respectivamente. Uma implementação típica de tal arranjo é $({}_S A_D A) {}_S (B_D B_S) / ({}_S B_D B) {}_S (A_D A_S)$. Apesar deste padrão satisfazer as regras de interdigitação, ele não proporciona uma ótima dispersão. À medida que o arranjo cresce em tamanho, a carência de dispersão o torna cada vez mais susceptível a descasamentos causados por componentes não-lineares de variação. Um padrão melhor para grandes pares cruzados é $({}_D A_S B_D B_S A) {}_D / {}_D (B_S A_D A_S B_D)$. Se o arranjo for ainda maior, então dispersão adicional pode ser introduzida pela elaboração do arranjo em dimensões verticais, como no exemplo seguinte:

$$\begin{array}{c} {}_D A_S B_D B_S A_D \\ {}_D B_S A_D A_S B_D \\ {}_D A_S B_D B_S A_D \\ {}_D B_S A_D A_S B_D \end{array}$$

Tabela 4.2: Exemplos de padrões de interdigitação para arranjos de transistores

1	$({}_S A_D A) {}_S (B_D B_S B_D B) ({}_S A_D) {}_S$
2	$({}_D A_S B_D - {}_D B_S A_D) - ({}_D A_S B_D - {}_D B_S A_D)$
3	$({}_D A_S B_D B_S A) {}_D$
4	$({}_S A_D A_S B_D B) {}_S (B_D B_S A_D A_S)$
5	$({}_S A_D A_S B_D B_S A_D A) {}_S$
6	$({}_S A_D A_S B_D - {}_S A_D A_S - {}_D B_S A_D A) {}_S$
7	$({}_S A_D A_S B_D B_S C_D C) {}_S (C_D C_S B_D B_S A_D A_S)$

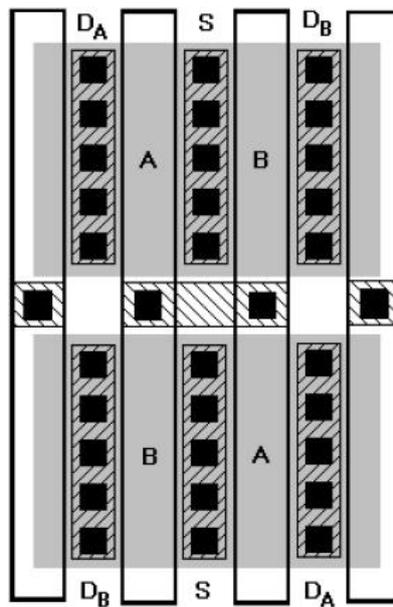


Figura 4.12: Arranjo de transistores em par cruzado

A principal desvantagem dos padrões mais elaborados deste tipo está na dificuldade de se conectar os vários segmentos para formarem o dispositivo completo. Isto se torna particularmente difícil em casos onde os *gates* dos dois dispositivos casados não se ligam. Os padrões mais simples - e, por sua vez, mais fáceis de se conectar - geralmente servem para todas as aplicações, exceto para as que exigem maior precisão.

4.6.1 Regras para o casamento de transistores MOS

Esta seção sumariza as informações dadas anteriormente na forma de um conjunto de regras qualitativas. Estas regras permitem que os projetistas construam transistores casados mesmo se não existirem dados quantitativos para o processo em questão. As regras usam os termos “mínimo”, “moderado” e “preciso” para denotar os graus de precisão dos casamentos (HASTINGS, 2001) (WONG et al., 2005):

- Casamento mínimo: Descasamentos típicos de corrente de dreno na faixa de mais de 1%. Casamento mínimo é geralmente usado na construção de redes de polarização de corrente que não necessitam nenhum grau particular de precisão. Este nível de casamento corresponde a *offsets* típicos de $\pm 10mV$ e, portanto, é inadequado para aplicações com casamento de tensão.
- Casamento moderado: Tensões de *offset* típicas na faixa $\pm 5mV$ ou descasamentos de corrente de menos de 1%. Útil para a construção de estágios de entrada de amplificadores operacionais e comparadores não-críticos, onde *offsets* não ajustados de $\pm 10mV$ são aceitáveis.
- Casamento preciso: Tensões de *offset* típicas na faixa de menos de $\pm 1mV$ ou descasamentos de corrente de dreno de menos de $\pm 0,1\%$. Este nível de casamento geralmente envolve ajuste e o circuito resultante provavelmente só encontra suas especificações dentro de uma limitada faixa de temperaturas devido à presença de variações térmicas não compensadas.

A idéia central é construir tudo idêntico de modo que todos os componentes a serem casados sejam afetados pelos mesmos fatores da mesma maneira. As regras a seguir resumem os princípios mais importantes do casamento de transistores MOS.

4.6.1.1 Regras relacionadas ao projeto elétrico

1. Os dispositivos a serem casados devem ser do mesmo tipo: Não se pode esperar o casamento de transistores do tipo NMOS com transistores do tipo PMOS.
2. Transistores de tamanho mínimo devem ser evitados: Para reduzir a influência de efeitos locais aleatórios, os transistores casados devem ser projetados com dimensões maiores que a mínima resolução possível da tecnologia de fabricação.
3. Transistores casados devem ter a mesma polarização: Em particular, para alcançar correntes idênticas, não é suficiente que os dispositivos a serem casados tenham a mesma tensão *gate-fonte*. Eles devem ter também a mesma tensão fonte-substrato V_{SB} e a mesma tensão dreno-fonte V_{DS} .
4. Para casamento de tensão, V_{gst} deve ser pequeno: A tensão de *offset* de um par de transistores casados contém um termo dependente da transcondutância do dispositivo. Este termo é diretamente proporcional a V_{gst} . Portanto, pequenos valores de V_{gst} proporcionam um melhor casamento de tensão. Reduzir o V_{gst} abaixo de 0,1V acarreta pouco benefício adicional, pois as variações da tensão de limiar começam a dominar a equação do *offset*. A maioria dos projetistas diminui o V_{gst} utilizando relações W/L grandes, pois isto ainda aumenta a área ativa dos transistores.
5. Para casamento de corrente, V_{gst} deve ser grande: A equação do descasamento de corrente contém um termo dependente da tensão de limiar. Este termo é inversamente proporcional a V_{gst} , portanto grandes valores de V_{gst} minimizam seu impacto sobre o casamento de corrente. Circuitos que dependem de casamento de corrente devem manter um V_{gst} nominal de, ao menos, 0,3V. Transistores casados moderadamente devem manter um V_{gst} nominal de, ao menos, 0,5V. Já os transistores com casamento preciso devem usar o maior valor possível de V_{gst} permitido pela configuração do circuito, porém nunca devem usar menos de 0,5V.
6. O uso de transistores NMOS deve ser prioritário em relação aos PMOS: Dispositivos que necessitam de um implante de ajuste para compensar o *threshold* possuem um descasamento maior na tensão de limiar devido a diferentes dopagens que ocorrem na superfície. Esta é a principal razão para o descasamento significativamente maior dos dispositivos PMOS em relação aos NMOS.

4.6.1.2 Regras relacionadas ao projeto físico

1. Segmentos com mesmo formato e mesmo tamanho: Transistores de diferentes comprimentos e larguras casam muito mal. Mesmo dispositivos com casamento mínimo devem possuir comprimentos de canal (L) idênticos. A maioria dos transistores casados possui larguras de canal (W) relativamente grandes e geralmente são divididos em seções, ou segmentos. Cada um destes segmentos deve possuir o mesmo comprimento e largura que os demais. Não se deve casar transistores de diferentes larguras e comprimentos de canal, pois os fatores de correção de W e L , dW e dL , variam substancialmente de lote para lote.

2. Grandes áreas de *gate* ativas: A área ativa de um transistor MOS é igual ao produto do comprimento de canal pela largura de canal ($W \times L$). Assumindo que todas as outras considerações de casamento foram respeitadas, o *offset* residual devido a flutuações aleatórias é inversamente proporcional à raiz quadrada da área do dispositivo. Casamento moderado geralmente requer áreas ativas de algumas centenas de micrômetros quadrados, enquanto que o casamento preciso requer milhares de microns quadrados.
3. Transistores orientados na mesma direção: Transistores que não são paralelos uns aos outros tornam-se vulneráveis a variações da mobilidade causadas pela tensão mecânica e pela implantação de íons inclinada, o que pode causar variações grandes nas suas transcondutâncias. Este efeito é tão severo que mesmo os transistores com casamento mínimo devem ser posicionados em paralelo. Transistores casados, especialmente aqueles que não são auto-alinhados, devem ter quiralidades iguais. Esta condição deve ser obedecida para assegurar que cada transistor contenha um número igual de segmentos orientados em cada direção. Outro fato importante a ser considerado é que o fluxo de corrente dos transistores casados deve ser paralelo (idealmente na mesma direção). Isto evita o descasamento causado por processos de fabricação anisotrópicos ou mesmo pela anisotropia do substrato de silício.
4. Transistores próximos uns dos outros: Transistores MOS são vulneráveis a gradientes de temperatura, tensão mecânica e espessura do óxido. Mesmo os dispositivos com casamento mínimo devem residir o mais próximo possível dos demais. Transistores com casamento moderado ou preciso devem ser posicionados um imediatamente após o outro para facilitar o *layout* em centróide comum. Para transistores localizados dentro de poços, um poço comum deve ser usado se seus terminais de bulk forem comuns e se não houver possibilidade de interferência.
5. *Layout* dos transistores casados o mais compacto possível: Transistores MOS naturalmente proporcionam *layouts* compridos, o que os torna extremamente vulneráveis aos gradientes. *Layouts* em centróide comum não podem eliminar completamente esta vulnerabilidade, portanto o projetista deve tentar criar o arranjo mais compacto possível. Isto geralmente requer que cada dispositivo seja dividido em segmentos.
6. Onde prático, usar *layouts* em centróide comum: Transistores com casamento moderado ou preciso necessitam de alguma forma de *layout* em centróide comum. Isto pode ser alcançado através da divisão de cada transistor em um número par de segmentos e pela disposição destes segmentos em arranjos interdigitados. Pares de transistores casados devem ser desenhados como pares cruzados para tirar vantagem da simetria superior deste arranjo.
7. Segmentos *dummies* nas extremidades dos arranjos de transistores: Um arranjo de transistores deve incluir *dummy gates* nas suas extremidades. Estes *dummies* não precisam ter a mesma largura dos *gates* ativos, porém o espaçamento entre os *dummies* e os *gates* ativos deve ser igual ao espaçamento entre os próprios *gates* ativos. As áreas de difusão devem se estender ao menos em alguns micrômetros abaixo dos *dummies* para prevenir que suas laterais recaiam sobre bicos de pato. Os *dummies* devem ser conectados preferencialmente a potenciais que previnam a formação de

canal sob eles. Isto é mais facilmente alcançado com a conexão ao potencial do substrato logo abaixo deles.

8. Linhas de poli espaçadas uniformemente: A observação de restrições em relação ao *pitch* das linhas de polisilício (com a adição de *dummies* para garantir a vizinhança) melhora dramaticamente o controle e a otimização do processo de fabricação, tornando o processo litográfico mais fácil e resultando em um melhor controle das dimensões críticas. O uso de SRAFs requer um *pitch* específico de poli.
9. Transistores devem ser posicionados em área de baixo gradiente de tensão mecânica: Os gradientes de tensão mecânica alcançam um valor mínimo no centro do *chip*. Qualquer localização entre o centro e metade do caminho até as bordas cairá neste mínimo. Quando possível, transistores com casamento preciso devem residir dentro desta área de baixa tensão mecânica. Transistores com casamento mínimo ou preciso devem residir a, pelo menos, $250\mu m$ de distância das bordas do *chip*. A tensão mecânica atinge um máximo nos cantos dos *chips*, portanto deve-se evitar o posicionamento de qualquer transistor casado nestas proximidades. Transistores do tipo PMOS podem experimentar uma dependência um pouco menor quando orientados ao longo das direções $\langle 100 \rangle$. Este efeito não é suficientemente pronunciado para justificar o posicionamento de transistores com casamento mínimo ou moderado na diagonal, mas transistores com casamento preciso podem se beneficiar desta orientação não convencional. Transistores do tipo NMOS devem sempre ser orientados na horizontal ou na vertical.
10. Transistores devem ser posicionados longe de dispositivos de potência: Para o propósito de discussão, qualquer dispositivo que dissipa mais de $50mW$ pode ser considerado um dispositivo de potência, e qualquer dispositivo que dissipa mais de $250mW$ pode ser considerado um dispositivo de grande potência. Transistores com casamento preciso devem residir em um eixo de simetria com dispositivos de grande potência. Transistores com casamento moderado ou preciso devem estar posicionados a não menos de 250 a $500\mu m$ de distância do dispositivo de potência mais próximo. Dispositivos com casamento mínimo podem ser colocados próximos de dispositivos de potência, porém somente se eles estiverem na forma de *layout* em centróide comum. Porém, é conveniente lembrar que, apesar de uma linha de metal não gerar muito calor, ela pode conduzir o calor gerado em outros lugares.
11. Transistores casados devem estar à mesma temperatura: Os dispositivos a serem casados devem ser posicionados simetricamente em relação a uma fonte de calor de maneira a serem aquecidos igualmente, como ilustrado na fig. 4.13.
12. Contatos não devem estar localizados sobre regiões de *gate* ativo: Quando for possível, deve-se estender o poli de *gate* além da difusão e posicionar os contatos de *gate* sobre o óxido de campo. Quando isto não for possível, deve-se minimizar o número e o tamanho dos contatos e colocá-los na mesma posição em todos os transistores.
13. Linhas de metal não devem passar sobre as regiões de *gate* ativo: Quando possível, deve-se evitar o roteamento de metal sobre as regiões de *gate* ativo de transistores com casamento preciso. Estas linhas podem ser roteadas sobre transistores com casamento moderado, porém linhas *dummies* devem ser adicionadas de modo que

cada seção do arranjo de dispositivos casados seja cruzado na mesma posição ao longo do seu canal por uma linha de mesmo comprimento.

14. Junções de difusão profunda devem estar longe das áreas ativas de *gate*: O espaçamento mínimo entre o limite de um poço e um transistor com casamento preciso deve ser igual a duas vezes a profundidade do poço. Transistores com casamento mínimo ou moderado devem apenas obedecer às regras simples de *layout*. Uma proximidade grande em relação a um poço N, por exemplo, pode causar uma variação de até $50mV$ na tensão de *threshold* dos dispositivos NMOS e de até $20mV$ nos PMOS.
15. Transistores casados devem estar posicionados precisamente sobre os eixos de simetria do bloco: Arranjos de transistores com casamento preciso devem ser posicionados de modo que o eixo de simetria do arranjo esteja alinhado com um dos dois eixos de simetria da lâmina. Se o projeto contiver um grande número de transistores casados, então deve-se reservar os melhores locais para os dispositivos mais críticos.
16. Segmentos de *gate* devem ser conectados usando linhas de metal: Os segmentos de *gate* de transistores com casamento moderado ou preciso devem ser ligados através de linhas de metal, e não com polisilício. Transistores com casamento mínimo podem usar estruturas de poli para simplificar as conexões.
17. O efeito de contatos e conexões dos dispositivos deve ser considerado: O mesmo número de contatos deve ser usado em cada dispositivo e na mesma posição. Se for necessário o uso de vias, idealmente o mesmo número de vias deve ser usado na conexão de cada dispositivo. Contatos múltiplos devem ser utilizados para combater o efeito da variabilidade da resistência, melhorando a produtividade. As linhas de metal conectadas aos dispositivos devem ser do mesmo tipo, e as resistências parasitas (e capacitâncias, para operação *ac*) destas linhas devem, idealmente, também ser casadas.
18. Dispositivos com óxido fino devem ter preferência em relação aos de óxido grosso: Alguns processos oferecem múltiplas espessuras para o óxido de *gate*. Os transistores com óxido mais fino geralmente exibem melhores características de casamento que aqueles que utilizam óxido mais espesso.
19. Formas simples devem ser utilizadas: Quanto mais simples for a forma de um polígono, mais simples será o OPC e mais robusto será o processo de fabricação.

4.7 Considerações Sobre o *Layout* dos TSTs

Muitos trabalhos já foram realizados visando a automação do *layout* de circuitos integrados analógicos (RIJMENANTS et al., 1989) (BRUCE et al., 1996) porém uma metodologia para a automação completa ainda é um desafio hoje em dia. Uma alternativa é o uso de associações de transistores, as quais facilitam a síntese física através da substituição de cada transistor simples do circuito por uma associação equivalente. Uma das vantagens mais importantes desta técnica é a possibilidade de arranjar transistores unitários de dimensões pequenas de maneira a simplificar a geração do *layout*. O benefício

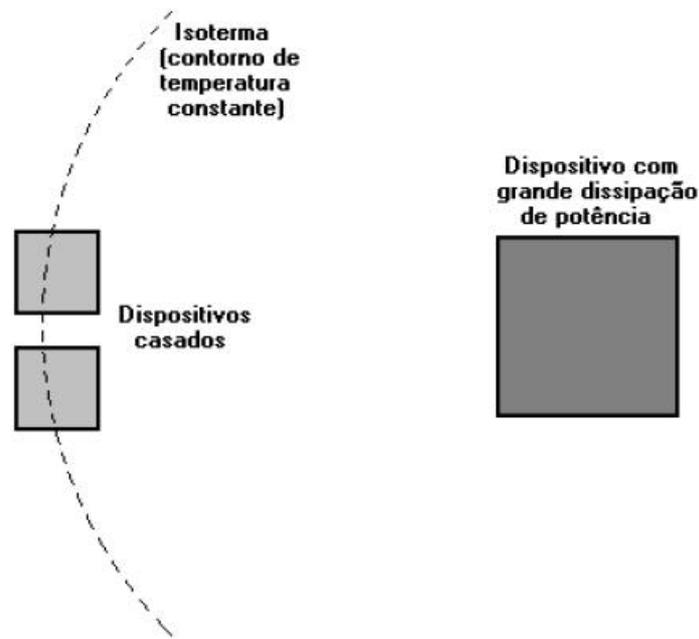


Figura 4.13: Posicionamento de dispositivos casados simetricamente em relação a um dispositivo emissor de calor.

da geração automática do *layout* de circuitos digitais - a qual é um campo já bastante desenvolvido em sistemas de CAD VLSI, principalmente devido à regularidade dos transistores (PLAS et al., 2002) - também pode ser explorado na geração do *layout* analógico. Em geral, um projeto analógico é composto por transistores de diferentes comprimentos e larguras de canal, o que dificulta a geração do *layout*. Além disso, outros fatores que tornam esta tarefa mais complexa são os requisitos de *matching*, fundamentais para que as especificações do projeto sejam alcançadas. A substituição de cada transistor simples convencional no circuito analógico por uma associação equivalente é uma técnica que facilita a geração do *layout*, usando os mesmos princípios que guiam a geração automática do *layout* digital. A regularidade total ou parcial pode ser obtida através da metodologia baseada na divisão de um transistor simples de tamanho grande em uma associação série-paralela de transistores unitários. Através disso, o *matching* entre as associações pode ser melhorado através do uso de técnicas como centróide comum e interdigitação.

O número de variáveis livres na associação influencia diretamente no estilo de *layout*. Uma associação tipo T pode ter de 2 a 4 dimensões dos transistores unitários diferentes: W_{MD} , L_{MD} , W_{MS} e L_{MS} . A fig. 4.14 ilustra alguns estilos de *layout* dos TSTs em diferentes configurações. Quanto menos dimensões livres, mais regular é o *layout*, mais simples se torna a automação e menor a variabilidade decorrente da fabricação. Além disso, a produtividade aumenta, pois o processo de fabricação é facilitado. Estruturas regulares tendem a proporcionar maior produtividade nas tecnologias de $100nm$ ou menor a partir da aplicação de técnicas de litografia.

Dentre as regras qualitativas citadas na seção 4.6.1, praticamente todas se adaptam à metodologia de arranjos trapezoidais de transistores. Isto faz com que esta seja uma das grandes vantagens do método, já que o projeto visando a manufaturabilidade prevê que estas regras sejam fundamentais para o sucesso de um projeto em tecnologias sub-micrométricas.

Uma matriz de transistores, por exemplo, formada por transistores unitários de mes-

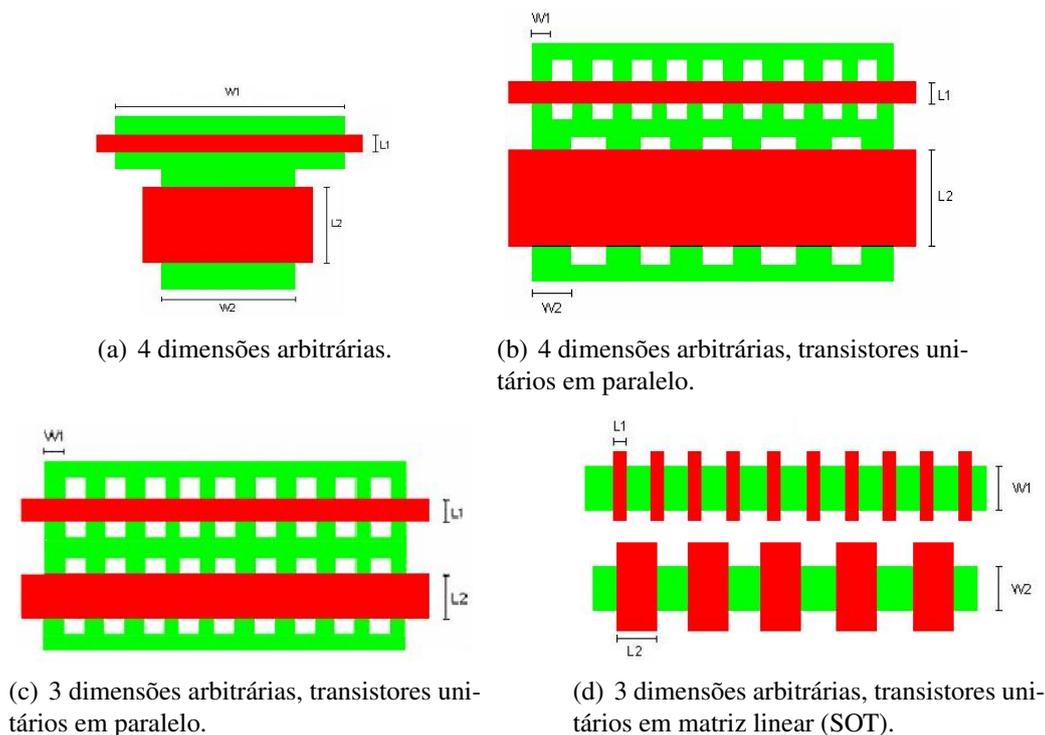


Figura 4.14: Estilos de *layout* das associações trapezoidais tipo T.

mas dimensões, tende a ser amplamente utilizada mesmo em projetos *full-custom*, tanto para circuitos digitais (os quais já adotam a regularidade como fator de automação) como para os circuitos analógicos. O *pitch* da matriz pode ser definido de acordo com restrições de fotolitografia e utilizado como referência para a geração do *layout*. Para isso, os TSTs surgem como uma boa estratégia, pois facilitam a implantação de blocos analógicos formados por arranjos de transistores sobre uma matriz previamente determinada. A figura 4.15 ilustra um exemplo de matriz de transistores que pode ser utilizada tanto para circuitos digitais quanto para analógicos (GIRARDI, 2003).

O módulo LIT-L da ferramenta LIT, descrito com mais detalhes no apêndice B, é capaz de gerar o *layout* de células analógicas compostas por associações trapezoidais de transistores, incluindo requisitos de *matching*. A regularidade do *layout* produzido, principalmente na camada de polisilício, torna a ferramenta uma boa opção para a implementação de circuitos analógicos em tecnologias sub-micrométricas.

4.8 Conclusão

As tecnologias de fabricação de circuitos integrados hoje em dia estão cada vez mais avançadas e exploram os limites dos materiais. Isto faz com que efeitos secundários se tornem relevantes, afetando o desempenho dos circuitos. Defeitos e variações sistemáticas são cada vez mais comuns nestas tecnologias. Assim, uma série de novas regras de *layout* (ou recomendações visando a melhor manufaturabilidade) precisam ser introduzidas de forma a garantir uma produtividade aceitável dos *chips* dentro de uma determinada faixa de variabilidade tolerada.

Novas técnicas de fabricação também são implementadas, principalmente na etapa de fotolitografia, na qual são utilizados comprimentos de onda maiores que as menores dimensões dos dispositivos a serem fabricados. Estas técnicas, entretanto, exigem estilos

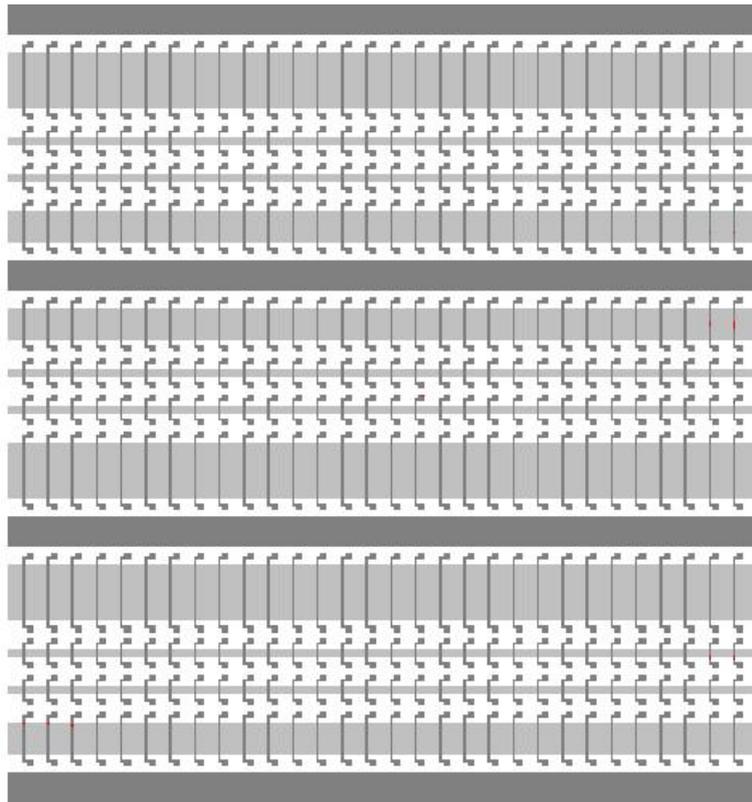


Figura 4.15: Exemplo de matriz de transistores sobre a qual podem ser implementados tanto circuitos digitais quanto circuitos analógicos usando TSTs.

de *layout* específicos, os quais afetam principalmente os circuitos analógicos, pois estes são formados por transistores MOS de diferentes comprimentos e larguras de canal. A regularidade é um fator fundamental hoje em dia para que as técnicas de litografia óptica possam ser implementadas.

No caso das associações de transistores propostas neste trabalho, a regularidade do *layout* proporcionada pelos TSTs faz com que a automação da geração do *layout* seja facilitada, incluindo a utilização de técnicas de casamento de transistores para um melhor *matching*. O projeto visando a manufaturabilidade (DFM) também é beneficiado pela utilização de TSTs, pois os transistores unitários das associações podem ser melhor caracterizados eletricamente se possuírem todos as mesmas dimensões. A regularidade do *layout* também é um fator que auxilia no casamento de transistores, pois o processo de fabricação pode ser melhor controlado, evitando-se, por exemplo, grandes variações na taxa de corrosão do polisilício ou na espessura do óxido de *gate*. Técnicas modernas de litografia óptica, como o OAI, exigem um arranjo regular da camada de polisilício, o que é alcançado em circuitos analógicos somente com a utilização de associações de transistores de dimensões reduzidas.

Este capítulo apresentou uma síntese das principais regras qualitativas de *layout* analógico, fundamentais para a geração de um bom projeto tanto em termos de casamento de transistores e diminuição da variabilidade quanto em termos de produtividade.

5 MÉTODO DE OTIMIZAÇÃO DA GEOMETRIA DE TRANSISTORES MOS EM AMPLIFICADORES

O projeto de circuitos integrados analógicos é uma tarefa complexa geralmente realizada por especialistas bastante experientes, os quais utilizam seus conhecimentos sobre o modelo do dispositivo, sobre a tecnologia de fabricação e sobre o modelo comportamental do circuito para gerar circuitos dimensionados que operam dentro de especificações previamente definidas. Este procedimento é extremamente difícil e lento devido às complexas relações entre os objetivos do projeto (múltiplas e complexas especificações de desempenho a atingir, como faixa de operação, ganho, potência, tensão de *offset*, etc.) e as variáveis de projeto (tamanhos dos transistores e correntes de polarização). A maioria dos projetistas analógicos utiliza a sua própria experiência e a técnica da tentativa e erro para o dimensionamento de blocos analógicos. Primeiramente, uma versão inicial do projeto é realizada utilizando-se equações comportamentais simplificadas do circuito que podem facilmente ser manipuladas manualmente. Logo após, o circuito é verificado através de simulação elétrica. A única ferramenta amplamente utilizada em todo processo de síntese de circuitos analógicos é um simulador Spice, através do qual o circuito é simulado e o desempenho do projeto é estimado. O refinamento, ou seja, o ajuste de algum parâmetro que não atingiu as especificações iniciais, é feito variando-se as dimensões de um ou mais transistores para cima ou para baixo e simulando-se até que os objetivos sejam alcançados. Nesta fase, o fator principal de decisão sobre o que deve ser variado é a experiência pessoal do projetista (PLAS; GIELEN; SANSEN, 2002). Um projeto analógico deste tipo (excluindo a etapa de prototipação) geralmente leva de uma semana a um mês para ser realizado, dependendo da complexidade.

Dentro deste contexto, ferramentas de CAD proporcionariam um aumento na velocidade de projeto, visto que algumas tarefas repetitivas poderiam ser automatizadas. Níveis completos ou semi-completos de automação podem auxiliar o projetista e diminuir o tempo necessário para que o circuito alcance um desempenho dentro do esperado, além de proporcionar uma exploração mais efetiva do espaço de projeto.

Diversos trabalhos já foram realizados no campo da automação da síntese de circuitos analógicos, visando proporcionar a execução de projetos rápidos em nível de transistor. Diferentes metodologias foram utilizadas, como otimização combinada com simulação spice (NYE et al., 1988), simulação simbólica (GIELEN; WALSHARTS; SANSEN, 1989) e inteligência artificial (EL-TURKY; PERRY, 1989), além de estratégias baseadas em equações derivadas manualmente (DEGRAUWE et al., 1987), seleção hierárquica de topologias (HARJANI; RUTENBAR; CARLEY, 1989) e programação geométrica (HERSHENSON; BOYD; LEE, 2001) (MANDAL; VISVANATHAN, 2001).

A principal dificuldade encontrada para o uso popular destas ferramentas é que elas re-

querem uma modelagem apropriada tanto dos dispositivos (dependentes da tecnologia de fabricação) como do circuito em si, de maneira a alcançar os objetivos do projeto em um tempo de processamento razoável. O suporte a diferentes topologias de circuitos em uma ferramenta também é um problema, já que a maioria das técnicas trabalham com equações baseadas em determinada topologia, o que limita a faixa de aplicações. A adição de novas topologias de blocos analógicos aos sistemas de CAD é um processo geralmente crítico e lento, o que requer novamente o conhecimento humano dos projetistas experientes.

O uso de algoritmos de otimização de sistemas não-lineares, combinado com técnicas de projeto adequadas parece ser uma boa solução quando o foco for alguma aplicação específica, já que a maioria das soluções genéricas não consegue explorar completamente toda a capacidade da tecnologia CMOS analógica.

Um fator importante, entretanto, deve ser levado em consideração. A baixa utilização e a não popularização destas ferramentas está associada ao fato de que, em geral, os projetistas analógicos refutam sistemas de automação com o qual não podem interagir (PLAS; GIELEN; SANSEN, 2002). Softwares que apresentam soluções prontas e não permitem saber o que acontece em seu interior dificilmente terão seu uso difundido entre os projetistas analógicos devido à cultura já estabelecida de que sistemas fechados não são confiáveis.

A grande quantidade de variáveis livres envolvidas na síntese analógica torna muito difícil para uma ferramenta produzir automaticamente projetos de boa qualidade em uma vasta gama de especificações. Ao mesmo tempo, com o advento de novas tecnologias de fabricação, surgem novas necessidades e novas técnicas para resolvê-las, o que dificilmente seria previsto na ferramenta. Assim, os principais requisitos para uma ferramenta de síntese analógica, hoje em dia, são: interatividade com o usuário, flexibilidade para múltiplas topologias e tempo de resposta razoável. A interface com um simulador elétrico também é conveniente para facilitar a verificação.

Neste trabalho, foi desenvolvida uma ferramenta de síntese automática de circuitos integrados analógicos, chamada LIT-S, tendo como base a heurística de otimização *Simulated Annealing* e a metodologia de projeto gm/I_D . Esta ferramenta é, na verdade, mais um módulo do ambiente de projeto LIT, desenvolvido para automatizar o fluxo de projeto de circuitos analógicos com associações de transistores, cuja descrição completa está no apêndice B. As seções a seguir apresentam os algoritmos utilizados e as estratégias de projeto visando a obtenção dos resultados em um pequeno tempo de processamento e para uma ampla faixa de valores das especificações. O objetivo principal é utilizar a ferramenta proposta para o projeto de circuitos analógicos com associações de transistores, de modo que todo o fluxo de projeto possa ser realizado em um mesmo ambiente, desde as etapas de especificação inicial até a geração do *layout*, com o máximo nível de automação possível.

5.1 O Algoritmo *Simulated Annealing*

O algoritmo *Simulated Annealing* (SA) é uma técnica de busca aleatória que explora a analogia entre a maneira na qual um metal em estado líquido resfria e solidifica em uma estrutura cristalina de mínima energia (o processo de recozimento) e a procura pelo mínimo de uma função custo em um sistema genérico. Ele forma a base de uma técnica de otimização para problemas combinatórios e foi desenvolvido em 1983 para a resolução de problemas altamente não-lineares (KIRKPATRICK; GELATT; VECCHI, 1983). Outra analogia muito utilizada para explicar o funcionamento do algoritmo e como ele

resolve o problema da otimização global é a de uma partícula saltitante capaz de pular sobre montanhas e percorrer os diversos vales de uma superfície montanhosa. No início, o sistema possui uma alta temperatura, a qual fornece à partícula energia suficiente para saltar a grandes alturas, permitindo-a pular sobre as montanhas e alcançar diversos vales vizinhos. Quando a temperatura diminui, a partícula não consegue saltar tão alto e assim o seu alcance fica restrito a um conjunto limitado de vales próximos à sua posição. Uma distribuição de geração cria possíveis vales ou estados a serem explorados. Uma distribuição de aceitação também é definida, a qual depende da diferença entre o valor da função gerado para o vale a ser explorado e o vale atingido mais profundo. A distribuição de aceitação decide probabilisticamente se a partícula permanecerá no vale mais baixo ou se saltará para fora dele. Todas as distribuições de geração e aceitação dependem da temperatura. O controle adequado da taxa de resfriamento da temperatura pode levar ao encontro do ótimo global, que no caso seria o vale de maior profundidade. O tempo de processamento, entretanto, pode ser infinito se o espaço a ser explorado for grande. A maior vantagem do SA é a sua habilidade de não ficar preso em mínimos locais. O algoritmo emprega uma busca aleatória que não só aceita soluções que diminuem a função custo (assumindo um problema de minimização) como também algumas que a aumentam. A probabilidade de aceitação de soluções piores é dada por:

$$p = e^{-\frac{\Delta f}{T}} \quad (5.1)$$

onde Δf é o incremento na função custo f_c e T é um parâmetro de controle, o qual, por analogia com a aplicação original, é conhecido como temperatura do sistema. A aceitação de soluções que aumentam a função custo permite a fuga de mínimos locais e a exploração de uma área maior no espaço de projeto. A implementação do algoritmo SA em sistemas computacionais pode ser feita de maneira direta. A fig. 5.1 mostra um fluxograma contendo a estrutura básica do algoritmo.

Em qualquer aplicação do SA, os seguintes elementos precisam ser definidos:

- uma representação das soluções possíveis;
- um gerador de mudanças aleatórias nas soluções;
- uma função custo que represente os objetivos do sistema em função das soluções;
- uma agenda de recozimento, incluindo a temperatura inicial e uma regra para o resfriamento de acordo com o progresso da busca.

O algoritmo possui várias vantagens sobre outros métodos de busca local. O SA pode tratar modelos altamente não-lineares, caóticos e ruidosos e com várias restrições. Sua flexibilidade e a sua habilidade de se aproximar de um ótimo local, aliadas à sua versatilidade em relação às propriedades restritivas dos modelos e à facilidade com que pode ser afinado o tornam uma excelente opção para a resolução de problemas genéricos de otimização. Alguns pontos fracos, porém, também precisam ser destacados. Como o SA é uma meta-heurística, algumas escolhas são necessárias para torná-lo um algoritmo real. Da mesma forma em que não há uma relação clara entre a qualidade da solução e o tempo requerido para computá-la, a precisão dos números usados na sua implementação pode ter um efeito significativo sobre a qualidade do resultado.

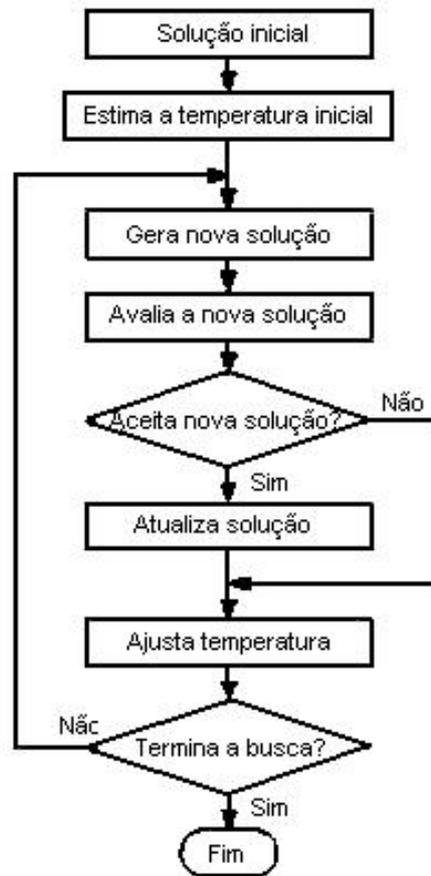


Figura 5.1: Fluxograma genérico do algoritmo *Simulated Annealing*

5.2 A Metodologia de Projeto gm/I_D

A metodologia de projeto gm/I_D considera a relação entre a transcondutância gm sobre a corrente DC I_D e a corrente de dreno normalizada $I_{\square} \equiv I_D/(W/L)$ como a variável fundamental de projeto (SILVEIRA; FLANDRE; JESPERS, 1996). A escolha de gm/I_D é baseada na sua importância pelas três seguintes razões:

- a) está fortemente relacionada ao desempenho dos circuitos analógicos;
- b) fornece um indicativo da região de operação do dispositivo;
- c) proporciona uma estimativa bastante precisa para o cálculo das dimensões dos transistores.

A aplicação da metodologia no projeto de circuitos analógicos se dá de forma direta, pois a maioria das equações que modelam o comportamento elétrico dos circuitos podem ser escritas em termos da relação gm/I_D . O ganho DC de um amplificador diferencial com um espelho de corrente de carga, por exemplo, é dado pela seguinte equação:

$$A_{v0} = -\frac{gm_1}{I_{D1}} \cdot \frac{1}{\frac{1}{VA_1} + \frac{1}{VA_3}} \quad (5.2)$$

onde os índices 1 e 3 correspondem aos transistores do par diferencial e do espelho de corrente de carga, respectivamente (veja fig. 3.8(a)).

A relação gm/I_D é uma medida da eficiência de transformar corrente (e, por sua vez, potência), em transcondutância, isto é, quanto maior o valor de gm/I_D , maior a transcondutância que obtemos para um valor de corrente constante (LAKER; SANSEN,

1994). A relação de gm/I_D com o modo de operação do transistor pode ser observada pelo fato de que ela é igual à derivada do logaritmo de I_D com respeito a V_G , como mostrado abaixo:

$$\frac{gm}{I_D} = \frac{1}{I_D} \frac{\partial I_D}{\partial V_G} = \frac{\partial(\ln(I_D))}{\partial V_G} \quad (5.3)$$

Esta derivada é máxima na região de inversão fraca, onde a dependência de I_D por V_G é exponencial (enquanto que na região de inversão forte ela é quadrática), tornando-se quase linear na região de inversão forte por causa do efeito de saturação da velocidade. O valor máximo teórico é igual a $1/(n\phi_t)$, onde n é o fator de rampa e ϕ_t é a tensão térmica. A relação gm/I_D diminui quando I_D e V_G aumentam e o ponto de operação se move em direção à inversão forte. Desta forma, a relação gm/I_D também é um indicador do modo de operação do transistor.

A corrente normalizada I_{\square} é independente do tamanho do transistor. De acordo com (VITTOZ; FELLRATH, 1977), a relação gm/I_D também é independente das dimensões do transistor (para canal longo). Assim, a relação entre gm/I_D e a corrente normalizada é uma característica singular para todos os transistores do mesmo tipo (NMOS ou PMOS) de um mesmo processo. A qualidade universal da curva gm/I_D versus I_{\square} pode ser explorada extensivamente durante a fase de projeto, na qual as relações de aspecto dos transistores não são conhecidas. Uma vez que dois dos valores de gm/I_D , gm ou I_D forem determinados, a relação (W/L) é calculada sem ambigüidades. A curva gm/I_D versus I_{\square} pode ser obtida de duas maneiras: analiticamente, usando um modelo do transistor MOS que proporcione uma representação contínua da corrente do transistor e dos parâmetros de pequenos sinais em todas as regiões de operação (como os modelos ACM ou EKV), ou através de medidas de um transistor típico. O mais apropriado, obviamente, é considerar uma curva média representativa de um grande número de medidas de transistores de maneira a levar em conta as variações estatísticas da tecnologia.

Caso não se disponha de transistores de teste para realizar medidas de corrente, a curva gm/I_D versus I_{\square} pode ser gerada analiticamente através dos modelos ACM, EKV ou BSIM3. A obtenção da curva gm/I_D x I_{\square} a partir do modelo EKV é feita de uma maneira muito simples, apresentada a seguir. O valor de gm/I_D pode ser calculado diretamente pela seguinte equação:

$$\frac{gm}{I_D} = \frac{1}{n\phi_t} \cdot \frac{1 - e^{-\sqrt{I_C}}}{\sqrt{I_C}} \quad (5.4)$$

onde I_C é o coeficiente de inversão dado por

$$I_C = \frac{I_D}{2n\beta\phi_t^2} \quad (5.5)$$

O valor de β é calculado da seguinte forma:

$$\beta = \mu_0 C_{ox} \frac{W}{L} \quad (5.6)$$

Com isto pode-se plotar a curva gm/I_D x $\log(I_C)$ (BINKLEY et al., 2003), como a mostrada na fig. 5.2. Ficam claras nesta figura as regiões de operação do transistor. O valor de $\log(I_C) = 1$ limita, por definição, a região de inversão fraca (valores de $\log(I_C) < 1$), separando-a da região de inversão forte (valores de $\log(I_C) > 1$). A região

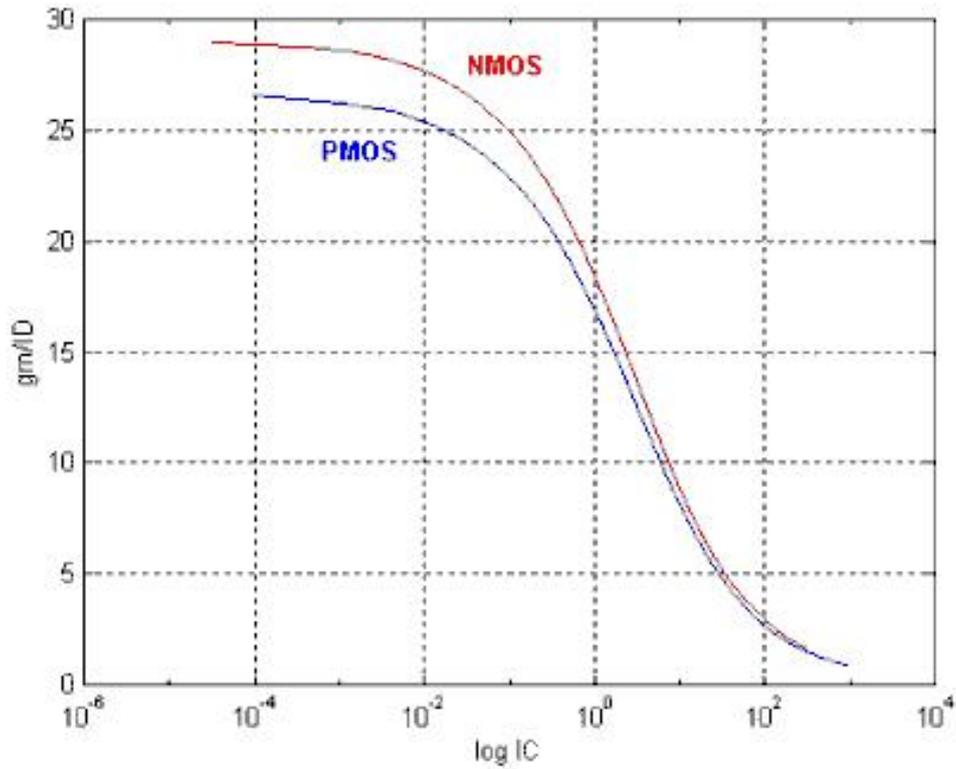


Figura 5.2: Curva gm/I_D versus I_C para a tecnologia AMS 0,35 μm obtida a partir das equações analíticas do modelo EKV.

próxima a $\log(I_C) = 1$ é chamada de região de inversão moderada. Substituindo a eq. 5.5 na eq. 5.4 e isolando $I_D/(W/L)$, temos:

$$\frac{gm}{I_D} = \frac{\sqrt{2n\mu_0 C_{ox}}}{n} \cdot \frac{1 - e^{-\frac{\sqrt{I_D/W/L}}{\phi_t \sqrt{2n\mu_0 C_{ox}}}}}{\sqrt{I_D/W/L}} \quad (5.7)$$

Já o modelo ACM fornece uma expressão de gm/I_D para um transistor saturado em termos do nível de inversão direta i_f :

$$\frac{gm}{I_D} = \frac{1}{n\phi_t} \frac{2}{\sqrt{1+i_f} + 1} \quad (5.8)$$

A curva $gm/I_D \times I_{\square}$ também pode ser obtida através da simulação elétrica spice. A partir dos parâmetros do modelo fornecido pela *foundry*, simula-se a curva $I_D \times V_G$ de um transistor quadrado ($W = L$). Logo após, calculando o logaritmo e derivando cada ponto da curva da corrente em relação a V_G , constrói-se uma tabela de gm/I_D em função de I_D . Como neste caso I_D é igual a I_{\square} , o resultado é a própria a curva $gm/I_D \times I_{\square}$.

A figura 5.3 mostra as curvas gm/I_D versus I_{\square} para transistores do tipo NMOS na tecnologia AMS 0,35 μm obtidas a partir de medidas elétricas e a partir da simulação spice usando o modelo ACM. Pode-se notar que o erro maior entre as curvas se dá na região de inversão moderada. Isto ocorre devido à grande variação da transcondutância nesta região, extremamente sensível aos parâmetros do modelo. Nas regiões de inversão fraca e forte, entretanto, a paridade das curvas é mais evidente.

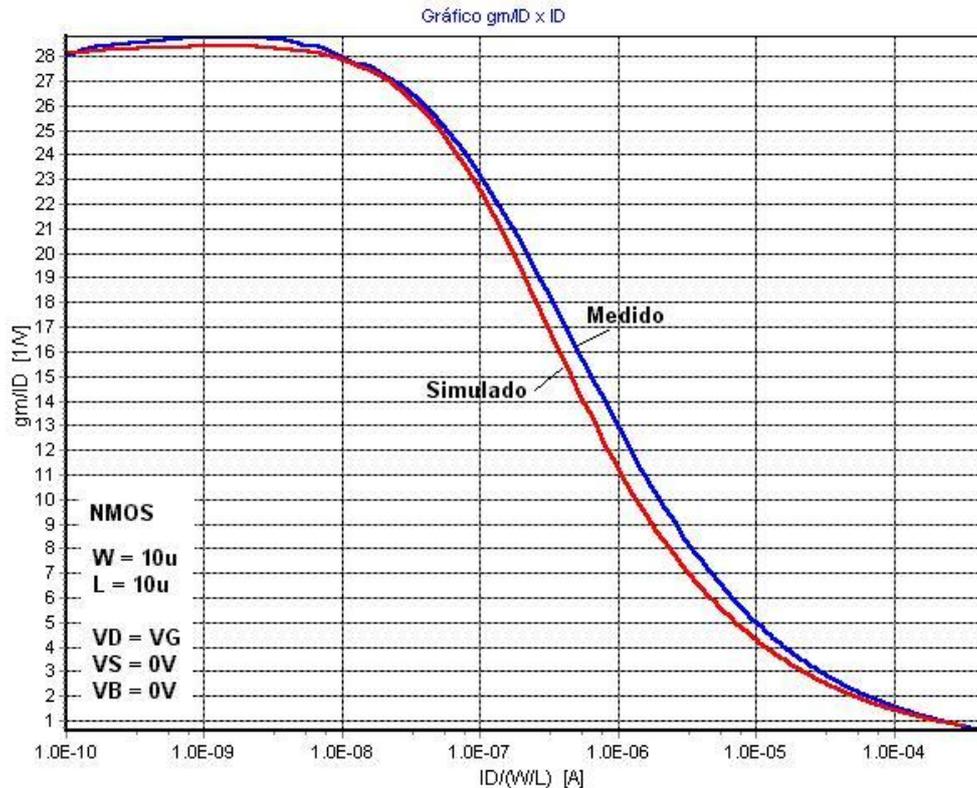


Figura 5.3: Curva gm/I_D versus I_D NMOS para a tecnologia AMS $0.35\mu m$ obtida através de medidas elétricas em um transistor de teste e a partir de simulação elétrica usando o modelo ACM.

5.3 Metodologia de Dimensionamento Automático de Amplificadores

O projeto de circuitos integrados analógicos envolve diversas variáveis e restrições em relações complexas e altamente não-lineares. O processo de síntese de um circuito integrado analógico recai principalmente no dimensionamento adequado dos transistores e das correntes de polarização. O número de variáveis livres pode chegar a algumas dezenas e o número de restrições também é alto. Os parâmetros que devem ser levados em consideração dependem da aplicação do circuito. Como exemplo, alguns parâmetros que definem o desempenho de um amplificador operacional são: ganho em baixas frequências (A_{v0}), potência dissipada (P_{diss}), produto ganho-faixa (GBW), faixa de variação do sinal de entrada em modo comum ($ICMR$), taxa de rejeição das fontes de alimentação ($PSRR$), *slew-rate* (SR), tensão de *offset* de entrada, área consumida, ruído e relação de casamento de transistores (*matching*). Cada um destes parâmetros está relacionado com uma ou mais variáveis livres, ou mesmo com outros parâmetros. Estes parâmetros definem as restrições do problema de otimização, ou seja, a solução obtida deve satisfazer a todas estas condições. A função custo geralmente inclui um parâmetro a ser minimizado ou uma relação entre dois ou mais parâmetros. A solução ótima é obtida quando o parâmetro a ser minimizado atinge o menor valor possível e todas as restrições são satisfeitas. O tamanho dos transistores é definido como a relação entre a largura (W) e o comprimento (L) do canal do dispositivo. Estas dimensões estão diretamente relacionadas com a quantidade de corrente que o transistor é capaz de drenar sob uma determinada pola-

rização. De modo geral, quanto maior a relação W/L do transistor, mais corrente pode passar através dele. Em um circuito com 10 transistores, portanto, tem-se 20 variáveis livres que podem obter valores desde o mínimo permitido pela tecnologia de fabricação até um máximo definido pelo usuário.

A modelagem de um circuito analógico para a otimização através do algoritmo *Simulated Annealing* pode ser feita de maneira direta. Alguns trabalhos prévios já descreveram a sua utilização para a síntese automática (GIELEN; WALSHARTS; SANSEN, 1990; MEDEIRO-HIDALGO et al., 1992). Os objetivos do projeto (por exemplo, mínima relação entre potência dissipada e área) são chamados de função custo, a qual precisa ser minimizada e formulada de maneira adequada. Neste trabalho, nós propomos a seguinte função custo:

$$f_c = \sum_{i=1}^n \alpha_i \hat{p}_i(\mathbf{X}) + \sum_{j=1}^m \beta_j \hat{c}_j(\mathbf{X}) \quad (5.9)$$

onde α_i é o peso do parâmetro de desempenho $\hat{p}_i(\mathbf{X})$, o qual é uma função normalizada do vetor das variáveis independentes do projeto \mathbf{X} . Esta função custo permite ao projetista determinar a importância relativa dos parâmetros de desempenho, como, por exemplo, uma relação ponderada entre potência dissipada e ruído. O parâmetro $\hat{c}_j(\mathbf{X})$ é uma função de restrição normalizada, a qual limita o espaço de projeto a soluções realizáveis dentro das especificações iniciais. O coeficiente β_j indica o grau relativo de importância do parâmetro de restrição. A correta exploração do espaço de projeto está diretamente relacionada com a formulação da função custo (SMEDT; GIELEN, 2003).

Para o dimensionamento dos transistores, são necessárias equações que descrevem as relações entre os transistores e as especificações. Estas equações são específicas de uma dada topologia e podem ser utilizadas dentro de uma metodologia de síntese para a resolução de um sistema de equações não-lineares. Este sistema geralmente possui mais variáveis independentes do que equações, retornando infinitas soluções. Se um conjunto de parâmetros precisa ser minimizado, então o algoritmo *simulated annealing* é uma boa opção, pois explora toda a extensão do espaço de projeto. O fluxo de projeto utilizando esta metodologia é mostrado na figura 5.4. O usuário entra com as especificações do projeto, os parâmetros da tecnologia e configura a função custo de acordo com os objetivos do projeto. O laço de otimização começa com uma perturbação aleatória nas variáveis livres, cuja amplitude é definida pela temperatura. As variáveis livres estão relacionadas com a geometria dos transistores e com seus parâmetros de pequeno e grande sinal, como W , L , I_D (corrente de dreno), gm (transcondutância) e gm/I_D . A seguir, a determinação das propriedades do circuito é realizada através do cálculo das suas restrições. Isto é feito utilizando equações analíticas, a curva gm/I_D versus I_{\square} (figura 5.3) e um modelo elétrico dos transistores para o cálculo das condutâncias de saída, transcondutâncias e correntes. Neste ponto, a função custo pode ser calculada e a solução é aceita se o custo diminui ou até mesmo se o custo aumenta. No último caso, a aceitação é admitida sob uma probabilidade dada pela eq. 5.1. Se o circuito for realizável, isto é, se as dimensões dos transistores estiverem dentro de uma faixa de valores aceitáveis, a solução é aceita. Caso contrário, ela é descartada. A próxima iteração começa com uma nova temperatura calculada pela seguinte equação:

$$T_{k+1} = \alpha T_k \quad (5.10)$$

onde α é uma constante muito próxima porém menor que 1. O índice k indica o passo da

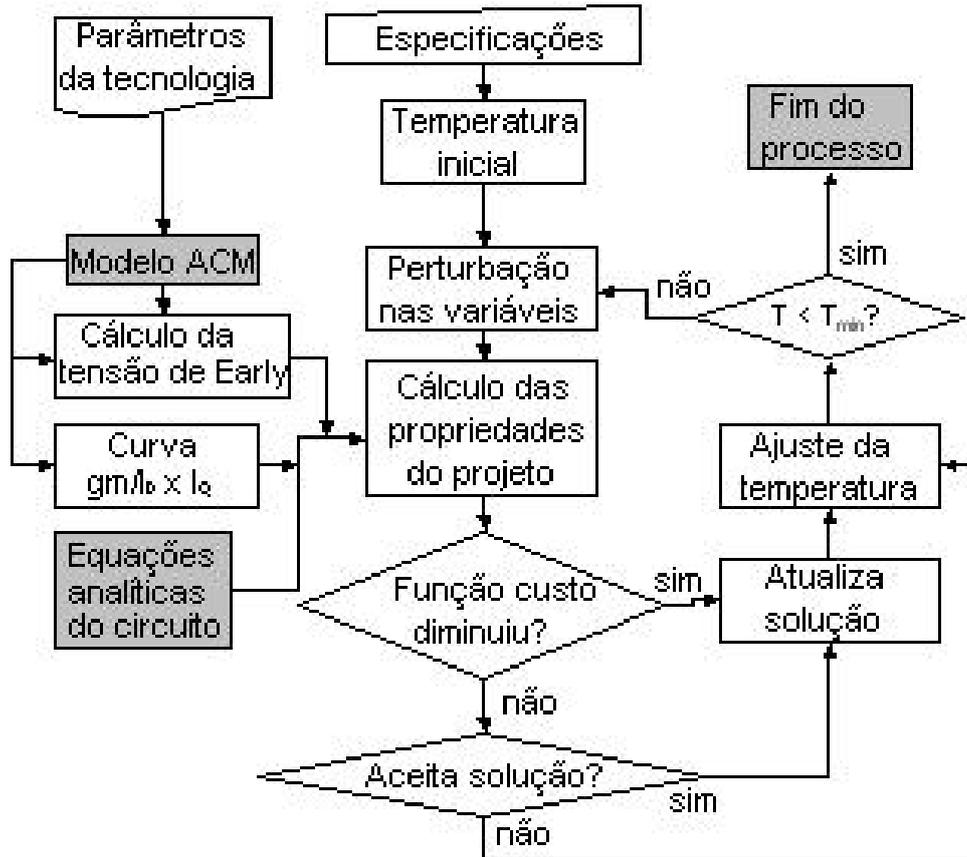


Figura 5.4: Fluxo de síntese automática de circuitos analógicos da ferramenta LIT-S usando *simulated annealing* e a metodologia gm/I_D .

iteração. Esta relação resulta em um decaimento exponencial da temperatura. O processo acaba quando a temperatura alcança um valor mínimo ou a variação na função custo não sofre modificações relevantes com a perturbação das variáveis.

A relação entre o tempo de resposta e o refinamento da solução final pode ser configurada através da escolha adequada do parâmetro α .

A utilização do parâmetro gm/I_D como variável do projeto automático é uma vantagem, pois a sua faixa de variação vai de 3 a $25V^{-1}$ em transistores MOS convencionais utilizados em circuitos analógicos. Considerando-se uma variação mínima de $0,1V^{-1}$, temos, então, um espaço de projeto de 220 valores possíveis de gm/I_D para cada transistor. Já a utilização do nível de inversão i_f como variável de projeto, por exemplo, faz com que o espaço de busca seja muito maior, pois a sua variação pode atingir a faixa de diversas ordens de grandeza. Isto é um problema quando se utiliza algoritmos muito sensíveis a erros numéricos (como no caso do *Simulated Annealing*), pois números muito grandes requerem mais espaço de armazenamento e seu valor exato pode não ser armazenável com precisão nos formatos em ponto flutuante padrão.

A metodologia de projeto proposta foi implementada em Matlab usando a rotina de otimização chamada *Adaptive Simulated Annealing* (INGBER, 1989), através da interface ASAMIN (SAKATA, 2005). Uma interface gráfica foi desenvolvida para facilitar a entrada dos dados, a configuração do sistema e a visualização dos resultados. A tela principal da ferramenta LIT-S está mostrada na fig. 5.5.

A modularidade da ferramenta fica garantida através da separação do sistema em 3

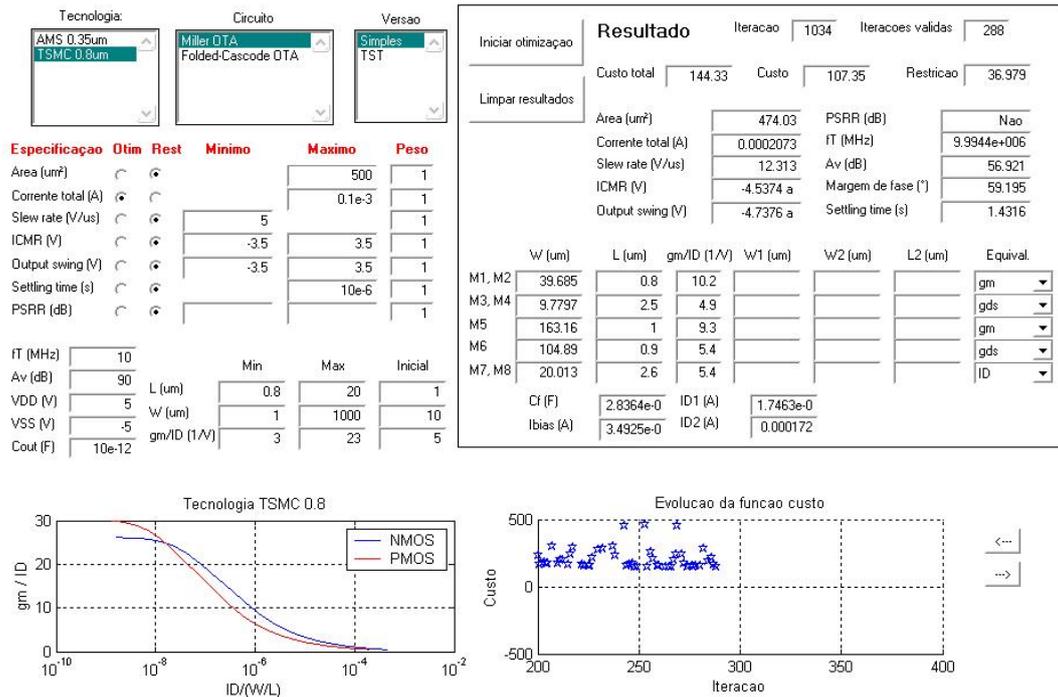


Figura 5.5: Tela principal da ferramenta LIT-S, desenvolvida em Matlab.

módulos distintos:

- Tecnologia de fabricação: contém informações sobre os parâmetros elétricos e comportamentais da tecnologia-alvo de fabricação;
- Dimensionamento e estimativa de desempenho: módulo no qual os transistores são dimensionados (no caso, através da metodologia gm/I_D), o desempenho do circuito é estimado através de equações analíticas e a função custo calculada;
- Algoritmo de otimização: responsável pela estratégia de localização dos estados de mínima energia do sistema.

A fig. 5.6 ilustra os módulos e a relação entre eles. Esta modularidade permite a reutilização de grandes quantidades de código e torna a mudança de tecnologia de fabricação ou de topologia do circuito uma tarefa fácil de ser realizada.

Para demonstrar a capacidade da metodologia de síntese automática proposta, foram realizados projetos de dois amplificadores operacionais com diferentes topologias: um amplificador de dois estágios do tipo Miller e um amplificador *folded-cascode*. As seções a seguir descrevem os resultados obtidos.

5.4 Exemplo de projeto automático - Amplificador Miller

O amplificador de transcondutância tipo Miller, cujo esquemático está mostrado na fig. 3.10, é composto por um par diferencial com carga ativa no primeiro estágio (transistores M1, M2, M3 e M4) e um amplificador inversor no segundo estágio (M5). Os transistores M6, M7 e M8 formam um espelho de corrente de polarização de ambos os estágios. Um capacitor de compensação (C_f) é necessário para manter a estabilidade do circuito em altas frequências. As equações analíticas que descrevem o comportamento deste circuito

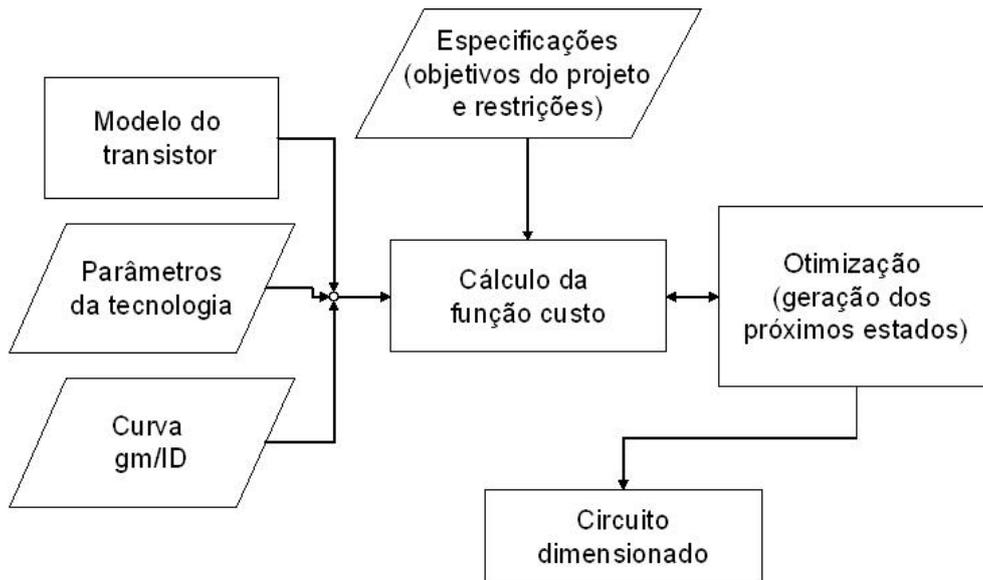


Figura 5.6: Módulos do fluxo de síntese automática.

Tabela 5.1: Especificações e resultados de simulações para o amplificador de dois estágios.

Especificação	Requerido	Simulado
Corrente total (μA)	≤ 200	102
GBW (MHz)	≥ 15	15
Margem de fase ($^{\circ}$)	≥ 60	60
Ganho em baixas frequências (dB)	≥ 90	95
Slew-rate ($V/\mu s$)	≥ 15	15
ICMR- (V)	≤ -1	-1
ICMR+ (V)	≥ 1	1,4
Área total (μm^2)	minimizar	9064
Tensão de offset sistemático (μV)	≤ 200	160
Função custo	minimizar	1,62

são bem conhecidas (ALLEN; HOLBERG, 2002). Neste exemplo, pretende-se dimensionar os transistores de maneira a atingir as especificações do projeto - as restrições - dadas na tabela 5.1.

O objetivo do projeto (custo) é minimizar a relação entre área, ganho em baixas frequências e potência dissipada da seguinte maneira:

$$f_c = \frac{A}{A_0} + \frac{P_{diss}}{P_{diss0}} + \frac{A_{v0}}{A_v} \quad (5.11)$$

Aqui, A é a área de silício ocupada pelos transistores, incluindo as regiões de dreno e fonte (estimadas), A_0 é uma área de referência para normalização, P_{diss} é a potência dissipada total, P_{diss0} é a potência de referência, A_v é o ganho em baixas frequências e A_{v0} é o ganho de referência.

A transcondutância do par de entrada diferencial é dada por:

$$gm_1 = GBW \cdot C_f \quad (5.12)$$

A corrente de dreno para estes transistores pode ser calculada com a informação sobre a relação gm/I_D , a qual é uma variável independente:

$$I_{D1} = \frac{gm_1}{\left(\frac{gm}{I_D}\right)_1} \quad (5.13)$$

Assim, a relação de aspecto dos transistores de entrada é:

$$\left(\frac{W}{L}\right)_1 = \frac{I_{D1}}{I_{\square 1}} \Rightarrow W_1 = \left(\frac{W}{L}\right)_1 \cdot L_1 \quad (5.14)$$

onde $I_{\square 1}$ é a corrente normalizada obtida através da curva gm/I_D x I_{\square} relativa ao valor de $(gm/I_D)_1$. O mesmo método é usado para os demais transistores. Por exemplo, o tamanho dos transistores do espelho de corrente do primeiro estágio é:

$$\left(\frac{W}{L}\right)_3 = \frac{I_{D1}}{I_{\square 3}} \Rightarrow W_3 = \left(\frac{W}{L}\right)_3 \cdot L_3 \quad (5.15)$$

O cálculo das características do circuito também é feito de forma direta. O ganho em baixas frequências, por exemplo, é dado por:

$$A_v = \left(\frac{gm}{I_D}\right)_1 \cdot \frac{1}{\frac{1}{VA_1} + \frac{1}{VA_3}} \cdot \left(\frac{gm}{I_D}\right)_5 \cdot \frac{1}{\frac{1}{VA_5} + \frac{1}{VA_6}} \quad (5.16)$$

A tensão de Early VA é um parâmetro do dispositivo que depende das dimensões e das polarização dos transistores e é estimado usando o modelo ACM. Neste projeto, a tecnologia utilizada é a AMS 0, $35\mu m$ CMOS, com tensões de alimentação de $\pm 1,65V$ e capacitância de carga de $10pF$. As variáveis independentes sujeitas a perturbações pelo algoritmo *Simulated Annealing* são: $L_1 = L_2$, $L_3 = L_4$, L_5 , L_6 , $L_7 = L_8$, $(gm/I_D)_1 = (gm/I_D)_2$, $(gm/I_D)_3 = (gm/I_D)_4$, $(gm/I_D)_5$, $(gm/I_D)_6$, $(gm/I_D)_7$. Já os parâmetros dependentes são $W_1 = W_2$, $W_3 = W_4$, W_5 , W_6 , $W_7 = W_8$, C_f e a corrente de polarização do primeiro estágio I_{BIAS} . As condições $L > L_{min}$, $W > W_{min}$ e $(gm/I_D)_{min} < (gm/I_D) < (gm/I_D)_{max}$ evitam soluções não realizáveis, sendo $L_{min} = 0,3\mu m$, $W_{min} = 0,6\mu m$, $(gm/I_D)_{min} = 0,1V^{-1}$ e $(gm/I_D)_{max} = 25V^{-1}$. O processo de otimização para este exemplo levou 158 iterações e 91 milhões de operações em ponto flutuante (estimativa MATLAB), o que corresponde a aproximadamente $5min$ em um computador portátil pessoal com processador Pentium M 1, $2GHz$ com $512MB$ de memória RAM. As dimensões finais dos transistores obtidos pelas iterações com os modelos analíticos estão mostradas na tabela 5.2. A terceira coluna da tabela 5.1 mostra o desempenho da solução otimizada deste circuito, estimada através de simulações elétricas realizadas com o simulador Smash. A fig. 5.7(a) mostra a evolução da função custo. Pode-se notar a convergência do custo para um valor mínimo, estabilizando à medida que a temperatura diminui. Na figura 5.7(b) é mostrada a função probabilidade, a qual tende a diminuir conforme o número de iterações aumenta. Uma probabilidade de 1 indica que uma solução pior é aceita com 100% de chance e uma probabilidade de 0 indica que soluções piores nunca são aceitas.

No apêndice C está mostrado o código implementado em Matlab para o cálculo da função custo de um amplificador tipo Miller.

Para verificar o desempenho da metodologia de síntese automática proposta, foram realizadas comparações com o resultado do dimensionamento do amplificador Miller por outros métodos descritos na literatura, conforme descrito nas seções a seguir. Existe, entretanto, dificuldade em efetuar uma comparação justa, pois não se tem disponível os

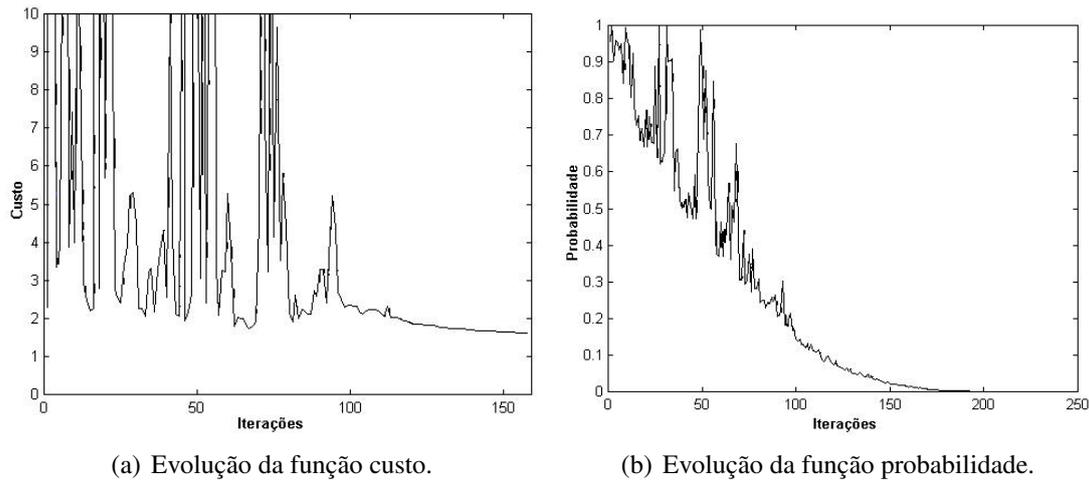


Figura 5.7: Evolução das funções custo e probabilidade na síntese do amplificador Miller.

Tabela 5.2: Dimensões dos dispositivos do amplificador Miller obtidas pelo método de otimização

Transistor	L (μm)	W (μm)	$gm/I_D (V^{-1})$
M_1, M_2	1,2	74,8	16,5
M_3, M_4	6,6	15	4,7
M_5	0,6	147	15,7
M_6	6	10,7	0,7
M_7, M_8	0,8	5,5	3,1
Capacitor	Valor		
C_f	2,7pF		

modelos dos transistores utilizados para simulação elétrica em todos os casos, apesar de se conhecer a tecnologia de fabricação. Os parâmetros do modelo podem variar dependendo da metodologia de extração, da *foundry* que os forneceu ou que fabricou os transistores de teste a partir dos quais os parâmetros foram extraídos e da versão da tecnologia. Assim, o que se pode realizar é uma comparação aproximada dos resultados obtidos, visto que nem todas as condições de simulação elétrica são semelhantes.

5.4.1 Comparação com a metodologia *fuzzy*

No trabalho publicado por (SAHU; DUTTA, 2002), foi apresentada uma metodologia de síntese automática de circuitos integrados analógicos em que foi utilizada lógica difusa (*fuzzy*) para modelar o problema da formulação das funções objetivo e restrição em termos das variáveis de projeto, criando módulos de otimização de diversas topologias de amplificadores operacionais. Uma dessas topologias é a do amplificador tipo Miller, para o qual foi apresentado um exemplo de projeto cujas especificações iniciais estão mostradas na tab. 5.3, em tecnologia $0,8\mu m$. Para efeito de comparação das metodologias, projetou-se um amplificador Miller com as mesmas especificações com a ferramenta LIT-S. As dimensões dos transistores e do capacitor de compensação encontradas estão na tab. 5.4. Já os resultados comparativos das características do circuito nos dois projetos, obtidos por simulação elétrica, estão na tab. 5.5. Observa-se, neste caso, que todas as restrições foram atendidas, com exceção da área de *gate* ocupada, a qual obteve um valor acima do esperado no projeto com o LIT-S. Entretanto, o capacitor de compensação C_f teve um va-

Tabela 5.3: Especificações do projeto do amplificador Miller para comparação com o método baseado em lógica Fuzzy (SAHU; DUTTA, 2002).

Restrição	Especificação
Potência dissipada	$\leq 5mW$
GBW	$10MHz$
Margem de fase	$\geq 45^\circ$
Área de <i>gate</i>	$\leq 500\mu m^2$
Faixa de excursão do sinal de entrada	$-3,0V$ a $+3,0V$
Faixa de excursão do sinal de saída	$-3,5V$ a $+3,5V$
Ganho de tensão DC	$\geq 90dB$
<i>Slew-rate</i>	$\geq 5V/\mu s$
Tensão de alimentação	$\pm 5V$
C_{out}	$10pF$
Tecnologia	$0,8\mu m$

Tabela 5.4: Dimensões dos dispositivos do amplificador Miller obtidos pela metodologia proposta e comparação com os mesmos obtidos por (SAHU; DUTTA, 2002).

Variável	(SAHU; DUTTA, 2002)	LIT-S
$(W_1/L_1) = (W_2/L_2)$	$112,4\mu m/0,8\mu m$	$83,6\mu m/1,4\mu m$
$(W_3/L_3) = (W_4/L_4)$	$80,2\mu m/0,9\mu m$	$4,0\mu m/4,8\mu m$
(W_5/L_5)	$102,4\mu m/0,8\mu m$	$297,8\mu m/1,3\mu m$
(W_6/L_6)	$17,4\mu m/1,0\mu m$	$564,8\mu m/0,8\mu m$
(W_7/L_7)	$17,4\mu m/1,0\mu m$	$11,5\mu m/2,8\mu m$
(W_8/L_8)	$17,4\mu m/1,0\mu m$	$11,5\mu m/2,8\mu m$
C_f	$7,9pF$	$3,4pF$
I_{bias}	$43,38\mu A$	$36,7\mu A$

lor menor, o que faz com que seja necessário menos área para construí-lo, compensando assim o gasto extra em área de *gate*. Além disso, o valor de *slew-rate* obtido pela LIT-S foi quase o dobro do relatado no projeto com a lógica *fuzzy*.

5.5 Exemplo de projeto automático - Amplificador Folded Cascode

Outro exemplo de projeto automático utilizando a metodologia de otimização proposta é o amplificador operacional *folded-cascode*. O esquemático do amplificador está mostrado na figura 5.8.

As equações que descrevem o comportamento do circuito são as seguintes:

$$SR = I_{D3}/C_L \quad (5.17)$$

$$V_{out(max)} = V_{DD} - 2|V_{DS4(sat)}| \quad (5.18)$$

$$V_{out(min)} = 2 \cdot V_{DS8(sat)} + V_{SS} \quad (5.19)$$

$$R_1 = V_{DS4(sat)}/I_{D4} \quad (5.20)$$

$$R_2 = V_{DS8(sat)}/I_{D8} \quad (5.21)$$

$$GBW = g_{m1}/C_L \quad (5.22)$$

Tabela 5.5: Resultados de simulação elétrica para o amplificador Miller projetado pela metodologia proposta e comparação com os mesmos obtidos por lógica Fuzy (SAHU; DUTTA, 2002).

Especificação	(SAHU; DUTTA, 2002)	LIT-S
Área de <i>gate</i>	462, 9 μm^2	1175, 0 μm^2
Excursão do sinal de entrada	[-4, 9; 3, 4]V	[-4, 0; 3, 3]V
Excursão do sinal de saída	[-4, 9; 4, 7]V	[-4, 5; 4, 3]V
Potência dissipada	1, 5mW	2, 0mW
Ganho de tensão DC	93, 1dB	82, 5dB
GBW	10, 2MHz	10, 0MHz
Margem de fase	46, 7°	59, 3°
<i>Slew-rate</i>	6, 1V/ μs	10, 9V/ μs

Tabela 5.6: Requisitos de *matching* a variáveis livres para a otimização do amplificador *folded-cascode*.

Requisito de <i>matching</i>	Variáveis livres
$M_1 = M_2$	$L_1, (\frac{gm}{I_D})_1$
$M_3 = M_{15} = M_{12}$	$L_3, (\frac{gm}{I_D})_3$
$M_4 = M_5 = M_{14}$	$L_4, (\frac{gm}{I_D})_4$
$M_6 = M_7$	$L_6, (\frac{gm}{I_D})_6$
$M_8 = M_9 = M_{10} = M_{11}$	$L_8, (\frac{gm}{I_D})_8$

$$V_{in(min)} = V_{SS} + V_{DS3(sat)} + V_{GS1} \quad (5.23)$$

$$V_{in(max)} = V_{DD} - |V_{DS4(sat)}| + V_{T1} \quad (5.24)$$

$$P_{diss} = (V_{DD} - V_{SS}) \cdot (2 \cdot I_{D3} + 3 \cdot I_{D4}) \quad (5.25)$$

$$A_{V0} = \frac{2 + k}{2 + 2k} \cdot g_{m1} \cdot R_{II} \quad (5.26)$$

$$R_{II} = g_{m8} \cdot r_{ds8}^2 || [g_{m6} \cdot r_{ds6} \cdot (r_{ds1} || r_{ds4})] \quad (5.27)$$

$$k = \frac{R_9 \cdot (g_{m1} + g_{ds4})}{g_{m1} \cdot R_{II}} \quad (5.28)$$

$$R_9 = \frac{g_{m8}}{g_{ds8}^2} \quad (5.29)$$

Por razões de *matching*, alguns transistores precisam ser idênticos (mesma largura W e comprimento L de canal). A tab. 5.6 mostra os requisitos de *matching*. As variáveis livres para o procedimento de otimização são os comprimentos de canais e as razões transcondutância-corrente correspondentes.

A transcondutância do par de entrada g_{m1} é dada pelos requisitos de *GBW* e *slew-rate*. A corrente que passa através destes transistores pode, então, ser calculada:

$$I_{D1} = g_{m1} / (\frac{gm}{I_D})_1 \quad (5.30)$$

Assim, a corrente de polarização é dada por $I_{D3} = 2 \cdot I_{D1}$. Seguindo, a corrente normalizada dos transistores de entrada é calculada com base na curva gm/I_D e na transcondutância g_{m1} (FLANDRE et al., 1997). Para evitar uma corrente zero na carga ativa,

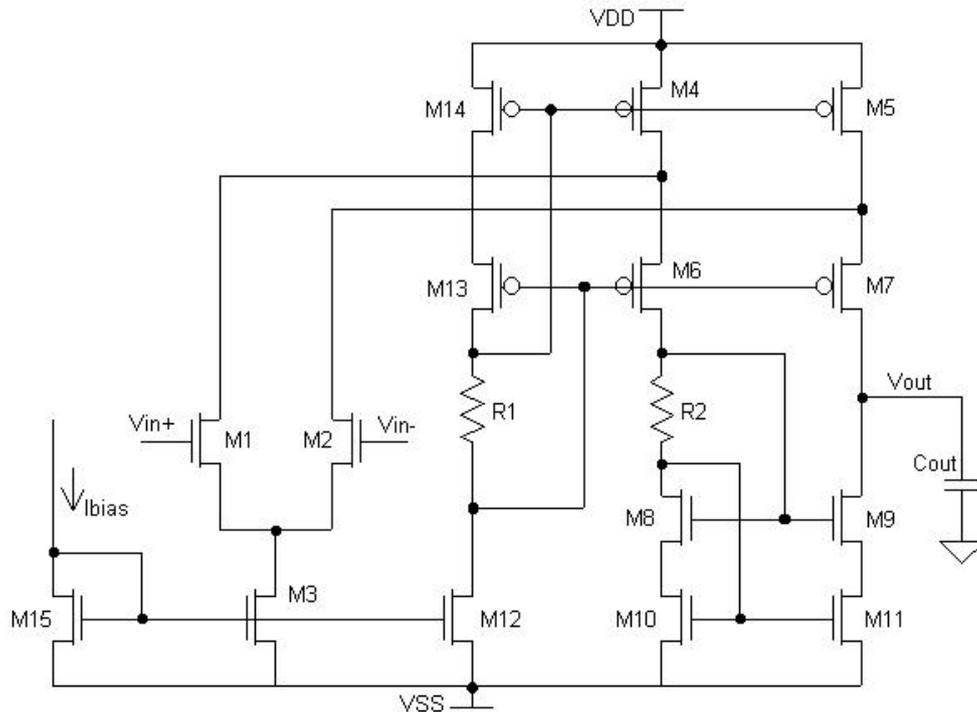


Figura 5.8: Esquemático do amplificador operacional *folded-cascode*.

consideramos $I_{D4} = I_{D6} = I_{D8} = 1.25 \cdot I_{D3}$ (ALLEN; HOLBERG, 2002). A partir deste ponto, como temos gm e I_D de todos os transistores, podemos estimar as demais correntes normalizadas.

A relação de aspecto de todos os transistores é então calculada a partir da seguinte expressão:

$$\left(\frac{W}{L}\right)_i = I_{Di}/I_{\square i} \quad (5.31)$$

As variáveis dependentes $V_{D(sat)i}$, gm_i e gds_i são calculadas diretamente através do modelo ACM. A função custo é calculada de acordo com as especificações de projeto dadas pelas equações 5.17 a 5.29.

A tabela 5.7 mostra um exemplo de projeto de baixa potência. Na primeira coluna estão mostradas as especificações e na segunda os resultados simulados obtidos pelo procedimento de otimização. O objetivo do projeto é minimizar a potência dissipada, mantendo as demais especificações dentro de uma faixa de valores permitida. O processo de otimização demorou aproximadamente 1 minuto para uma agenda de resfriamento da temperatura do tipo exponencial. Os tamanhos dos transistores estão mostrados na tab. 5.8, para tecnologia $0,35\mu m$.

5.5.1 Comparação com metodologia de projeto manual

Na síntese de circuitos integrados analógicos realizada manualmente, é prática comum manter o comprimento de canal (L) de todos os transistores geralmente fixo de modo a diminuir o número de variáveis livres no projeto e conseqüentemente, a complexidade da tarefa. O projetista, neste caso, determina arbitrariamente um valor para L que minimize a influência de efeitos de canal curto. Além disso, considera-se que todos os transistores estão saturados e operando em inversão forte, simplificando a equações da corrente e

Tabela 5.7: Especificações e resultados simulados para o amplificador *folded-cascode*.

Especificação	Requisito	Síntese automática	Síntese manual
Ganho em baixas frequências (dB)	≥ 65	74	67
GBW (MHz)	≥ 15	15	15
Margem de fase ($^\circ$)	≥ 60	70	84
<i>Slew-rate</i> ($V/\mu s$)	≥ 10	11	17
$V_{in(min)}$ (V)	≤ -1	-1	-1.2
$V_{in(max)}$ (V)	≥ 1	1	1.3
$V_{out(min)}$ (V)	≤ -1	-1	-1.1
$V_{out(max)}$ (V)	≥ 1	1.5	1.1
Potência dissipada (mW)	minimizar	1.9	2.5
Área total (μm^2)	minimizar	927	1391

Tabela 5.8: Tamanhos dos transistores do amplificador *folded-cascode* obtidos através de síntese automática e síntese manual.

Transistor	Síntese automática		Síntese manual	
	W (μm)	L (μm)	W (μm)	L (μm)
M_1, M_2	142	0,8	140,0	2,0
M_3, M_{15}	23,6	0,7	21,2	2,0
M_4, M_5, M_{14}	23,3	4,2	47,6	2,0
M_6, M_7	10,0	4,1	47,6	2,0
M_8, M_9, M_{10}, M_{11}	94,0	0,6	15,3	2,0
M_{12}	29,5	0,7	26,6	2,0

transcondutâncias. O modelo do transistor geralmente utilizado é o Spice Level 3, com equações extremamente simples, porém muito imprecisas. Outros modelos mais acurados que também são utilizados são o ACM e o EKV. O modelo BSIM3 não permite cálculos manuais por possuir um conjunto muito grande de parâmetros e equações muito complexas. O projeto manual deve ser acompanhado de muitas simulações elétricas, as quais servem para o refinamento da solução. Obviamente, para casos mais críticos, o comprimento de canal é variado conforme a necessidade para que alguma especificação de projeto diretamente relacionada seja alcançada, como é o caso do ganho DC. Porém, esta variação é feita por tentativa e erro e verificação com simulador elétrico.

Uma metodologia de projeto manual para o amplificador *folded-cascode* está descrita em (ALLEN; HOLBERG, 2002). As considerações básicas são de que todos os transistores possuem o mesmo comprimento de canal, operam em inversão forte e na região de saturação. As dimensões dos transistores são calculadas com base nas especificações do projeto, de acordo com as equações 5.17 a 5.26. O procedimento proposto é linear e fixo, e não há lugar para a exploração do espaço de projeto. A otimização manual é uma tarefa muito difícil, pois geralmente a única estratégia é a experiência do projetista. O tempo de projeto também é um fator relevante. Mesmo projetistas experientes podem demorar algumas horas para completar um único projeto que atinja as especificações iniciais, sem nenhum grau de otimização.

Para comparação, foi projetado um amplificador *folded-cascode* usando a metodolo-

gia manual proposta por (ALLEN; HOLBERG, 2002). As dimensões dos transistores obtidas estão mostradas na tabela 5.8 e os parâmetros de desempenho (simulados) estão na quarta coluna da tab. 5.7. Percebe-se que os resultados obtidos foram próximos, porém a metodologia de síntese automática obteve uma otimização dos parâmetros potência dissipada e área total consumida.

5.6 Conclusão

Este capítulo descreveu uma ferramenta de dimensionamento automático de transistores MOS em amplificadores operacionais baseada na metodologia de projeto gm/I_D e no algoritmo de otimização *Simulated Annealing*. A vantagem da ferramenta está na busca contínua do espaço de projeto e na utilização da característica gm/I_D dos transistores como variável de projeto. Isto faz com que o espaço de projeto explorado de maneira mais efetiva em comparação com outras ferramentas que utilizam outras variáveis. Além disso, todas as regiões de operação dos transistores são exploradas de maneira contínua, desde inversão fraca, passando pela inversão moderada, até a inversão forte.

Os resultados obtidos demonstram a aplicabilidade do método. Dois amplificadores foram projetados e comparados com outras metodologias: amplificador de dois estágios tipo Miller e amplificador *folded-cascode*. O tempo de projeto reduzido torna a ferramenta uma boa opção para projetos não-críticos que demandam rapidez e eficiência, podendo ser usada mesmo por projetistas não muito experientes.

O módulo LIT-S, descrito neste capítulo, preenche uma lacuna importante no fluxo de projeto analógico com associações de transistores. Assim, é possível realizar todas as etapas de projeto dentro da ferramenta LIT, sem a necessidade de migração para outros ambientes, garantindo desta forma rapidez e compatibilidade dos resultados.

6 CONCLUSÃO

Este trabalho apresentou uma proposta de metodologia para o projeto de circuitos integrados analógicos voltada para a automação e para a manufaturabilidade. As associações de transistores, em formato trapezoidal, são os elementos básicos da metodologia. Uma ferramenta, chamada LIT, foi criada para suprir a lacuna da falta de ferramentas de CAD específicas para o projeto de circuitos mistos semi-customizados. Não há ferramentas comerciais próprias para tal projeto. Assim, esta ferramenta torna-se importante para automatizar o processo de síntese física de circuitos analógicos e diminuir o tempo e os custos de projeto.

A metodologia proposta envolve a substituição dos transistores simples (retangulares) de um circuito analógico por associações trapezoidais de transistores que possuam o mesmo desempenho em termos de fornecimento de corrente ou transcondutância. A baixa condutância de saída das associações do tipo trapezoidal demonstrou-se uma vantagem importante do ponto de vista de possibilidade de aumento no ganho de amplificadores operacionais. A maior linearidade das associações também é um fator que torna viável a sua utilização em amplificadores de baixo ruído em altas frequências em substituição à configuração *cascode*, aliado ao fato de possuírem uma tensão de saturação (V_{Dsat}) mais baixa. Além disso, outra vantagem das associações é a menor área de *gate* ocupada e a sua conseqüente ampliação da faixa de frequências de operação.

A regularidade do *layout* proporcionada pelos TSTs faz com que a automação da geração do *layout* seja facilitada, incluindo a utilização de técnicas de casamento de transistores para um melhor *matching*. O projeto visando a manufaturabilidade (DFM), cada vez mais importante em tecnologias sub-micrométricas, também é beneficiado pela utilização de TSTs, pois os transistores unitários das associações podem ser melhor caracterizados eletricamente se possuírem todos as mesmas dimensões. A regularidade do *layout* também é um fator que auxilia no casamento de transistores, pois o processo de fabricação pode ser melhor controlado, evitando-se, por exemplo, grandes variações na taxa de corrosão do polisilício ou na espessura do óxido de *gate*. Técnicas modernas de litografia óptica, como o OAI, exigem um arranjo regular da camada de polisilício, o que é alcançado em circuitos analógicos somente com a utilização de associações de transistores de dimensões reduzidas. Um modelo qualitativo de *layout* analógico foi apresentado no capítulo 4, no qual foram listadas uma série de regras que devem ser seguidas durante a síntese física.

A modelagem das associações de transistores, mostrada no cap. 2, é fundamental para o conhecimento dos efeitos secundários causados pela inserção de TSTs nos circuitos analógicos e para o cálculo (guiado ou automático) das associações equivalentes.

Um chip de teste contendo diversas associações de diferentes tamanhos e formatos foi prototipado para validação do modelo proposto e para verificação das características

elétricas dos TSTs nas diversas regiões de operação. Demonstrou-se que a utilização das associações é viável tanto na região de inversão forte quanto na de inversão fraca, sendo que em ambas elas podem ser consideradas como um macro-bloco de 4 terminais semelhantes a um transistor simples retangular. Além disso, também foram prototipados dois circuitos analógicos nas versões TST e *full-custom* para comparação do desempenho: um amplificador operacional de transcondutância de dois estágios e um comparador *track-and-latch*. Os resultados mostraram uma semelhança bastante grande no desempenho de ambos as versões, sendo que a versão TST era composta por transistores unitários de largura de canal mínima característicos de aplicações digitais.

O principal desafio no projeto de um circuito analógico com TSTs é a escolha apropriada do número de transistores em série e paralelo que forma a associação. Este trabalho abordou dois diferentes métodos de equivalência: equivalência em fator de forma (por uma aproximação de primeira ordem) e equivalência em corrente pela aproximação do modelo analítico dos transistores. O primeiro método utiliza uma formulação simples e proporciona bons resultados quando o TST é formado por transistores de canal longo. O segundo método é mais genérico e inclui a geração de TSTs compostos por transistores unitários de canal curto, apesar de não ser tão intuitivo.

Já a criação de uma ferramenta de síntese, como é o caso do módulo LIT-S, preenche uma lacuna no fluxo de projeto analógico, pois permite um nível de automação elevado desde as etapas de especificação até a geração do layout. A introdução da metodologia de projeto gm/I_D no laço de otimização com *Simulated Annealing* proporciona uma exploração contínua do espaço de projeto nas diferentes regiões de operação dos transistores, tendo como variáveis a relação de transcondutância pela corrente de dreno dos transistores, as quais estão relacionadas de forma inequívoca com as dimensões físicas dos transistores. Uma das vantagens é que a faixa de valores possíveis de gm/I_D é relativamente pequena em dispositivos MOS se comparada com a faixa de variação de outras características, como o comprimento e a largura de *gate* ou o nível de inversão dos transistores.

Os resultados obtidos demonstraram a eficiência da ferramenta LIT, tanto na redução do tempo de projeto quanto na qualidade do resultado, já que a automação evita falhas humanas e proporciona maior confiabilidade ao produto final.

Em suma, as principais contribuições desta tese foram a demonstração da baixa condutância de saída e baixa tensão de saturação de associações trapezoidais de transistores através de medidas elétricas, a modelagem de associações de transistores do tipo T, a criação de uma metodologia de dimensionamento de associações de transistores, o projeto e prototipação de blocos analógicos compostos por transistores de natureza digital (comprimento de canal mínimo), e a implementação de uma metodologia de síntese automática de amplificadores operacionais baseada na característica gm/I_D dos transistores MOS.

6.1 Trabalhos Futuros

As perspectivas de continuidade deste trabalho estão voltadas principalmente para o desenvolvimento e aprimoramento de dois aspectos: a inspeção de novos algoritmos de otimização de sistemas não-lineares para a síntese de circuitos analógicos combinados com a metodologia de projeto gm/I_D e a análise econômica da utilização de associações de transistores em projetos semi-customizados em tecnologias sub-micrométricas.

No primeiro caso, uma modelagem mais detalhada do espaço de projeto pode levar a indicativos de algoritmos de otimização mais efetivos e adequados ao processo de síntese

automática. É preciso analisar o comportamento das variáveis sob as diversas especificações encontradas em projetos analógicos e limitar o espaço de projeto a soluções realizáveis. Recomenda-se um estudo de diversas topologias de blocos analógicos, incluindo a modelagem das suas características através de equações analíticas e possíveis simplificações para facilitar a otimização. Como as soluções possíveis são muito amplas e existe uma dificuldade em se determinar o ponto de operação ótimo do sistema, o número de variáveis envolvidas deve ser o menor possível.

Já a análise econômica da utilização dos TSTs em projetos semi-customizados deve ser feita em termos de uma análise do mercado e das tendências para as tecnologias de fabricação futuras. Devido à preocupação cada vez maior com a manufaturabilidade do circuitos integrados, esta estratégia pode ter grande validade para a redução de custos e diminuição no tempo de projeto.

REFERÊNCIAS

- ABERCROMBIE, D.; FERGUSON, J. Design for Manufacturing: what designers need to know about the change in yield management. In: DesignCon, 2005. **Proceedings...** [S.l.: s.n.], 2005.
- ALLEN, P. E.; HOLBERG, D. R. **CMOS Analog Circuit Design**. 2nd ed. Oxford: Oxford University Press, 2002.
- BAKER, F. K.; PFIESTER, J. R. The Influence of Tilted Source-Drain Implants on High-Field Effects in Submicrometer MOSFETs. **IEEE Transactions on Electron Devices**, New York, v.35, n.12, p.2119–2124, 1988.
- BINKLEY, D. M. et al. A CAD Methodology for Optimizing Transistor Current and Sizing in Analog CMOS Design. **IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems**, [S.l.], v.22, n.7, p.225–237, July 2003.
- BRUCE, J. D.; LI, H. W.; DALLABETTA, M. J.; BAKER, R. J. Analog Layout Using ALAS! **IEEE Journal of Solid-State Circuits**, [S.l.], v.31, n.2, p.271–274, Feb. 1996.
- BSIM3v3 Manual. [S.l.]: BSIM Research Group, 2005. Disponível em: < [http : //www – device.eecs.berkeley.edu/ bsim3/](http://www-device.eecs.berkeley.edu/~bsim3/) >. Acesso em: set. 2005.
- CAMACHO-GALEANO, E. M.; GALUP-MONTORO, C.; SCHNEIDER, M. C. A 2-nW 1.1-V Self-Biased Current Reference in CMOS Technology. **IEEE Transactions on Circuits and Systems - II: Express Briefs**, [S.l.], v.52, n.2, p.61–65, Feb. 2005.
- CHOI, J. H. **Mixed-Signal Analog-Digital Circuits Design on the Pre-Diffused Digital Array Using Trapezoidal Association of Transistors**. 2001. Tese (Doutorado em Computação) — Universidade Federal do Rio Grande do Sul, Porto Alegre-RS.
- CHUNG, J. E. et al. The Effects of Low-Angle Off-Axis Substrate Orientation on MOS-FET Performance and Reliability. **IEEE Transactions on Electron Devices**, New York, v.38, n.3, p.627–633, 1991.
- CLÁUDIO, D. M.; MARINS, J. M. **Cálculo Numérico Computacional: teoria e prática**. 2.ed. São Paulo: Atlas, 1994. 464p.
- COITINHO, R. M. et al. A Simplified Methodology for the Extraction of ACM MOST Model Parameters. In: SYMPOSIUM ON INTEGRATED CIRCUITS AND SYSTEMS DESIGN, 14., 2001. **Proceedings...** Los Alamitos: IEEE Computer Society, 2001. p.136–141.

CONRAD JÚNIOR, E.; PAULA, L. S. de; GIRARDI, A.; CORTES, F. P.; BAMPI, S. An Analog Test Chip for Device Modeling and Characterization. In: SOUTH SYMPOSIUM ON MICROELECTRONICS, 20., 2005. **Proceedings...** Santa Cruz do Sul: Unisc, 2005. p.23–26.

CUNHA, A. I. A. **Um Modelo Do Transistor MOS Para Projeto de Circuitos Integrados**. 1996. 100p. Tese (Doutorado em Engenharia Elétrica) — Universidade Federal de Santa Catarina, Florianópolis-SC.

CUNHA, A. I. A.; SCHNEIDER, M. C.; GALUP-MONTORO, C. An MOS Transistor Model for Analog Circuit Design. **IEEE Journal of Solid-State Circuits**, [S.l.], v.33, n.10, p.1510–1519, Oct. 1998.

DEGRAUWE, M. et al. IDAC: an interactive design tool for analog CMOS circuits. **IEEE Journal of Solid-State Circuits**, [S.l.], v.SC-22, n.6, p.1106–1116, Dec. 1987.

EL-TURKY, F.; PERRY, E. E. BLADES: an artificial intelligence approach to analog circuit design. **IEEE Transactions on Computer-Aided Design**, [S.l.], v.8, n.6, p.680–692, June 1989.

ENZ, C. **Low-Power HF Microelectronics**: a unified approach. [S.l.: s.n.], 1996. p.247–299.

ENZ, C.; KRUMMENACHER, F.; VITTOZ, E. A. An Analytical MOS Transistor Model Valid in All Regions of Operation and Dedicated to Low-Voltage and Low-Current Applications. **J. Analog Integrated Circuits Signal Process.**, [S.l.], v.8, p.83–114, July 1995.

FLANDRE, D. et al. Improved Synthesis of Gain-Boosted Regulated-Cascode CMOS Stages Using Symbolic Analysis and gm/ID Methodology. **IEEE Journal of Solid-State Circuits**, [S.l.], v.32, n.7, p.1006–1012, July 1997.

GALUP-MONTORO, C.; SCHNEIDER, M.; LOSS, I. Series-Parallel Association of FET's for High Gain and High Frequency Applications. **IEEE Journal of Solid-State Circuits**, [S.l.], v.29, n.9, Sept. 1994.

GEROSA, A.; NEVIANI, A. Enhancing Output Voltage Swing in Low-Voltage Micro-Power OTA Using Self-Cascode. **Electronics Letters**, [S.l.], v.39, n.8, p.638–639, Apr. 2003.

GIELEN, G. E.; WALSCARTS, H. C. C.; SANSEN, W. M. C. Analog Circuit Design Optimization Based on Symbolic Simulation and Simulated Annealing. **IEEE Journal of Solid-State Circuits**, [S.l.], v.25, n.3, p.707–713, June 1990.

GIELEN, G. G. E.; WALSCARTS, H. C. C.; SANSEN, W. M. C. ISAAC: a symbolic simulator for analog integrated circuits. **IEEE Journal of Solid-State Circuits**, [S.l.], v.24, n.6, p.1587–1597, Dec. 1989.

GIRARDI, A. **Uma Ferramenta para Automação da Geração do Leiaute de Circuitos Analógicos Sobre uma Matriz de Transistores MOS Pré-Difundidos**. 2003. 171p. Dissertação (Mestrado em Ciência da Computação) — Universidade Federal do Rio Grande do Sul, Porto Alegre-RS.

- GIRARDI, A.; BAMPI, S. LIT - an automatic layout generation tool for trapezoidal association of transistors for basic analog building blocks. In: DESIGN AUTOMATION AND TEST IN EUROPE, 2003. **Proceedings...** Piscataway, NJ: IEEE, 2004.
- GIRARDI, A.; BAMPI, S. AC Analysis of an Inverter Amplifier Using Minimum-Length Trapezoidal Association of Transistors. **Microelectronics Reliability**, [S.l.], v.44, p.665–671, 2004.
- GOUVEIA, O. D. C. **Um Modelo Compacto do Transistor MOS para Simulação de Circuitos**. 1999. 163p. Tese (Doutorado em Engenharia Elétrica) — Universidade Federal de Santa Catarina, Florianópolis-SC.
- GRAAFF, H. C. de; KLAASSEN, F. M. **Compact Transistor Modelling for Circuit Design**. [S.l.]: Springer, 1990.
- HAAN, P. E. de. **Analog Circuit Design on Digital Sea-of-Gates Arrays**. 1995. Ph.D. Thesis — Universiteit Twente, Twente.
- HARJANI, R.; RUTENBAR, R. A.; CARLEY, L. R. OASYS: a framework for analog circuit synthesis. **IEEE Transactions on Computer Aided Design**, [S.l.], v.8, n.12, 1989.
- HART, P. E.; NILSSON, N. J.; RAPHAEL, B. A Formal Basis of the Heuristic Determination of Minimum Cost Paths. **IEEE Transactions on Systems, Science and Cybernetics**, New York, v.SSC-4, p.100–107, 1968.
- HASTINGS, A. **The Art of Analog Layout**. New Jersey: Prentice-Hall, 2001. 539p.
- HERSHENSON, M. D. M.; BOYD, S. P.; LEE, T. H. Optimal Design of a CMOS Op-Amp Via Geometric Programming. **IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems**, [S.l.], v.20, n.1, p.1–21, Jan. 2001.
- INGBER, L. Very Fast Simulated Re-Annealing. **Mathematical and Computer Modelling**, [S.l.], v.12, p.967–973, 1989.
- INTEGRATION, D. **Smash Circuit Simulator Manual**. Meylan, France: [s.n.], 2002.
- KAHNG, A. B.; PATI, Y. C. Subwavelength Lithography and its Potential Impact on Design and EDA. In: DESIGN AUTOMATION CONFERENCE, 36., 1999, New Orleans. **Proceedings...** New York: ACM, 1999.
- KIM, T.; LEE, K. A Simple and Analytical Design Approach for Input Power Matched On-Chip CMOS LNA. **Journal of Semiconductor Technology and Science**, [S.l.], v.2, n.1, p.19–29, Mar. 2002.
- KIM, T. W.; KIM, B.; LEE, K. Highly Linear Receiver Front-End Adopting MOSFET Transconductance Linearization by Multiple Gated Transistors. **IEEE Journal of Solid-State Circuits**, [S.l.], v.39, n.1, p.223–229, Jan. 2004.
- KIRKPATRICK, S.; GELATT, C. D.; VECCHI, M. P. Optimization by Simulated Annealing. **Science**, [S.l.], v.220, n.4598, p.671–680, May 1983.
- KLAASEN, F. M.; HES, W. On the Temperature Coefficient of the MOSFET Threshold Voltage. **Solid-State Elect.**, New York, v.29, n.8, p.787–789, 1986.

KO, B.; LEE, K. A Comparative Study on the Various Monolithic Low Noise Amplifier Circuit Topologies for RF and Microwave Applications. **IEEE Journal of Solid-State Circuits**, [S.l.], v.31, p.1220–1225, Aug. 1996.

KO, B.; LEE, K. A New Simultaneous Noise and Input Power Matching Technique for Monolithic LNAs Using Cascode Feedback. **IEEE Transactions on Microwave Theory and Techniques**, [S.l.], v.45, p.1627–1629, Sept. 1997.

LAKER, K. R.; SANSEN, W. M. C. **Design of Analog Integrated Circuits and Systems**. New York: McGraw-Hill, 1994. 898p.

LAKSHMIKUMAR, K.; HADAWAY, R.; COPELAND, M. Characterization and Modeling of Mismatch in MOS Transistors for Precision Analog Design. **IEEE Journal of Solid-State Circuits**, New York, v.sc-21, n.6, p.1057–1066, Dec. 1986.

LEE, H.; LEUNG, K. N.; MOK, P. K. T. Low-Voltage Analog Circuit Techniques Using Bias-Current Re-Utilization, Self-Biasing and Signal Superposition. In: IEEE CONFERENCE ON ELECTRON DEVICES AND SOLID-STATE CIRCUITS, 2005. **Proceedings...** Piscataway: IEEE, 2005. p.533–536.

LIEBMANN, L. W. Resolution Enhancement Techniques in Optical Lithography, It's Not Just a Mask Problem. **Proceedings of SPIE**, [S.l.], v.4409, p.23–32, 2001.

LOVETT, S.; WELTEN, M.; MATHEWSON, A.; MASON, B. Optimizing MOS Transistor Mismatch. **IEEE Journal of Solid-State Circuits**, New York, v.33, n.1, p.147–150, Jan. 1998.

MALY, W. Computer-Aided Design for VLSI Circuit Manufacturability. **Proceedings of the IEEE**, [S.l.], v.78, n.2, p.356–392, Feb. 1990.

MANDAL, P.; VISVANATHAN, V. CMOS Op-Amp Sizing Using a Geometric Programming Formulation. **IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems**, [S.l.], v.20, n.1, p.22–38, Jan. 2001.

MEAD, C.; CONWAY, L. **Introduction to VLSI Systems**. Reading: Addison-Wesley, 1980.

MEDEIRO-HIDALGO, F.; DOMINGUEZ-CASTRO, R.; RODRIGUEZ-VÁZQUEZ, A.; HUERTAS, J. L. A Prototype Tool for Optimum Analog Sizing Using Simulated Annealing. In: IEEE INTERNATIONAL SYMPOSIUM ON CIRCUITS AND SYSTEMS, 1992, San Diego. **Proceedings...** [S.l.: s.n.], 1992. v.4, p.1933–1936.

NYE, W. et al. DELIGHT.SPICE: an optimization-based system for the design of integrated circuits. **IEEE Transactions on Computer Aided-Design**, [S.l.], v.7, n.4, p.501–519, Apr. 1988.

OCKEY, R.; SYRZYCKI, M. Analysis of Manufacturability Factors for Analog CMOS ADC Building Blocks. **Analog Integrated Circuits and Signal Processing**, [S.l.], v.26, p.239–255, 2001.

OLIVEIRA PINTO, R. L. de. **Metodologia de Projeto de Amplificadores CMOS**. 1997. Dissertação (Mestrado em Engenharia Elétrica) — Universidade Federal de Santa Catarina, Florianópolis-SC.

PELGROM, M. J. M.; DUINMAIJER, A. C. J.; WELBERS, A. P. G. Matching Properties of MOS Transistors. **IEEE Journal of Solid-State Circuits**, New York, v.sc-24, n.5, p.1433–1439, 1989.

PLAS, G. V. der et al. A Layout Synthesis Methodology for Array-Type Analog Blocks. **IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems**, [S.l.], v.21, n.6, p.645–661, June 2002.

PLAS, G. V. der; GIELEN, G.; SANSEN, W. **A Computer-Aided Design and Synthesis Environment for Analog Integrated Circuits**. Boston: Kluwer Academic Publishers, 2002. 203p.

RAJPUT, S. S.; JAMUAR, S. S. Low Voltage Analog Circuit Design Techniques. **IEEE Circuits and Systems Magazine**, [S.l.], v.2, n.1, p.24–42, 2002.

RAZAVI, B. **RF Microelectronics**. Englewood Cliffs, NJ: Prentice-Hall, 1998.

RICCÓ, B. Effects of Channel Geometries on FET Output Conductance in Saturation. **IEEE Electron Device Letters**, [S.l.], v.EDL-5, n.9, p.353–356, Sept. 1984.

RIEGER, M. L.; MAYHEW, J. P.; PANCHAPAKESAN, S. Layout Design Methodologies for Sub-Wavelength Manufacturing. In: DESIGN AUTOMATION CONFERENCE, 2001, Las Vegas. **Proceedings...** New York: ACM, 2001.

RIJMENANTS, J.; SCHWARTZ, T.; LITSIOS, J.; ZINSZER, R. ILAC: an automated layout tool for analog CMOS circuits. **IEEE Journal of Solid-State Circuits**, [S.l.], v.24, n.2, p.417–425, Apr. 1989.

SAHU, B.; DUTTA, A. K. Automatic Synthesis of CMOS Operational Amplifiers: a fuzzy optimization approach. In: INTERNATIONAL CONFERENCE ON VLSI DESIGN, 15., 2002. **Proceedings...** [S. l.]: IEEE Computer Society, 2002.

SAKATA, S. **ASAMIN**: a Matlab gateway routine to adaptive simulated annealing (ASA). Disponível em: < [http : //www.econ.ubc.ca/ssakata/public_html/software/](http://www.econ.ubc.ca/ssakata/public_html/software/) >. Acesso em: set. 2005.

SÁNCHEZ-SINENCIO, E.; SILVA-MARTÍNEZ, J. CMOS Transconductance Amplifiers, Architectures and Active Filters: a tutorial. **IEE Proceedings Circuits, Devices & Systems**, [S.l.], v.147, n.1, p.3–12, Feb. 2000.

SILVEIRA, F.; FLANDRE, D.; JESPERS, P. G. A. A gm/ID Based Methodology For the Design of CMOS Analog Circuits and Its Application to the Synthesis of a Silicon-on-Insulator Micropower OTA. **IEEE Journal of Solid-State Circuits**, [S.l.], v.31, n.9, p.1314–1319, Sept. 1996.

SMEDT, B. de; GIELEN, G. G. E. WATSON: design space boundary exploration and model generation for analog and rf ic design. **IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems**, [S.l.], v.22, n.2, p.213–224, Feb. 2003.

TSIVIDIS, Y. **Mixed Analog-Digital VLSI Devices and Technology**. EUA: McGraw-Hill, 1995.

TSIVIDIS, Y. **Operation and Modeling of the MOS Transistor**. 2nd ed. Oxford: Oxford University Press, 1999. 620p.

TUINHOUT, H. et al. Effects of Metal Coverage on MOSFET Matching. In: IEEE INTERNATIONAL ELECTRON DEVICES MEETING, IEDM, 1996. **Proceedings...** [S.l.: s.n.], 1996. p.735–738.

VEERAVALLI, A.; SÁNCHEZ-SINENCIO, E.; SILVA-MARTINEZ, J. Transconductance Amplifier Structures With Very Small Transconductances: a comparative design approach. **IEEE Journal of Solid-State Circuits**, [S.l.], v.37, n.6, p.770–775, June 2002.

VITTOZ, E. A.; FELLRATH, J. CMOS Analog Integrated Circuits Based on Weak Inversion Operation. **IEEE Journal of Solid-State Circuits**, New York, v.sc-12, n.3, p.224–231, June 1977.

WHITE, K. P.; TRYBULA, W. J.; ATHAY, R. N. Design for Semiconductor Manufacturing - Perspective. **IEEE Transactions on Components, Packaging, and Manufacturing Technology - Part C**, [S.l.], v.20, n.1, p.58–72, Jan. 1997.

WIRTH, G. **SGC - Um Ambiente Para a Automação de Procedimentos de Caracterização e Teste**. 1994. Dissertação (Mestrado em Ciência da Computação) — Universidade Federal do Rio Grande do Sul, Porto Alegre - RS.

WONG, A. K. Microlithography: trends, challenges, solutions, and their impact on design. **IEEE Micro**, [S.l.], p.12–21, Mar./Apr. 2003.

WONG, B. P. et al. **Nano-CMOS Circuit and Physical Design**. Hoboken: John Wiley & Sons, 2005. 393p.

YAN, S.; SANCHEZ-SINENCIO, E. Low Voltage Analog Circuit Design Techniques: a tutorial. **IEICE Transactions on Analog Integrated Circuits and Systems**, [S.l.], v.E00-A, n.2, p.1–17, Feb. 2000.

ZEKI, A.; KUNTMAN, H. High-Linearity Low-Voltage Self-Cascode Class AB CMOS Current Output Stage. In: IEEE INTERNATIONAL SYMPOSIUM ON CIRCUITS AND SYSTEMS, 2000, Geneva, Switzerland. **Proceedings...** [S.l.: s.n.], 2000. p.257–260.

APÊNDICE A RESULTADOS EXPERIMENTAIS DE MEDIDAS I-V

Neste apêndice são mostrados alguns gráficos das características elétricas das associações de transistores prototipadas em tecnologia AMS $0.35\mu m$, obtidos através de medidas elétricas. O equipamento utilizado para aquisição dos pontos foi o analisador de semicondutores HP4145, e o processamento ficou por conta do sistema de gerenciamento SGC (WIRTH, 1994). Os tamanhos e formatos das associações estão descritos na tabela 2.3. Uma análise detalhada sobre as medidas podem ser encontrados no capítulo 2.

A.1 Comparação entre TSTs com mesma relação de aspecto equivalente

As associações $C1$ a $C6$ foram projetadas de maneira a possuírem o mesmo W e L equivalentes (análise de primeira ordem), ou seja, $W_{eq} = 20\mu m$ e $L_{eq} = 1,8\mu m$. Como referência, também foi fabricado um transistor simples com $W = 20\mu m$ e $L = 1,8\mu m$, chamado M_{16} . Para uma melhor visualização das diferenças entre as associações $C1$ a $C5$, os respectivos esquemáticos estão mostrados na figura 2.21. A associação $C6$ é um caso especial de transistor simples em formato T que, apesar de não ter uma utilidade prática, foi fabricada para efeitos de comparação. A figura 2.22 mostra o layout dessa associação. Neste apêndice, as figuras A.1 a A.8 mostram os gráficos das características das associações $C1$ a $C6$, mais o transistor simples equivalente M_{16} .

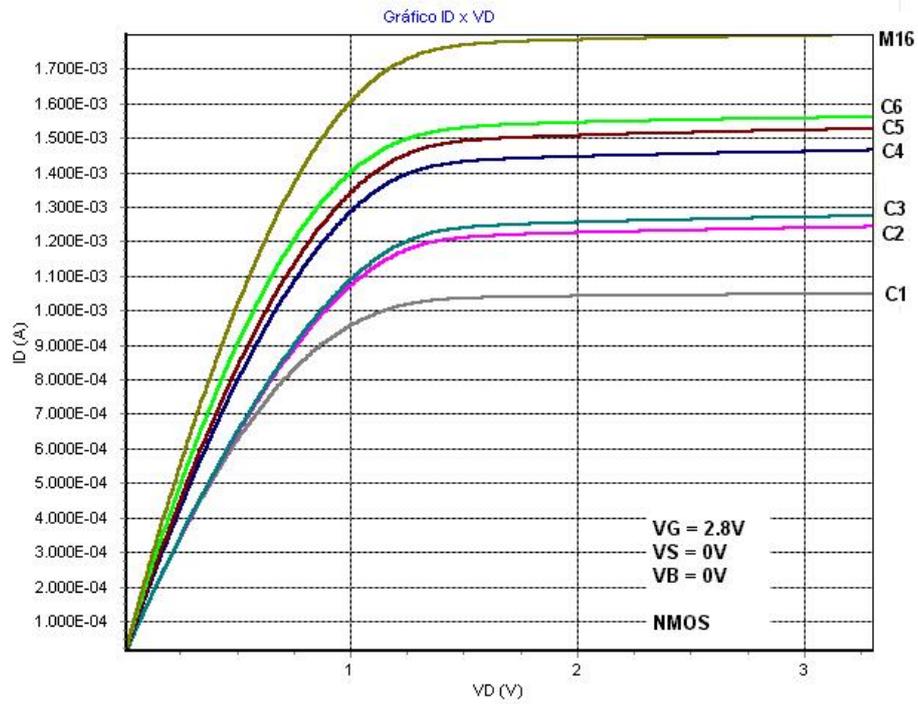


Figura A.1: Medidas elétricas da curva $I_D \times V_D$ das associações TST C1 a C6 NMOS em inversão forte, mais o transistor simples equivalente M_{16} ($W = 20\mu m$, $L = 1,8\mu m$).

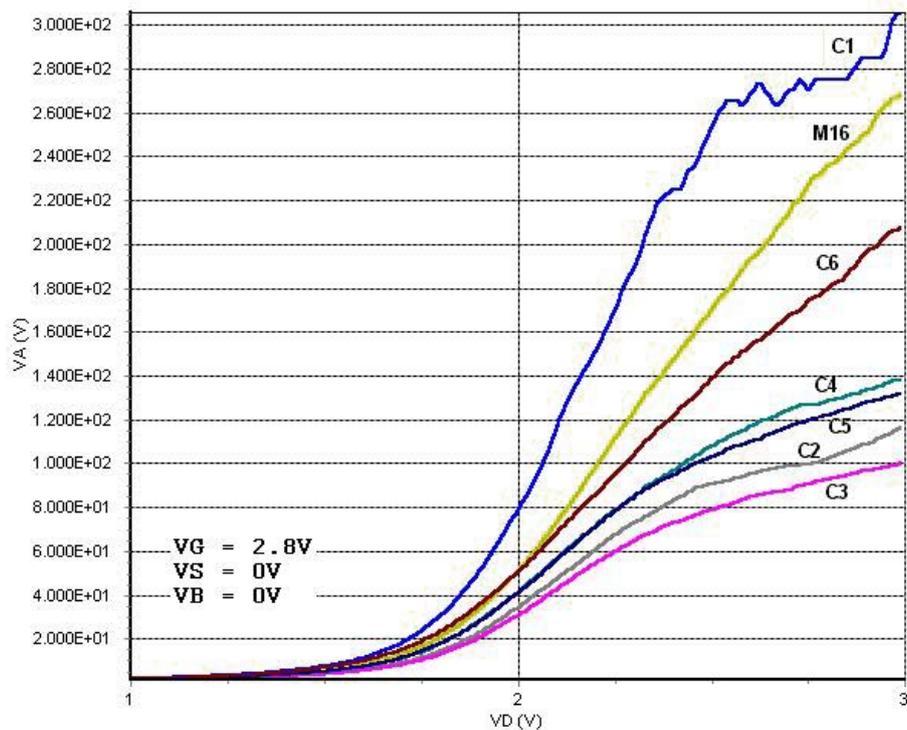


Figura A.2: Medidas elétricas da curva $V_A \times V_D$ das associações TST C1 a C6 NMOS em inversão forte, mais o transistor simples equivalente M_{16} ($W = 20\mu m$, $L = 1,8\mu m$).

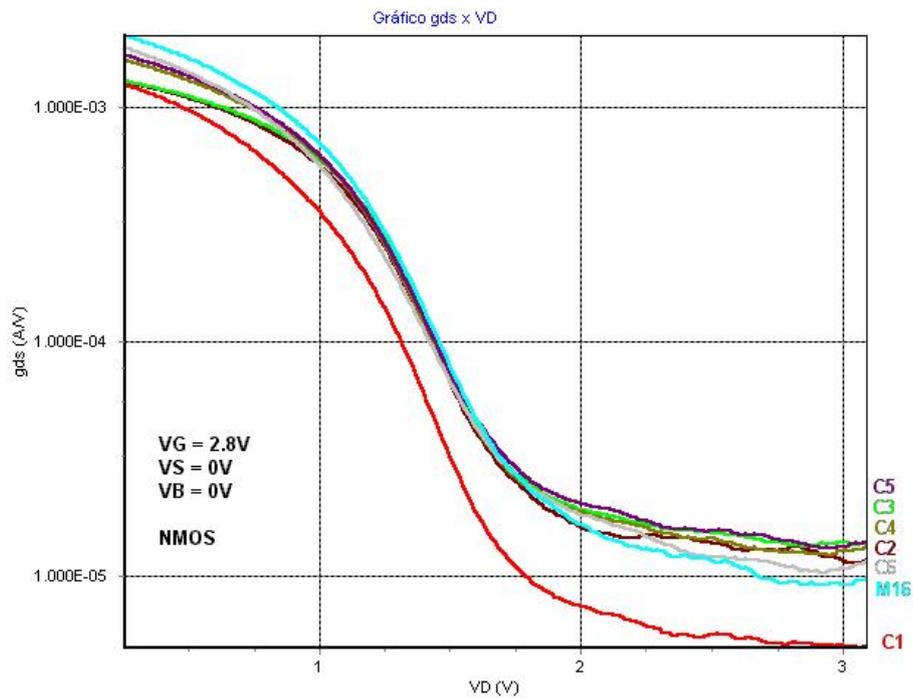


Figura A.3: Curva $g_{ds} \times V_D$ das associações TST C1 a C6 NMOS em inversão forte, mais o transistor simples equivalente M_{16} ($W = 20\mu m$, $L = 1,8\mu m$).

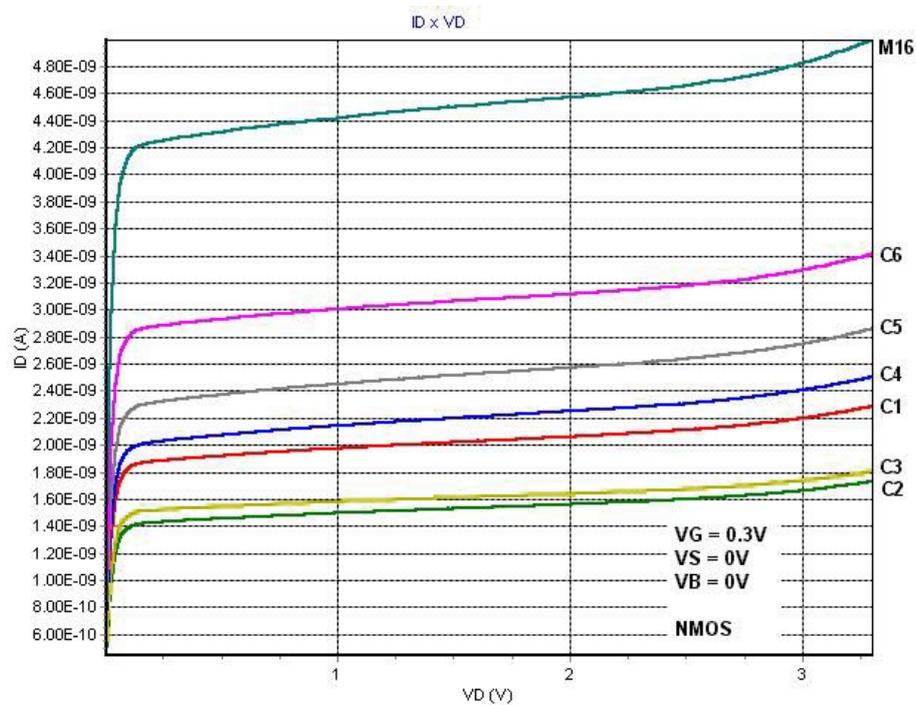


Figura A.4: Curva $I_D \times V_D$ das associações TST C1 a C6 NMOS em inversão fraca, mais o transistor simples equivalente M_{16} ($W = 20\mu m$, $L = 1,8\mu m$).

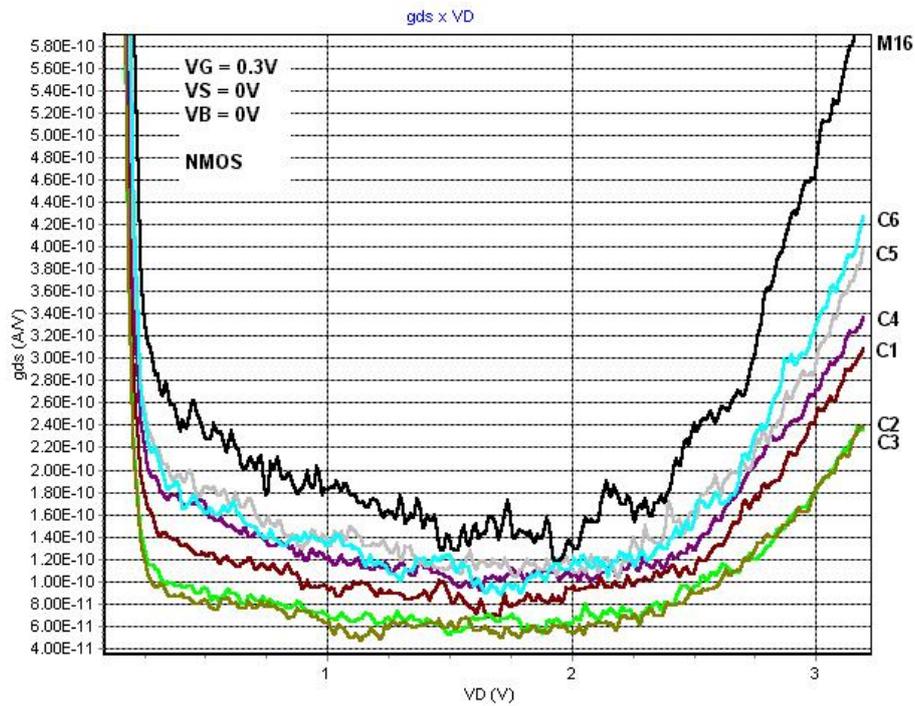


Figura A.5: Curva $g_{ds} \times V_D$ das associações TST C1 a C6 NMOS em inversão fraca, mais o transistor simples equivalente M_{16} ($W = 20\mu m$, $L = 1,8\mu m$).

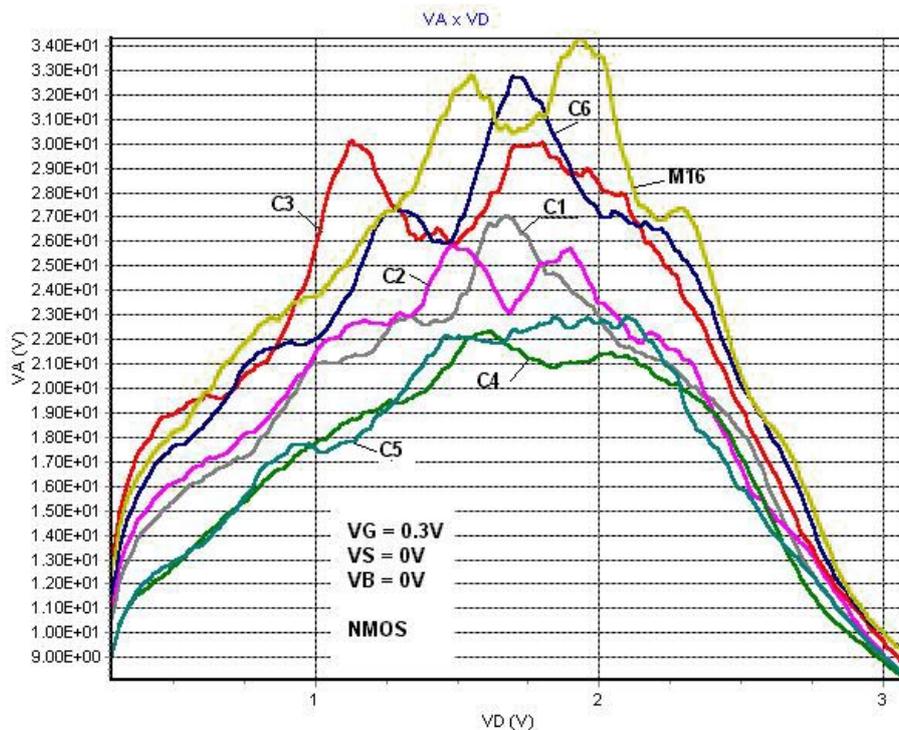


Figura A.6: Curva $V_A \times V_D$ das associações TST C1 a C6 NMOS em inversão fraca, mais o transistor simples equivalente M_{16} ($W = 20\mu m$, $L = 1,8\mu m$).

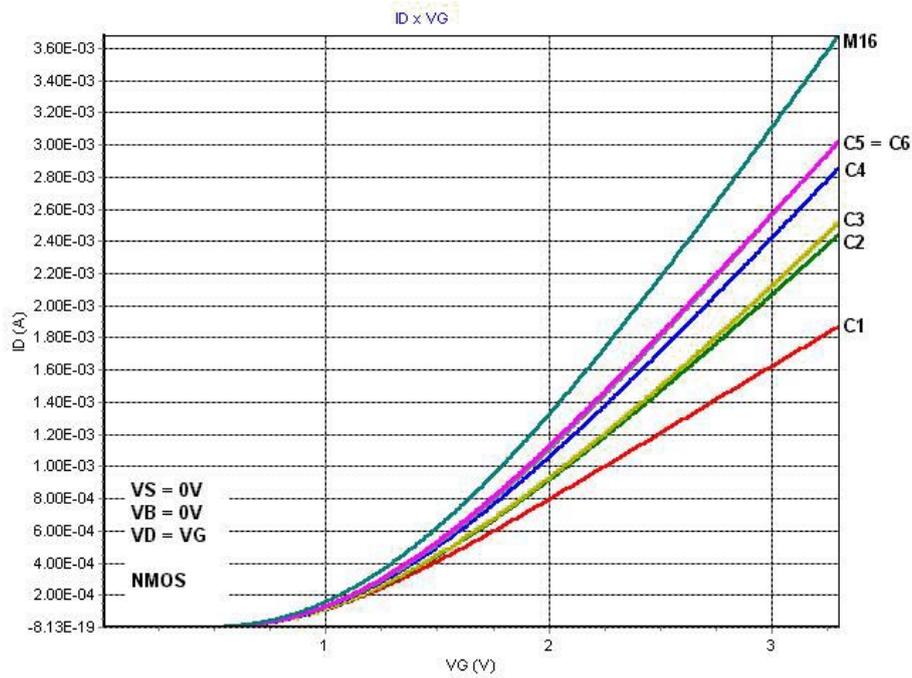


Figura A.7: Medidas elétricas da curva $I_D \times V_G$ das associações TST C1 a C6 NMOS em saturação, mais o transistor simples equivalente M_{16} ($W = 20\mu m$, $L = 1,8\mu m$).

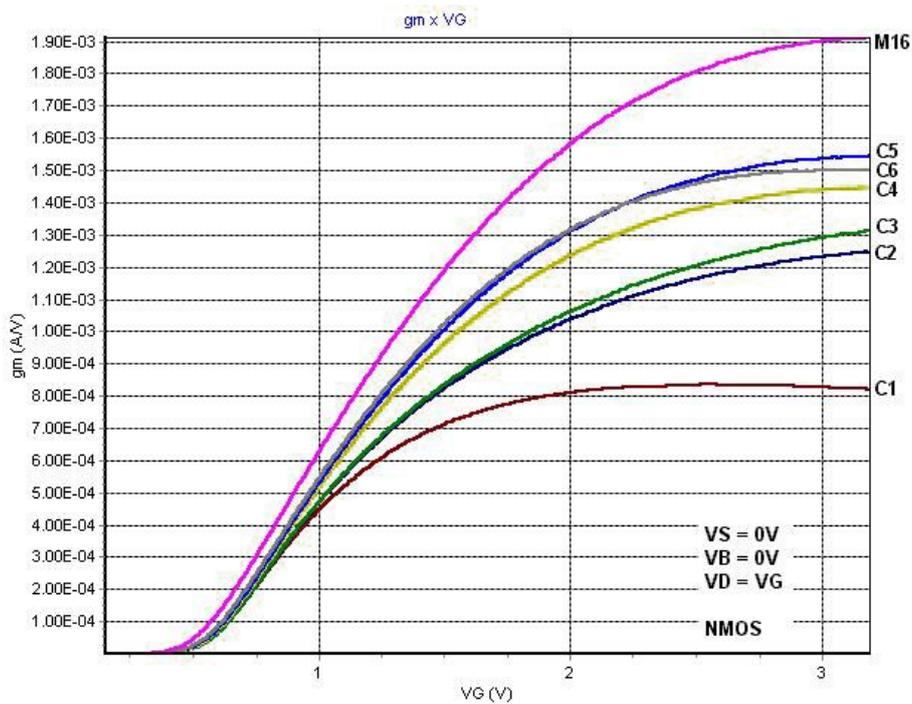


Figura A.8: Medidas elétricas da curva $g_m \times V_G$ das associações TST C1 a C6 NMOS em saturação, mais o transistor simples equivalente M_{16} ($W = 20\mu m$, $L = 1,8\mu m$).

A.2 Efeito da redução das dimensões W e L de MS

Através das associações C7 e C8 é possível observar os efeitos da diminuição de MS sobre a corrente de dreno e as transcondutâncias. O esquemático das associações está mostrado na fig. 2.25. O transistor simples M_{11} é o transistor equivalente com $W = 10\mu m$ e $L = 5\mu m$. As figuras A.9 a A.16 mostram as características dos dispositivos obtidas através de medidas elétricas.

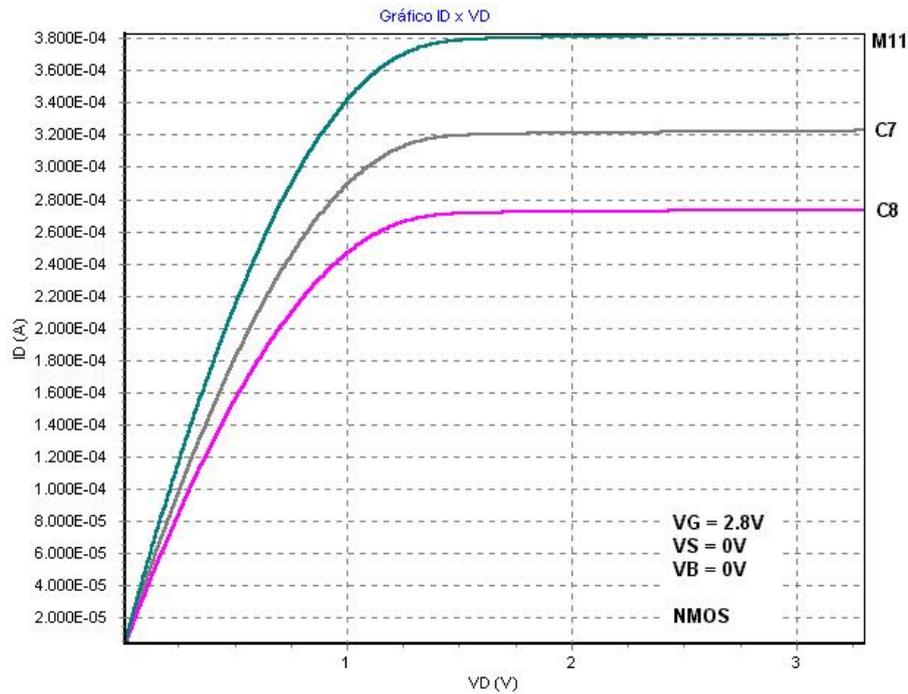


Figura A.9: Medidas elétricas da curva $I_D \times V_D$ das associações TST C7 e C8 NMOS em inversão forte, mais o transistor simples equivalente M_{11} ($W = 10\mu m$, $L = 5\mu m$).

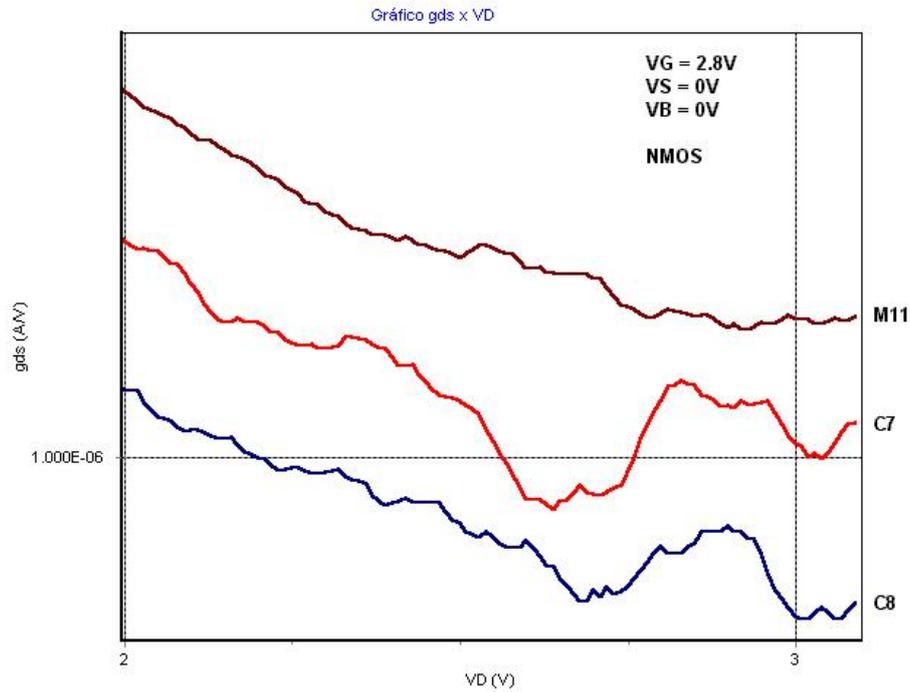


Figura A.10: Medidas elétricas da curva $g_{ds} \times V_D$ das associações TST C7 e C8 NMOS em inversão forte, mais o transistor simples equivalente M_{11} ($W = 10\mu m$, $L = 5\mu m$).

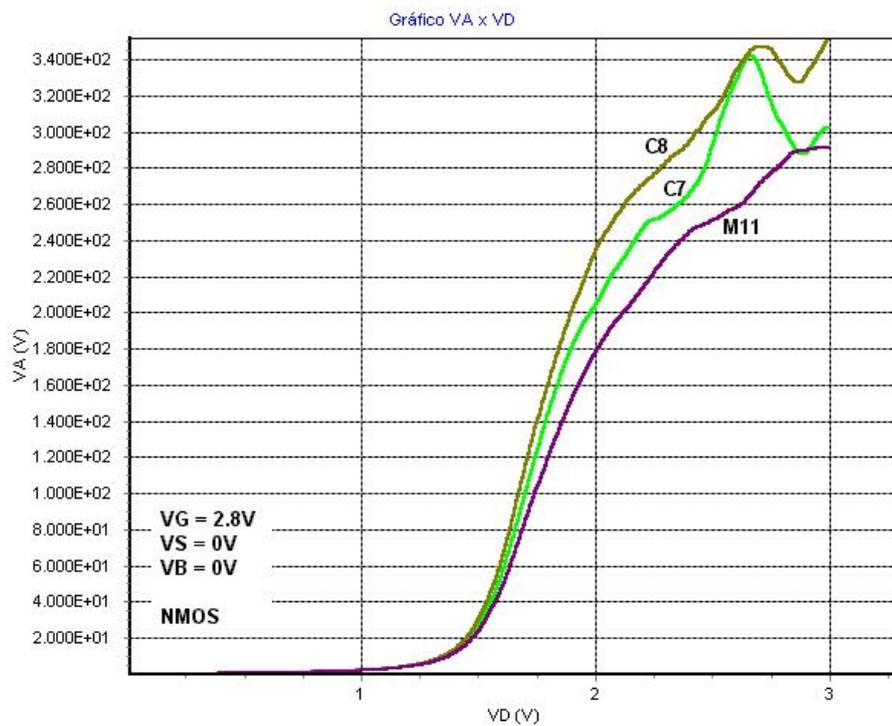


Figura A.11: Medidas elétricas da curva $V_A \times V_D$ das associações TST C7 e C8 NMOS em inversão forte, mais o transistor simples equivalente M_{11} ($W = 10\mu m$, $L = 5\mu m$).

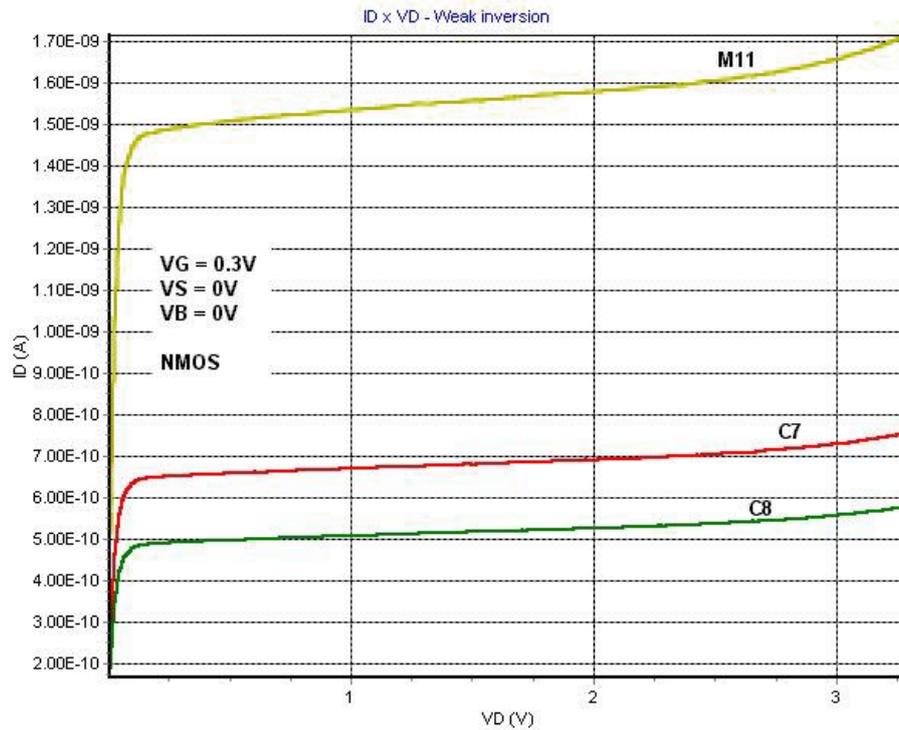


Figura A.12: Curva $I_D \times V_D$ das associações TST C7 e C8 NMOS em inversão fraca, mais o transistor simples equivalente M_{11} ($W = 10\mu m$, $L = 5\mu m$).

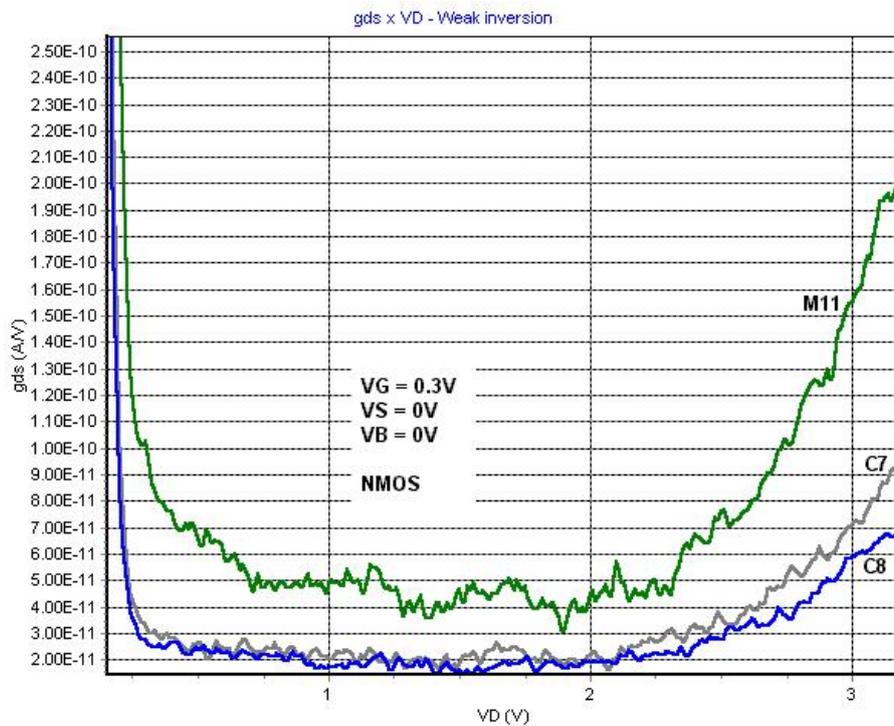


Figura A.13: Curva $g_{ds} \times V_D$ das associações TST C7 e C8 NMOS em inversão fraca, mais o transistor simples equivalente M_{11} ($W = 10\mu m$, $L = 5\mu m$).

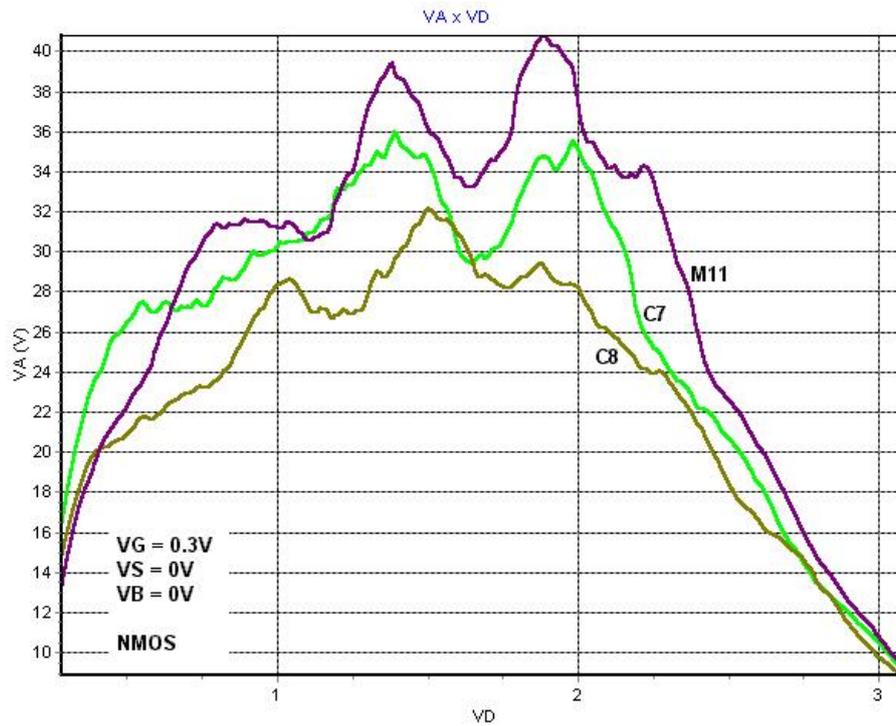


Figura A.14: Curva $V_A \times V_D$ das associações TST C7 e C8 NMOS em inversão fraca, mais o transistor simples equivalente M_{11} ($W = 10\mu m$, $L = 5\mu m$).

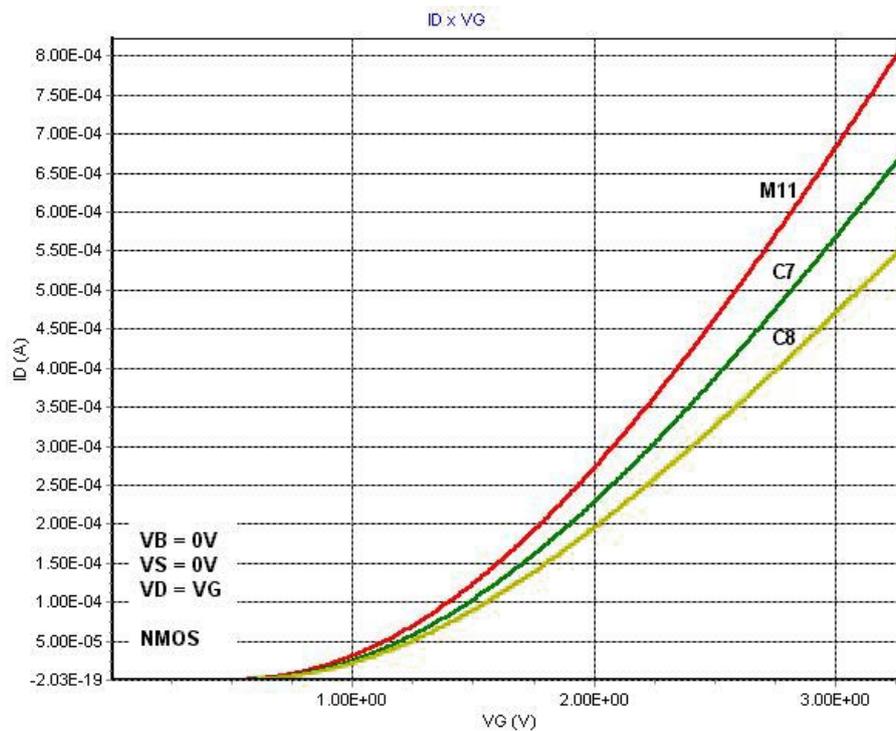


Figura A.15: Curva $I_D \times V_G$ das associações TST C7 e C8 NMOS em saturação, mais o transistor simples equivalente M_{11} ($W = 10\mu m$, $L = 5\mu m$).

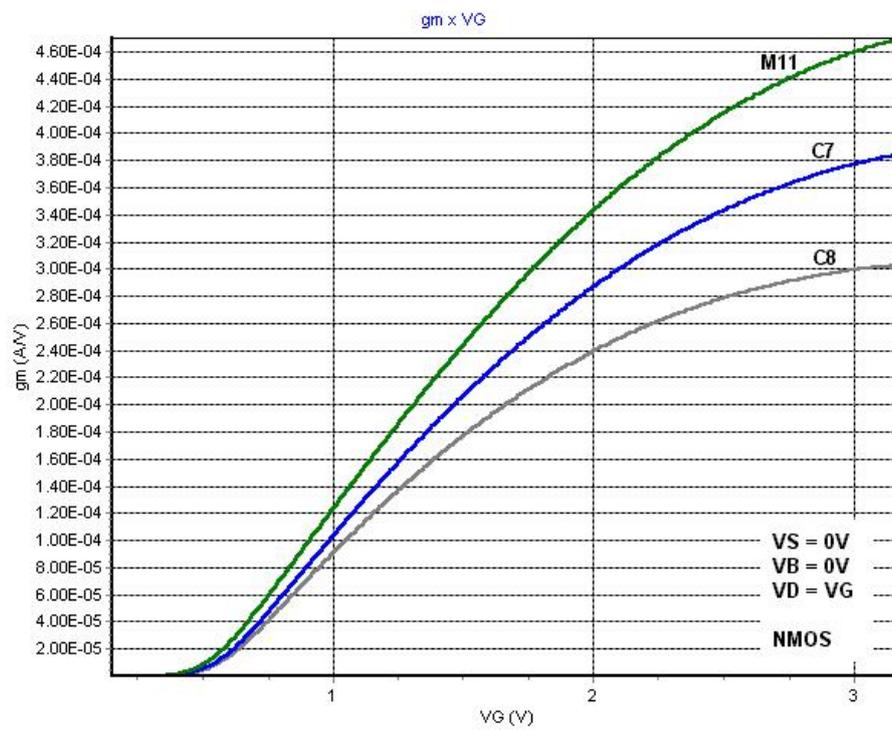


Figura A.16: Curva $g_m \times V_G$ das associações TST C7 e C8 NMOS em saturação, mais o transistor simples equivalente M_{11} ($W = 10\mu m$, $L = 5\mu m$).

A.3 Efeitos da variação de ND e NS

As associações A5, B1, B2, B3, B4, B5 e C5 possuem em comum o fato de serem formadas por transistores unitários de mesmo tamanho. Assim, é possível verificar o efeito da variação do número de transistores em paralelo que formam MD , ou seja, ND , mantendo-se MS fixo, além do contrário, variando-se NS para MD fixo. A tabela 2.4 mostra os valores de ND e NS destas associações. Nas figuras A.17 a A.22 estão plotados gráficos de medidas elétricas que demonstram o grau de sensibilidade das características principais das associações de transistores à variação dos dois parâmetros.

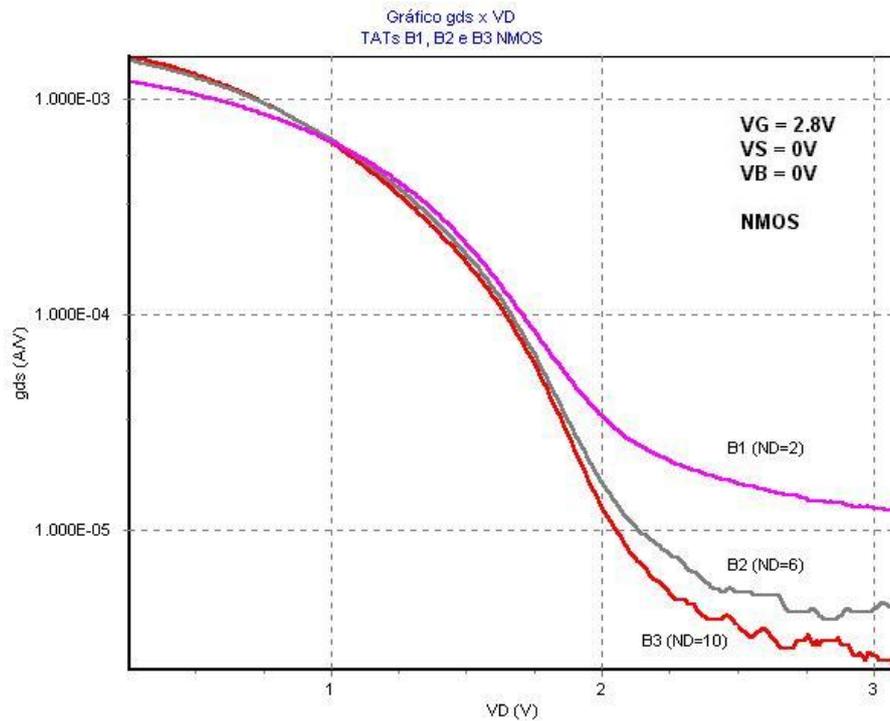


Figura A.17: Medidas elétricas da curva $gds \times V_D$ para NS constante das associações TST B1, B2 e B3 NMOS em inversão forte, todas com $NS = 1$.

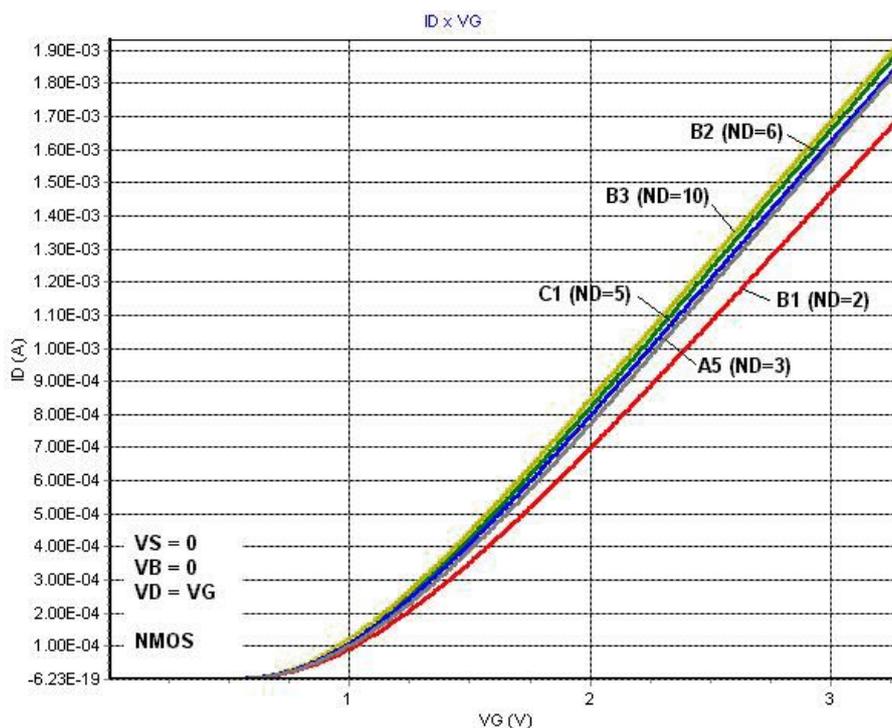


Figura A.18: Medidas elétricas da curva $I_D \times V_G$ para NS constante das associações TST A5, B1, B2, B3 e C1 NMOS em saturação, todas com $NS = 1$.

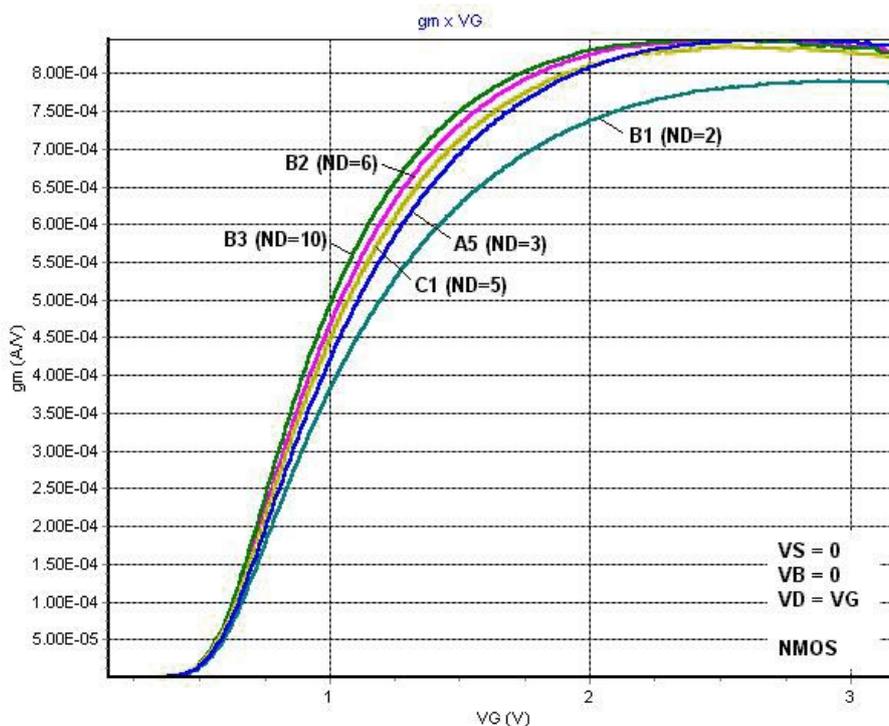


Figura A.19: Medidas elétricas da curva $gm \times V_G$ para NS constante das associações TST A5, B1, B2, B3 e C1 NMOS em saturação, todas com $NS = 1$.

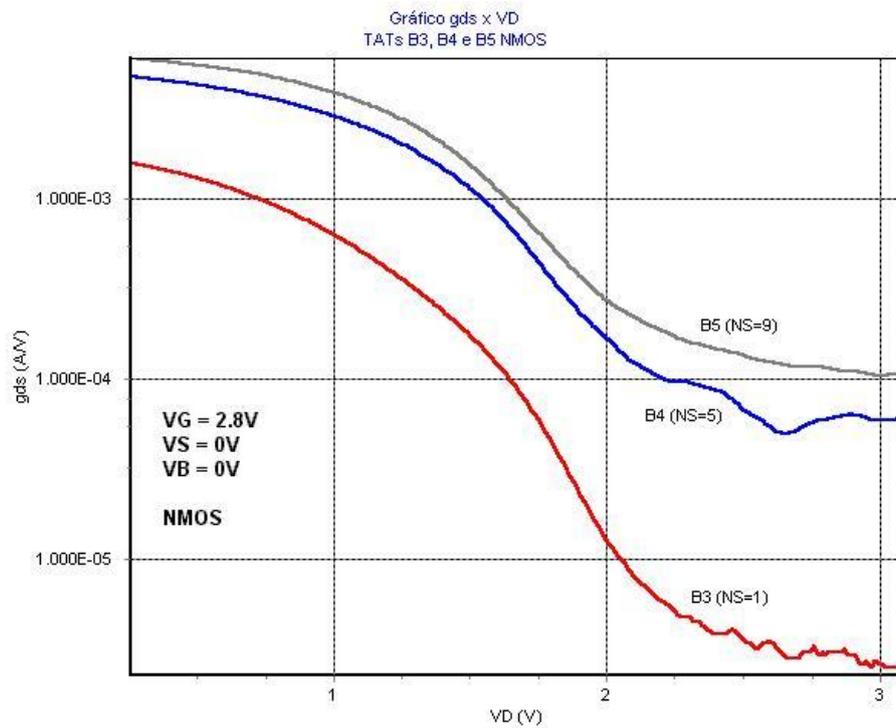


Figura A.20: Medidas elétricas da curva $g_{ds} \times V_D$ para ND constante das associações TST B3, B4 e B5 NMOS em inversão forte, todas com $ND = 10$.

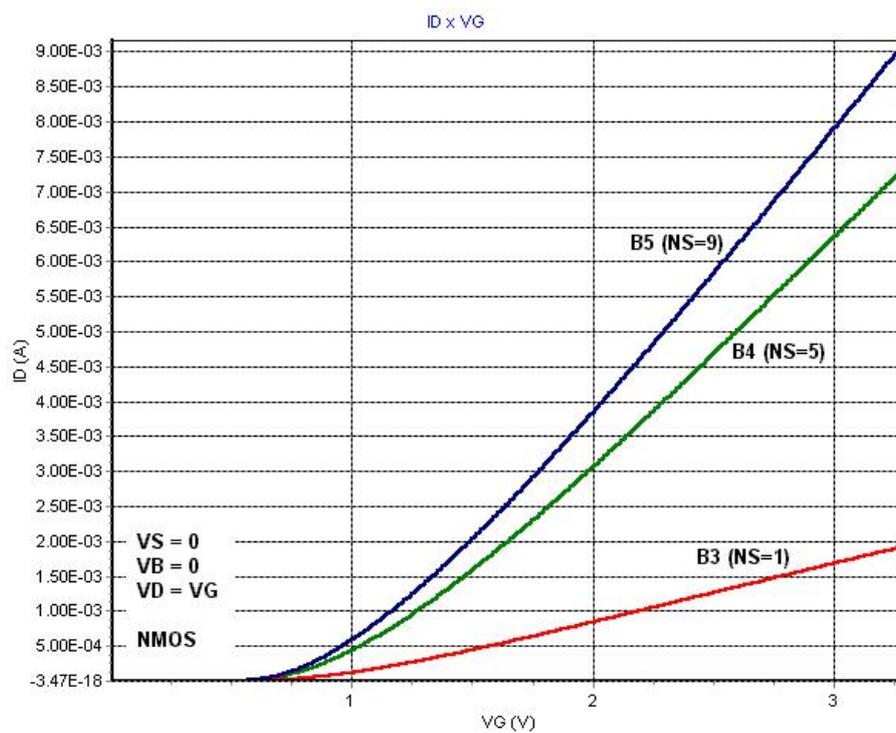


Figura A.21: Medidas elétricas da curva $I_D \times V_G$ para ND constante das associações TST B3, B4 e B5 NMOS em saturação, todas com $ND = 10$.

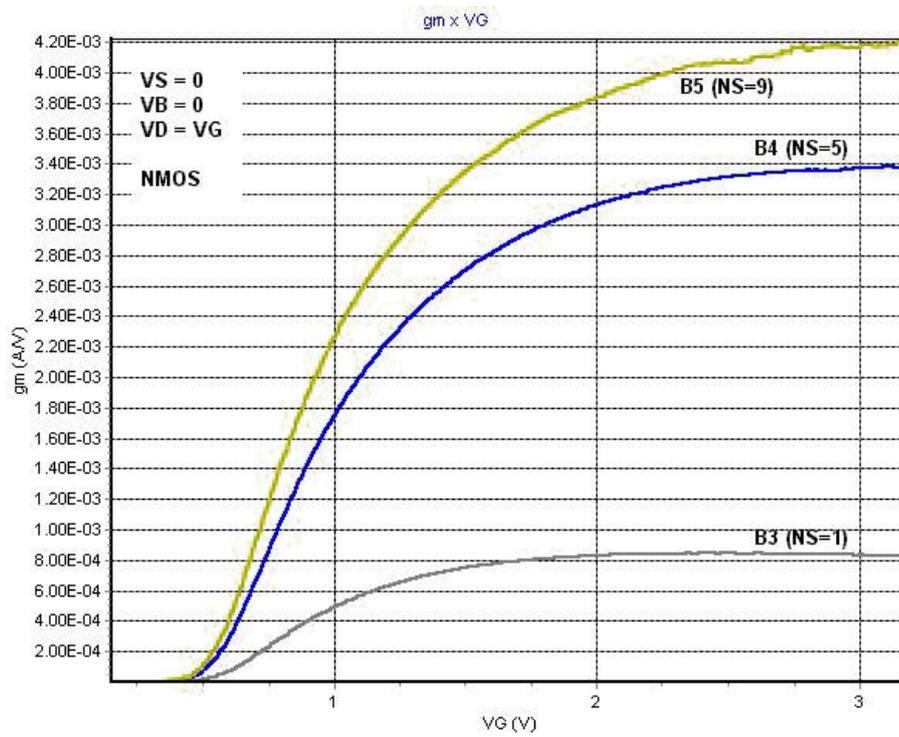


Figura A.22: Medidas elétricas da curva $g_m \times V_G$ para ND constante das associações TST B3, B4 e B5 NMOS em saturação, todas com $ND = 10$.

APÊNDICE B LIT: FERRAMENTA DE AUTOMAÇÃO DO PROJETO ANALÓGICO

A ferramenta LIT foi desenvolvida para auxiliar na concepção de circuitos analógicos utilizando associações trapezoidais de transistores. Pretende-se com ela agregar em um mesmo ambiente todas as etapas de projeto, desde a síntese do circuito a partir das especificações iniciais, passando pelas etapas do cálculo do TST equivalente, geração automática do *layout*, posicionamento e roteamento, além de outras facilidades como extração e criação de arquivos no formato CIF (*Caltech Intermediate Format*) (MEAD; CONWAY, 1980). O fluxo de projeto, mostrado na fig. B.1, começa, com uma descrição comportamental do circuito contendo as características elétricas como potência máxima, ganho, produto ganho-faixa, etc. O resultado esperado é o *layout* de um circuito equivalente formado por TSTs que mantenha as mesmas especificações originais. O fluxo de projeto não precisa ser necessariamente seguido na ordem proposta e nem passar por todas as etapas dentro da ferramenta. Cada etapa é independente da outra e pode ser realizada interna ou externamente.

A ferramenta foi dividida em módulos independentes que realizam cada uma das etapas de projeto: LIT-S (dimensionamento automático de transistores), LIT-T (conversão de transistores simples para TSTs), LIT-L (geração do *layout* de células analógicas), LIT-P (posicionamento de células analógicas) e LIT-R (roteamento entre células).

Criada em C++, a ferramenta pode ser compilada em um PC em ambiente Windows, de modo que as facilidades gráficas ficam evidentes quando o projetista trabalha visualizando diretamente o *layout*. Isso torna o processo de geração do *layout* mais confiável e intuitivo, principalmente para projetistas menos experientes (GIRARDI; BAMPI, 2004a). A fig. B.2 mostra a tela principal da ferramenta.

Um dos maiores objetivos é automatizar as etapas de projeto mais demoradas e suscetíveis a erro, como a geração do *layout* e o roteamento, além da etapa de dimensionamento dos transistores, a qual deve explorar completamente o espaço de projeto. A interação com outras ferramentas é facilitada pelo fato de que o LIT gera e importa arquivos em formato padrão spice e CIF. A princípio, o LIT foi projetado para trabalhar com qualquer tecnologia de fabricação padrão CMOS com, no mínimo, três níveis de metal. A permissão do uso de contatos empilhados não é imprescindível, porém torna o roteamento interno das células muito menos complexo, o que pode acarretar em uma diminuição na área total ocupada de silício. As regras de *layout* e os parâmetros elétricos dos dispositivos ficam armazenados em um arquivo de tecnologia, em formato texto de fácil edição. A portabilidade de um projeto de uma tecnologia de fabricação para outra fica, então, facilitada, sendo necessária somente a substituição do arquivo de tecnologia. Nas seções a seguir serão detalhados os métodos utilizados em cada etapa do fluxo de projeto.

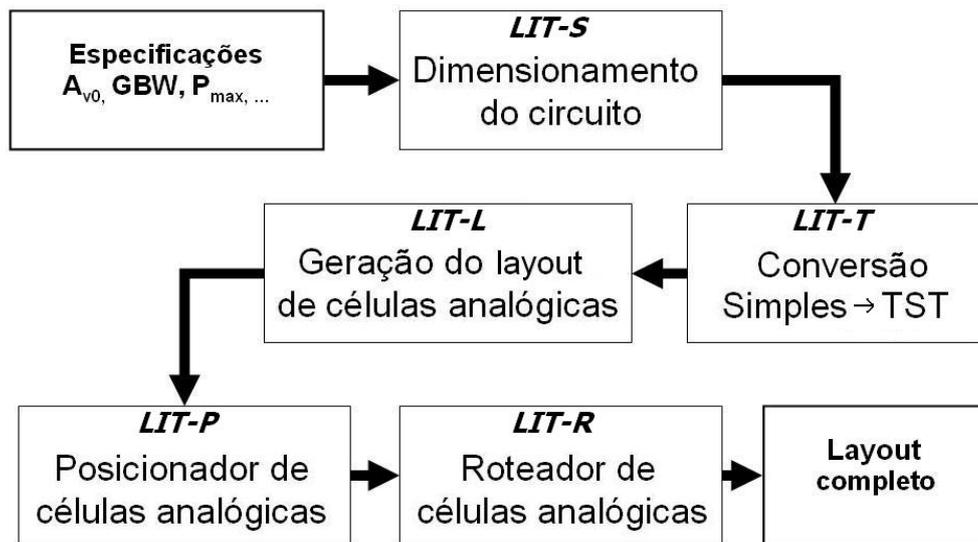


Figura B.1: Fluxo de projeto proposto para a ferramenta LIT.

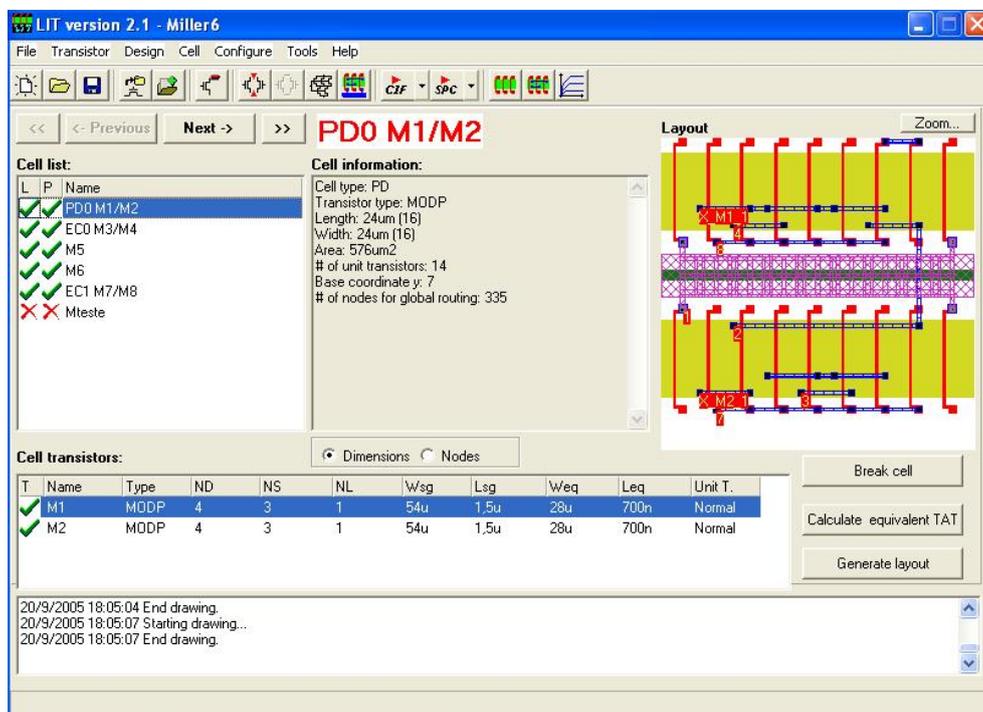


Figura B.2: Tela principal da ferramenta LIT.

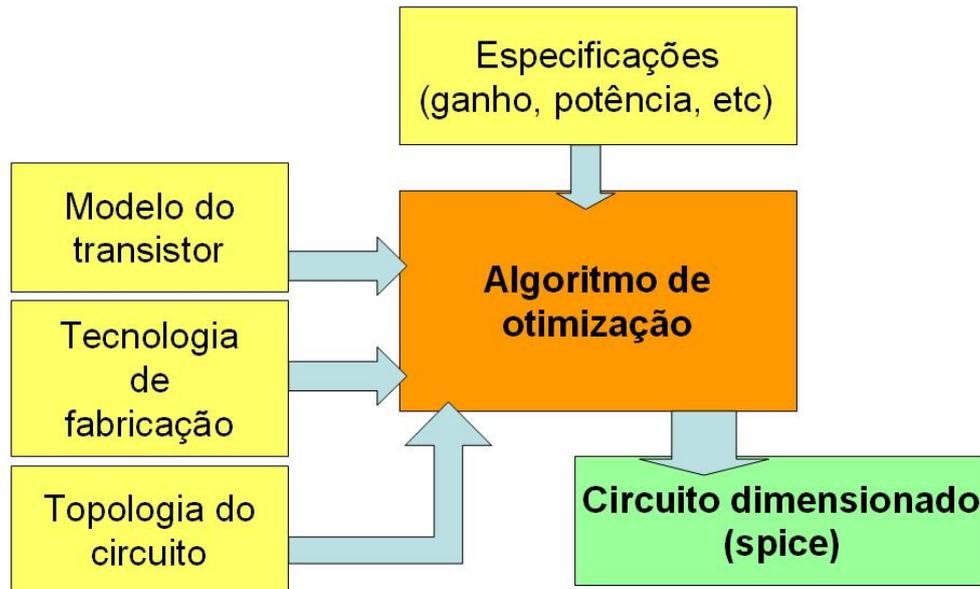


Figura B.3: Fluxo proposto para o módulo de dimensionamento automático dos transistores.

B.1 LIT-S: Dimensionamento dos transistores

O dimensionamento dos transistores é a etapa de projeto na qual o comprimento e a largura de canal de cada transistor que compõe o circuito analógico é determinado. A fig. B.3 ilustra o fluxo de dimensionamento automático do módulo LIT-S da ferramenta LIT. A automação do dimensionamento (síntese automática) é descrita com mais detalhes no cap. 5.

B.2 LIT-T: Cálculo do TST equivalente

A transformação de um transistor simples em uma associação trapezoidal equivalente não é uma tarefa direta. Para um determinado transistor simples operando em um ponto de operação arbitrário podem existir diversas associações equivalentes. A fig. B.4 mostra o fluxo de conversão de um transistor simples para associação trapezoidal de transistores.

O módulo LIT-T é capaz de calcular TSTs equivalentes para as 3 aproximações básicas descritas na seção 3.1. A fig. B.5 mostra a tela de cálculo do TST equivalente.

O usuário tem a opção de selecionar o método a ser utilizado: aproximação de primeira ordem (resistores lineares) ou aproximação pelo modelo analítico da corrente. Neste último caso, as equações completas de dois modelos estão implementadas na ferramenta: BSIM3v3 e ACM. Na aproximação de primeira ordem, os TSTs equivalentes são calculados de acordo com a eq. 2.4, a qual leva em consideração apenas o formato geométrico equivalente da associação. Na aproximação pela corrente o método utilizado para estimativa da corrente nos TSTs é o método da bissecção (seção 2.2.1.2). O cálculo é realizado para todas as combinações de associações até um determinado valor máximo de W_{MD} , L_{MD} e L_{MS} . Para o transistor simples e para cada associação são calculados, além do valor da corrente de dreno, também os valores da transcondutância de gate gm , condutância de saída g_{ds} , relação gm/I_D e capacitâncias parasitas entre os nós de dreno, gate, fonte, bulk e central (X). Um filtro pode ser aplicado para selecionar apenas as combinações que estão em uma determinada faixa de tolerância, como diferença máxima

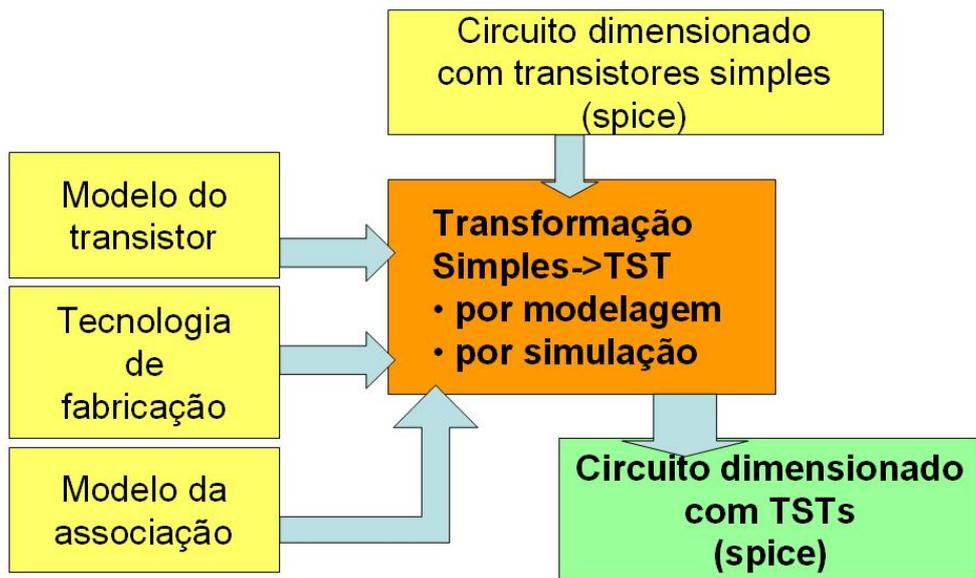


Figura B.4: Fluxo de conversão de transistores simples em associações trapezoidais.

Equivalent TAT calculation - Cell Mteste

#	ND	NS	ND+NS	ND/NS	ID TAT (A)	Error (%)	gm TAT (A/V)	Error (%)	gd TAT (A/V)	Error (%)	gm/ID TAT	Error (%)	CGB (F)	CDB (F)	CSB
1	7	5	12	1.40	2.202m	0,06	2,911m	8,08	1,871u	83,27	1,322	8,13	20,952f	20,223f	14,4
2	15	4	19	3,75	2,187m	0,64	2,769m	12,56	420,86n	96,24	1,266	12,00	33,174f	43,335f	11,5
3	16	4	20	4,00	2,197m	0,17	2,774m	12,41	359,735n	96,78	1,262	12,26	34,92f	46,224f	11,5
4	17	4	21	4,25	2,206m	0,21	2,777m	12,31	307,955n	97,25	1,259	12,49	36,666f	49,113f	11,5
5	18	4	22	4,50	2,213m	0,53	2,78m	12,23	292,833n	97,38	1,256	12,70	38,412f	52,002f	11,5

Bias: VGB 1.65 V, VDB 1.65 V, VSB 0.00 V
 Iterations: Initial ND: 2, Final ND: 18
 Calculation method: 3) Current model approximation (ACM)
 Parameter: ID, gm, gd, gm/ID
 Filter: None, Greater than single, Smaller than single, Difference smaller than 1%
 Indications: Maximum ND/NS: 5, Minimum current error: 1, Minimum number of unit tran.: 1, Maximum gm: 1, Minimum gd: 1, Minimum gm/ID error: 1
 SINGLE TRANSISTOR INFORMATION: Cell: Mteste Transistor: Mteste Type: NMOS Transistor: Mteste W: 50u

Figura B.5: Tela do ambiente de cálculo da associação equivalente da ferramenta LIT.

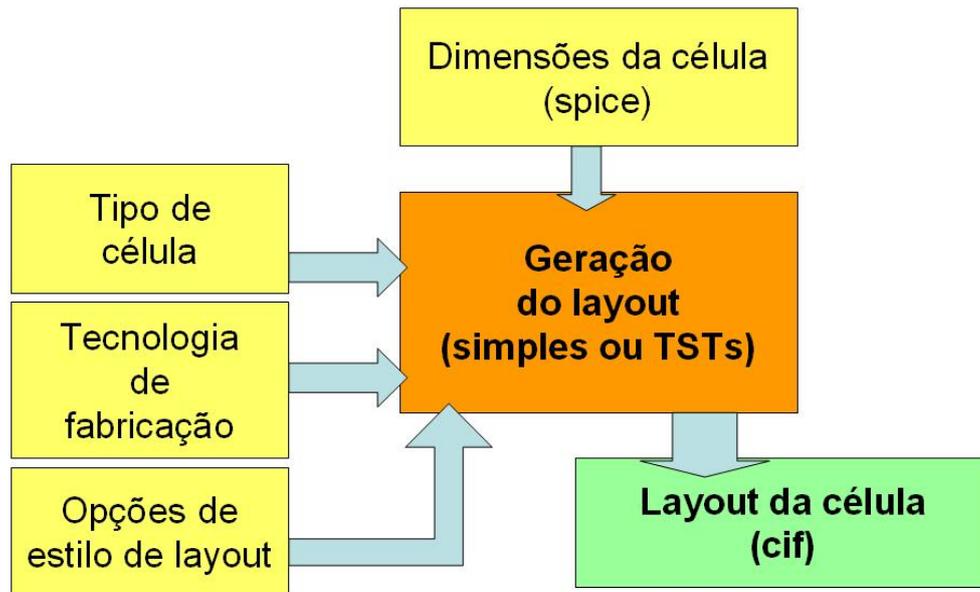


Figura B.6: Fluxo do módulo de geração automática de *layout* da ferramenta LIT

de corrente em relação ao transistor simples, transcondutância maior que a do transistor simples ou condutância de saída menor que a do transistor simples.

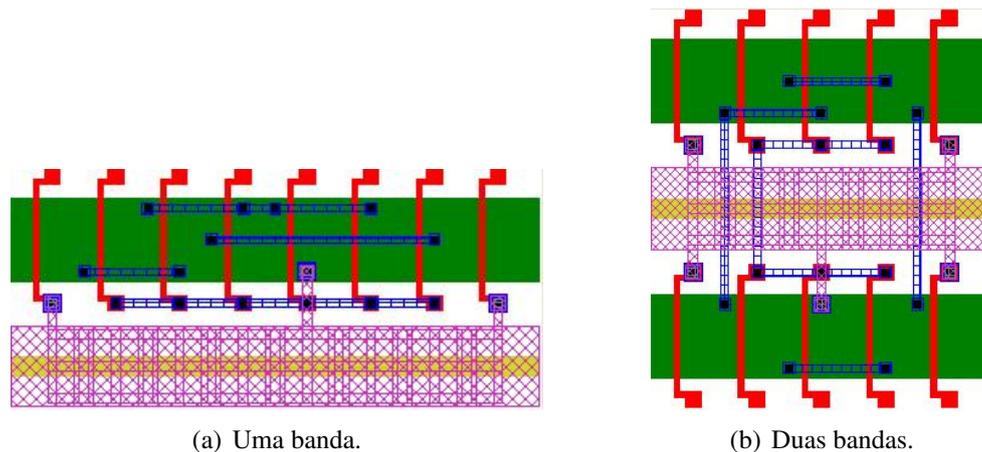
B.3 LIT-L: Geração do *layout* de blocos analógicos básicos

A geração automática do *layout* leva a uma grande economia de tempo em comparação com o desenho manual, além de proporcionar maior confiabilidade e precisão. O módulo LIT-L da ferramenta LIT é capaz de gerar o *layout* de associações trapezoidais de transistores, além de blocos analógicos básicos como par diferencial e espelho de corrente, os quais necessitam de estratégias de geração especiais devido aos requisitos de *matching*. A fig. B.6 mostra o fluxo de geração automática de *layout* integrado na ferramenta.

A regularidade proporcionada pela divisão de um transistor simples de tamanho grande em diversos transistores unitários menores faz com que a geração do *layout* seja facilitada. Definidos os tamanhos dos transistores unitários, a única opção adicional de *layout* é o número de bandas ocupadas pelo bloco. Se todo o *layout* for gerado em uma só banda, o fator de forma da célula pode não ser adequado, ou seja, para um número grande de transistores unitários esta talvez não seja a melhor solução. Por outro lado, a utilização de mais de uma banda pode ocasionar um espaço adicional ocupado pelas linhas de roteamento, as quais se tornam mais complexas, principalmente quando mais de duas bandas são utilizadas. Analisando o uso de mais de duas bandas, chegou-se à conclusão de que a perda em área e o aumento das conexões tornam esta opção inviável. Assim, a ferramenta LIT pode criar o *layout* dos TSTs em dois estilos diferentes: com transistores unitários em uma só banda ou em duas bandas (figura B.7).

Para evitar a quebra de difusão dentro da célula, o que acarretaria na inserção de transistores de isolamento, a ordem dos transistores unitários é determinada de acordo com o caminho de Euler, que é uma linha imaginária que passa através de cada transistor da associação uma única vez sem sofrer interrupção. A fig. B.8 mostra um exemplo de caminho de Euler em um TST.

A principal diferença entre os dois estilos de *layout* propostos está no comprimento



(a) Uma banda.

(b) Duas bandas.

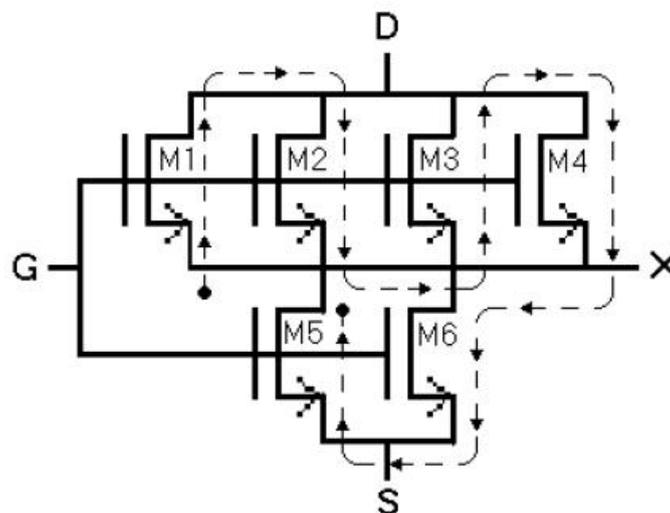
Figura B.7: Estilos de *layout* para TSTs.

Figura B.8: Exemplo do caminho de Euler para um TST com $ND=4$ e $NS=2$. A ordem dos gates dos transistores unitários é M1-M2-M3-M4-M6-M5 e a ordem dos nós de difusão é X-D-X-D-X-S-X.

total das conexões. A melhor opção dependerá do número total e do tamanho dos transistores unitários. Além disso, ocorrerá uma pequena diferença na área e no perímetro de difusão dos transistores unitários localizados nas laterais da célula. No estilo de *layout* em duas bandas vão existir 4 transistores unitários nas laterais, enquanto que em uma só banda existirão apenas dois. Isto ocasiona um pequeno acréscimo da capacitância parasita dos nós localizados nas laterais no caso de geração em duas bandas.

A ferramenta LIT também possui um módulo funcional usado para gerar pares diferenciais e espelhos de corrente casados. No caso do espelho de corrente, o projetista especifica o fator de multiplicação da corrente desejado e as associações casadas são geradas. Os transistores dos espelhos de corrente possuem gates e fonte em comum, assim as mesmos princípios de *matching* do par diferencial se aplicam a este gerador.

Existem várias técnicas de geração do *layout* de um par diferencial que podem ser adotadas. O LIT é capaz de gerar o *layout* de qualquer configuração, partindo-se do princípio de que o fator mais importante é a posição relativa dos transistores unitários. A ordem pela qual os transistores unitários são dispostos é que define o estilo de *layout*. A partir

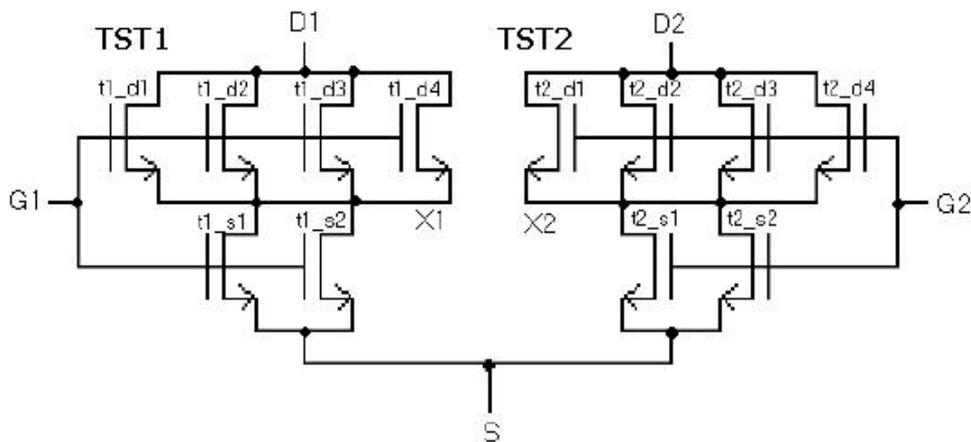


Figura B.9: Esquemático de um par diferencial mostrando os nomes e os nós dos transistores unitários.

de informações sobre este ordenamento, um algoritmo baseado em trilhas horizontais e verticais é utilizado para a geração do roteamento interno da célula. O ordenamento dos transistores unitários é realizado automaticamente a partir da escolha do projetista sobre qual estratégia de pareamento a ser utilizada. Os algoritmos para a automação do ordenamento são específicos para cada estratégia, e levam em consideração o tipo e o número de transistores unitários. Estes algoritmos retornam a ordem dos transistores unitários e a ordem dos nós de difusão. O LIT possui, então, um “banco de ordenadores”, ou seja, um conjunto de algoritmos de ordenamento de transistores unitários, os quais podem ser editados e incrementados. Os principais ordenadores disponíveis atualmente são para as estratégias de par cruzado e interdigitação. Porém, para que o projetista tenha a liberdade de modificar a ordem dos transistores unitários proposta pelos algoritmos, o LIT disponibiliza um ambiente gráfico no qual é possível realizar esta operação visualmente, bastando “clique e arrastar”. Com isto é possível criar estratégias mistas ou variações de estratégias de pareamento. Como exemplo, deseja-se realizar o ordenamento dos transistores unitários de dois TSTs (T1 e T2) com $ND=4$ e $NS=2$ segundo a estratégia de par cruzado. Considerando-se o nome dos transistores unitários e os nós de T1 e T2 conforme a figura B.9, o retorno do algoritmo deve ser o seguinte:

Ordem dos transistores unitários:

banda superior: t1_d1 - t1_d2 - t1_s1 - t2_s1 - t2_d2 - t2_d1

banda inferior: t2_d4 - t2_d3 - t2_s2 - t1_s2 - t1_d3 - t1_d4

Ordem dos nós de difusão:

banda superior: X1 - D1 - X1 - S - X2 - D2 - X2

banda inferior: X2 - D2 - X2 - S - X1 - D1 - X1

A figura B.10 mostra graficamente o resultado do ordenamento dos transistores unitários. O nó de fonte comum aos dois TSTs permite a existência de um caminho de Euler em cada banda. Porém esta nem sempre é uma regra. Pode haver casos em que

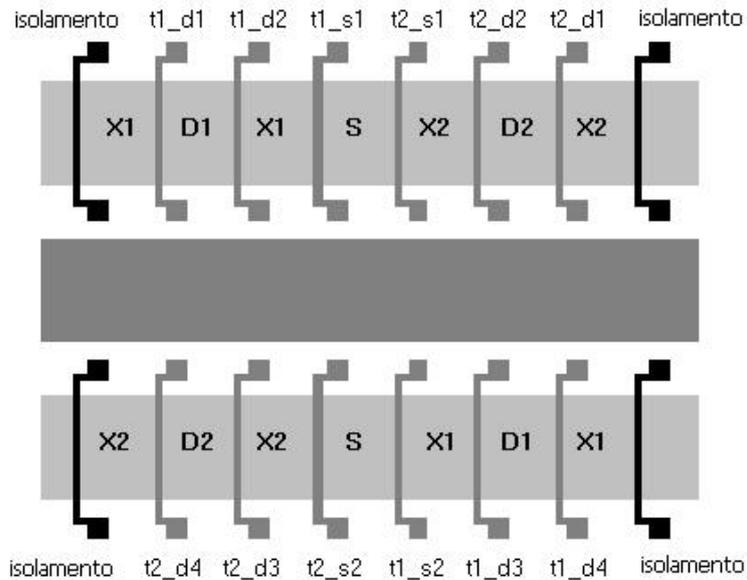


Figura B.10: *Layout* simbólico mostrando o resultado do ordenamento par cruzado de um par diferencial onde cada associação é composta por transistores unitários de tamanhos iguais (ND=4 e NS=2).

seja necessária a introdução de transistores de isolamento no interior da célula. A figura B.11 mostra o *layout* completo do par diferencial. É preciso lembrar que a estratégia par cruzado requer sempre o uso de duas bandas.

Após o ordenamento dos transistores unitários, são marcados os nós para roteamento e aplicado o algoritmo Maze Router (HART; NILSSON; RAPHAEL, 1968) para a ligação destes nós. Este algoritmo produz ligações entre os nós com a menor distância possível, porém é dependente da ordem das ligações, ou seja, o sucesso do roteamento (100% de conexões realizadas) está intimamente relacionado com a ordem com que as redes são conectadas. Para evitar insucesso no roteamento interno das células, o LIT permite a configuração da ordem das redes em três opções: redes com maior número de nós primeiro, redes com menor número de nós primeiro ou aleatória.

A fig. B.12 mostra a tela do módulo de geração automática de *layout* de células analógicas implementado na ferramenta LIT.

B.4 LIT-P: Posicionamento das células

Seguindo o fluxo de projeto proposto para o projeto de circuitos analógicos com TSTs, depois que o *layout* de cada bloco básico é gerado, é feito então o posicionamento dos blocos. Dentro da filosofia de integrar todo o ciclo de projeto em uma mesma ferramenta, o LIT dispõe de um ambiente gráfico para posicionamento de células chamado LIT-P. Este ambiente permite ao projetista o posicionamento manual de cada TST ou bloco básico simplesmente clicando e arrastando as células com o mouse. Para evitar a violação de regras de *layout* durante este processo manual, as células são movidas somente em múltiplos da grade. No ambiente de posicionamento estão incluídas algumas ferramentas, como espelhamento e rotação das células, régua para medição de distâncias e opção para salvar a figura do *layout* em formato *bitmap* ou em formato CIF. Como trabalho futuro, pretende-se aplicar algoritmos de posicionamento para circuitos analógicos de modo

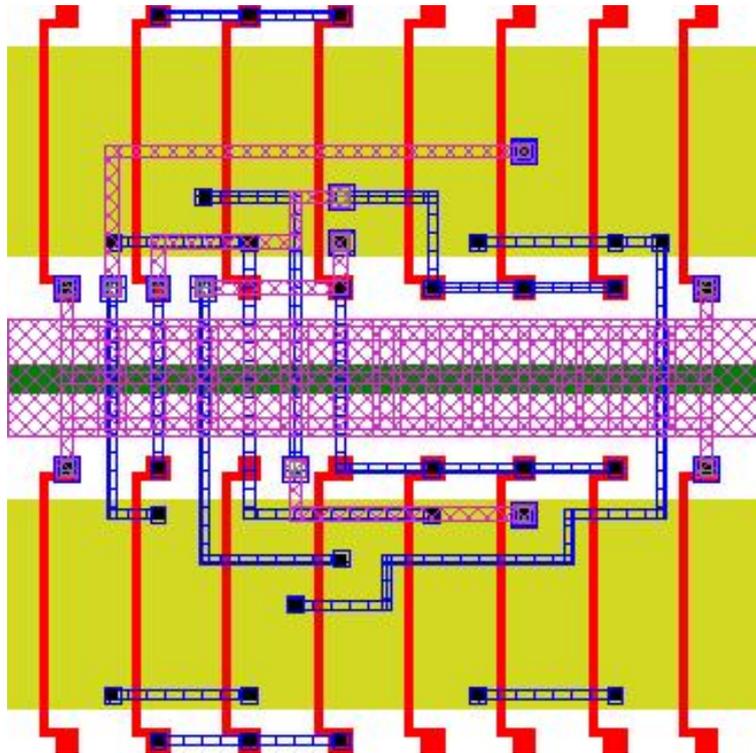


Figura B.11: *Layout* completo do par diferencial na configuração par cruzado, sendo $ND=4$ e $NS=2$ para ambos os TSTs.

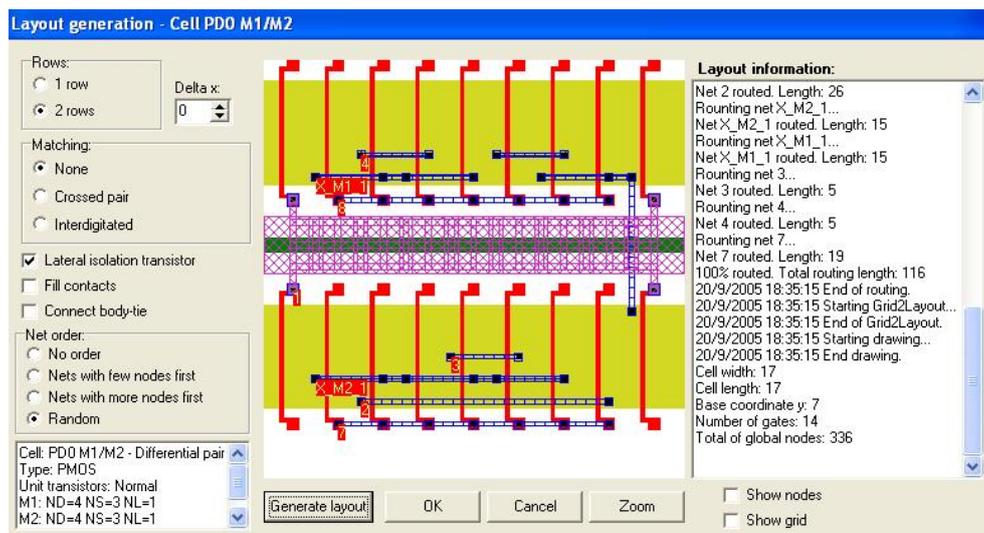


Figura B.12: Tela do módulo de geração de *layout* da ferramenta LIT.

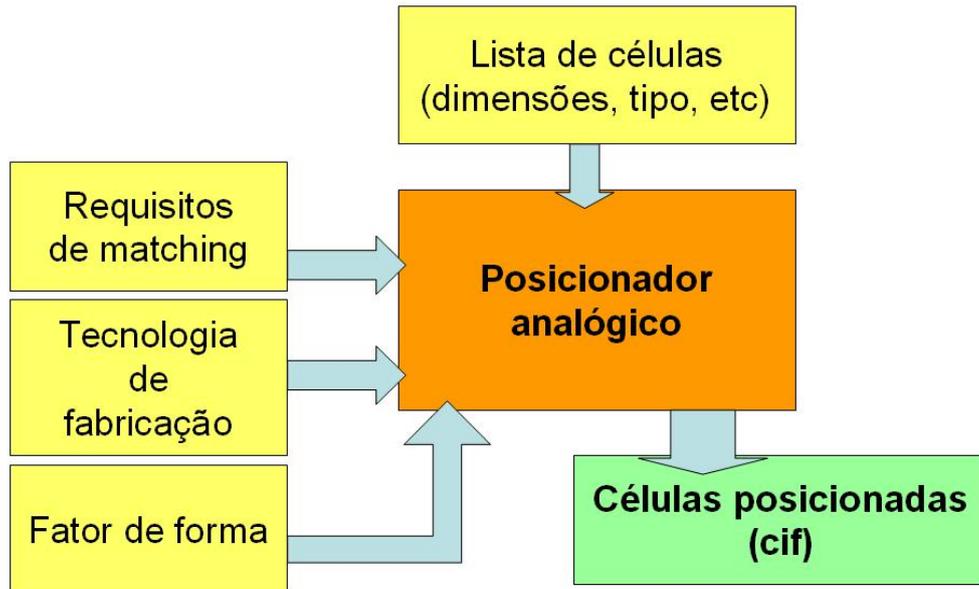


Figura B.13: Fluxo proposto para o módulo de posicionamento de células analógicas.

a automatizar este processo. O fluxo de posicionamento de células analógicas está mostrado na fig. B.13. A fig. B.14 mostra a tela do ambiente gráfico para posicionamento de células analógicas da ferramenta LIT.

B.5 LIT-R: Roteamento entre células

O roteamento entre as células é feito a partir do terceiro nível de metal. As células analógicas geradas são transparentes ao metal 3, sendo que todas as conexões internas das células são feitas em metal 1 e metal 2. Isto facilita o roteamento global, evitando-se conexões mais longas. Para evitar a mudança de ambiente nesta etapa, um módulo de roteamento automático, baseado no algoritmo Maze Router, foi integrado ao LIT. Apesar de originalmente este algoritmo ser dedicado ao roteamento de circuitos digitais, seu uso para circuitos analógicos pode ser visto como um roteamento inicial que depois será otimizado. Em muitos casos, entretanto, uma otimização não é necessária. A camada de roteamento é vista no LIT como uma célula que é instanciada sobre a matriz. Pretende-se, como trabalho futuro, agregar algoritmos de roteamento específicos para circuitos analógicos, os quais devem levar em considerações restrições quanto a atraso, pareamento, casamento de impedância, etc. O fluxo de roteamento de células da ferramenta está mostrado na fig. B.15

B.6 Outras funções

Além das funções descritas acima, a ferramenta LIT proporciona ao projetista a possibilidade de extração do *layout* em uma descrição no formato spice e geração de arquivos de troca em formato CIF. A extração do *layout* implementada é uma extração de primeira ordem, ou seja, não leva em consideração as resistências e capacitâncias parasitas decorrentes das conexões em metal. São extraídos os transistores unitários e suas dimensões (W_{un} e L_{un}), e as áreas e os perímetros das regiões de difusão. Com estas informações, entretanto, o projetista já pode realizar simulações elétricas durante a fase de projeto sem



Figura B.14: Tela ambiente de posicionamento de células da ferramenta LIT.

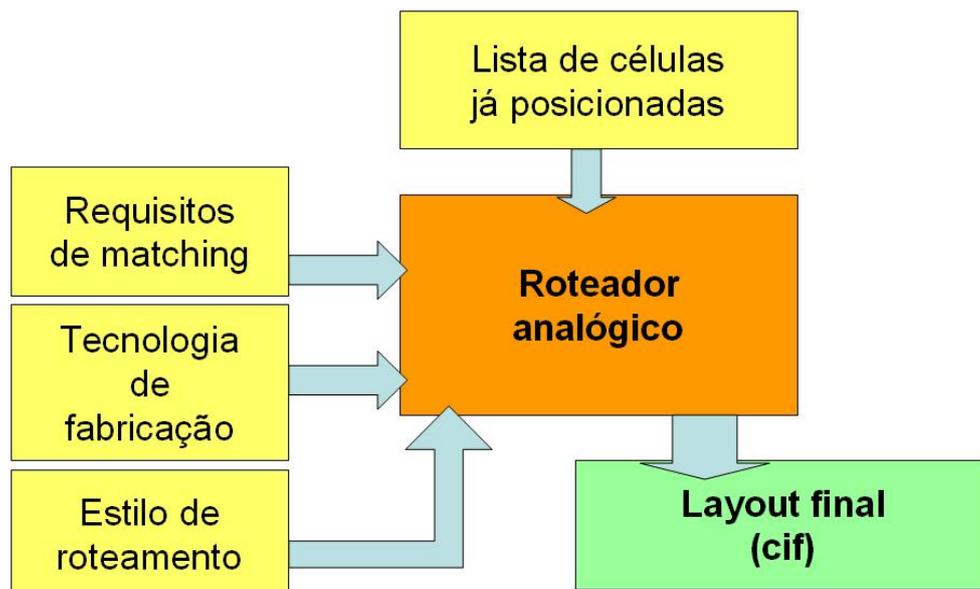


Figura B.15: Fluxo de roteamento entre células da ferramenta LIT.

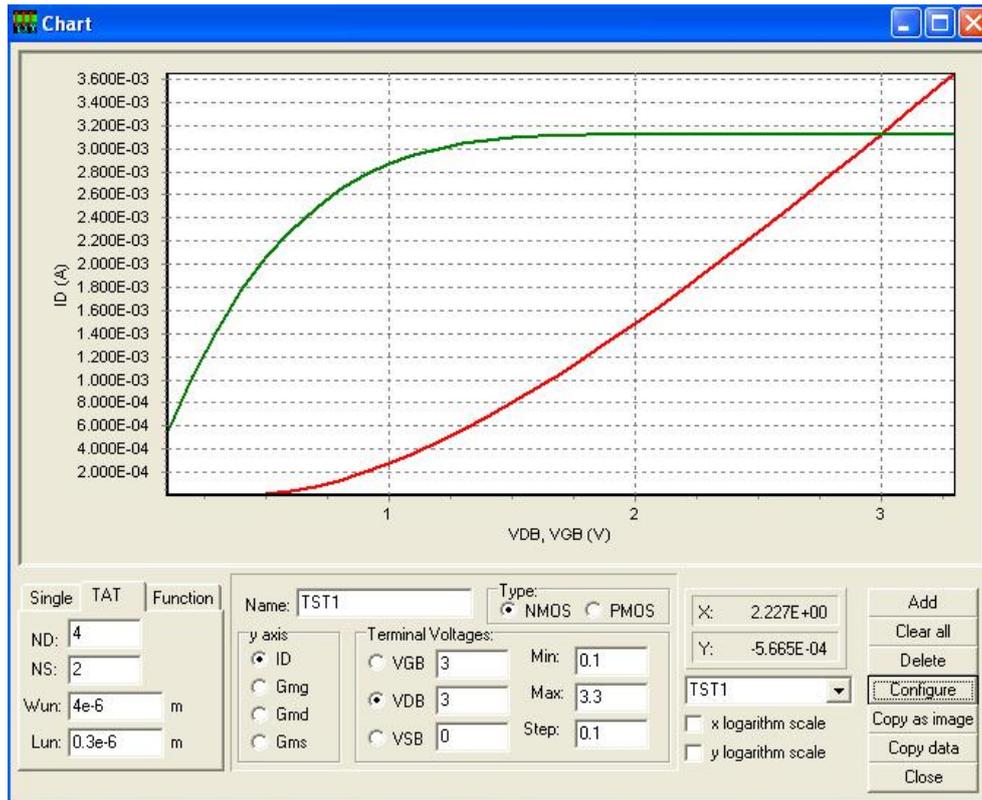


Figura B.16: Ambiente gráfico de simulação elétrica de transistores simples e TSTs.

perda significativa de confiabilidade. Outra funcionalidade é a possibilidade de se realizar simulações elétricas de um transistor ou de uma associação de transistores dentro do LIT. Como as equações analíticas do modelo ACM estão integradas na ferramenta, foi possível criar um ambiente gráfico de simulação onde o usuário pode visualizar as curvas simuladas da corrente de dreno e transcondutâncias, como mostrado na fig. B.16. Isto possibilita a verificação rápida das características elétricas das associações e auxilia na escolha adequada da associação equivalente.

APÊNDICE C LIT-S: CÓDIGO MATLAB

Abaixo está a descrição do código implementado em Matlab da função de determinação do valor do custo para o amplificador tipo Miller. Esta função é chamada pela rotina de otimização a cada interação. O vetor x de entrada contém as variáveis de projeto (gm/I_D e L dos transistores). A função retorna um valor numérico correspondente ao custo em relação às especificações iniciais.

```
function [cost_value, cost_flag] = Miller_cost (x, handles, ...
mn, mp,parametrosn, parametrop,...
espec, modelo_n, modelo_p,otim_rest, peso, final);

% % Variaveis globais
global x_graf; global nro_iter; global nro_iter_valid;

if (not(final))
    nro_iter = nro_iter+1;
    set(handles.edit80, 'String', num2str(nro_iter));
end

VG_n = mn(:,1);
Im_n = mn(:,2);           % Corrente normalizada (ID/(W/L))
GmsobreId_n = mn(:,3);   % gm/ID
VG_p = mp(:,1);
Im_p = mp(:,2);           % Corrente normalizada (ID/(W/L))
GmsobreId_p = mp(:,3);   % gm/ID

% oo Especificações do projeto oo

VDD = espec(1);
VSS = espec(2);
Cout = espec(3);         % Em F
fT = espec(4);           % Em Hz  GBW mínimo
wT = 2*pi*fT;
SR = espec(5);           % Slew-rate mínimo em (V/s)
TS = espec(6);           % Settling time máximo em s

% Restrições do projeto
Iddbase = espec(7);      % em A,  Corrente máxima
Areabase = espec(8);     % um2  Área máxima
Ganhobase = espec(9);    % dB  Ganho mínimo
ICMR_Positivo_base = espec(10);
ICMR_Negativo_base = espec(11);
Vout_Positivo_base = espec(12);
Vout_Negativo_base = espec(13);
```

```

% oo Parâmetros da tecnologia oo

% Constantes físicas
UT0 = .0259;          % Tensão térmica a 300K, em V
epsOx = .345e-10;    % Permissividade do SiO2 em F/m

% Parametros comuns PMOS e NMOS
Cgbo = parametrosn(18)*1e-6; Tox = parametrosn(3);

T = parametrosn(1);
larg_dif = parametrosn(21);
Wminimo = parametrosn(23); % em um
Wmaximo = 100000; % em um
Cox = epsOx/Tox; % F/m^2

% Parametros NMOS
Cjn = parametrosn(19)*1e-12; % F/um^2
Cjwn = parametrosn(20)*1e-6; % F/um
Vtn = parametrosn(4);
U0n = parametrosn(2)*1e-4; % m^2/Vs
Klinhan = U0n*Cox;
Thetan = parametrosn(13);

% Parametros PMOS
Cjp = parametrop(19)*1e-12; % F/um^2
Cjwp = parametrop(20)*1e-6; % F/um
Vtp = parametrop(4);
U0p = parametrop(2)*1e-4; % m^2/Vs
Klinhap = U0p*Cox;
Thetap = parametrop(13);

% Comprimentos de canal
L1 = x(1)/10; L3 = x(2)/10; L5 = x(3)/10; L6 = x(4)/10; L7 =
x(5)/10;

% gm/ID
gmsobreID1 = x(6)/10; gmsobreID3 = x(7)/10; gmsobreID5 = x(8)/10;
gmsobreID6 = x(9)/10; gmsobreID7 = gmsobreID6;

% Correntes normalizadas
I3 = 10^(spline(GmsobreId_n, log10(Im_n), gmsobreID3));
I1 = 10^(spline(GmsobreId_p, log10(Im_p), gmsobreID1));
I5 = 10^(spline(GmsobreId_n, log10(Im_n), gmsobreID5));
I6 = 10^(spline(GmsobreId_p, log10(Im_p), gmsobreID6));
I7 = 10^(spline(GmsobreId_p, log10(Im_p), gmsobreID7));

% ooo Laco de sintese para fT constante oo
Custo = 1e17;

Cf = 2.1e-12; Cguess = 0; iter=0;
while ((abs((Cguess-Cf)/Cf) > .001) & (iter<100));
    iter = iter+1;
    Cguess = Cf;

    % primeira etapa
    gml = wT*Cf;
    % Cálculo de ID1

```

```

% -- GBW
ID1_a = gm1/gmsobreID1;
% -- SR
ID1_b = (SR*Cf)/2;
ID1 = max([ID1_a ID1_b]);
%ID1 = ID1_a;
% Recálculo de gm1
gm1 = ID1 * gmsobreID1;
WsobreL1 = ID1/(I1); W1 = WsobreL1*L1;
vgs_1 = 10^(spline(GmsobreId_p,log10(VG_p),gmsobreID1));
vgs_1 = abs(vgs_1);

% segunda etapa - Vout-
gm5 = 9*gm1;
ID2 = gm5/gmsobreID5;
WsobreL5 = ID2/(I5); W5 = WsobreL5*L5;

% Espelho de corrente (T3) - dado por ICMR-
WsobreL3 = ID1/(I3); W3 = WsobreL3*L3;

% T6 (bias 2da etapa) - Vout+
WsobreL6 = ID2/(I6);
W6 = WsobreL6*L6;

% Recálculo de Cf, C1, C2
CDB3 = (Cjn*W3*larg_dif) + Cjwn*(W3+2*larg_dif);
CDB1 = (Cjp*W1*larg_dif) + Cjwp*(W1+2*larg_dif);
CGB5 = (2/3)*Cox*W5*L5/le12;
C1 = CDB3 + CDB1 + CGB5;

% C2: capacitância no nó se saída (incluindo Cout)
CDB5 = Cjn*W5*larg_dif + Cjwn*(W5+2*larg_dif);
CDB6 = Cjp*W6*larg_dif + Cjwp*(W6+2*larg_dif);
C2 = Cout + CDB5 + CDB6;

Cf = .11*(C1+C2+sqrt((C1+C2)^2+4*C1*C2/.22));

end

fora_dos_limites = 0;

% T7 (bias 1ra etapa - gm/ID igual a T6 - dado por ICMR+
WsobreL7 = 2*ID1/(I7);

W7 = WsobreL7*L7;

Vgs_1 = (ID1*2*L1/(Klinhap*W1))^(1/2) + abs(Vtp);
Vdsat_7 = VDD - ICMR_Positivo_base - abs(Vgs_1); % Vds7 maximo
sobreL7 = 2*ID1*2/(Klinhap*Vdsat_7^2);
W7 = WsobreL7*L7

W = [W1 W3 W5 W6 W7]; L = [L1 L3 L5 L6 L7]; Ibias = 2*ID1;

% --- Testa limites dos W
for (h=1:1:5)
    if ((W(h) < Wminimo) | (W(h) > Wmaximo))
        fora_dos_limites = 1;
        disp('W fora dos limites...');
    end
end

```

```

        cost_flag = not(for_a_dos_limites);
        return;
    end
end

% --- Testa a localizaçã_o dos pólos não dominantes
NDP = gm5/gm1 * Cf^2/(C1*C2+Cf*(C1+C2)); % Pólo não-dominante
Z = gm5/gm1; % Zero
if (NDP<1 | Z<1)
    fora_dos_limites = 1;
    disp('NDP ou Z fora dos limites...');
end

if (for_a_dos_limites == 0)
    %% -- Ganho Av --
    [id, Isq, ifwd, irev, uef, Vp, VDSat3, gm, gmd, gms, match] = ...
    ID_ACM(W3*1e-6, ...
    L3*1e-6, VGS_3, VDS_3, 0, 0, 'nmos', acm_parameters_tsmc08('nmos'));
    id = valores(2,1); % Id e gmd de M3
    gmd = valores(2,7);
    V1n = abs(id/gmd);

    [id, Isq, ifwd, irev, uef, Vp, VDSat1, gm, gmd, gms, match] = ...
    ID_ACM(W1*1e-6, ...
    L1*1e-6, VGS_1, VDS_1, 0, 0, 'pmos', acm_parameters_tsmc08('pmos'));
    id = valores(1,1); % Id e gmd de M1
    gmd = valores(1,7);
    V1p = (-id/gmd);
    VA1 = (V1n*V1p)/(V1n+V1p);

    [id, Isq, ifwd, irev, uef, Vp, VDSat5, gm, gmd, gms, match] = ...
    ID_ACM(W5*1e-6, ...
    L5*1e-6, VGS_5, VDS_5, 0, 0, 'nmos', acm_parameters_tsmc08('nmos'));
    id = valores(3,1); % Id e gmd de M5
    gmd = valores(3,7);
    V2n = id/(gmd);

    [id, Isq, ifwd, irev, uef, Vp, VDSat6, gm, gmd, gms, match] = ...
    ID_ACM(W6*1e-6, ...
    L6*1e-6, VGS_6, VDS_6, 0, 0, 'pmos', acm_parameters_tsmc08('pmos'));
    id = valores(4,1); % Id e gmd de M6
    gmd = valores(4,7);
    V2p = (-id/(gmd));
    VA2 = (V2n*V2p)/(V2n+V2p);

    %% --- Testa se o ganho eh positivo
    Av1 = 20*log10(gmsobreID1*VA1);
    Av2 = 20*log10(gmsobreID5*VA2);
    Av = Av1 + Av2; % Ganho
    if (Av<=0)
        fora_dos_limites = 1;
        disp('Av menor que 1...');
        cost_flag = not(for_a_dos_limites);
        return;
    end

    % -- Estimativa do desempenho --

```

```

disp('Dentro dos limites...');

% -- Cálculo dos parâmetros do amplificador
fT_final = (gm1/Cf)/(2*pi); % GBW
g1 = ID1/VA1; g5 = ID2/VA2;
phase = pi/2 - atan(1/NDP) - atan(1/Z); % Margem de fase em radianos
phase = phase * 180/pi; % Transformação para graus
Idd = 2*ID1+ID2; % corrente total (A)
Ibias = 2*ID1; % Fonte de corrente de polarização
Area_calc = 2*W1*L1 + 2*W3*L3 + W5*L5 + W6*L6 + 2*W7*L7;
SR_a = (2*ID1/Cf)*1e-6; % Slew-rate
Vdsat7 = valores(5, 2);
VGS_1 = valores(1, 5);
ICMR_Positivo = VDD - abs(Vdsat7) - abs(VGS_1); %
VGS_3 = valores(2, 5);
Vdsat1 = valores(1, 2);
ICMR_Negativo = VSS + abs(VGS_3) + abs(Vdsat1) - abs(VGS_1); %

Vdsat6 = valores(4, 2);
Vout_Positivo = VDD - abs(Vdsat6); %
Vdsat5 = valores(3, 2);
Vout_Negativo = VSS + abs(Vdsat5);

r = 0;
c = 0;
c1=0; c2=0; c3=0; c4=0; c5=0; c6=0; c7=0; c8=0;
r1=0; r2=0; r3=0; r4=0; r5=0; r6=0; r7=0; r8=0;

% Funcao custo e restricao
r0 = opt_penalty(Ganhobase, Av, 1, 0, 'lin_norm'); % Ganho Av
r = r + r0;
c0 = opt_cost(fT, fT_final, 1, 0, 'lin_norm'); % Ganho Av
c = c + c0;
if (otim_rest(5)) % slew rate
    c1 = opt_cost(SR, SR_a*1e6, peso(5), 0, 'lin_norm');
    c = c + c1;
else
    r1 = opt_penalty(SR, SR_a*1e6, peso(5), 0, 'lin_norm');
    r = r + r1;
end
if (otim_rest(7)) % corrente
    c3 = opt_cost(Iddbbase, Idd, peso(7), 1, 'lin_norm');
    c = c+c3;
else
    r3 = opt_penalty(Iddbbase, Idd, peso(7), 1, 'lin_norm');
    r = r + r3;
end

if (otim_rest(8)) % area
    c4 = opt_cost(Areabase, Area_calc, peso(8), 1, 'lin_norm');
    c = c+c4;
else
    r4 = opt_penalty(Areabase, Area_calc, peso(8), 1, 'lin_norm');
    r = r+r4;
end

if (otim_rest(10)) % ICMR+

```

```

        c5 = opt_cost(ICMR_Positivo_base, ICMR_Positivo, peso(10), 0, ...
        'lin_norm');
        c = c+c5;
    else
        r5 = opt_penalty(ICMR_Positivo_base, ICMR_Positivo, peso(10), 0, ...
        'lin_norm');
        r = r+r5;
    end

    if (otim_rest(11)) % ICMR-
        c6 = opt_cost(ICMR_Negativo_base, ICMR_Negativo, peso(11), 1, ...
        'lin_norm');
        c = c+c6;
    else
        r6 = opt_penalty(ICMR_Negativo_base, ICMR_Negativo, peso(11), 1, ...
        'lin_norm');
        r = r+r6;
    end

    if (otim_rest(12)) % Vout+
        c7 = opt_cost(Vout_Positivo_base, Vout_Positivo, peso(12), 0, ...
        'lin_norm');
        c = c +c7;
    else
        r7 = opt_penalty(Vout_Positivo_base, Vout_Positivo, peso(12), 0, ...
        'lin_norm');
        r = r+r7;
    end

    if (otim_rest(13)) % Vout-
        c8 = opt_cost(Vout_Negativo_base, Vout_Negativo, peso(13), 1, ...
        'lin_norm');
        c = c+c8;
    else
        r8 = opt_penalty(Vout_Negativo_base, Vout_Negativo, peso(13), 1, ...
        'lin_norm');
        r = r+r8;
    end

    Custo = c + r;

end

if (Custo>1e17)
    Custo = 1e17;
    fora_dos_limites = 1;
end cost_value = Custo;
cost_flag = not(for_a_dos_limites); % 1 - validos; 0 - nao-validos
end

end

```