

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL
INSTITUTO DE INFORMÁTICA
PROGRAMA DE PÓS-GRADUAÇÃO EM COMPUTAÇÃO

CRISTINA MEINHARDT

Variabilidade em FinFETs

Tese apresentada como requisito parcial para a
obtenção do grau de Doutor em Ciência da
Computação.

Orientador: Prof. Dr. Ricardo Reis

Porto Alegre
2014

CIP – CATALOGAÇÃO NA PUBLICAÇÃO

Meinhardt, Cristina

Variabilidade em FinFETs / Cristina Meinhardt. – 2014.

142 f.:il.

Orientador: Ricardo Reis

Tese (doutorado) – Universidade Federal do Rio Grande do Sul.
Programa de Pós-Graduação em Computação. Porto Alegre, BR – RS,
2014.

1. Microeletrônica 2. Nanotecnologia 3. Variabilidade 4. FinFET 5
Flutuação da função trabalho

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL

Reitor: Prof. Carlos Alexandre Netto

Vice-Reitor: Prof. Rui Vicente Oppermann

Pró-Reitor de Pós-Graduação: Prof. Vladimir Pinheiro do Nascimento

Diretor do Instituto de Informática: Prof. Luís da Cunha Lamb

Coordenador do PPGC: Prof. Luigi Carro

Bibliotecária-Chefe do Instituto de Informática: Beatriz Regina Bastos Haro

*"No meio de qualquer dificuldade
encontra-se a oportunidade."*

Albert Einstein

AGRADECIMENTOS

Primeiramente, agradeço ao meu orientador, Professor Ricardo Reis, por todo o incentivo e apoio ao longo destes anos, por ter acreditado no meu potencial e não ter me permitido desistir, mas incentivado a continuar sempre na medida do que me fosse possível.

Agradeço a todos os meus amigos que compreenderam e tiveram a paciência de aceitar tantas ausências e pela compreensão nos momentos difíceis e nos meus silêncios.

Aos amigos do Centro de Ciências Computacionais – C3 – FURG agradeço aos meus colegas professores e também aos colegas técnicos pelo suporte na realização das tarefas em paralelo ao desenvolvimento desta tese. Especialmente agradeço aos professores Celso Luiz Lopes Rodrigues Sílvia da Silva Botelho por todas as experiências pessoais e profissionais transmitidas, e aos professores Paulo e Vagner, por aceitarem abraçar o ideal de formar um grupo de microeletrônica na FURG. Ao professor Tabajara Lucas de Almeida por despertar o gosto da pesquisa científica. Agradeço também aos meus alunos de todas as disciplinas, por me confirmarem a cada aula que este é o meu caminho e a todos os meus orientandos, por me ensinarem tanto em cada conversa e serem um dos meus principais motivos para não ter desistido desta jornada.

Aos meus colegas de trabalhos, de pesquisas e de laboratório na UFRGS muito obrigada por todas as conversas, discussões e, principalmente, por toda a ajuda que me deram, indispensável para a conclusão deste trabalho. Especialmente, agradeço ao Glauco, Guilherme, Gracieli, Anelise, Adriel, Angelina, Jerson, Carolina, Tiago, Tânia, Walter, Calebe, Jorge, Marco, Jucemar e Alexandra por termos desenvolvido grandes amizades ao longo deste tempo em que dividimos problemas e conquistas.

Principalmente, agradeço aos meus pais pelo amor incondicional e por terem despertado desde criança o gosto pela leitura e a dedicação ao estudo. Agradeço as minhas irmãs por todo o carinho dedicado e ao meu marido por estar sempre ao meu lado.

RESUMO

Circuitos integrados VLSI (*Very Large Scale Integration*) usando nanotecnologia demandam novos materiais, estruturas, metodologias de projeto e ferramentas de CAD para lidar com os problemas decorrentes do processo de fabricação, tais como variabilidade. Alguns tipos de concepção são mais ou menos robustos às variações de processo ou ambientais, quer sistemáticas ou aleatórias. Esta pesquisa avalia os tipos de projeto de circuitos integrados e os aspectos que podem ajudar a melhorar a capacidade de fabricação e desempenho nas futuras gerações de dispositivos. Neste contexto, é fundamental avaliar como será o comportamento da tecnologia FinFET em tecnologias além de 20nm. A tecnologia FinFET é candidata a substituir a tecnologia CMOS planar no processo de fabricação. Obter informações preditivas sobre o comportamento desta tecnologia no projeto de células é importante tanto para projetistas como para desenvolvedores de ferramentas de EDA.

Esta tese explora tipos de projeto de células básicas com tecnologia FinFET. São objetivos principais a caracterização do desempenho temporal e potência, tanto dinâmica como estática, assim como a identificação dos principais parâmetros geométricos em tecnologias FinFET cuja variabilidade afete as características elétricas e a avaliação da robustez destas células aos efeitos de variabilidade de processo. A primeira contribuição deste trabalho é a exploração de tipos de projeto possíveis com a tecnologia FinFET, tais como o projeto com FinFET de 4 terminais nos estilos *Short-Gate*, *Independent-Gate* e *Low-Power*. Estas células foram caracterizadas e modeladas de forma a serem inseridas em um fluxo de síntese regular e comparadas com células em tecnologia bulk CMOS. A segunda contribuição deste trabalho é a identificação das principais fontes de variabilidade e a tendência de comportamento em tecnologias FinFET sub-20nm. Até o momento da elaboração deste documento, a pesquisa de estado-da-arte aponta que este foi o primeiro trabalho a investigar em nível elétrico o impacto da variabilidade em parâmetros geométricos e elétricos na potência dinâmica e estática de dispositivos FinFET sub-20nm. Finalmente, a terceira contribuição deste trabalho é quantificar a influência das flutuações da função trabalho do metal de *gate* em FinFETs nas tecnologias sub-20nm, traçando um panorama preditivo dos efeitos da variabilidade em tecnologias sub-20nm.

Palavras-Chave: Microeletrônica, Nanotecnologia, Variabilidade, FinFET

Variability in FinFETs

ABSTRACT

Integrated circuits VLSI (Very Large Scale Integration) using nanotechnology require new materials, structures, design methodologies and CAD tools to address the problems caused by the manufacturing process, such as variability. Some design types are more or less robust to process variations or environmental either systematic or random. This research evaluates the types and aspects of integrated circuit designs that can help to improve manufacturing capacity and performance in future generations. In this context, it is essential to assess what will be the behavior of FinFET technology technologies beyond 20nm. The FinFET technology is a candidate to replace the planar CMOS technology in the manufacturing process. To obtain predictive information about the behavior of this technology in cell design is important for both designers and developers of EDA tools.

This work explores basic types of cell design with FinFET technology. Main objectives are to characterize timing and power, both dynamic and static, as well as the identification of the main geometrical parameters in FinFET technologies whose variability affects the electrical characteristics and evaluate the robustness of these cells to process variability effects. The first contribution of this work is the exploration of possible project types with FinFET technology, such as FinFET design with 4 terminals in styles Short-Gate, Independent-Gate and Low-Power. These cells were characterized and modeled in order to be inserted into one regular synthesis flow and compared with cells in bulk CMOS technology. The second contribution of this work is to identify the main sources of variability and the pattern of behavior in FinFET technology sub-20nm. By the time of this writing, the state of the art research shows that this is the first study to investigate in electrical level the variability impact of electrical and geometrical parameters in the dynamic and static power of FinFET devices sub-20nm. The third contribution of this work is to quantify the influence of metal gate workfunction fluctuations of FinFETs in sub-20nm technologies, tracing a predictive picture of the effects of variability in sub-20nm technologies.

Keywords: Microelectronics, Nanotechnology, Variability, FinFET

LISTA DE FIGURAS

FIGURA 1.1: VARIAÇÕES NA FREQUÊNCIA E NA CORRENTE DE FUGA OBSERVADAS EM UM MESMO PROJETO.....	16
FIGURA 1.2 PERSPECTIVA DE EVOLUÇÃO DA TECNOLOGIA.....	17
FIGURA 1.3 REDUÇÃO DA ESCALA DA TECNOLOGIA DE FABRICAÇÃO E A ESCALA DO COMPRIMENTO DE ONDA ADOTADO NA ETAPA DE LITOGRAFIA	19
FIGURA 1.4: EXEMPLOS DE DEFEITOS RANDÔMICOS PROVOCADOS POR PARTÍCULAS DE IMPUREZAS.....	21
FIGURA 2.1 ESTRUTURA DE UM FINFET.....	31
FIGURA 2.2 ESTRUTURA GEOMÉTRICA DE UM TRANSISTOR 3T FINFET	32
FIGURA 2.3 VISTA SUPERIOR E EM CORTE-TRANSVERSAL DE UM FINFET 3T.....	32
FIGURA 2.4 ESTRUTURA GEOMÉTRICA DE UM TRANSISTOR 4T FINFET	33
FIGURA 2.5 VISTA SUPERIOR E EM CORTE-TRANSVERSAL DE UM FINFET 4T (IGFINFET).....	33
FIGURA 2.6 PLANAR FET VERSUS <i>BULK</i> -FINFET.....	34
FIGURA 2.7 TIPOS DE PROJETO COM FINFETS PARA A PORTA LÓGICA NAND2	36
FIGURA 2.8 DIFERENÇAS NO LEIAUTE DE UM INVERSOR EM TECNOLOGIA CMOS PLANAR E EM FINFET	38
FIGURA 2.9 LEIAUTE SG-FINFET.....	38
FIGURA 2.10 LEIAUTE DE UM TRANSISTOR IG-FINFET.....	39
FIGURA 2.11 LEIAUTE DE TRANSISTORES CONVENCIONAIS MOSFETS E FINFETS. (A) PLANAR MOSFET (B) FINFET COM DIRECT PATTERNING DA ÁREA ATIVA (C) FINFET COM SPACER PATTERNING DA ÁREA ATIVA	40
FIGURA 2.12 LEIAUTE DE UM INVERSOR IG-FINFET	42
FIGURA 2.13 LEIAUTES DE PORTAS NAND2 CONSIDERANDO DIFUSÕES EM FORMA DE <i>FINS</i>	42
FIGURA 2.14 LEIAUTES DE PORTAS NAND2 CONSIDERANDO DIFUSÕES RETANGULARES	43
FIGURA 2.15 EXEMPLOS DE LEIAUTES PARA UMA PORTA NOR2 EM TECNOLOGIA CMOS BULK (A), FINFET <i>LITOGRAPHY-DEFINED</i> (B) E <i>SPACER-DEFINED</i> (C).....	44
FIGURA 2.16 TRANSISTOR FINFET (A) E MODELO PTM EQUIVALENTE UTILIZADO PARA FINFETS NOS NODOS DE 32NM E 45NM COM DOIS TRANSISTORES MOSFET SOI (B)	46
FIGURA 2.17 FLUXOGRAMA PARA O DESENVOLVIMENTO DE UM MODELO PREDITIVO DE FINFET 3T	48
FIGURA 2.18 ESTRUTURA DO TRANSISTOR E O MÓDULO EM VERILOG-A PARA O MAPEAMENTO DE SINAIS DO <i>BACK-GATE</i> (GB) E <i>FRONT-GATE</i> (GF) PARA O <i>GATE</i> DE FINFETS 3T.....	48
FIGURA 2.19 FLUXOGRAMA PARA O DESENVOLVIMENTO DE UM MODELO PREDITIVO DE FINFET 4T	49
FIGURA 2.20 PRINCIPAIS DESAFIOS PARA TECNOLOGIA FINFET.....	50
FIGURA 2.21 COMO AS CAPACITÂNCIAS PARASITAS SÃO DETERMINADAS EM PROCESSOS FINFET ATUALMENTE.....	51
FIGURA 2.22 POSSÍVEIS FONTES DE VARIAÇÃO NA TENSÃO DE LIMIAR DE FINFETS.....	52
FIGURA 2.23 EFEITOS DAS FONTES DE VARIABILIDADE EM UM TRANSISTOR FINFET DE 22NM (A) DENSIDADE DE ELÉTRONS CONSIDERANDO RDD; (B) DISTRIBUIÇÃO DE POTENCIAL CONSIDERANDO OS EFEITOS DE MGG; (C) EFEITOS COMBINADOS DAS FONTES DE VARIABILIDADE RDD, MGG, GER E FER NA DENSIDADE DE ELÉTRONS; (D) VARIAÇÕES NA DENSIDADE DE ELÉTRONS DEVIDO A IMPERFEIÇÕES NAS BORDAS DO <i>GATE</i> (ESQUERDA) E DOS <i>FINS</i> (DIREITA).....	54
FIGURA 2.24 ALINHAMENTO DO METAL DE <i>GATE</i> EM DISPOSITIVOS REAIS E O ALINHAMENTO IDEAL DO METAL DE <i>GATE</i> (À DIREITA NA IMAGEM)	56
FIGURA 2.25 COMPARAÇÃO ENTRE A VARIAÇÃO NA TENSÃO DE LIMIAR DE DISPOSITIVOS <i>BULK</i> CMOS, FD-SOI E FINFET EM DIFERENTES NODOS TECNOLÓGICOS. O METAL CONSIDERADO PARA O <i>GATE</i> É TiN.....	57
FIGURA 3.1 CONFIGURAÇÕES DE CÉLULAS INVERSOR: A) CMOS CLÁSSICA; B) FINFET <i>SHORTED-GATE</i> ; C) FINFET <i>INDEPENDENT-GATE</i> ; D) E E) CONEXÕES ALTERNATIVAS COM UM TRANSISTOR NO MODO <i>SHORTED-GATE</i> E O OUTRO CONTROLADO POR UMA FONTE DE ALTA/BAIXA VOLTAGEM; F) FINFET <i>LOW-POWER</i>	60
FIGURA 3.2 CONFIGURAÇÕES DE CÉLULAS NAND2: A) CMOS CLÁSSICA; B) FINFET <i>SHORTED-GATE</i> ; C) FINFET <i>INDEPENDENT-GATE</i> ; D) E E) CONEXÕES ALTERNATIVAS COM UM TRANSISTOR NO MODO <i>INDEPENDENT-GATE</i> E OS OUTROS CONTROLADOS POR FONTES DE BAIXA VOLTAGEM OU CONECTADOS AO <i>GROUND</i> ; F) FINFET <i>LOW-POWER</i>	61
FIGURA 3.3 CONFIGURAÇÕES DE CÉLULAS NOR2: A) CMOS CLÁSSICA; B) FINFET <i>SHORTED-GATE</i> ; C) FINFET <i>INDEPENDENT-GATE</i> ; D) CONEXÃO ALTERNATIVA COM UM TRANSISTOR NO MODO <i>INDEPENDENT - GATE</i> E OS OUTROS CONTROLADO POR UMA FONTE DE ALTA VOLTAGEM; F) FINFET <i>LOW-POWER</i>	61
FIGURA 3.4 ALGORITMO PARA OTIMIZAÇÃO DE CÉLULAS VISANDO DESEMPENHO	64
FIGURA 3.5 IMPACTO DAS VARIAÇÕES NA VOLTAGEM EM CÉLULAS NAND2	70
FIGURA 3.6 IMPACTO DAS VARIAÇÕES NA VOLTAGEM EM CÉLULAS NOR2	70
FIGURA 3.7 IMPACTO DAS VARIAÇÕES NA TEMPERATURA EM CÉLULAS INVERSOR	72
FIGURA 3.8 IMPACTO DAS VARIAÇÕES NA TEMPERATURA EM CÉLULAS NAND2.....	72
FIGURA 3.9 IMPACTO DAS VARIAÇÕES NA TEMPERATURA EM CÉLULAS NOR2	73

FIGURA 4.1 IMPACTO DA VARIAÇÃO DE TEMPERATURA NA CORRENTE MÁXIMA I_{ON} DE DISPOSITIVOS FINFET 20NM.....	77
FIGURA 4.2 RESULTADOS NORMALIZADOS EM RELAÇÃO A TEMPERATURA DE 25°C E O IMPACTO DA VARIAÇÃO DA TEMPERATURA NA CORRENTE I_{ON} DE DISPOSITIVOS FINFET 20NM.....	78
FIGURA 4.3 FUNÇÃO DENSIDADE DA CORRENTE I_{ON} COM VARIAÇÃO NOS FATORES FÍSICOS DE UM DISPOSITIVO NFET HP 20NM.....	79
FIGURA 4.4 HISTOGRAMAS DAS DUAS PRINCIPAIS FONTES DE VARIABILIDADE NA CORRENTE I_{ON} : H_{FIN} E WF	79
FIGURA 4.5 DETALHES DA FUNÇÃO DENSIDADE DA CORRENTE PARA DISPOSITIVOS NFET E PFET EM 20NM SOBRE EFEITOS DE VARIAÇÃO NA FUNÇÃO TRABALHO DO <i>GATE</i>	80
FIGURA 4.6 FUNÇÃO DENSIDADE PARA OS PARÂMETROS L , W_{FIN} , H_{FIN} SOBRE EFEITOS DE VARIAÇÃO E DE FLUTUAÇÕES NA FUNÇÃO TRABALHO DO <i>GATE</i> (WFF) DE UM DISPOSITIVO NFET DE 7NM LSTP	85
FIGURA 4.7 DISTRIBUIÇÃO DE FREQUÊNCIA DA CORRENTE I_{ON} PARA UM DISPOSITIVO NFET DE 7NM SOBRE EFEITOS DE WFF	85
FIGURA 4.8 TENDÊNCIA DE IMPACTO NA CORRENTE I_{ON} DE DISPOSITIVOS HP E LSTP SOBRE EFEITO DE 3% DE FLUTUAÇÃO NA FUNÇÃO TRABALHO (WFF)	86
FIGURA 4.9 EFEITOS DA VARIAÇÃO PARAMÉTRICA NA CORRENTE I_{OFF} EM DISPOSITIVOS HP E LSTP.....	86
FIGURA 4.10 IMPACTO NA CORRENTE I_{OFF} DEVIDO A 3% DE FLUTUAÇÃO NA FUNÇÃO TRABALHO DE DISPOSITIVOS SUB-20NM HP E LSTP	87
FIGURA 4.11 FATOR DE FLUTUAÇÃO NA FUNÇÃO TRABALHO (WFF) E O EFEITO NA CORRENTE I_{ON} DE DISPOSITIVOS NFET HP	88
FIGURA 4.12 FATOR DE FLUTUAÇÃO NA FUNÇÃO TRABALHO (WFF) E O EFEITO NA CORRENTE I_{OFF} DE DISPOSITIVOS NFET HP	88
FIGURA 4.13 TENDÊNCIA PARA TECNOLOGIAS SUB-20NM DE IMPACTO NA CORRENTE I_{ON} DE DISPOSITIVOS LSTP E HP DEVIDO A 10% DE FLUTUAÇÃO NA FUNÇÃO TRABALHO (WFF).....	89
FIGURA 4.14 TENDÊNCIA PARA TECNOLOGIAS SUB-20NM DE IMPACTO NA CORRENTE I_{OFF} DE DISPOSITIVOS LSTP E HP DEVIDO A 10% DE FLUTUAÇÃO NA FUNÇÃO TRABALHO (WFF).....	89
FIGURA 4.15 TEMPO DE PROPAGAÇÃO MÉDIO COMPARADO COM A MÉDIA E DESVIO PADRÃO DOS EXPERIMENTOS CONSIDERANDO AS PORTAS SOBRE EFEITO DE WFF	93
FIGURA 4.16 RESULTADOS DE POTÊNCIA TOTAL COMPARADOS COM A MÉDIA E DESVIO PADRÃO DOS EXPERIMENTOS CONSIDERANDO AS PORTAS SOBRE EFEITO DE WFF	93
FIGURA 4.17 RESULTADOS DE POTÊNCIA ESTATICA COM A MÉDIA E DESVIO PADRÃO DOS EXPERIMENTOS CONSIDERANDO AS PORTAS SOBRE EFEITO DE WFF.....	94
FIGURA 4.18 COMPORTAMENTO MÉDIO DAS CÉLULAS QUANTO AO PDP, POTÊNCIA E ATRASOS COM A REDUÇÃO DA VOLTAGEM	96
FIGURA 4.19 TOP 5 CÉLULAS MAIS SENSÍVEIS À VARIAÇÕES NA TEMPERATURA	97
FIGURA 5.1 FLUXO DE DIMENSIONAMENTO COM DISCRETIZAÇÃO DO DIMENSIONAMENTO PARA FINFETs.....	101
FIGURA A.1: FLUXO RESUMIDO DE SÍNTESE ADOTADO	114
FIGURA A.2: ARQUITETURA GENÉRICA R-CAT.....	114
FIGURA A.3 FLUXO DETALHADO DE SÍNTESE COM DESTAQUE NAS ETAPA INTERNAS MODIFICADAS NA NOVA VERSÃO DA FERRAMENTA DE GERAÇÃO DE MATRIZ	116
FIGURA A.4 ALGORITMO PARA ENCONTRAR CÉLULAS ADJACENTES	119
FIGURA A.5 POSSIBILIDADES DE CONEXÕES ENTRE CÉLULAS ADJACENTES E REORDENAMENTO DE NETS. CADA CÉLULA POSSUI DOIS PINOS DE ENTRADA E UM DE SAÍDA. OS PINOS DE ENTRADA SÃO REPRESENTADOS EM AZUL E O PINO DE SAÍDA EM VERMELHO. AS ALTERNATIVAS H) E I) NÃO SÃO PERMITIDAS	120
FIGURA A.6 MATRIZ DE BLOCOS BÁSICOS 30 CÉLULAS POR 30 BANDAS	121
FIGURA B.1 EVOLUÇÃO DO DESVIO PADRÃO NORMALIZADO DA IDSAT PARA MODELOS PREDITIVOS DE TECNOLOGIAS HIGH PERFORMANCE	124
FIGURA B.2 EVOLUÇÃO DO DESVIO PADRÃO NORMALIZADO DA IDSAT PARA MODELOS PREDITIVOS DE TECNOLOGIAS LOW POWER	125
FIGURA B.3 HISTOGRAMA DA IDSAT PARA MODELOS LP E HP NA TECNOLOGIA DE 16NM	126
FIGURA C.1 CURVA CARACTERÍSTICA $I_D - V_G$ NA REGIÃO LINEAR (FERREIRA, 2012)	130
FIGURA C.2 CURVA CARACTERÍSTICA $I_D - V_G$ NA REGIÃO LINEAR DO DISPOSITIVO MODELADO PELO MODELO PTM COM OS PRINCIPAIS PARÂMETROS AJUSTADOS AO MODELO 3D	131
FIGURA C.3 CURVA CARACTERÍSTICA $I_D - V_G$ NA REGIÃO DE SATURAÇÃO (FERREIRA, 2012)	132
FIGURA C.4 CURVA CARACTERÍSTICA $I_D - V_G$ NA REGIÃO DE SATURAÇÃO DO DISPOSITIVO MODELADO PELO MODELO PTM COM OS PRINCIPAIS PARÂMETROS AJUSTADOS AO MODELO 3D	132
FIGURA C.5 CURVA CARACTERÍSTICA $I_D - V_G$ NA REGIÃO LINEAR EM ESCALA LOGARÍTMICA (FERREIRA, 2012)	133
FIGURA C.6 CURVA CARACTERÍSTICA $I_D - V_G$ NA REGIÃO LINEAR EM ESCALA LOGARÍTMICA DO DISPOSITIVO MODELADO PELO MODELO PTM COM OS PRINCIPAIS PARÂMETROS AJUSTADOS AO MODELO 3D	133
FIGURA C.7 CURVA CARACTERÍSTICA $I_D - V_G$ NA REGIÃO DE SATURACÃO EM ESCALA LOGARÍTMICA (FERREIRA, 2012) ..	134

FIGURA C.8 CURVA CARACTERISTICA $I_D - V_G$ NA REGIÃO DE SATURAÇÃO EM ESCALA LOGARÍTMICA DO DISPOSITIVO MODELADO PELO MODELO PTM COM OS PRINCIPAIS PARÂMETROS AJUSTADOS AO MODELO 3D	134
FIGURA C.9 CURVA CARACTERISTICA $I_D - V_G$ NA REGIÃO DE SATURAÇÃO PARA DISPOSITIVOS NFET HP E LSTP	135
FIGURA C.10 CURVA CARACTERISTICA $I_D - V_G$ NA REGIÃO DE SATURAÇÃO PARA DISPOSITIVOS PFET HP E LSTP	136
FIGURA C.11 CURVA CARACTERISTICA $I_D - V_G$ NA REGIÃO DE SATURAÇÃO PARA DISPOSITIVOS NFET HP E LSTP EM ESCALA LOGARÍTMICA	136
FIGURA C.12 CURVA CARACTERISTICA $I_D - V_G$ NA REGIÃO LINEAR PARA DISPOSITIVOS PFET HP E LSTP	138
FIGURA C.13 CURVA CARACTERISTICA $I_D - V_G$ NA REGIÃO LINEAR PARA DISPOSITIVOS PFET HP E LSTP EM ESCALA LOGARÍTMICA	138
FIGURA C.14 DIMENSIONAMENTO DE FINFET NFET HP	139
FIGURA C.15 DIMENSIONAMENTO DE FINFET NFET LSTP	139
FIGURA C.16 CURVA DE TRANSFERÊNCIA INVERSOR HP E LSTP	140
FIGURA C.17 INVERSOR HP COM DIFERENTES DIMENSIONAMENTOS	141

LISTA DE TABELAS

TABELA 1.1 INFLUÊNCIA DA VARIABILIDADE PARAMÉTRICA NA CORRENTE I_{ON} (A/MM) EM DISPOSITIVOS <i>BULK</i> CMOS DO TIPO NMOS NA TECNOLOGIA DE 22NM PTM/HIGH PERFORMANCE (HP).....	25
TABELA 2.1 PARÂMETROS DO MODELO PTM-MG.....	47
TABELA 3.1 CARACTERÍSTICAS DE DIMENSIONAMENTO, ATRASO E POTÊNCIA PARA OS ARRANJOS DA CÉLULA INVERSOR.....	65
TABELA 3.2 CARACTERÍSTICAS DE DIMENSIONAMENTO, ATRASO E POTÊNCIA PARA OS ARRANJOS DA CÉLULA NAND2.....	66
TABELA 3.3 CARACTERÍSTICAS DE DIMENSIONAMENTO, ATRASO E POTÊNCIA PARA OS ARRANJOS DA CÉLULA NOR2.....	66
TABELA 3.4 IMPACTO DA VARIABILIDADE DE PROCESSO NAS CÉLULAS INVERSOR OTIMIZADAS PARA DESEMPENHO.....	68
TABELA 3.5 IMPACTO DA VARIABILIDADE DE PROCESSO NAS CÉLULAS NAND2 OTIMIZADAS PARA DESEMPENHO.....	69
TABELA 3.6 IMPACTO DA VARIABILIDADE DE PROCESSO NAS CÉLULAS NOR2 OTIMIZADAS PARA DESEMPENHO.....	69
TABELA 4.1 VALORES DOS PRINCIPAIS PARÂMETROS PARA DISPOSITIVOS FINFET NA TECNOLOGIA DE 20NM PTM.....	76
TABELA 4.2 CORRENTE I_{ON} MÁXIMA DE DISPOSITIVOS FINFET 20NM PTM COM 1 FIN.....	76
TABELA 4.3 CORRENTE I_{ON} MÁXIMA DE DISPOSITIVOS FINFET 20NM PTM COM 1 FIN CONSIDERANDO VARIAÇÃO NA TEMPERATURA.....	77
TABELA 4.4 IMPACTO NA CORRENTE I_{ON} MÁXIMA DEVIDO À VARIABILIDADE DE PROCESSO NA TECNOLOGIA DE 20NM.....	81
TABELA 4.5 PRINCIPAIS PARÂMETROS PARA DISPOSITIVOS FINFET NAS TECNOLOGIAS HP (<i>HIGH PERFORMANCE</i>) E LSTP (<i>LOW STANDBY POWER</i>).....	82
TABELA 4.6 RESULTADOS NOMINAIS DA CORRENTE I_{ON} E I_{OFF} POR 1 ÚNICO <i>FIN</i> E OS RESULTADOS CONSIDERANDO VARIABILIDADE NO L_G , W_{FIN} , H_{FIN} E WFF PARA AS TECNOLOGIAS SUB-20NM.....	84
TABELA 4.7 EFEITOS DA <i>WFF</i> NOS ATRASOS, POTÊNCIA TOTAL E ESTÁTICA DE PORTAS LÓGICAS DE UMA BIBLIOTECA DE CÉLULAS.....	92
TABELA 4.8 RESULTADOS DE PDP SOBRE INFLUÊNCIA DE VARIAÇÕES NA VOLTAGEM E NA TEMPERATURA.....	95
TABELA B.1 AVALIAÇÃO DA INFLUÊNCIA DA VARIAÇÃO EM 5 PARÂMETROS NA CORRENTE I_{DSAT} (A/MM) PARA TRANSISTORES NMOS.....	125
TABELA B.2 EFEITO DO DIMENSIONAMENTO DOS TRANSISTORES NA CORRENTE I_{DS} CONSIDERANDO VARIAÇÃO EM TODOS OS 5 PARÂMETROS.....	126
TABELA C.1 PARÂMETROS DO FINFET DE 20 NM NO MODELO PTM-MG E NO DISPOSITIVO 3D.....	129

LISTA DE ABREVIATURAS E SIGLAS

ASIC	<i>Application Specific Integrated Circuit</i>
CAD	<i>Computer-Aided Design</i>
CIF	<i>Caltech Intermediate Form</i>
CLB	<i>Configurable Logic Block</i>
CMOS	<i>Complementary Metal-Oxide Semiconductor</i>
CMP	<i>Chemical-Mechanical Polishment</i>
DFM	<i>Design For Manufacturability</i>
DRC	<i>Design Rule Checking</i>
DSM	<i>Deep Submicron Designs</i>
EDA	<i>Electronic Design Automation</i>
FinFET	<i>Fin-Shaped Field Effect Transistor</i>
FET	<i>Field – Effect Transistor</i>
FPGA	<i>Field Programmable Gate Array</i>
GND	<i>Ground – Tensão de Referência</i>
HP	<i>High Performance</i>
IDDG-FET	<i>Independently driven double-gate FET</i>
IG-FinFET	<i>Independent gate FinFET</i>
ITRS	<i>International Technology Roadmap for Semiconductors</i>
LER	<i>Line Edge Roughness</i>
LP-FinFET	<i>Low Power FinFET</i>
LSTP	<i>Low Standby Power</i>
LUT	<i>Look-up Table</i>
MOS	<i>Metal-Oxide Semiconductor</i>
MOSFET	<i>Metal-Oxide Semiconductor Field-Effect Transistor</i>
NAND	Célula lógica que representa a função booleana ‘E’ negada $\sim(A \cdot B)$
NINA	NOR, Inversor e NAND
NMOS	<i>N-channel Metal Oxide Semiconductor</i>
NOR	Célula lógica que representa a função booleana ‘OU’ negada $\sim(A + B)$
NRE	<i>Non-Recurring Engineering</i>
OPC	<i>Optical Proximity Correction</i>
PDP	<i>Power Delay Product</i>
PMOS	<i>P-channel Metal Oxide Semiconductor</i>
PSM	<i>Phase Shift Mask</i>

PVT	Processo, Voltagem e Temperatura
RET	<i>Resolution Enhancement Technique</i>
RDF	<i>Random Dopant Fluctuation</i>
SG-FinFET	<i>Shorted-Gate FinFET</i>
UFRGS	Universidade Federal do Rio Grande do Sul
Vdd	Tensão da Fonte de Alimentação
VLSI	<i>Very Large Scale Integration</i>
WFF	<i>Work function Fluctuation</i>

SUMÁRIO

RESUMO	5
ABSTRACT	6
1 INTRODUÇÃO	15
1.1 Objetivos principais	26
1.2 Organização deste trabalho.....	28
2 TECNOLOGIA FINFET	29
2.1 Tipos de projeto com 4T FinFETs.....	35
2.2 Considerações sobre o leiaute em tecnologia FinFET.....	37
2.3 Modelos propostos para tecnologia FinFET	44
2.4 Desafios para a tecnologia FinFET.....	49
2.5 Variabilidade na granularidade do metal do <i>gate</i> e sua relação com a função trabalho	55
3 PROJETO E COMPARAÇÃO DE CÉLULAS DE ALTO DESEMPENHO NAS TECNOLOGIAS CMOS E FINFET DE 32NM	58
3.1 Metodologia	59
3.1.1 Impacto de variações de Processo, Voltagem e Temperatura	62
3.1.2 Fluxo de otimização para desempenho.....	63
3.1 Discussão dos resultados da avaliação elétrica e de PVT	64
4 AVALIAÇÃO PREDITIVA DOS EFEITOS DE VARIABILIDADE NA TECNOLOGIA FINFET SUB-20NM.....	75
4.1 Avaliação preditiva das características elétricas de dispositivos FinFET sub-20nm sob efeitos de variabilidade	82
4.2 Avaliação do grau de impacto de flutuações na função trabalho em FinFETs	87
4.3 Análise da variabilidade em <i>Standard Cells</i>	89
5 CONCLUSÕES	98
5.1 Possibilidades de continuidade deste trabalho	100
REFERÊNCIAS.....	103

APÊNDICE A < FERRAMENTA PARA GERAÇÃO DE LEIAUTES REGULARES>	112
APÊNDICE B < EXPERIMENTO SOBRE A VARIABILIDADE DA CORRENTE IDS NA TECNOLOGIA CMOS>	123
APÊNDICE C < CARACTERÍSTICAS $I_D - V_G$ DE DISPOSITIVOS FINFET DE 20NM DO MODELO PTM - MG >	129
Análise 1 - Comparação das características $I_d - V_g$ de dispositivos NFET com as características de um modelo 3D.....	130
Análise 2 - Avaliação das características $I_d - V_g$ para dispositivos nos modelos HP (<i>High Performance</i>) e LSTP (<i>Low Standby Power</i>).....	135
Análise 3 - Avaliação do comportamento com múltiplos <i>fins</i>	139
Análise 4 - Avaliação do comportamento da curva de transferência de Inversores	140

1 INTRODUÇÃO

Novos desafios foram introduzidos no projeto de circuitos integrados devido à redução das dimensões dos dispositivos, tais como considerar os efeitos de envelhecimento, aumento das correntes de fuga e aumento no número de falhas. Um dos mais indesejáveis comportamentos verificados em tecnologias nanométricas é a variabilidade decorrente do processo de fabricação (Beckett, 2002).

A variabilidade de processo pode ser originada desde a concentração de dopantes até a variação nas dimensões dos dispositivos, principalmente, devido aos limites da resolução do processo litográfico. Estas variações físicas podem ser observadas nas características elétricas, como na tensão de limiar dos transistores, afetando o desempenho do circuito e a potência dissipada. Estes fatores podem acelerar a degradação dos circuitos e tornarem os dispositivos impróprios para seus projetos iniciais (Orshansky, 2008).

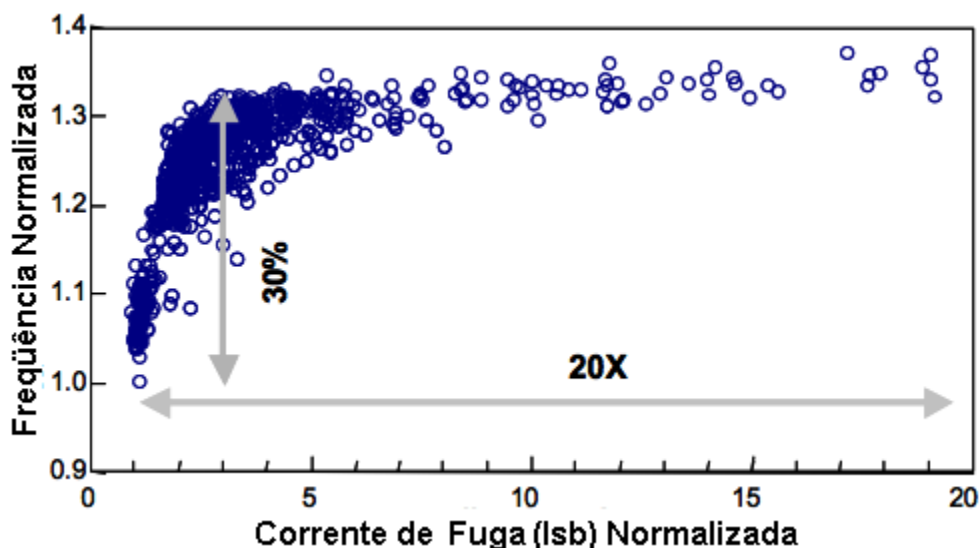
O principal problema associado com a variabilidade é a incerteza sobre a correta operação do circuito em termos de desempenho e potência. Cada circuito pode apresentar um comportamento diferente devido a esta variabilidade, por exemplo: desvios de desempenho temporal (frequência de operação) e consumo anormal de energia. Não existem garantias de que um circuito projetado para operar em uma determinada frequência irá comportar-se como o esperado após a manufatura, reduzindo o rendimento de fabricação. A variabilidade pode se manifestar provocando aumento ou redução relativos à especificação inicial (Saha, 2010).

A fabricação de circuitos em tecnologias sub-micrônicas altera o projeto físico dos circuitos, impõe regras de layout complexas e exige a adoção de uma ampla faixa de segurança na concepção dos blocos para lidar com a variabilidade do processo. A grande redução na escala de tamanho dos transistores introduz novas fontes de variação e torna o

controle da variabilidade complicado. Estima-se que nas tecnologias futuras a variabilidade do processo aumente, causando a diminuição da previsibilidade de desempenho dos circuitos nanométricos, afetando diretamente a operação do circuito (Gupta, 2003). Por exemplo, a corrente de fuga (*leakage*) tem dependência exponencial com o tamanho de *gate*, portanto a variância no comprimento do *gate* (L_g) tem impacto exponencial na corrente de fuga. A

Figura 1.1 mostra uma variação de 30% na frequência de operação de circuitos de um mesmo projeto e de 20x na corrente de fuga, observadas após a fabricação de um projeto da Intel na tecnologia de 180 nm (Borkar, 2005).

Figura 1.1: Variações na frequência e na corrente de fuga observadas em um mesmo projeto



Fonte: Borkar (2005)

Problemas de variabilidade já eram observados em tecnologias anteriores, entretanto de modo amenizado (Zahiri, 2003). A Figura 1.2 mostra a perspectiva para a tecnologia CMOS extrapolada a partir das tendências de 2009 (Borkar, 2009). Esta tendência coincide com a projeção da Lei de Moore, dobrando a capacidade de integração de transistores a cada dois anos. Entretanto, aponta um considerável aumento da variabilidade, e o aumento do desempenho continuará em ordens menores.

Figura 1.2 Perspectiva de evolução da Tecnologia

Fatores Tecnológicos	2006	2008	2010	2012	2014	2016	2018
Nodo da tecnologia (nm)	65	45	32	22	16	11	8
Capacidade de Integração (BT)	4	8	16	32	64	128	256
Redução Atraso = CV/1	~0.7	>0.7	escala de redução vai desacelerar				
Redução Energia por Op. Lógica	>0.5	>0.5	escala de redução vai desacelerar				
Variabilidade							

Fonte: Borkar (2009)

Os efeitos da variabilidade em projetos de circuitos de aplicação específica (*Application Specific Integrated Circuit - ASICs*) podem ocasionar custos elevados, principalmente devido às muitas etapas de re-projeto (*Non-Recurring Engineering - NRE*) necessárias, até que seja alcançado o objetivo esperado em funcionamento, potência e frequência. Segundo Sherlekar (2004), o número de vezes que um chip precisa ser alterado antes de atingir volume de produção é em torno de 4 ou 6 vezes, crescendo para projetos que empregam as novas tecnologias. São motivos para re-projeto: erros na especificação funcional do ASIC, defeitos que não podem ser detectados antes de um processo de fabricação, revisões na especificação funcional para responder a características levantadas durante a prototipação, testes ou mudanças nos padrões ou protocolos usados no ASIC, além de problemas relacionados com o tamanho sub-micrônico, tais como ruído ou *crosstalk*.

O baixo rendimento obtido, causa direta do aumento do custo, é agravado pelo aumento de defeitos provocados por falhas de fabricação e variabilidade de processo, tais como os decorrentes do processo de litografia *sub-wavelength* (Bolsen, 2003).

A redução constante dos dispositivos tem introduzido novos desafios para o projeto de circuitos integrados (CIs), principalmente quanto ao rendimento. A perda de rendimento global de circuitos integrados pode ser dividida em perda de rendimento catastrófica (devido a defeitos físicos e estruturais, por exemplo, trilhas abertas, curtos-circuitos, etc.) e perda de rendimento paramétrico (devido a variações paramétricas nos

parâmetros do processo, por exemplo, tensão de limiar V_{TH} , espessura do óxido de porta T_{ox} , etc.) (Lewyn, 2009).

No projeto de circuitos integrados com tecnologia CMOS em escala nanométrica, o impacto da perda de rendimento paramétrico tornou-se uma questão crítica (Saha, 2010). Projetistas começam a considerar, nos estágios iniciais do projeto, o impacto da variabilidade de processo para lidar com a perda de rendimento. A variabilidade de processo tem um efeito crítico sobre os circuitos integrados, alterando o consumo de energia e o desempenho para fora das especificações de projeto, acelerando a degradação do circuito ou introduzindo incorreções na funcionalidade do circuito, por exemplo.

É importante notar que a variabilidade é introduzida em cada estágio do processo de fabricação dos circuitos. Por exemplo, variações podem afetar as geometrias do leiaute e introduzir capacitâncias de acoplamento inesperadas. Como o processo de fabricação não é determinístico, o projetista deve restringir as fontes conhecidas de variações através de técnicas de projeto e metodologias para reduzir as variações de processo.

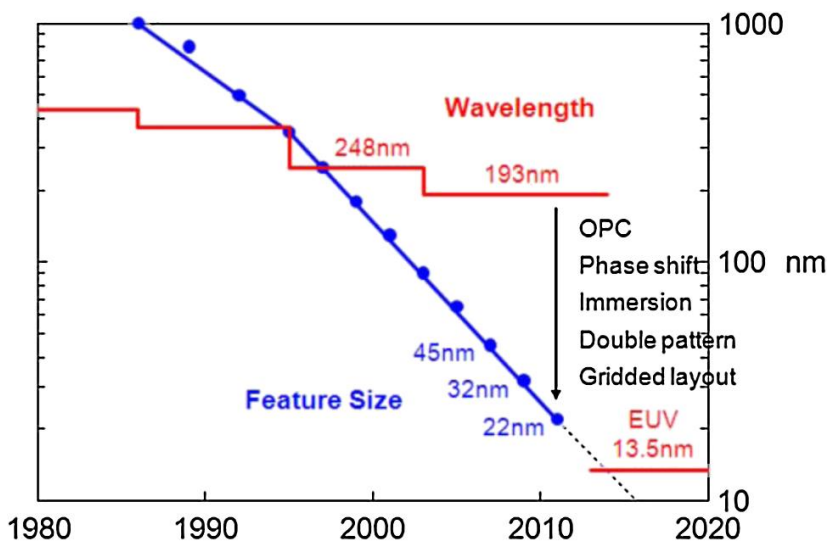
O regime de litografia *sub-wavelength* representado na Figura 1.3 impõe desafios para imprimir consistentemente os pequenos padrões requeridos pelos leiautes das tecnologias atuais. Estas dificuldades aumentam a variabilidade estática. As variações de temperatura e da tensão de alimentação aumentam a variabilidade dinâmica. Assim, tratar o problema de variabilidade fica cada vez mais complexo. Campos elétricos mais elevados diminuirão a confiabilidade e aumentarão a degradação dos transistores. O número total de transistores numa pastilha deve continuar a dobrar a cada dois anos, no entanto, devido à variabilidade e degradação, o projeto será um desafio, no qual as ferramentas de CAD desempenharão um papel crítico (Borkar, 2005).

Nassif (2008) divide a variabilidade devido a fatores ambientais, fatores de confiabilidade e fatores físicos. Os fatores ambientais são comumente entendidos por variações que afetam uma parte do *die*¹, tais como variações na fonte de alimentação e variações de temperatura. Fatores de confiabilidade estão relacionados ao envelhecimento dos transistores e seus efeitos, como *Negative Bias Instability*

¹ pequeno bloco de material semicondutor onde o circuito integrado é fabricado

Temperature (NBTI), *Hot Carriers* e eletromigração. Os fatores físicos estão associados a variações nos parâmetros que induzem uma defasagem no desempenho do transistor.

Figura 1.3 Redução da escala da tecnologia de fabricação e a escala do comprimento de onda adotado na etapa de litografia



Fonte: Rieger (2012)

As variações ambientais são desvios nas condições de operação ocasionadas durante a execução dos circuitos e dependem essencialmente de decisões arquiteturais e operacionais, como por exemplo, do projeto das linhas de alimentação e do posicionamento das células. Alguns exemplos de variações ambientais que podem afetar o projeto de circuitos integrados são: variações na tensão de alimentação, na frequência de chaveamento, temperatura, assim como ruídos do ambiente.

A voltagem de alimentação é usualmente associada ao sistema de potência dos circuitos. Entretanto, o desempenho do sistema é também afetado pela voltagem de alimentação. A corrente de saturação dos transistores depende da voltagem de alimentação. A voltagem afeta o tempo de propagação das portas lógicas. De modo simplificado, pode-se dizer que altas voltagens reduzem o tempo de propagação, tornando uma célula mais rápida. Esta relação é exponencial para uma grande faixa de voltagens. Entretanto, a voltagem de alimentação não é constante em um *chip*. As quedas de tensão acontecem devido às resistências não nula nas redes de conexões das linhas de alimentação. A própria indução da linha de alimentação também contribui para as quedas

de tensão. A magnitude da tensão de alimentação é também explorada em projetos de baixa potência. A relação quadrática entre a tensão de alimentação e a potência torna a redução de tensão uma solução atrativa para aplicações de baixa potência. Entretanto, a frequência de operação é reduzida significativamente e esta solução tem que ser usada com cuidado.

O desempenho tanto dos dispositivos como das interconexões também tem relação com a temperatura (Kumar, 2005). Variações de temperatura através de blocos de comunicação em um mesmo *chip* podem causar perda de desempenho, e também acarretarem em falhas lógicas ou funcionais (Borkar, 2005). A corrente de dreno do transistor diminui quando a temperatura aumenta, aumentando o atraso da porta lógica e conseqüentemente, reduzindo o desempenho do sistema. A temperatura nas junções de semicondutores que formam o transistor pode exceder significativamente a temperatura ambiente. É comum em dispositivos comerciais verificar temperaturas acima de 125°C.

Os fatores físicos de variações podem ser classificados em variações *inter-die* e *intradie* (Mutlu, 2005). As variações *inter-die* são caracterizadas por flutuações no processo de lote para lote, *wafer* para *wafer*, ou *die-to-die* (Mutlu, 2005). Estas variações afetam todos os transistores em um determinado circuito da mesma forma. Por outro lado, as variações *intra-die* são desvios que ocorrem dentro de um *die*. Este tipo de variação refere-se às características do dispositivo, tais como as alterações da geometria do dispositivo, a mudança da densidade de dopantes, a espessura do óxido de porta, que podem variar de dispositivo para dispositivo dentro do mesmo *die* (Mutlu, 2005) (Strojwas, 2006) (Nassif, 2000).

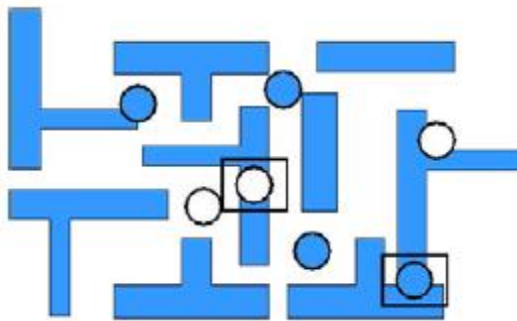
As variações físicas podem ter suas causas vinculadas aos seguintes tipos de variações: na geometria do dispositivo, nos parâmetros de materiais do dispositivo, nos parâmetros elétricos do dispositivo, no material das interconexões e na geometria das interconexões (Boning, 2000).

Durante o processo de fabricação de circuitos podem ocorrer defeitos, sendo os três tipos principais de defeitos responsáveis pela redução do rendimento (*yield*) (Abercrombie, 2005), descritos a seguir:

- Defeitos randômicos: Os defeitos randômicos são provocados por partículas de impurezas que se depositam no chip durante o processo de fabricação ou

nas máscaras produzindo curto-circuitos ou circuitos abertos. A Figura 1.4 apresenta exemplos destes defeitos provocados pela presença de partículas de impureza, ocasionando curto-circuitos, pontos de materiais indesejados e interrupções nas áreas projetadas. Esses tipos de defeitos eram as principais causas dos defeitos encontrados em tecnologias antigas. Com a redução de escala a taxa de defeitos randômicos permaneceu constante, mesmo com as melhorias nas qualificações das salas limpas.

Figura 1.4: Exemplos de defeitos randômicos provocados por partículas de impurezas



Fonte: Abercrombie (2005)

- Defeitos paramétricos: Os defeitos paramétricos ocorrem quando todos os elementos de um chip estão funcionando corretamente, entretanto ele não corresponde aos requisitos da especificação do projeto, como *timing* ou potência. Este tipo de defeito é o resultado de interconexões parasitas e cresce com a redução de escala das tecnologias.

- Defeitos sistemáticos: o defeito sistemático está relacionado ao leiaute e às variações no processo de fabricação, tais como as variações mecânicas, litográficas e do plasma na corrosão. São exemplos de defeitos sistemáticos a diferença entre as alturas de um metal entre regiões do chip, efeito conhecido como *planarity* (Sawicki, 2005) ou variações *in-die* (Robertson, 2003), o acúmulo de carga entre componentes de interconexão durante a fabricação (efeito antena), vias abertas e a eletromigração. Os defeitos sistemáticos podem ser compensados com o uso de técnicas de RET (*Resolution Enhance Technique*), entretanto o leiaute projetado pode limitar a

aplicação das principais técnicas de RET, principalmente quando são utilizadas as mínimas distâncias possíveis.

As variações de processo afetam a estrutura do transistor e, conseqüentemente, alteram as propriedades elétricas de um circuito. As principais fontes de variações de processo que afetam o desempenho dos transistores são:

1. Distribuição Aleatória de Dopantes - RDDs – *Random Distribution of Discrete Dopants*: com a redução da escala de tamanho dos transistores, o número de dopantes na região de depleção de um MOSFET diminuiu, especialmente para transistores de tamanho mínimo. Devido ao comportamento discreto dos átomos dopantes, existe uma flutuação estatística aleatória do número de dopantes com um dado volume ao redor da média de dopantes. Esta flutuação no número de dopantes no canal do transistor resulta em variações na tensão de *limiar*, V_{th} , observada para um transistor (Mizuno, 1994).

Em Takeuchi (1996) é mostrado que a variação de V_{th} devido à flutuação aleatória de dopantes obedece uma distribuição Gaussiana e seu desvio padrão pode ser modelado como:

$$S_{V_{th,RFD}} = \left(\sqrt[4]{2q^3 \epsilon_S N_a f_B} \right) \cdot \frac{T_{ox}}{e_{ox}} \cdot \frac{1}{\sqrt{3WL}}$$

Equação 1.1 Variação de V_{th} devido à distribuição aleatória de dopantes -
Fonte: Takeuchi (1996)

onde :

q = carga do elétron

ϵ_{Si} = permissividade do silício

ϵ_{Ox} = permissividade do óxido

N_a = concentração de dopantes do canal

ϕ_B = diferença entre o nível de Fermi e o nível intrínseco

T_{ox} = espessura do óxido de *gate*

W = largura do canal do transistor

L = comprimento do canal do transistor

A equação acima mostra que $\sigma_{V_{th}}$ é inversamente proporcional à raiz quadrada da área ativa do transistor. Assim, uma das técnicas mais empregadas para reduzir diferenças entre transistores de projetos analógicos, o dimensionamento dos transistores, pode ser usada no projeto de circuitos digitais para evitar variações (Ravazi, 2000). Além disso, a equação também mostra que as variações aumentam com a redução da tecnologia devido à redução de W e L , que se opõe ao aumento em $\sigma_{V_{th}}$, RDD devido à redução de T_{ox} . RDD é considerada uma das maiores fontes de variações nos transistores em tecnologias sub-90nm (CROON, 2004) (MASUDA, 2005a, b).

2. Aspereza da borda da linha – LER - *Line Edge Roughness*: é a segunda maior fonte de variação que afeta as dimensões críticas de um dispositivo. Isso ocorre porque a etapa de litografia ótica usa fontes de luz com tamanhos de onda muito maiores que as características mínimas da tecnologia. Esta variação nas dimensões críticas quando aplicada ao *gate* (*Gate Edge Roughness* – GER) altera, por exemplo, o tamanho de canal de um transistor MOS variando a corrente I_{DS} e a tensão de *limiar*. Isso afeta consideravelmente as propriedades elétricas de um transistor MOS e, conseqüentemente, o desempenho de todo o circuito.
3. Variação na espessura do óxido: Em tecnologias CMOS abaixo de 90 nm, a interface introduzida entre o silício/silício-dióxido e o silício-dióxido/polisilício causa variações na espessura do óxido de *gate*. Qualquer variação na espessura do óxido afeta o desempenho de todo o circuito (Mandal, 2011).
4. Granularidade do metal de *gate* (*Metal Gate Granularity* – MGG): este fator passou a ser uma importante fonte de variabilidade desde a adoção de *gates* feitos com metais *high-k*, a partir das tecnologias de 45nm. Flutuações locais na função de trabalho devido à estrutura policristalina destes metais implicam em variações na superfície de potencial (Brown, 2010).

Circuitos integrados VLSI (*Very Large Scale Integration*) usando nanotecnologia demandam novas tecnologias, metodologias de projeto e ferramentas de CAD para lidar com os problemas decorrentes do processo de fabricação, tais como os provocados pela variabilidade (Saha, 2010).

Muitos pesquisadores têm estudado a variabilidade ambiental e física em tecnologias CMOS nanométricas. O conhecimento dos efeitos da variabilidade torna possível desenvolver conjuntos de técnicas para lidar com os efeitos indesejáveis da variabilidade no comportamento elétrico de circuitos CMOS.

A variabilidade demanda grandes esforços para criar técnicas capazes de lidar com a conseqüente incerteza de desempenho e consumo de potência de circuitos nanométricos. Técnicas de projeto para manufatura (*Design for Manufacturability* - DFM) foram e continuam sendo desenvolvidas para superar estes desafios. DFM tem um conjunto de técnicas que pode ser usado para aumentar a manufaturabilidade de projetos. Dentre estas técnicas, destaca-se a modelagem estatística. A modelagem estatística pode ser dividida em duas categorias principais: a analítica e a numérica.

Modelos analíticos dos efeitos de variabilidade aleatória de parâmetros de processo na análise temporal de circuitos digitais são apresentados em (Ketherpal, 2005) (Cao, 2005) (Rahma-Abu, 2008) (Stevanovic, 2009) (Wu, 2010) (Fan, 2010) (Thakker, 2010) e (Wang, 2013). Os efeitos de variações de processo nos atrasos do circuito modelados utilizando o método de resposta de superfície foi principalmente explorado nos trabalhos de (Harish, 2007) e (Choi, 2007). Assim como ferramentas de CAD baseadas em redes neurais têm sido amplamente utilizadas para o projeto de circuitos tanto com dispositivos microeletrônicos como em dispositivos de microondas (Kothapalli, 1995) (Zhang, 2003) (Avci, 2005) (Wolfe, 2003) (Janakiraman, 2010).

Uma das técnicas mais difundidas é a utilização do método de Monte Carlo para estudar o efeito de variações dos parâmetros de processo. Em Ghai (2009), são apresentados os resultados da análise de Monte Carlo para o estudo do efeito da variação dos parâmetros de processo sobre a frequência de oscilação de um VCO CMOS. Análises estatísticas de violações de tempo de espera são apresentados em (Neuberger, 2008) e (Brusamarello, 2010).

Uma avaliação do impacto da variabilidade de processo na corrente I_{DS} de dispositivos nanométricos bulk CMOS mostrou que o efeito de variações nas dimensões do *gate* (L_g) aumenta com a redução do tamanho do nó tecnológico e que os efeitos desta variação são mais expressivos para dispositivos de baixo consumo de potência (tecnologias *Low-Power - LP*) (Meinhardt, 2012). Estas tecnologias *LP* são também consideravelmente afetadas por variações na tensão de *limiar* dos dispositivos. Este experimento considerou a corrente máxima I_{DS} por micrometro nos dispositivos avaliados. Os valores de média (μ) e desvio padrão (σ) de todos os experimentos com dispositivos bulk CMOS do tipo NMOS são apresentados na Tabela 1.1, considerando as tecnologias preditivas de 22nm de alto desempenho (*High Performance - HP*) e de baixo consumo de potência (*Low Power -LP*) disponibilizadas pelo grupo *Berkeley Predictive Technology* (BPTM) (Zhao, 2006). Cada um dos parâmetros foi considerado com um comportamento gaussiano adotando como média (μ) o valor nominal fornecido no modelo da tecnologia e considerando um desvio padrão (σ) de 10% da média. As variações foram consideradas através da técnica de Monte Carlo. Mais detalhes sobre este experimento são fornecidos no Anexo B deste trabalho.

Tabela 1.1 Influência da variabilidade paramétrica na corrente I_{ON} (A/mm) em dispositivos *bulk* CMOS do tipo NMOS na tecnologia de 22nm PTM/High Performance (HP)

Dispositivos		HP	LP	
Parâmetros	L	Média	1.4 mA	513.6 μ A
		Desvio Padrão	140.6 μ A	24.4 μ A
		Desvio Normalizado	10%	4,7%
	Tox	Média	1.39 mA	512.4 μ A
		Desvio Padrão	6.6 pA	17.8 pA
		Desvio Normalizado	0%	0%
	Vth	Média	1.39 mA	512.8 μ A
		Desvio Padrão	51.9 μ A	42.6 μ A
		Desvio Normalizado	3,7%	8,3%

Fonte: Meinhardt (2012)

Nas últimas décadas, a tecnologia CMOS bulk foi a tecnologia mais utilizada na fabricação de circuitos integrados. No entanto, esta tecnologia está atingindo seus limites (King, 2005) e continuar com a redução na escala de fabricação destes dispositivos não será trivial. A tecnologia CMOS bulk em tamanhos nanométricos sofre consideravelmente com os efeitos indesejáveis de canal curto (*short-channel effects* - SCE) (Frank, 2001). De acordo com o relatório de 2011 da *International Technology Roadmap for Semiconductors* (ITRS, 2011), o uso de dispositivos *multigate* proporciona melhor controle dos efeitos de canal curto, menor corrente de fuga e melhor controle do rendimento (*yield*), características que serão necessárias para sobrepor os obstáculos e continuar reduzindo as dimensões de fabricação dos dispositivos (King, 2005). A tecnologia FinFET é apontada como a principal candidata entre os dispositivos *multigate* para substituir a tecnologia CMOS bulk em processos sub-20nm (ITRS, 2011). Sua capacidade de alta corrente de drive e isolamento perfeito faz com que FinFETs sejam vantajosos tanto para projetos de alto desempenho como para aplicações de baixo consumo de potência.

Portanto, entender as fontes de variabilidade em projetos com a tecnologia FinFET é crítico para o desenvolvimento de melhores regras de projeto para circuitos, para garantir testes de robustez precisos e para controlar condições de fabricação para otimização de rendimento.

1.1 Objetivos principais

Este trabalho tem como motivação inicial pesquisar alternativas de células para compor a geração de leiautes dentro de um fluxo de síntese de circuitos integrados ou blocos funcionais, buscando por células mais robustas aos problemas de variabilidade de processo.

Com os desafios relacionados à redução na escala de fabricação dos dispositivos em tecnologias nanométricas, principalmente as abaixo de 20nm, a tecnologia *bulk* CMOS enfrenta fortes desafios principalmente relacionados aos efeitos de canal curto. A tecnologia FinFET é apontada como a principal candidata para substituir a tecnologia *bulk* CMOS para nodos sub-20nm.

Neste contexto, este trabalho explora tipos de projeto com tecnologia FinFET. São objetivos principais deste trabalho no estudo de células em tecnologias FinFET:

- Caracterizar o desempenho temporal e o consumo de potência, tanto dinâmica como estática;
- Identificar os principais parâmetros geométricos em tecnologias FinFET cuja variabilidade afete as características elétricas
- Avaliar a robustez aos efeitos de variabilidade de processo.

Alguns modelos e tipos de projeto são menos suscetíveis à variabilidade, ou seja, alguns estilos de concepção são mais ou menos robustos às variações de processo ou ambientais, quer sistemáticas ou aleatórias. Esta pesquisa explora esta ideia, ao examinar tipos de projeto de circuitos integrados e os aspectos que podem ajudar a melhorar a capacidade de fabricação e desempenho nas futuras gerações.

A primeira contribuição deste trabalho é a exploração de tipos de projeto possíveis com a tecnologia FinFET, tais como o projeto com FinFET de 4 terminais nos estilos *Short-Gate*, *Independent-Gate* e *Low-Power*. Como principais contribuições espera-se a redução de área, a redução do consumo dinâmico e estático e a menor sensibilidade a efeitos de variabilidade de processo quando comparadas à células em tecnologia *bulk* CMOS. As células FinFETs foram caracterizadas e modeladas de forma a serem inseridas em um fluxo de síntese regular. Neste fluxo, estas células podem ser acrescentadas na biblioteca de células obtida com uma ferramenta para a geração de leiautes regulares. Detalhes sobre esta ferramenta são fornecidos no Anexo A.

A segunda contribuição deste trabalho é a identificação das principais fontes de variabilidade e a tendência de comportamento em tecnologias FinFET sub-20nm. Até o momento da elaboração deste documento, a pesquisa de estado-da-arte aponta que este foi o primeiro trabalho a investigar em nível elétrico a contribuição de variações em parâmetros geométricos e elétricos na potência dinâmica e estática de dispositivos FinFET sub-20nm.

A terceira contribuição deste trabalho é quantificar a influência das flutuações da função trabalho de FinFETs nas tecnologias sub-20nm, traçando um panorama preditivo dos efeitos da variabilidade em tecnologias sub-20nm.

1.2 Organização deste trabalho

Visando comprovar e obter os resultados esperados para atingir as contribuições apresentadas na Seção de objetivos, este trabalho segue uma sequência metodológica para esquematizar os experimentos realizados.

Os passos realizados para validar as contribuições desta tese são divididos em:

1. Introdução dos conceitos básicos sobre a tecnologia FinFET, composta de uma revisão histórica e bibliográfica sobre dispositivos *multigate*, com ênfase na tecnologia FinFET, apresentado no Capítulo 2 deste documento.
2. Projeto de células de alto desempenho nas tecnologias *bulk* CMOS e FinFET de 32nm, onde as principais contribuições deste experimento são comparar células nas tecnologias CMOS *bulk* e FinFET quanto à potência e atraso; e avaliar o impacto das variações de processo, voltagem e temperatura em células de 32nm nas tecnologias CMOS *bulk* e FinFET. Os resultados e conclusões deste passo são apresentados no Capítulo 3 deste documento e foram publicados em Meinhardt (2014a) e Meinhardt (2015a).
3. Estudo e revisão do estado-da-arte relacionado ao tema de variabilidade na tecnologia FinFET sub 22nm.
4. O próximo passo é a análise dos efeitos de variabilidade identificados no passo 3 em dispositivos FinFETs em tecnologias preditivas sub 22nm. Este estudo considera tanto a variabilidade paramétrica nos aspectos geométricos do dispositivo, como nos aspectos elétricos de dispositivos com *gate* em metal. Compreende também a análise destes efeitos em células de uma biblioteca *Standard Cell*. Estes procedimentos e as conclusões obtidas foram publicadas em Meinhardt (2014b) e Meinhardt (2014d).

Ao final destes passos foi elaborado um conjunto de conclusões que validam e reforçam a importância das três principais contribuições objetivos desta tese. Estas conclusões são apresentadas no Capítulo 5, juntamente com as potenciais continuações que este trabalho permite explorar no futuro. Detalhes mais específicos dos experimentos serão descritos ao longo da apresentação de cada resultado obtido.

2 TECNOLOGIA FINFET

A tecnologia CMOS *bulk* clássica, ou transistor planar, tem sido utilizada na fabricação de circuitos integrados durante várias décadas, tendo o tamanho dos transistores diminuído constantemente ao longo dos anos. De acordo com o relatório da *International Technology Roadmap to Semiconductors* (ITRS, 2011), transistores MOSFET planares requerem alta dopagem de canal para controlar os efeitos de canal curto, que refletem na degradação da mobilidade e aumento da corrente de fuga. Para superar esses obstáculos, MOSFETs de múltiplas portas são uma das tecnologias mais promissoras, porque permitem um melhor controle dos efeitos de canal curto, menor corrente de fuga e maior rendimento nos processos de alta densidade (King, 2005).

Um dispositivo *multigate* ou transistor de efeito de campo com múltiplas portas (*multigate device or multiple gate field-effect transistor* - MuGFET) refere-se a um MOSFET que incorpora mais do que um terminal de gate em um único dispositivo. Em dispositivos *multigate*, o canal é rodeado por várias portas em várias superfícies. Estes dispositivos fornecem um melhor controle elétrico sobre o canal, permitindo uma redução mais eficaz da corrente de fuga e um controle maior da corrente dinâmica (Subramanayam, 2005). Estas vantagens traduzem em menor consumo de energia e melhor desempenho dos dispositivos.

As múltiplas portas podem ser controladas por um único eletrodo, agindo eletricamente como uma única porta, ou por eletrodos de porta independentes. Um dispositivo *multigate*, empregando eletrodos de porta independentes, é às vezes chamado de *Multiple Independent Gate Field Effect Transistor* (MIGFET). Muitos tipos de transistores *multigate* podem ser encontrados na literatura, por exemplo em (Huang, 1999), (Aller, 2003), (Sing, 2006), (Cartwright, 2011) e (James, 2012). Em geral, estes

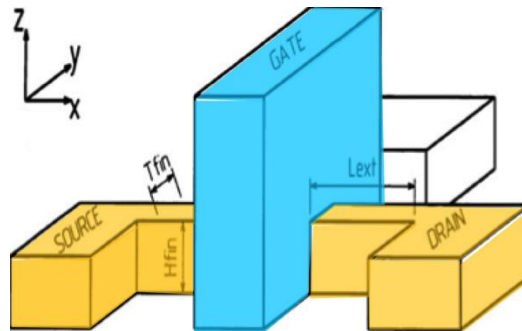
podem ser diferenciados e classificados em termos de arquitetura (planar versus não-planar) e o número de portas (2, 3 ou 4).

As principais descobertas sobre dispositivos *multigate* MOSFET aconteceram por volta dos anos 80. O primeiro transistor *multigate* foi publicado por Sekigawa em 1984, mostrando que era possível reduzir os efeitos de canal curto adotando dois dispositivos SOI (*Silicon on Isolator*) totalmente depletados entre dois eletrodos de *gate* conectados juntos. Dois anos depois, Hisamoto (1989) demonstrou um antecessor ao FinFET, sendo o primeiro transistor de porta dupla, em tecnologia de silício com *bulk*, chamado DELTA.

O primeiro FinFET tem tecnologia de substrato SOI foi publicado uma década depois por Hisamoto (1998). A primeira demonstração de um circuito com FinFETs foi um inversor de 4 estágios em 2002, por Rainey (2002) e no mesmo ano Nowak reportou uma célula SRAM (Nowak, 2002).

FinFETs são transistores não planares cuja principal característica é o canal condutor ser envolto por uma fina estrutura de silício, chamada de "*fin*", que forma o corpo do dispositivo (Huang, 1999). O tamanho do *fin* em um dispositivo FinFET (medido na direção da fonte para o dreno) determina o comprimento do canal efetivo do dispositivo. A Figura 2.1 mostra a estrutura de um FinFET destacando as dimensões decisivas para determinar o comprimento de canal efetivo (L_{eff}) e a largura de canal efetiva (W_{eff}). O cálculo destas duas medidas é dado pelas Equações 2.1 e 2.2, respectivamente, onde H_{FIN} é a altura do fin, T_{FIN} é a espessura do silício, L_{gate} é o comprimento do *gate* e L_{ext} é a extensão da região de fonte e dreno. A espessura do silício em muito trabalhos também é chamada de W_{FIN} . Neste documento as duas representações para a espessura do silício, sendo predominante a utilização do termo W_{FIN} nos experimentos realizados.

Figura 2.1 Estrutura de um FinFET



Fonte: Choi (2007)

$$L_{\text{eff}} = L_{\text{gate}} + 2 \times L_{\text{ext}}$$

Equação 2.1 Comprimento de canal efetivo para dispositivos FinFET duplo *gate*

$$W_{\text{eff}} = T_{\text{FIN}} + 2 \times H_{\text{FIN}}$$

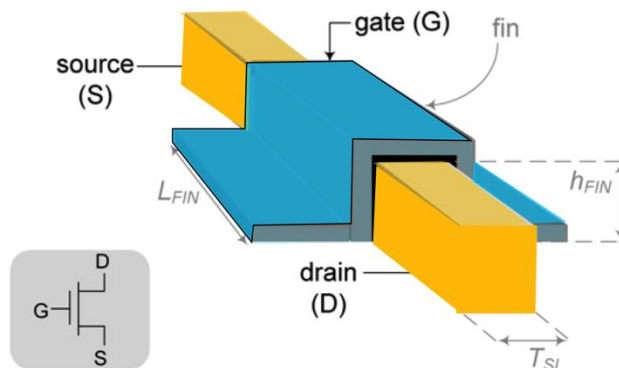
Equação 2.2 Largura de canal efetivo para dispositivos FinFET duplo *gate*

Existem FinFETs de três (3T FinFET) ou quatro terminais (4T FinFET). A estrutura básica de um 3T FinFET é o *fin* vertical, mostrado na Figura 2.2, que consiste de uma difusão fonte-dreno, contornada pelo *gate*, separados pelo óxido de *gate*. A Figura 2.3 apresenta a vista superior e em corte-transversal de um FinFET 3T. As dimensões físicas do *fin* são a altura H_{FIN} , espessura do silício T_{SI} e o comprimento L_{FIN} . Para esta estrutura, a largura de canal W_{MIN} é o dobro da altura do *fin* (Huang, 1999), como mostra a Eq. 2.3.

$$W_{\text{MIN}} = 2 * H_{\text{FIN}}$$

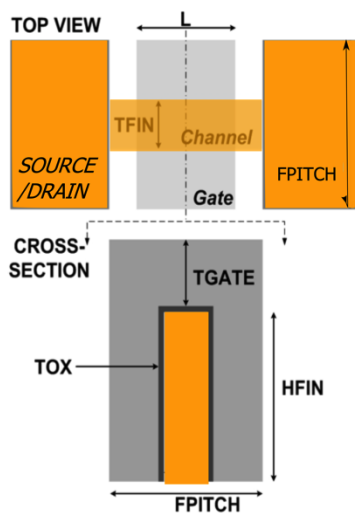
Equação 2.3 W_{MIN} para FinFETs de 3 Terminais

Figura 2.2 Estrutura geométrica de um transistor 3T FinFET



Fonte: Alioto (2011)

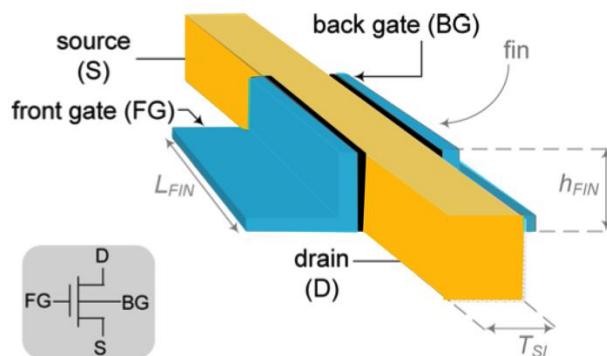
Figura 2.3 Vista superior e em corte-transversal de um FinFET 3T



Fonte: Sinha (2012)

Esta estrutura pode ser modificada para um transistor 4T FinFET removendo a parte superior do *gate*, assim dividindo o *gate* em *front-gate* e *back-gate*, como mostra a Figura 2.4. Nesta estrutura, o comprimento do canal continua sendo L_{FIN} , entretanto a largura do canal vista de cada *gate* é igual H_{FIN} . 4T FinFETs permitem aplicar uma voltagem diferente no *back-gate*, isso permite controlar a tensão de limiar. Esta estrutura também é conhecida como *Independent-Gate* FinFET (IGFinFET).

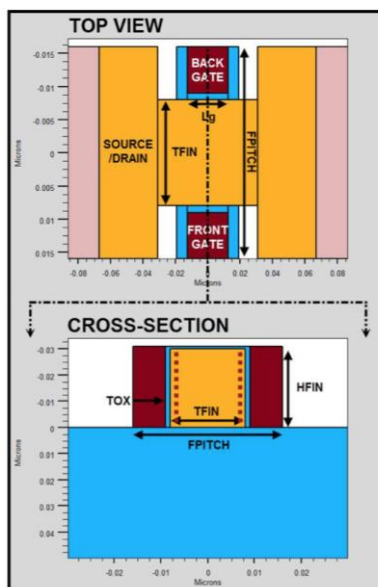
Figura 2.4 Estrutura geométrica de um transistor 4T FinFET



Fonte: Alioto (2011)

A Figura 2.5 mostra um exemplo de vista superior e de seção transversal de um IGFinFET. FinFETs com dois *gates* eletricamente independentes dão aos projetistas de circuitos mais flexibilidade para projetar com eficiência portas lógicas de baixa potência (Rostami, 2011). O *back-gate* também pode ser conectado externamente ao *front-gate* do mesmo transistor para implementar um transistor 3T FinFET com W_{MIN} equivalente a $2 H_{\text{FIN}}$, mas com pior densidade de leiaute que um 3T. Outra opção é utilizar o transistor 4T como um dispositivo único substituindo dois transistores menores que estão em paralelo (cada um tendo $W = H_{\text{FIN}}$).

Figura 2.5 Vista superior e em corte-transversal de um FinFET 4T (IGFinFET)



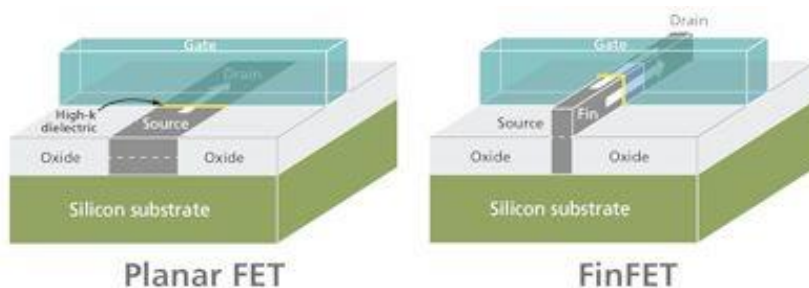
Fonte: Zarei (2013)

Um transistor FinFET com um único *fin* implementa um dispositivo com largura de canal W_{MIN} . Para aumentar a largura de canal é necessário conectar um número de *fins* N_{FIN} em paralelo com um lado comum de difusão (Anil, 2003), de forma que satisfaça a Equação 2.4. O número de *fins* é sempre inteiro, assim, a largura de canal em FinFETs é quantizada em múltiplos de W_{MIN} .

$$W = N_{\text{FIN}} \times W_{\text{MIN}} \quad \text{Equação 2.4 Largura de canal em FinFETs}$$

A Figura 2.6 apresenta uma comparação entre um transistor planar e um FinFET, mostrando a estrutura *fin*. As duas portas dos FinFETs permitem fornecer controle eficaz dos efeitos de canal curto, sem necessitar reduzir drasticamente a espessura do óxido de *gate* e aumentando a densidade de dopagem do canal (Li, 2010) (Aller, 2003). A fabricação de um FinFET é muito semelhante ao processo de fabricação de transistores CMOS planar tradicionais (*bulk*). Como resultado, embora vários ajustes de grande complexidade devam ser realizados, o processo de fabricação apresenta um certo grau de compatibilidade com a metodologia de concepção CMOS planar e com as técnicas de automação.

Figura 2.6 Planar FET versus *bulk*-FinFET



Fonte: Deokar (2013)

Transistores *double-gate* planares empregam o processo de fabricação planar convencional (camada por camada) para criar dispositivos *double-gate*, evitando exigências mais rigorosas para a litografia, associadas aos transistores não-planares. Neste tipo de transistor, o canal entre dreno e fonte é comprimido entre duas portas, fabricadas de forma independente, feitas por pilhas de óxido. O principal desafio na fabricação de tais estruturas é o alinhamento entre as portas superiores e inferiores (Wong, 1997).

Outro tipo de *multigate* é o *Tri-gate* ou transistor 3D usado pela Intel. Esses transistores possuem uma única porta empilhada em cima de duas portas verticais que permitem essencialmente três vezes a área de superfície para o tráfego dos elétrons. A Intel informa que seus transistores *tri-gate* reduzem as correntes de fuga e consomem muito menos energia do que os transistores atuais (Cartwright, 2011). Com isso, é possível elevar em até 37% a velocidade de processamento, ou reduzir o consumo de energia em mais de 50%, comparado ao transistor planar (James, 2012). O termo *tri-gate* é por vezes utilizado genericamente para designar qualquer Multigate FET com três portas.

Já os transistores *Gate-all-around* FETs são semelhantes em conceito aos FinFETs, exceto que o material do *gate* rodeia a região de canal em todos os lados. Dependendo do projeto, este tipo de transistor pode ter duas ou quatro portas (Sing, 2006).

2.1 Tipos de projeto com 4T FinFETs

FinFETs de 4 terminais (4T) podem ser utilizados no estilo *independently-driven* DG-FETs (IDDG-FET), ou seja, permitindo que a segunda porta de um FinFET seja conectada em diferentes configurações (Aller, 2003) (Beckett, 2002). Além disso, o dispositivo de polarização separada fornece facilmente várias tensões de limiar e, dependendo do estilo de projeto adotado, pode também reduzir o número de transistores necessários para implementar uma função lógica. Normalmente, a segunda porta é conectada em curto com a primeira porta para melhorar o controle do canal (*Shorted-Gate (SG) FinFET*).

Já no estilo *Independent gate* (IG) FinFET, são adotados sinais digitais independentes para controlar cada uma das duas portas do dispositivo (Datta, 2007). Este estilo está se tornando atrativo pela sua capacidade de otimização de projeto (Wang, 2010) (Muttreja, 2007) (Wang, 2009) (Nirmal, 2010).

Propostas de baixo consumo de potência (*Low Power – LP*) são apresentadas em Wang (2009) e Nirmal (2010). Na proposta de Nirmal, o segundo *gate* dos finFETs de uma mesma rede *pull-up* ou *pull-down* podem ser interligados. Em outras abordagens,

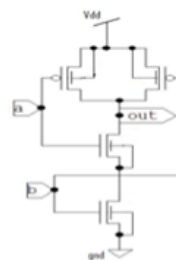
uma tensão diferente pode ser aplicada nestes *gates*, reduzindo o consumo de potência (Rostami, 2011).

A Figura 2.7 mostra diferentes tipos de projeto para uma porta NAND2 com FinFETs, além de um exemplo da mesma porta em lógica complementar CMOS (a). O estilo SG FinFET (b) apresenta os dois terminais de *gate* de cada dispositivo sendo ligados em curto. Em (c), os sinais em paralelo da rede de *pull-up* são conectados cada um em uma das portas do dispositivo PMOS, no estilo independente (IG FinFET). O estilo *low-power* é mostrado em (d). Além disso, alguns pesquisadores propõe combinações entre os estilos visando obter portas com menor consumo de potência (*low-power*), como mostra a Figura 2.7 (e) (Nirmal, 2010).

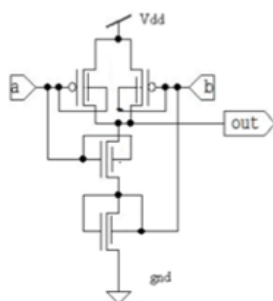
Figura 2.7 Tipos de projeto com FinFETs para a porta lógica NAND2

Tabela Verdade da função NAND2

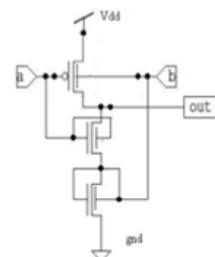
A (input)	B (input)	Out (output)
0	0	1
0	1	1
1	0	1
1	1	0



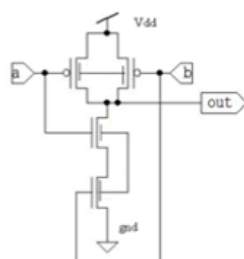
(a) clássica NAND2 CMOS



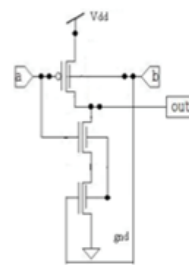
(b) SG NAND2



(c) IG NAND2



(d) LP NAND2



(e) IG/LP NAND2

Fonte: Nirmal (2010)

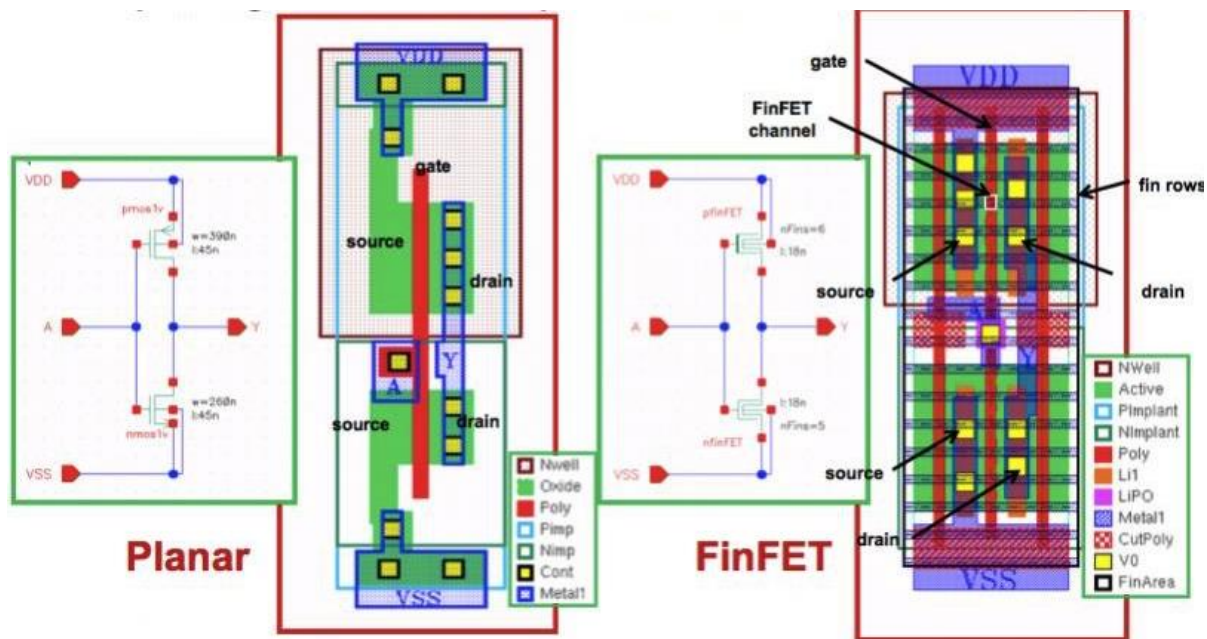
2.2 Considerações sobre o leiaute em tecnologia FinFET

No leiaute de dispositivos planares tradicionalmente é possível variar a largura e o comprimento dispositivo de forma contínua, dentro das limitações das regras de projeto de uma tecnologia. Para tecnologias de 20nm, por exemplo, as regras de projeto são tão restritivas que os transistores planares também são projetados praticamente na forma de uma matriz. Para construí-los, por razões de litografia, o material do *gate* precisava ser colocado em linhas paralelas com espaçamento apropriado nas laterais limites da célula e, em seguida, uma máscara de corte é usada para dividir as linhas do *gate* em transistores. Assim, o comprimento dos transistores é praticamente fixo, mas pelo menos transistores planares permitem a escolha da largura (W) definindo um bom dimensionamento que atenda as restrições de projeto.

Em FinFETs é adotada a mesma técnica, mas não é possível escolher a largura arbitrariamente. Como o *fin* possui um tamanho fixo, em um dispositivo FinFET somente é possível variar o tamanho de um transistor juntando *fins* em paralelo. Esta característica é chamada de quantização. Assim, para aumentar a largura efetiva de um FinFET apenas é possível definir quantos *fins* são controlados pelo mesmo sinal. Deste modo, o leiaute de uma célula FinFET consiste em linhas de fonte / dreno com fileiras de *gate* no sentido ortogonal. Dada essas características físicas dos FinFETs, na elaboração do leiaute de células, estes dispositivos deverão ser colocados em uma espécie de matriz.

A Figura 2.8 apresenta uma comparação simples entre o leiaute de um inversor em um nó da uma tecnologia CMOS planar e o leiaute de um inversor na tecnologia FinFET. O inversor FinFET parece ter três portas (vermelho), o que é verdade. Cada transistor tem de ser encerrado com portas *dummy* em cada borda. Não é permitido simplesmente cortar a difusão como no dispositivo planar à esquerda. No meio do inversor FinFET também é possível ver a área em vermelho, que é a máscara de corte que separa os transistores de P e N (McLellan, 2014).

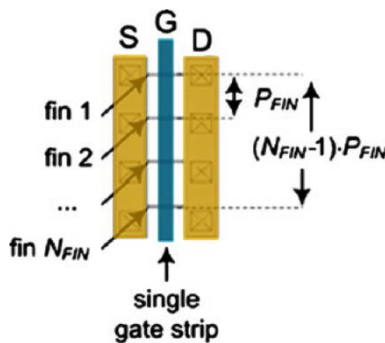
Figura 2.8 Diferenças no leiaute de um inversor em tecnologia CMOS planar e em FinFET



Fonte: McLellan (2014)

Considerando que W_{MIN} é a largura de canal de um único *fin* em dispositivos FinFET duplo *gate*, e que W maiores são obtidos conectando *fins* em paralelo, a Figura 2.9 mostra como a área ocupada por um dispositivo será proporcional à $(N_{\text{FIN}} - 1) \times P_{\text{FIN}}$, onde P_{FIN} é o *pitch* do *fin* definido pela tecnologia.

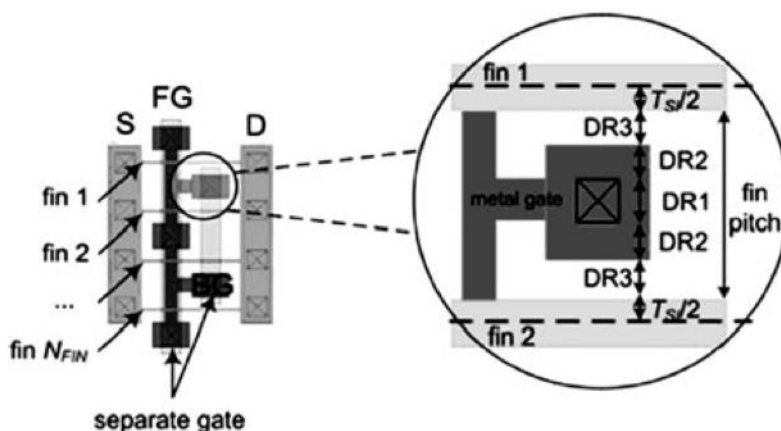
Figura 2.9 Leiaute SG-FinFET



Fonte: Alioto (2010)

A Figura 2.10 detalha o leiaute de um transistor 4T FinFET, com controle independente de cada *gate*, implementando o modo *Independent-Gate* FinFET (IG). Neste modo, os terminais de *gate* (*front-gate* e *back-gate*) tem contatos independentes. Por isso, o *pitch* do *fin* precisa ser incrementado para ter tamanho suficiente para acomodar o contato da *back-gate*. Conseqüentemente, o *fin pitch* em IG FinFETs é maior que o de 3T FinFETs ou 4T FinFETs no modo SG. O *fin pitch* para IG FinFETs será determinado por $T_{Si} + DR1 + 2(DR2 + DR3)$, onde DR1, DR2 e DR3 são especificações de distâncias mínimas das regras de projeto.

Figura 2.10 Leiaute de um transistor IG-FinFET



Fonte: Alioto (2011)

Atualmente, existem duas tecnologias usadas para definir P_{FIN} : litografia direta (*direct lithography*) ou definida por espaçador (*spacer-defined*). Com a tecnologia de litografia direta, também chamada de *litho-defined*, P_{FIN} é definido pela resolução litográfica do processo. Por outro lado, na tecnologia definida por espaçador, P_{FIN} pode ser reduzido à metade, possibilitando o uso de controle sub-litográfico do *fin pitch*.

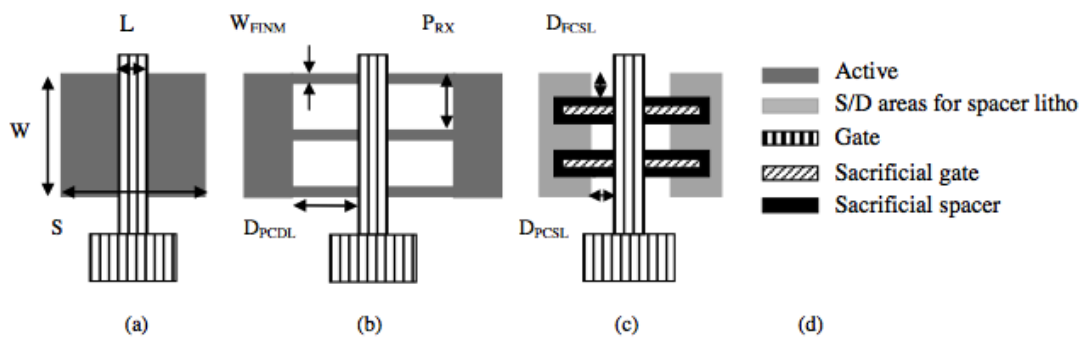
Entretanto, a área do dispositivo depende também da difusão de *source/drain* (S/D) e do *gate underlap*. Estas áreas permanecem as mesmas para as duas tecnologias.

As principais diferenças no leiaute com litografia direta e com litografia definida por espaçador, mostradas na Figura 2.11, é que na litografia definida por espaçador, primeiro é feita a área de *sacrificial gate*, para depois as áreas ativa de *source/drain* (S/D)

áreas) serem impressas sobre este espaço. Após, estas máscaras são utilizadas para subseqüentes *etching* de áreas ativas. Neste modo, dois *fin*s podem ser feitos por *pitch* de litografia.

A Figura 2.11 apresenta o leiaute de transistores convencionais MOSFET e FinFETs. Na imagem, W é a largura da região ativa, S é o comprimento da região ativa, W_{FINM} é a largura do *fin* na máscara e P_{RX} é o *pitch* de litografia, onde somente um *fin* pode ser acomodado em cada *pitch*. D_{PCDL} e D_{PCSL} são regras de projeto de distância entre o *gate* e áreas de S/D. D_{FCSL} é a regra de projeto de distância mínima entre o *spacer edge* e a área ativa de S/D. Anil (2003) apresenta o cálculo da Largura, Comprimento da Região Ativa e Área Ativa para os dispositivos FinFETs, concluindo que para leiautes competitivos, o W_{EFF} deve ser maior ou igual que W . As fórmulas para cálculo do W_{EFF} para litografia direta e litografia por espaçador são mostradas nas Equações 2.5 e 2.6, para número de *fin*s maior que 2, respectivamente.

Figura 2.11 Leiaute de transistores convencionais MOSFETs e FinFETs. (a) planar MOSFET (b) FinFET com direct patterning da área ativa (c) FinFET com spacer patterning da área ativa



Fonte: Anil (2003)

$$W_{EFF_litografia_direta} = 2 * W * \frac{H_{FIN}}{P_{RX}} \quad \text{Equação 2.5}$$

$$W_{EFF_litografia_por_espaçador} = 4 * W * \frac{H_{FIN}}{P_{RX}} \quad \text{Equação 2.6}$$

A técnica de litografia direta tem alta dependência da altura do *fin*, com valores significativamente maiores, na ordem de três vezes maiores, que os adotados em (Hisamoto, 1998), (Kedzierski, 2001), (Yang, 2002), (Nowak, 2002) e (Yu, 2002). Já a

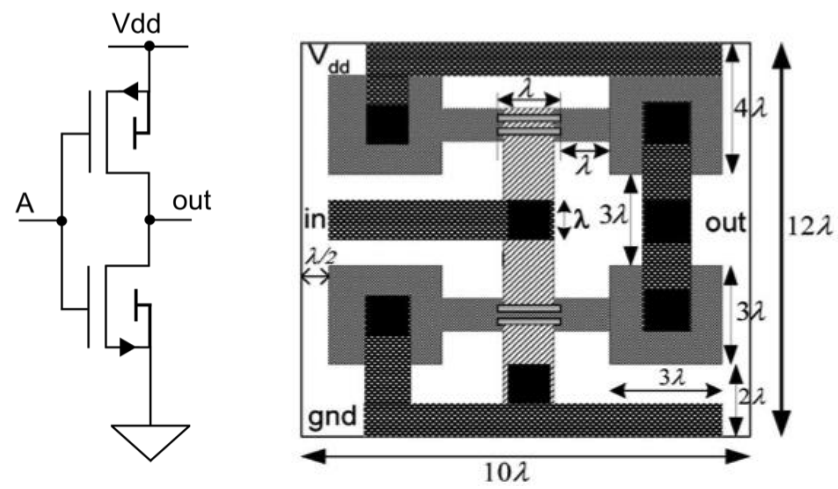
litografia definida por espaçador pode ser uma boa candidata para atender os requisitos de densidade com valores razoáveis de altura do *fin*, semelhantes aos trabalhos anteriormente citados. Entretanto, requer um passo adicional de litografia.

Anil (2003) afirma que a conversão entre os leiautes com tecnologia CMOS planar para leiautes FinFET não é trivial e apresenta uma análise de densidade de leiaute de FinFETS mostrando que tanto leiautes com litografia direta como os definidos por espaçador podem ser competitivos com CMOS planar desde que sejam feitas escolhas apropriadas de altura dos *fins* (H_{FIN}).

Um outro método para reduzir a área é baseado no aumento de W_{MIN} , que representa aumentar a altura do *fin* (Alioto, 2010). Entretanto, valores elevados de altura do *fin* são desconsiderados para controlar os efeitos de canal curto. Uma certa relação deve ser mantida entre a altura do *fin*, o comprimento do canal e a largura do *fin*. Em Datta (2007) é apresentado o leiaute de um inversor IG-FinFET para estimar o impacto na área da adoção da tecnologia IG-FinFET considerando o uso de FinFETs 4-T. O leiaute é mostrado na Figura 2.12 e corresponde ao inversor IG-FinFET. O leiaute apresentado é baseado no conjunto de regras para FinFETs proposto por Nowack (2004), onde a área é representada em termos do mínimo espaço requerido, λ . A diferença deste leiaute para o leiaute de um inversor SG FinFET é a necessidade do contato de polisilício para metal no terminal de *back-gate* do transistor NMOS. Embora para o inversor a análise mostre um aumento na área de leiaute para o modo IG, em células que permitam unir dois sinais no mesmo transistor no modo IG-FinFET, a redução do número de transistores provocará uma redução também na área do leiaute.

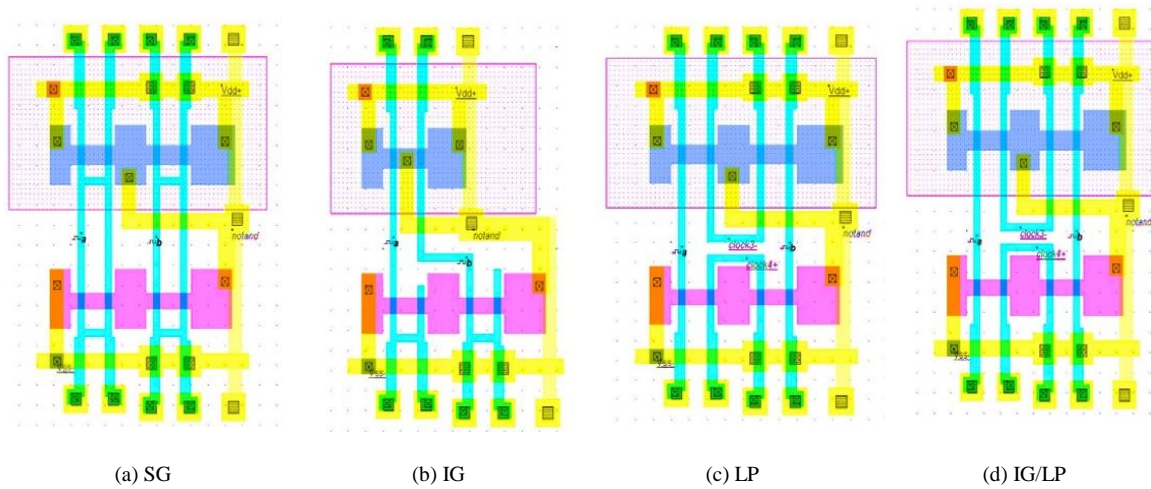
Kumar (2010) comparou os leiautes de portas NAND2 em diferentes tipos de projeto (CMOS clássica, SG-FinFET, IG-FinFET, LP-finFET e IG/LP FinFET) na tecnologia de 70nm considerando duas abordagens de leiaute: difusões em forma de *fins* e difusões retangulares, como mostrado nas Figuras 2.12 e 2.13, respectivamente. Ele observou uma redução de 23% no consumo de potência dos estilos de leiaute com FinFET comparado ao clássico CMOS. Os leiautes considerando as difusões em forma de *fins* obtiveram os melhores resultados em termos de potência. Entretanto, as células apresentaram resultados de atrasos maiores que os das células CMOS.

Figura 2.12 Leiaute de um inversor IG-FinFET



Fonte: Datta (2007)

Figura 2.13 Leiautes de portas NAND2 considerando difusões em forma de *fins*



(a) SG

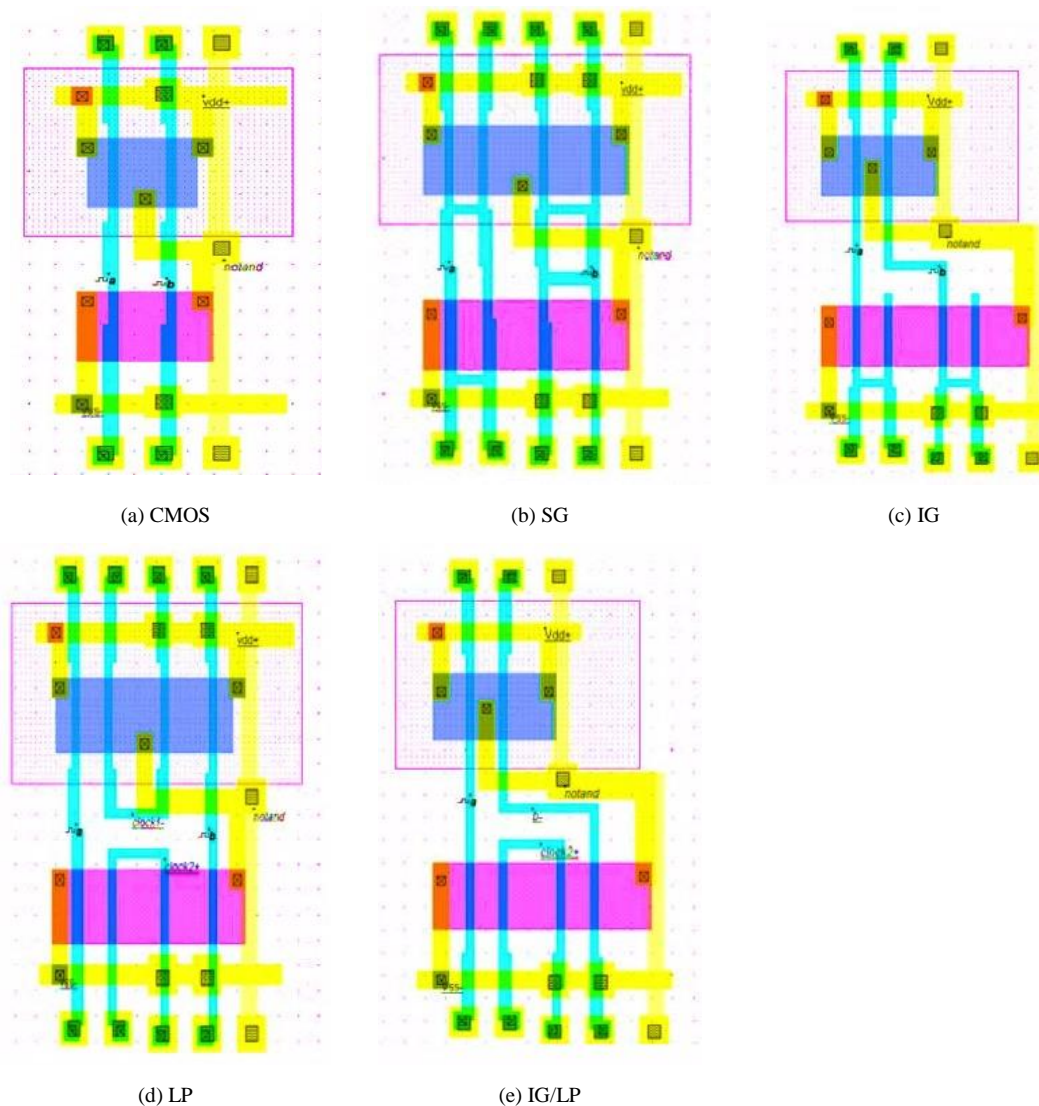
(b) IG

(c) LP

(d) IG/LP

Fonte: Kumar (2010)

Figura 2.14 Leiautes de portas NAND2 considerando difusões retangulares



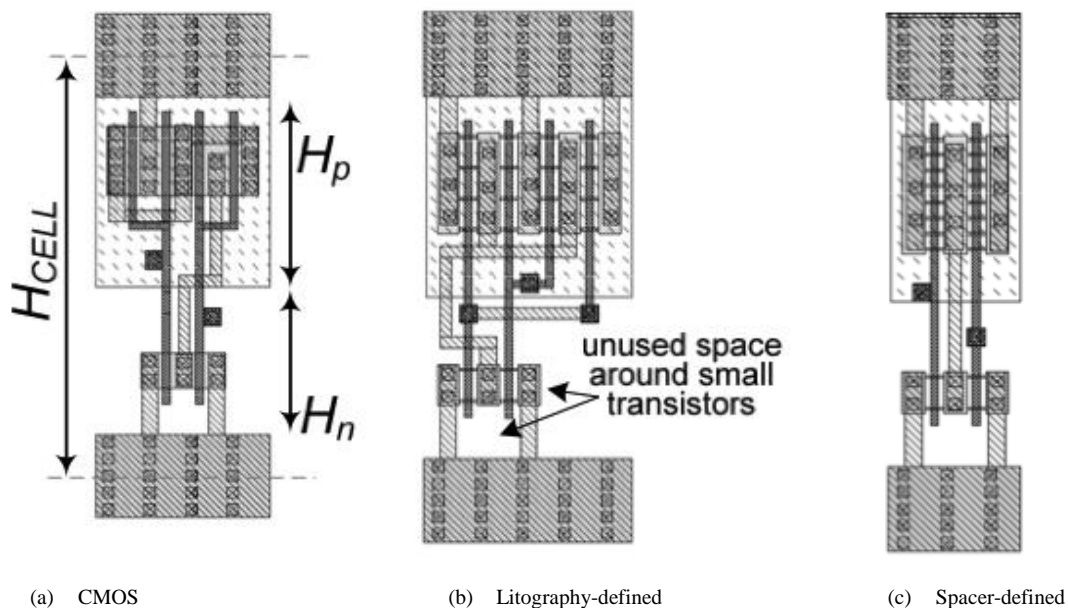
Fonte: Kumar (2010)

Outros trabalhos também demonstram melhores resultados de potência e área para células FinFET, quando comparadas com células CMOS bulk tradicionais, com a contrapartida de aumento nos atrasos dos circuitos (Wang, 2009) (Datta, 2007).

Alioto (2010) comparou o leiaute de células para compor uma biblioteca padrão de células quanto à tecnologia de fabricação: com litografia direta ou definida por espaçador, como mostra a Figura 2.15. Comparando com os leiautes CMOS da biblioteca padrão em uma tecnologia de 32nm, os resultados obtidos mostraram maior densidade de leiaute inclusive quando não é considerada a altura do *fin* tão agressiva (alta). Também

foi mostrado que, para células reais de bibliotecas de células, a tecnologia definida por espaçador não corresponde à previsão de redução de 2x na densidade de leiaute.

Figura 2.15 Exemplos de leiautes para uma porta NOR2 em tecnologia CMOS bulk (a), FinFET *litography-defined* (b) e *spacer-defined* (c)



Fonte: Alioto (2010)

2.3 Modelos propostos para tecnologia FinFET

Modelos preditivos são de suma importância no projeto de circuitos e suas otimizações. Com o avanço das tecnologias, e a tendência da substituição da tecnologia CMOS planar pela tecnologia FinFET para nós abaixo de 22nm, é importante considerar modelos preditivos para esta nova tecnologia. Principalmente para modelar adequadamente as diferenças da tecnologia FinFET tais como novas capacitâncias, maior resistência, largura de transistor quantizada, fator 3D e baixa mobilidade (Sinha, 2012).

Transistores *multigate* vem sendo estudados através de ferramentas de simulação 3D de dispositivos (Pei, 2002), (Dunga, 2008) (Yesayan, 2010) (Ferreira, 2012) (Gerrer, 2013) (Bhoj, 2013). Um dos principais modelos verificados com TCAD é o BSIM-CMG (Dunga, 2008) (Yao, 2010). Este modelo foi desenvolvido em Verilog-A pelo UC

Berkeley BSIM Group. Este modelo incorpora nas características dos dispositivos os efeitos das estruturas 3D, os efeitos QME (*Quantum Mechanical Effects*) e os efeitos de canal curto. Com este modelo é possível modelar diferentes estruturas de dispositivos *multigate*, tais como *double-gate*, *tri-gate* e *gate-all-around* FETs.

Ferreira (2012) apresenta uma estrutura básica simplificada para simulação numérica em 3D do transistor FinFET com o objetivo de definir parâmetros para o SOI-FinFET viáveis para a tecnologia de 22 nm, com comprimento de canal efetivo menor que 20 nm. Os resultados são comparados com medidas em dispositivos SOI-FinFETs fabricados pelo IMEC (*Interuniversity Microelectronics Center in Belgium*).

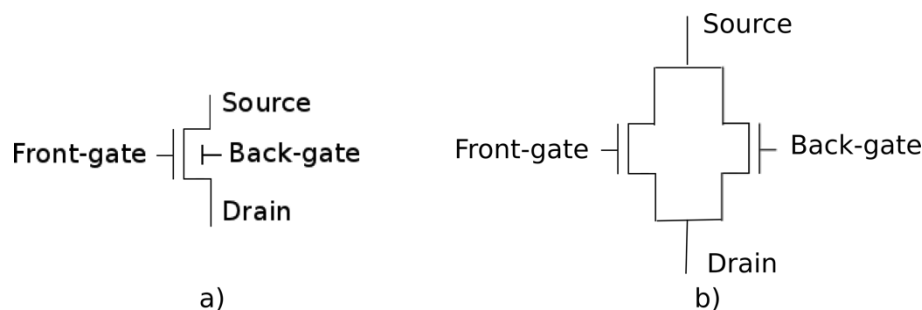
Modelos 3D simulados em ferramentas TCAD fornecem alta precisão. Entretanto, o desempenho destas ferramentas torna proibitiva a simulação de arranjos com alguns poucos transistores, sendo muito elevado o tempo de simulação para circuitos VLSI. Modelos elétricos para simulação SPICE exigem menor tempo computacional comparado com modelos 3D, fornecendo uma alternativa para auxiliar no projeto de circuitos.

Os grupos *Berkeley Predictive Technology Modeling* (BPTM) e *Arizona State University* (ASU) PTM disponibilizaram em 2005 um modelo SPICE de sub-circuito para FinFETs (*double-gate*) com base no modelo SOI BSIM para as tecnologias de 45nm e 32nm (Zhao, 2006). Este modelo permite simular transistores FinFET 3T e 4T. Entretanto, por modelar o comportamento de um FinFET através de transistores MOSFET SOI, como mostrado na Figura 2.16, este modelo não adota o número de *fins* na sua modelagem. Neste modelo somente é possível a configuração de W através de valores contínuos de W equivalente, pelo parâmetro WDG. Este W será dividido entre os dois transistores SOI e a voltagem para cada nodo de gate será calculada considerando parâmetros do modelo BSIM SOI 3.2. Por estas razões, este modelo apresenta um comportamento não fiel ao esperado para transistores, sendo impossível modelar certas propriedades de FinFETs, além de sofrer com problemas de convergência para nodos menores.

O modelo UFDG (*University of Florida Double-Gate*) SPICE é baseado em um modelo físico e demonstra um ajuste correto com resultados experimentais (ZHANG,

2013). Entretanto, este modelo necessita alguns ajustes para ser utilizado em diferentes nodos tecnológicos.

Figura 2.16 Transistor FinFET (a) e modelo PTM equivalente utilizado para FinFETs nos nodos de 32nm e 45nm com dois transistores MOSFET SOI (b)



Fonte: Zhao (2006)

Recentemente, alguns modelos elétricos foram propostos para a tecnologia 3T FinFET com boa fidelidade. Baseado no modelo BSIM-CMG, a PTM disponibilizou um pacote de modelos preditivos para simulação elétrica de dispositivos *multigates*, o PTM-MG. São disponibilizados modelos preditivos para as tecnologias de 20 nm à 7 nm (Sinha, 2012). Sinha *et al.* (2012) propôs um fluxo para gerar modelos preditivos baseados em modelos TCAD. Neste fluxo, os parâmetros físicos são escalados considerando as tendências do ITRS. Os parâmetros utilizados neste modelo são apresentados na Tabela 2.1. Os principais parâmetros para determinar o comportamento de FinFETs são os parâmetros primários, os de especificações da tecnologia e os físicos. Os parâmetros secundários são utilizados apenas para um ajuste fino das características de corrente-voltagem e para capturar efeitos secundários.

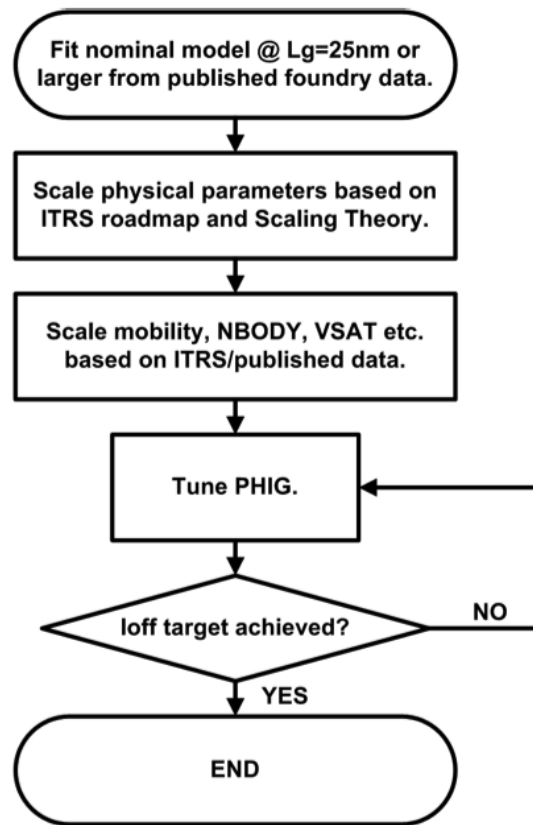
Este modelo foi desenvolvido seguindo o fluxograma mostrado na Figura 2.17. Os parâmetros de mobilidade, dopagem do canal (NBODY), velocidade de saturação (V_{sat}), dentre outros, são escalados considerando dados publicados no ITRS. O principal ajuste é o da função de trabalho do *gate* (PHIG) que é ajustado até que a corrente de corte (I_{off}) objetivo seja atingida. Este conjunto de modelos foi escolhido para ser adotado neste trabalho nas seções que avaliam FinFETs sub 20nm. Uma comparação do comportamento deste modelo com o dispositivo 3D proposto por Ferreira (2012) é apresentada no Anexo C deste trabalho.

Tabela 2.1 Parâmetros do modelo PTM-MG

Parâmetros Primários	
L	Comprimento do <i>gate</i>
$TFIN$	Espessura do <i>fin</i>
$HFIN$	Altura do <i>fin</i>
$FPITCH$	<i>Fin pitch</i>
Especificações de Tecnologia	
EOT	Espessura equivalente do óxido
Vdd	Tensão de alimentação
R_{DS}	Resistência de <i>Source/Drain</i>
Parâmetros Secundários	
$PHIG$	Função de trabalho do <i>gate</i>
$NBODY$	Dopagem do canal
$CDSC$	Acoplamento de <i>Source/Drain- Canal</i>
E_{ta0}	Coefficiente de DIBL
Parâmetros Físicos	
μ_0	Mobilidade
V_{sat}	Velocidade de saturação

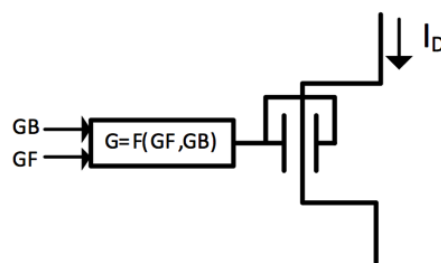
Fonte: Zhao (2006)

Entretanto, estes modelos recentes não permitem a simulação de diferentes estruturas de FinFET, tais como, transistores FinFET 4T. Zarei (2013) propôs um modelo para FinFETs IG FinFET simétricos baseado no modelo PTM-MG. Neste modelo, um módulo desenvolvido em Verilog-A calcula a tensão a ser aplicada em um transistor FinFET 3T para simular o comportamento esperado de um FinFET 4T quando aplicada uma tensão nos terminal de *front-gate* (GF) e no *back-gate* (GB). A estrutura adotada por Zarei é mostrada na Figura 2.18. O fluxograma apresentado na Figura 2.17 é alterado para o ajuste da tensão de *gate* de um FinFET-CMG de forma que ela represente corretamente o comportamento de um IG-FinFET correspondente, com uma tensão GF e GB, como mostrado no fluxograma da Figura 2.19.

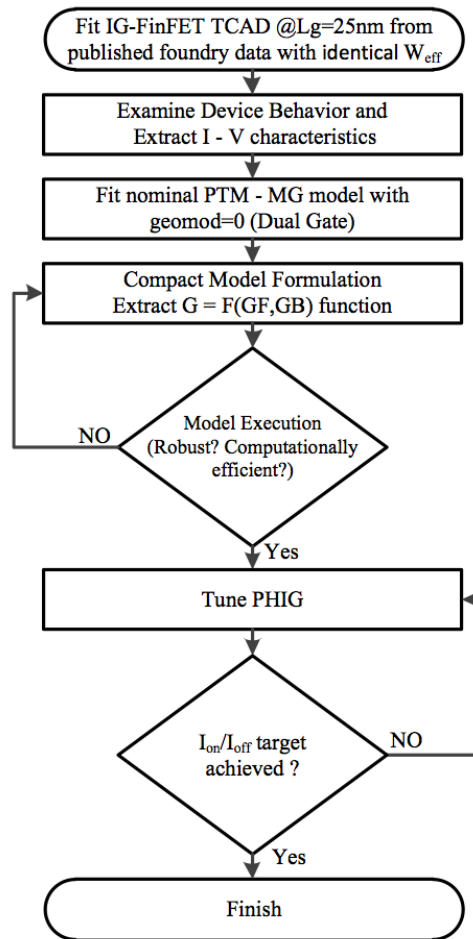


Fonte: Sinha (2012)

Figura 2.18 Estrutura do transistor e o módulo em Verilog-A para o mapeamento de sinais do *back-gate* (GB) e *front-gate* (GF) para o *gate* de FinFETs 3T



Fonte: Zarei (2013)



Fonte: Zarei (2013)

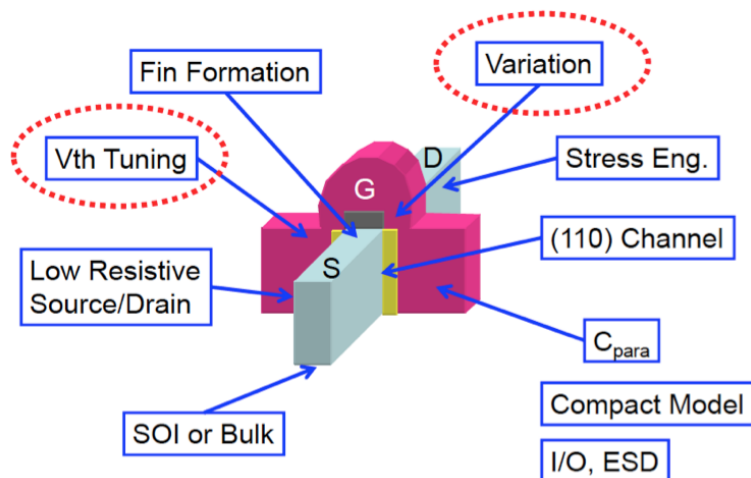
2.4 Desafios para a tecnologia FinFET

Embora a tecnologia FinFET apresente vantagens tecnológicas, ela também introduz uma variedade de novos desafios, entre eles a necessidade de lidar com o tamanho quantizado da largura dos dispositivos, devido aos *fin*s. Esta característica faz com que leiautes com FinFET devam ser realizados obedecendo uma grade. No projeto de células de memória, este fator reduz a flexibilidade de projeto.

A Figura 2.21 apresenta os principais desafios para a tecnologia FinFET (Endo, 2009). Existe um número de desafios de redução de escala relacionados aos dispositivos FinFET, tais como variabilidade geométrica, flutuação randômica de dopantes (RDF),

espaçamento para o *low-k*, fidelidade de padrões e deposição dos *fin*s e *gate*, cobertura uniforme do *gate*, ajuste da tensão de limiar, polimento da camada de metal (CMP) e resistências de contato (Endo, 2009). Com pequenas dimensões, baixas voltagens nominais e vetores complexos de teste, estes desafios vão requerer novas metodologias e novas ferramentas de EDA (Saha, 2010).

Figura 2.20 Principais desafios para tecnologia FinFET

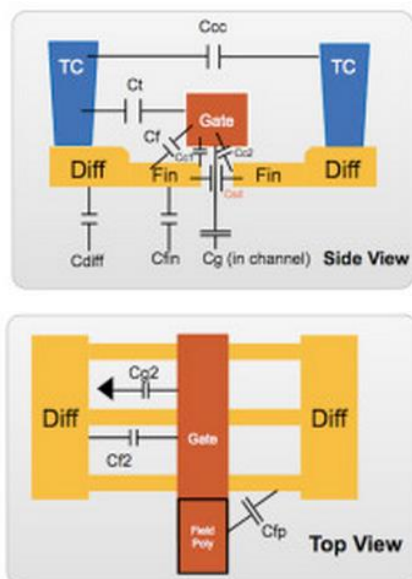


Fonte: Endo (2010)

FinFETs demandam uma acurada modelagem das suas resistências e capacitâncias, além de boas ferramentas para extração RC, principalmente para evitar a má caracterização dos dispositivos, degradando o desempenho dos circuitos. Na Figura 2.21 são apresentadas as principais capacitâncias parasitas existentes em dispositivos FinFET e também em que domínio de projeto estas capacitâncias estão sendo determinadas atualmente. A capacitância de *gate* de FinFETs aumenta quando comparada a capacitância de transistores CMOS planar e isto impacta as metodologias de análise de *timing* estáticas (STA). Além disso, o aumento nos efeitos de Miller impactam na confiabilidade dos circuitos e reforçam a necessidade de análises robustas e precisas de integridade de potência e *timing* (Collins, 2014).

Também existe o desafio de tornar fácil o trabalho com dispositivos multi-fin através do fluxo de projeto, da entrada no diagrama esquemático até o leiaute orientado por grades, e nas ferramentas de simulação.

Figura 2.21 Como as capacitâncias parasitas são determinadas em processos FinFET atualmente



Capacitância	Nome	Domínio
Gate - topo da difusão do fin	Cf	Extração
Gate - difusão dentro do canal	Cc1, Cc2	Modelo Spice
Difusão Source - Drain	Csd	Modelo Spice
Gate - substrato dentro do canal	Cg	Modelo Spice
Gate - substrato entre os fins	Cg2	Extração
Gate - difusão entre os fins	Cf2	Extração
Fin - substrato	Cfin	Modelo Spice
Difusão do Bulk - substrato	Cdiff	Modelo Spice
Campo de poly - difusão	Cfp	Extração
Gate - contato	Ct	Extração
Contato - Contato	Ccc	Extração

Fonte: Synopsys (2014)

De acordo com Collins *et al.* (2014), FinFETs sofrem mais com os efeitos de variações de processo, voltagem e temperatura (PVT) que processos planares. Neste trabalho serão avaliados os efeitos de variações de PVT em dispositivos e circuitos nas tecnologias preditivas de FinFETs, explorando as principais fontes de variabilidade de processo e fornecendo uma completa avaliação de dispositivos NFET e PFET nas tecnologias preditivas sobre efeitos de variabilidade.

Uma análise dos efeitos de envelhecimento, especialmente focando nos efeitos de NBTI em FinFETs foi apresentada em (Wang, 2012). Choi *et al.* (2007) investigou os efeitos das variações de temperatura em circuitos com tecnologia FinFET considerando variações no comprimento do canal L_g e na espessura do óxido T_{ox} .

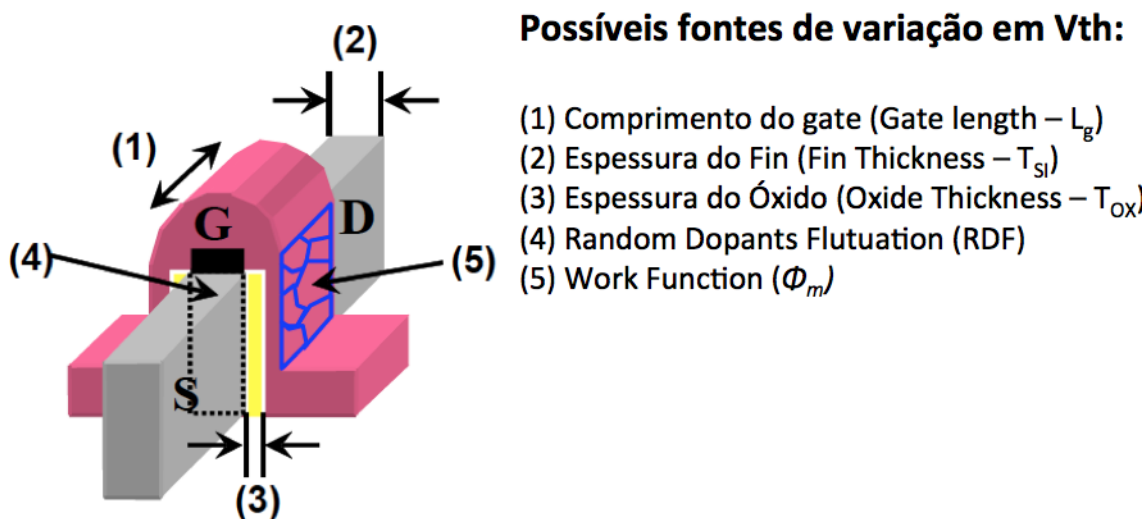
As pesquisas iniciais sobre esta nova tecnologia de dispositivos *multigate* focam somente em simulações 3D destes dispositivos. Modelos 3D de dispositivos em tecnologia FinFET são adotados na maioria dos trabalhos recentes para avaliar as fontes de variabilidade nesta nova tecnologia (GSS, 2010), (Wang, 2011), (Leung, 2012). Estes

trabalhos investigam o impacto na tensão de *limiar* e também nas correntes I_{ON} e I_{OFF} de variações nos principais parâmetros geométricos de dispositivos FinFET.

Topaloglu *et al.* (2013) aponta algumas fontes de variabilidade esperadas para FinFETs enquanto ainda são caracterizadas as várias fontes de variabilidade para esta nova tecnologia. Entre as principais fontes, ele destaca a influência das variações na altura dos *fin*s, nas variações de largura através das camadas de padrão duplo, as variações de *fin* para *fin*, as variações dependentes da largura do *pitch*, da resistência de MOL (*Middle of Line*), e variações devido ao *overlap* e *epitaxy*.

A Figura 2.22 resume as principais fontes apontadas como principais fatores à afetar a tensão de *limiar* em dispositivos FinFET (Endo,2009). Estudos recentes salientam que não é mais suficiente considerar somente as flutuações na tensão de *limiar* no desenvolvimento de projetos e ferramentas de EDA que consideram a tecnologia FinFET. Estes estudos reforçam que é necessário considerar todas as características elétricas para estas tecnologias nanométricas (GSS, 2010).

Figura 2.22 Possíveis fontes de variação na tensão de limiar de FinFETs



Fonte: Endo (2009)

Em um estudo de caso da *Gold Standard Simulations* (GSS, 2010), foram simuladas algumas das principais fontes de variabilidade no processo de fabricação de FinFETs através de modelos 3D. Considerando os efeitos destas fontes de variabilidade

individualmente e depois, de forma combinada, este estudo de caso apresenta uma análise do impacto destas variações na tensão de *limiar* e também nas correntes I_{OFF} e I_{ON} do dispositivo, analisando o comportamento elétrico nas regiões de sub-tensão de limiar e de saturação.

Embora a distribuição aleatória de dopantes (RDD) seja uma das principais causas de variabilidade nas tecnologias bulk CMOS, sua contribuição na tecnologia FinFET é reduzida significativamente devida à baixa dopagem do canal. A

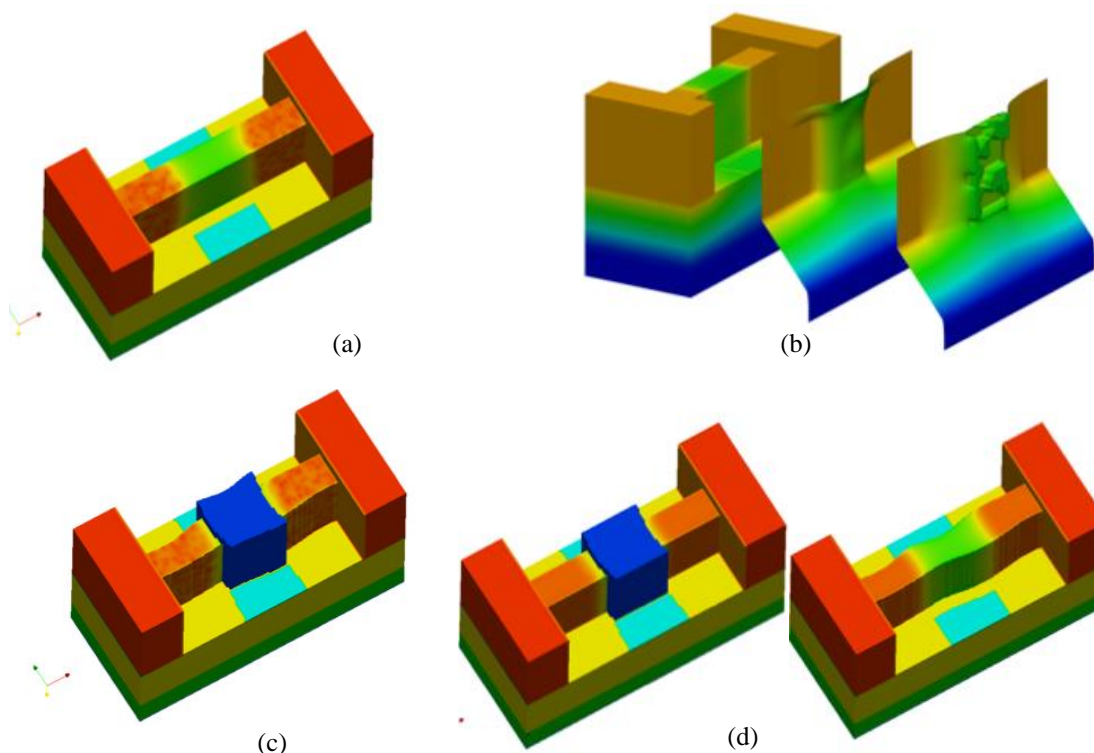
Figura 2.23 (a) mostra como o canal é virtualmente livre de dopantes, enquanto as regiões de S/D tem altas contagens de doadores. Os efeitos de variabilidade na dopagem destas regiões se manifestam principalmente nas características elétricas dos transistores operando na região de saturação, reduzindo a corrente máxima média. Esse efeito ocorre devido ao aprisionamento de cargas na região de *Source/Drain* do dispositivo. Embora seja raro, é possível que seja depositado um (ou poucos) dopantes no canal do FinFET. Esta dopagem indesejável aumenta consideravelmente a tensão de *limiar* do dispositivo (GSS, 2010).

A Figura 2.23 (b) mostra os efeitos da granularidade do metal de *gate* (MGG) na distribuição de potencial de tensão no dispositivo FinFET de 22 nm. Wang *et al.* (2011) destaca a alta correlação entre a variabilidade na corrente I_{ON} e a flutuação na tensão de *limiar* na presença de MGG. Da esquerda para a direita na figura, são mostrados detalhes da interface entre o óxido/*fin* e da interface entre o metal/óxido. A Figura 2.23 (c) apresenta uma instância do FinFET de 22nm considerando de forma combinada todas as fontes de variabilidade, RDD, MDD, GER e FER. A conclusão obtida é que, no desenvolvimento de projetos e ferramentas de EDA considerando a tecnologia FinFET, não é mais suficiente focar somente nas flutuações da tensão de *limiar*. É necessário avaliar todas as características elétricas, principalmente para a definição de modelos compactos mais realísticos (GSS, 2010).

Quanto ao impacto devido à aspereza da borda da linha (LER), em FinFETs além dos efeitos da variação no *gate* (GER), também deve ser considerado o impacto destas imperfeições nas bordas dos *fins*, chamado de *Fin Edge Roughness* (FER). A Figura 2.23(d) ilustra os efeitos na concentração de elétrons de GER (esquerda) e FER (direita) em um dispositivo de 22 nm. As variações de FER tem maior impacto que as devido a

GER, tanto na operação dos dispositivos nas regiões de sub-tensão de limiar e de saturação, assim como maior impacto na corrente I_{ON} do que às devido a RDD. Isso é explicado devido à alta sensibilidade de FinFETs a mudanças no tamanho do *gate* e na espessura do *fin* (Wang, 2011).

Figura 2.23 Efeitos das fontes de variabilidade em um transistor FinFET de 22nm (a) Densidade de elétrons considerando RDD; (b) Distribuição de potencial considerando os efeitos de MGG; (c) Efeitos combinados das fontes de variabilidade RDD, MGG, GER e FER na densidade de elétrons; (d) variações na densidade de elétrons devido a imperfeições nas bordas do *gate* (esquerda) e dos *fin*s (direita)



Fonte: GSS (2010)

Para os dispositivos *bulk* CMOS em nanotecnologias, a variabilidade geométrica no comprimento do canal de *gate* L_g é o parâmetro com maior impacto na alteração da corrente I_{ON} devido à flutuação aleatória nos dopantes do canal. Entretanto, como um

resultado do formato ativo dos fins, o canal do fin é preferencialmente fracamente dopado para minimizar variações na tensão de limiar. Como consequência, a tensão de limiar de canais fracamente dopados é principalmente configurada pela função trabalho dos metais adotados no *gate*. O uso de metal como material do *gate* introduziu certa flutuação na função trabalho do *gate*, principalmente devido a presença de granularidades no metal (MGG).

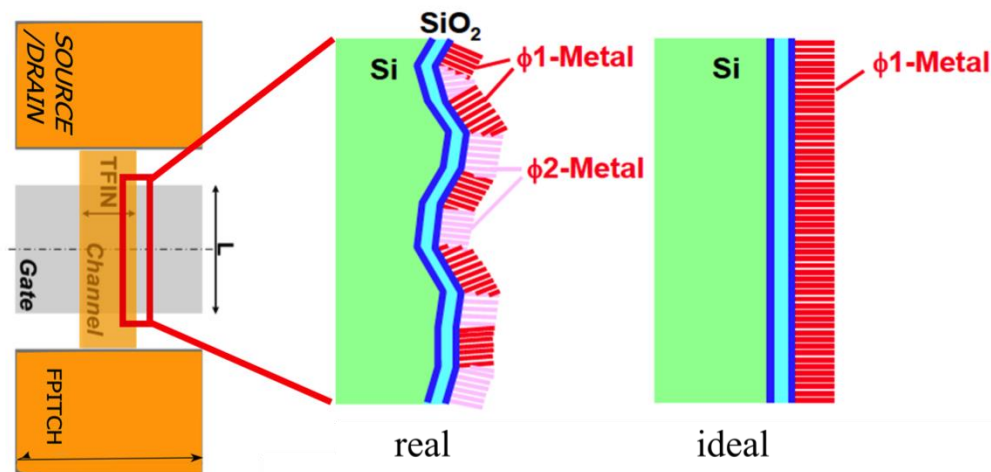
Assim, embora o variações no comprimento do *gate* (L_g), na altura do fin (H_{FIN}) e na largura do fin (W_{FIN}) influenciem o comportamento elétrico de dispositivos FinFET, as flutuações da função trabalho do metal do *gate* é a principal fonte de variabilidade esperada para FinFETs sub 20nm (Henderson, 2013).

2.5 Variabilidade na granularidade do metal do *gate* e sua relação com a função trabalho

A energia de Fermi representa a energia média de um elétron em um sistema. Para metais, a energia de Fermi é a energia média dos mais energéticos elétrons. A diferença de energia entre o nível de vácuo e o nível de Fermi é chamada de função trabalho de um sólido. A função trabalho de um metal depende do tipo de metal utilizado pode ser considerada como a energia mínima necessária para mover um elétron do nível de Fermi para o nível de vácuo onde ficará livre da influência do sólido, ou seja, conseguirá escapar do metal (Kano, 1998).

As granularidades do metal que compõe o *gate* impactam a função trabalho do *gate*. Pequenas flutuações nesta estrutura são causadas pela orientação dos grãos de metal, como mostra a Figura 2.24 (Dadgour, 2008). No processo de fabricação ideal, o metal do *gate* é produzido com um único metal uniformemente alinhado. Entretanto, no processo de fabricação atual, dispositivos com *gate* de metal são geralmente produzidos com mais de um tipo de metal, que tem diferentes funções trabalho (Φ), e ainda estes metais são aleatoriamente alinhados, o que implica em altas flutuações na função trabalho do *gate* (*Work Function Fluctuation* - WFF).

Figura 2.24 Alinhamento do metal de *gate* em dispositivos reais e o alinhamento ideal do metal de *gate* (à direita na imagem)



Fonte: (Dadgour, 2008).

O impacto da WFF é melhor exemplificado quando considera-se que, em dispositivos multigate, a tensão de *limiar* pode ser expressada pela Equação 2.7, onde Q_{SS} representa a carga no dielétrico do *gate*, C_{ox} é a capacitância de *gate*, Q_D é a carga de depleção no canal, f_{ms} representa a diferença na função trabalho do *metal-semiconductor work-function* entre o eletrodo do *gate* e o semiconductor e f_f é o potencial de Fermi.

$$V_t = f_{ms} + 2f_f + \frac{Q_D}{C_{ox}} - \frac{Q_{SS}}{C_{ox}} + V_{in} \quad \text{Equação 2.7}$$

$$f_f = \frac{kT}{q} \ln \frac{N_A}{n_i} \quad \text{Equação 2.8}$$

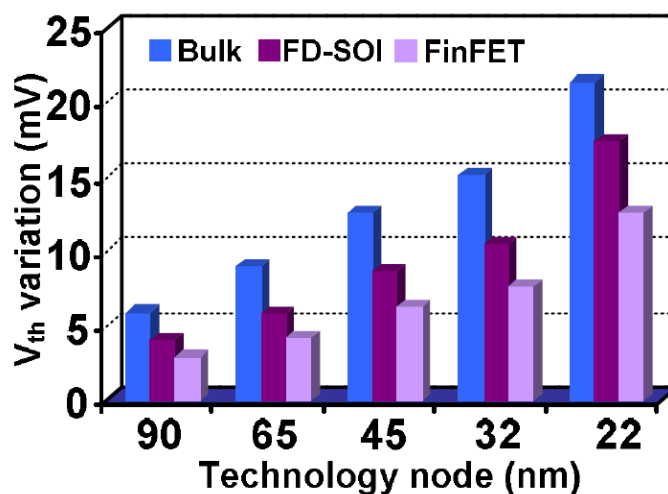
O potencial de Fermi para dispositivos com silício do tipo P é calculado pela Equação 2.8, onde N_A é a concentração do aceitador e n_i é a concentração intrínseca dos portadores (Collinge, 2008).

Para dispositivos dos tipos *ultrathin body* e levemente dopados, o efeito de Q_D e Q_{SS} na tensão de limiar é negligenciável comparado ao potencial de Fermi f_f . Além disso, V_{in} é o potencial de superfície adicional à $2f_f$ que é necessário para dispositivos *ultrathin body* para trazer cargas de inversão para a região de canal do transistor suficientes para que o transistor atinja o ponto de *limiar*. Portanto, a função trabalho de

um *gate* é o principal fator para definir a voltagem de *limiar* em dispositivos multigate (Mustafa, 2013).

Muitos trabalhos destacam o alto impacto de flutuações na função trabalho do *gate* na tensão de *limiar*, como (Saha, 2010), (Henderson, 2013), (Mustafa, 2013) e (Topaloglu, 2013). Dadgour *et al.* (2008) avaliou o nível de desvio da função trabalho em vários tipos de dispositivos CMOS com *gate* de metal. A Figura 2.25 mostra os resultados da comparação do impacto na tensão de *limiar* de variações nos parâmetros de processo para diferentes nodos tecnológicos nas tecnologias bulk CMOS, FD-SOI e FinFET, considerando o *gate* utilizando como metal o material TiN nas tecnologias FD-SOI e FinFET, destacando que a tecnologia FinFET é a que sofre menor impacto na tensão de *limiar*.

Figura 2.25 Comparação entre a variação na tensão de *limiar* de dispositivos *bulk* CMOS, FD-SOI e FinFET em diferentes nodos tecnológicos. O metal considerado para o *gate* é TiN.



Fonte: Dadgour (2008)

Entretanto, poucos trabalhos investiguem o impacto nas correntes I_{ON} e I_{OFF} (GSS, 2010) (Meinhardt, 2014b). A flutuação na função trabalho tem alta correlação com a variabilidade na corrente I_{ON} e I_{OFF} , assim como nas oscilações da tensão de *limiar*. Por este motivo, este trabalho fornece uma avaliação, no Capítulo 4, do impacto da variabilidade geométrica nas correntes I_{ON} e I_{OFF} para tecnologias FinFET preditivas de 20nm a 7nm.

3 PROJETO E COMPARAÇÃO DE CÉLULAS DE ALTO DESEMPENHO NAS TECNOLOGIAS CMOS E FINFET DE 32NM

A variabilidade ocasionada por variações de processo, voltagem e temperatura (PVT) afetam diretamente o desempenho dos circuitos. A influência destas variações no desempenho dos sistemas deve ser verificada e alternativas para mitigar esta degradação devem ser investigadas (Beckett, 2002). Além disso, existe uma grande demanda por novas metodologias e novas ferramentas de EDA capazes de lidar com o aumento da complexidade das regras de projeto, assim como com os novos processos de fabricação e os desafios devido a variabilidade (Saha, 2010) (Zhang, 2013).

As técnicas de leiautes regulares permitem uma estimativa mais precisa da potência e atrasos de um projeto, desde as etapas iniciais (Sherlekar, 2004). Trabalhos recentes exploram leiautes regulares como mecanismos para lidar com os desafios da litografia, variabilidade de processo e rendimento de fabricação (*yield*) (Subramaniyan, 2013) (Ryzhenko, 2011) (Bhoj, 2013). Em um fluxo de síntese regular, a escolha da célula para com

por o leiaute regular impacta diretamente na regularidade dos padrões. Células complexas oferecem vantagens em área, mas podem introduzir um complexo conjunto de regras de projeto e comprometerem a litografia. Por outro lado, a regularidade de padrões é facilmente alcançada com células básicas, normalmente ao custo de área e potência.

Neste contexto, este capítulo apresenta a avaliação de um conjunto de células básicas candidatas a compor uma biblioteca de células de alto desempenho na tecnologia de 32nm a ser utilizado na ferramenta de geração de leiautes regulares, apresentada no Anexo A.

Considerando um fluxo de otimização de atrasos dedicado a este experimento, foram realizadas simulações elétricas a fim de caracterizar eletricamente um conjunto de células em tecnologias de alto desempenho Bulk CMOS e FinFET no nó tecnológico de 32nm com modelos preditivos disponibilizados pela PTM (Zhao, 2006).

As principais contribuições deste experimento são:

1. Comparar células nas tecnologias CMOS *bulk* e FinFET quanto a potência e atraso.
2. Avaliar o impacto das variações de processo, voltagem e temperatura em células de 32nm nas tecnologias CMOS *bulk* e FinFET.

Neste capítulo será descrito o procedimento metodológico utilizado neste experimento. Finalmente, os resultados da avaliação elétrica e de PVT para as células consideradas serão apresentados e discutidos.

3.1 Metodologia

Este experimento compara um conjunto de células candidatas a compor uma biblioteca de células no fluxo de síntese regular apresentado no Anexo A. Simulações elétricas foram realizadas com o objetivo de caracterizar eletricamente um conjunto de Inversores, NAND2 e NOR2 e permitir a comparação entre as células projetadas para desempenho nas tecnologias CMOS *bulk* e FinFET. As simulações foram realizadas usando HSPICE .

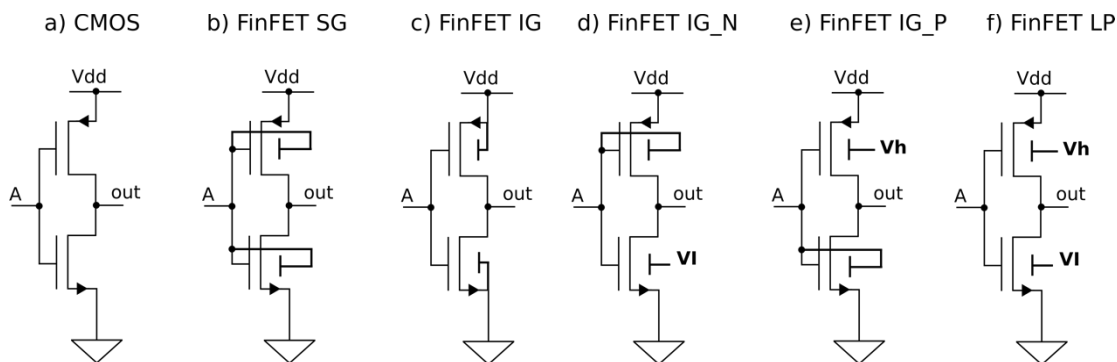
O nó tecnológico utilizado é de 32 nm e os arquivos de modelo são o *High Performance - Metal Gate / High- K / Strained -Si* para portas CMOS e um modelo de sub-circuito para FinFETs (*double -gate*) com base no modelo SOI BSIM (ZHAO, 2006). Neste modelo, FinFETs são modelados como um sub-circuito de dispositivos SOI, portanto, para os FinFETs deste modelo a largura dos dispositivos é contínua e não discretizada por número de *fins*, como nos dispositivos FinFET reais.

O primeiro passo neste experimento foi a definição dos circuitos CMOS *bulk* e FinFET que seriam considerados. Todos os circuitos foram otimizados seguindo o fluxo que será apresentado na Seção 3.1.2. A comparação dos circuitos considera os atrasos, medidos pelas médias dos tempos de propagação para todos os arcos das funções, a potência total consumida durante as transições necessárias para avaliar todos os arcos da

função e a potência estática média. Além disso, o experimento também avalia o comportamento dos circuitos sob efeito de variações PVT.

A Figura 3.1 apresenta os seis diferentes arranjos utilizados neste trabalho para a célula Inversor. O primeiro arranjo, (a), é o Inversor complementar clássico CMOS *bulk*. Esta célula será considerada a referência de atraso para o dimensionamento das outras cinco células FinFET. Os demais arranjos exploram modos de projeto com tecnologia FinFET. O inversor básico FinFET é mostrado em (b), onde o *back* e *front gate* de cada dispositivo estão conectados juntos, no modo conhecido como *Shorted-Gate*. Em (c), o modo *Independent-Gate* é explorado. Nos inversores (d), (e) e (f), são exploradas alternativas de conexões para as células onde o *back-gate* é controlado por uma fonte de alta tensão na rede *pull-up* configurada para a tensão nominal da tecnologia, no valor de 0,9V, enquanto que o *back-gate* dos transistores da rede *pull-down* são conectados a uma fonte de baixa voltagem no valor de -0,2V.

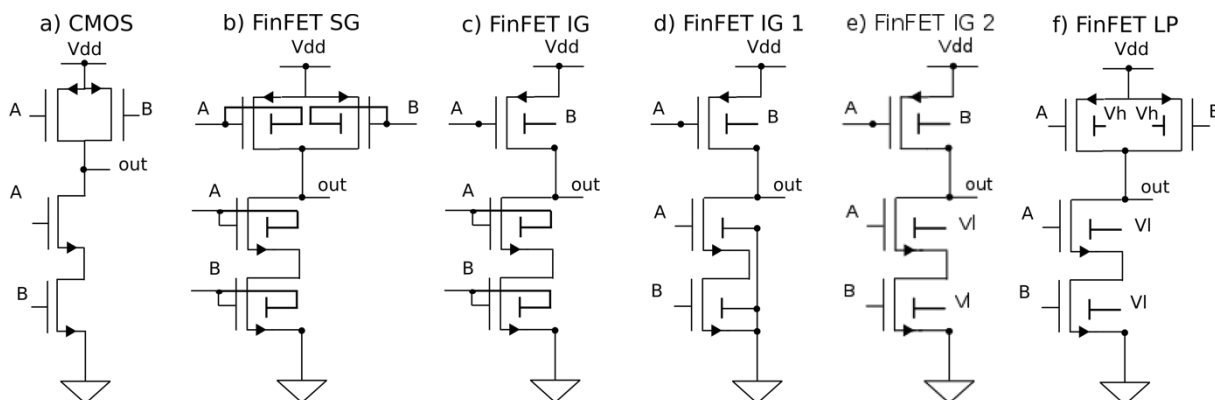
Figura 3.1 Configurações de células Inversor: a) CMOS clássica; b) FinFET *Shorted-Gate*; c) FinFET *Independent-Gate*; d) e e) conexões alternativas com um transistor no modo *Shorted-Gate* e o outro controlado por uma fonte de alta/baixa voltagem; f) FinFET *Low-Power*



Fonte: Meinhardt (2014a)

Para a porta NAND2, são explorados os arranjos apresentados na Figura 3.2 (Narendar, 2012). A maneira como o *back-gate* é conectado na rede *pull-down* é o que difere as células FF IG, FF IG1 e FF IG2. Na FF IG, os transistores NMOS tem os *back-gate* e *front-gate* conectados juntos. Em FF IG1, o *back-gate* dos transistores NMOS é conectado ao terra. E na FF IG2, os *back-gate* são conectados a uma fonte de baixa tensão de -0,2V.

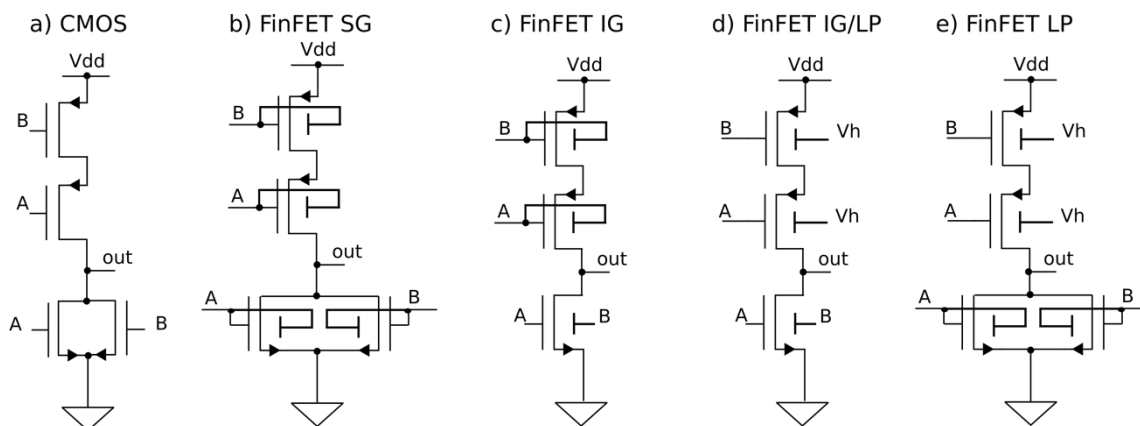
Figura 3.2 Configurações de células NAND2: a) CMOS clássica; b) FinFET *Shorted-Gate*; c) FinFET *Independent-Gate*; d) e) conexões alternativas com um transistor no modo *Independent-Gate* e os outros controlados por fontes de baixa voltagem ou conectados ao *ground*; f) FinFET *Low-Power*



Fonte: Meinhardt (2015a)

Finalmente, são explorados cinco arranjos para a porta NOR2, como mostra a Figura 3.3. Ao contrário da porta NAND2, a função NOR2 permite reduzir um transistor na rede *pull-down*, quando adotado o controle independente de *gate* nos FinFETs. A diferença entre os arranjos está principalmente no modo como o *back-gate* é conectado nos transistores PMOS. O modo *Low Power* (LP) dos circuitos FinFET em todas as células, tem uma fonte de voltagem alta conectada na rede *pull-up* no valor de 0,9V e uma fonte de baixa voltagem (-0,2V) conectada na rede *pull-down* (Muttreja, 2007).

Figura 3.3 Configurações de células NOR2: a) CMOS clássica; b) FinFET *Shorted-Gate*; c) FinFET *Independent-Gate*; d) conexão alternativa com um transistor no modo *Independent - Gate* e os outros controlado por uma fonte de alta voltagem; f) FinFET *Low-Power*



Fonte: Meinhardt (2015a)

Além disso, este trabalho analisa o impacto no atraso e potência provocado por variações de processo, voltagem e temperatura (PVT) nas células.

Os efeitos das variações de processo são avaliados considerando as alterações na tensão de limiar (V_{th}) dos dispositivos. A modelagem da tensão de limiar tornou-se muito complexa em novos modelos MOS (para canal curto) assim, o efeito da variação em V_{th} , devido à variabilidade do processo não pode ser modelado diretamente no HSPICE. Por isso, para modelar a defasagem devido às variações do processo em V_{th} normalmente consideram-se as variações do parâmetro V_{th0} nos modelos, que é a tensão de limiar dos dispositivos de canal de comprimento com $V_{BS} = 0$ e baixa V_{DS} .

O conjunto de parâmetros de tecnologia mais relevantes para este experimento são a tensão de alimentação (0,9V), o tamanho de *gate* (32nm) e a tensão de limiar que é diferente para cada dispositivo. A tensão V_{th0} é 0,494 e -0,491 para dispositivos CMOS bulk NMOS e PMOS respectivamente, enquanto para FinFETs os valores são de 0,29V (NFET) e -0,25V (PFET).

As tensões de transistores foram variadas e foram medidos os atrasos e potência total medidos com o método estatísticos de Monte Carlo. Cinco mil simulações foram realizadas para cada experimento. O parâmetro V_{th0} é assumido como sendo gaussiano, com um valor de média μ sendo o valor nominal da tecnologia e desvio padrão 3σ como 10% da média da tensão de limiar nominal de transistores. O atraso médio e desvio padrão das portas lógicas foram comparados e é enfatizada a relação destes valores. Foi utilizado o desvio padrão normalizado (σ/μ) das métricas para analisar os resultados, pois este permite comparar a variabilidade dos arranjos com diferentes resultados de atrasos médios e potência. Não foi considerada a correlação entre os diferentes tipos de transistores, o que significa que podem surgir diferentes variações no parâmetro V_{th0} para um transistor P colocado na proximidade de um transistor N.

Para as células no estilo LP e IG que utilizam as fontes V_h ou V_l , foram adotadas fontes de tensão com os valores $V_h = 0,9$ V e $V_l = -0,2$ V como adotado em (Narendar, 2012).

A voltagem de alimentação foi variada de 0,3V à 0,9V e o tempo de propagação para todos os arcos das funções foram medidos para cada voltagem. A média dos atrasos e a potência total para todas os circuitos foi comparada. Quanto à variabilidade de temperatura, este experimento avaliou os circuitos com temperaturas na faixa de 25 °C a 250°C. A comparação entre os circuitos apresentará os resultados do produto entre atraso e potência – PDP (*power delay product*).

3.1.2 Fluxo de otimização para desempenho

Para determinar o melhor caso do atraso para todos os circuitos otimizando o desempenho, este trabalho propões um algoritmo apresentado na Figura 3.4. Neste algoritmo, C é o conjunto de portas CMOS, F é o conjunto de circuitos FinFET, Cg é uma instância de porta CMOS, Fg é uma instância de porta FinFET, Wp é a largura de transistores PMOS, Wn é a largura de transistores NMOS e d é a diferença entre o atraso da porta CMOS e o atraso da porta FinFET.

Portas CMOS tem o dimensionamento dos transistores determinado pela otimização do atraso, onde o objetivo definido foi o mínimo de tempo médio de transição, dado pela variável $Cg\ delay$ (linhas 2-5).

Células FinFET são otimizadas para atingir um atraso o mais próximo de $Cg\ delay$ para a função lógica equivalente. Nesta experiência, a proporção de dimensionamento adotada, ou seja, a relação entre W_{PMOS}/W_{NMOS} para cada porta, visa o alto desempenho (linhas 7-11). O consumo de energia total e potência estática das portas são verificados (linhas 13-14) com as mesmas condições de contorno definido na inicialização (linha 2).

A análise de PVT é realizada para todas as portas (linha 15) e os resultados da caracterização das células é inserido na biblioteca de células do fluxo regular proposto.

Algorithm 1	Delay optimization Flow
--------------------	-------------------------

1. **Procedure Optimize Delay (C, F)**
2. **Set** boundary conditions
3. **For each** CMOS gate C_g in C **do**
4. Determine C_g sizing for Best-case Delay
5. **Set** $C_{g_{delay}}$ as objective
6. **End For**
7. **For each** FinFET gate F_g in F **do**
8. Find W_p/W_n ratio that **minimizes** d ,
9. such that: $d = |C_{g_{delay}} - \text{delay}(F_g)|$
10. **Set** W_p/W_n ratio to F_g
11. **End For**
12. **For all** cell in C and F **do**
13. Determine Total Power Consumption
14. Determine Static Power
15. Evaluate the impact of PVT variability
16. Add electrical characterization file in Cell Library of Regular Synthesis flow
17. **End For**
18. **End procedure**

Fonte: Meinhardt(2014a)

3.1 Discussão dos resultados da avaliação elétrica e de PVT

A Tabela 3.1 apresenta todos os resultados de tempo de propagação médio, potência total e potência estática, assim como a relação entre o dimensionamento dos transistores PMOS e NMOS determinada pelo algoritmo proposto na Figura 3.4 para os arranjos de inversores investigados neste trabalho. Posteriormente, as tabelas Tabela 3.2 e Tabela 3.3 apresentam o mesmo conjunto de resultados para as portas NAND2 e NOR2 respectivamente. A coluna atraso apresenta a média dos tempos de propagação para todos os arcos das funções, atingida através do passo de otimização para desempenho. A

coluna potência apresenta a potência total medida durante a simulação realizada para obtenção dos atrasos. A coluna PDP indica o produto do atraso e da potência, representando a energia consumida pela célula durante o experimento. Finalmente, a última coluna apresenta os resultados de potência estática onde é considerada a potência estática média de todas as combinações possíveis de valores para as entradas das funções.

É possível ver que, para as células inversor, o algoritmo resulta em menores valores de atraso para as células FinFET comparadas com o atraso da porta Inversor CMOS, configurado como objetivo na otimização. Também, a potência total das células Inversor com tecnologia FinFET é bem próxima, ou inferior, a potência total do Inversor CMOS. Analisando o PDP, a célula Inversor FF IG N apresenta um consumo energético bem inferior às demais células, sendo aproximadamente 30% da energia consumida pela porta Inversor CMOS. Quanto ao dimensionamento, as células FinFET IG e IG P apresentam uma relação entre WP e WN muito maior que a dos demais Inversores, resultando em aumento de área considerável, principalmente ao considerar o acréscimo de área devido ao pino de contato para ligação do sinal de controle independente do *back-gate* dos FinFETs nestas configurações de células IG. A melhor alternativa em termos de atraso, potência, PDP e relação entre WP/WN é o inversor FF IG N. Entretanto, a potência estática dos inversores FinFET em 32nm com o modelo PTM adotado é aproximadamente 5 vezes superior à potência estática de um inversor CMOS.

Tabela 3.1 Características de dimensionamento, atraso e potência para os arranjos da célula Inversor

Inversor	Wp/Wn	Atraso (ps)	Potência (μ W)	PDP (aJ)	Potência Estática (nW)
CMOS	1,52	9,06	0,74	6,70	3,44
FF SG	1,25	7,85	0,79	6,20	15,83
FF IG	2,48	7,69	0,62	4,77	23,45
FF IG N	1,18	7,53	0,27	2,00	16,17
FF IG P	4,60	7,68	0,55	4,24	16,17
FF LP	2,00	8,14	0,53	4,28	16,44

Fonte: Meinhardt (2015a)

As células NAND2 com tecnologia FinFET no estilo *Independent-Gate* não atingiram o atraso objetivo de otimização. Para estas células, os melhores resultados de otimização de desempenho resultaram em um aumento de 20% no atraso comparado com o atraso da porta NAND2 CMOS, com 40% de aumento no consumo de potência total. As alternativas NAND2 FF SG e LP apresentaram bons resultados de atraso e potência total, em média 15% inferiores aos valores da célula CMOS. Entretanto, a célula NAND2 FF SG apresenta alta potência estática comparada com a CMOS. Neste caso, considerando todos os resultados, a células NAND2 com tecnologia FinFET no estilo *Low Power* é uma boa candidata a ser utilizada em projetos digitais, apesar do acréscimo de área devido ao pino de contato para o *back-gate*.

Tabela 3.2 Características de dimensionamento, atraso e potência para os arranjos da célula NAND2

NAND2	W _p /W _n	Atraso (ps)	Potência (μW)	PDP (aJ)	Potência Estática (nW)
CMOS	1,61	10,26	0,31	3,14	1,74
FF_SG	2,00	8,24	0,33	2,75	8,48
FF_IG	3,00	12,46	0,44	5,43	9,18
FF_IG_1	1,94	13,33	0,49	6,50	15,18
FF_IG_2	2,34	12,94	0,48	6,21	1,31
FF_LP	2,22	10,47	0,24	2,53	0,79

Fonte: Meinhardt (2015a)

Tabela 3.3 Características de dimensionamento, atraso e potência para os arranjos da célula NOR2

NOR2	W _p /W _n	Atraso (ps)	Potência (μW)	PDP (aJ)	Potência Estática (nW)
CMOS	1,80	16,31	0,41	6,76	3,65
FF_SG	1,08	16,31	0,32	5,28	8,90
FF_IG	3,65	16,32	0,56	9,09	6,42
FF_IG_LP	5,13	16,31	0,59	9,64	8,73
FF_LP	1,52	16,45	0,21	3,49	1,02

Fonte: Meinhardt (2015a)

O fluxo de otimização para desempenho teve bons resultados de otimização para as portas NOR2, conseguindo dimensionamentos para as células FinFET cujos atrasos ficaram iguais ou muito próximos do objetivo configurado no experimento, que é o

atraso da porta NOR2 CMOS. As células NOR2 FF SG e LP podem reduzir a potência total em 22% e 72% respectivamente, com melhor relação WP/WN, comparadas à porta NOR2 CMOS. Enquanto a porta NOR2 FF SG apresenta um aumento na potência estática, a porta NOR2 FF LP permite uma redução de até 70% na potência estática comparada a célula CMOS.

Considerando o leiaute destas células, o aumento no número e na complexidade das regras de projeto torna a geração automática de leiaute extremamente complicada. Entretanto, a maioria das regras complexas é aplicada somente em padrões não triviais de leiaute (Zhang, 2013). Se forem adotados somente padrões regulares nos leiautes, não será necessário verificar muitas das regras de projeto e o leiaute será correto por construção. Além disso, padrões regulares introduzem menos vias e dobras nas linhas de *poly* e metal, e reduzem o *wirelength* total, podendo apresentar melhores resultados de frequência, integridade do sinal e consumo de energia. Entretanto, leiautes regulares podem afetar a roteabilidade porque seguem regras de projeto mais restritivas e podem causar mais problemas de congestionamento. Estudos mostram que a densidade de leiaute de células FinFET em 32nm é melhor que a densidade de células *bulk* CMOS, quando considerados *fins* com altura moderada (Alioto, 2010).

A Tabela 3.4 apresenta os resultados da análise de variabilidade de processo para as células Inversor. Os inversores em tecnologia FinFET mostraram valores competitivos em atrasos e potência quando comparados a tecnologia CMOS, mas todos eles tiveram altos consumos estáticos e são mais sensíveis às variações na tensão de limiar. Esta sensibilidade se reflete em maior destaque na corrente dos dispositivos, afetando as potências total e estática de forma considerável. A relação entre o desvio padrão e a média para a potência total mostra que o desvio do comportamento esperado pode ser superior à 75% para os inversores em tecnologia FinFET *Shorted – Gate*. Para a potência estática, os resultados mostraram grandes desvios padrão para o experimento, sendo em torno de 150% o impacto do desvio normalizado pela média.

Tabela 3.4 Impacto da variabilidade de processo nas células Inversor otimizadas para desempenho

Inversor	Atrasos			Potência Total			Potência Estática		
	μ (ps)	σ (ps)	σ/μ (%)	μ (μ W)	σ (nW)	σ/μ (%)	μ (nW)	σ (nW)	σ/μ (%)
CMOS	9,11	0,41	4,53	0,73	6,92	0,94	4,21	1,50	35,58
FF SG	7,43	0,67	9,09	1,25	944,23	75,72	421,07	652,10	154,87
FF IG	7,97	0,57	7,16	1,11	817,70	73,57	429,03	651,25	151,80
FF IG/N	7,32	0,55	7,50	0,43	243,96	56,71	817,39	1281,10	156,73
FF IG/P	7,38	0,56	7,56	0,88	486,97	55,53	934,78	1496,40	160,08
FF LP	7,86	0,65	8,34	0,79	442,68	56,35	233,82	350,14	149,74

Fonte: Meinhardt (2015a)

As células NAND2 sobre efeito de variação na tensão em tecnologia FinFET mostraram um sensibilidade comparável à sensibilidade de células CMOS no impacto no atraso médio e com similar desvio padrão. Entretanto, assim como as células inversor, o impacto da variabilidade na tensão de limiar é maior nas características de potência, sendo maior que 30% para as células FF SG, IG e IG1. Dentre as células NAND2 em tecnologia FinFET, as células FF IG 2 e IG LP apresentam menor sensibilidade às variações na tensão de limiar quando observa-se a potência total. Entretanto, ao observar a potência estática, estas duas células possuem a maior sensibilidade às variações de processo, sendo a célula FF SG a menos sensível às variações da tensão de limiar dentre as células FinFET quanto ao reflexo na potência estática. Estes resultados são apresentados na Tabela 3.5.

Assim como nas células Inversor e NAND2, as células NOR2 em tecnologia FinFET mostraram o mesmo comportamento que as células em tecnologia CMOS para o desvio normalizado dos atrasos. Entretanto, o desvio normalizado da potência total e potência estática mostram condições críticas de variabilidade para FinFETs sob efeitos de variações de processo que afetam a tensão de limiar. Os resultados para as cinco configurações de células NOR2 avaliadas neste trabalho são apresentados na Tabela 3.6.

Tabela 3.5 Impacto da variabilidade de processo nas células NAND2 otimizadas para desempenho

NAND2	Atrasos			Potência Total			Potência Estática		
	μ (ps)	σ (ps)	σ/μ (%)	μ (μ W)	σ (nW)	σ/μ (%)	μ (nW)	σ (nW)	σ/μ (%)
CMOS	10,24	0,26	2,55	0,30	7,03	2,32	24,58	0,77	3,13
FF SG	8,41	0,31	3,72	0,47	178,83	38,28	225,08	212,27	94,31
FF IG	12,71	0,37	2,95	0,61	189,98	31,36	237,47	352,15	148,29
FF IG1	13,47	0,61	4,54	0,68	264,45	38,94	339,94	496,69	146,11
FF IG2	13,18	0,58	4,41	0,52	63,96	12,25	62,17	100,31	161,35
FF LP	10,68	0,49	4,59	0,25	39,89	15,63	32,69	52,81	161,53

Fonte: Meinhardt (2015a)

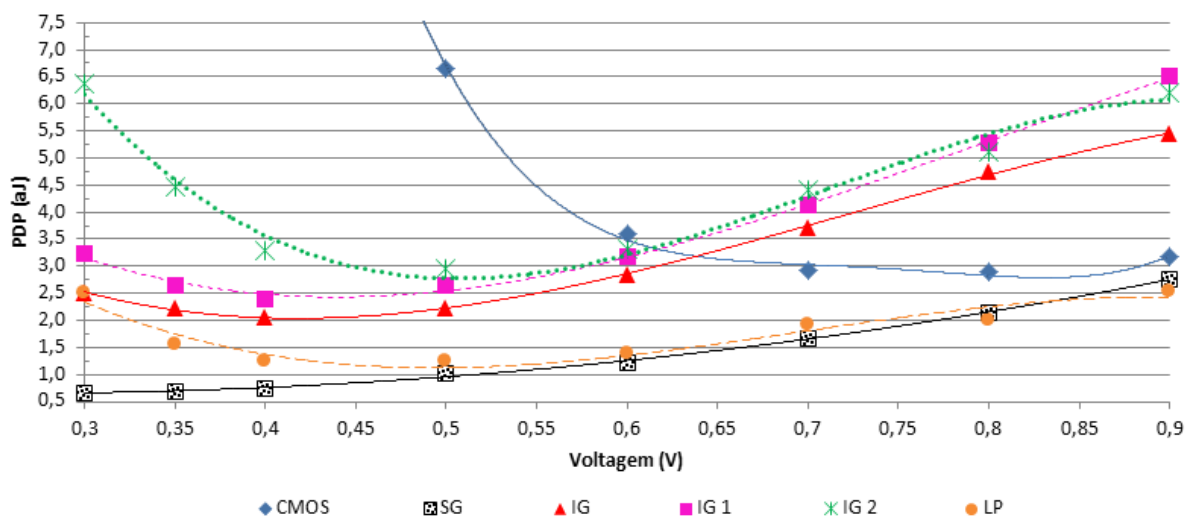
Tabela 3.6 Impacto da variabilidade de processo nas células NOR2 otimizadas para desempenho

NOR2	Atrasos			Potência Total			Potência Estática		
	μ (ps)	σ (ps)	σ/μ (%)	μ (μ W)	σ (nW)	σ/μ (%)	μ (nW)	σ (nW)	σ/μ (%)
CMOS	16,39	0,45	2,78	0,41	4,54	1,11	4,48	1,58	35,28
FF SG	16,41	0,58	3,50	0,95	849,97	89,51	290,22	383,95	132,30
FF IG	16,60	0,56	3,40	1,09	870,97	79,68	198,74	300,40	151,15
FF IG/LP	16,51	0,51	3,10	1,07	1065,50	84,66	221,10	375,80	169,97
FF_LP	16,49	0,40	2,44	0,35	200,87	57,66	59,68	90,71	152,00

Fonte: Meinhardt (2015a)

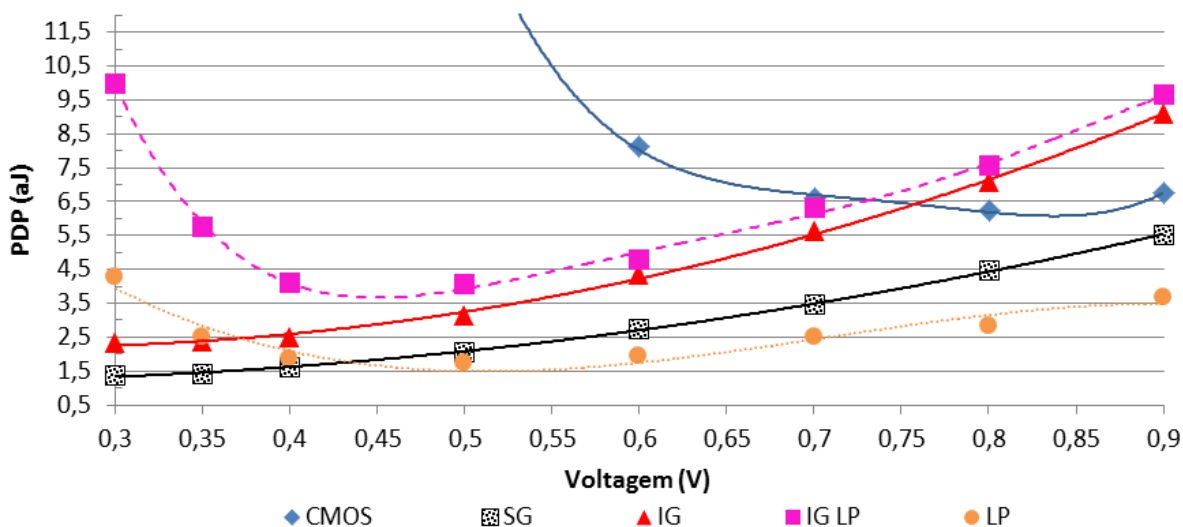
O impacto das variações de temperatura e voltagem nas células é avaliado em função do produto atraso potência (PDP – *Power Delay Product*) nas seguintes análises. Na análise de variabilidade na voltagem nominal das células, todos os circuitos foram projetados obedecendo a mesma restrição de frequência de operação. As células CMOS, de modo geral, tiveram seus comportamentos lógicos alterados quando operando em voltagens próximas da tensão de limiar. Estas células mantiveram o PDP constante para variações de até 30% na tensão aplicada às células. Entretanto, para voltagens abaixo da tensão de 0,6V, estas células tiveram os atrasos severamente afetados pela redução da voltagem de operação, com alto impacto nos tempos de propagação destas células, o que implicou no alto aumento do PDP. Este efeito pode ser visto nas Figura 3.5 e Figura 3.6, nas linhas contínuas indicadas pela cor azul e com marcador de losango.

Figura 3.5 Impacto das variações na voltagem em células NAND2



Fonte: Meinhardt (2015a)

Figura 3.6 Impacto das variações na voltagem em células NOR2



Fonte: Meinhardt (2015a)

Estas mesmas figuras permitem analisar o impacto das variações na voltagem das células NAND2 e NOR2, respectivamente, nas demais alternativas de estilo de projeto. O mesmo comportamento foi observado para as células Inversor. É possível observar que as células no estilo *Shorted-Gate* possuem boas condições de operabilidade em baixas voltagens de operação, operando na região próxima a tensão de limiar sem prejuízos à frequência de operação. O comportamento do PDP para estas células é praticamente

linear com a redução da tensão de operação. Por esta característica, estas células apresentam-se como boas candidatas para adoção em projetos voltados para o menor consumo de potência. Este mesmo comportamento pode ser observado para a célula NOR2 no estilo *Independent-Gate*.

As células no estilo *Independent-Gate* mostraram de modo geral alta dependência da voltagem de operação, com a potência reduzindo na ordem de 15% para cada redução de 0,1V na voltagem de operação.

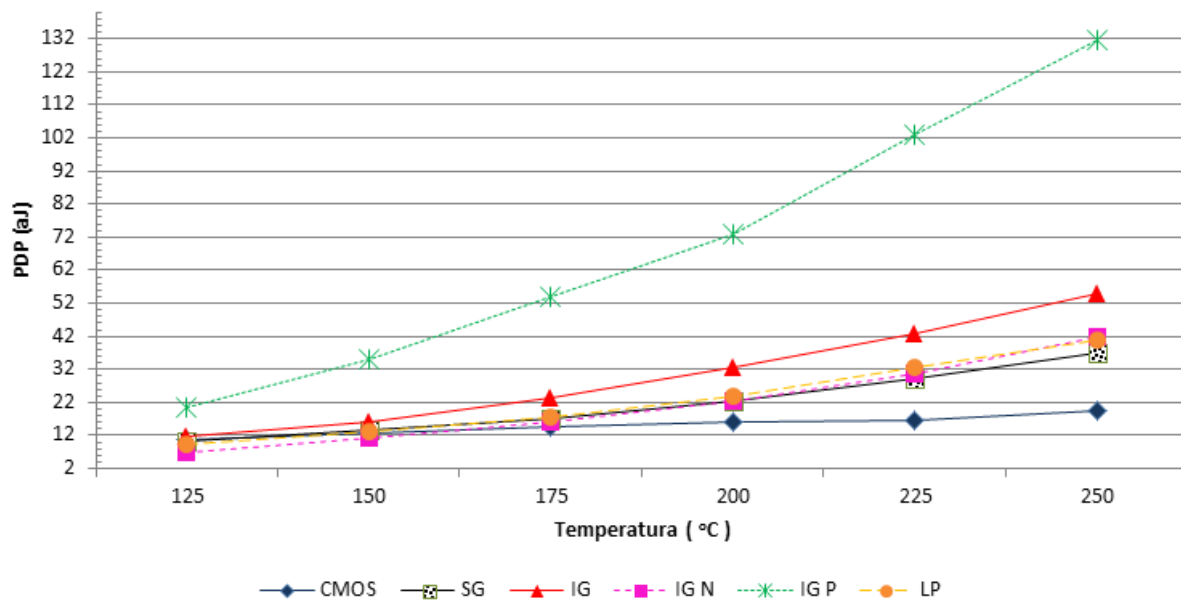
Quanto à análise da variação da temperatura, os três conjuntos de células mostraram comportamento similar com pequenos desvios para cada estilo de projeto para as temperaturas na faixa de 25°C a 100°C. O comportamento do PDP das células passa a apresentar maiores diferenças entre os estilos para temperaturas acima de 100°C, e por esta razão, as Figura 3.7, Figura 3.8 e Figura 3.9 apresentam a comparação entre as células avaliadas para a faixa de temperatura de 100°C à 250°C, para o conjunto de células Inversor, NAND2 e NOR2 respectivamente.

Os resultados do Inversor IG P, mostrados na Figura 3.7, é a célula mais sensível a variações na temperatura de operação, tendo o PDP aumentado a 1 atto Joule a cada 1 grau Celsius de aumento de temperatura. Isto se deve principalmente ao aumento da potência total, que varia cerca de 2% para cada grau de temperatura. O atraso das células FinFET permanece praticamente constante com o aumento da temperatura, mas o inversor CMOS apresentou um aumento no atraso na ordem de 1% para cada grau de temperatura. Os inversores CMOS e FinFET IG N são os mais robustos aos efeitos de temperatura no PDP. O Inversor FF IG N apresentou menos de 7% de variação na potência para toda a faixa de temperaturas explorada, com menos de 3% de impacto no PDP.

A célula NAND2 FF LP apresentou a maior sensibilidade as variações de temperatura, com aproximadamente 70% de variação no PDP, considerando o espectro de temperaturas de 125°C a 250°C. A célula CMOS NAND2 é a célula mais estável, com menos de 1% de variação a cada grau de temperatura.

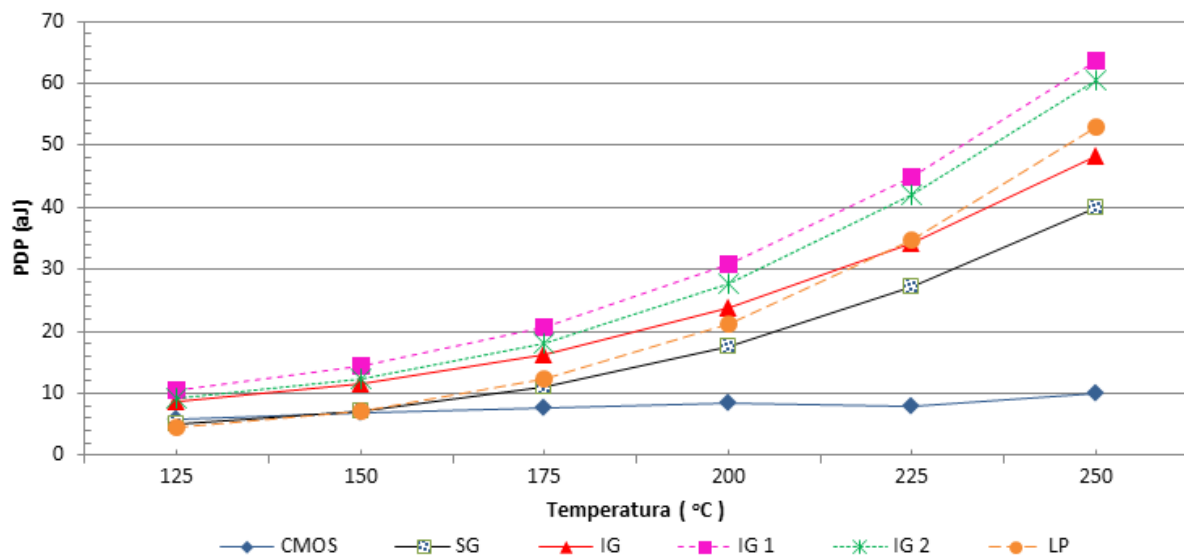
As células NOR2 que exploram o estilo *Independent Gate* tiveram os maiores valores de PDP na temperatura de referência (25°C) e junto com o estilo LP, foram as mais afetadas pela temperatura.

Figura 3.7 Impacto das variações na temperatura em células Inversor



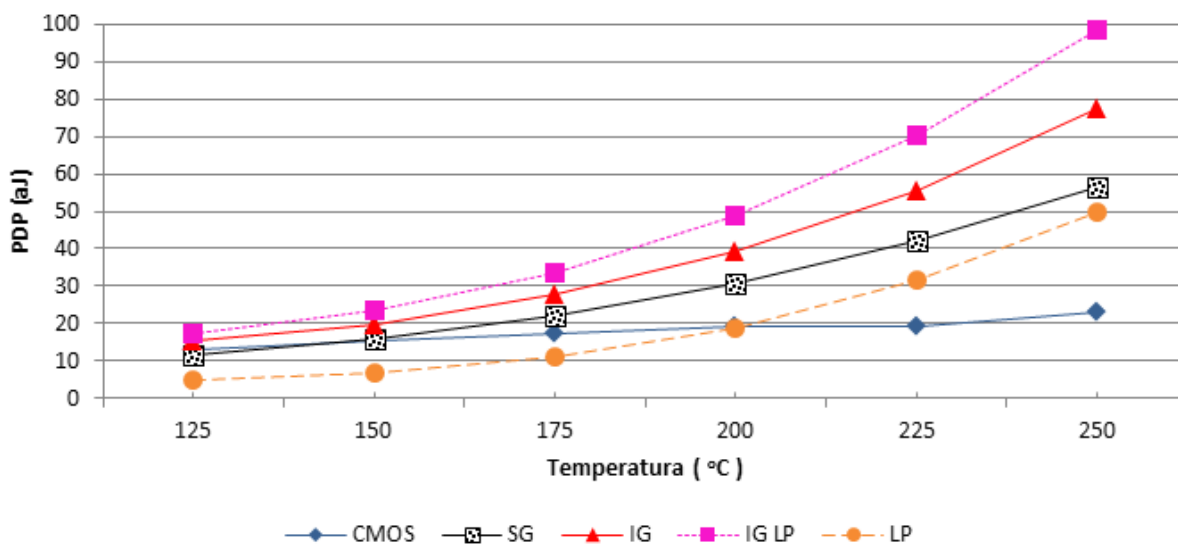
Fonte: Meinhardt (2015a)

Figura 3.8 Impacto das variações na temperatura em células NAND2



Fonte: Meinhardt (2015a)

Figura 3.9 Impacto das variações na temperatura em células NOR2



Fonte: Meinhardt (2015a)

Concluindo este experimento, é apresentada a caracterização elétrica de um conjunto de células candidatas para integrar uma biblioteca de alto desempenho na síntese de um fluxo regular. Considerando-se um fluxo de otimização de atraso para a tecnologia de 32nm, portas lógicas Inversores, NAND2 e NOR2 em tecnologia CMOS mostraram vantagens quanto ao consumo de potência (dinâmica e estática) quando comparado com as tecnologias FinFET preditivas.

Entretanto, é importante relembrar que este modelo preditivo da PTM, embora permita prever o comportamento de FinFETs 3T e 4T, é formulado como um sub-circuito baseado no modelo BSIM-SOI, tendo como principal característica negativa na modelagem de FinFETs a ausência da modelagem do número de *fins* como parâmetro. Neste experimento, todos os dimensionamentos aplicados consideram uma estimativa do W efetivo para os dispositivos.

Com os modelos mais atuais da PTM, baseados no modelo BSIM-CMG (Sinha, 2012) é possível adotar de forma preditiva tecnologias de 20nm à 7nm no projeto de circuitos e avaliar suas características. Entretanto, estes modelos somente modelam dispositivos FinFET de 3 terminais, limitando as possibilidades de tipos de projeto com FinFETs, ou seja, não sendo possível explorar os modos de controle independente do *back-gate*. Uma análise dos efeitos da variabilidade nestes dispositivos e em um conjunto

de células de uma biblioteca de células padrão na tecnologia de 20nm são apresentados nos Capítulo 4 desta tese.

De todos os tipos de projeto com FinFETs explorados neste trabalho, o estilo *Low-Power* apresentou os melhores resultados considerando atrasos e potência, mas apresenta uma grande sensibilidade a variações na temperatura. As células FinFET mostraram vantagens quando operando em tensões reduzidas, com bons resultados de PDP, principalmente para o estilo *Shorted-Gate* nas células Inversor, NAND2 e NOR2.

4 AVALIAÇÃO PREDITIVA DOS EFEITOS DE VARIABILIDADE NA TECNOLOGIA FINFET SUB-20NM

Inicialmente, este trabalho avalia o impacto da variabilidade na corrente I_{ON} em dispositivos FinFET de 20nm do tipo N e P, considerando fatores físicos e ambientais. A análise dos parâmetros físicos consiste em alterar os seguintes parâmetros: comprimento do *gate* (L_g), altura do fin (H_{FIN}), a largura do fin (W_{FIN}), a espessura do óxido (T_{ox}) e a função trabalho do metal do *gate* (WF).

A análise inicia investigando dispositivos FinFET em dois modelos de dispositivos, onde a principal diferença entre eles é a tensão de limiar: o modelo de alto desempenho (*High Performance –HP*) e o modelo de baixo consumo (*Low Standby Power - LSTP*). Estes modelos são disponibilizados pela PTM-MG (Sinha, 2012) e permitem considerar modelos preditivos para dispositivos FinFET SOI completamente depletados. Os principais parâmetros considerados nestas simulações para dispositivos HP e LSTP em tecnologia 20nm são descritos na Tabela 4.1. É possível observar que o único destes parâmetros que varia para a tecnologia HP e LSTP é a função trabalho do metal de *gate*, que também difere para dispositivos P e N.

O fator ambiental avalia a influência de variações na temperatura e na voltagem, por exemplo. O comportamento dos dispositivos com os seus valores nominais, descritos na Tabela 4.1, na temperatura de 25°C será adotado como comportamento de referência para comparação nos próximos experimentos. A Tabela 4.2 apresenta os valores de referência para a corrente máxima I_{ON} para dispositivos com 1 fin nas tecnologias avaliadas.

Tabela 4.1 Valores dos principais parâmetros para dispositivos FinFET na tecnologia de 20nm PTM

Parâmetro	Valor Nominal
Tensão de alimentação (Vdd)	0.9 V
Comprimento do canal (L_g)	24 nm
Altura do Fin (H_{FIN})	28 nm
Largura do Fin (W_{FIN})	15 nm
Espessura do óxido (t_{ox})	1.40 nm
Dopagem do canal	$5 \times 10^{23} \text{ m}^{-3}$
Dopagem Source / Drain	$3 \times 10^{26} \text{ m}^{-3}$
Função trabalho do <i>gate</i> (WF) - HP NFET	4.38 eV
Função trabalho do <i>gate</i> (WF) - HP PFET	4.80 eV
Função trabalho do <i>gate</i> (WF) - LSTP NFET	4.56 eV
Função trabalho do <i>gate</i> (WF) - LSTP PFET	4.62 eV

Fonte: Sinha (2012)

Tabela 4.2 Corrente I_{ON} máxima de dispositivos FinFET 20nm PTM com 1 fin

Dispositivo		I_{ON} max (μA)
HP	NFET	88.42
	PFET	78.29
LSTP	NFET	51.48
	PFET	45.91

Fonte: Zimpeck (2014)

Todas as análises visam destacar a influência destas variações na corrente I_{ON} e as simulações são a nível elétrico. A primeira análise consiste em verificar o comportamento do dispositivo com a temperatura variando de 25°C à 250°C. A Tabela 4.3 apresenta os valores absolutos de corrente para as temperaturas avaliadas. Na última linha, o fator ΔI indica em quantas vezes a corrente na temperatura de 250°C aumentou em relação a temperatura de referência (25°C). Este fator permite constatar que dispositivos LSTP são mais sensíveis aos efeitos de oscilações de temperatura.

A Figura 4.1 mostra que dispositivos PFET são mais impactados pelas variações de temperatura, com um aumento de 12,6 μA e 16 μA na corrente máxima I_{ON} para dispositivos HP e LSTP, respectivamente. Além disso, dispositivos LSTP são até 25% mais sensíveis aos aumentos de temperatura comparados aos dispositivos HP. Quanto ao tipo de FinFET, PFETs são aproximadamente 30% mais sensíveis às variações na temperatura. Para evidenciar a diferença de sensibilidade de cada dispositivo na

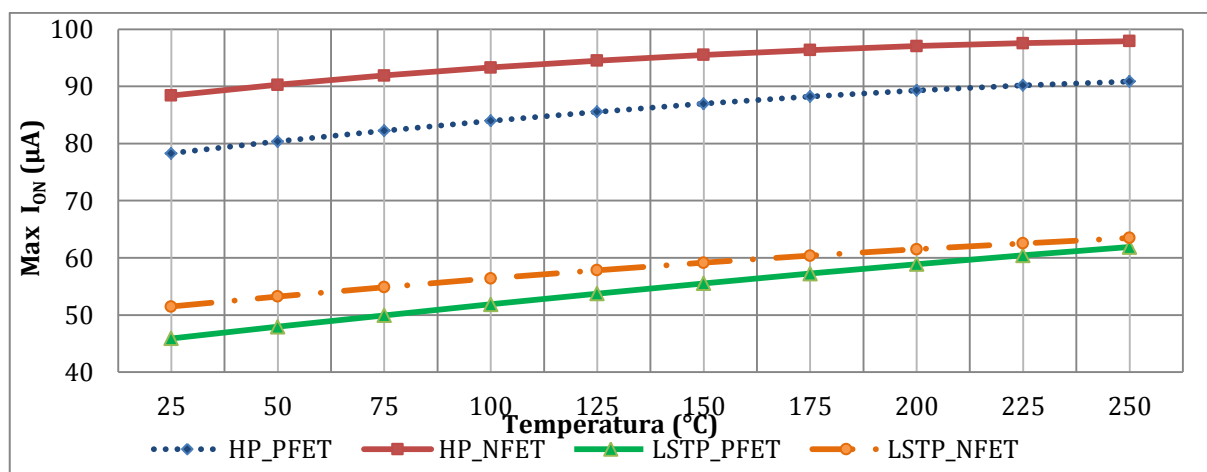
tecnologia HP e LSTP, a Figura 4.2 apresenta os valores normalizados, considerando sempre a temperatura de referência.

Tabela 4.3 Corrente I_{ON} máxima de dispositivos FinFET 20nm PTM com 1 fin considerando variação na temperatura

T (°C)	I_{ON} max (μ A)			
	HP		LSTP	
	PFET	NFET	PFET	NFET
25	78.29	88.42	45.91	51.48
50	80.36	90.28	47.96	53.23
75	82.25	91.90	49.94	54.87
100	83.98	93.30	51.87	56.40
125	85.56	94.51	53.73	57.82
150	86.98	95.52	55.52	59.14
175	88.23	96.37	57.24	60.37
200	89.31	97.04	58.88	61.50
225	90.20	97.56	60.44	62.53
250	90.88	97.93	61.90	63.47
ΔI	12.59	9.51	15.98	11.99

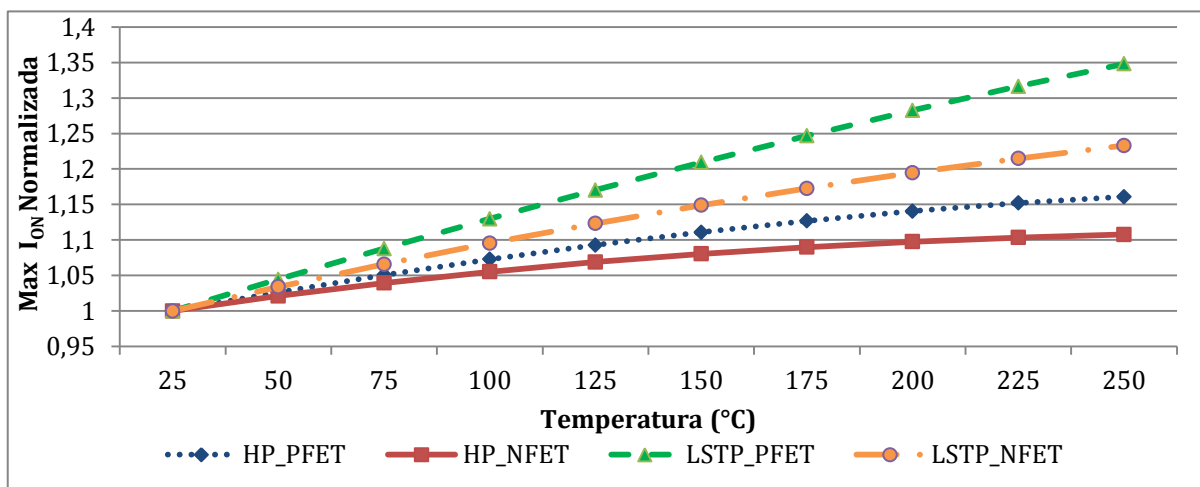
Fonte: Zimpeck (2014)

Figura 4.1 Impacto da variação de temperatura na corrente máxima I_{ON} de dispositivos FinFET 20nm



Fonte: Zimpeck (2014)

Figura 4.2 Resultados normalizados em relação a temperatura de 25°C e o impacto da variação da temperatura na corrente I_{ON} de dispositivos FinFET 20nm



Fonte: Zimpeck (2014)

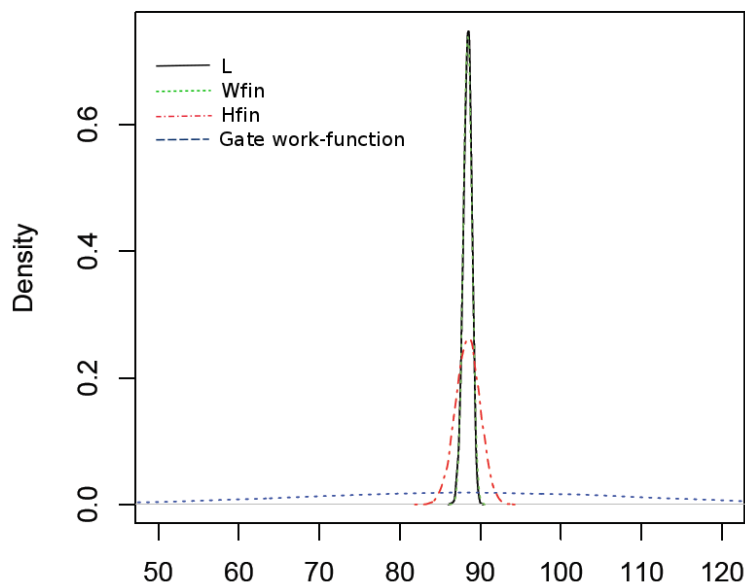
A variabilidade dos parâmetros físicos foi inserida através de simulações Monte Carlo com um total de dez mil variações para cada parâmetro. Os resultados foram obtidos considerando simulações com 3σ de desvio e variação de 10% nos valores nominais. Cada parâmetro foi variado individualmente. A média (μ) e o desvio padrão (σ) são obtidos e comparados para obter o desvio padrão normalizado pela média (σ/μ) como métrica para permitir a comparação entre resultados com diferentes médias. A correlação entre diferentes parâmetros de processo é processada pelo modelo BPTM-BSIM. Também é assumido que os efeitos das variações nos parâmetros é estatisticamente idêntica para todos os transistores do mesmo tipo (NFET ou PFET).

Os resultados mostram que o comprimento do gate e a largura do fin tem pequeno desvio padrão e, conseqüentemente, apresentam alta função densidade, como mostra a Figura 4.3 para dispositivos NFET HP. A altura do fin tem uma densidade intermediária, mas o destaque é para as flutuações na função trabalho (WFF) que apresenta baixíssima densidade, ou seja, altíssimo desvio padrão.

Para detalhar os fatores que mais contribuem para os desvios na corrente I_{ON} , a Figura 4.4 mostra o histograma das simulações variando a altura do *fin* e a função trabalho. O histograma destaca o quanto a flutuação da função trabalho afeta a corrente

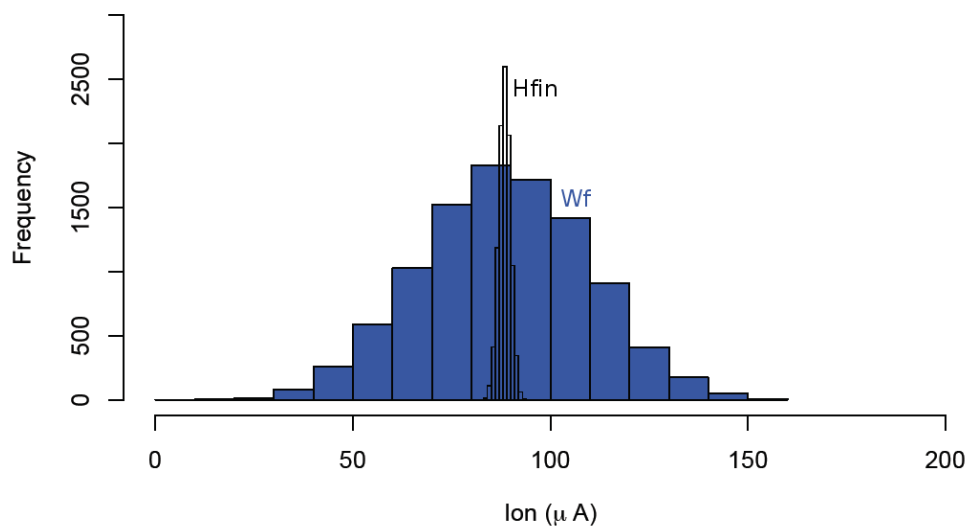
máxima dos dispositivos. A Figura 4.5 apresenta o comportamento da corrente para os quatro dispositivos avaliados, quando sobre efeito da WFF.

Figura 4.3 Função densidade da corrente I_{ON} com variação nos fatores físicos de um dispositivo NFET HP 20nm



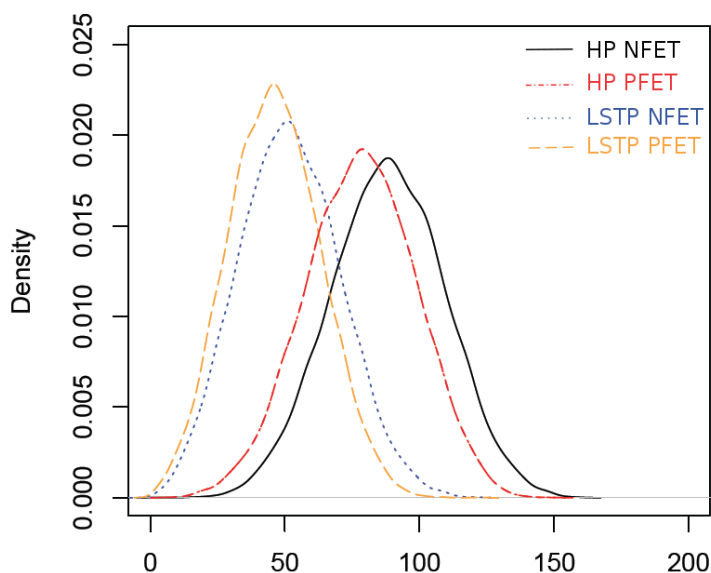
Fonte: Zimpeck (2014)

Figura 4.4 Histogramas das duas principais fontes de variabilidade na corrente I_{ON} : H_{FIN} e WF



Fonte: Zimpeck (2014)

Figura 4.5 Detalhes da função densidade da corrente para dispositivos NFET e PFET em 20nm sobre efeitos de variação na função trabalho do *gate*



Fonte: Zimpeck (2014)

A Tabela 4.4 apresenta todos os resultados das simulações considerando a variação individual de cada um dos parâmetros L_g , W_{FIN} , T_{ox} , H_{FIN} e WF . Os resultados de variabilidade no T_{ox} mostraram que o impacto na corrente pode ser considerado insignificante, com desvio padrão menor que 14.7×10^{-18} . A função trabalho foi o parâmetro que mais significativamente afetou a corrente, apresentando grandes valores de desvio padrão. Isso pode ser melhor visualizado ao observar os valores normalizados (σ/μ) de cada dispositivo. A altura do fin foi o segundo parâmetro com maior influência nos desvios da corrente comparada a corrente nominal, tanto para dispositivos HP quanto LSTP. Mesmo tendo pouco impacto na corrente, os parâmetros de comprimento do *gate* e largura do *fin* não são desprezíveis como os efeitos de variações no T_{ox} .

A flutuação da função trabalho (WFF) impacta com oscilações de mais de 16% nas correntes máximas dos dispositivos HP, em média. Entretanto, o efeito da WFF é ainda pior em dispositivos LSTP, sendo possível 30% de oscilação relativa ao valor esperado de corrente máxima nestes dispositivos.

Comparando estes resultados obtidos para FinFETs com os resultados obtidos para a tecnologia *bulk* CMOS, apresentados na Tabela 1.1, é possível ver que a variabilidade do parâmetro T_{ox} também tem impacto insignificante na corrente I_{ON} .

Entretanto, para dispositivos *bulk* CMOS, a variabilidade no comprimento do *gate* é o parâmetro dominante relacionado às oscilações na corrente máxima I_{ON} devido às flutuações na dopagem randômica do *gate*. Na tecnologia FinFET, como resultado do formato da região ativa dos fins, o canal do fin é preferencialmente levemente dopado para minimizar as variações na tensão de limiar relacionada à dopagem do canal. Então, em FinFETs, é a função trabalho do metal do *gate* o principal fator na definição da tensão de limiar.

Tabela 4.4 Impacto na corrente I_{ON} máxima devido à variabilidade de processo na tecnologia de 20nm

Dispositivo			Parâmetro de processo sobre variação				
			L_g	W_{FIN}	T_{ox}	H_{FIN}	WF
HP	NFET	Média (μA)	88.41	88.42	88.42	88.42	88.25
		Desvio Padrão (μA)	0.42	0.43	1.47×10^{-11}	1.2	16.88
		Desvio Normalizado	0.0048	0.0048	1.66×10^{-13}	0.0136	0.1913
	PFET	Média (μA)	78.28	78.3	78.29	78.3	78.04
		Desvio Padrão (μA)	0.38	0.39	8.11×10^{-12}	0.98	16.39
		Desvio Normalizado	0.0049	0.0049	1.04×10^{-13}	0.0126	0.2101
LSTP	NFET	Média (μA)	51.48	51.49	51.48	51.48	51.86
		Desvio Padrão (μA)	0.04	0.31	4.83×10^{-12}	0.79	15.14
		Desvio Normalizado	0.0007	0.0061	9.37×10^{-14}	0.0153	0.292
	PFET	Média (μA)	45.91	45.92	45.91	45.92	45.26
		Desvio Padrão (μA)	0.01	0.3	5.60×10^{-12}	0.67	13.76
		Desvio Normalizado	0.0001	0.0065	1.22×10^{-13}	0.0145	0.3039

Fonte: Zimpeck (2014)

Estes resultados mostram o quão significativamente as flutuações na função trabalho alteram as especificações de comportamento elétrico de dispositivos FinFET. Estes efeitos afetarão as especificações de circuitos grandes que utilizem estas tecnologias. Portanto, este efeito deverá passar a ser considerado no projeto de circuitos VLSI, assim como pelas ferramentas de EDA, principalmente por ferramentas de estimativas adotadas em um fluxo de síntese desde as etapas iniciais do projeto de circuitos VLSI. Entender o comportamento destas flutuações nestas novas tecnologias é fundamental para o desenvolvimento de projetos e ferramentas.

4.1 Avaliação preditiva das características elétricas de dispositivos FinFET sub-20nm sob efeitos de variabilidade

Prosseguindo a avaliação da variabilidade em nanotecnologias FinFET, esta seção aborda os experimentos para analisar, de forma preditiva, o impacto de variações paramétricas em tecnologias FinFET de 20nm a 7nm, considerando os mesmo dois modelos de dispositivos da Seção anterior: HP e LSTP. É avaliado o impacto de variações geométricas no comprimento do *gate* (L_g), na altura do *fin* (H_{FIN}), e na largura do *fin* (W_{FIN}) através de simulações elétricas. Também é avaliado o impacto da variabilidade na composição do *gate* de metal (MGG) através das variações no parâmetro elétrico função trabalho do *gate*. Os valores de referência destes parâmetros nas tecnologias preditivas avaliadas são apresentados na Tabela 4.5 (Sinha, 2012).

Tabela 4.5 Principais parâmetros para dispositivos FinFET nas tecnologias HP (*High Performance*) e LSTP (*Low Standby Power*)

Parâmetro	Nodo tecnológico (nm)					
	20	16	14	10	7	
L (nm)	24	20	18	14	11	
H_{FIN} (nm)	28	26	23	21	18	
W_{FIN} (nm)	15	12	10	8	6.5	
WF HP	N	4.38	4.41	4.42	4.42	4.42
	P	4.80	4.76	4.75	4.75	4.74
WF LSTP	N	4.56	4.58	4.60	4.60	4.61
	P	4.62	4.59	4.57	4.56	4.56

Fonte: Sinha (2012)

A variabilidade dos parâmetros físicos foi inserida através de simulações Monte Carlo com um total de dez mil variações para cada parâmetro. Os resultados foram obtidos considerando simulações com 3σ de desvio e variação de 10% nos valores nominais para os parâmetros geométricos. Para o parâmetro elétrico WF, optou-se por uma abordagem mais conservadora, assumindo inicialmente variações de 3% neste parâmetro, porque pequenas variações neste parâmetro tem grande impacto no comportamento elétrico dos FinFETs. Para avaliar o fator de impacto de flutuações na WF (WFF), um segundo experimento analisa o efeito de diferentes graus de WFF nas

corrente I_{ON} e I_{OFF} . Para isso, a WFF foi considerada uma distribuição gaussiana com desvios de 4% a 10% dos valores nominais.

Cada parâmetro foi variado individualmente. A média (μ) e o desvio padrão (σ) são obtidos e comparados para obter o desvio padrão normalizado pela média (σ/μ) como métrica para permitir a comparação entre resultados com diferentes médias.

A Tabela 4.6 mostra os resultados de I_{ON} e I_{OFF} por um único *fin* em dispositivos NFET e PFET, nos modelos HP e LSTP, para as cinco tecnologias preditivas avaliadas. Valores nominais são os resultados encontrados sem a presença de nenhuma fonte de variabilidade, representando os valores de corrente esperados para cada tecnologia. Este conjunto de valores fornece condições para constatar que embora a corrente I_{ON} sofra alterações com a presença de variabilidade geométrica, é a corrente I_{OFF} que é mais significativamente afetada. As correntes médias de I_{OFF} sofrem alterações na presença de qualquer fonte de variabilidade geométrica.

A Figura 4.6 mostra a função densidade da corrente I_{ON} para os parâmetros geométricos variados neste experimento, em um dispositivo NFET LSTP na tecnologia de 7nm. É possível observar que as variações do comprimento do *gate*, da largura e da altura do *fin* tem impacto pequeno sobre a corrente I_{ON} em dispositivos NFET, sendo menor que 2% o desvio padrão do impacto destes parâmetros. O mesmo comportamento é observado para as outras tecnologias.

Entretanto, a WFF impacta a I_{ON} introduzindo grandes desvios padrões nos resultados, tanto para dispositivos NFET e PFET, em ambas as tecnologias LSTP e HP. Para reforçar isso, a Figura 4.7 apresenta o histograma para a flutuação da função trabalho (WFF) em dispositivos NFET LSTP na tecnologia de 7nm, que possui um valor médio de 35.4 μ A com desvio padrão de 6.13 μ A.

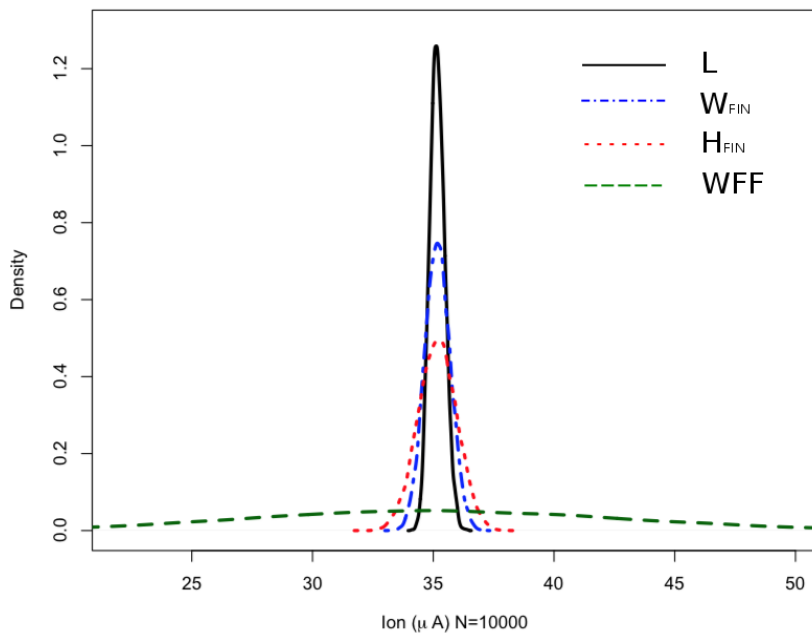
Os resultados também mostram que dispositivos NFET são mais sensíveis a WFF, como mostra a Figura 4.8. Em dispositivos NFET, o impacto aumenta com a redução da escala de fabricação, introduzindo até 17% de oscilação nos resultados para a tecnologia de 7nm no modelo LSTP. Enquanto que dispositivos PFET permanecem com o mesmo percentual de oscilação nos menores nodos tecnológicos, apresentando maior robustez a esta variabilidade.

Tabela 4.6 Resultados nominais da corrente I_{ON} e I_{OFF} por 1 único *fin* e os resultados considerando variabilidade no L_g , W_{FIN} , H_{FIN} e WFF para as tecnologias sub-20nm

			Nominal	L_g		W_{FIN}		H_{FIN}		WFF	
				Média	Desvio Padrão	Média	Desvio Padrão	Média	Desvio Padrão	Média	Desvio Padrão
20nm	HP NFET	Ion (μA)	88.4	88.4	0.42	88.4	0.43	88.4	1.20	88.4	5.11
		Ioff (nA)	6.56	7.11	2.14	6.85	1.53	6.56	0.28	17.1	17.4
	HP PFET	Ion (μA)	78.3	78.3	0.38	78.3	0.38	78.3	0.98	78.3	4.99
		Ioff (nA)	6.34	6.99	2.35	6.67	1.60	6.34	0.29	19.3	20.9
	LSTP NFET	Ion (μA)	51.5	51.5	0.04	51.5	0.31	51.5	0.79	51.5	4.61
		Ioff (pA)	6.26	6.78	2.07	6.66	1.75	6.27	0.31	19.4	21.2
LSTP PFET	Ion (μA)	45.9	45.9	0.00	45.9	0.30	45.9	0.67	45.9	4.20	
	Ioff (pA)	6.22	6.79	2.18	6.64	1.81	6.23	0.32	19.6	21.6	
16nm	HP NFET	Ion (μA)	91.1	91.1	0.14	91.1	0.58	91.1	1.46	88.4	5.11
		Ioff (nA)	5.95	6.50	2.08	6.30	1.62	5.95	0.24	15.2	15.4
	HP PFET	Ion (μA)	88.9	88.9	0.18	88.9	0.57	88.9	1.31	8.89	5.81
		Ioff (nA)	30.89	34.05	11.48	32.72	8.51	30.90	1.26	82.41	84.81
	LSTP NFET	Ion (μA)	51.3	51.3	0.13	51.3	0.44	51.3	0.89	51.3	5.35
		Ioff (pA)	5.81	6.34	2.01	6.28	1.88	5.82	0.26	180.09	197.34
LSTP PFET	Ion (μA)	52.9	52.9	0.12	45.7	0.43	52.9	0.86	52.9	4.89	
	Ioff (pA)	5.81	6.39	2.04	6.28	1.87	5.81	0.26	18.0	19.7	
14nm	HP NFET	Ion (μA)	94.1	94.1	0.00	94.2	0.63	94.2	1.58	94.2	7.06
		Ioff (nA)	5.21	5.80	2.07	5.53	1.47	5.21	0.21	13.0	13.0
	HP PFET	Ion (μA)	107.8	107.8	0.09	107.8	0.75	107.8	1.75	107.7	7.23
		Ioff (nA)	136.70	151.32	52.33	143.77	35.25	136.79	5.32	309.67	295.70
	LSTP NFET	Ion (μA)	49.8	49.8	0.27	49.8	0.46	49.8	0.90	49.9	6.19
		Ioff (pA)	5.92	5.49	1.96	5.32	1.60	4.92	0.21	14.9	16.2
LSTP PFET	Ion (μA)	67.8	66.3	0.17	66.3	0.54	66.3	1.12	66.3	6.33	
	Ioff (pA)	157.7	175.3	61.46	5.41	1.69	3458.9	129.74	459.64	491.72	
10nm	HP NFET	Ion (μA)	90.0	90.0	0.05	90.0	0.62	90.0	1.46	90.0	7.44
		Ioff (nA)	4.70	5.18	1.73	5.01	1.36	4.71	0.17	11.6	11.6
	HP PFET	Ion (μA)	116.6	116.5	0.22	116.6	0.74	116.6	1.77	116.5	7.67
		Ioff (pA)	596.40	635.55	177.96	618.74	132.81	596.61	20.65	1064.4	895.42
	LSTP NFET	Ion (μA)	46.1	43.8	0.23	43.8	0.43	43.8	0.79	43.9	6.28
		Ioff (pA)	4.47	4.92	1.64	4.80	1.38	4.48	0.18	13.5	14.7
LSTP PFET	Ion (μA)	67.8	66.3	0.17	66.3	0.54	66.3	1.12	66.3	6.33	
	Ioff (pA)	734.89	801.27	254.78	780.24	205.70	735.33	28.78	2057.6	2166.0	
7nm	HP NFET	Ion (μA)	81.9	82.0	0.10	82.0	0.57	82.0	1.29	82.1	7.63
		Ioff (nA)	3.97	4.32	1.36	4.22	1.12	3.97	0.15	9.72	9.65
	HP PFET	Ion (μA)	116.8	116.8	0.47	116.8	0.68	116.8	1.64	116.8	7.59
		Ioff (μA)	2.02	2.08	0.43	2.06	0.34	2.02	0.06	2.79	1.91
	LSTP NFET	Ion (μA)	35.2	35.2	0.25	35.2	0.42	35.2	0.64	35.4	6.13
		Ioff (pA)	3.78	4.14	1.34	4.06	1.16	3.78	0.15	11.2	12.1
LSTP PFET	Ion (μA)	66.5	66.5	0.05	66.5	0.51	66.5	1.07	66.6	6.26	
	Ioff (nA)	3.45	3.70	1.04	3.63	0.86	3.46	0.129	9.53	9.98	

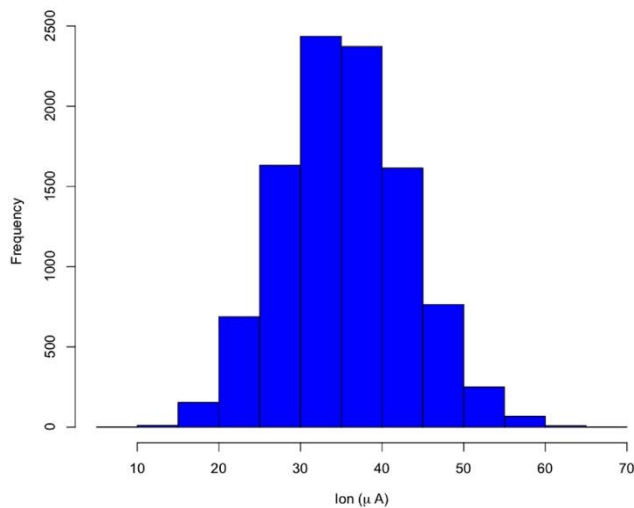
Fonte: Meinhardt (2014b)

Figura 4.6 Função densidade para os parâmetros L , W_{FIN} , H_{FIN} sobre efeitos de variação e de flutuações na função trabalho do *gate* (WFF) de um dispositivo NFET de 7nm LSTP



Fonte: Meinhardt (2014b)

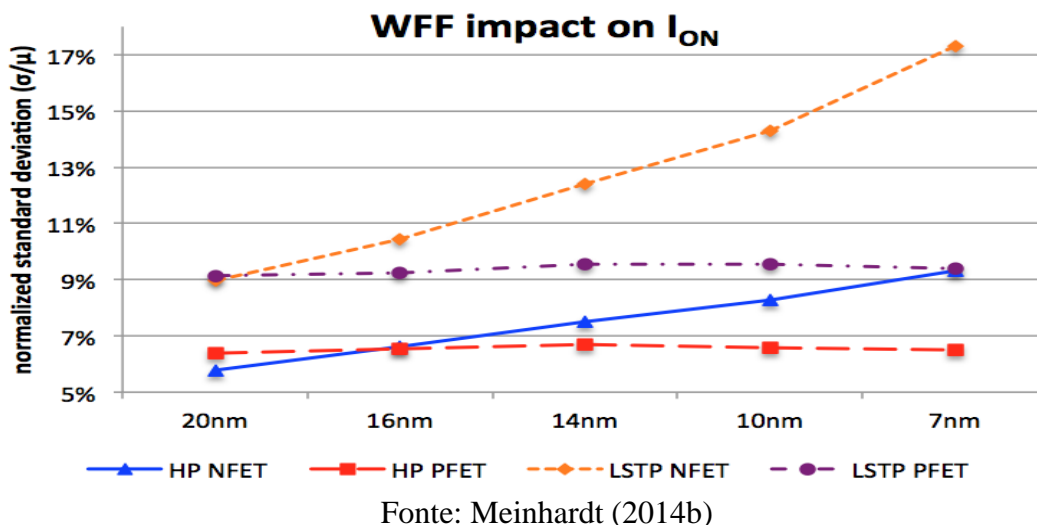
Figura 4.7 Distribuição de frequência da corrente I_{ON} para um dispositivo NFET de 7nm sobre efeitos de WFF



Fonte: Meinhardt (2014b)

A Figura 4.9 apresenta o impacto médio da variação de cada um dos parâmetros na corrente I_{OFF} . O comprimento de *gate* e a largura do *fin* tem impacto significativo na corrente I_{OFF} dos dispositivos, podendo acrescentar oscilações em torno de 30% aos valores esperados de corrente estática.

Figura 4.8 Tendência de impacto na corrente I_{ON} de dispositivos HP e LSTP sobre efeito de 3% de flutuação na função trabalho (WFF)



Entretanto, é a WFF que severamente impacta a corrente I_{OFF} , especialmente de dispositivos NFET, como a Figura 4.10 detalha para todas as tecnologias avaliadas. Este impacto diminui levemente com a escala de fabricação, principalmente em dispositivos PFET, mas continua alto o suficiente para não ser negligenciado no projeto digital, sobretudo em aplicação voltadas ao baixo consumo de potência.

Figura 4.9 Efeitos da variação paramétrica na corrente I_{OFF} em dispositivos HP e LSTP

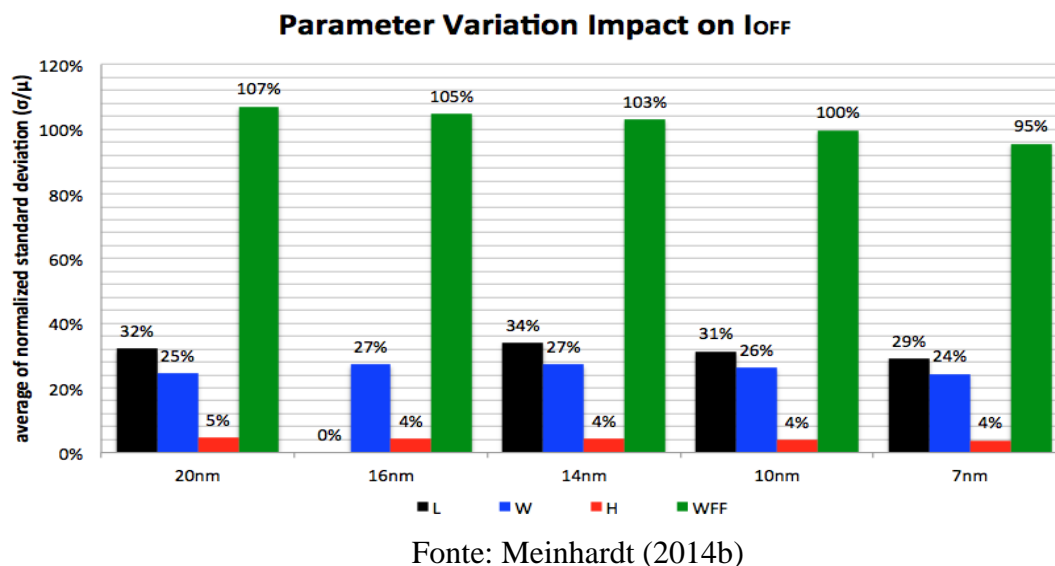
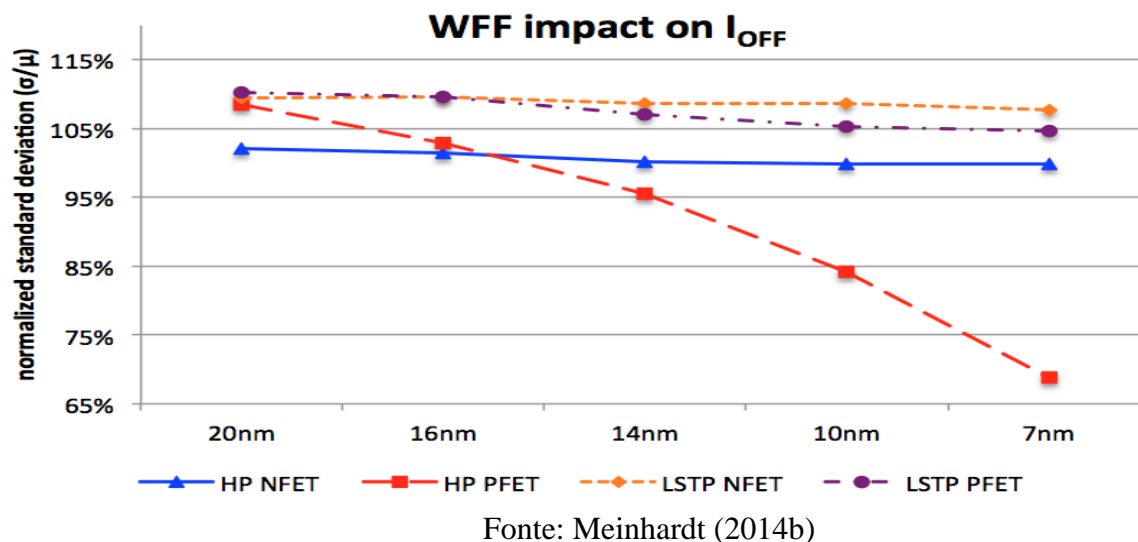


Figura 4.10 Impacto na corrente I_{OFF} devido a 3% de flutuação na função trabalho de dispositivos sub-20nm HP e LSTP



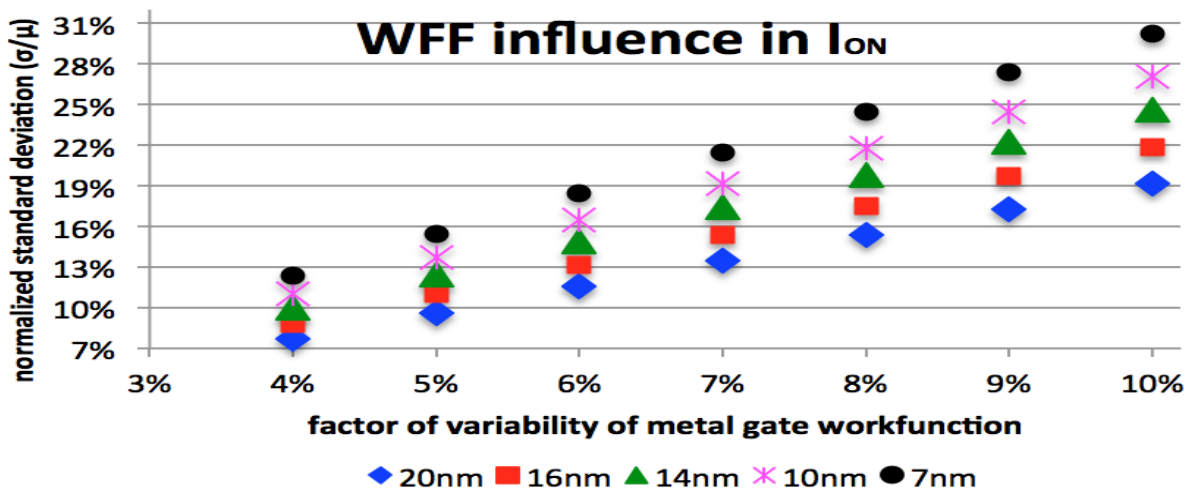
4.2 Avaliação do grau de impacto de flutuações na função trabalho em FinFETs

Mesmo considerando uma flutuação baixa na função trabalho (na ordem de 3%), os resultados da seção anterior reforçam a importância de investigar como a WFF afeta os próximos nodos na tecnologia FinFET.

Ao considerarmos diferentes níveis de flutuação na função trabalho, os experimentos mostram que para flutuações maiores que 5% na função trabalho, a corrente I_{ON} inicia a oscilar mais que 10% do seu valor esperado em condições nominais, inclusive para a tecnologia de 20nm, como mostra a Figura 4.11. Esta investigação é mais alarmante para a corrente I_{OFF} . A WFF introduz um grande desvio dos valores nominais e introduz elevado desvio padrão mesmo com variações pequenas na função trabalho, como é possível observar na Figura 4.12.

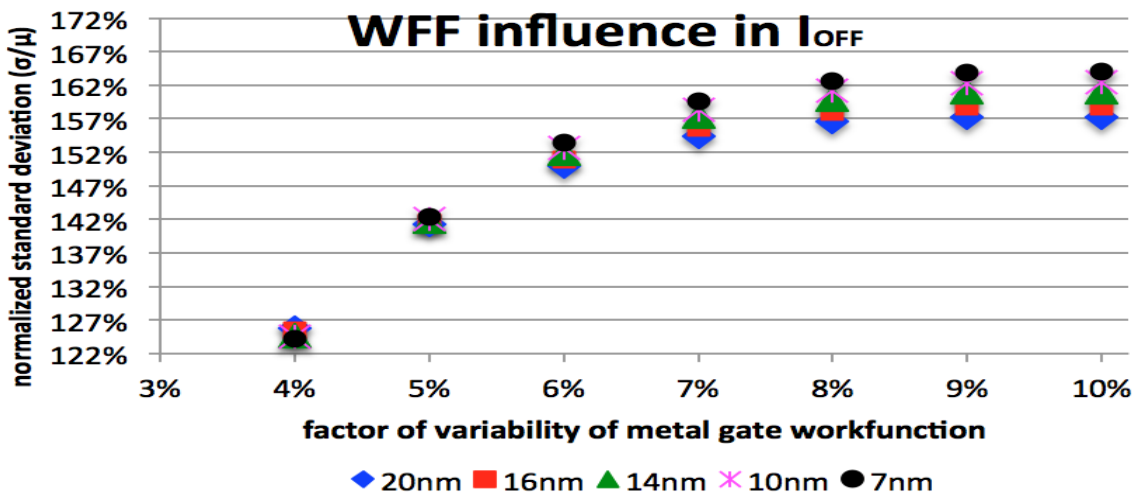
Para variações de 10% na WFF, os circuitos nestas tecnologias preditivas lidarão com cerca de 50% de desvio normalizado na corrente I_{ON} e mais de 100% de desvio normalizado na corrente I_{OFF} descrito pelas as Figuras 4.13 e 4.14, respectivamente.

Figura 4.11 Fator de flutuação na função trabalho (WFF) e o efeito na corrente I_{ON} de dispositivos NFET HP



Fonte: Meinhardt (2014b)

Figura 4.12 Fator de flutuação na função trabalho (WFF) e o efeito na corrente I_{OFF} de dispositivos NFET HP

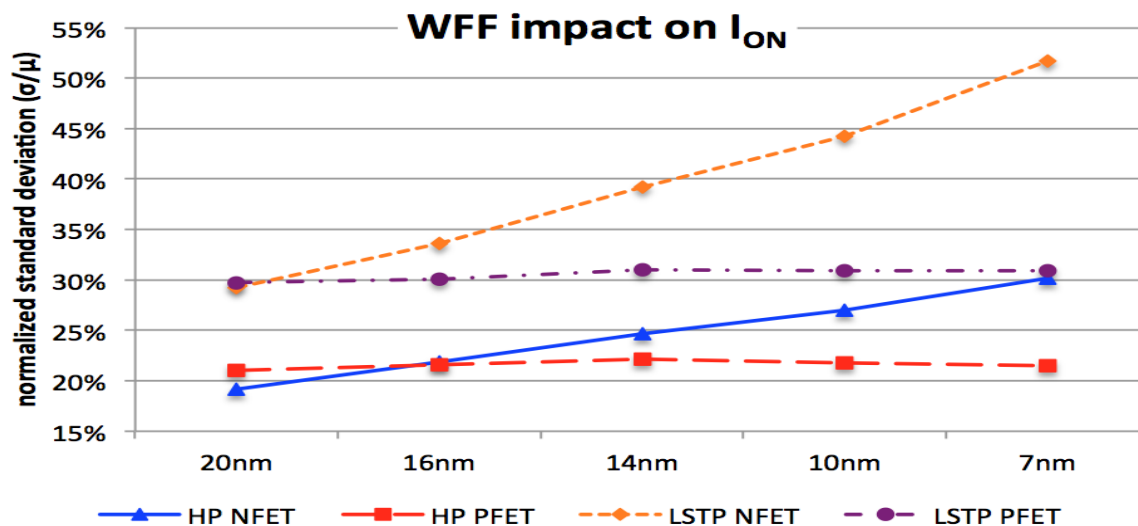


Fonte: Meinhardt (2014b)

Estes resultados confirmam que não é mais suficiente considerar apenas as flutuações na tensão de limiar no desenvolvimento de projetos e ferramentas de CAD para os nodos futuros da tecnologia FinFET. É necessário considerar o impacto nas correntes dos circuitos, principalmente no comportamento estático. Com tamanhos reduzidos de fabricação dos dispositivos, baixas voltagens e complexos conjuntos de vetores, muitos destes desafios vão necessitar de novas metodologias e ferramentas de

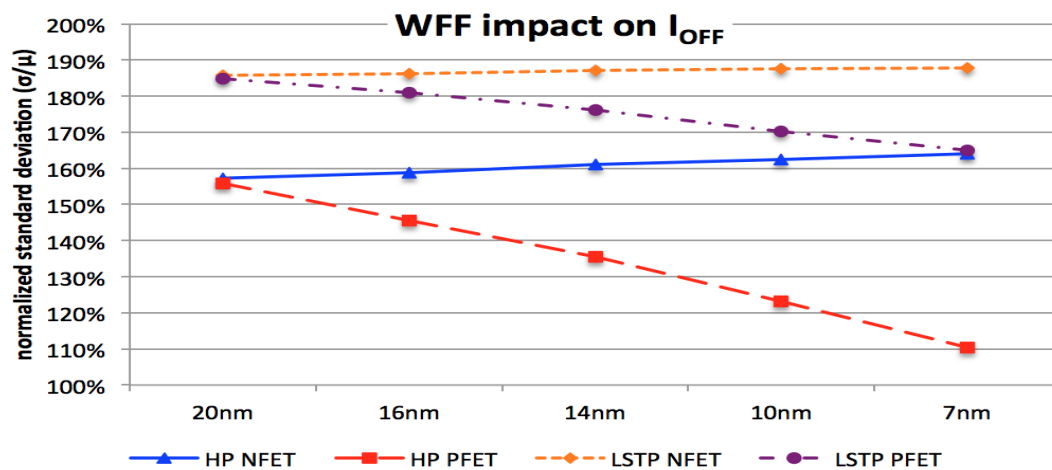
CAD aptas a lidar com estes desafios e estimar estes efeitos desde as etapas iniciais do projeto.

Figura 4.13 Tendência para tecnologias sub-20nm de impacto na corrente I_{ON} de dispositivos LSTP e HP devido a 10% de flutuação na função trabalho (WFF)



Fonte: Meinhardt (2014b)

Figura 4.14 Tendência para tecnologias sub-20nm de impacto na corrente I_{OFF} de dispositivos LSTP e HP devido a 10% de flutuação na função trabalho (WFF)



Fonte: Meinhardt (2014b)

4.3 Análise da variabilidade em *Standard Cells*

Dentre os trabalhos recentes sobre biblioteca de células FinFET para projetos *standard cell*, pela relevância na contribuição publicada, é importante destacar os seguintes trabalhos: uma análise dos aspectos de tamanho de leiautes (Alioto, 2012), uma

metodologia para estimar a corrente de fuga proposta em (Chaudhuri 2012), uma investigação sobre otimização do desempenho e manufacturabilidade de Zhang (2013) e uma metodologia proposta para encontrar o tamanho ótimo de dimensionamento de blocos de circuitos básicos considerando variabilidade de processo (Kleeberger, 2013). Entretanto, em (Kleeberger, 2013), a flutuação na função trabalho do metal de *gate* não é considerada. Até o momento deste trabalho, nenhum trabalho havia avaliado o impacto da WFF em *standard cells*. Neste contexto, o foco principal deste experimento é em antecipar o impacto da WFF nas células de bibliotecas de células para o projeto *standard cell* em tecnologia FinFET de 20nm. Os resultados cobrem as análises de desvios no desempenho e na potência devido a WFF.

O experimento considerou um subconjunto de circuitos de uma biblioteca *standard cell* comercial. As células escolhidas representam as células combinacionais de 1 a 4 entradas mais frequentemente disponibilizadas e utilizadas em projetos digitais, nos seus tamanhos mínimos. Originalmente, estas células estão especificadas na tecnologia *bulk* CMOS de 45nm. Como ferramentas *standard cell* comerciais para a tecnologia FinFET ainda não estavam disponíveis na época da realização do trabalho, as células em 45nm *bulk* CMOS foram adaptadas à tecnologia FinFET, respeitando as características de aspecto entre o dimensionamento do *W* e o tamanho do *L* na tecnologia. Primeiramente, estas células foram redimensionadas para uma tecnologia CMOS com *L* de 20nm e os *W* das portas recalculados. Como tamanho mínimo nas células FinFET, adotou-se o projeto das células com transistores com único *fin* e o dimensionamento das portas lógicas foi realizado através do dimensionamento quantizado ao tamanho do *fin* de forma a atingir o *W* equivalente das portas lógicas CMOS.

Este trabalho adotou o modelo de transistor FinFET de alto desempenho (*High Performance* – HP) no nodo tecnológico de 20nm da PTM-MG (Sinha, 2012). Todas as simulações foram realizadas com o simulador elétrico HSPICE. Resultados de desempenho são apresentados considerando o tempo de propagação médio. A potência total é a potência consumida durante a execução das transições entre todos os arcos de atraso de cada função. A potência estática é medida para todos os estados das entradas e os valores mínimos, máximos e médios são avaliados.

A variabilidade na função trabalho é simulada com o método de Monte Carlo, em simulações SPICE, com um total de 10000 iterações. Como a variabilidade na função trabalho apresenta uma distribuição multinomial, a flutuação pode ser aproximada por uma função gaussiana quando o número de grãos na superfície do metal de *gate* é alto suficiente (maior que 10). Nestes resultados considerou-se 3σ e desvio de 5% dos valores nominais de função trabalho para os transistores sob flutuação. Os resultados de média (μ) e desvio padrão (σ) são então comparados. O desvio padrão normalizado pela média (σ/μ) é adotado como métrica de comparação porque possibilita comparar a variabilidade de parâmetros com diferentes médias. A correlação entre os transistores vizinhos de uma mesma célula não é considerada.

Além disso, este conjunto de células também foi avaliado quanto às variações de temperatura e voltagem. A temperatura de operação dos circuitos foi variada de 25°C à 250 °C com intervalos de 25°C, mantidos os demais parâmetros nominais. A voltagem aplicada à célula em análise oscilou na faixa de valores da voltagem nominal (0,9V) à tensões na região próxima da tensão de limiar (*near-limiar*), com limite inferior de 0,3V.

A Tabela 4.7 mostra os resultados de desempenho e de potência para todos os arcos de atraso de cada célula da biblioteca sob efeitos de variabilidade na função trabalho (WFF). A célula Inversor, a estrutura mais simples analisada neste experimento, apresentou grande desvio padrão nos seus tempos de propagação, ficando em torno de 11% de desvio. Portas NAND2 e NOR2 também apresentaram alta sensibilidade à WFF. Os resultados de atraso, considerando o tempo de propagação médio, de todas as portas e a comparação com os resultados obtidos considerando a flutuação na função trabalho são apresentados na Figura 4.15. Sobre o desvio padrão, os resultados de potência mostram uma função de densidade baixa para todas as células, com grande desvios. As flutuações da função trabalho provocam cerca de 17% de desvio dos valores nominais. As barras de erro da Figura 4.16 mostram que a WFF provoca um desvio considerável na potência total, que tem que ser avaliado em projetos VLSI.

Os resultados também mostram que WFF tem mais impacto na potência (24% em média) do que no desempenho (8% em média). Isso reforça a importância de considerar WFF nas correntes desde os passos iniciais da síntese física, principalmente nas ferramentas de EDA.

Tabela 4.7 Efeitos da WFF nos atrasos, potência total e estática de portas lógicas de uma biblioteca de células

Circuito	Atrasos			Potência Total			Potência Estática		
	M (ps)	σ (ps)	σ/μ (%)	μ (μ W)	σ (μ W)	σ/μ (%)	μ (nW)	σ (nW)	σ/μ (%)
AND2	13,1	0,925	7	1,1	0,345	33	145	372	256
AND3	15,6	0,105	7	1,60	0,351	22	131	374	286
AND4	18,4	0,121	7	1,68	0,386	23	115	336	292
AOI21	13,0	0,100	8	0,57	0,154	27	79	234	296
AOI211	17,1	0,137	8	0,58	0,188	32	56	166	297
AOI22	13,0	0,100	8	0,57	0,154	27	92	258	282
INV	7,43	0,825	11	0,94	0,191	20	70	260	372
MUX2	16,0	0,104	6	1,18	0,306	26	262	534	204
NAND2	10,6	0,950	9	0,78	0,203	26	67	204	304
NAND3	14,0	0,119	9	1,19	0,243	21	49	136	277
NAND4	18,7	0,151	8	1,30	0,241	19	32	83	258
NOR2	15,9	0,123	8	0,77	0,175	23	65	205	317
NOR3	15,9	0,164	10	0,92	0,188	20	46	132	286
NOR4	20,4	0,212	10	1,23	0,143	12	30	81	272
OAI21	12,5	0,877	7	0,48	0,146	30	80	237	295
OAI211	15,5	0,102	7	0,51	0,147	29	64	175	274
OAI22	15,1	0,105	7	0,55	0,126	23	91	262	286
OR2	13,3	0,924	7	1,07	0,284	26	138	366	265
OR3	14,1	0,103	7	1,28	0,346	27	113	314	279
OR4	19,1	0,125	7	1,74	0,357	21	97	290	300
XNOR2	15,5	0,971	6	0,75	0,217	29	186	417	225
XOR2	16,2	0,107	7	0,68	0,200	29	178	400	225
FA	16,4	0,557	3	4,75	0,544	11	387	648	167
HA	16,3	0,110	7	1,36	0,403	30	323	562	174

Fonte: Meinhardt (2014)

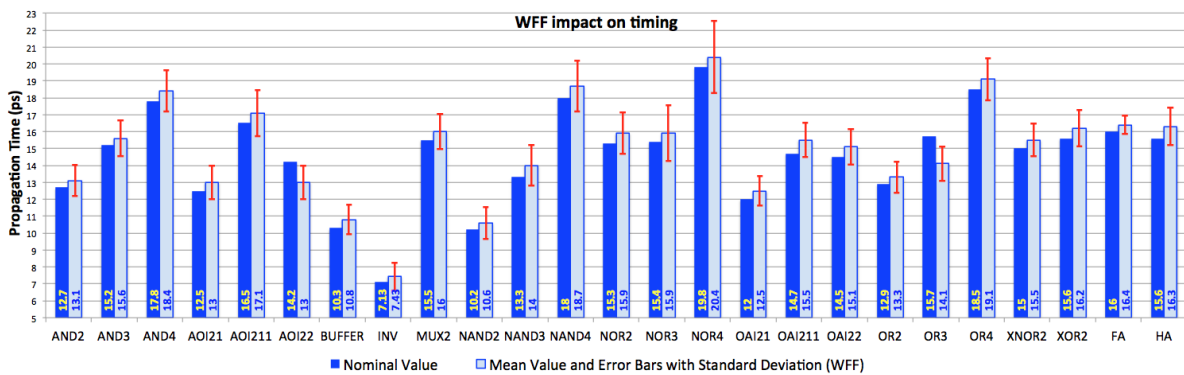
Com relação à influência da WFF na corrente I_{OFF} relatada em (GSS, 2010) e (Meinhardt, 2014b), o impacto na potência estática já era esperado. Entretanto, os resultados mostraram um grande desvio dos valores médios para todas as células da biblioteca, como mostra a Figura 4.17. O desvio padrão normalizado ficou acima de 1.6,

o que significa que portas lógicas FinFET sob influência de apenas 5% de WFF, podem apresentar oscilações de mais de 60% do resultados médio, estimado na etapa de projeto.

Devido à sua estrutura simples, as células de Inversores, NAND2 e NOR2 indicaram grande sensibilidade a WFF. Para células com funções similares, mas com diferente número de entradas, é possível notar que a sensibilidade a WFF diminui quando o número de entradas aumenta. Por exemplo, a porta NAND2 é 80% mais sensível às variações da função trabalho que a porta NAND4.

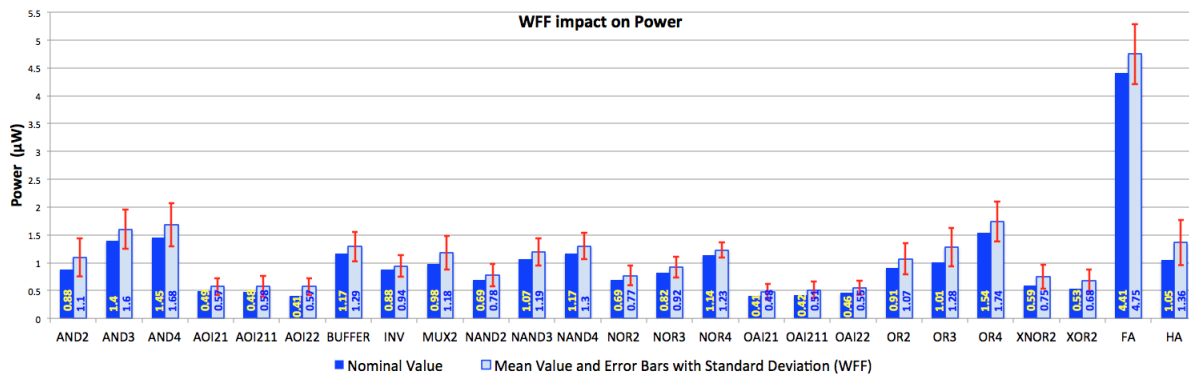
Apesar das células do meio-somador (*Half-Adder* – HA) e do somador completo (*Full-Adder* –FA) apresentarem os desvios padrões maiores, quando considera-se os resultados de média, estas células tem os menores desvios padrão normalizados da biblioteca de células.

Figura 4.15 Tempo de propagação médio comparado com a média e desvio padrão dos experimentos considerando as portas sobre efeito de WFF



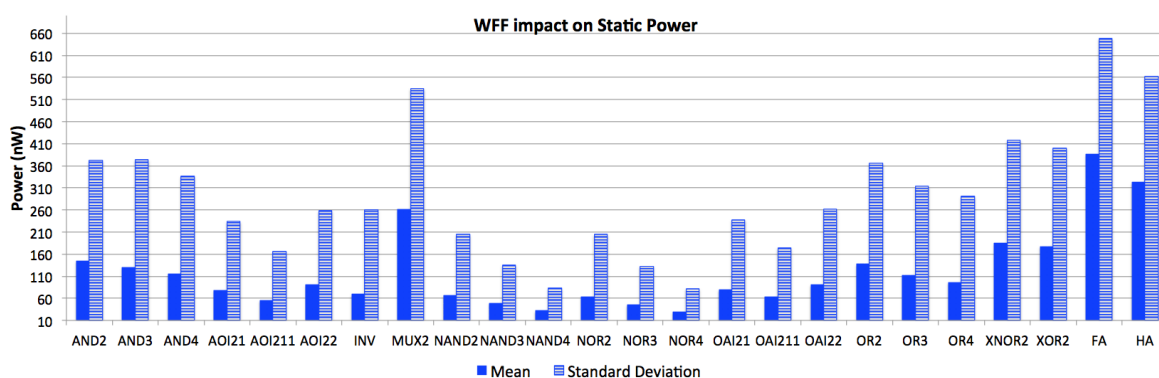
Fonte: Meinhardt (2014c)

Figura 4.16 Resultados de potência total comparados com a média e desvio padrão dos experimentos considerando as portas sobre efeito de WFF



Fonte: Meinhardt (2014c)

Figura 4.17 Resultados de potência estática com a média e desvio padrão dos experimentos considerando as portas sobre efeito de WFF



Fonte: Meinhardt (2014c)

A Tabela 4.8 apresenta os resultados de PDP para todos os arcos de atraso para cada célula da biblioteca. Para o subconjunto de resultados de PDP considerando efeitos da redução de voltagem, a coluna ΔPDP apresenta o percentual de redução (%) alcançado na voltagem de 0,3V comparado com a tensão nominal de 0,9V. Para os resultados de temperatura, a coluna ΔPDP resume quantas vezes (x) a potência aumenta quando operando na temperatura de 250 °C, comparado com a temperatura nominal de operação.

Em condições nominais, ou seja, na temperatura de referência e com voltagem nominal, os experimentos apresentam os mesmos valores de PDP, exceto para as células AND3, NOR4, OR4 e FA, porque para permitir a operação em regime de tensão próxima a tensão de limiar, a frequência de chaveamento destas portas foi reduzida. Assim, estas células permanecem mais tempo com consumo estático nas voltagens próximas à voltagem nominal, o que acaba provocando uma redução na potência.

Tabela 4.8 Resultados de PDP sobre influência de variações na voltagem e na temperatura

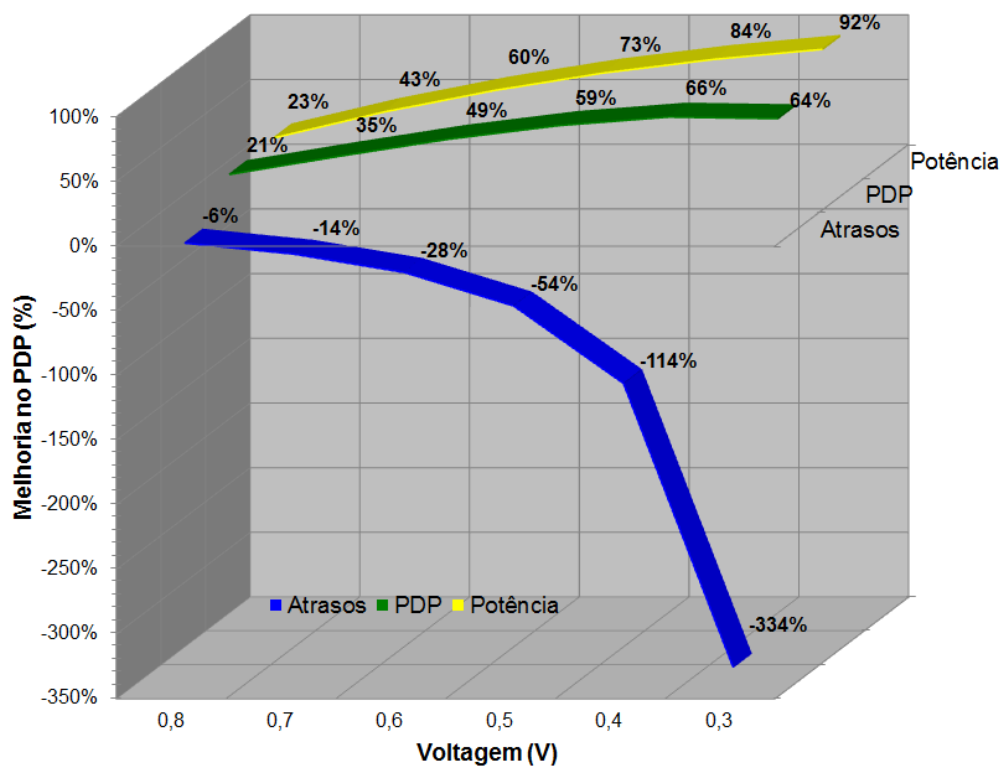
Circuito	PDP - Voltagem (aJ)				PDP – Temperatura (aJ)					
	0.9V	0.6V	0.3V	Δ PDP (%)	50°C	100°C	150°C	200°C	250°C	Δ PDP (x)
AND2	11,1	5,8	4,3	0,61	11,6	14,1	24,3	51,1	111	9,57
AND3	14,7	7,6	5,7	0,61	21,4	25,4	40,1	81,4	183	8,55
AND4	25,8	13,3	7,5	0,71	26,6	32,4	54,5	123	311	11,69
AOI21	6,2	3,2	2,2	0,64	6,4	7,6	12	22,4	43,6	6,81
AOI211	7,9	4	2,8	0,64	8,4	10,5	17,5	34	67,5	8,04
AOI22	5,8	2,9	2	0,65	5,9	7,6	13,2	26,7	53,1	9,00
BUFFER	12,2	6,5	3,7	0,69	12,2	13,7	19,5	34	46	3,77
INV	6,27	3,1	2,2	0,65	6,3	6,7	8,7	14,1	24,8	3,94
MUX2	15,2	7,9	5,8	0,62	15,8	20,1	35,3	73,2	155	9,81
NAND2	7,11	3,5	2,4	0,66	7,26	8,47	13,1	24,2	46	6,34
NAND3	14,3	7,3	4,8	0,66	14,8	17,4	25,3	45,4	85	5,74
NAND4	20,6	10,4	5,9	0,71	21,6	25,3	38,8	70	137	6,34
NOR2	10,6	5,6	4	0,62	10,8	12,2	17,3	29,5	53,9	4,99
NOR3	12,6	6,3	3,3	0,74	13,1	15	21	35,5	65,5	5,00
NOR4	7,9	3,9	2,8	0,64	23	25,4	33,6	52,2	90,9	3,95
OAI21	4,8	2,5	1,7	0,65	5	6,2	10,4	21,1	41,3	8,26
OAI211	6,2	3,2	2,2	0,64	6,6	8,3	15,2	31,6	63,2	9,58
OAI22	6,8	3,5	2,3	0,65	7	8,8	14,7	29,2	56,9	8,13
OR2	11,7	6,2	4,7	0,59	12	14,4	23	45,9	96,8	8,07
OR3	16,8	8,9	5,7	0,66	17,6	21,6	34,3	71,8	161	9,15
OR4	10,5	5,5	4,3	0,59	29,5	35,5	53,9	107	239	8,10
XNOR2	8,9	4,6	3,3	0,62	9,2	12,2	22,8	50,2	106	11,52
XOR2	8,3	4,3	3,2	0,62	8,7	11,8	22,4	48,4	102	11,72
FA	5,5	2,5	2,1	0,62	42,1	50,9	71,6	118	202	4,80
HA	12,1	6,4	4,7	0,61	13,1	18,8	39,2	90,1	193	14,73

Fonte: Meinhardt (2015a)

A Figura 4.18 apresenta a melhoria nos resultados de atraso, potência total e PDP médio normalizado em relação aos valores nominais de todas as células avaliadas nestes experimentos para a faixa de voltagem de 0,9V à 0,3V. Quando as células operam na região próxima à tensão de limiar, existe um redução de mais de 60% no PDP. Células AND4, NAND4 e NOR3 podem apresentar até 70% de redução no PDP quando operando a 0,3V. Embora a redução de tensão para 0,3V represente uma redução de 90%

na potência, esta redução na voltagem provoca um aumento nos atrasos médios em mais de três vezes (334%) considerando o tempo de propagação médio.

Figura 4.18 Comportamento médio das células quanto ao PDP, Potência e Atrasos com a redução da voltagem



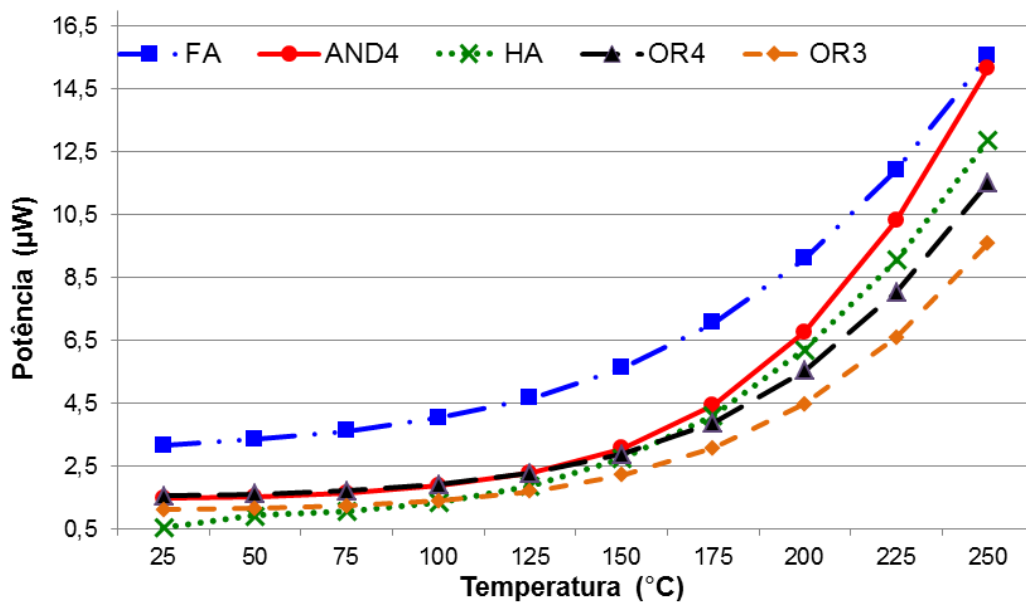
Fonte: Meinhardt (2015b)

Os resultados mostram que pequenas variações na voltagem nominal, considerando uma margem de ruído de 0,3V, pode causar oscilações de até 30% de aumento no tempo de propagação médio. Considerando o impacto no PDP, é possível observar que estas flutuações podem reduzir o PDP em 50%. Assim, é possível obter um ponto intermediário de operação, com uma melhor relação entre degradação do atraso e redução da potência, com os circuitos operando na faixa de voltagem de 0,5V e 0,4V.

A análise de variação de temperatura permite ver que as células *Half-Adder* (HA), *Full-Adder* (FA), XOR2, XNOR2 e AND4 são as cinco células mais sensíveis às oscilações de temperatura. A Figura 4.19 destaca o comportamento destas células. A célula *Full-Adder* é a célula que possui a maior potência neste conjunto de células, e o

impacto do aumento da temperatura faz esta célula atingir altos valores de potência. É importante destacar que a oscilação de temperatura pode atingir a ordem de dezenas de micro Watts. A célula AND4 é a célula com maior sensibilidade às oscilações de temperatura, com um aumento de 4% na potência para cada grau de temperatura.

Figura 4.19 Top 5 células mais sensíveis à variações na temperatura



Fonte: Meinhardt (2015b)

5 CONCLUSÕES

A tecnologia FinFET é apontada como a alternativa para lidar com os desafios de fabricação das próximas tecnologias, principalmente abaixo de 20 nm. Dadas as semelhanças com o projeto e processo de fabricação CMOS tradicional, muitas etapas do fluxo de síntese podem ser mantidas. As ferramentas de CAD, importantes para esta evolução, precisam, no entanto, ser adaptadas para tratar as particularidades da tecnologia FinFET (Topaloglu, 2013). Ao examinar tipos de projeto de circuitos integrados e os aspectos que podem ajudar a melhorar a capacidade de fabricação e desempenho nas futuras gerações, a ideia-chave de redução de variação adotada ao longo deste trabalho é de que alguns estilos de concepção são mais ou menos robustos às variações de processo ou ambientais, quer sistemáticas ou aleatórias.

É importante avaliar como será o comportamento da tecnologia FinFET em tecnologias menores que 65 nm, principalmente abaixo de 20 nm onde esta tecnologia é apontada como a principal candidata a substituta para a tecnologia CMOS planar no processo de fabricação. Estas tecnologias estão em desenvolvimento, porém, é importante ter ferramentas que auxiliem no projeto de circuitos prevendo o comportamento destes componentes em tecnologias futuras, sendo possível traçar previsões sobre o comportamento das células projetadas para compor a biblioteca de células para o fluxo de síntese regular, por exemplo.

Destacando as principais contribuições deste trabalho, pode-se definir que este trabalho apresentou:

- uma análise do consumo estático e dos efeitos de variabilidade, tanto de processo como ambientais, na tecnologia FinFET de 32nm assim como nas tecnologias sub-20nm.

- A identificação dos principais parâmetros que afetam desempenho e potência de transistores e células em tecnologias FinFET sub-20nm considerando variabilidade de processo.

A comparação entre células básicas em diferentes tipos de projeto possíveis com tecnologia FinFET de 4 terminais mostrou que o estilo *Low Power* é o estilo com melhores resultados de potência e atrasos, com menor sensibilidade a variabilidade na tensão de limiar. Entretanto, este estilo de projeto mostrou alta sensibilidade à variabilidade de temperatura. A alternativa *Shorted-Gate*, pode ser reproduzida com tecnologia FinFET de 3 terminais e apresenta características elétricas médias entre os estilos de projeto com FinFETs. Porém, todas as células em tecnologia FinFET de 32nm mostraram características elétricas inferiores as células CMOS dimensionadas para atingir o mesmo desempenho. Considerando o fluxo de otimização de atraso proposto, as portas lógicas Inversor, NAND2 e NOR2 em tecnologia CMOS mostraram vantagens tanto na potência total como na potência estática quando comparadas as portas em tecnologia FinFET.

Quanto aos efeitos da variabilidade de processo em tecnologias FinFET sub-20nm, este trabalho demonstra que não é mais suficiente focar somente nas flutuações da tensão de limiar em tecnologias FinFET. As flutuações da função trabalho do metal de *gate* provocam desvios consideráveis nas características de corrente, e consequentemente, de potência, tanto a nível de dispositivos como de circuitos.

A corrente I_{OFF} de dispositivos FinFET sub-20nm apresenta o mais significativo impacto devido a variações de processo. As oscilações nos parâmetros geométricos L_g , W_{FIN} , H_{FIN} , e no parâmetro elétrico de função trabalho afetam consideravelmente a corrente I_{OFF} dos dispositivos, de forma que seu impacto não pode ser negligenciado no projeto de células nestas tecnologias. O variações no comprimento do *gate* e a largura do *fin* podem provocar até 30% de desvios nos valores esperados de corrente estática. Entretanto, são as flutuações da função trabalho que tem maior impacto na potência de células lógicas em tecnologia FinFET porque afetam as correntes I_{ON} e, principalmente, a corrente I_{OFF} de dispositivos FinFET, especialmente dispositivos NFET, mesmo considerando índices baixos de flutuação da função trabalho, na ordem de 3%, por exemplo. Este impacto diminui levemente com a escala de fabricação, principalmente

para dispositivos PFET, mas continua alto o suficiente para não ser negligenciado no projeto digital, sobretudo em aplicações voltadas ao baixo consumo de potência. Dispositivos PFET demonstraram maior robustez as flutuações da função trabalho.

Até o momento deste trabalho, nenhum outro trabalho havia avaliado o impacto das flutuações da função trabalho em *Standard Cells*. Neste contexto, este trabalho antecipa o impacto da WFF nas células de bibliotecas para o projeto *Standard Cell* em tecnologia FinFET de 20nm. Os resultados demonstram que a WFF tem maior impacto na potência (em torno de 24% de desvio da potência nominal) do que no desempenho (somente 8% em média).

Estes efeitos afetarão as especificações de comportamento elétrico de circuitos nesta tecnologia e deverão passar a ser considerado no projeto de circuitos VLSI, assim como pelas ferramentas de CAD, porque o funcionamento dos circuitos dependerá do conhecimento prévio de como estes efeitos se apresentarão após a fabricação. Entender o comportamento destas flutuações nestas novas tecnologias é fundamental para o desenvolvimento de projetos e ferramentas.

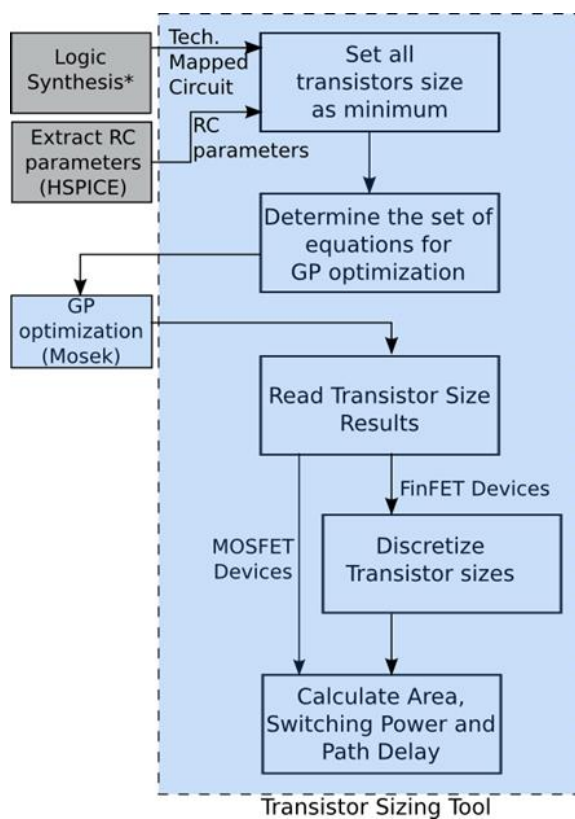
5.1 Possibilidades de continuidade deste trabalho

Apesar de serem poucas as alterações impostas pela tecnologia FinFET no processo de fabricação comparada a tecnologia CMOS, algumas das características de FinFETs afetam o funcionamento de ferramentas de EDA e devem ser consideradas no desenvolvimento de novas ferramentas. Pode-se destacar entre os principais pontos a serem considerados em ferramentas voltadas para a síntese com FinFETs a quantização do dimensionamento dos dispositivos, devido ao tamanho dos transistores ser limitado a múltiplos *fins* conectados em paralelo, e os aspectos relacionados as capacitâncias existentes em FinFETs.

Uma proposta de algoritmo de dimensionamento para portas lógicas com FinFETs na tecnologia de 14nm foi apresentada em Posser (2014), considerando adaptações em um ferramenta de dimensionamento de transistores baseada em programação geométrica, onde o resultado de dimensionamento contínuo é discretizado para os dispositivos FinFETs adotando duas estratégias básicas: truncagem e

arredondamento. O fluxo de execução desta abordagem é mostrado na Figura 5.1. Entretanto, existe amplo espaço para pesquisa de algoritmos mais eficientes para discretizar o dimensionamento ao número de *fins*, para considerar as capacitâncias de FinFETs nos modelos de atraso e no desenvolvimento de ferramentas de análise estática de atrasos.

Figura 5.1 Fluxo de dimensionamento com discretização do dimensionamento para FinFETs



Fonte: Posser (2014)

Até onde está pesquisa conseguiu verificar, não existem trabalhos de leiautes regulares que investiguem a influência da adoção da tecnologia FinFET. Assim como, não existem ainda trabalhos avaliando quanto ao impacto na qualidade da litografia de leiautes de células com técnicas de geração de leiautes regulares, 1-D, ultra regulares ou semirregulares na tecnologia FinFET, principalmente considerando o leiaute de células IG-FinFET. São possibilidades de continuidade deste trabalho:

- explorar diferentes graus de regularidade nas células em tecnologia FinFET, como os apresentados nas técnicas ultra-regular, semirregular e 1-D, na

construção de leiautes para células NAND2, NOR2 e Inversor nas tecnologias CMOS bulk tradicional nas tecnologias de 65 nm e 45 nm, além de investigar estas estratégias no leiaute de células na tecnologia FinFET.

- definir um conjunto de regras que permita a geração automática de leiautes regulares considerando estas restrições.

Além disso, os atuais modelos de FinFET possuem algumas limitações quanto à confiabilidade e quanto às tecnologias suportadas. Atualmente, existe um espaço de pesquisa no desenvolvimento de um modelo elétrico SPICE confiável, com boa proximidade de transistores FinFET modelados em 3D.

- ALIOTO, M. Analysis of Layout Density in FinFET Standard Cells and Impact of Fin Technology. *IEEE International Symposium on Circuits and Systems, ISCAS. Proceedings...* [S.l: s.n.], 2010 p. 3204-3207 doi: 10.1109/ISCAS.2010.5537930
- ALIOTO, M. Comparative Evaluation of Layout Density in 3T, 4T and MT FinFET Standard Cells. *IEEE Trans. On Very Large Scale Integration (VLSI) Systems*, v.19, n.5, May, 2011.
- ALLER, I. The double-gate FinFET: Device impact on circuit design. In: *Solid-State Circuits Conf. Proceedings...* [S.l: s.n.], 2003, p.14-15.
- ANIL, K.G.; HENSON, K.; BIESEMANS, S.; COLLAERT, N. Layout density analysis of FinFETs. *Conference on European Solid-State Device Research, ESSDERC, 33rd*, 2003. *Proceedings...* [S.l:s.n.], 2003, p.139-142 doi: 10.1109/ESSDERC.2003.1256830
- AVCI, M., M.Y. BABAC, AND T. YILDIRIM. Neural network based MOSFET channel length and width decision method for analogue integrated circuits. *International Journal of Electronics*, [S.l: s.n.], v.92, p.281–293, May 2005.
- BECKETT, P. A Fine-grained Reconfigurable Logic Array based on double gate Transistors. In: *IEEE Int. Field Programmable Technology Conf. . Proceedings...* [S.l: s.n.], 2002, p. 260-267.
- BHOJ, A. N., JOSHI, V., JHA, N. K. Efficient Methodologies for 3-D TCAD Modeling of Emerging Devices and Circuits. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, v.32, n.1, Jan. 2013.
- BORKAR, S., et al. Parameter Variations and Impact on Circuits and Microarchitecture. In: *Design Automation Conference, DAC, 40., 2005. Proceedings...* New York: ACM, 2005. p. 338-342.
- BORKAR, S. Design perspectives on 22nm CMOS and beyond. In: *ACM/IEEE Design Automation Conference, DAC, 46th, 2009. Proceedings...* [S.l: s.n.] 2009. p.93-94.
- BROWN, A. R., et al. Impact of metal gate granularity on threshold voltage variability: A full-scale three-dimensional statistical simulation study. *IEEE Electron Device Letters*, v.31, n.11, p.1199-1201, Nov. 2010.
- BRUSAMARELLO, L. et al. Statistical analysis of hold time violations. *Journal of Computational Electronics*, [S.l: s.n], p. 1-8, Oct 2010.
- CAO, Y., CLARK, L.T. Mapping Statistical Process Variations Toward Circuit Performance Variability: An Analytical Modeling Approach. In *Proc. of DAC. Proceedings...* [S.l: s.n.], v., n., p. 658–663, 2005.
- CARTWRIGHT, J. Intel enters the third dimension. *Nature – Publishe Online*. May 2011. doi:10.1038/news.2011.274
- CHAUDHURI, S., MISHRA, P., JHA, N. K. Accurate Leakage Estimation for FinFET Standard Cells Using the Response Surface Methodology. In: *International Conference on VLSI Design, VLSID, 2012 Proceedings...* [S.l: s.n.], v., n., 2012. doi:10.1109/VLSID.2012.77

- CHOI, J., JAYATHI, M., ROY, K. The effect of process variation on device temperature in finFET circuits. In: Computer-Aided Design. **Proceedings...** [S.l: s.n.], v., n., 2007.
- COLLINS, L. FinFET Variability Issues Challenges Advantages of New Process. 2014. Disponível em: <http://www.techdesignforums.com/blog/2014/04/16/finfet-variability-challenges-advantages/> Acessado em: Nov, 2014.
- COLLINGE, J.-P. FinFET and Other Multi-Gate Transistors, Springer, Berlin, 2008.
- CROON J., S. DECOUTERE, W. SANSEN, E H. MÃES, Physical modeling and prediction of the matching properties of MOSFETs. In: European Solid-State Device Research conference, ESSDERC, 34th, 2004. **Proceedings...** [S.l: s.n.], v., n., 2004. p.193-196. doi: 10.1109/ESSDER.2004.1356522
- DADGOUR, H., DE, V., BANERJEE, K. Statistical Modeling of Metal-Gate Work-Function Variability in Emerging Device Technologies and Implications for Circuit Design. In: IEEE/ ACM International Conference on Computer Aided Design, ICCAD-2008. New York: ACM, **Proceedings...** [S.l: s.n.], v., n., 2008.
- DATTA, A., Modeling and Circuit Synthesis for Independently Controlled Double Gate FinFET Devices. **IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems**, v.26, n.11, p. 1957-1966. Nov. 2007.
- DEOKAR, R. et al. FinFET challenges and solutions – custom, digital, and signoff. Cadence Design Systems. Disponível em: <http://www.eetimes.com/document.asp?doc_id=1280773>. Acessado em abril, 2013.
- DUNGA, M. et al. BSIM-CMG: A compact Model for Multi-Gate Transistor. In: Jean-Pierre Colinge, FinFETs and Other Multi-Gate Transistors, p.113-153. Springer, EUA, 2008.
- FAN, M., WU, Y., HU, V.P.-H., SU, P. CHUANG, C. Investigation of Cell Stability and Write Ability of FinFET Subthreshold SRAM Using Analytical SNM Model. **IEEE Transactions on Electron Devices**, vol.57, no.6, pp.1375,1381, June 2010
- ENDO, K.; MATSUKAWA, et al. Variation analysis of TiN FinFETs. In: International Semiconductor Device Research Symposium, ISDRS, 2009. **Proceedings...** [S.l: s.n.], v., n. pp.1,2, 2009. doi: 10.1109/ISDRS.2009.5378198
- FERREIRA, L. F., **Double-Gate Nanotransistors in Silicon-on-Insulator - Simulation of sub-20 nm FinFETs**. 2012, 222 f. Tese (Doutorado em Microeletrônica) – Instituto de Informática, UFRGS, Porto Alegre.
- FRANK, D.J.; DENNARD, R.H.; NOWAK, E.; SOLOMON, P.M.; YUAN TAUR; HEN-SUM P. WONG. Device scaling limits of Si MOSFETs and their application dependencies. **Proceedings of the IEEE**, vol.89, no.3, 2001, pp.259,288. doi: 10.1109/5.915374
- GERRER, L. et al. 3-D Statistical Simulation Comparison of Oxide Reliability of Planar MOSFET and FinFET. **IEEE Transactions on Electron Devices**, v.60, n.12, Dec. 2013.

- GHAI, D., MOHANTY, S.P., KOUGIANOS, E. Design of Parasitic and Process-Variation Aware Nano-CMOS RF Circuits: A VCO Case Study. **IEEE Transaction VLSI Systems**, v.17, p.1339–1342, Sep. 2009.
- GSS – Gold Standard Simulations Ltd. Case Study: Statistical Variability in an Example 22nm FinFET. 2010. Disponível em http://www.goldstandardsimulations.com/GSS_22nm_FinFET_case_study.pdf. Acessado em set. 2013.
- GUPTA, P., KAHNG, A. B. Manufacturing-Aware Physical Design In: IEEE/ ACM International Conference on Computer Aided Design, ICCAD-2003. **Digest of Technical Papers**. New York: ACM, 2003. p. 681-687.
- HARISH B.P., N. BHAT, AND M.B. PATIL. On a Generalized Framework for Modeling the Effects of Process Variations on Circuit Delay Performance Using Response Surface Methodology. **IEEE Transactions on CADICS**, v.26, p.606–614, Mar. 2007.
- HENDERSON, C.L. Failure analysis techniques for a 3D world. **Microelectronics Reliability**, v. 48, n. 8-9, 2008, p.1171-1178.
- HISAMOTO, D., KAGA, T., KAWAMOTO, Y., TAKEDA, E. A fully depleted lean-channel transistor (DELTA) - a novel vertical ultra thin SOI MOSFET. Technical Digest of IEDM, 833, 1989.
- HISAMOTO, D., et al. FinFET-a self-aligned double-gate MOSFET scalable to 20 nm. **IEEE Transactions on Electron Devices**, v. 47, n.12 , 2320, 2000.
- HUANG, X., et al. Sub 50-nm FinFET: PMOS. International Electron Devices Meeting Technical Digest, p. 67. Dec. 1999.
- ITRS. THE INTERNATIONAL TECHNOLOGY ROADMAP FOR SEMICONDUCTORS. Disponível em: <http://www.itrs.net/Links/2011ITRS/2011Chapters/2011ExecSum.pdf> Acesso em: dez, 2011.
- JAMES, D. Intel to presente on 22-nm Tri-gate Technology at VLSI Symposium. Disponível em: http://electroiq.com/chipworks_real_chips_blog/2012/04/12/intel-to-present-on-22-nm-tri-gate-technology-at-vlsi-symposium . Acessado em Abril, 2012.
- JANAKIRAMAN, V., A. BHARADWAJ, AND V. VISVANATHAN. Voltage and Temperature Aware Statistical Leakage Analysis Framework Using Artificial Neural Networks. **IEEE Transaction on CADICS**, v.29, p.1056–1069, Jul. 2010.
- KANO, K. Semiconductor devices. Prentice-Hall. 1998.
- KLEEBERGER, V.B. GRAEB, H. SCHLICHTMANN, U. Predicting future product performance: Modeling and evaluation of standard cells in FinFET technologies. In: Design Automation Conference (DAC), **Proceedings...** [S.l.:S.n.], v., n., 2013.
- KING, T.-J. FinFETs for Nanoscale CMOS Digital Integrated Circuits. In: Int. Conf. on Computer-Aided Design. **Proceedings...** [S.l.:S.n.], v., n., 2005. p. 207–210.
- KOTHAPALLI, G. Artificial neural networks as aids in circuit design. **Microelectronics Journal**, v.26, p.569–575, Sep. 1995.

- KUMAR, V. R. et al. Submicron 70nm CMOS Logic Design with FinFETs. **International Journal of Engineering Science and Technology**, v.2, n.9, p. 4751-4758, 2010.
- LEUNG et al. Device and Circuit Level Variability Caused by LER for FinFET. **IEEE Trans. on electron devices**, v. 59, n. 8, Agosto 2012, pp. 2057-2063.
- LEWYN, L.L. et al. Analog Circuit Design in Nanoscale CMOS Technologies. *Proceedings of the IEEE*, v.97, n.10, p.1687–1714, Oct. 2009.
- LI, Y., HWANG, C., HAN, M. Simulation of Characteristic Variation in 16nm gate FinFET devices due to intrinsic parameter fluctuation. **Nanotechnology**, v.21, n. 9, p.1-7. Feb. 2010.
- cMANDAL, S.; PANDIT, S. Statistical Simulation and Modeling of Nano-scale CMOS VCO using Artificial Neural Network. In: Annual Conference on VLSI Design, 2011. **Proceedings...** [S.l:s.n], v., n., 2011. p.94-99. doi: 10.1109/VLSID.2011.28
- MASUDA H., OHKAWA, S., KUROKAWA, A., AOKI, E M. Challenge: Variability characterization and modeling for 65 – 90 nm process. In: IEEE Custom Integrated Circuits Conference, 2005. **Proceedings...** [S.l:s.n], v., n., 2005. p.593-599 doi: 10.1109/CICC.2005.1568738
- MASUDA H., OHKAWA, S., AOKI, E M. Approach for physical design in sub -100nm era. In: IEEE International Symposium on Circuits and Systems, ISCAS, 2005. **Proceedings...** [S.l:s.n], v., n., 2005. p. 5934-5937. doi: 10.1109/ISCAS.2005.1465990
- MCLELLAN, P. FinFET Custom Design. Disponível em: www.semiwiki.com/forum/content/3327-finfet-custom-design.html Acessado em: Nov. 2014.
- MEINHARDT, C. **Geração de Leiautes Regulares Baseados em Matrizes de Células**. 2006. 131 f. Dissertação (Mestrado em Ciência da Computação) – Instituto de Informática, Programa de Pós-Graduação em Computação, UFRGS, Porto Alegre.
- MEINHARDT, C., TAVARES, R., REIS, R. Logic and Physical Synthesis of Cell Arrays. In: IEEE Int. Conf. on Electronics, Circuits and Systems, ICECS, 2007. **Proceedings...** [S.l:s.n], v., n., 2007. p. 1292-1295.
- MEINHARDT, C., REIS, R. Evaluation of process variability on current for nanotechnologies devices. In: IEEE Third Latin American Symposium on Circuits and Systems, LASCAS, 2012. **Proceedings...** [S.l:s.n], v., n., 2012. p.1-4. doi: 10.1109/LASCAS.2012.6180361
- MEINHARDT, C., REIS, R. FinFET basic cells evaluation for regular layouts. In: IEEE Third Latin American Symposium on Circuits and Systems, LASCAS, 2013. **Proceedings...** [S.l:s.n], v., n., 2013. p.1-4. doi: 10.1109/LASCAS.2013.6519063
- MEINHARDT, C., REIS, R. Comparing high-performance cells in CMOS bulk and FinFET technologies. In: IEEE 5th Latin American Symposium on Circuits and Systems (LASCAS), 2014. **Proceedings...** [S.l:s.n], v., n., 2014a, p.1-4. doi: 10.1109/LASCAS.2014.6820310
- MEINHARDT, C., ZIMPECK, A. L., REIS, R. Predictive evaluation of electrical characteristics of sub-22nm FinFET technologies under device geometry variations.

- Microelectronics Reliability**, v. 54, n. 9–10, 2014b, p. 2319-2324, ISSN 0026-2714, doi:10.1016/j.microrel.2014.07.023.
- MEINHARDT, C., ZIMPECK, A. L., REIS, R. Impact of Gate Workfunction Fluctuation on FinFET Standard Cells. In: IEEE 21th International Conference On Electronics, Circuits, And Systems (ICECS), 2014c. **Proceedings...** [S.l:s.n.], v., n., 2014c. p.1-4.
- MEINHARDT, C., ZIMPECK, A. L., REIS, R. Process, Voltage and Temperature Variability Impact on 20nm FinFET Standard Cells. In: IEEE 6th Latin American Symposium on Circuits and Systems (LASCAS), 2015a. Em avaliação.
- MEINHARDT, C., REIS, R. Evaluating High-Performance Cells in 32nm CMOS Bulk and FinFET Technologies. **Analog Integrated Circuits and Signal Processing**. 2015b. Em avaliação.
- MISHRA, P., MUTTREJA, A. JHA, N. FinFET Circuit Design. In: JHA, N., CHEN, D., Nanoelectronic Circuit Design. New York: Springer, 2011.
- MIZUNO, T. J., OKUMTURA, A. TORIUMI. Experimental study of threshold voltage fluctuation due to statistical variation of channel dopant number in MOSFET's, **IEEE Trans. Electron Devices**, v. 41, n.11, p. 2216 -2221, Nov. 1994
- MUSTAFA, M. et al., Threshold Voltage Sensitivity to Metal Gate Work-Function Based Performance Evaluation of Double-Gate n-FinFET Structures for LSTP Technology. **World Journal of Nano Science and Engineering**, 2013, 17-22.
- MUTLU, A.A. AND M. RAHMAN. Statistical Methods for the Estimation of Process Variation Effects on Circuit Operation. **IEEE Transaction on CADICS**, v.28, p.364–375, Oct. 2005.
- MUTTREJA, A., AGARWAL, N., JHA, N. K. CMOS Logic Design with Independent-gate FinFETs. In: Int. Conf. on Computer Design, ICCD, 2007. **Proceedings...** [S.l:s.n.], v., n., 2007. p. 560-567. doi: 10.1109/ICCD.2007.4601953
- NARENDAR, V. et al. Design of High-performance Digital Logic Circuits based on FinFET Technology. **Int. Journal of Computer Applications**, v.41, n.20, mar., 2012.
- NASSIF, S.R. Design for variability in DSM technologies [deep submicron technologies]. In: IEEE 2000 First Int. Symp. on Quality Electronic Design, ISQED, 2000. **Proceedings...** [S.l:s.n.], v., n., 2000. p.451-454.
- NASSIF, S. R., Process variability at the 65nm node and beyond. In: IEEE Custom Integrated Circuits Conference, 2008. **Proceedings...** [S.l:s.n.], v., n., 2008. p.1-8.
- NEUBERGER, G., G. WIRTH, R. REIS. Protecting Against Flip-Flop Hold Time Violations Due to Process Variations. In: Latin-American Test Workshop (LATW), 2008. **Proceedings...** [S.l:s.n.], v., n., 2008. p.1-4.
- NIRMAL, V. KUMAR, S. JABARAJ. NAND Gate using FinFET for Nanoscale Technology. **International Journal of Engineering Science and Technology**, v. 2(5), p. 1351-1358, 2010

- NOWAK, E.J. et al. A functional FinFET-DGCMOS SRAM cell. In: International Electron Devices Meeting, 2002. IEDM '02., **Proceedings...** [S.l:s.n.], 2002. p.411-414. doi: 10.1109/IEDM.2002.1175866
- NOWAK, E.J. et al. Turning silicon on its edge [double gate CMOS/FinFET technology]. **IEEE Circuits and Devices Magazine**, v.20, n.1, p.20-31, Jan-Feb, 2004. doi: 10.1109/MCD.2004.1263404
- PEI, G. et al. FinFET Design Considerations Based on 3-D Simulation and Analytical Modeling. **IEEE Transactions on Electron Devices**, v.49, n.8, Aug. 2002.
- POSSER, G. BELOMO, J.; MEINHARDT, C.; REIS, R. Performance Improvement with Dedicated Transistor Sizing for MOSFET and FinFET Devices. In: IEEE Computer Society Annual Symposium on VLSI (ISVLSI), 2014. **Proceedings...** [S.l:s.n.], 2014. p.418,423. doi: 10.1109/ISVLSI.2014.13
- RAINEY, B.A.; FRIED, D.M.; IEONG, M.; KEDZIERSKI, J.; NOWAK, E.J. Demonstration of FinFET CMOS circuits. In: 60th DRC. Conference Digest Device Research Conference, 2002. **Proceedings...**Santa Barbara, USA, 2002. pp.47,48. doi: 10.1109/DRC.2002.1029499
- RAHMA-ABU, M.H., ANIS, M. A Statistical Design-Oriented Delay Variation Model Accounting for Within-Die Variations. **IEEE Transaction on CADICS**, v.27, p.1983–1995, Nov. 2008.
- RIEGER, M.L., Communication theory in optical lithography. *J. Micro/Nanolith. MEMS MOEMS*. 0001;11(1):013003-1-013003-10. Mar, 2012. doi:10.1117/1.JMM.11.1.013003.
- ROSTAMI, M.; MOHANRAM, K. Dual- V_{th} Independent-Gate FinFETs for Low Power Logic Circuits. **IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems**, v.30, n.3, p.337-349, Mar. 2011. doi: 10.1109/TCAD.2010.2097310
- RUSS, C. ESD Issues in advanced CMOS bulk and FinFET technologies: Processing, protection devices and circuit strategies. **Microelectronics Reliability**, Vol.48, i.8-9, 2008, pp.1403-1411.
- RYZHENKO, N.; BURNS, S. Physical synthesis onto a layout fabric with regular diffusion and polysilicon geometries. In: *48th ACM/EDAC/IEEE Design Automation Conference (DAC) Proceedings...* [S.l:s.n.], v., n., 2011 p.83-88.
- SAHA, S.K. Modeling Process Variability in Scaled CMOS Technology. **IEEE Design and Test of Computers**, v.27, p.8–16, Mar. 2010.
- SEKIGAWA, T., HAYASHI, Y. Calculated threshold-voltage characteristics of an XMOS transistor having an additional bottom gate. **Solid-State Electronics** v. 27, p.827, 1984.
- SHERLEKAR, D., Design Considerations for Regular Fabrics. In: International symposium on Physical design, ISPD 2004. **Proceedings...** Phoenix, USA, 2004. p. 97-102.

SINHA, S. et al. Exploring sub-20nm FinFET design with predictive technology models. In: ACM/EDAC/IEEE Design Automation Conference, DAC, 49th. **Proceedings...** [S.l.:s.n.], v., n., 2012. p. 283-288.

STEVANOVIC, I., MCANDREW, C., Quadratic Backward Propagation of Variance for Nonlinear Statistical Circuit Modeling. **IEEE Transactions CADICS**, v.28, p.1428–1432, Sep. 2009

STROJWAS, A J. Conquering Process Variability: A Key Enabler for Profitable Manufacturing in Advanced Technology Nodes. In: IEEE International Symposium on Semiconductor Manufacturing, ISSM, 2006. **Proceedings...** San Jose, USA, 2006. p xxiii - xxxii

SUBRAMANIYAN, K. P., LARSSON-EDEFORS, P. On regularity and Integrated DFM Metrics. In: *Asia Symposium on Quality Electronic Design, ASQED. Proceedings...* [S.l.:s.n.], v., n., 2012. p. 211-218 doi: 10.1109/ACQED.2012.6320503

TAKEUCHI, K., TATSUMI, T., FURUKAWA, A. Channel engineering for the reduction of random – dopant – placement – induced threshold voltage fluctuations. **IEDM Tech. DIG.**, p. 841-844, 1996

THAKKER, R.A.; SATHE, C.; BAGHINI, M.S.; PATIL, M.B. A Table-Based Approach to Study the Impact of Process Variations on FinFET Circuit Performance. **IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems**, v.29, n.4, p.627,631, Abril, 2010

TOPALOGLU, R. O. Design with FinFETs: Design Rules, Patterns, and Variability. In: ACM/IEEE International Conference on Computer-Aided Design, 32rd, 2013. **Proceedings...** San Jose, USA, 2013. p. 569-571.

WANG, M. C., Low Power, Area Efficient FinFET Circuit Design. In: World Congress on Engineering and Computer Science, WCECS, 2009. **Proceedings...** San Francisco: USA, v.1, 2009. P.1-5.

WANG, M. C, Independet-Gate FinFET Circuit Design Methodology. **International Journal of Computer Science**, v.37, n.1. p.1-8, Feb. 2010.

WANG, X., et al. Statistical variability and reliability in nanoscale FinFETs. In: 2011 IEEE International Electron Devices Meeting, IEDM. **Proceedings...** [S.l.:s.n.] 2011. p.5.4.1-5.4.4. doi: 10.1109/IEDM.2011.6131494

WANG, Y., COTOFANA, S.D., FANG, L. Statistical reliability analysis of NBTI impact on FinFET SRAMs and mitigation technique using independent-gate devices. In: IEEE/ACM International Symposium on Nanoscale Architectures. **Proceedings...** [S.l.:s.n.], 2012.

WANG, X.; CHENG, B.; BROWN, A.R.; MILLAR, C.; ALEXANDER, C.; REID, D.; KUANG, J.B.; NASSIF, S.; ASENOV, A. Unified compact modelling strategies for process and statistical variability in 14-nm node DG FinFETs. In: International Conference on Simulation of Semiconductor Processes and Devices. **Proceedings...** [S.l.:s.n.], 2013.

- WOLFE, G., VEMURI, R. Extraction and Use of Neural Network Models in Automated Synthesis of Operational Amplifiers. **IEEE Trans. CADICS**, v.22, p.198–212, Feb. 2003.
- WU, Y., FAN, M., SU, P. Impact of surface orientation on V_{th} variability of FinFET. In: Silicon Nanoelectronics Workshop. **Proceedings...** [S.l:s.n.],2010.
- WU, P. et al., 1-D Cell generation with printability enhancement. **IEEE Transactions on Computer-Aided design of Integrated Circuits and Systems**, vol. 32, n. 3, p.419–432, Mar. 2013.
- YAO, S. et al., Global parameter extraction for a multi-gate MOSFET compact model. In: ICMTS. **Proceedings...** [S.l:s.n.], 2010. p.194-197
- YESAYAN, A. et al. Compact Physics-based Model for Ultrashort FinFETS. In: Int. Conference Mixed Design of Integrated Circuits and Systems, MIXDES 2010. **Proceedings...** Wroclaw, Poland, 2010. p.75-80.
- ZAHIRI, B. Structured ASICs: Opportunities and Challenges. In: 21st International Conference on Computer Design, ICCD 2003. **Proceedings...** San Jose, USA, 2003. p. 404- 409.
- ZAREI, M. Y., et al. Modeling symmetrical independent gate FinFET using predictive technology model. In: ACM international conference on Great lakes symposium on VLSI, GLSVLSI, 2013. **Proceedings...** New York, USA, 2013. p. 299-304. doi: 10.1145/2483028.2483114
- ZHANG, Q.J., GUPTA, K.C., DEVABHAKTUNI, V.K. Artificial Neural Networks for RF and Microwave Design: From Theory to Practice. **IEEE Trans. MTT**, v.51, p.1339–1350, Apr. 2003.
- ZHANG, B., PAN, D. **Finfet standard cell optimization for performance and manufacturability**. 2012. Dissertação - Faculty of the Graduate School of the University of Texas at Austin, 2012. Disponível em: <http://hdl.handle.net/2152/ETD-UT-2012-05-5391>. Acesso em 10 ago. 2014.
- ZHAO, W., CAO, Y., New Generation of Predictive Technology Model for Sub-45 nm Early Design Exploration. **IEEE Transactions Electron Devices**, v.53, p. 2816–2823, Nov. 2006.
- ZIMPECK, A. MEINHARDT, C., REIS, R. A. L. Evaluating the Impact of Environment and Physical Variability on the Current of 20nm FinFET Devices. In: Int. Workshop on Power and Timing Modeling, Optimization and Simulation. PATMOS, 2014. **Proceedings...** Palma de Malorca, Espanha, v., n., 2014.

APÊNDICE A < FERRAMENTA PARA GERAÇÃO DE LEIAUTES REGULARES >

Este trabalho explora uma ferramenta de geração do leiaute estruturado no formato de matriz. Esta ferramenta está inserida em um fluxo de síntese dedicado desde a etapa de síntese lógica até roteamento. O fluxo, mostrado na Figura A.1, inicia com uma etapa de síntese lógica específica para a síntese de matrizes compostas por portas lógicas simples. Em seguida, o pré-posicionamento posiciona as instâncias segundo a sua posição funcional no circuito. Este pré-posicionamento é refinado na etapa de posicionamento, onde as células são deslocadas mantendo características definidas na etapa de pré-posicionamento. A etapa de geração da matriz de células realiza a construção da matriz de acordo com o posicionamento fornecido e utilizando os leiautes das células básicas previamente geradas. Finalmente, as células são roteadas objetivando o menor custo de fiação possível. A ferramenta de roteamento suporta vários níveis de metal.

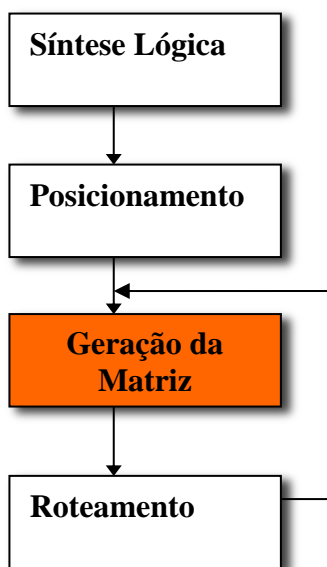
A relação desta ferramenta com este trabalho é a definição da biblioteca de células a ser disponibilizada em uma nova versão da ferramenta, considerando novas tecnologias de fabricação visando a redução do consumo de potência dinâmica e estática e o aumento do rendimento através da adoção de células mais robustas aos efeitos de variabilidade de processo.

A estratégia adotada para regularidade de leiaute é a utilização de uma matriz de células (Meinhardt, 2007). O leiaute é construído com a repetição dos blocos básicos que implementam funções lógicas simples. Estes blocos básicos podem ser um único tipo de célula, um conjunto de células básicas ou um conjunto de células lógicas programáveis.

Esta ferramenta está inserida em um fluxo de síntese regular, na qual serão preservados os aspectos de regularidade em todas as etapas, sendo possível utilizar

diferentes tipos de bloco básicos, em diferentes tecnologias, dependendo das necessidades e características do projeto. Tamanha liberdade na concepção do bloco básico amplia o espaço para a pesquisa e avaliação das propriedades das células adotadas, aumentando as possibilidades de implementações de matrizes com células mais robustas aos problemas de variabilidade de processo.

Figura A.1: Fluxo resumido de síntese adotado



Fonte: Meinhardt (2007)

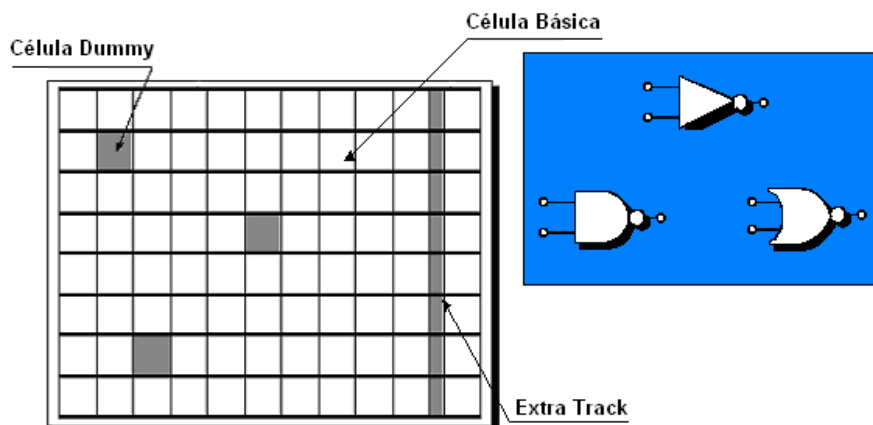
O gerador de leiautes regulares R-CAT é um gerador de matrizes regulares compostas por células básicas lidas de bibliotecas de células (Meinhardt, 2006). A principal característica deste gerador é a facilidade de conversão e adaptação à abordagem de matriz escolhida. Isso facilita a comparação entre diferentes alternativas de matrizes, a adoção de blocos lógicos diversos e de novas tecnologias.

O gerador explora a regularidade geométrica. Além disso, pode-se obter regularidade lógica ao adotar sínteses lógicas dedicadas ao modelo do R-CAT. A regularidade geométrica é atingida pela repetição de padrões no leiaute. A Figura A.2 apresenta a arquitetura genérica de matrizes R-CAT. O modelo de matriz adotado é o modelo uniforme. Cada célula ocupa uma posição na matriz. Todas as células são

alinhadas verticalmente e horizontalmente. As células empregadas adotam layouts simples, com conexões curtas e priorizando a utilização de linhas retas de polissilício.

Resultados anteriores demonstram que este fluxo de síntese regular consegue aumentar o desempenho e a roteabilidade quando comparado ao fluxo de síntese standard cell (Meinhardt, 2007). Entretanto, a principal desvantagem deste tipo de síntese é o número elevado de células básicas necessárias, resultando em um acréscimo médio de 100% em área e no aumento do consumo de potência.

Figura A.2: Arquitetura genérica R-CAT



Fonte: Meinhardt (2007)

A tecnologia CMOS bulk, ou de transistor planar, tem sido utilizada para a fabricação de circuitos integrados durante várias décadas, por possibilitar que o tamanho dos transistores individuais diminuía constantemente. De acordo com a *International Technology Roadmap for Semiconductors (ITRS)* de 2011 (ITRS, 2011), a tecnologia MOSFET planar requer alta dopagem de canal para controlar os efeitos de canal curto, que refletem na degradação da mobilidade e aumento do consumo de energia devido à corrente de fuga. Para superar esses obstáculos, MOSFETs de múltiplas portas (por exemplo, FinFETs) surgem como uma das tecnologias mais promissoras, por permitirem um melhor controle dos efeitos de canal curto, apresentarem uma menor corrente de fuga e um melhor rendimento nos processos CMOS nanométricos, mesmo abaixo de 22 nm (King, 2005).

FinFETs são dispositivos não-planares, onde uma segunda porta é adicionada no lado oposto da porta tradicional. As duas portas (*double-gate*) para FinFETs fornecem controle eficaz dos efeitos de canal curto, sem necessitar reduções tão drásticas da

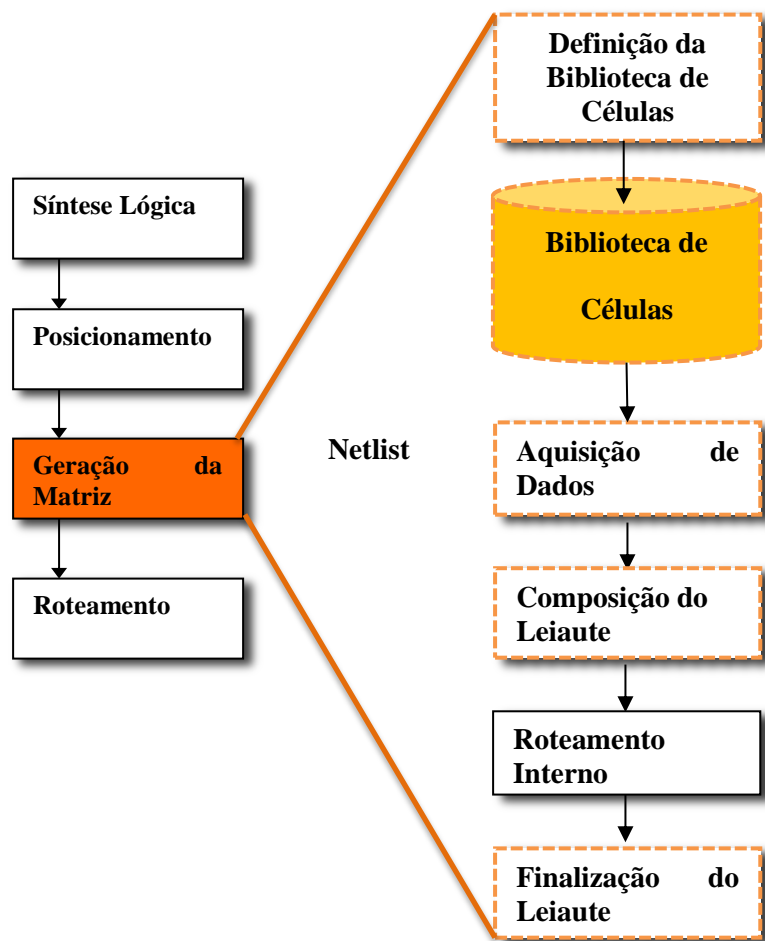
espessura do óxido de porta e nem o aumento da densidade de dopagem do canal (Li, 2010) (Aller, 2003) (Beckett, 2002). Além disso, a fabricação de um FinFET é muito semelhante ao processo CMOS planar tradicional (*bulk*). Como resultado, é compatível com a metodologia de concepção planar CMOS e técnicas de automação.

As partes destacadas na Figura A.3 apresentam as etapas da ferramenta que foram alteradas na nova versão da ferramenta, de forma a tornar a geração da matriz de células mais independente da tecnologia adotada no projeto das células.

O uso de bibliotecas de células facilita a incorporação de novos blocos lógicos com diferentes funções lógicas, assim como, a adaptação a novas tecnologias com regras de projetos diferentes das definidas nos *templates*. A geração do leiaute engloba os passos de definição das células básicas, caso estas não estejam pré-definidas na biblioteca de células, geração do leiaute da matriz através da utilização das células básicas, respeitando as informações geradas na síntese lógica e posicionamento. É durante a composição do leiaute que são realizadas otimizações, de forma a favorecer o roteamento do circuito. Conexões entre células adjacentes podem ser realizadas em níveis inferiores de metal, respeitando as restrições impostas no leiaute das células básicas. Estas conexões adjacentes em metal1 reduzem o número de conexões e o número de obstáculos fornecidos para roteador. Entretanto, muitas vezes para aumentar o número destas conexões adjacentes é necessário realizar a troca das *nets* assinaladas aos pinos das portas básicas. Esta função somente pode ser realizada em portas básicas onde a ordem dos sinais não interfere no resultado da função.

A primeira etapa para a geração de uma matriz regular nesse sistema é a geração da biblioteca de células básicas. A biblioteca de células básicas armazenará a descrição do leiaute interno das células básicas empregadas na construção da matriz. Com a adoção de uma biblioteca de células, é possível facilmente estender a ferramenta de geração de matrizes regulares para as novas tecnologias de projeto de circuitos integrados, assim como, ampliar ou modificar as funções lógicas empregadas. Estas duas características contribuem para a constante atualização do sistema, sendo possível gerar células básicas nas diferentes tecnologias disponíveis e, principalmente, permitindo a utilização da ferramenta no estudo de matrizes compostas por diferentes células básicas.

Figura A.3 Fluxo detalhado de Síntese com destaque nas etapa internas modificadas na nova versão da ferramenta de Geração de Matriz



Fonte: Meinhardt (2006)

Leiautes com a utilização de estruturas geométricas simples e retas na sua composição, sem a utilização de padrões com “*doglegs*”, são recomendados pelas diretrizes do DFM. A adoção de leiautes com linhas retas de polisilício pretende fornecer um leiaute mais regular, com formatos geométricos mais fáceis de serem corretamente fabricados, ou seja, com menor taxa de erros ocorridos na etapa de litografia.

O gerador de leiautes R-CAT identifica células adjacentes que possuem conexões em comum entre elas, posicionadas na mesma banda. Quando isso acontece, o gerador pode realizar a conexão entre essas células em metal 1. Esse procedimento remove

algumas *nets* ou reduz trechos de *nets*, reduzindo o número de conexões a ser realizado pelo roteador. Através de experimentos, verificou-se que esta estratégia pode reduzir em 10% o número de conexões a ser realizado.

Optou-se por utilizar metal 1 porque, deste modo, não são inseridos obstáculos para o roteamento. Entretanto, dependendo do ordenamento das *nets* nas portas adjacentes, não é possível realizar a conexão em metal 1 sem desrespeitar as distâncias mínimas e sem alterar o projeto da célula básica. Nestes casos, a ferramenta de geração de leiaute realiza o reordenamento das *nets* nos pinos de entrada.

O reordenamento das *nets* somente é realizado em projetos onde a troca dos sinais atribuídos aos pinos de entrada não altera o resultado lógico esperado do circuito. Chang et al. (2005) realizam o reordenamento dos pinos em uma etapa particular do fluxo de síntese, após o posicionamento. No gerador R-CAT, o reordenamento das *nets* é realizado durante a geração do leiaute.

O processamento do reordenamento é realizado através da varredura das bandas, célula por célula, verificando se a célula possui alguma *net* em comum com a próxima célula. Se houver uma *net* comum, é verificado à quais pinos estão conectadas as *nets*. As *Nets* associadas a pinos de saída não podem ser trocadas, sendo marcadas como fixas. Para cada célula apenas uma troca de pinos é permitida. Se a *net* compartilhada não estiver conectada no pino de entrada mais próximo da célula vizinha, o assinalamento das *nets* de entrada é trocado e a conexão em metal 1 é realizada. Na célula vizinha também é verificada a posição do pino associado à *net* compartilhada. Caso pino não seja o pino mais próximo da célula anterior, é realizado o reordenamento entre as *nets* da célula vizinha e esta célula é marcada como modificada, para evitar novas trocas de sinais.

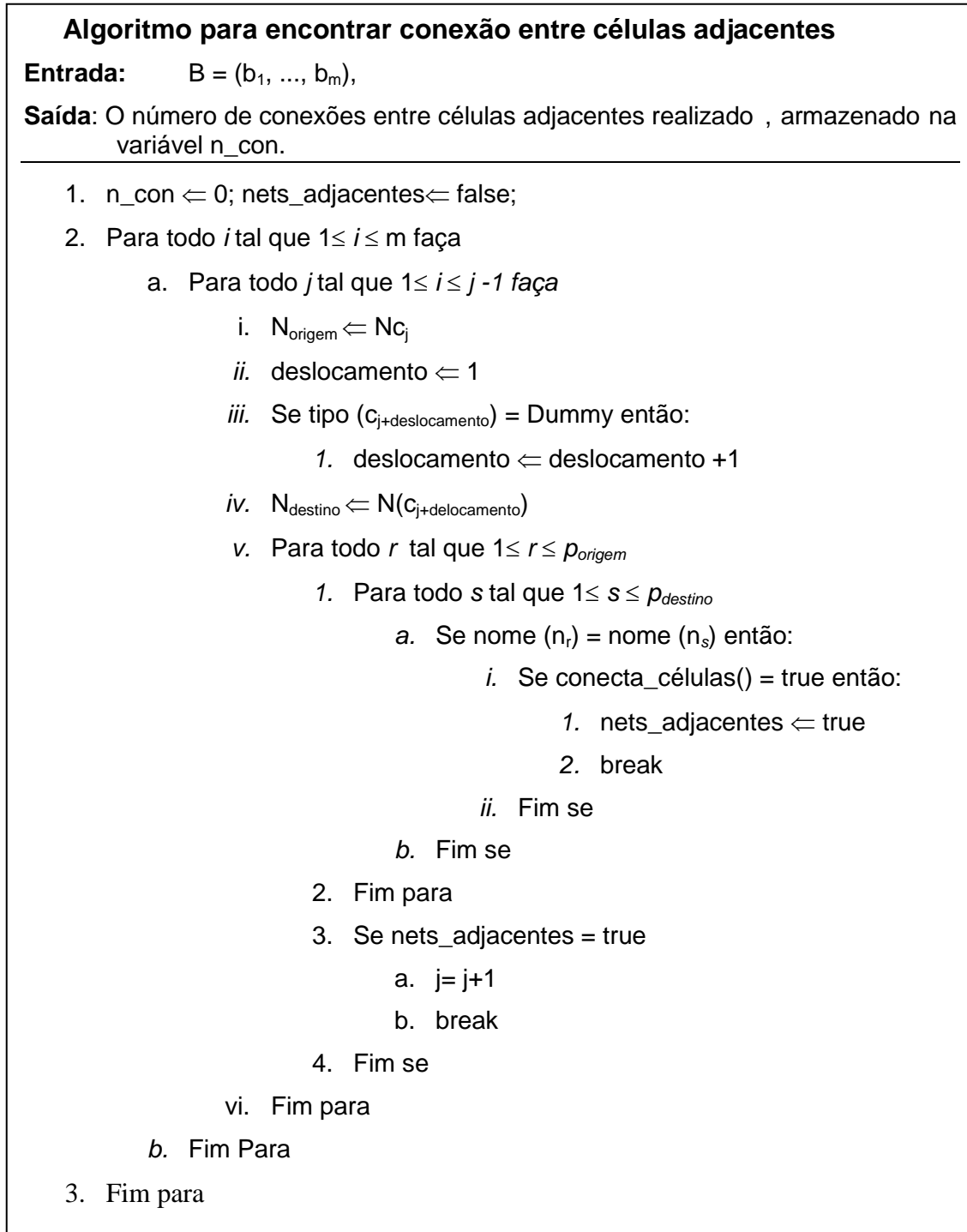
A Figura A apresenta o algoritmo para encontrar conexões entre células adjacentes. Considere o circuito composto por m bandas representadas por componentes de um vetor $B = (b_1, \dots, b_m)$, onde cada banda é composta por j células representadas por componentes de um vetor $C = (c_1, \dots, c_j)$. A cada célula é atribuído um vetor de interconexões, de tamanho p correspondente ao número de pinos de entrada e saída existentes na célula. Cada conexão atribuída a um pino é representada por um componente em um vetor $N = (n_1, \dots, n_p)$. As interconexões são identificadas pelos seus

nomes. A função *conecta_células* avalia se a conexão pode ser realizada e se necessário, efetua o reordenamento das *nets*. Somente é permitido o reordenamento das *nets* associadas aos pinos de entrada nos casos onde a ordem dos sinais não afeta a saída lógica da célula.

As possibilidades de conexões são apresentadas na Figura A.. Nela, cada célula é representada por um retângulo. O leiaute interno das células é omitido. Os pinos de entrada e saída são representados por pontos, sendo os pinos de entrada em azul e os pinos de saída em vermelho. As alternativas a) a d) referem-se à células com pinos posicionados na mesma altura, as alternativas e) a g) referem-se de modo geral à células com pinos não alinhados, a alternativa h) ilustra reordenamentos não permitidos e a alternativa i) às conexões em metal 1 não permitidas entre células adjacentes. As alternativas a) e e) mostram os casos mais simples de conexão entre células adjacentes, no qual as *nets* comuns entre as células estão posicionadas nos pinos mais próximos às bordas das células. Neste caso, somente é necessário gerar a descrição CIF deste segmento e remover esta interconexão da lista de conexões passadas ao roteador. Em b) a célula adjacente possui a *net* n3 em comum, entretanto, para realizar a conexão em metal 1, é necessário reordenar as *nets* primeiro. O reordenamento é a troca das *nets* associadas aos pinos de entrada, neste caso, troca-se n5 conectada na primeira entrada com n3 conectada na segunda entrada. Em c) e g) é necessário o reordenamento nas duas células para poder realizar a conexão em metal 1 entre os pinos associados à *net* n3. As conexões podem ser realizadas entre células adjacentes mesmo existindo células *dummies* posicionadas entre elas, como mostrado na figura d). Se os pinos de entrada não são alinhados, a conexão é realizada como mostrado na figura f).

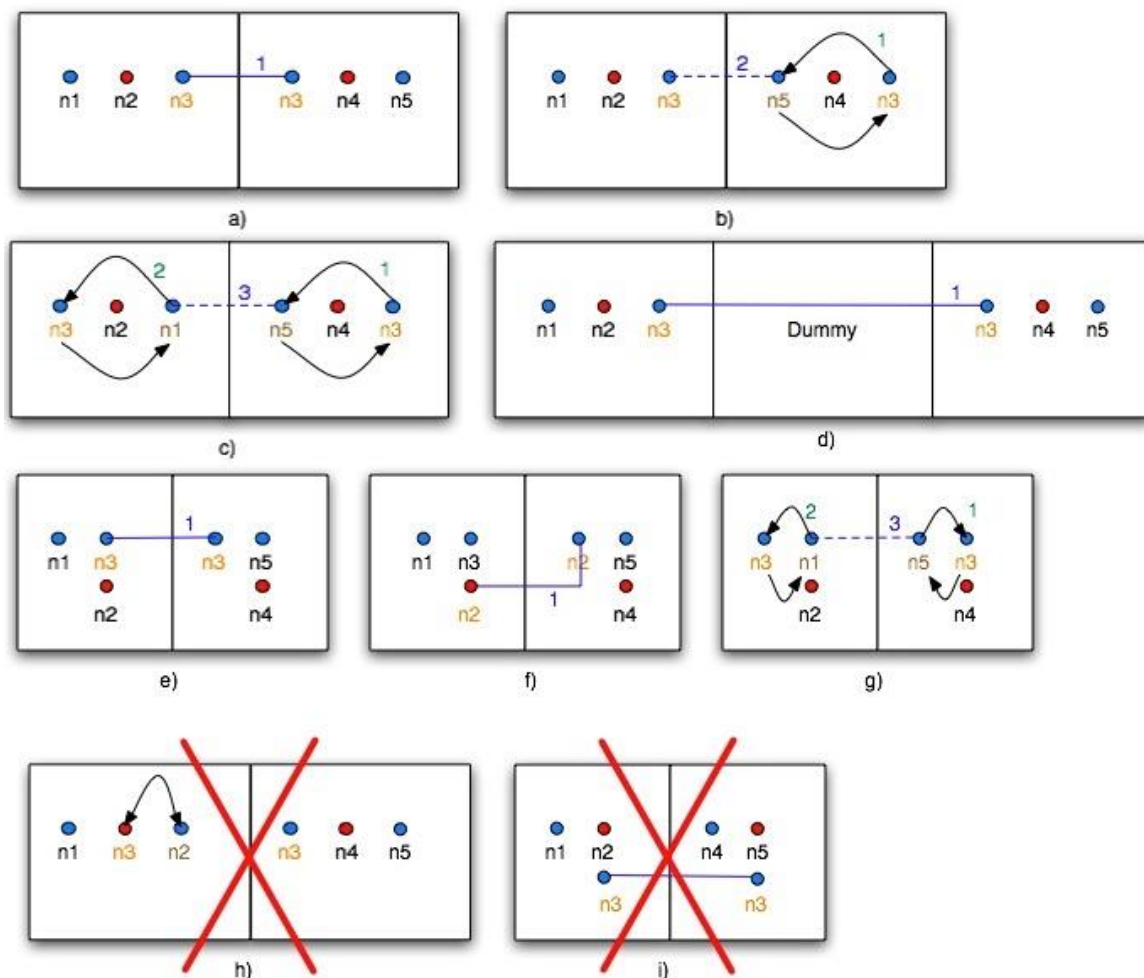
As *nets* associadas aos pinos de saída não podem ser reordenadas, como mostrado em h). Isso porque os pinos de saída possuem posição fixa no leiaute. As conexões mostradas em metal1 na figura i) não são permitidas porque atravessam o leiaute da célula básica, podendo causar sobreposição de conexões em metal1 ou desrespeitar as regras de projeto.

Figura A.4 Algoritmo para encontrar células adjacentes



Fonte: Meinhardt (2006)

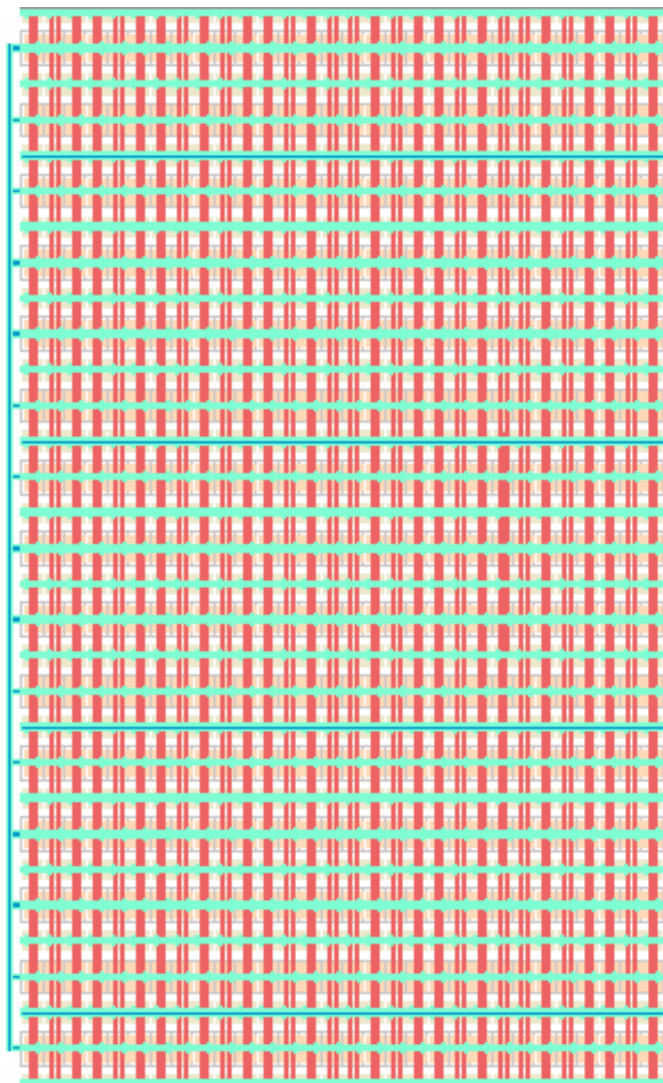
Figura A.5 Possibilidades de conexões entre células adjacentes e reordenamento de *nets*. Cada célula possui dois pinos de entrada e um de saída. Os pinos de entrada são representados em azul e o pino de saída em vermelho. As alternativas h) e i) não são permitidas.



Fonte: Meinhardt (2006)

A Figura A.6 mostra o leiaute gerado após a utilização do programa R-CAT para a geração de uma matriz de blocos de dimensões 30 * 30. Esta matriz foi gerada com a seguinte chamada do programa: `rcat -matrix 30 30 block.cif`.

Figura A.6 Matriz de blocos básicos 30 células por 30 bandas



Fonte: Meinhardt (2006)

As principais modificações na ferramenta proposta em (Meinhardt, 2006) são:

- Permitir a inserção de células em tecnologias nanométricas na biblioteca de células
- Estudar e avaliar os tipos de células a serem disponibilizados na biblioteca de células, assim como as tecnologias de fabricação destas células
- Compatibilizar os formatos de entrada e saída da ferramenta com os formatos atualmente adotados por ferramentas comerciais, permitindo a integração de

etapas deste fluxo com ferramentas de síntese lógica, posicionamento e roteamento comerciais

- Reduzir o número de parâmetros configurados internamente em variáveis diretamente no código, introduzindo estes parâmetros no arquivo de configuração de tecnologia. Deste modo, parâmetros de regras de leiautes, tais como distância mínima entre metais e largura da linha de metal da grade de alimentação, são modificáveis através do arquivo de configuração permitindo a rápida adaptação da ferramenta à células projetadas em novas tecnologias.

APÊNDICE B < EXPERIMENTO SOBRE A VARIABILIDADE DA CORRENTE IDS NA TECNOLOGIA CMOS >

Este experimento avalia os efeitos da variabilidade de processo na corrente I_{ds} de transistores em tecnologias preditivas nanométricas. Os resultados apresentados foram publicados em (Meinhardt, 2012). Inicialmente, é avaliado o efeito da variação em três dos principais parâmetros de processo que criticamente afetam o comportamento de transistores nanométricos: tensão de limiar, espessura do óxido de *gate*, o comprimento efetivo de canal. Variações nestes parâmetros são avaliadas individualmente e simultaneamente, considerando a correlação entre eles. Finalmente, é discutido o comportamento do dimensionamento dos transistores na presença de variabilidade de processo.

Os parâmetros do processo que mais afetam os dispositivos em nanotecnologias são: tensão de limiar do transistor NMOS (V_{thn}), tensão de limiar do transistor PMOS (V_{thp}), espessura de óxido de porta do transistor NMOS (T_{oxn}), espessura de óxido de porta do transistor PMOS (T_{oxp}) e comprimento de canal efetivo (L_{eff}) dos transistores.

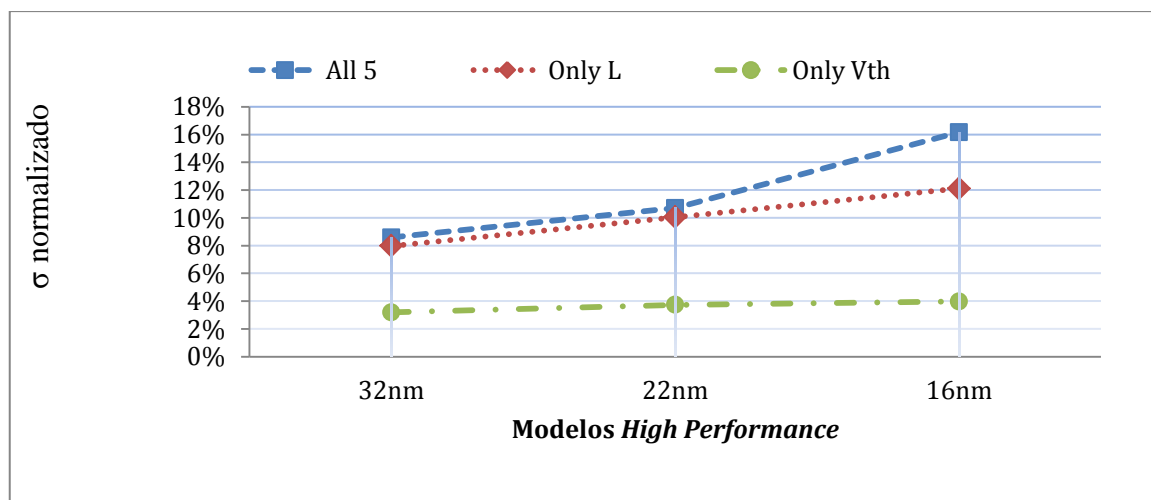
Nas experiências seguintes, cada um destes parâmetros é assumido como sendo gaussiano, com um valor de média μ sendo o valor nominal da tecnologia e desvio padrão σ como 10% da média. As variações são exploradas através da técnica de Monte Carlo e usando a ferramenta de simulação HSPICE. A ferramenta usa parâmetros do modelo de tecnologias preditivas da BPTM correspondente ao modelo BSIM4 (Zhao, 2006). As correlações entre os diferentes parâmetros do processo, bem como o mapeamento deles para os parâmetros no nível do circuito através dos parâmetros de nível de dispositivo intermediários são bem representados por meio do modelo BPTM-BSIM4. Também assumimos que os efeitos das variações dos parâmetros de processo em todos os transistores de um mesmo tipo (NMOS ou PMOS) são estatisticamente iguais.

Os dispositivos avaliados são descritos em tecnologias nanométricas de 32 nm, 22 nm e 16 nm (BPTM) (Zhao, 2006). Para cada modelo, também são avaliados dois tipos de modelos: alto desempenho (HP) e de baixa potência (LP), ambos disponíveis em (Zhao, 2006).

Em primeiro lugar, os efeitos sobre a corrente de saturação $I_{d,sat}$ de dispositivos foram observados em quatro casos: (a) variação simultânea de todos os parâmetros, (b) a variação do comprimento do canal apenas L , (c) a variação simultânea de To_{xn} e To_{xp} e (d) variação simultânea de tensão de limiar V_{thn} de transistores NMOS e V_{thp} de transistores PMOS. Para cada um deles, dez mil simulações Monte Carlo foram realizadas.

Nesses experimentos, foi considerada a corrente máxima I_{dsat} por micrometro. Os valores médios (μ) e desvio padrão (σ) de todas as experiências conduzidas para os dispositivos NMOS são apresentadas na Tabela B.B.1. A Figura B.1 e Figura B.2 mostram os resultados da Tabela B.B.1 quando normalizada, isto é, o desvio padrão dividido pelo respectivo valor médio. É importante observar que a variação da To_x dos transistores em ambos os modelos não tem efeitos consideráveis na corrente I_{ds} e, por isso, esta variação não será apresentada nas figuras.

Figura B.1 Evolução do Desvio Padrão Normalizado da I_{dsat} para modelos preditivos de tecnologias *High Performance*



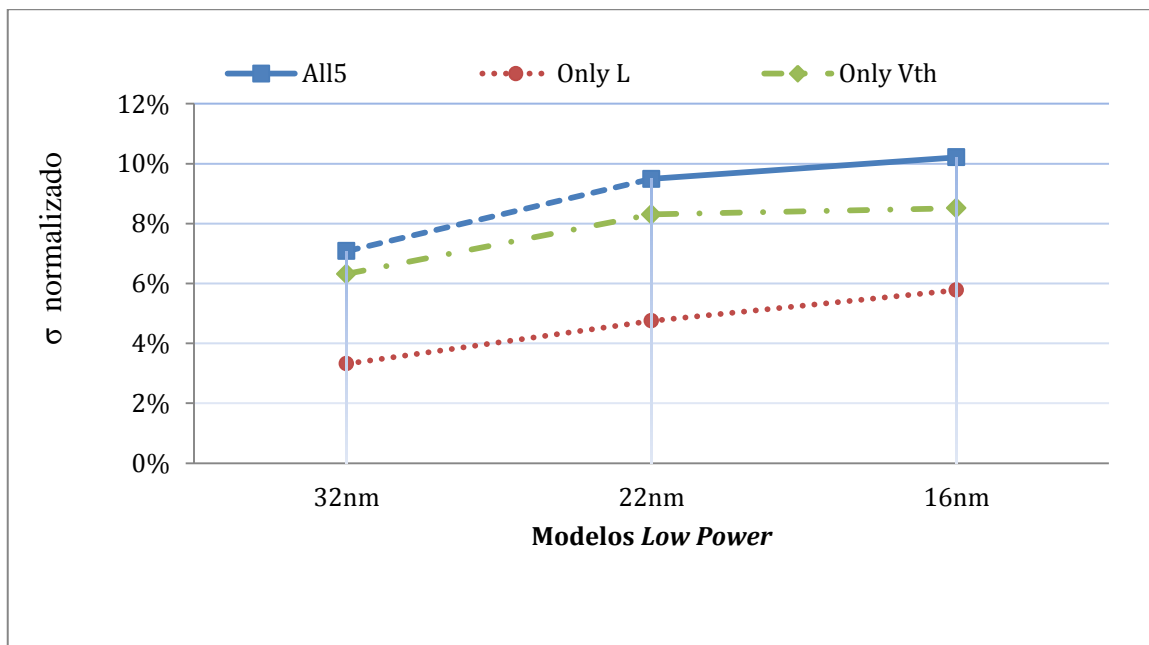
Fonte: Meinhardt (2012)

Tabela B.1 Avaliação da influência da variação em 5 parâmetros na corrente I_{dsat} ($A/\mu m$) para transistores NMOS

Parâmetros		Modelo <i>High Performance</i>			Modelo <i>Low Power</i>		
		32nm	22nm	16nm	32nm	22nm	16nm
Todos os 5	Média (μ)	1.39 mA	1.4 mA	1.1 mA	545 μA	514 μA	604 μA
	Desvio Padrão (σ)	119.4 μA	149.9 μA	177.9 μA	38.6 μA	48.8 μA	61.7 μA
Apenas <i>L</i>	Média (μ)	1.39 mA	1.4 mA	1.42mA	545.1 μA	513.6 μA	603.8 μA
	Desvio Padrão (σ)	110.9 μA	140.6 μA	172 μA	18.1 μA	24.4 μA	34.9 μA
Apenas <i>Tox</i>	Média (μ)	1.38 mA	1.39 mA	1.40mA	544.4 μA	512.4 μA	602 μA
	Desvio Padrão (σ)	10.5 pA	6.6 pA	14.9pA	5.3pA	17.8 pA	95.6 pA
Apenas <i>Vth</i>	Média (μ)	1.38 mA	1.39 mA	1.40mA	544.5 μA	512.8 μA	602.4 μA
	Desvio Padrão (σ)	44.0 μA	51.9 μA	55.6 μA	34.4 μA	42.6 μA	51.3 μA

Fonte: Meinhardt (2012)

Figura B.2 Evolução do Desvio Padrão Normalizado da I_{dsat} para modelos preditivos de tecnologias *Low Power*

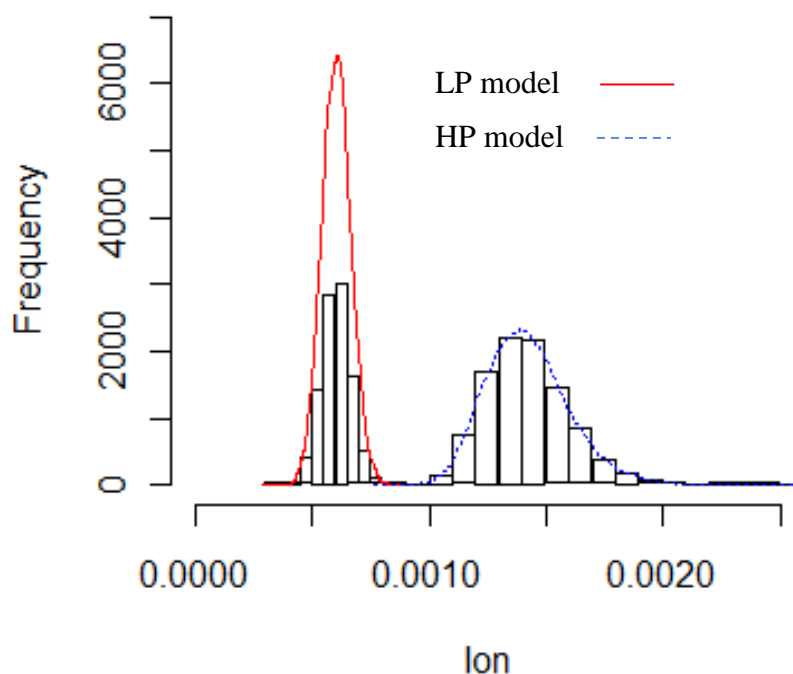


Fonte: Meinhardt (2012)

Os seguintes pontos podem ser observados a partir deste estudo inicial. Em primeiro lugar, a variação estatística dos dispositivos, devido à variação dos parâmetros do processo ser gaussiana na natureza, tal como mostra a Figura B.3, onde a variação estatística de uma tecnologia de 16 nm é apresentada para os dois modelos de transistor: HP e LP.

Por outro lado, o desvio do valor médio é bastante significativo: aproximadamente 16% para os modelos de alto desempenho, principalmente para a tecnologia de 16 nm. Enquanto que não é mais do que 10% para os modelos de baixa potência. A Figura B.1 mostra um aumento considerável do desvio em relação à tecnologia de 22 nm a 16 nm.

Figura B.3 Histograma da I_{dsat} para modelos LP e HP na tecnologia de 16nm



Fonte: Meinhardt (2012)

Em terceiro lugar, a variação de L dos transistores tem o efeito dominante na variação global do dispositivo em modelos de alto desempenho. A Figura B.2 mostra que, para modelos de baixa potência, o efeito da variação em L tem aumentado com a

redução da tecnologia, mas o efeito dominante na variação global do dispositivo em modelos de baixa potência é devido a variações V_{TH} .

Em quarto lugar, o efeito da variação dos parâmetros do processo se deteriora com a redução do tamanho de fabricação dos dispositivos nas novas tecnologias.

Conhecendo os efeitos dos parâmetros de processo em nanotecnologias, é possível observar que é importante ter em conta a variação simultânea de todos os parâmetros (tensão de limiar, a espessura da porta-óxido e comprimento do canal efetivo) e as correlações entre eles.

Nesta segunda experiência, a influência do dimensionamento do transistor na variabilidade da corrente I_{ds} é avaliada. As mesmas condições do experimento anterior são respeitadas neste experimento, mas, nesta experiência, apenas a variação simultânea de todos os parâmetros é considerada. Para cada tecnologia é aplicado quatro dimensionamento de W para os transistores: a) W igual a duas vezes o mínimo L da tecnologia, b) W igual a cinco vezes o mínimo L da tecnologia, c) W igual a dez vezes o L mínimo da tecnologia e d) W igual a 1 mm para todas as tecnologias. A Tabela B.2 mostra os efeitos dos diferentes dimensionamentos de transistores na corrente I_{ds} na presença de variabilidade.

Tabela B.2 Efeito do Dimensionamento dos transistores na corrente I_{ds} considerando variação em todos os 5 parâmetros

W		Modelo <i>High Performance</i>			Modelo <i>Low Power</i>		
		32nm	22nm	16nm	32nm	22nm	16nm
W_2 (2*Lmin)	Média (μ)	80.9 μ A	53.8 μ A	37.3 μ A	31 μ A	18.8 μ A	14.9 μ A
	Desvio Padrão (σ)	7.13 μ A	5.97 μ A	5.04 μ A	2.2 μ A	1.84 μ A	1.60 μ A
W_5 (5*Lmin)	Média (μ)	215 μ A	147 μ A	107 μ A	83.8 μ A	53.1 μ A	44.3 μ A
	Desvio Padrão (σ)	18.6 μ A	16 μ A	13.9 μ A	5.98 μ A	5.10 μ A	4.61 μ A
W_{10} (10*Lmin)	Média (μ)	439 μ A	303 μ A	221 μ A	172 μ A	110 μ A	110 μ A
	Desvio Padrão (σ)	37.9 μ A	32.5 μ A	28.4 μ A	12.2 μ A	10.5 μ A	10.5 μ A
1 μ m	Média (μ)	1.39mA	1.40mA	1.10mA	545 μ A	514 μ A	604 μ A
	Desvio Padrão (σ)	119 μ A	150 μ A	178 μ A	38.6 μ A	48.8 μ A	61.7 μ A
σ médio normalizado		8.66%	10.84%	13.88%	7.14%	9.61%	10.23%

Fonte: Meinhardt (2012)

Os seguintes pontos podem ser observados a partir desta experiência. Em primeiro lugar, a corrente I_{ds} aumenta proporcionalmente com W , mas isto não é verdade para a grande W s. Em segundo lugar, o desvio padrão absoluto aumentar quando W aumenta. No entanto, observar o comportamento da variação normalizada pode ser uma abordagem mais apropriada. Quando são normalizados os resultados, as variações normalizadas são exatamente as mesmas para todos W aplicado.

Em suma, observa-se que o desvio padrão é bastante significativo, sendo aproximadamente 16% para os modelos de alto desempenho. Os modelos de baixa potência são menos sensíveis à variabilidade. A variação de L dos transistores tem o efeito dominante na variação global do dispositivo em modelos de alto desempenho enquanto que o efeito dominante na variação global do dispositivo em modelos de baixa potência ainda é devido a variações V_{TH} .

APÊNDICE C < CARACTERÍSTICAS $I_D - V_G$ DE DISPOSITIVOS FINFET DE 20NM DO MODELO PTM - MG >

Neste anexo são apresentados os resultados de simulações para levantamento das características $I_D - V_g$ de dispositivos FinFET na tecnologia de 20nm, adotando o modelo PTM-MG (Sinha, 2012). As análises dividem-se em quatro conjuntos:

- 1) Comparação das características $I_D - V_g$ de dispositivos NFET com as características apresentadas por Ferreira (2012) para um dispositivo FinFET NFET;
- 2) Avaliação das características $I_D - V_g$ para dispositivos PFET nos modelos de HP (*High Performance*) e LSTP (*Low Standby Power*)
- 3) Avaliação do comportamento com múltiplos *fins* conectados em paralelo
- 4) Avaliação do comportamento da curva de transferência de Inversores

Na análise 1 os parâmetros L_g , H_{FIN} , W_{FIN} do modelo PTM foram ajustados para os valores adotados nas simulações do dispositivo proposto por Ferreira (2012). Estes valores são apresentados na coluna Dispositivo 3D da Tabela C.1. As tensões aplicadas nesta simulação foram de $V_{dd} = 100mV$ na região linear e de $V_{dd} = 1V$ na região saturada.

Os valores nominais do modelo para dispositivos de 20nm foram adotados nas análises 2, 3 e 4 e são apresentadas na Tabela C.1, na coluna Modelo PTM-MG. As tensões aplicadas nesta simulação foram de $V_{dd} = 100mV$ na região linear e de $V_{dd} = 0,9V$ na região saturada.

Tabela C.1 Parâmetros do FinFET de 20 nm no modelo PTM-MG e no dispositivo 3D

Parâmetro	Modelo PTM - MG	Dispositivo 3D
L_g	24 nm	20 nm
H_{FIN}	28 nm	60 nm
W_{FIN}	15 nm	15 nm
Vdd	0,9 V	1 V

Fonte: Sinha (2012) e Ferreira (2012)

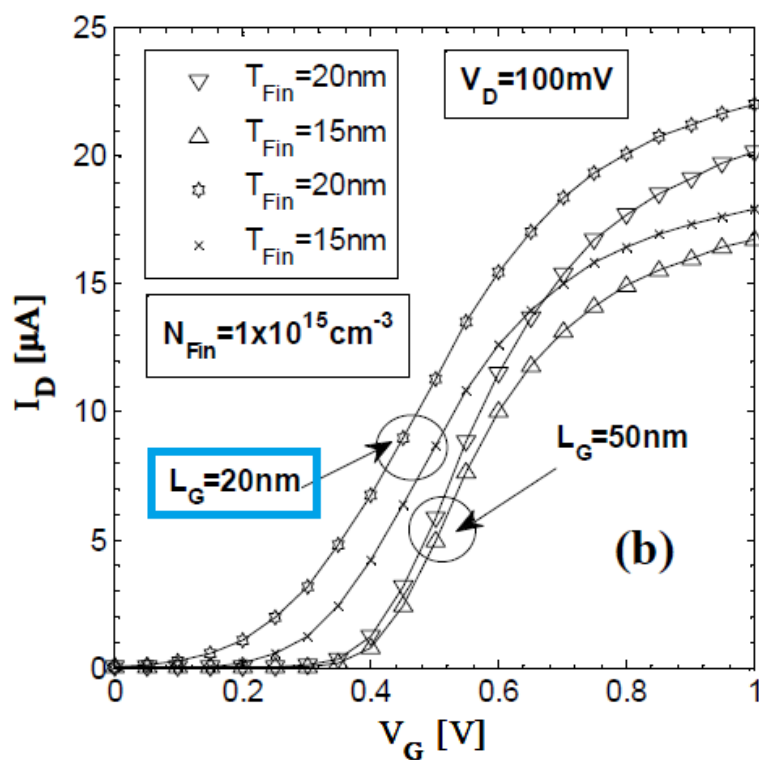
Análise 1 - Comparação das características $I_d - V_g$ de dispositivos NFET com as características de um modelo 3D

A Figura C.1 apresenta o comportamento observado por Ferreira (2012) para o dispositivo na região linear. Nas figuras obtidas do trabalho de Ferreira (2102), cada figura apresenta o comportamento de dispositivos com diferentes L_g e diferentes W_{FIN} (que nas imagens deste trabalho são referenciadas como T_{FIN}). A curva utilizada para comparação neste trabalho é a curva com marcadores X. Na Figura C.2 pode-se observar o comportamento encontrado para um dispositivo similar modelado com o modelo HP NFET da PTM. Observa-se que a curva apresenta características semelhantes, e pequenas diferenças como o nível de corrente mais elevado no modelo podem ser atribuídas aos demais parâmetros de configuração do dispositivo que não foram ajustados ao modelo 3D, tais como espessura do óxido e dopagem do dispositivo.

Na Figura C.3 observa-se o comportamento para a região de saturação do dispositivo 3D e na Figura C.4 do dispositivo modelado com o modelo PTM. Observa-se uma inclinação semelhante entre as curvas, com tensões de limiar próximas, e com corrente I_{DS} máxima superior no dispositivo modelado com o modelo PTM.

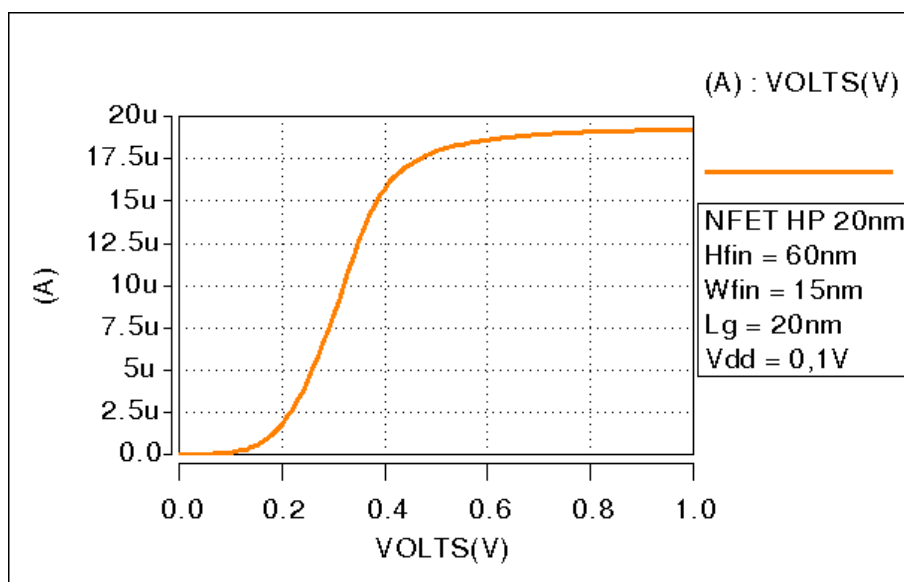
Seguindo a mesma ordem, as Figuras C.5 e C.6 apresentam o comportamento na região linear em escala logarítmica e as Figuras C.7 e C.8 apresentam o comportamento na região de saturação em escala logarítmica para o dispositivo 3D e para o modelo PTM.

Figura C.1 Curva Característica $I_D - V_g$ na região linear (Ferreira, 2012)

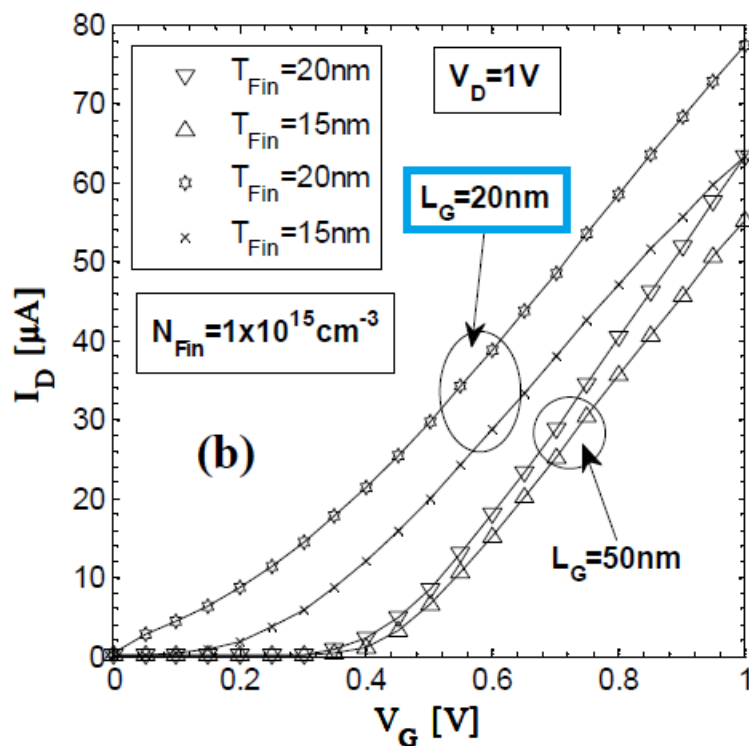


Fonte: Ferreira (2012)

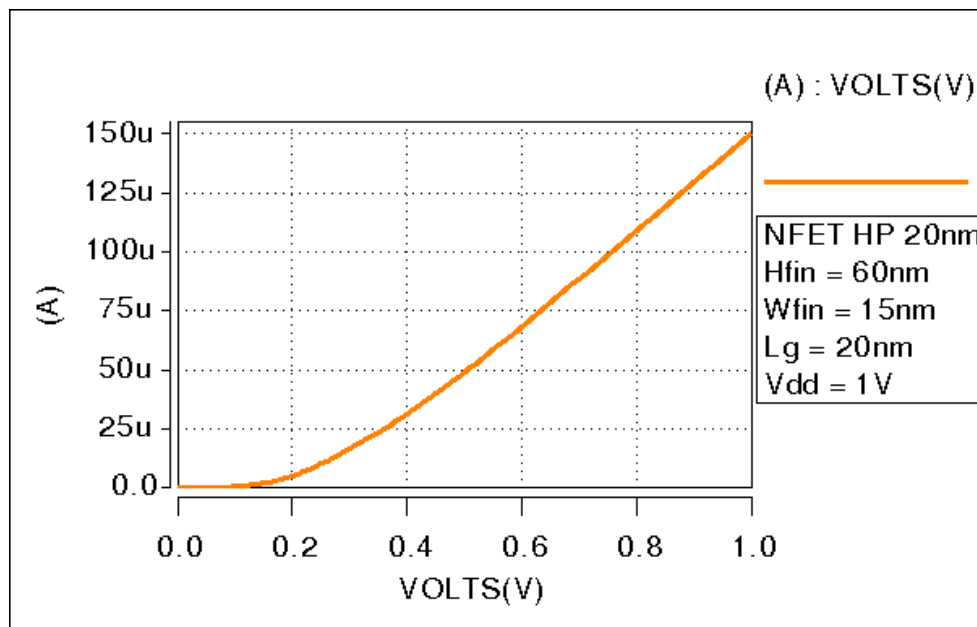
Figura C.2 Curva Característica $I_D - V_g$ na região linear do dispositivo modelado pelo modelo PTM com os principais parâmetros ajustados ao modelo 3D



Fonte: produção do próprio autor

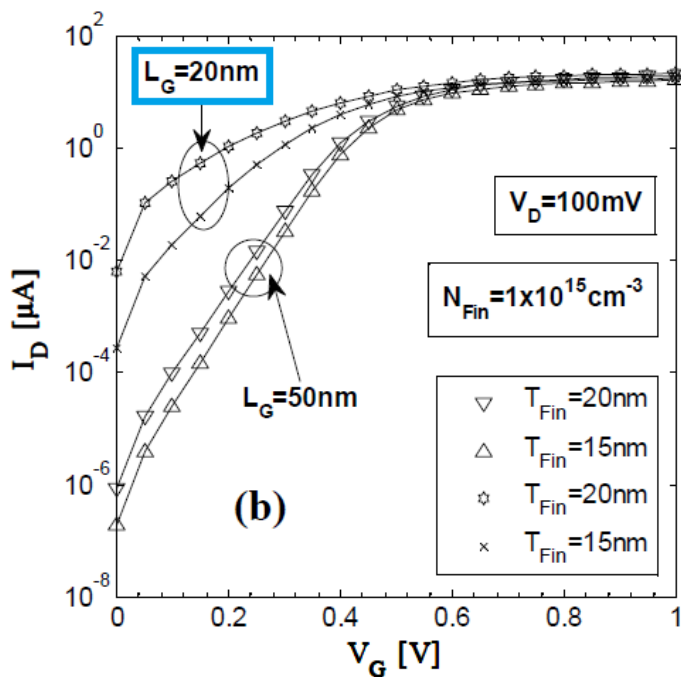
Figura C.3 Curva Característica $I_d - V_g$ na região de saturação (Ferreira, 2012)

Fonte: Ferreira (2012)

Figura C.4 Curva Característica $I_d - V_g$ na região de saturação do dispositivo modelado pelo modelo PTM com os principais parâmetros ajustados ao modelo 3D

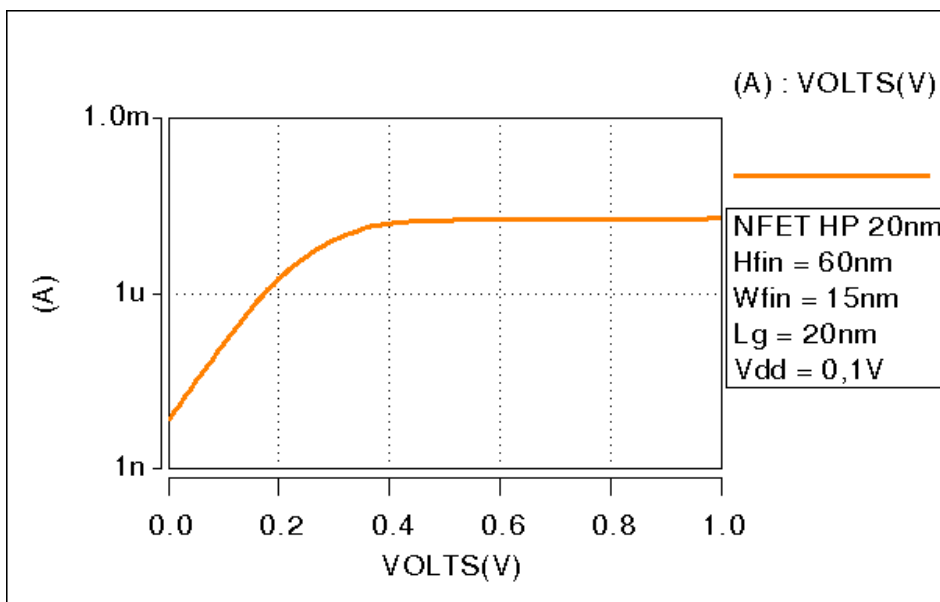
Fonte: produção do próprio autor

Figura C.5 Curva Característica $I_d - V_g$ na região linear em escala logarítmica (Ferreira, 2012)



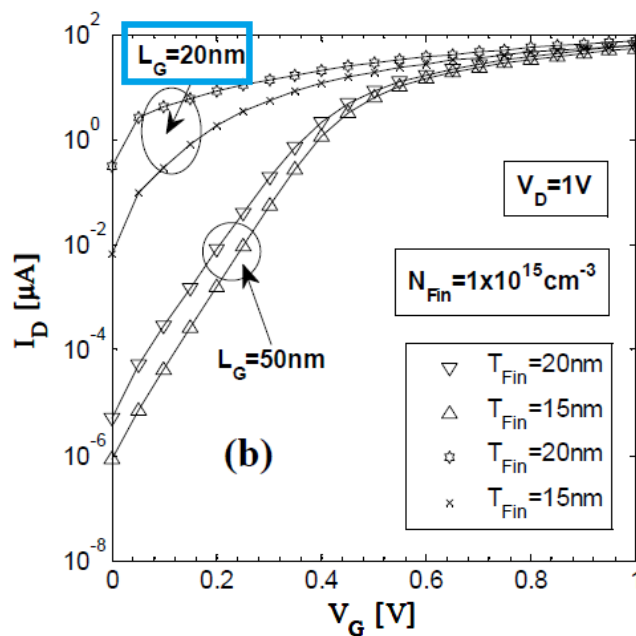
Fonte: Ferreira (2012)

Figura C.6 Curva Característica $I_d - V_g$ na região linear em escala logarítmica do dispositivo modelado pelo modelo PTM com os principais parâmetros ajustados ao modelo 3D



Fonte: produção do próprio autor

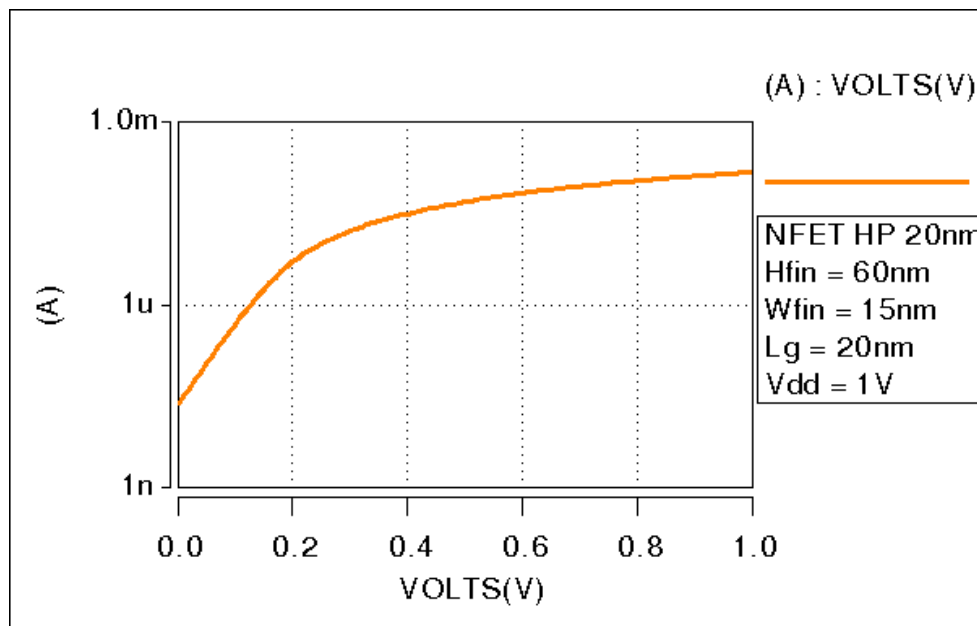
Figura C.7 Curva Característica $I_d - V_g$ na região de saturação em escala logarítmica (Ferreira, 2012)



Fonte: Ferreira (2012)

Figura C.8 Curva Característica $I_d - V_g$ na região de saturação em escala logarítmica do dispositivo modelado pelo modelo PTM com os principais parâmetros ajustados ao modelo 3D

Fonte: produção do próprio autor



Análise 2 - Avaliação das características $I_d - V_g$ para dispositivos nos modelos HP (*High Performance*) e LSTP (*Low Standby Power*)

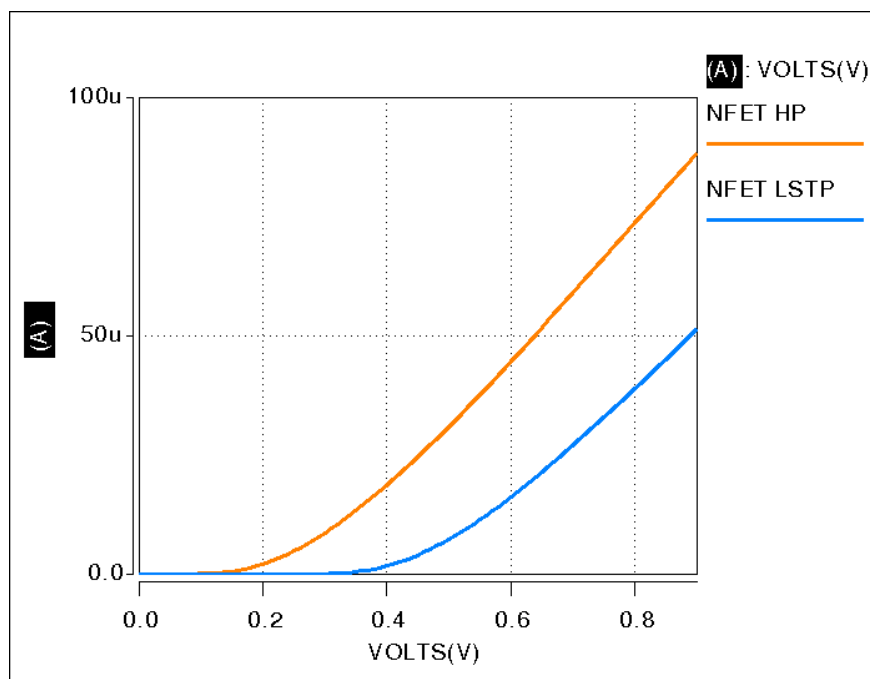
Esta segunda análise avalia as características $I_d - V_g$ para dispositivos FinFET de 20nm nos modelos HP e LSTP. Nestas análises os dados nominais do modelo são adotados, sem alterações. A tensão aplicada é 0,9 V para as curvas de região de saturação e de 0,1 V para a região linear.

A Figura C.9 apresenta o resultado na região de saturação para dispositivos NFET HP e LSTP. Como esperado, os dispositivos LSTP apresentam valores maiores para a tensão de limiar e corrente I_{DS} máxima inferior comparados aos dispositivos HP.

As Figuras C.10, C.11, C.12 e C.13 apresentam o comportamento para dispositivos PFET nas regiões de saturação e linear, para os modelos HP e LSTP, apresentando também os resultados em escala logarítmica.

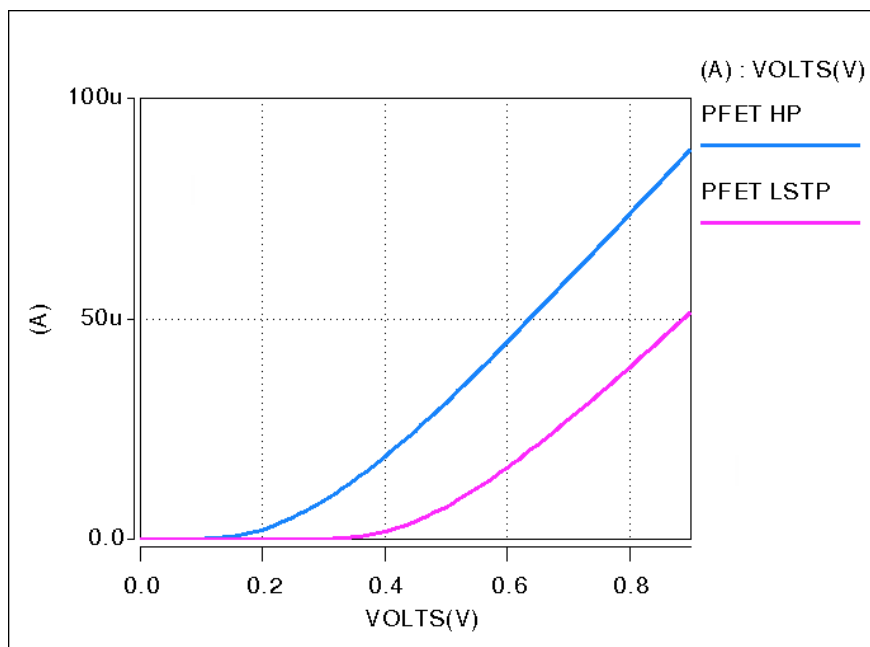
Estas análises demonstram que o modelo PTM para dispositivos FinFET de 3 terminais apresenta comportamento de acordo com o esperado para esta tecnologia. Isso valida a adoção deste modelo no projeto digital preditivo de células em tecnologias FinFET sub 20nm.

Figura C.9 Curva Característica $I_d - V_g$ na região de saturação para dispositivos NFET HP e LSTP



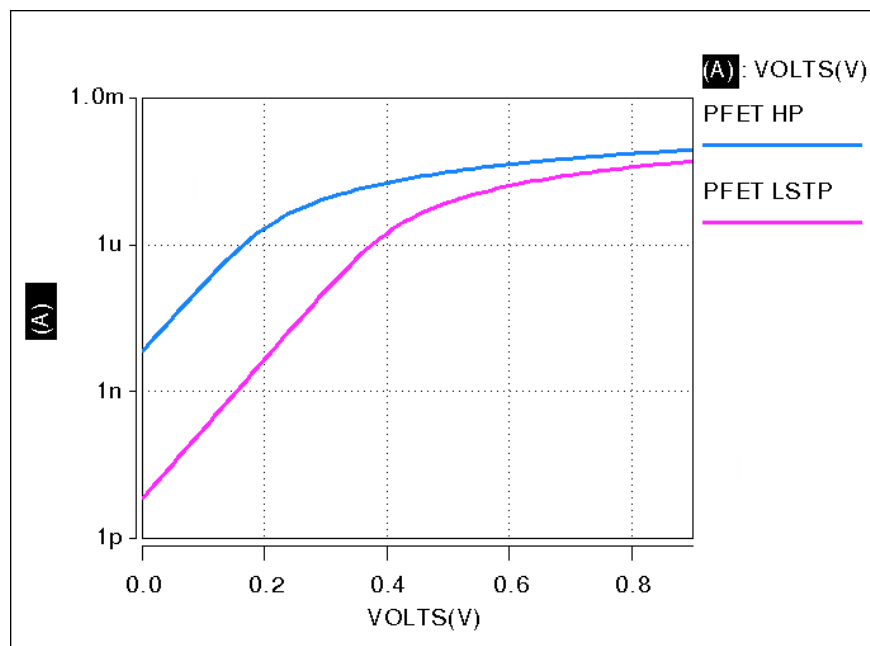
Fonte: produção do próprio autor

Figura C.10 Curva Característica $I_d - V_g$ na região de saturação para dispositivos PFET HP e LSTP



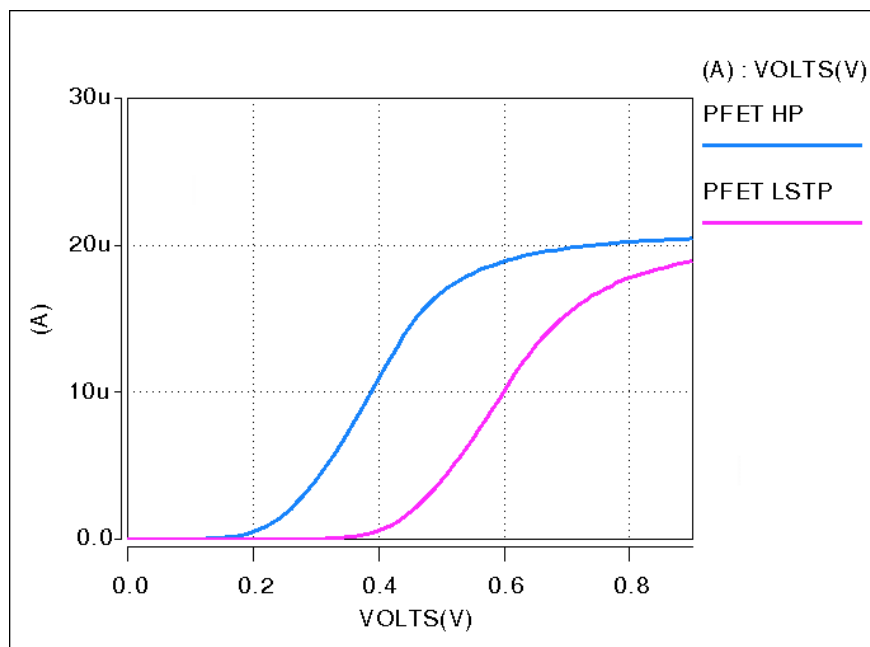
Fonte: produção do próprio autor

Figura C.11 Curva Característica $I_d - V_g$ na região de saturação para dispositivos NFET HP e LSTP em escala logarítmica



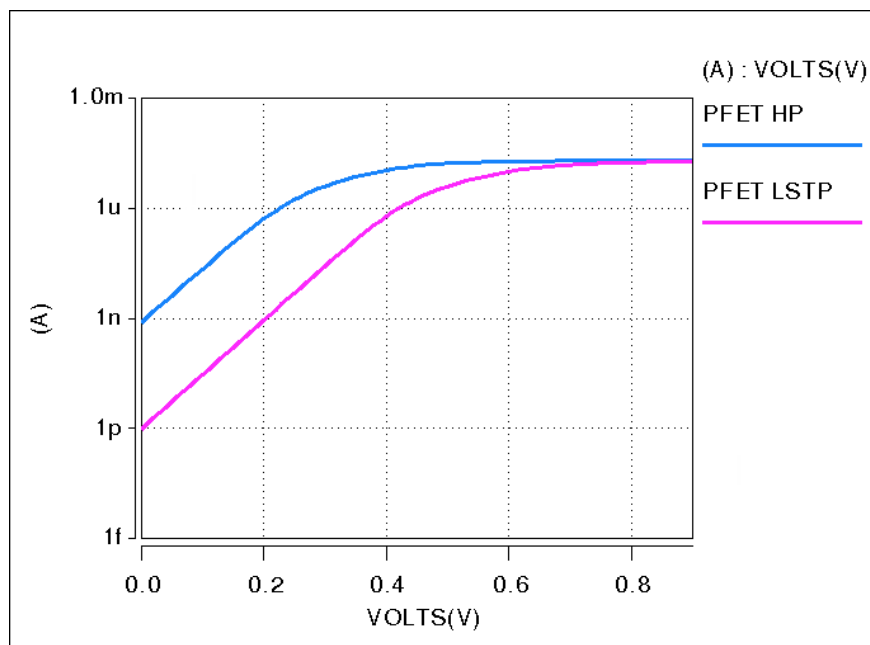
Fonte: produção do próprio autor

Figura C.12 Curva Característica $I_d - V_g$ na região linear para dispositivos PFET HP e LSTP



Fonte: produção do próprio autor

Figura C.13 Curva Característica $I_d - V_g$ na região linear para dispositivos PFET HP e LSTP em escala logarítmica



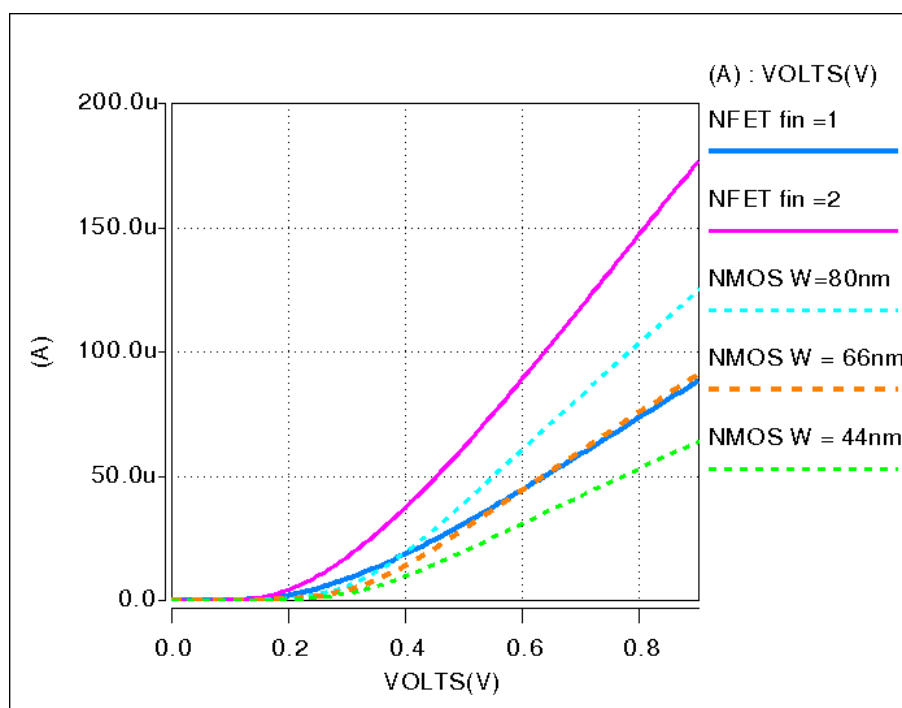
Fonte: produção do próprio autor

Análise 3 - Avaliação do comportamento com múltiplos *fins*

O dimensionamento de FinFETs é realizado através da conexão paralela de múltiplos *fins*, sendo a corrente máxima I_{DS} proporcional ao número de *fins* adotados. Esta terceira avaliação do modelo demonstra na Figura C.14 que o modelo corresponde a este comportamento esperado, praticamente duplicando a corrente máxima I_{DS} ao duplicarmos o número de *fins*. Nesta análise ainda foi comparado o comportamento dos dispositivos FinFET NFET de 20nm com o dispositivo bulk CMOS NMOS de 22nm modelado com o modelo PTM HP. É possível visualizar que o dispositivo FinFET NFET com único *fin* tem comportamento equivalente ao dispositivo NMOS com dimensionamento de $W_n = 66 \text{ nm}$, sendo que o dimensionamento mínimo para este dispositivo seria de $W_n = 44 \text{ nm}$.

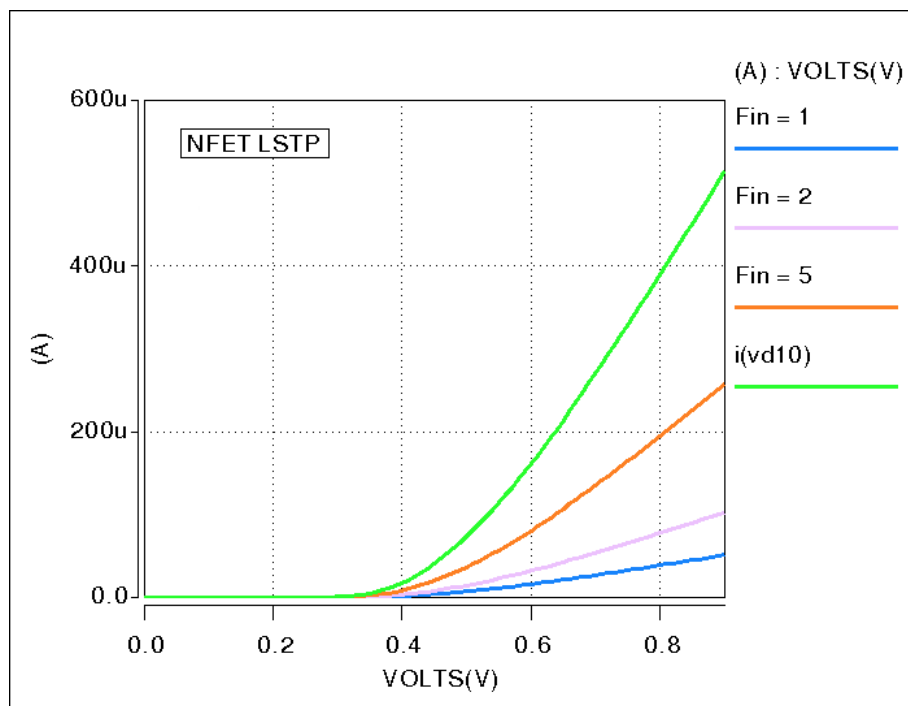
A Figura C.15 demonstra o aumento praticamente linear da corrente máxima I_{DS} com o aumento do número de *fins* adotados em dispositivos NFET LSTP, variando o número de *fins* até 10.

Figura C.14 Dimensionamento de FinFET NFET HP



Fonte: produção do próprio autor

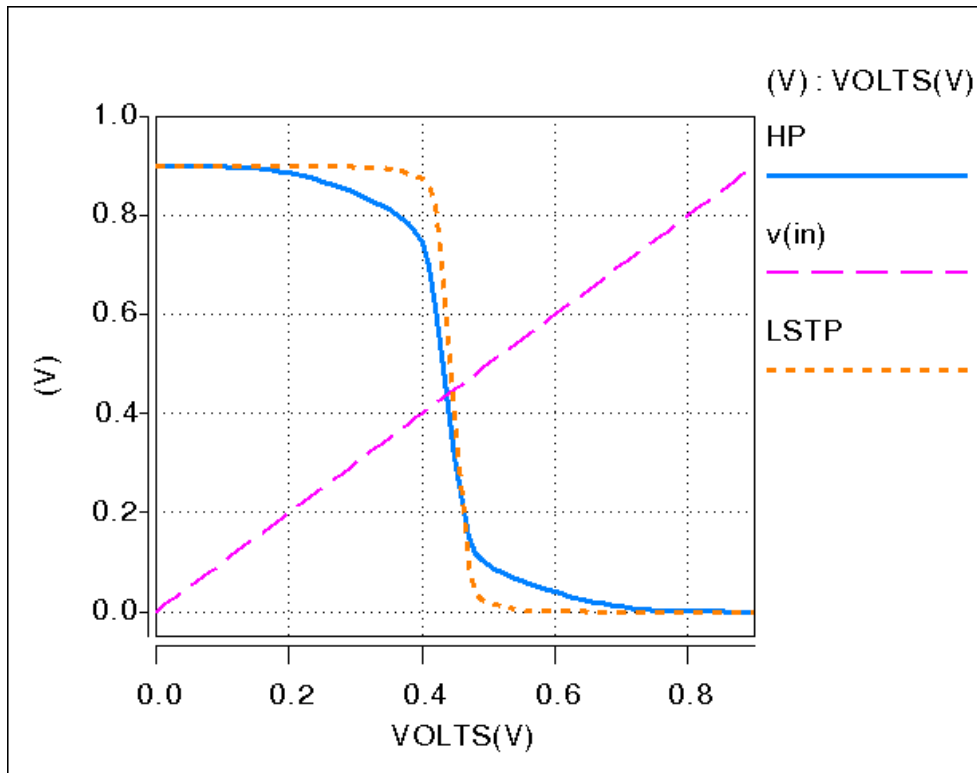
Figura C.15 Dimensionamento de FinFET NFET LSTP



Fonte: produção do próprio autor

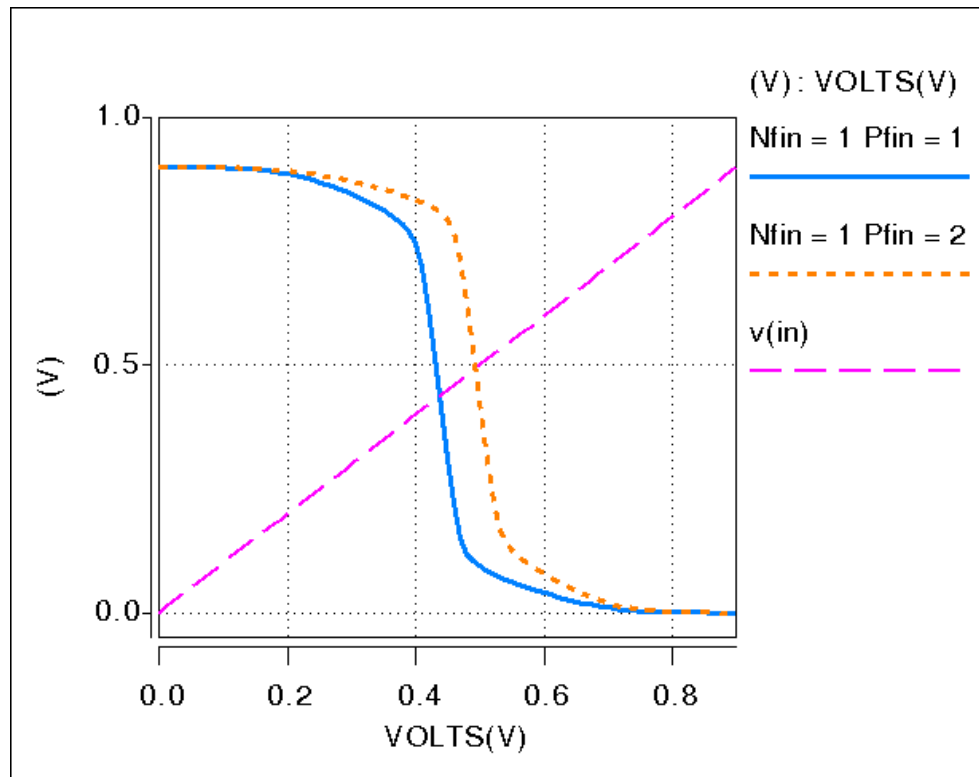
Análise 4 - Avaliação do comportamento da curva de transferência de Inversores

A última análise realizada avalia o comportamento dos dispositivos FinFET NFET e PFET em um inversor. A Figura C.16 mostra a curva de transferência para um inversor de tamanho mínimo no modelo HP, na linha azul contínua, e de tamanho mínimo no modelo LSTP, na linha laranja pontilhada. É possível observar que o inversor apresenta uma boa curva de transferência, com regiões bem definidas, principalmente no modelo LSTP.



Fonte: produção do próprio autor

A Figura C.17 compara o inversor mínimo HP com um inversor onde adota-se número de *fin*s igual a 2 para o dispositivo PFET e um único *fin* para o dispositivo NFET do inversor. Observa-se um desequilíbrio entre as regiões da curva de transferência, que corresponde a um desequilíbrio nos tempos de transição para o inversor. Baseado no comportamento do inversor, Kleeberger (2013) apresentou um estudo demonstrando que para FinFETs o número de *fin*s permanece o mesmo nos transistores P e N para equalizar os atrasos, isso indica que como os dois tipos de transistores se comportam aproximadamente de maneira semelhante, torna-se desnecessário fazer o dimensionamento diferente para os transistores P e N para manter tempos de subida e descida dos sinais de saída equivalentes. Entretanto, em Posser (2014) mostra-se que isso somente é verdade para o Inversor e que o dimensionamento de portas mais complexas que um Inversor pode reduzir os atrasos, melhorando o desempenho.



Fonte: produção do próprio autor