

FUNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL  
INSTITUTO DE INFORMÁTICA  
PROGRAMA DE PÓS-GRADUAÇÃO EM MICROELETRÔNICA

THIAGO HANNA BOTH

**Análise dos Efeitos de Dose Total Ionizante  
em Transistores CMOS Tecnologia 0,35  $\mu\text{m}$**

Dissertação apresentada como requisito parcial  
para a obtenção do grau de Mestre em  
Microeletrônica

Prof. Dr. Gilson Inácio Wirth  
Orientador

Porto Alegre, outubro de 2013.

## CIP – CATALOGAÇÃO NA PUBLICAÇÃO

Both, Thiago Hanna

Análise dos Efeitos de Dose Total Ionizante em Transistores CMOS Tecnologia 0,35  $\mu\text{m}$  / Thiago Hanna Both. – 2013.

92 f.

Orientador: Prof. Dr. Gilson Inácio Wirth

Dissertação (mestrado) – Universidade Federal do Rio Grande do Sul. Programa de Pós-Graduação em Microeletrônica. Porto Alegre, BR – RS, 2013.

1.CMOS. 2.Radiação Ionizante 3.Dose Total Ionizante. I. Wirth, Gilson Inácio, oriente. II. Título

## **AGRADECIMENTOS**

Agradeço à Universidade Federal do Rio Grande do Sul e ao Programa de Pós-Graduação em Microeletrônica por viabilizar minha formação acadêmica e fornecer os meios necessários para a realização deste trabalho.

Agradeço ao meu orientador, Prof. Dr. Gilson Inácio Wirth, pelos conhecimentos transmitidos durante o mestrado e pela confiança no trabalho realizado.

Agradeço ao Prof. Dr. Odair Lelis Gonzalez e à sua equipe no LRI/IEAv, em especial aos engenheiros Rafael Galhardo Vaz e Evaldo Carlos Pereira Junior, fundamentais para a realização do ensaio de irradiação e das medições apresentadas neste trabalho.

Agradeço aos colegas do Laboratório de Prototipação e Teste, principalmente aos engenheiros Alan Rossetto, Fábio Vidor, Vinícius Camargo, Maurício B. da Silva, Ricardo Dallasen e Paulo C. de Aguirre, pelas discussões e auxílio na análise dos dados experimentais.

Agradeço à CAPES pelo suporte financeiro concedido durante a realização do mestrado.

Por fim, um agradecimento especial aos meus pais, Carlos Estevan e Maria Lúcia; ao meu irmão, Lucas; e à minha namorada, Bruna, pelo apoio e paciência durante a realização deste trabalho.

## SUMÁRIO

<b>LISTA DE ABREVIATURAS E SIGLAS .....</b>	<b>6</b>
<b>LISTA DE FIGURAS.....</b>	<b>8</b>
<b>LISTA DE TABELAS .....</b>	<b>11</b>
<b>RESUMO.....</b>	<b>12</b>
<b>ANALYSIS OF TOTAL IONIZING DOSE EFFECTS IN 0.35<math>\mu</math>M CMOS TECHNOLOGY TRANSISTORS.....</b>	<b>13</b>
<b>1 INTRODUÇÃO .....</b>	<b>14</b>
<b>2 EFEITOS DA RADIAÇÃO EM DISPOSITIVOS ELETRÔNICOS.....</b>	<b>16</b>
2.1 Efeitos de Dose Total Ionizante em Dispositivos MOS .....	16
2.1.1 Efeitos de Dose Total em Óxidos de Dispositivos MOS.....	17
2.1.1.1 <i>Geração, Recombinação e Transporte de Cargas Geradas no Óxido.....</i>	<i>17</i>
2.1.1.2 <i>Cargas Aprisionadas no Óxido (Oxide-Trapped Charge) .....</i>	<i>19</i>
2.1.1.3 <i>Border Traps ou Switching Oxide Traps.....</i>	<i>22</i>
2.1.1.4 <i>Armadilhas de Interface (Interface Traps).....</i>	<i>23</i>
2.1.1.5 <i>Efeitos de Dose Total em Dispositivos e Óxidos Alternativos.....</i>	<i>26</i>
2.1.2 Desvios da Tensão de Limiar .....	27
2.1.3 Aumento da Corrente de Fuga.....	31
2.1.3.1 <i>Degradação do Subthreshold Swing .....</i>	<i>31</i>
2.1.3.2 <i>Degradação dos Óxidos de Campo .....</i>	<i>32</i>
2.1.3.3 <i>Corrente de Fuga Induzida por Radiação (RILC) .....</i>	<i>33</i>
2.1.4 Degradação da Mobilidade.....	34
2.1.5 Aumento do Ruído 1/f .....	35
2.2 Efeitos Singulares .....	37
2.2.1 Single-Event Transient (SET) .....	37
2.2.2 Single-Event Upset (SEU).....	39
2.2.3 Single-Event Latchup (SEL) .....	41
2.2.4 Single-Event Burnout (SEB) .....	42
2.2.5 Single-Event Gate Rupture (SEGR).....	43
2.2.6 Single-Event Induced Snap-Back (SES) .....	44
2.2.7 Single Hard Error (SHE) .....	45
2.3 Danos por Deslocamento.....	46
<b>3 EFEITOS DE DOSE TOTAL EM TRANSISTORES CMOS: ESTUDO DE CASO .....</b>	<b>49</b>
3.1 Objeto de Estudo: Transistores CMOS Tecnologia 0,35 $\mu$ m.....	49

3.2	Setup de Medidas .....	50
3.3	Ensaio de Irradiação .....	51
3.4	Recozimento .....	52
3.5	Metodologia de Extração de Parâmetros .....	53
3.5.1	Tensão de Limiar .....	53
3.5.2	<i>Subthreshold Swing</i> .....	54
3.5.3	Mobilidade Efetiva .....	55
3.6	Resultados Experimentais .....	56
3.6.1	Tensão de Limiar .....	56
3.6.2	<i>Subthreshold Swing</i> .....	60
3.6.3	Mobilidade Efetiva .....	62
3.7	Análise dos Resultados .....	64
3.7.1	Tensão de Limiar .....	64
3.7.2	<i>Subthreshold Swing</i> .....	66
3.7.3	Mobilidade Efetiva .....	67
<b>4</b>	<b>CONSIDERAÇÕES FINAIS.....</b>	<b>69</b>
	<b>REFERÊNCIAS .....</b>	<b>71</b>
	<b>ANEXO A: DIMENSÃO DOS TRANSISTORES .....</b>	<b>80</b>
	<b>APÊNDICE A: MÉDIA E DESVIO PADRÃO DOS PARÂMETROS MEDIDOS DURANTE O ENSAIO DE IRRADIAÇÃO.....</b>	<b>82</b>
	<b>APÊNDICE B: DESVIOS DA TENSÃO DE LIMIAR MEDIDA PARA CADA TRANSISTOR EM FUNÇÃO DA DOSE TOTAL.....</b>	<b>88</b>
	<b>APÊNDICE C: NETLIST PARA SIMULAÇÃO DE UM NMOSFET COM INJEÇÃO DE CORRENTE DE FUGA ENTRE DRENO E FONTE .....</b>	<b>91</b>
	<b>APÊNDICE D: TRABALHOS PUBLICADOS.....</b>	<b>92</b>

## LISTA DE ABREVIATURAS E SIGLAS

AMS	Austria Micro Systems
APS	Active Pixel Sensor
BOX	Buried Oxide
CCD	Charge-Coupled Device
CERN	Council Européen pour la Recherche Nucleaire
CGS	Sistema Centímetro-Grama-Segundo
CI	Circuito Integrado
CMOS	Complementary Metal-Oxide-Semiconductor
CTRW	Continuous-Time-Random-Walk Model
DD	Displacement Damage
DEP	Densidade Espectral de Potência
DRAM	Dynamic Random Access Memory
EDAC	Error Detection and Correction Circuits
FDSOI	Fully Depleted Silicon-on-Insulator
FOXFET	Field Oxide Field Effect Transistor
FPGA	Field-Programmable Gate Array
IEAv	Instituto de Estudos Avançados
LET	Linear Energy Transfer
LHC	Large Hadron Collider
LOCOS	Local Oxidation of Silicon
LRI	Laboratório de Radiação Ionizante
MKS	Sistema Metro-Quilograma-Segundo
MOS	Metal-Oxide-Semiconductor
MOSFET	Metal-Oxide-Semiconductor Field Effect Transistor
NMOSFET	Transistor MOS de Canal Tipo N
PMD	Pre-Metal Deposition
PMOSFET	Transistor MOS de Canal Tipo P

RAM	Random Access Memory
RILC	Radiation-Induced Leakage Current
RTS	Random Telegraph Signal
SCR	Silicon-Controlled Rectifier
SDRAM	Synchronous Dynamic Random Access Memory
SEB	Single Event Burnout
SEE	Single Event Effects
SEFI	Single Event Functional Interrupt
SEGR	Single Event Gate Rupture
SEL	Single Event Latchup
SEP	Solar Energetic Particle
SER	Soft Error Rate
SES	Single Event Induced Snap-Back
SET	Single Event Transient
SEU	Single Event Upset
SHE	Single Hard Error
SILC	Stress-Induced Leakage Current
SOI	Silicon-on-Insulator
SPICE	Simulation Program with Integrated Circuit Emphasis
SRH	Estatísticas de Recombinação de Shockley-Read-Hall
STI	Shallow Trench Isolation
TID	Total Ionizing Dose

## LISTA DE FIGURAS

Figura 2.1: Diagrama de bandas de energia de uma estrutura MOS, indicando os principais mecanismos físicos envolvidos na resposta à radiação ionizante destes dispositivos. Extraído de Oldham e Mclean (2003). .....	17
Figura 2.2: Fractional charge yield em função do campo elétrico para diferentes partículas incidentes em óxidos. Extraído de Oldham e Mclean (2003). .....	18
Figura 2.3: Modelo de captura de uma lacuna para formação de um centro $E'_{\nu}$ . Extraído de Nicklaw, Lu et al. (2002). .....	20
Figura 2.4: Modelo de captura de uma lacuna para formação de um centro $E'_{\delta}$ . Extraído de Nicklaw, Lu et al. (2002). .....	20
Figura 2.5: Efeito do recozimento reverso no desvio da tensão de limiar de um transistor provocado pelas cargas aprisionadas no óxido. Extraído de Schwank, Winokur et al., (1984). .....	21
Figura 2.6: Modelo de captura de uma lacuna para formação de um centro $\cdot$ , considerando recozimento permanente e processo de compensação. Extraído de Oldham e Mclean (2003). .....	22
Figura 2.7: Centros $Pb_0$ em silício (111). Extraído de Poindexter e Caplan (1983). .....	23
Figura 2.8: Centros $Pb_0$ e $Pb_1$ em silício (100). Extraído de Poindexter e Caplan (1983). .....	23
Figura 2.9: Armadilhas de interface (assumindo somente armadilhas doadoras) e carga para capacitores MOS tipo-p e tipo-n em situação de banda plana, inversão e acumulação. Adaptado de Ma e Dressendorfer (1989). .....	24
Figura 2.10: Armadilhas de interface (assumindo somente armadilhas aceitadoras) e cargas para capacitores MOS tipo-p e tipo-n em situação de banda plana, inversão e acumulação. .....	25
Figura 2.11: Densidade de armadilhas de interface em silício (100) e (111) termicamente oxidado. Extraído de White e Cricchi (1972). .....	26
Figura 2.12: Contribuição das cargas aprisionadas no óxido e na interface para o desvio da tensão de limiar de um NMOSFET (tecnologia 4/3 $\mu\text{m}$ ). Extraído de Winokur, Sexton et al. (1987). .....	29
Figura 2.13: Contribuição das cargas aprisionadas no óxido e na interface para o desvio da tensão de limiar de um NMOSFET com óxido de porta de 48 nm. Extraído de Meisenheimer e Fleetwood (1990) .....	29
Figura 2.14: "Super recovery" ou "rebound" em um NMOSFET de potência (IRH7130). Extraído de International Rectifier (2001) .....	29
Figura 2.15: Resultado do recozimento em $\Delta V_{it}$ , $\Delta V_{ot}$ e $\Delta V_{th}$ de um NMOSFET, para uma mesma dose total e diferentes taxas de dose, evidenciando a ausência de efeitos de taxa de dose na tensão de limiar. Extraído de Fleetwood, Winokur et al. (1988). .....	30

Figura 2.16: Curva $I_D \times V_{GS}$ mostrando os efeitos de dose total na região de sublimiar. Extraído de (Schrimpf, 2007).	32
Figura 2.17: Região de bico pássaro em um transistor MOS (Schwank, Shaneyfelt <i>et al.</i> , 2008).	32
Figura 2.18: Caminho para corrente de fuga entre fonte e dreno de NMOSFETs distintos devido ao acúmulo de cargas positivas em um FOXFET parasita. Extraído de (Barnaby, 2006).	33
Figura 2.19: Caminho para a corrente de fuga entre o poço-n de um PMOSFET e a fonte de um NMOSFET devido ao acúmulo de cargas positivas em um FOXFET parasita. Extraído de (Barnaby, 2006).	33
Figura 2.20: Mobilidade de portadores na camada de inversão de um transistor MOS em função da dose total. Extraído de (Schrimpf, 2007).	35
Figura 2.21: Resposta à irradiação e recozimento de um NMOSFET, exibindo $\Delta V_{it}$ , $\Delta V_{ot}$ e a potência do ruído medida a frequência de 10 Hz. Extraído de Meisenheimer e Fleetwood (1990).	36
Figura 2.22: DEP do ruído em um NMOSFET (espessura do óxido de porta de 48 nm) irradiado. Os picos correspondem à frequência de 60 Hz e suas harmônicas. Extraído de Meisenheimer e Fleetwood (1990).	36
Figura 2.23: Mascaramento lógico de SETs em portas lógicas NOR e NAND, respectivamente.	38
Figura 2.24: Diagrama temporal exibindo a captura ou não de um transiente por um <i>latch</i> . Extraído de Benedetto, Eaton <i>et al.</i> (2006).	38
Figura 2.25: Célula DRAM típica de 1 Transistor.	39
Figura 2.26: Célula SRAM típica de 6 Transistores.	40
Figura 2.27: Resposta transiente da tensão de dreno de uma SRAM atingida com íons cuja LET é muito inferior; ligeiramente inferior e superior à energia necessária para provocar um SEU. Extraído de Dodd e Massengill (2003).	40
Figura 2.28: Transistores bipolares parasitas em uma estrutura CMOS.	41
Figura 2.29: : Esquemático da estrutura SCR parasita.	42
Figura 2.30: Estrutura de um transistor MOS de potência exibindo o fluxo da corrente resultante da passagem de um íon pesado e da polarização do dreno. Extraído de Hohl e Galloway (1987).	43
Figura 2.31: Dispositivo NMOS de Potência exibindo o filamento produzido pelo impacto de um íon pesado. Extraído de Brews, Allenspach <i>et al.</i> (1993).	44
Figura 2.32: Representação da rede cristalina de um material (Silício) com vacâncias (a) e intersticiais (b).	46
Figura 2.33: Mecanismos básicos envolvidos nos processos de geração e recombinação através de armadilhas. Extraído de Sah, Noyce <i>et al.</i> (1957).	47
Figura 3.1: Matriz de PMOSFETs e NMOSFETs medidos.	50
Figura 3.2: Curva $I_D \times V_G$ de um NMOSFET, para $V_D=50$ mV.	51
Figura 3.3: Curvas $I_D \times V_D$ de um NMOSFET para diferentes tensões de porta, $V_G$ , aplicadas.	51
Figura 3.4: Fonte de radiação gama $^{60}\text{Co}$ do Laboratório de Radiação Ionizante (LRI) do Instituto de Estudos Avançados (IEAv).	52
Figura 3.5: Transcondutância medida e suavizada para um NMOSFET para $V_D=50$ mV.	54
Figura 3.6: Derivada da transcondutância medida e suavizada para um NMOSFET para $V_D=50$ mV.	54
Figura 3.7: Derivada do logaritmo natural da corrente de dreno, $I_D$ , em função da tensão aplicada à porta, $V_G$ , de um NMOSFET, para $V_D = 50$ mV.	55

Figura 3.8: Desvio médio da tensão de limiar em função da dose total para NMOSFETs polarizados e não polarizados durante o ensaio de irradiação.....	57
Figura 3.9: Desvio médio da tensão de limiar dos NMOSFETs polarizados durante o ensaio de irradiação e barras de erro padrão em função da dose total.....	57
Figura 3.10: Desvio médio da tensão de limiar dos NMOSFETs não polarizados durante o ensaio de irradiação e barras de erro padrão em função da dose total.....	58
Figura 3.11: Desvio médio da tensão de limiar dos NMOSFETs polarizados e não polarizados durante a irradiação e recozimento em função do tempo.....	58
Figura 3.12: Desvio médio da tensão de limiar em função da dose total para PMOSFETs polarizados e não polarizados durante o ensaio de irradiação.....	59
Figura 3.13: Desvio médio da tensão de limiar dos PMOSFETs polarizados durante o ensaio de irradiação e barras de erro padrão em função da dose total.....	59
Figura 3.14: Desvio médio da tensão de limiar dos PMOSFETs não polarizados durante o ensaio de irradiação e barras de erro padrão em função da dose total.....	60
Figura 3.15: Desvio médio da tensão de limiar dos PMOSFET polarizados e não polarizados durante irradiação e recozimento em função do tempo. ....	60
Figura 3.16: <i>Subthreshold swing</i> médio dos NMOSFETs polarizados e não polarizados durante a irradiação em função da dose total. ....	61
Figura 3.17: <i>Subthreshold swing</i> médio dos PMOSFETs polarizados e não polarizados durante a irradiação em função da dose total. ....	61
Figura 3.18: Mobilidade média normalizada das lacunas em PMOSFETs polarizados e não polarizados em função da dose total. ....	62
Figura 3.19: Mobilidade média normalizada das lacunas de PMOSFETs polarizados durante o ensaio de irradiação e barras de erro em função da dose total. ....	63
Figura 3.20: Mobilidade média normalizada das lacunas de PMOSFETs não polarizados durante o ensaio de irradiação e barras de erro em função da dose total. ....	63
Figura 3.21: Mobilidade média normalizada das lacunas de PMOSFETs polarizados e não polarizados durante ensaio de irradiação e recozimento em função do tempo.....	64
Figura 3.22: Inclinação de sublimiar em função da corrente de fuga injetada em um transistor simulado, tecnologia 0,35 $\mu\text{m}$ .....	66
Figura 3.23: Corrente de dreno média medida em função da dose total nos NMOSFETs irradiados para $V_{GS} = 0 \text{ V}$ e $V_{DS} = 50 \text{ mV}$ .....	67

## LISTA DE TABELAS

Tabela 2.1: Energia mínima para geração de um par elétron-lacuna ( $E_p$ ), densidade do material e densidade de pares gerados por um rad. ....	18
Tabela 3.1: Polarização dos terminais da matriz de transistores durante a irradiação e recozimento. ....	52
Tabela 3.2: Média e desvio padrão da tensão de limiar dos NMOSFETs e PMOSFETs previamente ao ensaio de irradiação.....	56
Tabela 3.3: Média e desvio padrão do <i>subthreshold swing</i> dos NMOSFETs e PMOS previamente ao ensaio de irradiação.....	61
Tabela 3.4: Desvios na tensão de limiar devido aos efeitos de dose total.....	65
Tabela B.2: Desvios da tensão de limiar medidos para NMOSFETs N7 a N14. ....	89
Tabela B.3: Desvios da tensão de limiar medidos para PMOSFETs P1 a P7. ....	89
Tabela B.4: Desvios da tensão de limiar medidos para PMOSFETs P8 a P14. ....	90

## RESUMO

Este trabalho apresenta um estudo sobre a degradação de parâmetros elétricos de transistores CMOS tecnologia 0,35  $\mu\text{m}$ , fabricados com o processo AMS C35B4, devido aos efeitos de dose total ionizante. Os efeitos de dose total são resultado do acúmulo de cargas em estruturas dielétricas de dispositivos semicondutores; em transistores MOS, este acúmulo de carga afeta parâmetros elétricos como a tensão de limiar, *subthreshold swing*, ruído 1/f, corrente de fuga e mobilidade efetiva dos portadores de carga. Com o objetivo de mensurar o impacto dos efeitos de dose total em transistores CMOS 0,35  $\mu\text{m}$ , foi realizado um ensaio de irradiação, submetendo-se transistores de uma tecnologia comercial à radiação ionizante e realizando a caracterização destes dispositivos para diferentes doses totais acumuladas. Os resultados obtidos indicam a degradação dos transistores devido aos efeitos de dose total, bem como apontam a influência da polarização dos dispositivos durante o ensaio de irradiação nesta degradação. Estes resultados podem ser utilizados para, através de simulação elétrica de circuitos, estimar a tolerância à dose total de uma determinada topologia de circuito ou sistema.

**Palavras-Chave:** CMOS, Dose Total, Radiação Ionizante.

# **Analysis of Total Ionizing Dose Effects in 0.35 $\mu$ m CMOS Technology Transistors**

## **ABSTRACT**

This work presents a study on the degradation of electrical parameters of 0,35  $\mu$ m CMOS transistors, fabricated with an AMS C35B4 process, due to total ionizing dose (TID) effects. The TID effects are the result of the trapping of charges in dielectric structures of semiconductor devices; in MOS transistors, this charge trapping affects electrical parameters such as threshold voltage, subthreshold swing, 1/f noise, leakage current and carrier effective mobility. In order to measure the impact of TID effects on electrical parameters of 0,35 $\mu$ m CMOS transistors, an irradiation test was performed, exposing transistors from a commercial technology to ionizing radiation and characterizing these devices under different total doses. The results obtained in this work indicate transistor degradation due to TID effects, as well as the impact of device polarization during the irradiation test on transistor degradation. These results may be used, through electrical simulation of circuits, to estimate the impact of TID effects on the operation of a circuit or system.

**Keywords:** CMOS, Ionizing Radiation, TID, Total Ionizing Dose.

# 1 INTRODUÇÃO

Desde a década de 50, quando foram produzidos os primeiros transistores comerciais, a tecnologia de circuitos integrados (CIs) tem evoluído de maneira impressionante. Pautada na Lei de Moore – que sugere que o número de transistor por chip deve dobrar a cada dois anos – a indústria de CIs tem conseguido não somente elevar a quantidade de transistores por chip, mas também seu desempenho. Este crescimento da capacidade de integração só foi possível graças ao “escalamento tecnológico” (*technological scaling*), ou seja, o escalonamento de um conjunto de parâmetros tecnológicos da fabricação de CIs, dos quais a dimensão dos transistores é o mais simbólico.

Assim, graças ao “escalamento tecnológico” tornou-se possível a concepção de componentes com maior densidade e complexidade, permitindo a implementação de um grande número de funcionalidades em um único chip. Isto possibilitou a expansão do mercado de CIs, estendendo sua utilização para inúmeras aplicações – como computadores, *smartphones*, automóveis, equipamentos biomédicos, satélites e aeronaves, por exemplo.

No setor aeroespacial, em especial, estes dispositivos são indispensáveis. Entretanto, este tipo de aplicação submete os CIs a um ambiente hostil no qual estão sujeitos à radiação ionizante. Esta radiação pode afetar o funcionamento de circuitos eletrônicos através de mecanismos distintos, como os eventos singulares ou *single event effects* (SEEs); os efeitos de dose total ionizante ou *total ionizing dose effects* (TID); e os danos por deslocamento ou *displacement damage* (DD).

A radiação em ambiente espacial, de interesse para aplicações aeroespaciais, é oriunda da radiação cósmica – da qual fazem parte os raios cósmicos galácticos e a atividade solar – e das partículas aprisionadas no campo geomagnético (cinturões de radiação) (Stassinopoulos e Raymond, 1988). Quanto à sua composição, tanto a radiação cósmica como os cinturões de radiação são compostos, principalmente, por prótons, elétrons e íons pesados (Ecoffet, 2007). O impacto de cada uma destas partículas no funcionamento de CIs, contudo, pode ser diferente. Os íons pesados, provenientes, tipicamente, da radiação cósmica, resultam, principalmente, em SEEs. Os elétrons, aprisionados em cinturões de radiação, são responsáveis pelos efeitos de TID e pelos DDs. Por fim, os prótons, oriundos da radiação cósmica e aprisionados nos cinturões de radiação, podem provocar efeitos de TID, DDs e SEEs (Ecoffet, 2007). Não serão abordadas em maiores detalhes, neste trabalho, as origens e a classificação da radiação espacial, podendo ser obtidas informações mais detalhadas nos trabalhos de Stassinopoulos e Raymond (1988), O'sullivan, Bartlett *et al.* (2002), Dorman (2004), Hathaway (2010) e Durante e Cucinotta (2011).

Além de aplicações aeroespaciais, estudos sobre os efeitos de radiação ionizante em circuitos integrados são de interesse, também, para áreas como a física nuclear e de partículas. Diversos estudos, como, por exemplo, os trabalhos de Anelli, Campbell *et al.* (1999), Jarron, Anelli *et al.* (1999) e Gonella, Faccio *et al.* (2007) foram realizados para assegurar a tolerância à radiação de circuitos integrados utilizados no LHC (*Large Hadron Collider*), o acelerador de partículas do CERN (Conselho Europeu de Pesquisa Nuclear).

Contudo, apesar da importância de dispositivos tolerantes aos efeitos de radiação para estas aplicações, eles representam apenas uma pequena parcela do mercado de semicondutores. Por este motivo, torna-se oneroso economicamente o desenvolvimento e fabricação destes componentes. Além disso, componentes já existentes apresentam elevados custos, longos prazos de entrega e, muitas vezes, dado seu caráter estratégico e de defesa, são submetidos a restrições de exportação por parte dos países detentores da tecnologia.

Por este motivo, torna-se importante a caracterização, em função dos efeitos da radiação ionizante, de CIs fabricados por processos comerciais estabelecidos. Esta caracterização possibilita a descrição de modelos de degradação e falha devido à radiação que podem ser utilizados, através de ferramentas de simulação, para estimar o impacto da radiação em uma determinada topologia de circuito. Isto permite, por exemplo, que duas topologias de circuito fabricadas com um mesmo processo tecnológico possam ser comparadas quanto à sua tolerância aos efeitos de dose total durante a etapa de projeto, sem a necessidade de fabricação e teste destes circuitos.

Neste contexto, o objetivo deste trabalho é a caracterização de transistores MOS (*metal-oxide semiconductor*) em função dos efeitos de TID. Para isto, uma matriz de NMOSFETs (transistores MOS de canal tipo-n) e PMOSFETs (transistores MOS de canal tipo-p), fabricada com o processo CMOS 0,35  $\mu\text{m}$  (AMS C35B4), foi submetida a um ensaio de irradiação. Desta forma, é possível mensurar, experimentalmente, o impacto dos efeitos de dose total em parâmetros elétricos de transistores individuais e, posteriormente, através de simulação SPICE (*Simulation Program with Integrated Circuit Emphasis*), estimar o impacto dos efeitos de dose total em circuitos complexos.

Este trabalho é organizado da seguinte forma: o capítulo 2 apresenta uma revisão sobre os efeitos da radiação em dispositivos eletrônicos, subdividindo-os em efeitos de dose total, eventos singulares e danos por deslocamento; o capítulo 3 apresenta um estudo de caso realizado sobre os efeitos de dose total ionizante transistores CMOS tecnologia 0,35  $\mu\text{m}$ ; e, por fim, o capítulo 4 apresenta as conclusões deste trabalho.

## 2 EFEITOS DA RADIAÇÃO EM DISPOSITIVOS ELETRÔNICOS

Dispositivos e circuitos eletrônicos operados em ambientes radioativos estão sujeitos a falhas e a degradação. Os mecanismos de degradação e falha resultantes da exposição à radiação podem ser classificados em efeitos acumulados e efeitos singulares.

Os efeitos acumulados são causados por defeitos relativamente estáveis, que provocam a degradação de parâmetros elétricos do dispositivo. Estes efeitos podem ser divididos em efeitos de dose total ionizante (*total ionizing dose effects*) e danos por deslocamento (*displacement damage*) (Schrimpf, 2007).

Os efeitos de dose total ionizante são resultado, principalmente, do acúmulo de cargas nos dielétricos dos dispositivos semicondutores. Os danos por deslocamento, por outro lado, são provocados pela interação entre uma partícula incidente e a rede cristalina do material semicondutor, danificando sua estrutura.

Os efeitos singulares (*single event effects*) são causados pela incidência de uma partícula ionizante de elevada energia em uma região sensível do circuito ou dispositivo, resultando em eventos transientes. Estes eventos transientes podem resultar em falhas permanentes (*hard errors*), não permanentes (*soft errors*), ou nem mesmo resultar em uma falha.

Este capítulo é dividido da seguinte forma: o subcapítulo 2.1 apresenta os efeitos de dose total ionizante em dispositivos MOS, bem como os mecanismos que produzem os defeitos responsáveis pela degradação de parâmetros elétricos destes dispositivos; o subcapítulo 2.2 apresenta os eventos singulares; e o subcapítulo 2.3 apresenta os danos por deslocamento e seu impacto em dispositivos semicondutores.

### 2.1 Efeitos de Dose Total Ionizante em Dispositivos MOS

A dose total ionizante é o resultado da exposição ao longo do tempo de um determinado corpo à radiação ionizante (Schrimpf, 2007). Esta dose é definida como uma quantidade de energia depositada por radiação ionizante em um corpo por unidade de massa.

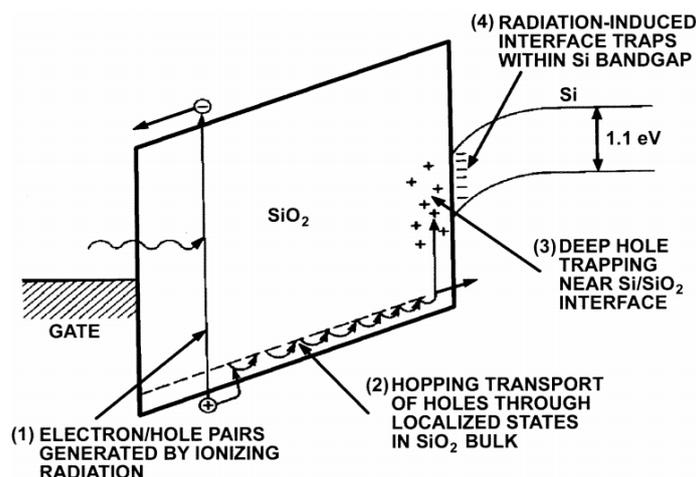
Neste trabalho, a unidade adotada para dose total é o **rad**. O rad é uma unidade do CGS (sistema centímetro-grama-segundo) que equivale a 100 erg/g, sendo 1 erg equivalente a 0,1  $\mu\text{J}$  no MKS (sistema metro-quilograma-segundo). Assim, 100 rad equivalem a um 1 Gy (Gray), ou 1 J/kg no MKS (Stassinopoulos e Raymond, 1988). É importante observar que a absorção de energia depende do material analisado; portanto, deve-se informar a dose em termos do material (Kerris, 1989). Como, no presente trabalho, são recorrentes doses referenciadas ao dióxido de silício, ou seja, **rad(SiO<sub>2</sub>)**, optou-se por omitir a informação do material, utilizando-se apenas **rad**.

A seção a seguir apresenta os principais mecanismos de geração de defeitos no óxido e na interface de dispositivos devido à dose total. As seções posteriores apresentam a degradação de parâmetros de transistores MOS – como tensão de limiar (*threshold voltage*), mobilidade efetiva dos portadores de carga, *subthreshold swing*, ruído 1/f e corrente de fuga – devido a estes defeitos.

### 2.1.1 Efeitos de Dose Total em Óxidos de Dispositivos MOS

Em dispositivos MOS, os efeitos de dose total são decorrentes, principalmente, da interação entre radiação ionizante e as estruturas dielétricas dos dispositivos, como o óxido de porta (*gate oxide*) e o óxido de campo (*field oxide*) (Oldham e Mclean, 2003). Nestas estruturas, a dose total resulta em um acúmulo de cargas positivas em armadilhas no óxido (*oxide-trapped charge*) e na geração de armadilhas de interface (*interface traps*). (Barnaby, 2006).

A Figura 2.1 ilustra o diagrama de bandas de energia de uma estrutura MOS, indicando os mecanismos de geração (1), transporte de lacunas através do óxido (2), o aprisionamento de lacunas (3) e a geração de armadilhas de interface devido à radiação (4), que resultam nos efeitos de TID e que serão discutidos em maiores detalhes nesta seção.



**Figura 2.1:** Diagrama de bandas de energia de uma estrutura MOS, indicando os principais mecanismos físicos envolvidos na resposta à radiação ionizante destes dispositivos. Extraído de Oldham e Mclean (2003).

#### 2.1.1.1 Geração, Recombinação e Transporte de Cargas Geradas no Óxido

A incidência de partículas com elevada energia ou com carga – como fótons, elétrons, prótons e íons pesados – pode provocar a ionização de átomos de um material, produzindo pares elétron-lacuna (Barnaby, 2006). A energia mínima necessária para a geração de um par elétron-lacuna ( $E_P$ ) depende da largura da banda proibida (*bandgap*, em inglês) do material (Barnaby, 2006), podendo uma única partícula ionizante produzir milhares ou milhões de pares (Schwank, 1994).

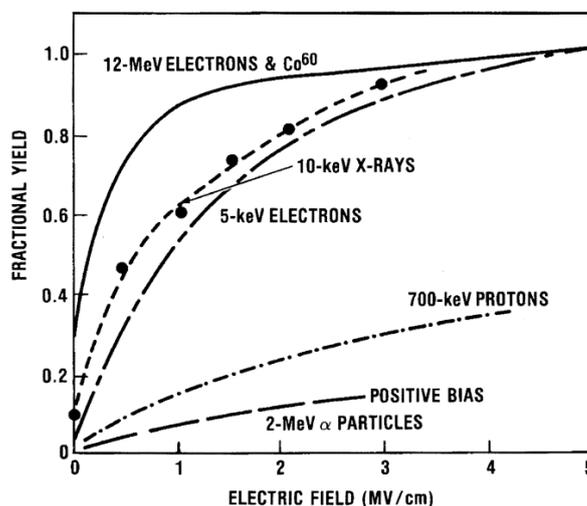
A quantidade de pares elétron-lacuna gerada por rad absorvido pode ser calculada multiplicando-se a densidade do material pela energia depositada por rad (1 rad = 100

erg/s =  $6,24 \times 10^{13}$  eV/g) e dividindo-se por  $E_p$  (Mclean e Oldham, 1987). A Tabela 2.1, extraída do trabalho de Schwank (1994), fornece a energia mínima necessária para geração de um par elétron-lacuna, densidade do material e densidade de pares gerados por rad para o arseneto de gálio (GaAs), silício (Si) e dióxido de silício ( $\text{SiO}_2$ ).

**Tabela 2.1: Energia mínima para geração de um par elétron-lacuna ( $E_p$ ), densidade do material e densidade de pares gerados por um rad. Extraído de Schwank (1994).**

Material	$E_p$ (eV)	Densidade ( $\text{g/cm}^3$ )	Densidade de pares gerados por rad ( $\text{pares/cm}^3$ )
Arseneto de Gálio (GaAs)	$\sim 4,8$	5,32	$\sim 7 \times 10^{13}$
Silício (Si)	3,6	2,328	$4 \times 10^{13}$
Dióxido de Silício ( $\text{SiO}_2$ )	17	2,2	$8,1 \times 10^{12}$

Após a geração, uma fração dos elétrons gerados recombina-se com lacunas (Oldham e Mclean, 2003). A parcela de pares que não sofre recombinação dividida pelo número total de pares gerados é chamado de *fractional charge yield* (Barnaby, 2006). O *fractional charge yield* ou *charge yield* é função, principalmente, da magnitude do campo elétrico aplicado e da transferência linear de energia ou *linear energy transfer* (LET) da partícula incidente que, por sua vez, é função da energia e do tipo da partícula incidente (Oldham e Mclean, 2003). O resultado de recombinação para diferentes partículas incidentes e campos elétricos é apresentado na Figura 2.2. Uma discussão mais profunda sobre os mecanismos de recombinação, bem como sobre os modelos de recombinação colunar e geminado, pode ser obtida no trabalho de (Mclean, Boesch Jr *et al.*, 1989).



**Figura 2.2: Fractional charge yield em função do campo elétrico para diferentes partículas incidentes em óxidos. Extraído de Oldham e Mclean (2003).**

Os elétrons que não sofreram recombinação, não influem de forma significativa no comportamento dispositivo pós-irradiação (Mclean, Boesch Jr *et al.*, 1989). Isso se deve, primeiramente, ao fato de apresentarem elevada mobilidade em comparação às lacunas (Mclean, Boesch Jr *et al.*, 1989) e, por isso, são removidos do óxido em tempos

da ordem de picossegundos (Oldham e Mclean, 2003). Além disso, a taxa de captura de elétrons no dióxido de silício é muito inferior à taxa de captura das lacunas (Mclean, Boesch Jr *et al.*, 1989). Por outro lado, óxidos não térmicos, óxidos que foram alterados por implantação, ou que apresentam impurezas, podem apresentar maior capacidade de aprisionar elétrons (Mclean, Boesch Jr *et al.*, 1989).

As lacunas remanescentes, contudo, apresentam mobilidade muito inferior à dos elétrons, permanecendo no interior do óxido, próximas do seu local de geração (Mclean, Boesch Jr *et al.*, 1989). O seu transporte através do óxido é anômalo e dispersivo, sendo o modelo de transporte *continuous-random-time-walk* (CRTW), proposto por Montroull e Weiss (1965), a melhor descrição para os resultados experimentais (Oldham e Mclean, 2003). Em síntese, o CRTW é um modelo de transporte através de estados localizados em sistemas desordenados (Scher e Lax, 1973)

O processo de transporte de lacunas é sensível, principalmente, à temperatura, ao campo elétrico aplicado e à espessura do óxido (Oldham e Mclean, 2003). Apesar disso, mudanças nestes parâmetros provocam modificações somente na escala temporal do processo, mas não na dispersão ou no formato das curvas (Oldham e Mclean, 2003). Microscopicamente, o mecanismo que melhor explica o transporte de lacunas, considerando características como a dependência da temperatura e do campo elétrico aplicado, é o *small polaron hopping* (Mclean, Boesch Jr *et al.*, 1989).

#### 2.1.1.2 Cargas Aprisionadas no Óxido (*Oxide-Trapped Charge*)

Ao aproximar-se da interface SiO<sub>2</sub>/Si, as lacunas encontram um região de transição, sob estresse mecânico (Mclean, Boesch Jr *et al.*, 1989), onde a oxidação não é completa, existindo vacâncias de oxigênio (Oldham e Mclean, 2003). Estas vacâncias são defeitos neutros existentes em óxidos térmicos que, geralmente, não provocam efeitos significativos no dispositivo. Contudo, quando o dispositivo é irradiado, uma vacância de oxigênio pode capturar uma lacuna, resultando em um defeito positivamente carregado, chamado de centro E', que contribui para a degradação do dispositivo (Nicklaw, Lu *et al.*, 2002).

Basicamente, estas vacâncias de oxigênio são caracterizadas pela ausência de um átomo de oxigênio na estrutura do material, resultando em uma ligação fraca entre dois átomos de silício, cada um deles ligado a outros três átomos de oxigênio (Oldham e Mclean, 2003). Quando uma lacuna é capturada, ela pode dar origem a dois tipos de defeitos: os centros E'<sub>v</sub> e os centros E'<sub>δ</sub> (Barnaby, 2006), apresentados na Figura 2.3 e Figura 2.4, respectivamente.

Nos centros E'<sub>v</sub>, de acordo com o modelo proposto por Feigl, Fowler *et al.* (1974), a captura de uma lacuna provoca a relaxação assimétrica da estrutura. Este tipo de defeito apresenta níveis de energia superiores a 3,0 eV em relação a banda de valência do SiO<sub>2</sub> e concentra-se, principalmente, nas proximidades da interface SiO<sub>2</sub>/Si (Barnaby, 2006).

Nos centros E'<sub>δ</sub>, a captura de uma lacuna provoca a relaxação simétrica da estrutura, com o compartilhamento de um único elétron pelos dois átomos de silício (Nicklaw, Lu *et al.*, 2002). Estes defeitos apresentam níveis de energia normalmente inferiores a 1,0 eV, mais rasos do que os centros E'<sub>v</sub> (Barnaby, 2006).

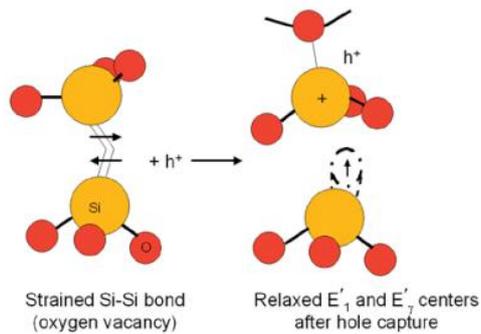


Figura 2.3: Modelo de captura de uma lacuna para formação de um centro  $E'_\nu$ . Extraído de Nicklaw, Lu et al. (2002).

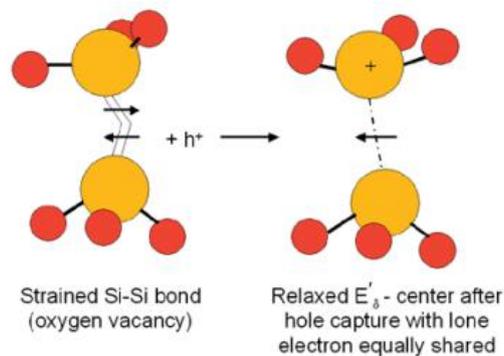


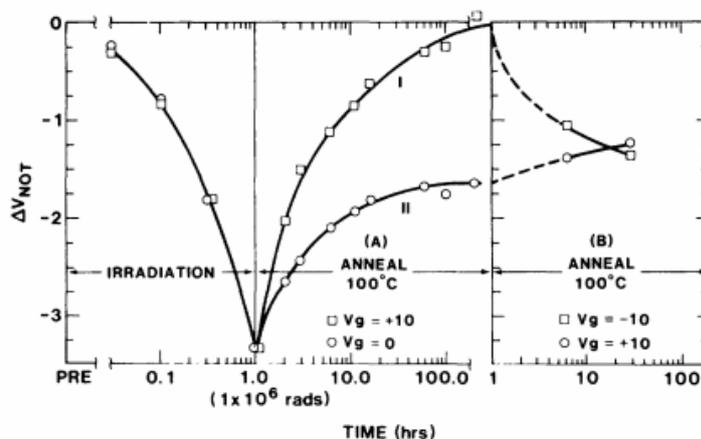
Figura 2.4: Modelo de captura de uma lacuna para formação de um centro  $E'_\delta$ . Extraído de Nicklaw, Lu et al. (2002).

Embora ambos os centros possam emitir e capturar carga da camada de silício adjacente, determinados centros  $E'_\nu$  apresentam uma baixa probabilidade de emissão e captura. Por este motivo, estes defeitos são tratados como uma carga “fixa”, aprisionada no óxido (*oxide-trapped charge*) (Barnaby, 2006).

Por outro lado, outros centros apresentam elevada probabilidade de emitir e capturar cargas. Assim, seu impacto nos parâmetros DC de transistores CMOS difere do impacto causado pelas cargas aprisionadas no óxido (*oxide-trapped charge*) (Barnaby, 2006). Estas armadilhas são chamadas de *border traps* (Fleetwood, 1992) ou *switching oxide traps* (Lelis e Oldham, 1994), e são discutidas em maiores detalhes na subseção 0.

As cargas aprisionadas no óxido são relativamente estáveis, sofrendo recozimento (*annealing*) por processos de tunelamento e de excitação térmica que pode durar horas ou anos (Oldham e Mclean, 2003). Contudo, diversos estudos (Schwank, Winokur *et al.*, 1984; Dozier, Brown *et al.*, 1985; Oldham, Lelis *et al.*, 1986) observaram que, embora as cargas aprisionadas no óxido pudessem ser eliminadas através de um recozimento suficientemente longo do dispositivo sob polarização direta, ao aplicar-se polarização reversa no dispositivo, uma fração destas cargas era recuperada. Isto significa que, embora uma parcela das cargas seja efetivamente removida pelo recozimento, a fração restante é apenas neutralizada por um processo de compensação (Oldham e Mclean, 2003). Este processo de recozimento reverso, ou *reverse annealing*, é mostrado na Figura 2.5.

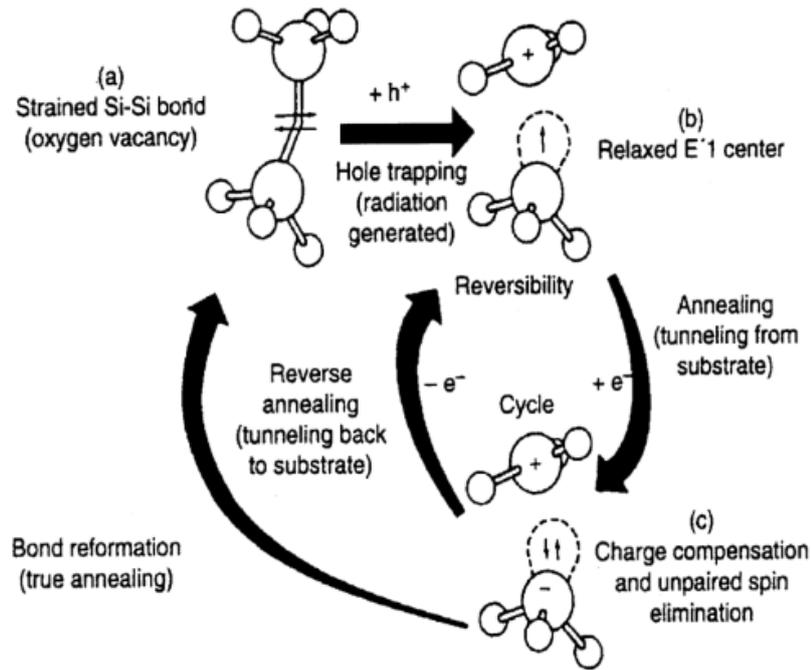
Na Figura 2.5 são apresentados os processos de irradiação e recozimento de um NMOSFET. Durante a irradiação, o desvio na tensão de limiar do transistor devido às cargas aprisionadas no óxido ( $\Delta V_{\text{NOT}}$ ) é negativo, indicando um aumento da densidade de cargas positivas aprisionadas no óxido. Quando o dispositivo é recozido com uma tensão positiva aplicada à porta ( $V_{\text{GS}} > 0$ ),  $\Delta V_{\text{NOT}}$  aumenta, indicando a neutralização destas cargas positivas. Contudo, quando o dispositivo é recozido com uma tensão negativa aplicada à porta ( $V_{\text{GS}} < 0$ ), observa-se nova redução da tensão de limiar. Isto significa que, mesmo sem nova irradiação, aplicando-se um potencial negativo à porta do transistor durante o recozimento, há um aumento da densidade de cargas positivas aprisionadas no óxido, indicando que os defeitos não foram efetivamente eliminados durante o recozimento, apenas compensados. Este aumento da densidade de cargas positivas aprisionadas no óxido quando o dispositivo é recozido com tensão negativa aplicada à porta é chamado de recozimento reverso.



**Figura 2.5:** Efeito do recozimento reverso no desvio da tensão de limiar de um transistor provocado pelas cargas aprisionadas no óxido. Extraído de Schwank, Winokur et al., (1984).

A Figura 2.6 exhibe o modelo proposto por Lelis, Boesch *et al.* (1988) para explicar este recozimento reverso. A transição de (a) para (b) consiste no processo de formação de um centro  $E'_v$  devido à captura de uma lacuna; a transição de (b) para (c), proposta por Lelis, Boesch *et al.* (1988), consiste na emissão de um elétron do substrato e sua captura pelo centro  $E'_v$ , formando um dipolo (i.e. um átomo de silício negativamente carregado adjacente a um átomo de silício positivamente carregado). Se estes átomos estiverem suficientemente próximos, a atração de Coulomb permitiria sua aproximação e o reestabelecimento da ligação atômica entre eles, resultando na transição (c) para (a); entretanto, se a distância entre eles for suficientemente grande, o dipolo seria uma estrutura metaestável, permitindo a troca de cargas com o substrato, resultando na transição (c) para (b) (Oldham, 2004).

Finalmente, é importante observar que o aprisionamento de elétrons em armadilhas no óxido – resultando em carga “fixa” negativa – não é significativo no  $\text{SiO}_2$ . Assim, a carga líquida acumulada no óxido devido aos efeitos de dose total é, tipicamente, positiva e proporcional à espessura do óxido (McLean, Boesch Jr *et al.*, 1989; Barnaby, 2006). Isto significa que óxidos mais espessos, quando irradiados, apresentam uma densidade maior de lacunas aprisionadas.



**Figura 2.6: Modelo de captura de uma lacuna para formação de um centro  $E'$ , considerando recozimento permanente e processo de compensação. Extraído de Oldham e Mclean (2003).**

### 2.1.1.3 Border Traps ou Switching Oxide Traps

*Border traps* ou *switching oxide traps* são defeitos no interior do óxido que permitem a captura e emissão de cargas da camada semicondutora adjacente (Fleetwood, 1992). Os efeitos deste tipo de armadilha nos parâmetros DC de dispositivos CMOS dependem da polarização do dispositivo e diferem dos efeitos causados pelas cargas “fixas” aprisionadas no óxido (*oxide-trapped charge*) (Barnaby, 2006; Grasser, Kaczer *et al.*, 2011).

Inicialmente, Mcwhorter (1957) atribuiu o processo de ocupação e desocupação destas armadilhas ao tunelamento elástico de portadores, atribuindo constantes de tempo de captura e emissão às armadilhas de acordo com sua distância em relação à interface Si/SiO<sub>2</sub>. Contudo, o trabalho de Campbell, Qin *et al.* (2009) demonstra que, em óxidos muito finos, as constantes de captura e emissão são incompatíveis com o modelo de tunelamento elástico. Além disso, o trabalho de Nagumo, Takeuchi *et al.* (2010) indica que as constantes de tempo de captura e emissão não apresentam correlação com a distância da armadilha em relação à interface. Por este motivo, o trabalho de Grasser, Kaczer *et al.* (2011) propõe um modelo baseado em processos inelásticos e no modelo de centros  $E'$ .

Desta forma, centros  $E'_\delta$  permitem a captura e emissão de lacunas, afetando principalmente PMOSFETs (Fleetwood, Xiong *et al.*, 2002). Centros  $E'_\gamma$ , conforme apresentado na Figura 2.6, formam um dipolo metaestável, que permite a captura e emissão de elétrons (Oldham, 2004), afetando NMOSFETs e PMOSFETs (Fleetwood, Xiong *et al.*, 2002).

De acordo com Oldham (2004), o dipolo proposto por Lelis, Boesch *et al.* (1988), apresentado anteriormente, domina os efeitos de *border traps*. Além disso, este modelo permanecia, até 2003, como o único modelo confirmado experimentalmente de *border trap* para o sistema Si/SiO<sub>2</sub> (Oldham e Mclean, 2003).

#### 2.1.1.4 Armadilhas de Interface (Interface Traps)

Armadilhas de interface (*interface traps*, *interface states* ou *surface states*) são níveis energéticos possíveis no interior da banda proibida do silício, localizadas na interface  $\text{SiO}_2/\text{Si}$  (Winokur, 1989). Assim como as *border traps*, as armadilhas de interface permitem a captura e emissão de portadores da camada semicondutora adjacente (Barnaby, 2006).

Estas armadilhas são resultado de ligações incompletas (*dangling bonds*) de átomos de silício durante o processo de oxidação térmica, devido à escassez de oxigênio (ou, analogamente, abundância de silício) na interface  $\text{SiO}_2/\text{Si}$  (Winokur, 1989). Estas ligações incompletas resultam em defeitos chamados de centros  $\text{P}_{b0}$  e  $\text{P}_{b1}$ . Os centros  $\text{P}_{b0}$  são mais abundantes e apresentam impacto maior do que os centros  $\text{P}_{b1}$  (Barnaby, 2006).

Centros  $\text{P}_{b0}$  são caracterizados por um átomo de silício trivalente ligado a outros três átomos de silício e com uma ligação incompleta estendendo-se para o interior do óxido (Oldham e Mclean, 2003), sendo também descritos como defeitos  $\cdot\text{Si} \equiv \text{Si}_3$  (Poindexter e Caplan, 1983). Estes defeitos estão presentes em silício (111), (110) e (100) (Barnaby, 2006). Em silício (111), este defeito é apresentado esquematicamente na Figura 2.7.

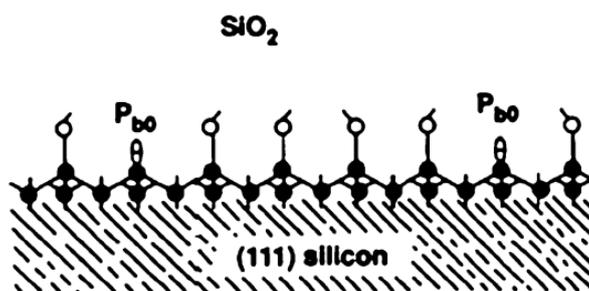


Figura 2.7: Centros  $\text{P}_{b0}$  em silício (111). Extraído de Poindexter e Caplan (1983).

Os centros  $\text{P}_{b1}$ , por outro lado, são caracterizados por um átomo de silício ligado a outros dois átomos de silício e a um único oxigênio, com uma ligação incompleta remanescente, sendo também descritos como defeitos  $\cdot\text{Si} \equiv \text{Si}_2\text{O}$  (Poindexter e Caplan, 1983). Apenas silício (110) e (100) apresentam estes defeitos, não ocorrendo, portanto, em silício (111) (Poindexter e Caplan, 1983). A Figura 2.8 apresenta, esquematicamente, os centros  $\text{P}_{b0}$  e  $\text{P}_{b1}$  em silício (100).

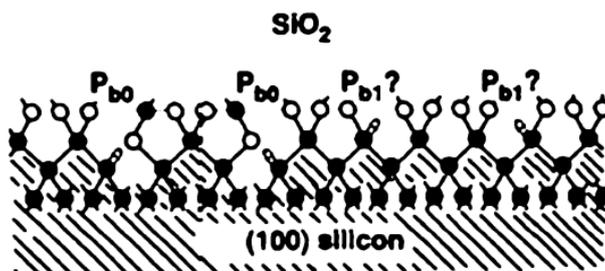
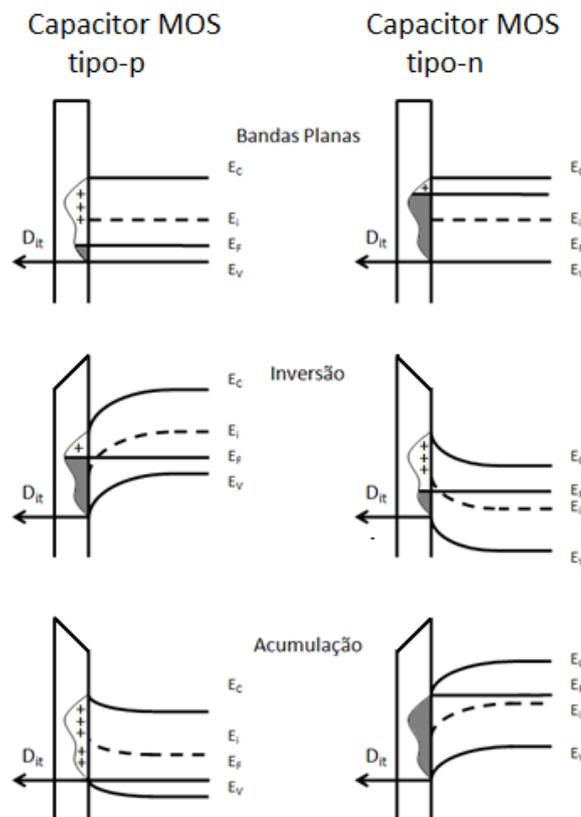


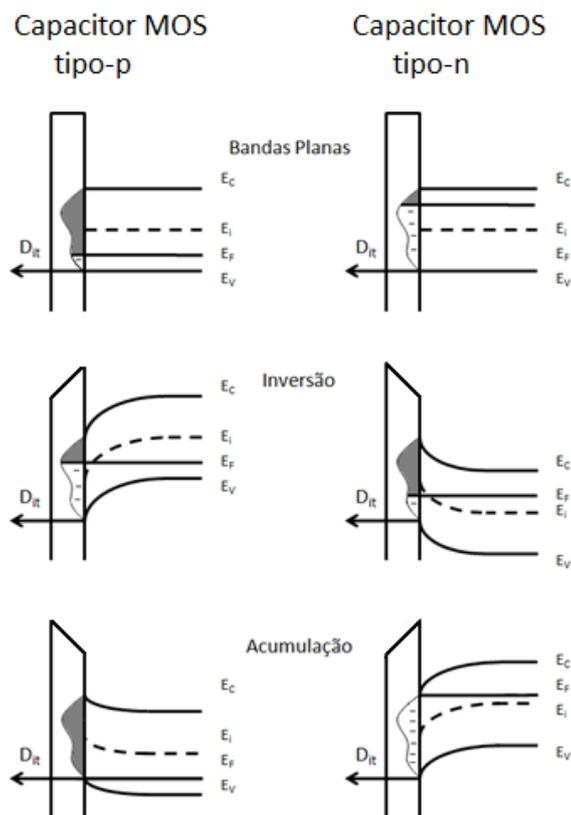
Figura 2.8: Centros  $\text{P}_{b0}$  e  $\text{P}_{b1}$  em silício (100). Extraído de Poindexter e Caplan (1983).

As armadilhas de interface podem assumir cargas líquidas positivas, negativas ou neutras. De acordo com seus estados possíveis, estas armadilhas são classificadas como doadoras (*donors*) ou aceitadoras (*acceptors*). As armadilhas doadoras são neutras quando se localizam abaixo do nível de Fermi, emitindo um elétron e tornando-se positivas quando deslocadas acima do nível de Fermi. Por outro lado, as armadilhas aceitadoras são neutras quando se localizam acima do nível de Fermi, tornando-se negativas ao aceitar um elétron quando deslocadas para baixo do nível de Fermi (Winokur, 1989). Isto significa que, de acordo com o potencial aplicado à porta do dispositivo, estas armadilhas deslocam para cima e para baixo do nível de Fermi, modificando a carga das armadilhas. Este comportamento das armadilhas de interface pode ser observado na Figura 2.9 e Figura 2.10, para armadilhas doadoras e aceitadoras, respectivamente. Nestas figuras,  $D_{it}$  é a densidade de armadilhas de interface em função da energia;  $E_c$  e  $E_v$  são os níveis energéticos das bandas de condução e valência, respectivamente;  $E_F$  é o nível de Fermi do semiconductor; e  $E_i$  é o nível de Fermi do semiconductor intrínseco.

Através das figuras é possível observar que quando um capacitor tipo-n está em inversão – ou seja, a situação de condução de um PMOSFET – as armadilhas de interface doadoras, de carga positiva, dominam os efeitos de armadilhas de interface. Da mesma forma, quando um capacitor tipo-p está em inversão – ou seja, a situação de condução de um NMOSFET – as armadilhas de interface aceitadoras, de carga negativa, dominam os efeitos de armadilhas de interface.



**Figura 2.9:** Armadilhas de interface (assumindo somente armadilhas doadoras) e carga para capacitores MOS tipo-p e tipo-n em situação de banda plana, inversão e acumulação. Adaptado de Ma e Dressendorfer (1989).



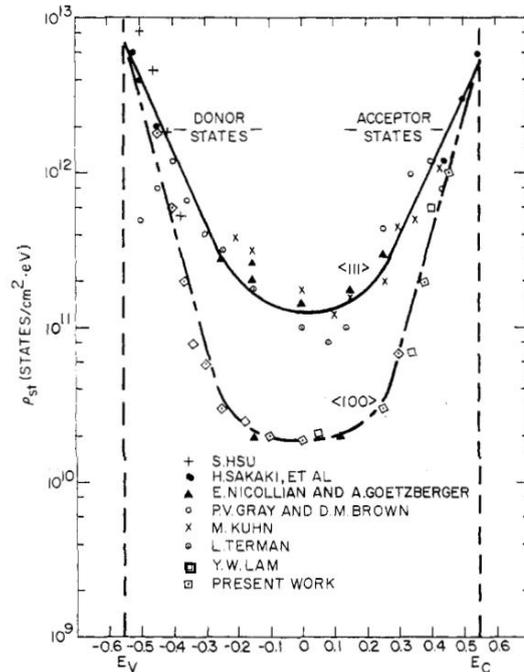
**Figura 2.10: Armadilhas de interface (assumindo somente armadilhas aceitadoras) e cargas para capacitores MOS tipo-p e tipo-n em situação de banda plana, inversão e acumulação.**

Além disso, é aceito na literatura que armadilhas de interface são predominantemente aceitadoras na metade superior da banda proibida do semiconductor, e doadoras na metade inferior da banda proibida (Ma e Dressendorfer, 1989; Winokur, 1989; Schwank, Shaneyfelt *et al.*, 2008). A distribuição destas armadilhas no interior da banda proibida é contínua e em formato de U (*U-shaped*). Isto significa que, em silício termicamente oxidado, a densidade de armadilhas de interface apresenta um mínimo próximo do centro da banda proibida e cresce em direção às bandas de condução e valência (Winokur, 1989), como apresentado na Figura 2.11.

Dispositivos expostos à radiação ionizante estão sujeitos à geração de armadilhas de interface. A distribuição destas armadilhas no interior da banda proibida do silício é, também, em formato de U (*U-shaped*), embora apresente picos localizados, dos quais o mais proeminente localiza-se, aproximadamente, 0,2 eV acima da metade da banda proibida (Winokur, 1989).

De acordo com Oldham e Mclean (2003), embora exista controvérsia sobre o mecanismo preciso de geração das armadilhas de interface por radiação ionizante, é possível que o precursor deste defeito seja um átomo de silício ligado a outros três átomos de silício e a um átomo de hidrogênio. Quando a ligação Si – H é quebrada, o silício permanece com uma ligação incompleta (*dangling bond*), formando os defeitos  $P_{b0}$  e  $P_{b1}$  apresentados anteriormente.

O número de armadilhas de interface geradas em um dispositivo dependerá de fatores como a dose total absorvida; o campo elétrico aplicado; a espessura do óxido; e



**Figura 2.11: Densidade de armadilhas de interface em silício (100) e (111) termicamente oxidado. Extraído de White e Cricchi (1972).**

o material de porta do dispositivo. Por outro lado, não se observa dependência de fatores como taxa de dose e temperatura (Winokur, 1989).

#### 2.1.1.5 Efeitos de Dose Total em Dispositivos e Óxidos Alternativos

Com a redução da espessura do dielétrico de porta devido ao *scaling* dos dispositivos MOS, estas estruturas tornarem-se menos vulneráveis aos efeitos de dose total ionizante, uma vez que a densidade de defeitos acumulado devido à dose total é proporcional à espessura do dielétrico. Mais ainda, em dielétricos muito finos, estes defeitos apresentam elevada probabilidade de serem neutralizados por emissão térmica e tunelamento de portadores do material adjacente (Barnaby, Mclain *et al.*, 2007; Dodd, Shaneyfelt *et al.*, 2010).

Por este motivo, os efeitos de dose total em circuitos CMOS modernos são, principalmente, resultado da degradação dos dielétricos de campo e isolamento, como *Shallow Trench Isolation* (STI) e *Pre-Metal Dielectric* (PMD) (Gaillardin, Goiffon *et al.*, 2013). Estes dielétricos são mais espessos que o dielétrico de porta e, portanto, apresentam um número maior de defeitos quando irradiados.

A degradação destes óxidos devido à radiação resulta no aumento da corrente estática de circuitos CMOS, através de caminhos de fuga entre dreno e fonte de um mesmo transistor; e entre regiões de dispositivos distintos (e.g. dreno e fonte de NMOSFETs distintos ou fonte de um NMOSFET e o poço-n de um PMOSFET). (Barnaby, Mclain *et al.*, 2007). O aumento da corrente de fuga devido aos efeitos de dose total é discutido em detalhes na seção 2.1.3.

Já a tecnologia *Silicon-on-Insulator* (SOI) consiste na fabricação do dispositivo sobre uma camada de óxido enterrado (*buried oxide* ou BOX). Utilizada há algumas décadas em aplicações tolerantes à radiação, a tecnologia SOI permite a isolação

elétrica individual de transistores, tornando-a imune ao *latchup*. Além disso, estes dispositivos apresentam maior tolerância a determinados eventos singulares devido a menor área de sua junção *pn* comparativamente aos dispositivos *bulk*. Por outro lado, o acúmulo de cargas positivas no BOX pode resultar em um aumento da corrente de fuga em NMOSFET, devido à formação de um canal entre fonte e dreno na proximidade da interface entre o BOX e o semiconductor (Schwank, Ferlet-Cavrois *et al.*, 2003). Por este motivo, transistores MOS modernos fabricados com tecnologia *fully depleted silicon-on-insulator* (FDSOI) têm apresentado maior susceptibilidade aos efeitos de TID quando comparados aos dispositivos *bulk* (Barnaby, 2006).

Por fim, embora a discussão abordada, até então, neste subcapítulo tenha centrado nos efeitos de dose total no dióxido de silício, tecnologias CMOS modernas requerem a utilização de dielétricos alternativos de elevada constante dielétrica, ou *high-k*, como dielétrico de porta. Estes materiais surgem como alternativa para a contínua redução dos dispositivos, sem incremento de sua corrente de fuga através do dielétrico de porta.

Estes materiais podem, porém, apresentar comportamentos distintos em relação ao SiO<sub>2</sub> quando irradiados. O trabalho de Kang, Lenahan *et al.* (2002), por exemplo, indica que a interface HfO<sub>2</sub>/Si não apresenta geração significativa de armadilhas de interface quando irradiada; mais ainda, observou-se elevada quantidade de cargas negativas aprisionadas no HfO<sub>2</sub>. Estes comportamentos diferem dos observados para o SiO<sub>2</sub> e para a interface SiO<sub>2</sub>/Si apresentados anteriormente nas subseções 2.1.1.2 e 2.1.1.4.

Além disso, os materiais *high-k* como dielétricos de porta permitem a utilização de dielétricos mais espessos em comparação ao SiO<sub>2</sub> para uma mesma capacitância de porta. Devido à relação entre a espessura do dielétrico e o acúmulo de cargas em armadilhas, os efeitos de dose total são mais significativos em dielétricos mais espessos. Desta forma, existe a preocupação de que a utilização de dielétricos *high-k* degrade a resposta à radiação de dispositivos (Felix, Schwank *et al.*, 2004).

### 2.1.2 Desvios da Tensão de Limiar

Os desvios da tensão de limiar (*threshold voltage*) são provocados pelo efeito eletrostático das cargas aprisionadas no óxido e na interface dielétrico/semiconductor de dispositivos MOS. Embora fosse o efeito dominante em tecnologias antigas, o desvio da tensão de limiar é menos significativo em tecnologias modernas, nas quais o dielétrico de porta é bastante fino. Apesar disso, em tecnologias modernas, estes desvios afetam transistores parasitas do dispositivo, resultando em um aumento de sua corrente de fuga (Schrimpf, 2007).

Estes desvios podem ser modelados em função do potencial elétrico produzido pelas cargas, de acordo com a equação (2.1), onde  $\Delta V_T$  é a variação da tensão de limiar do dispositivo,  $\Delta V_{ot}$  é a variação da tensão de limiar provocada pelas cargas aprisionadas no óxido e  $\Delta V_{it}$  é a variação da tensão de limiar provocada pelas armadilhas de interface.

$$\Delta V_T = \Delta V_{ot} + \Delta V_{it} \quad (2.1)$$

Para dispositivos MOS cujo dielétrico é o dióxido de silício (SiO<sub>2</sub>), as cargas aprisionadas no óxido são, tipicamente, positivas, tanto para PMOSFETs como para NMOSFETs. Por isso, para ambos os dispositivos, o desvio da tensão de limiar provocado por estas cargas ( $\Delta V_{ot}$ ) é negativo (Schrimpf, 2007). Para NMOSFETs,  $\Delta V_{ot}$

negativo significa uma redução da tensão de limiar, ou seja, o dispositivo é mais facilmente ligado. Em contrapartida, para PMOSFETs,  $\Delta V_{ot}$  negativo significa um aumento da tensão de limiar, ou seja, torna-se mais difícil ligar o dispositivo.

É importante observar, contudo, que dielétricos alternativos podem se comportar de forma diferente quando expostos à radiação ionizante. O trabalho de Kang, Lenahan *et al.* (2002), por exemplo, indica que o óxido de háfnio ( $\text{HfO}_2$ ), quando irradiado, apresenta elevada quantidade de cargas negativas aprisionadas no óxido. Neste caso, o desvio da tensão de limiar será positivo.

As cargas relativas às armadilhas de interface, como apresentado na subseção 2.1.1.4, dependem da polarização do dispositivo. Para NMOSFETs, quando o dispositivo é operado na região de inversão, o nível de Fermi encontra-se próximo da banda de condução na interface dielétrico/semicondutor. Desta forma, todos os níveis doadores abaixo do nível de Fermi encontram-se neutralizados, ao passo que todos os níveis aceitadores encontram-se negativamente carregados. Isto pode ser visualizado no capacitor MOS tipo-p apresentado na Figura 2.9 e Figura 2.10, respectivamente. Por este motivo, em NMOSFETs, a carga aprisionada em armadilhas de interface é tipicamente negativa e, portanto, o desvio da tensão de limiar é positivo.

Para PMOSFETs, quando o dispositivo é operado na região de inversão, o nível de Fermi encontra-se próximo da banda de valência na interface. Desta forma, todos os níveis doadores acima do nível de Fermi encontram-se positivamente carregados, ao passo que todos os níveis aceitadores encontram-se neutralizados. Isto pode ser visualizado no capacitor MOS tipo-n apresentado na Figura 2.9 e Figura 2.10, respectivamente. Por este motivo, em PMOSFET, a carga aprisionada em armadilhas de interface é tipicamente positiva e, portanto, o desvio da tensão de limiar é negativo.

Isto significa que, para PMOSFETs, ambos os mecanismos de aprisionamento de cargas contribuem com desvios negativos para a tensão de limiar, ou seja, elevando em módulo o valor de  $V_T$ . Em contrapartida, para NMOSFETs, as cargas positivas aprisionadas no óxido contribuem com desvios negativos para a tensão de limiar; contudo, as armadilhas de interface, cuja carga é negativa, contribuem com desvios positivos para a tensão de limiar. Esta contribuição distinta para o desvio da tensão de limiar em NMOSFETs, mostrada na Figura 2.12 e Figura 2.13, pode resultar em um efeito chamado de “*super-recovery*” ou “*rebound*” (Ma e Dressendorfer, 1989; Oldham e Mclean, 2003).

O efeito de “*super-recovery*” ou “*rebound*” é caracterizado pela redução da tensão de limiar de um NMOSFET durante um determinado período da irradiação, seguido uma por uma elevação desta tensão de limiar, como mostrado na Figura 2.14. Isto ocorre porque a constante de tempo de formação das armadilhas de interface é longa; assim, em instantes relativamente curtos de tempo, as armadilhas no óxido dominam o comportamento do dispositivo. Contudo, estas armadilhas tendem a ser compensadas ou recozidas ao longo do tempo, como proposto no modelo de Lelis, Boesch *et al.* (1988), apresentado na Figura 2.6. Quando isto ocorre, as armadilhas de interface, que não sofrem recozimento significativo em temperaturas abaixo de 100 °C (Winokur, 1989), passam a dominar a resposta do dispositivo. Este comportamento das armadilhas de óxido e interface durante o recozimento pode ser visualizado na Figura 2.13.

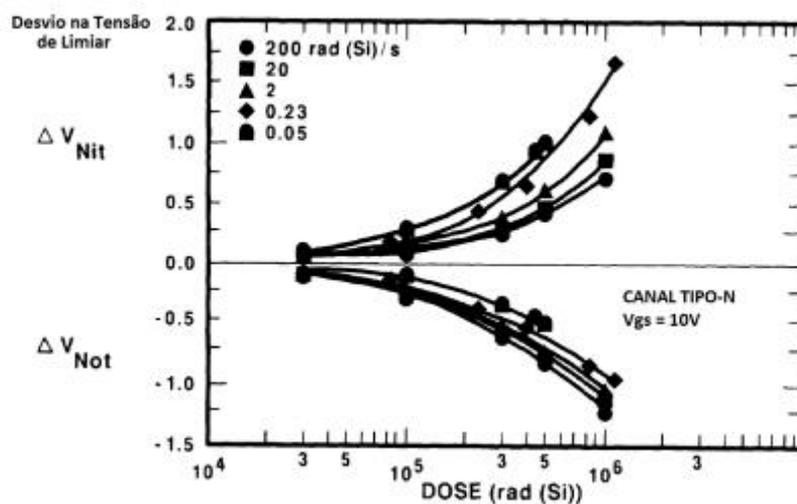


Figura 2.12: Contribuição das cargas aprisionadas no óxido e na interface para o desvio da tensão de limiar de um NMOSFET (tecnologia 4/3  $\mu\text{m}$ ). Extraído de Winokur, Sexton et al. (1987).

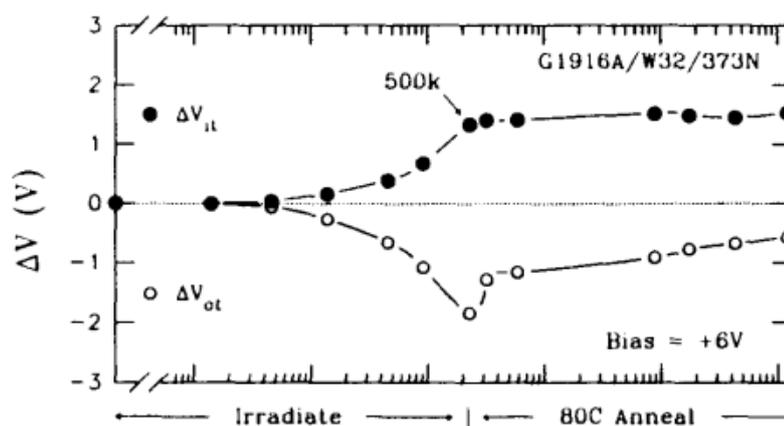


Figura 2.13: Contribuição das cargas aprisionadas no óxido e na interface para o desvio da tensão de limiar de um NMOSFET com óxido de porta de 48 nm. Extraído de Meisenheimer e Fleetwood (1990)

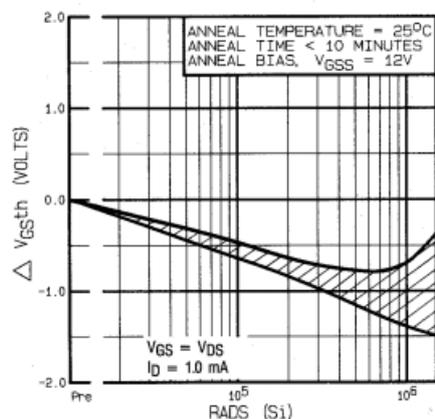


Figura 2.14: "Super recovery" ou "rebound" em um NMOSFET de potência (IRH7130). Extraído de International Rectifier (2001).

PMOSFETs não apresentam “*super-recovery*” ou “*rebound*” porque ambos os mecanismos de degradação da tensão de limiar atuam negativamente em  $V_T$ .

É importante observar que, como as densidades de cargas aprisionadas no óxido e na interface são, normalmente, independentes da taxa de dose (Fleetwood, Winokur *et al.*, 1988), o desvio na tensão de limiar é, também, independente. Embora isto contrarie, a princípio, o resultado observado na Figura 2.12, é importante observar que, para a

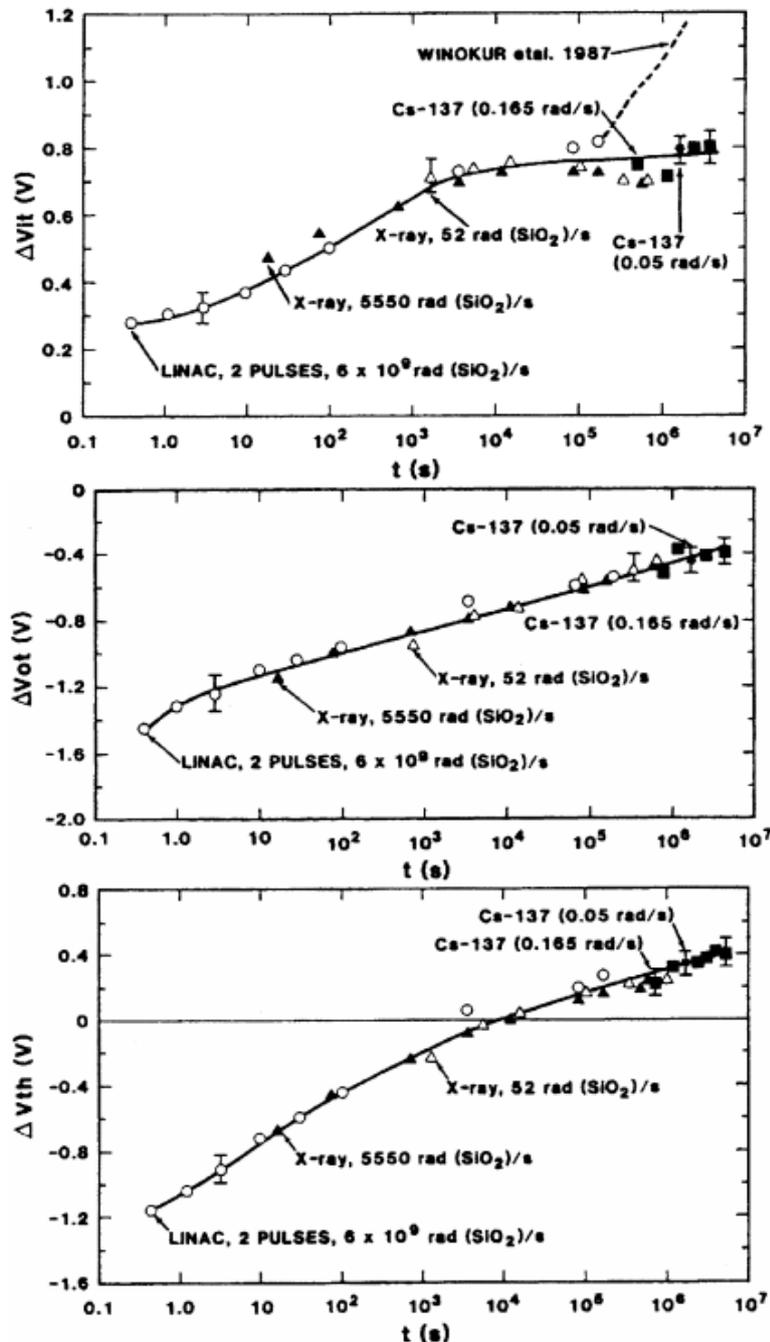


Figura 2.15: Resultado do recozimento em  $\Delta V_{it}$ ,  $\Delta V_{ot}$  e  $\Delta V_{th}$  de um NMOSFET, para uma mesma dose total e diferentes taxas de dose, evidenciando a ausência de efeitos de taxa de dose na tensão de limiar. Extraído de Fleetwood, Winokur et al. (1988).

obtenção de uma mesma dose total, diferentes experimentos com diferentes taxas de dose requerem diferentes tempos de exposição. Como os processos de geração e neutralização de armadilhas no óxido e na interface são fortemente dependentes da variável tempo, o que se observa na tensão de limiar são efeitos aparentes da taxa de dose. Portanto, mesmo irradiando-se dispositivos semelhantes com diferentes taxas de dose, para uma mesma dose total e mesmo tempo de experimento (irradiação e recozimento), a resposta destes dispositivos será a mesma (Oldham e Mclean, 2003). A Figura 2.15 mostra o comportamento do desvio da tensão de limiar ( $\Delta V_{th}$ ) e das contribuições das armadilhas no óxido ( $\Delta V_{ot}$ ) e na interface ( $\Delta V_{it}$ ) em função da taxa de dose e do tempo, onde é possível observar que a taxa de dose não afeta a tensão de limiar. Por outro lado, o campo elétrico aplicado durante a irradiação e recozimento do dispositivo afeta diretamente o comportamento da tensão de limiar.

### 2.1.3 Aumento da Corrente de Fuga

Os efeitos de dose total ionizante podem provocar o aumento das correntes de fuga em dispositivos MOS. Estas correntes podem estar associadas à degradação da inclinação de sublimiar do transistor, aumentando o *subthreshold swing*, à degradação do óxido de campo do dispositivo, ou ainda, à formação de armadilhas no dielétrico de porta, resultando na corrente de fuga induzida por radiação (*radiation induced leakage current* ou RILC). O aumento destas correntes pode resultar em elevada dissipação de potência; falhas funcionais (Schrimpf, 2007); e perda de dados armazenados em memórias, como *flash* (Oldham, Chen et al., 2011) e DRAM (*dynamic random access memory*).

#### 2.1.3.1 Degradação do Subthreshold Swing

O *subthreshold swing* é definido como a variação necessária na tensão de porta de um transistor ( $V_G$ ) para uma variação da corrente de dreno ( $I_D$ ) de uma ordem de magnitude, conforme a expressão (2.2), onde  $C_{ox}$  é a capacitância de óxido,  $C_D$  é a capacitância da zona de depleção e  $C_{it}$  é a capacitância associada às armadilhas de interface (Sze e Ng, 2006).

$$S \equiv \ln(10) \left[ \frac{\partial \ln(I_D)}{\partial V_G} \right]^{-1} = \ln(10) \left( \frac{kT}{q} \right) \left( \frac{C_{ox} + C_D + C_{it}}{C_{ox}} \right) \quad (2.2)$$

Para um transistor MOS planar ideal, ou seja, desconsiderando-se a capacitância de depleção e das armadilhas de interface, o valor mínimo de  $S$  é, aproximadamente, 60 mV/década à temperatura ambiente (Rabaey, 1996). Contudo, com os efeitos de dose total, a densidade de armadilhas de interface do dispositivo aumenta, elevando, portanto, a capacitância associada às armadilhas de interface.

Desta forma, conforme a expressão (2.2), com o aumento de  $C_{it}$  há, também o aumento do *subthreshold swing*,  $S$ , degradando a inclinação da curva na região de sublimiar (inclinação de sublimiar). Com isso, o dispositivo desligará de forma mais lenta, aumentando sua corrente de sublimiar, como mostrado na Figura 2.16.

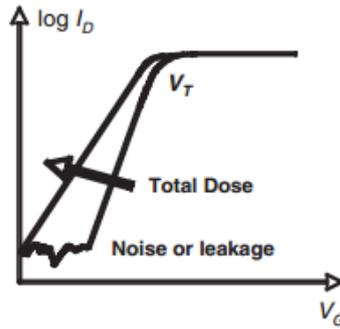


Figura 2.16: Curva  $I_D \times V_{GS}$  mostrando os efeitos de dose total na região de sublimiar. Extraído de (Schrimpf, 2007).

### 2.1.3.2 Degradação dos Óxidos de Campo

Óxidos de campo são estruturas espessas utilizadas para isolar transistores em um circuito integrado, suprimindo correntes de fuga entre dispositivos. Estes óxidos de campo são, tipicamente, fabricados através de processos de oxidação local do silício (*local oxidation of silicon* ou LOCOS) em tecnologias antigas – de  $0,5 \mu\text{m}$  ou maiores – ou *shallow trench isolation* (STI) em tecnologias modernas (Baker, 2010).

Por se tratarem de estruturas espessas, estes óxidos são bastante suscetíveis ao acúmulo de cargas devido aos efeitos de dose total. Como observado na subseção 2.1.1.5, em tecnologias modernas, estas estruturas dominam a resposta de dispositivos aos efeitos de TID.

Estas estruturas isolantes formam, com a camada semicondutora adjacente, transistores parasitas chamados de FOXFETs (*field oxide field effect transistor*). Idealmente, estes transistores não permitem a condução de corrente; contudo, o acúmulo de cargas positivas nestas estruturas, quando expostas à radiação ionizante, reduz a tensão de limiar dos FOXFETs de canal tipo-n, tornando-os elementos ativos do circuito (Schlenvogt, Barnaby *et al.*, 2010). Em FOXFETs fabricados através do processo LOCOS, a corrente de fuga ocorre, principalmente, devido ao acúmulo de cargas na região chamada de bico de pássaro (*bird's beak*) (Brisset, Ferlet-Cavrois *et al.*, 1996), apresentada na Figura 2.17.

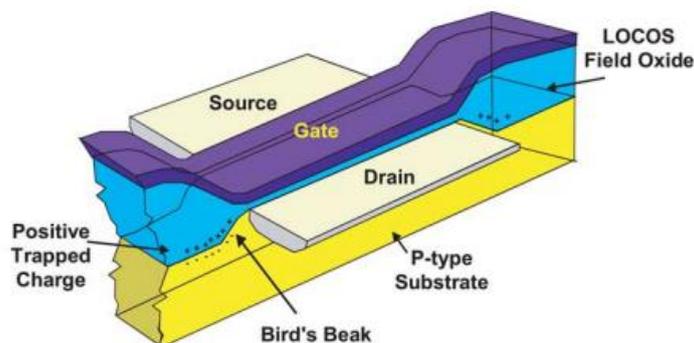


Figura 2.17: Região de bico pássaro em um transistor MOS (Schwank, Shaneyfelt *et al.*, 2008).

Assim, os efeitos de dose total nos FOXFETs parasitas permitem a formação de caminhos condutivos para a corrente de fuga. Estes caminhos podem ser entre regiões

de um mesmo dispositivo (fonte e dreno de um NMOSFET) ou entre regiões de dispositivos distintos (fonte e dreno ou fonte e poço de diferentes dispositivos) (Barnaby, 2006).

As figuras Figura 2.18 e Figura 2.19 apresentam caminhos de condução através de FOXFETs irradiados entre fonte e dreno de NMOSFETs distintos e entre fonte de um NMOSFET e poço-n de um PMOSFET, respectivamente.

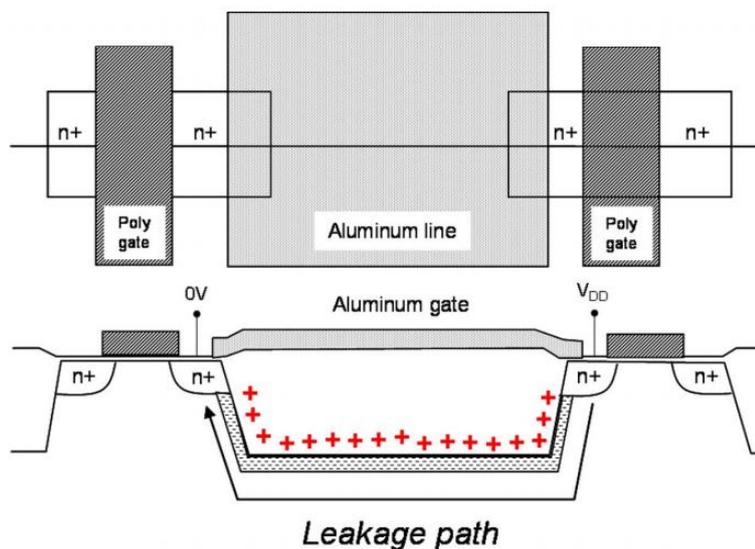


Figura 2.18: Caminho para corrente de fuga entre fonte e dreno de NMOSFETs distintos devido ao acúmulo de cargas positivas em um FOXFET parasita. Extraído de (Barnaby, 2006).

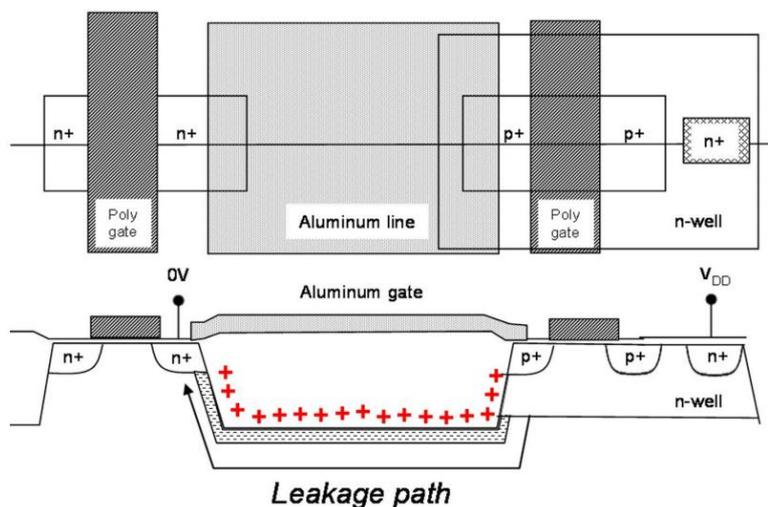


Figura 2.19: Caminho para a corrente de fuga entre o poço-n de um PMOSFET e a fonte de um NMOSFET devido ao acúmulo de cargas positivas em um FOXFET parasita. Extraído de (Barnaby, 2006).

### 2.1.3.3 Corrente de Fuga Induzida por Radiação (RILC)

A corrente de fuga induzida por radiação (*radiation-induced leakage current* ou RILC) refere-se ao aumento da corrente de tunelamento através de óxidos de porta finos de dispositivos MOS devido à radiação ionizante. De acordo com Scarpa, Paccagnella *et al.* (1997), este aumento da corrente ocorre devido à presença de armadilhas no óxido

que auxiliam no tunelamento de elétrons através do dielétrico. Os efeitos da RILC aumentam com a dose total e com a redução da espessura do óxido (Scarpa, Riess *et al.*, 2000).

Com a miniaturização dos dispositivos, a RILC tornou-se especialmente preocupante em memórias *flash*. Memórias *flash* são memórias não voláteis nas quais a informação é armazenada através de elétrons aprisionados em uma porta flutuante (*floating gate*) do dispositivo. Mesmo um número pequeno de armadilhas no óxido, se alinhadas, podem resultar em uma corrente de tunelamento suficiente para causar uma falha de retenção (Oldham, Chen *et al.*, 2011). Estas falhas são caracterizadas pela incapacidade do circuito de armazenar a informação por tempo suficiente; em uma memória *flash*, isto significa que a carga armazenada na porta flutuante não foi retida por tempo suficiente.

Ainda de acordo com Scarpa, Paccagnella *et al.* (1997), o tunelamento assistido de elétrons é, também, responsável pela corrente de fuga induzida por estresse (*stress-induced leakage current* ou SILC).

#### 2.1.4 Degradação da Mobilidade

A mobilidade dos portadores na camada de inversão pode ser afetada por cargas aprisionadas no óxido e na interface devido ao espalhamento coulombiano. O efeito destas cargas será maior quanto maior for sua proximidade do canal. Por este motivo, tipicamente, o impacto das armadilhas de interface na mobilidade é superior ao das cargas aprisionadas no óxido (Schrimpf, 2007).

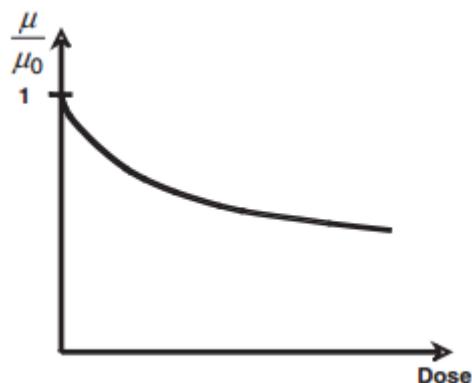
Conforme o trabalho de Dimitrijević e Stojadinović (1987), a mobilidade dos portadores em um transistor MOS pode ser descrita através da expressão (2.3), na qual  $1/\mu_{ot}$  modela o impacto das cargas no óxido;  $1/\mu_{it}$  modela o impacto das armadilhas de interface; e  $1/\mu_0$  modela efeitos de degradação da mobilidade existentes em transistores mesmo com a ausência de cargas no óxido e na interface.

$$\frac{1}{\mu} = \frac{1}{\mu_{ot}} + \frac{1}{\mu_{it}} + \frac{1}{\mu_0} \quad (2.3)$$

Assumindo-se que  $1/\mu_{ot}$  e  $1/\mu_{it}$  são diretamente proporcionais às densidades superficiais de cargas aprisionadas no óxido ( $N_{ot}$ ) e na interface ( $N_{it}$ ) respectivamente, pode-se reescrever expressão (2.3), obtendo-se a expressão (2.4), na qual  $\alpha_{ot}$  e  $\alpha_{it}$  são os parâmetros que quantificam o efeito das cargas na mobilidade. Como as cargas aprisionadas na interface apresentam maior influência na mobilidade do que aquelas aprisionadas no óxido, pode-se prever  $\alpha_{it} > \alpha_{ot}$ . (Schrimpf, 2007).

$$\mu = \frac{\mu_0}{1 + \alpha_{it}N_{it} + \alpha_{ot}N_{ot}} \quad (2.4)$$

A Figura 2.20 mostra, qualitativamente, a degradação da mobilidade em função da dose total, considerando os efeitos de cargas no óxido e na interface.



**Figura 2.20:** Mobilidade de portadores na camada de inversão de um transistor MOS em função da dose total. Extraído de (Schrimpf, 2007).

### 2.1.5 Aumento do Ruído 1/f

O ruído 1/f, ou ruído *flicker*, é um ruído de baixa frequência presente em transistores MOS (Baker, 2010). Este ruído afeta, principalmente, circuitos analógicos e de RF (radiofrequência), degradando a relação sinal-ruído de amplificadores operacionais e de conversores, bem como o ruído de fase de osciladores (Hajimiri e Lee, 1998). É chamado de ruído 1/f porque sua densidade espectral de potência (DEP) varia com uma relação de  $1/f^\gamma$ , com  $\gamma$  aproximadamente igual a 1 (Simoen e Claeys, 1999).

Em transistores MOS, o ruído 1/f está associado à captura e emissão de portadores em armadilhas próximas à interface dielétrico/semicondutor (*border traps* ou *switching oxide traps*). A atividade destas armadilhas provoca variações na mobilidade e no número de portadores na região de canal dos transistores. Estas flutuações provocam variações discretas no sinal, conhecidas como *random telegraph signal* (RTS) que, em transistores MOS, são a principal fonte de ruído 1/f (Fleetwood, Meisenheimer *et al.*, 1994; Simoen e Claeys, 1999).

Neste sentido, o trabalho de Meisenheimer e Fleetwood (1990) demonstra que o ruído 1/f é fortemente correlacionado com a densidade de armadilhas no óxido; contudo, não encontra correlação entre o ruído e a densidade de armadilhas de interface. Este comportamento pode ser observado na Figura 2.21. Nesta figura, é possível observar que, durante a irradiação de um dispositivo NMOS, há um aumento da densidade de cargas aprisionadas no óxido e na interface – que se reflete em desvios na tensão de limiar – e um aumento da potência do ruído. Durante o recozimento, contudo, apenas as cargas aprisionadas no óxido são recozidas; apesar disso, a potência do ruído diminui significativamente.

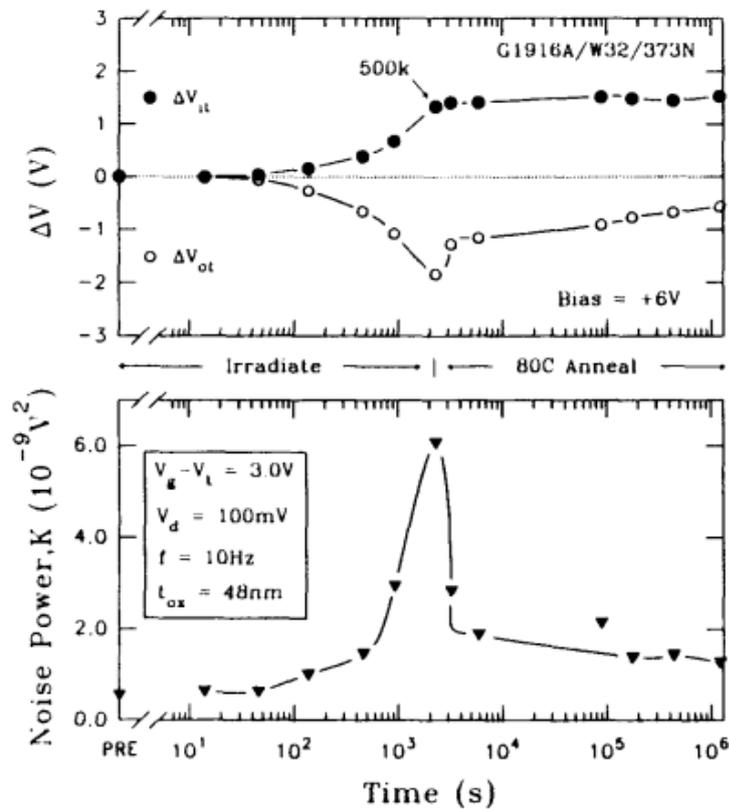


Figura 2.21: Resposta à irradiação e recozimento de um NMOSFET, exibindo  $\Delta V_{it}$ ,  $\Delta V_{ot}$  e a potência do ruído medida a frequência de 10 Hz. Extraído de Meisenheimer e Fleetwood (1990).

Figura 2.22. Deve-se observar que o ruído  $1/f$ , assim como o RTS, não afeta apenas a confiabilidade de dispositivos expostos aos efeitos da radiação, mas também de dispositivos modernos, uma vez que a redução das dimensões de dispositivos CMOS provoca, geralmente, um aumento do ruído  $1/f$  (Simoen e Claeys, 1999).

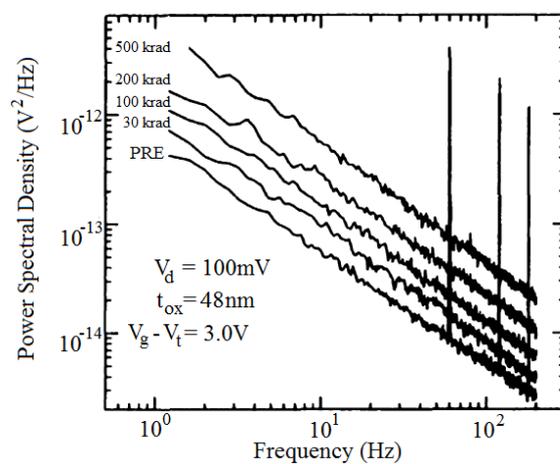


Figura 2.22: DEP do ruído em um NMOSFET (espessura do óxido de porta de 48 nm) irradiado. Os picos correspondem à frequência de 60 Hz e suas harmônicas. Extraído de Meisenheimer e Fleetwood (1990).

## 2.2 Efeitos Singulares

Eventos singulares ou *Single Event Effects (SEE)* são provocados pela incidência de uma partícula ionizante (como prótons, nêutrons, partículas alfa e íons pesados) em uma região sensível de um dispositivo semicondutor (Dodd, 2005). A incidência desta partícula provoca a geração de pares elétron-lacuna no material. Estes portadores em excesso são coletados em regiões sensíveis do dispositivo (Zajic e Thieberger, 1999), resultando em correntes transientes que provocam os SEEs.

O número total de portadores de carga gerados em um volume pela incidência de uma partícula é proporcional à energia perdida pela partícula neste volume. Isto significa dizer que a probabilidade de ocorrência de um evento singular depende da transferência linear de energia (LET), medida em  $\text{MeV}\cdot\text{cm}^2/\text{mg}$ , do íon incidente (Zajic e Thieberger, 1999). Para nêutrons, não se utiliza a LET, mas o fluxo de nêutrons, medido em nêutrons/ $\text{cm}^2/\text{s}$  (Olsen, Becher *et al.*, 1993).

Os eventos singulares podem resultar em falhas não destrutivas; falhas destrutivas; ou nem mesmo resultar em uma falha.

Falhas não destrutivas, ou *soft errors*, são falhas que não causam danos permanentes ao dispositivo, como inversões do valor armazenado em um bit (*bit-flip*) (Karnik e Hazucha, 2004). Uma falha não destrutiva pode ser classificada como *Single Event Transient (SET)* ou *Single Event Upset (SEU)*. Para estas falhas, define-se o *Soft Error Rate (SER)* que é a taxa de ocorrência de *soft errors* por unidade de tempo.

Falhas destrutivas, ou *hard errors*, são falhas que causam a degradação permanente ou até mesmo a destruição do dispositivo (Sexton, 2003). Uma falha destrutiva pode ser classificada como *Single Event Burnout (SEB)*; *Single Event Gate Rupture (SEGR)*; *Single Event Latchup (SEL)*; *Single Event Snap-Back (SES)*; ou *Single Hard Error (SHE)*.

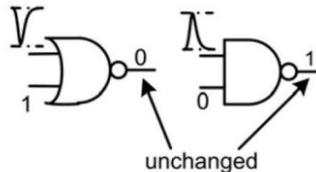
### 2.2.1 Single-Event Transient (SET)

O *Single Event Transient* é caracterizado por uma perturbação transiente em uma lógica combinacional, que pode ser armazenada em uma célula de memória do circuito. Desta forma, a taxa de eventos transientes que serão armazenados em células de memória do circuito é dependente da sua frequência de *clock*. Quanto maior a frequência, maior o número de bordas de *clock* e, portanto, maior o número de janelas de amostragem que permitem que um dispositivo de memória capture o evento transiente (Gadlage, Schrimpf *et al.*, 2004).

Muitos eventos transientes, contudo, não são propagados ao longo da lógica combinacional e, por este motivo, não são armazenados e não afetam o funcionamento do sistema. O mascaramento destes transientes pode ocorrer em nível lógico, elétrico, ou temporal (Karnik e Hazucha, 2004). O conhecimento destes mecanismos de mascaramento é importante para a determinação da *Soft Error Rate (SER)* (Entrena, Valderas *et al.*, 2009).

O mascaramento lógico ocorre quando não há um caminho sensibilizado entre o local de origem do SET e o elemento de armazenamento do circuito (Miskov-Zivanov e Marculescu, 2006). Isto significa que o conjunto de valores de entrada não permite que o SET se propague pelo circuito. Na Figura 2.23 são apresentados dois exemplos de

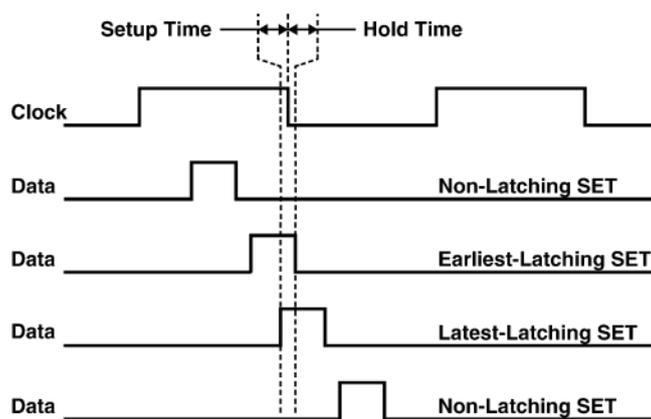
mascaramento lógico – em uma porta lógica NOR e em uma porta lógica NAND. No caso da porta lógica NOR, uma perturbação devido a um SET em uma das entradas não será propagada para a saída se a outra entrada permanecer no valor lógico 1 durante a ocorrência do SET. Da mesma forma, em uma porta lógica NAND, a perturbação devido a um SET não será propagada para a saída se a outra entrada permanecer no valor lógico 0 durante a ocorrência do SET.



**Figura 2.23: Mascaramento lógico de SETs em portas lógicas NOR e NAND, respectivamente.**

O mascaramento elétrico é decorrente da atenuação do pulso ao ser propagado através de subseqüentes portas lógicas. Isto ocorre devido ao atraso das mesmas; se a duração do pulso não for suficiente para permitir a excursão total da saída da porta lógica, então um transiente menor será propagado. Um transiente cuja duração é inferior ao atraso de porta do dispositivo não será propagado (Entrena, Valderas *et al.*, 2009).

O mascaramento temporal (ou *latching-window masking*) acontece quando o transiente não é armazenado por um elemento de memória porque sua ocorrência deu-se fora da janela de captura deste elemento. Um aumento da frequência de *clock*, bem como um aumento na largura do pulso transiente, provoca um aumento da janela de captura do transiente (Benedetto, Eaton *et al.*, 2006) e, portanto, um aumento na probabilidade de captura de um SET. A Figura 2.24 ilustra a ocorrência de SETs na entrada de um *latch* em diferentes instantes de tempo. Como pode ser observado na figura, somente são capturados os eventos dentro da janela de tempo definida pelos tempos de *setup* e *hold*.



**Figura 2.24: Diagrama temporal exibindo a captura ou não de um transiente por um *latch*.**  
Extraído de Benedetto, Eaton *et al.* (2006).

Com a redução da dimensão dos dispositivos (*scaling*), circuitos lógicos estão se tornando mais suscetíveis aos SETs. As menores dimensões e menores tensões aplicadas permitem que partículas menos energéticas causem SETs. Além disso, a

tendência de diminuição da profundidade lógica (*logic depth*) reduz a atenuação de um SET propagando-se pelo circuito (Miskov-Zivanov e Marculescu, 2006).

Além de circuitos digitais, os SETs podem afetar também circuitos analógicos e de sinais mistos. A ocorrência mais comum de falhas, nestes casos, é quando o transiente é propagado para os circuitos digitais (Turflinger, 1996).

## 2.2.2 Single-Event Upset (SEU)

O *Single Event Upset* é caracterizado por uma perturbação estática – um *bit flip* – em uma célula de memória, como um *latch* ou um registrador. Esta perturbação ocorre devido aos portadores de carga gerados pela incidência de uma partícula ionizante em um nodo de armazenamento do circuito. Como a perturbação ocorre diretamente no nodo de armazenamento, a taxa de ocorrência deste tipo de falha independe da frequência de *clock* do circuito (Gadlage, Schrimpf *et al.*, 2004).

Se a perturbação da carga no nodo de armazenamento do circuito for menor do que a margem de ruído deste circuito, ele continuará operando normalmente. Por outro lado, se esta perturbação for maior do que a margem de ruído, então este sinal será interpretado como um valor lógico invertido, resultando em uma falha (Karnik e Hazucha, 2004).

Em memórias dinâmicas de acesso aleatório (DRAMs ou *dynamic random access memories*), nas quais o armazenamento é passivo, feito através de um elemento capacitivo, qualquer perturbação na informação é permanente até que seja corrigida por circuitos externos (Massengill, 1996). Assim, basicamente, dois parâmetros são chave para a avaliação do SEU em DRAMs: a margem de ruído associada ao sinal de *bit* e a janela de tempo crítica, pois a vulnerabilidade deste tipo de memória ao SEU não é constante no tempo (Dodd e Massengill, 2003). O esquemático de uma célula DRAM de um transistor é mostrado na Figura 2.25.

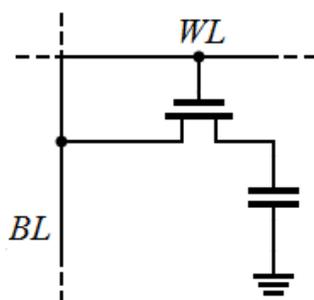


Figura 2.25: Célula DRAM típica de 1 Transistor.

Em memórias estáticas de acesso aleatório (SRAM ou *static random access memories*), diferentemente de memórias DRAM, uma perturbação pode ser corrigida internamente devido ao laço de realimentação. A perturbação ocorre quando uma partícula ionizante incide na junção de dreno de um transistor desligado da célula de memória, produzindo uma corrente transiente neste transistor (Dodd e Massengill, 2003). Uma célula de memória SRAM com 6 transistores é mostrada na Figura 2.26.

Esta corrente reduz o potencial do nodo de armazenamento; assim, o transistor ligado do inversor permitirá a passagem de uma corrente para balancear a corrente transiente do transistor atingido pela partícula ionizante (Diehl, Ochoa *et al.*, 1982). Contudo, como a capacidade de condução de corrente de um transistor é limitada, esta

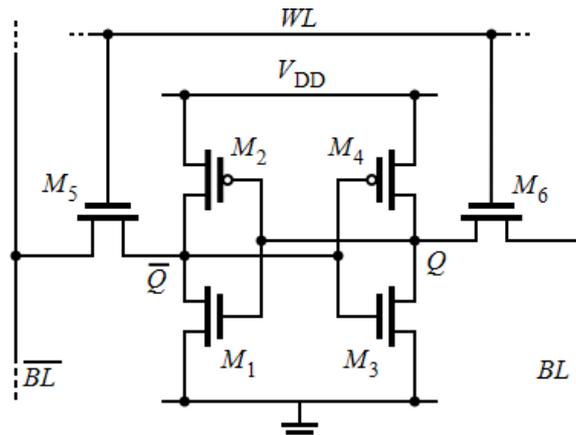


Figura 2.26: Célula SRAM típica de 6 Transistores.

corrente poderá ou não ser suficiente para regenerar a informação no nodo de armazenamento.

Conforme mostrado na Figura 2.27, a ocorrência ou não de um *bit-flip* dependerá da LET da partícula ionizante. Se a LET for inferior a um determinado limiar da célula, a perturbação será transitória, sendo recuperada internamente. Por outro lado, se a perturbação for superior a este limiar, a perturbação será permanente, ocorrendo um *bit-flip* (Dodd e Massengill, 2003).

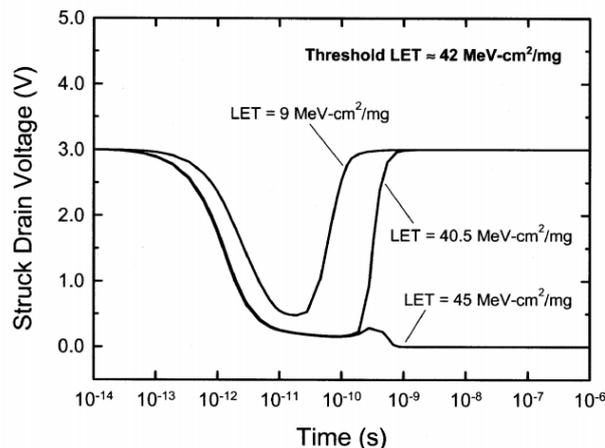


Figura 2.27: Resposta transiente da tensão de dreno de uma SRAM atingida com íons cuja LET é muito inferior; ligeiramente inferior e superior à energia necessária para provocar um SEU.

Extraído de Dodd e Massengill (2003).

É importante observar que, mesmo partículas cujo LET é inferior ao limiar para ocorrência de *bit-flip* podem causar SEU. Isto se deve ao fato de que, transitoriamente, a tensão no nodo de armazenamento na célula é perturbada, podendo ser interpretada como um *bit-flip* (Dodd e Massengill, 2003).

A ocorrência de um SEU, bem como a de um SET, pode resultar em um Single Event Functional Interrupt (SEFI). O SEFI é caracterizado por uma interrupção no funcionamento de um dispositivo. Esta interrupção é, normalmente, temporária, podendo durar períodos longos, porém finitos, de tempo (Koga, Penzin *et al.*, 1997).

O trabalho de Koga, Penzin *et al.* (1997) identifica o SEFI como uma falha causada por uma perturbação em uma região sensível do circuito, a qual não pode ser diretamente acessada ou medida (como um bit ou registrador de controle). Como não se

pode identificar o local exato de sua ocorrência, pode-se apenas observar o funcionamento anormal de uma função do dispositivo.

Circuitos complexos, como FPGAs (*field programmable gate array*), estão sujeitos a SEUs e SEFIs (George, Koga *et al.*, 2006), assim como memórias *flash* comerciais (Langley e Murray, 2004).

### 2.2.3 Single-Event Latchup (SEL)

Dispositivos CMOS apresentam, devido às suas características construtivas, um par de transistores bipolares parasitas – que podem ser, também, entendidos como uma estrutura *pnpn* ou um SCR (*silicon-controlled rectifier* ou retificador controlado de silício) parasita – conforme apresentado na Figura 2.28. Na Figura 2.28 são apresentados dois transistores – um NMOSFET e um PMOSFET – construídos com tecnologia CMOS em um substrato tipo-p. O transistor parasita *pnp* vertical é formado pela difusão  $p^+$ , o poço tipo- $n$  e o substrato, tipo-p. O transistor parasita lateral *nnp* é formado pela difusão  $n^+$ , pelo substrato tipo-p e pelo poço tipo- $n$ . Desta forma, a base de cada um dos transistores parasitas está conectada ao coletor do outro transistor, formando uma realimentação positiva, como pode ser observado na Figura 2.29.

Idealmente, esta estrutura deve formar um caminho de elevada impedância entre os terminais de alimentação e terra, de tal forma que a condução de corrente entre estes terminais não seja significativa. Entretanto, esta estrutura parasita pode ser ativada eletricamente ou devido à radiação, resultando em um fenômeno chamado de *latchup* (Bruguier e Palau, 1996).

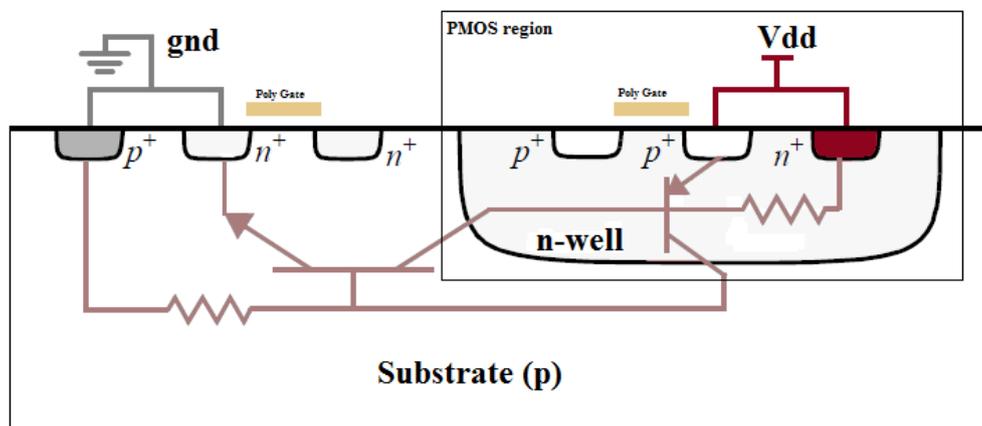


Figura 2.28: Transistores bipolares parasitas em uma estrutura CMOS.

O *latchup* ocorre quando portadores em excesso são fornecidos ao dispositivo, ativando um dos transistores parasitas (Sexton, 2003). Devido à realimentação positiva do dispositivo, um aumento da corrente de coletor de qualquer um dos dispositivos parasitas resultará em uma transição rápida de uma condição de elevada impedância para uma condição de baixa impedância entre os terminais de alimentação e terra, resultando em condução significativa de corrente. Quando esta corrente é suficientemente alta, pode danificar trilhas de metal e regiões semicondutoras (Sexton, 2003). Uma vez ativado, o *latchup* permanecerá ativo, mesmo que a excitação que o

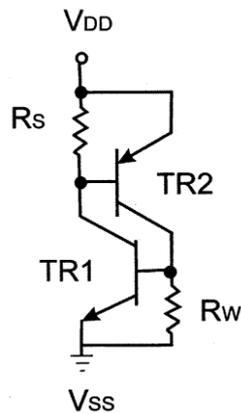


Figura 2.29: : Esquemático da estrutura SCR parasita.

tenha disparado seja removida, sendo necessário remover a alimentação do circuito para desativá-lo.

O *latchup* pode ser ativado eletricamente ou devido à radiação. Contudo, é necessário satisfazer determinadas condições para que o *latchup* ocorra. Primeiramente, o produto do ganho de corrente dos transistores *npn* e *pnp* parasitas deve ser igual ou superior à unidade. Além disso, a tensão entre alimentação e terra deve ser suficiente para polarizar diretamente as junções da estrutura *pnpn* (Gregory e Shafer, 1973).

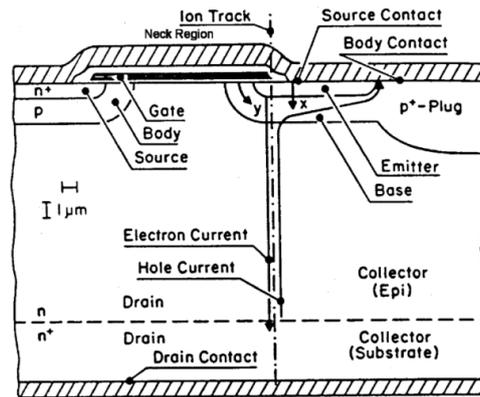
Em circuitos CMOS fabricados com a tecnologia SOI (*silicon-on-insulator*), a isolamento dielétrica elimina a estrutura *pnpn*. Por este motivo, estes dispositivos são imunes ao SEL (Schwank, Ferlet-Cavrois *et al.*, 2003).

#### 2.2.4 Single-Event Burnout (SEB)

O *Single Event Burnout* é um evento destrutivo, observado em transistores bipolares e MOS de potência (Sexton, 2003). A passagem de um íon pesado através do dispositivo resulta na geração de um denso plasma de pares elétron-lacuna que, sob a influência de uma polarização de dreno, produzem uma corrente de elevada densidade.

Esta corrente vertical é defletida quando se aproxima da interface entre isolante e silício, fluindo lateralmente através do substrato. Se este fluxo de corrente resultar em uma queda de potencial superior a 0.7 V, o transistor bipolar parasita presente no transistor MOS vertical, mostrado na Figura 2.30, é ativado (Titus e Wheatley, 1996).

A ativação deste transistor parasita não necessariamente resultará em um SEB. Dependendo do quão fortemente o dispositivo parasita for ativado, a corrente poderá 1) aumentar regenerativamente, até que a corrente e a tensão atinjam valores suficientemente altos para causar uma segunda ruptura (*second breakdown*) e, assim, uma falha térmica; ou 2) as correntes vão reduzir gradativamente até zero, sem danificar o dispositivo (Hohl e Galloway, 1987). Mais detalhes sobre o mecanismo de realimentação que determina se o evento é ou não destrutivo, pode ser encontrado no trabalho de (Hohl e Galloway, 1987).



**Figura 2.30:** Estrutura de um transistor MOS de potência exibindo o fluxo da corrente resultante da passagem de um íon pesado e da polarização do dreno. Extraído de Hohl e Galloway (1987).

### 2.2.5 Single-Event Gate Rupture (SEGR)

O *Single Event Gate Rupture* é um evento destrutivo, caracterizado pela falha do isolamento entre o terminal de porta e o canal de transistores MOS. Em transistores MOS de potência, o SEGR normalmente ocorre simultaneamente ao SEB (Sexton, 2003). De acordo com Brews, Allenspach *et al.* (1993), a ruptura ocorre quando um íon pesado atravessa o dispositivo, gerando um denso plasma de pares elétron-lacuna através do caminho percorrido pelo íon no substrato semiconductor, assim como no SEB.

Assumindo-se um dispositivo MOS de canal tipo N, como mostrado na Figura 2.31 – com dreno positivamente polarizado e a porta ligada ao terminal de terra – devido à polarização de dreno, os portadores gerados são separados no substrato. Os elétrons são rapidamente movidos para o substrato n+, onde não influenciam o comportamento do dispositivo. Por outro lado, as lacunas são transportadas para a interface entre óxido e semiconductor, produzindo um campo elétrico transiente através do isolante de porta. A intensidade do campo aumenta conforme as lacunas acumulam-se na interface e diminui à medida que estas lacunas são coletadas lateralmente (Sexton, 2003).

Se a intensidade do campo elétrico for suficientemente elevada e a duração deste campo for suficientemente longa, ocorrerá ruptura do isolante próximo ao caminho percorrido pelo íon (ou filamento). Neste caso, o capacitor MOS poderá descarregar através do filamento, elevando a temperatura da vizinhança, destruindo localmente o isolante, curto-circuitando o terminal de porta ao substrato (Brews, Allenspach *et al.*, 1993), caracterizando um SEGR.

Outros fatores também contribuem para a ocorrência do SEGR. A passagem do íon pesado através do isolante, por exemplo, resulta na geração de portadores que, aprisionados no isolante, reduzem o campo elétrico necessário para a sua ruptura (Titus, Wheatley *et al.*, 1998). Além disso, a redução da espessura do óxido provoca um aumento do campo elétrico, provocando uma maior susceptibilidade ao SEGR (Sexton, Fleetwood *et al.*, 1997). O ângulo de incidência também afeta a vulnerabilidade ao SEGR, sendo maior a vulnerabilidade do dispositivo quanto maior a proximidade do ângulo de incidência do íon em relação à normal do isolante de porta (Nichols, Mccarty *et al.*, 1994).

Por outro lado, o trabalho de Titus e Wheatley (1996) indica que o tipo de dopagem do canal não afeta a ocorrência de SEGR.

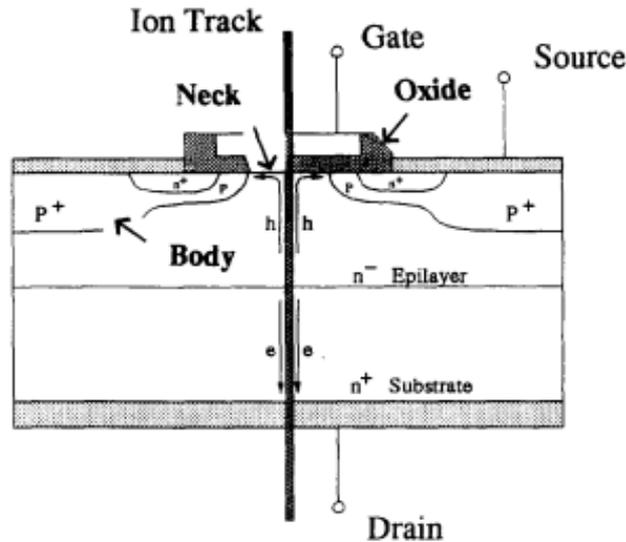


Figura 2.31: Dispositivo NMOS de Potência exibindo o filamento produzido pelo impacto de um íon pesado. Extraído de Brews, Allenspach et al. (1993).

### 2.2.6 Single-Event Induced Snap-Back (SES)

O *snap-back* é um fenômeno que ocorre em transistores de canal tipo-n que pode resultar em elevadas correntes, causando danos permanentes ao dispositivo. Embora qualitativamente semelhante ao SEL, o Single Event Induced Snap-Back (SES) não tem origem em uma estrutura *pnpn*, ocorrendo também em dispositivos de canal tipo-n discretos (Ochoa, Sexton *et al.*, 1983). O *snap-back* não ocorre em transistores de canal tipo-p devido ao menor fator de multiplicação de avalanche das lacunas em comparação ao dos elétrons (Sexton, 2003).

O SES pode ser ativado eletricamente, através da ruptura por efeito avalanche da junção de dreno, ou através de portadores em excesso gerados por um íon pesado ou por um pulso de radiação (Sexton, 2003). As lacunas geradas pela incidência de um íon pesado deslocam-se na direção da fonte do transistor, reduzindo a barreira de potencial entre fonte e a região de corpo. Com a redução desta barreira, elétrons são injetados através da fonte no corpo, em direção ao dreno do transistor, elevando a corrente do dispositivo. Se o campo elétrico no corpo for suficientemente intenso, mais pares elétron-lacuna são gerados por ionização por colisão (*impact ionization*), realimentando o processo (Schwank, Ferlet-Cavrois *et al.*, 2003).

As dimensões do canal do transistor influenciam diretamente a ocorrência de *snap-back*. A redução do comprimento do canal (Koga e Kolasinski, 1989) e o aumento da largura do canal (Dodd, Shaneyfelt *et al.*, 2000) provocam redução da tensão de dreno necessária para a ocorrência do *snap-back*. Além disso, esta tensão independe do mecanismo de ativação do *snap-back* (Dodd, Shaneyfelt *et al.*, 2000).

Dispositivos fabricados com a tecnologia SOI, embora imunes ao SEL, são suscetíveis ao SES (Schwank, Ferlet-Cavrois *et al.*, 2003).

### 2.2.7 Single Hard Error (SHE)

O *Single Hard Error* (SHE) é uma falha permanente de um bit de memória provocada pela degradação de parâmetros elétricos de um transistor devido à dose total ionizante depositada no óxido pela incidência de um ou dois íons pesados (Dufour, Garnier *et al.*, 1992). Este tipo de falha foi inicialmente reportado em memórias SRAM, nos trabalhos de Koga, Crain *et al.* (1991) e Dufour, Garnier *et al.* (1992), embora ocorra também em memórias DRAM (Swift, Padgett *et al.*, 1994) e SDRAM (Scheick, Guertin *et al.*, 2008).

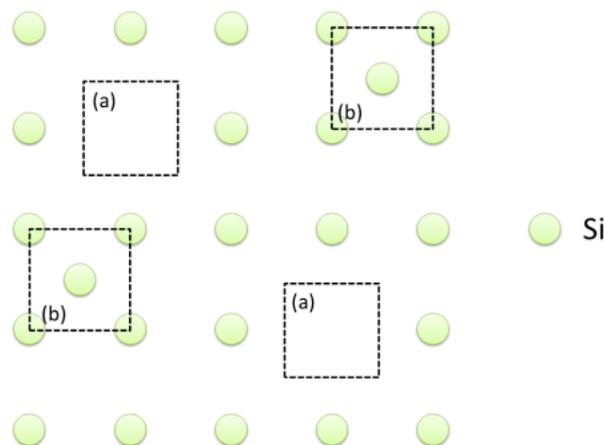
O SHE distingue-se dos demais eventos singulares, pois não é causado pela incidência de uma partícula ionizante em uma região semicondutora, mas em uma região isolante do dispositivo. Por este motivo, o SHE apresenta aspectos semelhantes aos efeitos de dose total (Dufour, Garnier *et al.*, 1992). Diferentemente dos SEUs, os SHEs não podem ser corrigidos utilizando circuitos de correção e detecção de erros (EDACs) (Useinov, Zebrev *et al.*, 2003).

## 2.3 Danos por Deslocamento

Os danos por deslocamento ou *displacement damage* (DD) são causados pela interação nuclear ou coulombiana entre uma partícula incidente e os núcleos atômicos da rede cristalina do material semiconductor (Virmondois, Goiffon *et al.*, 2010). Se esta interação fornecer energia suficiente a um átomo da rede cristalina, ele será deslocado da estrutura, formando um defeito de Frenkel (Kinchin e Pease, 1955).

Quando um átomo é deslocado por uma colisão direta, refere-se a ele como *primary knock-on atom* (PKA). Para irradiações de elétrons, a maioria dos defeitos formados é decorrente de PKAs. Por outro lado, para irradiações de nêutrons rápidos, a maioria dos defeitos é decorrente das colisões subsequentes de um PKA com os demais átomos da rede cristalina do material (Kinchin e Pease, 1955). Estas colisões subsequentes produzem uma região com elevada densidade de defeitos conhecida como subcluster terminal ou subcascata (Srouf, Marshall *et al.*, 2003).

Os defeitos de Frenkel são formados por vacâncias (ausência de um átomo em uma posição da rede) e intersticiais (presença de um átomo fora de uma posição da rede) (Srouf, Marshall *et al.*, 2003), ilustrados na Figura 2.32. Devido à proximidade entre as vacâncias e os intersticiais há um elevado índice de recombinação após a sua geração (Messenger, 1991).

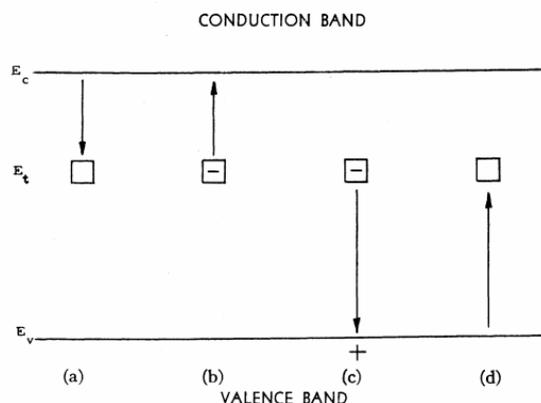


**Figura 2.32: Representação da rede cristalina de um material (Silício) com vacâncias (a) e intersticiais (b).**

As vacâncias e intersticiais remanescentes, contudo, são móveis e difundem até formarem compostos complexos. As vacâncias formam defeitos estáveis com dopantes tipo-n, com átomos de oxigênio e com outras vacâncias (divacâncias) (Messenger, 1991). Os intersticiais, aparentemente, não formam defeitos eletricamente ativos e, por isso, não contribuem para a degradação do material semiconductor (Messenger, 1991).

Estes defeitos na periodicidade da rede cristalina do material provocam o surgimento de níveis de energia no interior da banda proibida (*bandgap*), ou armadilhas. Estas armadilhas provocam a degradação de propriedades elétricas e ópticas de materiais semicondutores (Srouf, Marshall *et al.*, 2003). Dentre os efeitos destes níveis de energia, pode-se citar a geração térmica de pares elétron-lacuna; a recombinação de pares elétron-lacuna; o aprisionamento temporário de portadores; a remoção de portadores; o tunelamento de portadores; e a redução da mobilidade. (Srouf, Marshall *et al.*, 2003).

Os efeitos de geração e recombinação de portadores em armadilhas, ou centros de geração e recombinação, foram descritos pelo modelo de Shockley-Read-Hall (SRH) (Shockley e Read, 1952). Os mecanismos básicos envolvidos nestes processos são a) a captura de um elétron, b) a emissão de um elétron, c) a captura de uma lacuna e d) a emissão de uma lacuna (Sah, Noyce *et al.*, 1957). Estes mecanismos são apresentados na Figura 2.33.



**Figura 2.33: Mecanismos básicos envolvidos nos processos de geração e recombinação através de armadilhas. Extraído de Sah, Noyce *et al.* (1957).**

Os centros de geração de portadores provocam um aumento da corrente de fuga na região de depleção de dispositivos (Srouf, Marshall *et al.*, 2003). Em *active pixel sensors* (APSs), isto se traduz em um aumento da corrente média de escuro (*mean dark current*) do fotodiodo (Virmontois, Goiffon *et al.*, 2010). Contudo, somente armadilhas com nível energético próximo à metade da banda proibida contribuem significativamente para a geração de pares elétron-lacuna (Srouf, Marshall *et al.*, 2003).

Os centros de recombinação de portadores, por outro lado, provocam a redução no tempo de vida dos portadores minoritários (Messenger, 1991). A taxa de recombinação será dependente da densidade do centro de recombinação, da concentração de portadores livres, da posição do nível de energia e da seção de captura de elétrons e lacunas (Srouf e McGarrity, 1988). Em transistores bipolares este mecanismo é o principal responsável pela degradação do ganho (Srouf, Marshall *et al.*, 2003).

Além disso, armadilhas próximas das bandas de condução e valência podem aprisionar temporariamente um portador (Srouf, Marshall *et al.*, 2003). A captura de um portador em uma armadilha e sua subsequente emissão, sem a ocorrência de recombinação, resulta no *Random Telegraph Signal* (RTS). Esta captura temporária de portadores afeta, principalmente, a eficiência de transferência de carga, ou *charge transfer efficiency*, de dispositivos de carga acoplada, ou *charge-coupled devices* (CCDs) (Hardy, Murowinski *et al.*, 1998).

Outro efeito importante produzido por estes defeitos é o de remoção de portadores majoritários (*carrier removal*), reduzindo sua densidade (Messenger, 1991). Isto ocorre pela introdução de armadilhas com níveis profundos de energia (*deep level traps*) (Eremin, Verbitskaya *et al.*, 2002). Em um material tipo-n, por exemplo, níveis aceitadores profundos compensam elétrons disponíveis pelos doadores. Em transistores bipolares, por exemplo, este efeito provoca um aumento da resistência de coletor (Srouf, Marshall *et al.*, 2003).

Mais ainda, armadilhas localizadas na zona de depleção, na presença de um campo elétrico, dão origem a duas transições não térmicas: a) o tunelamento de elétrons da

banda de valência para a armadilha e b) o tunelamento de elétrons da armadilha para a banda de condução (Rosenfeld e Bahir, 1992). Assim, adicionalmente ao caminho térmico-térmico de transição de portadores de uma banda para outra através de armadilhas (abordado anteriormente no modelo SRH), há o surgimento de três novos caminhos: térmico-túnel, túnel-térmico e túnel-túnel (Rosenfeld e Bahir, 1992). Este tunelamento, chamado de tunelamento assistido por armadilhas (*trap-assisted tunneling*), é considerado no modelo analítico de operação, direta e reversa, de um diodo proposto por Hurkx, De Graaff *et al.* (1992).

Por fim, defeitos induzidos pela radiação atuam como centros de espalhamento (*scattering centers*), que provocam a redução da mobilidade dos portadores (Srouf, Marshall *et al.*, 2003).

### 3 EFEITOS DE DOSE TOTAL EM TRANSISTORES CMOS: ESTUDO DE CASO

O objetivo deste estudo de caso foi mensurar os desvios em parâmetros elétricos de transistores tecnologia CMOS 0,35  $\mu\text{m}$  (processo AMS C35B4) devido aos efeitos de dose total. Além do valor médio do desvio, também buscou-se mensurar a variabilidade. A determinação destes desvios permite a simulação estatística de circuitos integrados utilizando ferramentas SPICE, permitindo que, a partir do valor médio do desvio dos parâmetros devido à TID e sua variabilidade, seja possível inferir a tolerância à TID de um determinado circuito.

Neste capítulo, são apresentados os transistores CMOS, objeto de estudo deste trabalho; o setup de medidas utilizado para obtenção das curvas características destes transistores; o ensaio de irradiação; o processo de recozimento do circuito; a metodologia de extração de parâmetros; e os resultados obtidos previamente à irradiação, durante a irradiação e durante o recozimento. Por fim, é apresentada uma discussão acerca dos resultados obtidos.

#### 3.1 Objeto de Estudo: Transistores CMOS Tecnologia 0,35 $\mu\text{m}$

O objeto de estudo deste trabalho foram 28 transistores retangulares – 14 NMOSFETs e 14 PMOSFETs – fabricados na tecnologia AMS (*Austria Micro Systems*) C35B4, uma tecnologia CMOS 0,35  $\mu\text{m}$  (Lima, 2006). Conforme o trabalho de (Lima, 2006), o encapsulamento utilizado para o circuito foi um JLCC68, cuja tampa não é soldada, sendo mantida fechada por uma fita adesiva (*tape lid*), o que expõe o circuito à atmosfera ambiente.

A Figura 3.1 apresenta a matriz de transistores na qual os ensaios foram realizados. Os terminais de corpo (chamados de VDDA para os PMOSFETs e GNDA para os NMOSFETs) foram omitidos da figura. Este tipo de arranjo permite que seja utilizado um número menor de pinos do chip para testar os transistores; por outro lado, não foi possível medir individualmente a corrente de fuga de cada transistor, ou polarizar todos os transistores, NMOSFETs e PMOSFETs, simultaneamente.

As dimensões dos transistores medidos foram fornecidas no trabalho de (Lima, 2006), juntamente com imagens do leiaute dos transistores. Estas informações, contudo, não foram utilizadas neste trabalho e, por este motivo, são apresentadas somente no Anexo A.

Durante as medições preliminares (anteriores ao ensaio de irradiação), os transistores N2 e P5 apresentaram defeito em seu funcionamento. Por este motivo, estes transistores foram desconsiderados nas análises.

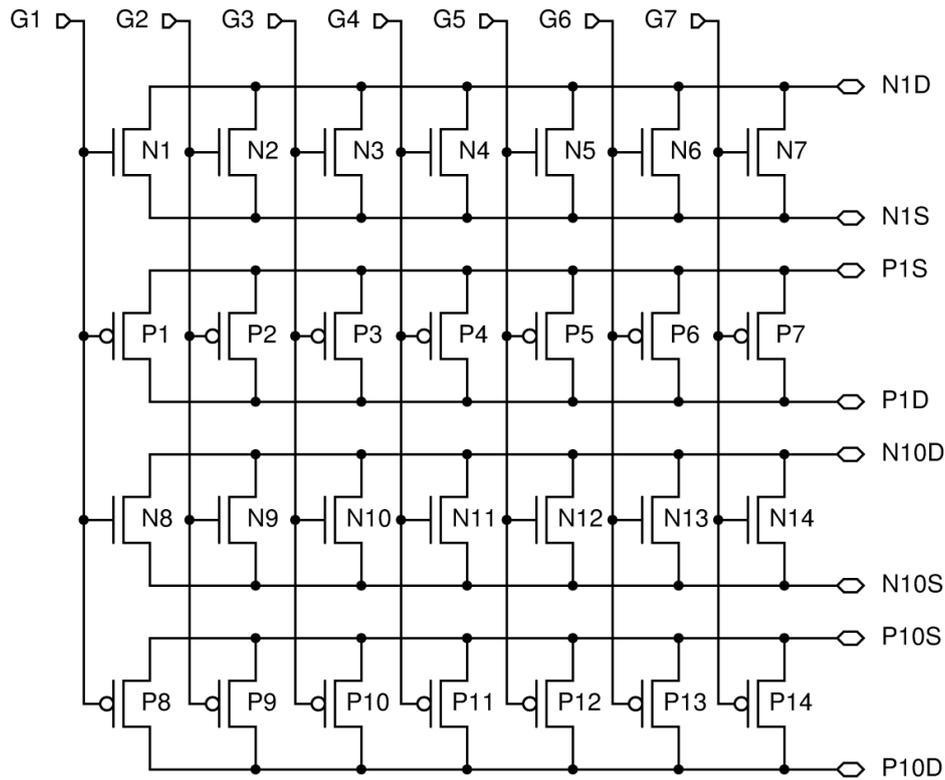


Figura 3.1: Matriz de PMOSFETs e NMOSFETs medidos.

### 3.2 Setup de Medidas

As curvas características dos transistores foram obtidas utilizando um equipamento de caracterização de dispositivos semicondutores (Keithley 4200 SCS). Foram extraídas curvas de corrente de dreno em função da tensão de dreno ( $I_D \times V_D$ ) e corrente de dreno em função da tensão de porta ( $I_D \times V_G$ ).

A partir da curva  $I_D \times V_G$  é possível extrair, como será apresentado no subcapítulo 3.5, a tensão de limiar e a inclinação de sublimiar dos transistores. A partir da curva  $I_D \times V_D$ , por outro lado, é possível obter a mobilidade efetiva dos portadores de carga dos transistores.

Para a extração das curvas  $I_D \times V_D$  dos NMOSFETs mediu-se a corrente de dreno do dispositivo variando-se a tensão entre dreno e fonte ( $V_{DS}$ ) entre 0 V e 3 V, com intervalos de 10 mV; e a tensão entre porta e fonte ( $V_{GS}$ ) entre 0,5 V e 3,3 V, com intervalos de 700 mV. Para os PMOSFETs, variou-se  $V_{DS}$  entre 0 e -3,3 V, com intervalos de -10 mV; e  $V_{GS}$  entre -0,5 V e -3,0 V, com intervalos de -700 mV.

Para a obtenção das curvas  $I_D \times V_G$  dos NMOSFETs, a tensão  $V_{DS}$  foi fixada em 50 mV; a tensão  $V_{GS}$  variou entre 0 V e 3 V, em intervalos de 5 mV. Para a obtenção das curvas  $I_D \times V_G$  dos PMOSFETs, a tensão  $V_{DS}$  foi fixada em -50 mV; a tensão  $V_{GS}$  variou entre 0 e -3 V, em intervalos de -5 mV.

Exemplos de curvas  $I_D \times V_G$  e  $I_D \times V_D$  de NMOSFETs são apresentadas nas Figura 3.2 e Figura 3.3, respectivamente.

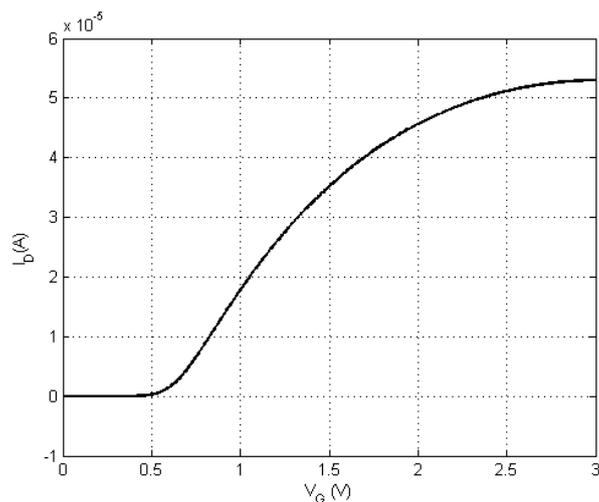


Figura 3.2: Curva  $I_D \times V_G$  de um NMOSFET, para  $V_D=50$  mV.

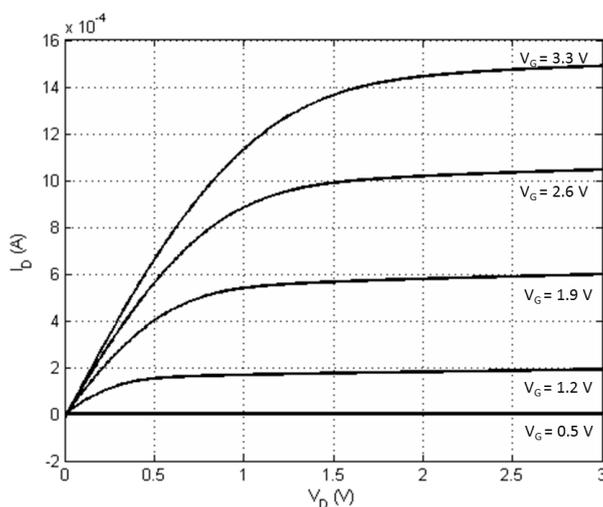


Figura 3.3: Curvas  $I_D \times V_D$  de um NMOSFET para diferentes tensões de porta,  $V_G$ , aplicadas.

### 3.3 Ensaio de Irradiação

O ensaio de irradiação foi realizado no Laboratório de Radiação Ionizante (LRI) do Instituto de Estudos Avançados (IEAv), em São José dos Campos, São Paulo, Brasil. Foi utilizada uma fonte de radiação gama  $^{60}\text{Co}$  da *Atomic Energy of Canadian Limited*, modelo Eldorado 78, apresentada na Figura 3.4. A taxa de dose utilizada para a irradiação foi de 0,474 rad/s (ou 1708 krad/h), durante, aproximadamente, 300 horas, resultando em uma dose total acumulada de 515 krad no campo da radiação gama.

A polarização dos transistores durante a irradiação pode ser observada na Tabela 3.1, considerando os terminais apresentados na Figura 3.1 referenciados ao terminal de terra. A polarização utilizada visou obter campo elétrico uniforme através do dielétrico de porta, tanto para PMOSFETs como para NMOSFETs. A temperatura do ambiente de irradiação permaneceu em  $23 \pm 1^\circ\text{C}$  durante toda a irradiação.



**Figura 3.4:** Fonte de radiação gama  $^{60}\text{Co}$  do Laboratório de Radiação Ionizante (LRI) do Instituto de Estudos Avançados (IEAv).

**Tabela 3.1:** Polarização dos terminais da matriz de transistores durante a irradiação e recozimento.

Terminais	Tensão Aplicada
G1, G3, G5 e G7	0 V
G2, G4 e G6	3,3 V
P1D, P10D, P1S e P10S	3,3 V
N1D, N10D, N1S e N10S	0 V
VDDA	3,3 V
GNDA	0 V

A escolha destes valores de tensão foi feita com intuito de se obter 8 PMOSFETs e 6 NMOSFETs com campo elétrico máximo e uniforme através do dielétrico de porta, sem danificar o dispositivo. Estes transistores são doravante chamados de transistores polarizados. Da mesma forma, adotando-se estas tensões de polarização, obteve-se 6 PMOSFETs e 8 NMOSFETs com campo elétrico nulo através do dielétrico de porta. Estes transistores são doravante chamados de transistores não polarizados.

Devido ao setup de medidas proposto, a extração das curvas características dos transistores não pôde ser realizada durante a irradiação. Por este motivo, a fonte de radiação foi periodicamente desligada por intervalos de, no máximo, 2h – período no qual foram realizadas as medições. Ao todo, o experimento foi interrompido por 14 vezes para medições (não excedendo 2 horas) e uma vez por problemas técnicos. Esta interrupção por problemas técnicos durou, aproximadamente, 25 horas. Neste período, o circuito não foi polarizado. Esta interrupção ocorreu quando o circuito havia acumulado dose total de 355 krad.

### 3.4 Recozimento

Atingida uma dose total acumulada de 515 krad, interrompeu-se a irradiação e iniciou-se a etapa de recozimento (*annealing*) do circuito integrado. Este recozimento

foi realizado em temperatura ambiente ( $23\pm 1^\circ\text{C}$ ) por um período de 7 dias. O circuito foi mantido polarizado durante o processo de recozimento, conforme a Tabela 3.1, sendo interrompida a polarização para o processo de caracterização das curvas dos transistores.

Transcorrido este período, o circuito foi colocado em um forno, a uma temperatura de  $100^\circ\text{C}$ , para efetuar recozimento acelerado do dispositivo durante um período de uma semana (168 horas). Durante este processo, não foram realizadas medições do circuito. Ao término deste processo, o circuito foi medido e o experimento foi dado como concluído.

### 3.5 Metodologia de Extração de Parâmetros

A caracterização dos transistores irradiados foi realizada a através da extração de parâmetros elétricos destes dispositivos a partir das curvas  $I_D \times V_G$  e  $I_D \times V_D$  medidas. Neste subcapítulo, são apresentadas as metodologias utilizadas para a extração da tensão de limiar, *subthreshold swing* e mobilidade efetiva dos transistores.

#### 3.5.1 Tensão de Limiar

O método de extração da tensão de limiar dos transistores a partir das curvas  $I_D \times V_G$  utilizado neste trabalho foi o método da segunda derivada, originalmente chamado de método da transcondutância. Este método determina  $V_T$  como o valor de  $V_{GS}$  para o qual a derivada da transcondutância é máxima. A origem deste método é bastante simples de ser compreendida: considerando-se o transistor como um modelo LEVEL = 1 MOSFET, sabe-se que a  $I_D = 0$ , para  $V_{GS} < V_T$ , e  $I_D \propto V_{GS}$ , para  $V_{GS} > V_T$ . Neste caso, a transcondutância ( $g_m = dI_D/dV_{GS}$ ), é caracterizada por uma função degrau. Assim, neste caso simplificado, a segunda derivada  $I_D$ , é um impulso em  $V_{GS} = V_T$ . Em um dispositivo real, contudo, a segunda derivada de  $I_D$ , não é uma função impulso; apesar disso, apresenta um valor máximo em  $V_{GS} = V_T$  (Ortiz-Conde, García-Sánchez *et al.*, 2013).

Dentre as vantagens de utilização deste método pode-se citar a facilidade de implementação em uma rotina computacional e o fato de desconsiderar resistências em série com o dispositivo. Por outro lado, este método é sensível a ruído devido ao filtro passa-altas aplicado ao sinal quando são realizadas as derivações (Ortiz-Conde, García-Sánchez *et al.*, 2013). Por este motivo, foi necessário realizar suavização do sinal medido através de filtros de média-móvel.

A Figura 3.5 apresenta curvas de transcondutância medida e suavizada para um NMOSFET ensaiado. A Figura 3.6, por sua vez, apresenta as curvas medida e suavizada da derivada da transcondutância deste mesmo NMOSFET. A tensão de limiar do transistor é determinada como o valor de tensão aplicado à porta,  $V_G$ , aplicado no qual a derivada da transcondutância ( $dg_m/dV_G$ ) é máxima.

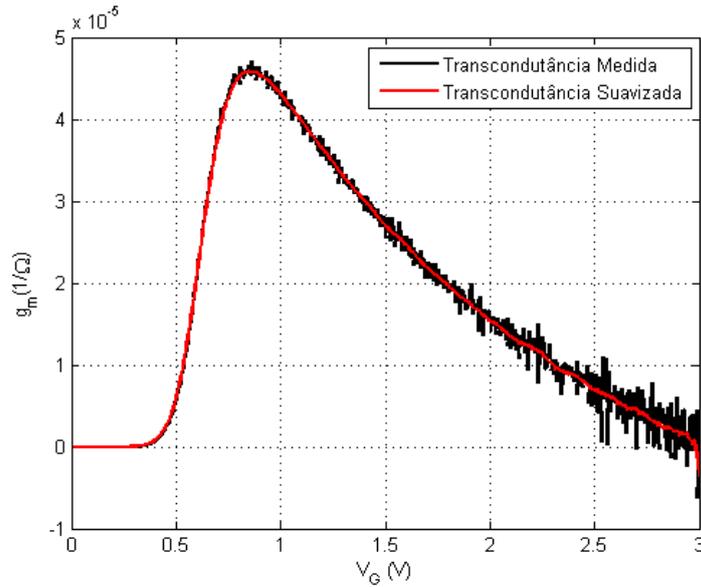


Figura 3.5: Transcondutância medida e suavizada para um NMOSFET para  $V_D=50$  mV.

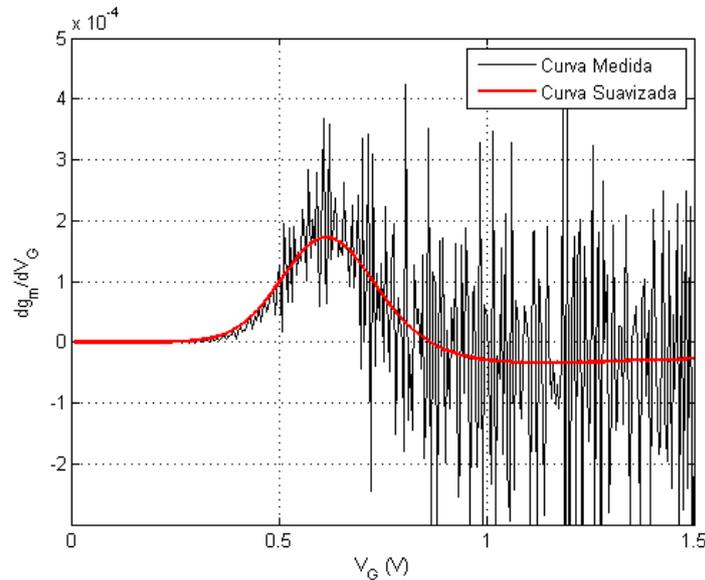


Figura 3.6: Derivada da transcondutância medida e suavizada para um NMOSFET para  $V_D=50$  mV.

### 3.5.2 Subthreshold Swing

O *subthreshold swing* foi extraído das curvas  $I_D \times V_G$  dos transistores, sendo calculado, seguindo a definição de (Sze e Ng, 2006) através da expressão (3.1). Para cada transistor, foi extraído o valor máximo da inclinação de sublimiar, ou seja, o *subthreshold swing* foi determinado no ponto em que a derivada de  $\ln(I_D)$  em função de  $V_G$  é máxima. As curvas medida e suavizada para a derivada de  $\ln(I_D)$  em função  $V_G$  de um NMOSFET podem ser observada na Figura 3.7.

$$S = \ln(10) \left[ \frac{\partial \ln(I_D)}{\partial V_G} \right]^{-1} \quad (3.1)$$

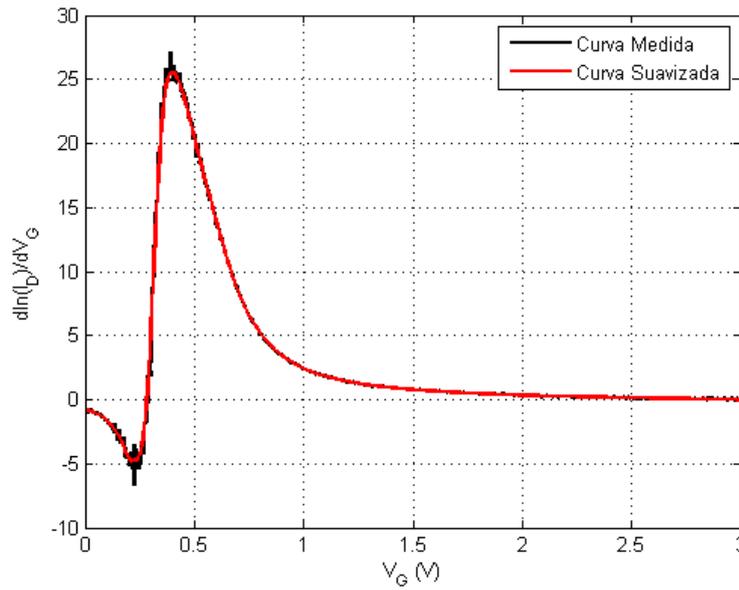


Figura 3.7: Derivada do logaritmo natural da corrente de dreno,  $I_D$ , em função da tensão aplicada à porta,  $V_G$ , de um NMOSFET, para  $V_D = 50\text{mV}$ .

### 3.5.3 Mobilidade Efetiva

A mobilidade efetiva pode ser extraída das curvas  $I_D \times V_D$  dos transistores, a partir da expressão (3.2), onde  $L$  é o comprimento (*length*) do transistor;  $W$  é a largura (*width*) do transistor;  $Q_{\text{inv}}$  é a carga de inversão por unidade de área;  $I_{DS}$  é a corrente entre dreno e fonte; e  $V_{DS}$  é a tensão entre dreno e fonte (Mujtaba, 1995). Derivando-se a expressão em função de  $V_{DS}$ , e substituindo-se  $Q_{\text{inv}}$  pela expressão simplificada (3.3), obtém-se a expressão (3.4), onde  $C_{\text{ox}}$  é a capacitância de óxido por unidade de área em  $\text{F}/\text{cm}^2$ ;  $V_T$  é a tensão de limiar do transistor;  $V_{GS}$  é a tensão aplicada entre porta e fonte do transistor e  $g_D$  é condutância de dreno, apresentada na expressão (3.5).

$$\mu_{\text{eff}} = \frac{I_{DS}}{W \cdot Q_{\text{inv}} \left( \frac{V_{DS}}{L} \right)} \quad (3.2)$$

$$Q_{\text{inv}} = C_{\text{ox}}(V_{GS} - V_T) \quad (3.3)$$

$$\mu_{\text{eff}} = \frac{L \cdot g_D}{W \cdot C_{\text{ox}}(V_{GS} - V_T)} \quad (3.4)$$

$$g_D = \left. \frac{\partial I_D}{\partial V_D} \right|_{V_{GS}=\text{const.}} \quad (3.5)$$

As relações (3.2) e (3.4) são válidas para pequenas tensões de dreno aplicadas ( $V_{DS} = 10 - 50 \text{ mV}$ ), na situação em que a mobilidade efetiva está relacionada à condutância de dreno. Além disso, é necessário que  $V_{GS}$  seja superior a  $V_T$ ; portanto, deve-se utilizar um  $V_{GS}$  suficientemente alto para que o canal do transistor esteja em inversão, mas

suficientemente baixo para minimizar os efeitos do campo elétrico vertical aplicado na mobilidade.

Neste trabalho, optou-se por apresentar os resultados de variação da mobilidade efetiva através de um resultado normalizado ( $\mu/\mu_0$ ). Esta forma é especialmente útil, pois não requer o conhecimento das dimensões dos transistores, nem do valor da capacitância de óxido, uma vez que estes valores são constantes ao longo do experimento e podem ser eliminados da cálculo, conforme observado na expressão (3.6).

$$\frac{\mu}{\mu_0} = \frac{g_D(V_{GS} - V_{T0})}{g_{D0}(V_{GS} - V_T)} \quad (3.6)$$

### 3.6 Resultados Experimentais

Neste subcapítulo são apresentados os resultados médios obtidos para a tensão de limiar, *subthreshold swing* e mobilidade efetiva dos transistores medidos em função da dose total. Os valores médios e do desvio padrão das amostras são apresentados, em maiores detalhes, no Apêndice A.

#### 3.6.1 Tensão de Limiar

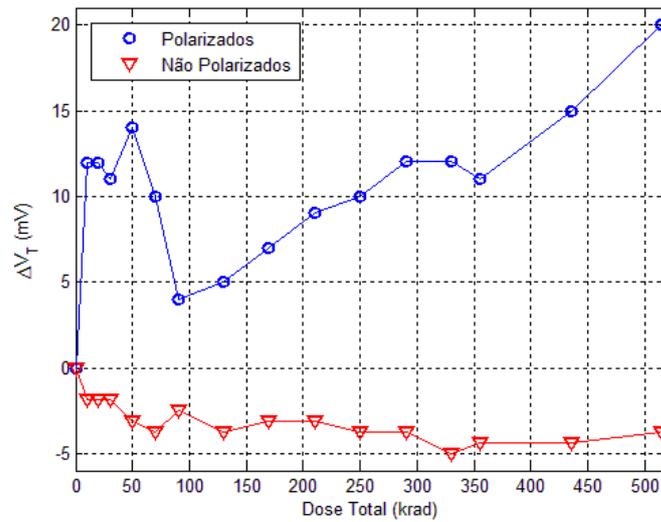
A Tabela 3.2 apresenta os valores médios e do desvio padrão da tensão de limiar medidos dos NMOSFETs e PMOSFETs previamente ao ensaio de irradiação. Os transistores N2 e P5 foram desconsiderados desta análise porque suas curvas  $I_D \times V_G$  e  $I_D \times V_D$  não condiziam com o funcionamento padrão de um transistor MOS.

**Tabela 3.2: Média e desvio padrão da tensão de limiar dos NMOSFETs e PMOSFETs previamente ao ensaio de irradiação.**

Transistores	Média (mV)	Desvio Padrão (mV)
NMOSFETs	574,6	81,0
PMOSFETs	-833,8	65,3

Durante a irradiação, como apresentado no subcapítulo 3.3, oito PMOSFETs foram polarizados com  $V_{GS} = -3,3$  V (P1, P3, P5, P7, P8, P10, P12 e P14); seis NMOSFETs foram polarizados com  $V_{GS} = 3,3$  V (N2, N4, N6, N9, N11 e N13); e os 14 transistores restantes – seis PMOSFETs e oito NMOSFETs – não foram polarizados, ou seja, a tensão  $V_{GS}$  aplicada foi igual à zero. Como a resposta dos transistores aos efeitos de TID pode apresentar variações de acordo com a polarização, são apresentadas curvas distintas de variação de  $V_T$  para os transistores polarizados e não polarizados durante os testes.

A Figura 3.8 apresenta o desvio médio da tensão de limiar dos NMOSFETs em função da dose total, permitindo a comparação entre os resultados obtidos para transistores polarizados e não polarizados durante o ensaio de irradiação.

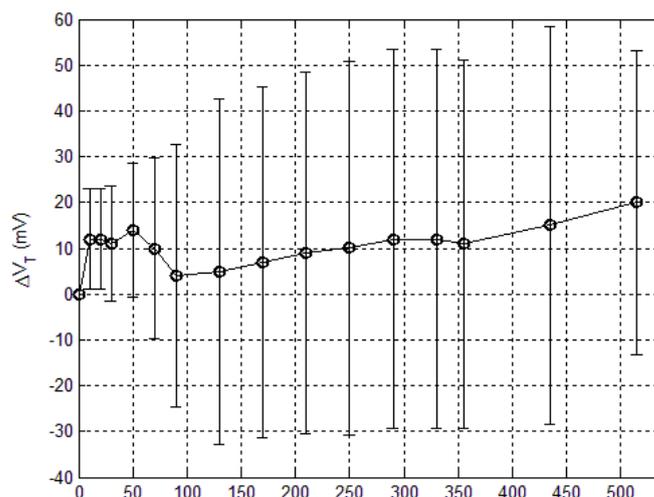


**Figura 3.8:** Desvio médio da tensão de limiar em função da dose total para NMOSFETs polarizados e não polarizados durante o ensaio de irradiação.

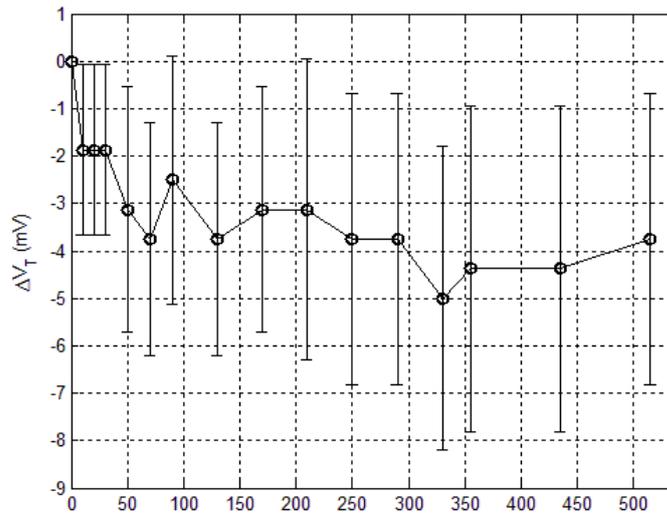
A Figura 3.9 e a Figura 3.10 apresentam, respectivamente, o desvio médio da tensão de limiar dos NMOSFETs polarizados e não polarizados durante a irradiação em função da dose total. As barras de erro padrão da média foram calculadas para um intervalo de confiança de 95%, conforme as expressões (3.7) e (3.8), onde  $s$  é o desvio padrão das amostras;  $n$  é o número de amostras; e  $\bar{x}$  é a média das amostras (Freund e Simon, 2000).

$$\text{Limite Superior} = \bar{x} + 1.96 \frac{s}{\sqrt{n}} \quad (3.7)$$

$$\text{Limite Inferior} = \bar{x} - 1.96 \frac{s}{\sqrt{n}} \quad (3.8)$$

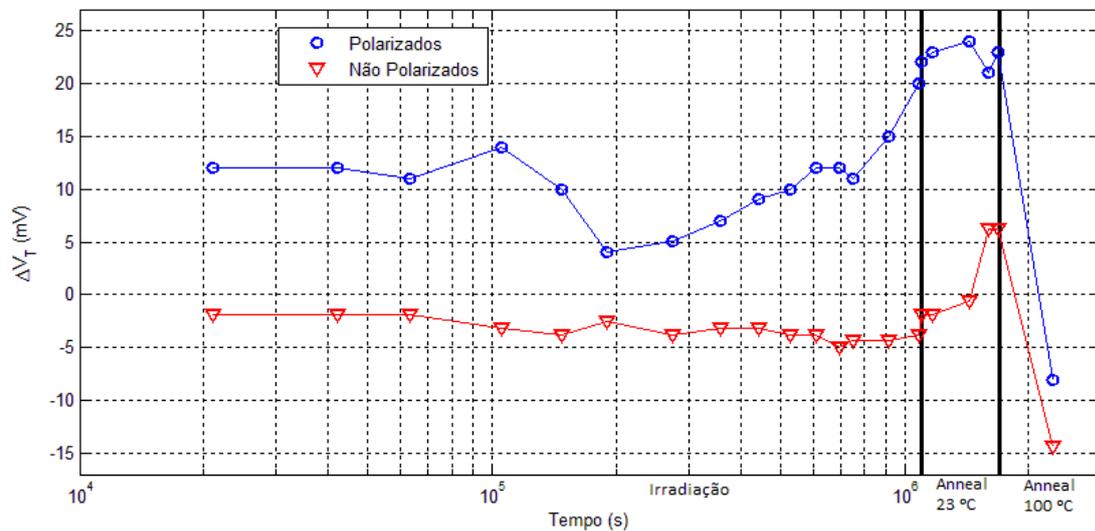


**Figura 3.9:** Desvio médio da tensão de limiar dos NMOSFETs polarizados durante o ensaio de irradiação e barras de erro padrão em função da dose total.



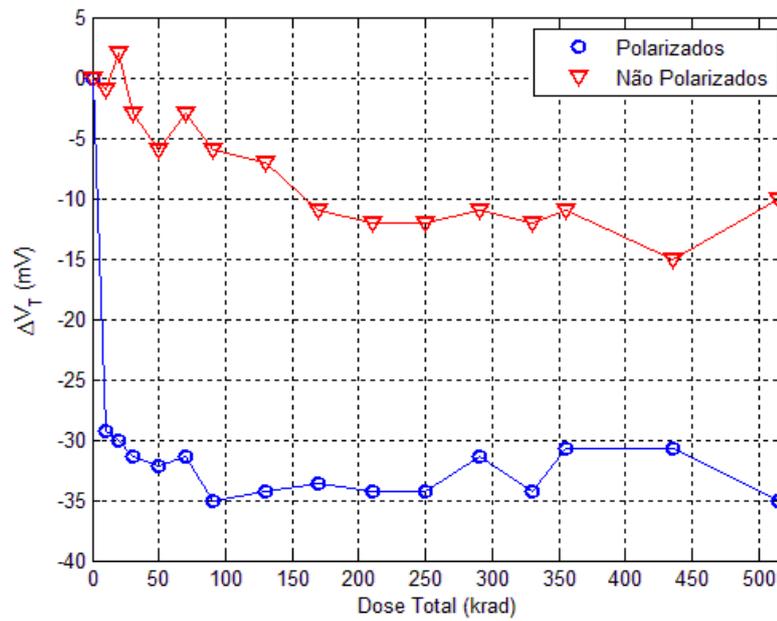
**Figura 3.10:** Desvio médio da tensão de limiar dos NMOSFETs não polarizados durante o ensaio de irradiação e barras de erro padrão em função da dose total.

A Figura 3.11 apresenta o desvio médio da tensão de limiar dos NMOSFETs em função do tempo, considerando transistores polarizados e não polarizados durante a irradiação e recozimento. É importante observar que o recozimento foi realizado em duas etapas: uma etapa em temperatura ambiente ( $23 \pm 1 \text{ }^\circ\text{C}$ ), com duração de sete dias; e uma etapa em um forno a uma temperatura de  $100 \text{ }^\circ\text{C}$ , também com duração de sete dias.



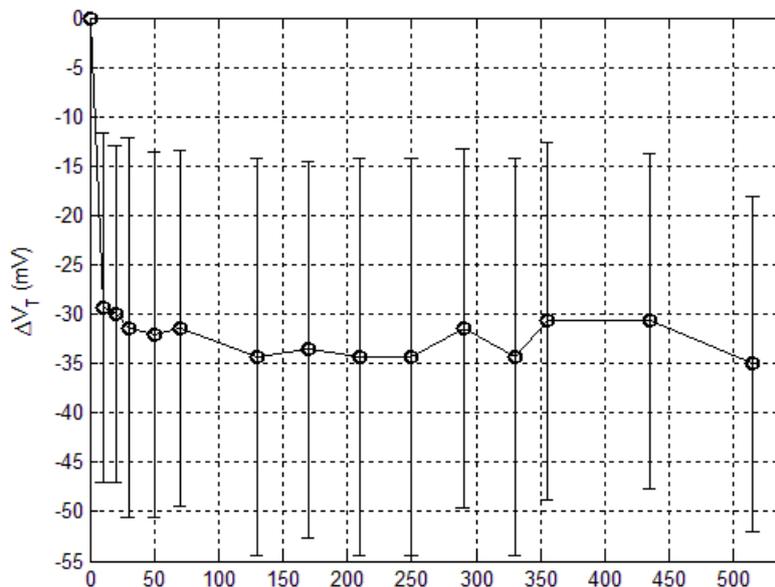
**Figura 3.11:** Desvio médio da tensão de limiar dos NMOSFETs polarizados e não polarizados durante a irradiação e recozimento em função do tempo.

A Figura 3.12 apresenta o desvio médio da tensão de limiar dos PMOSFETs em função da dose total, permitindo a comparação entre os resultados obtidos para transistores polarizados e não polarizados durante o ensaio de irradiação.



**Figura 3.12: Desvio médio da tensão de limiar em função da dose total para PMOSFETs polarizados e não polarizados durante o ensaio de irradiação.**

A Figura 3.13 e a Figura 3.14 apresentam, respectivamente, o desvio médio da tensão de limiar dos PMOSFETs polarizados e não polarizados durante a irradiação em função da dose total. As barras de erro padrão da média foram calculadas utilizando-se as expressões (3.7) e (3.8), para um intervalo de confiança de 95%.



**Figura 3.13: Desvio médio da tensão de limiar dos PMOSFETs polarizados durante o ensaio de irradiação e barras de erro padrão em função da dose total.**

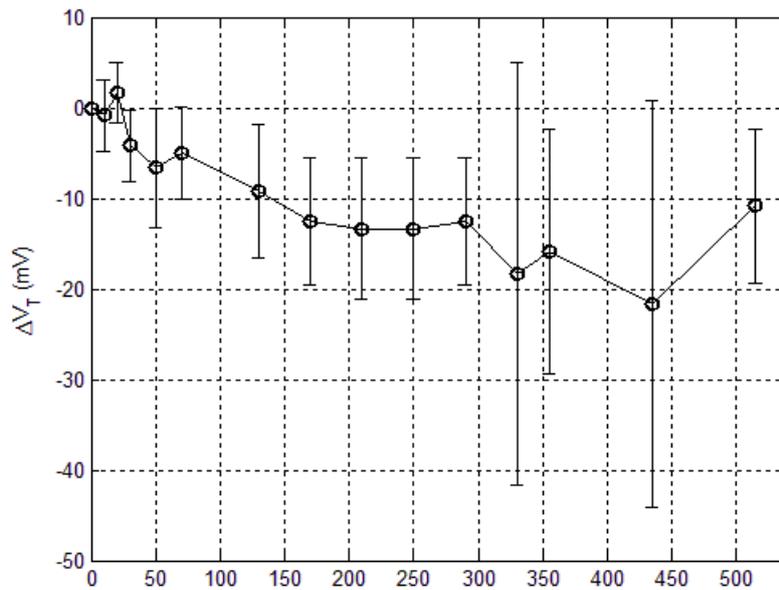


Figura 3.14: Desvio médio da tensão de limiar dos PMOSFETs não polarizados durante o ensaio de irradiação e barras de erro padrão em função da dose total.

A Figura 3.15 apresenta o desvio médio da tensão de limiar dos PMOSFETs em função do tempo, considerando transistores polarizados e não polarizados durante a irradiação e etapas de recozimento.

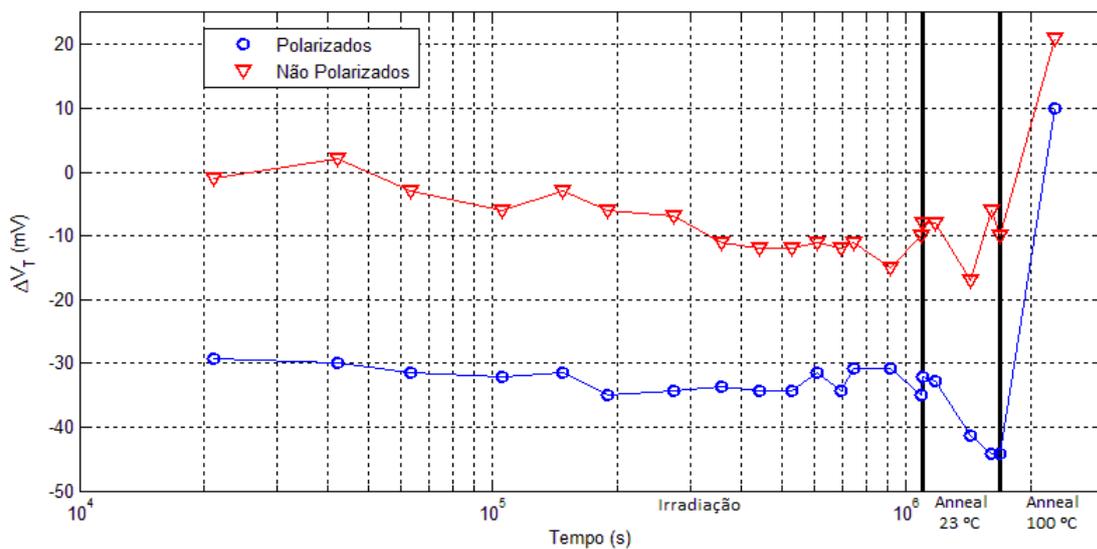


Figura 3.15: Desvio médio da tensão de limiar dos PMOSFET polarizados e não polarizados durante irradiação e recozimento em função do tempo.

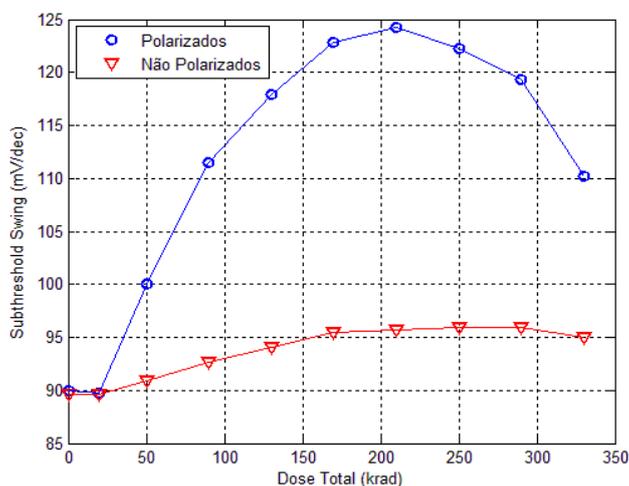
### 3.6.2 Subthreshold Swing

A Tabela 3.3 apresenta os valores médios e do desvio padrão do *subthreshold swing* medidos para os NMOSFETs e PMOSFETs previamente ao ensaio de irradiação. Novamente, foram desconsiderados, nesta análise, os transistores N2 e P5 porque suas curvas  $I_D \times V_G$  e  $I_D \times V_D$  não condiziam com o funcionamento padrão de um transistor MOS.

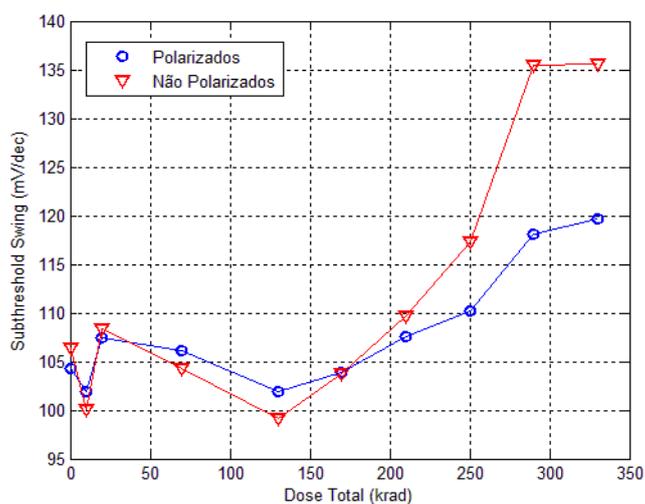
**Tabela 3.3: Média e desvio padrão do *subthreshold swing* dos NMOSFETs e PMOS previamente ao ensaio de irradiação.**

Transistores	Média (mV/dec)	Desvio Padrão (mV/dec)
NMOSFETs	89,7	7,6
PMOSFETs	105,5	14,0

Assim como as curvas apresentadas anteriormente para o desvio da tensão de limiar, as curvas de *subthreshold swing* em função da dose total são apresentadas, separadamente, para transistores polarizados e não polarizados durante a irradiação, conforme apresentado na Tabela 3.1. A Figura 3.16 e a Figura 3.17 apresentam o *subthreshold swing* médio em função da dose total de NMOSFETs e PMOSFETs, respectivamente, polarizados e não polarizados durante a irradiação. Além disso, é importante observar que não são apresentadas na figura as medições para doses superiores a 330 krad. Isto se deve à interrupção ocorrida no experimento durante 25h, como apresentado no subcapítulo 3.3, no qual pode ter ocorrido recozimento do circuito, afetando estas medições.



**Figura 3.16: *Subthreshold swing* médio dos NMOSFETs polarizados e não polarizados durante a irradiação em função da dose total.**



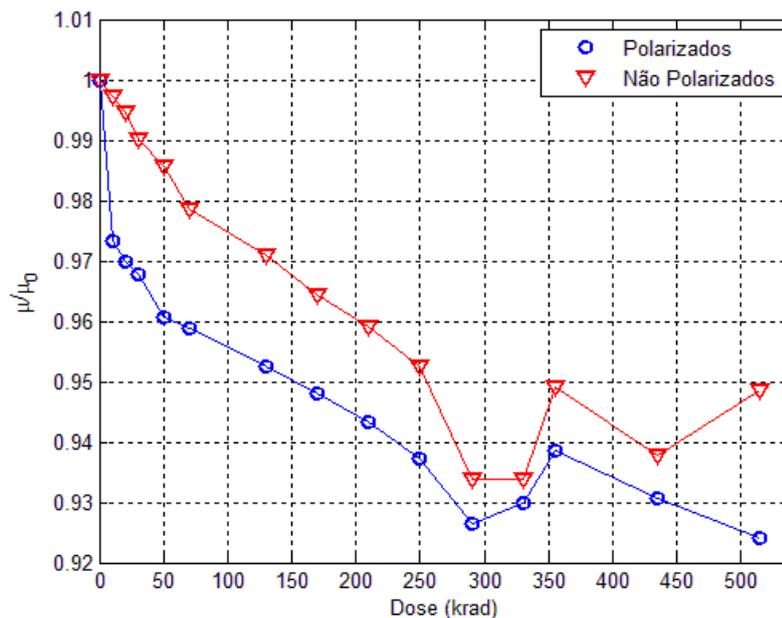
**Figura 3.17: *Subthreshold swing* médio dos PMOSFETs polarizados e não polarizados durante a irradiação em função da dose total.**

Barras de erro não foram calculadas para *subthreshold swing* porque, diferentemente da tensão de limiar e da mobilidade, não é razoável assumir que esta grandeza apresente distribuição normal de valores.

### 3.6.3 Mobilidade Efetiva

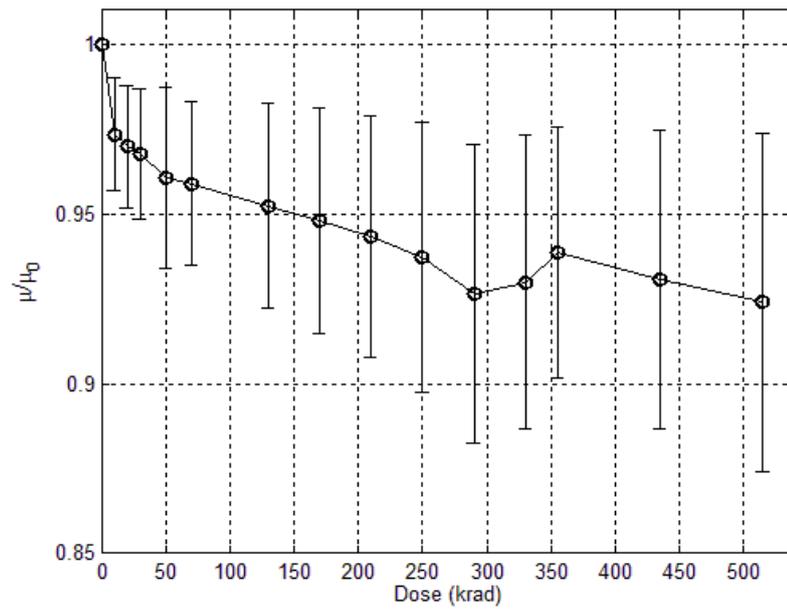
Nesta seção é apresentada, apenas, a mobilidade média das lacunas nos PMOSFETs polarizados e não polarizados durante o ensaio de irradiação e recozimento. O comportamento da mobilidade média dos elétrons nos NMOSFETs não é apresentado, pois seu comportamento foi estocástico, aparentemente descorrelacionado com o efeito de dose total. A média e o desvio padrão das amostras de mobilidade em NMOSFETs e PMOSFETs são apresentados, em maiores detalhes, no Apêndice A. Os resultados nesta seção e no Apêndice A são apresentados na forma normalizada ( $\mu/\mu_0$ ) para eliminar a necessidade do conhecimento das dimensões dos transistores, bem como da capacitância de óxido, para a análise dos resultados.

A Figura 3.18 apresenta a variação da mobilidade média das lacunas dos PMOSFETs em função da dose total, permitindo a comparação entre os resultados obtidos para transistores polarizados e não polarizados durante o ensaio de irradiação.

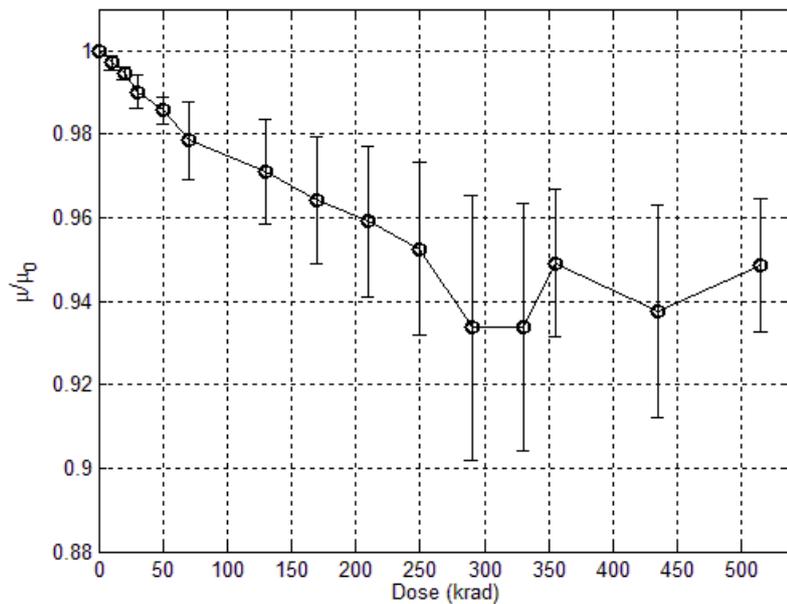


**Figura 3.18: Mobilidade média normalizada das lacunas em PMOSFETs polarizados e não polarizados em função da dose total.**

A Figura 3.19 e a Figura 3.20 apresentam, respectivamente, a variação média da mobilidade efetiva dos elétrons dos PMOSFETs polarizados e não polarizados durante a irradiação em função da dose total. As barras de erro padrão da média foram calculadas utilizando-se as expressões (3.7) e (3.8), para um intervalo de confiança de 95%.



**Figura 3.19: Mobilidade média normalizada das lacunas de PMOSFETs polarizados durante o ensaio de irradiação e barras de erro em função da dose total.**



**Figura 3.20: Mobilidade média normalizada das lacunas de PMOSFETs não polarizados durante o ensaio de irradiação e barras de erro em função da dose total.**

A Figura 3.21 apresenta a variação média da mobilidade das lacunas dos PMOSFETs em função do tempo, considerando transistores polarizados e não polarizados durante a irradiação e etapas de recozimento.

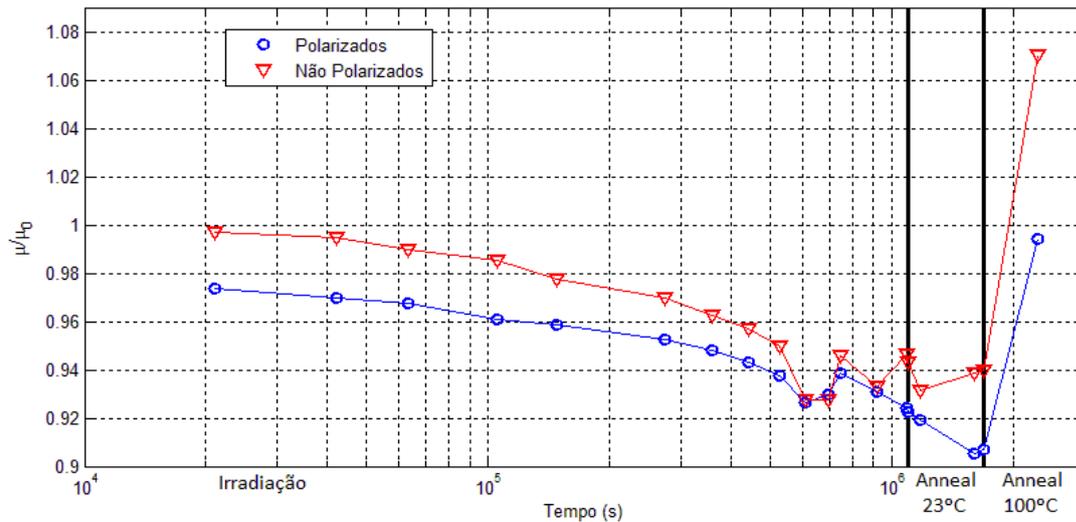


Figura 3.21: Mobilidade média normalizada das lacunas de PMOSFETs polarizados e não polarizados durante ensaio de irradiação e recozimento em função do tempo.

### 3.7 Análise dos Resultados

A análise dos resultados foi efetuada a partir da comparação das medidas realizadas anteriormente e durante o ensaio de irradiação e durante o processo de recozimento; bem como comparação com resultados existentes na literatura e resultados de simulações.

#### 3.7.1 Tensão de Limiar

Os PMOSFETs apresentaram, na média, variações negativas da tensão de limiar durante o ensaio de irradiação, como apresentado na Figura 3.12. Isto indica o acúmulo de cargas positivas no óxido e na interface Si/SiO<sub>2</sub>. Este comportamento, conforme apresentado na seção 2.1.2, é previsto na literatura para PMOSFETs devido às contribuições negativas para a tensão de limiar das cargas aprisionadas no óxido e das armadilhas de interface.

Além disso, é possível observar, ainda na Figura 3.12, que, embora a tendência das curvas da tensão de limiar em função da dose para PMOSFETs polarizados e não polarizados durante o ensaio de irradiação seja semelhante, os transistores polarizados apresentaram variações médias mais severas na tensão de limiar. Dentre as razões para este comportamento, pode-se citar a dependência do acúmulo de cargas no óxido e nas armadilhas de interface com o campo elétrico aplicado (Winokur, 1989; Oldham e Mclean, 2003).

A tensão de limiar dos NMOSFETs, por outro lado, apresentou comportamentos distintos para transistores polarizados e não polarizados durante o ensaio de irradiação, como apresentado na Figura 3.8. NMOSFETs não polarizados durante o ensaio de irradiação apresentaram, conforme a Figura 3.10, desvio médio negativo na tensão de limiar, indicando um acúmulo de cargas positivas no óxido do dispositivo. Os NMOSFETs polarizados durante o ensaio de irradiação, por sua vez, apresentaram desvio médio positivo, indicando um acúmulo de cargas negativas nas armadilhas de

interface. Apesar disso, é necessário analisar este resultado com cautela, uma vez que a Figura 3.9 evidencia o elevado erro padrão da média nas amostras, de tal forma que não é possível assegurar, com 95% de confiança, que o desvio médio da tensão de limiar tenha sido positivo.

É importante observar que, após o processo de recozimento a 100 °C, tanto NMOSFETs como PMOSFETs apresentaram tensão de limiar média inferior, em módulo, àquela medida previamente ao ensaio de irradiação. Uma explicação possível para este comportamento é a existência de cargas negativas nos NMOSFETs e de cargas positivas nos PMOSFETs anteriores ao ensaio de irradiação. Estas cargas podem ser defeitos relacionados à degradação dos transistores, devido à ação de fatores como, por exemplo, umidade. Neste sentido, é necessário observar que o circuito testado permaneceu armazenado por, pelo menos, quatro anos. Por fim, é possível realizar uma comparação entre os desvios na tensão de limiar medidos neste trabalho e os resultados obtidos no trabalho de Laco, Osborn *et al.* (1998) apresentados na Tabela 3.4, no qual foram irradiados transistores comerciais, tecnologia 0,35  $\mu\text{m}$ , de geometria mínima. Esta comparação, contudo, deve ser analisada com cautela. É necessário ter em vista que aspectos importantes do circuito, como a geometria dos transistores; do processo de fabricação; e do próprio ensaio de irradiação, podem afetar a resposta do circuito à dose total.

**Tabela 3.4: Desvios na tensão de limiar devido aos efeitos de dose total. Extraído de Laco, Osborn *et al.* (1998).**

Dose (krad)	$\Delta V_T$ (mV)	
	NMOSFETs	PMOSFETs
1	25,1	-0,3
3	31	-0,4
10	37,2	-1,5
30	42,6	-3,6
50	30,4	-5,6
70	29,3	-7,9
100	29,7	-8
300	-60,3	-18,7
Pós Recozimento	128,8	-8,7

Ambos os trabalhos obtiveram, para NMOSFETs, desvio médio da tensão de limiar positivo para doses totais de até 100 krad. Para estas doses, embora o trabalho de Laco, Osborn *et al.* (1998) apresente valores superiores para o desvio médio da tensão de limiar em relação aos medidos neste trabalho, o elevado erro padrão da média calculado neste trabalho não permite uma análise mais profunda sobre esta diferença. Para 300 krad, a diferença observada entre os dois trabalhos pode estar relacionada à diferente taxa de dose utilizada, resultando em tempos diferentes de ensaio e, portanto, em densidades diferentes de cargas positivas no óxido e cargas negativas na interface. Além disso, após o processo de recozimento, o presente trabalho verificou uma redução da tensão de limiar dos NMOSFETs, diferente do acréscimo observado no trabalho de Laco, Osborn *et al.* (1998). Esta diferença pode estar relacionada à condição prévia do circuito medido neste trabalho que, como constatado anteriormente, pode ter sofrido com degradação.

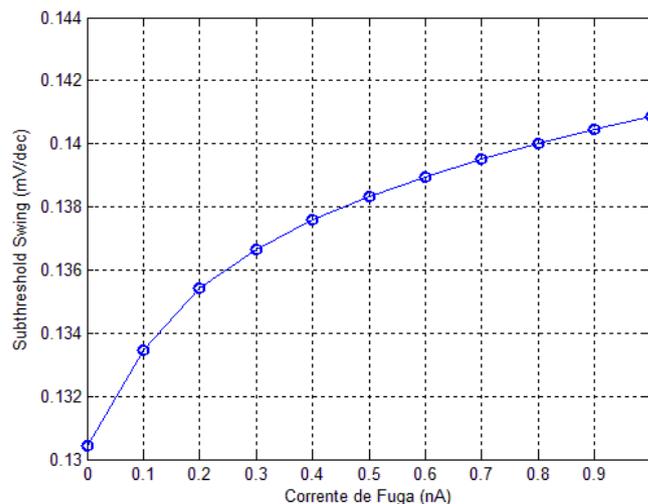
Os PMOSFETs, por sua vez, apresentaram desvios negativos em ambos os trabalhos, como esperado. Contudo, os PMOSFETs medidos no presente trabalho apresentaram desvio médio da tensão de limiar superior em relação ao trabalho de Lacoé, Osborn *et al.* (1998), mesmo quando considerado o erro padrão da média. Neste caso, é possível inferir que os PMOSFETs analisados no presente trabalho foram mais suscetíveis aos efeitos de dose total. Finalmente, a redução, em módulo, da tensão de limiar em ambos os trabalhos após o recozimento indica neutralização de cargas positivas acumuladas nos dispositivos durante a irradiação.

### 3.7.2 *Subthreshold Swing*

Conforme observado na Figura 3.16 e na Figura 3.17, *subthreshold swing* médio, tanto dos NMOSFETs como dos PMOSFETs, apresentou uma tendência de aumento com a dose total. Este comportamento era esperado, conforme apresentado na subseção 2.1.3.1. Apesar disso, tanto NMOSFETs como PMOSFETs apresentaram desvios no comportamento esperado.

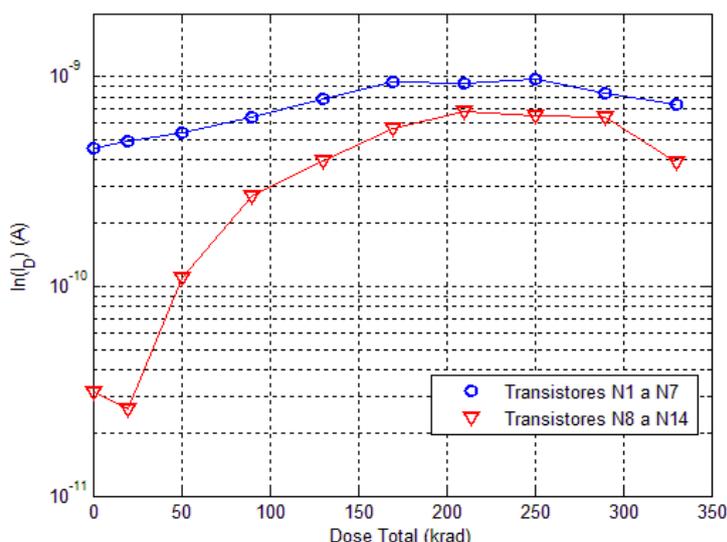
Os NMOSFETs polarizados apresentaram tendência de aumento do *subthreshold swing* somente até uma dose total acumulada de 210 krad. A partir desta dose, o *subthreshold swing* assumiu uma tendência decrescente, como visto na Figura 3.16. Como esta grandeza é dependente da densidade de cargas na interface e esta densidade é dependente da dose total, era esperado que, com o aumento da dose, ocorresse degradação da inclinação de sublimiar.

Este comportamento pode estar relacionado à corrente de sublimiar dos dispositivos, ou seja, à corrente de fuga que flui através do dreno mesmo para tensões  $V_{GS}$  aplicadas inferiores à tensão de limiar. Utilizando um simulador SPICE (*simulation program with integrated circuit emphasis*) foi simulado um NMOSFET, tecnologia 0,35  $\mu\text{m}$ , injetando-se uma corrente entre dreno e fonte para simular a corrente de fuga na região de sublimiar. Esta corrente foi aumentada gradualmente e o *subthreshold swing* foi calculado, para cada caso, utilizando-se a definição fornecida na seção 3.6.2. O resultado é apresentado na Figura 3.22. O *netlist* da simulação é apresentado no Apêndice B.



**Figura 3.22: Inclinação de sublimiar em função da corrente de fuga injetada em um transistor simulado, tecnologia 0,35  $\mu\text{m}$ .**

É possível observar que o *subthreshold swing* degrada quando há um aumento da corrente de sublimiar do dispositivo. Este resultado é particularmente importante, pois, no circuito analisado, devido à disposição dos transistores em uma matriz, na obtenção das curvas  $I_D \times V_G$  dos transistores, a corrente de sublimiar medida é o resultado do somatório das correntes de todos os dispositivos em paralelo. Por este motivo, o *subthreshold swing* calculado para transistores dispostos em paralelo não somente será superior àquele calculado para o dispositivo individual, como também dependerá da corrente de fuga dos dispositivos. Por este motivo, na Figura 3.23 é apresentada a corrente de dreno média dos dispositivos N1 a N7 e N8 a N14 para  $V_{GS} = 0$  V e  $V_{DS} = 50$  mV, em função da dose total acumulada.



**Figura 3.23:** Corrente de dreno média medida em função da dose total nos NMOSFETs irradiados para  $V_{GS} = 0$  V e  $V_{DS} = 50$  mV.

É possível perceber, na figura acima, a redução da corrente de sublimiar dos transistores para doses superiores a 250 krad. Esta redução da corrente pode estar associada ao aumento da tensão de limiar média dos NMOSFETs, observado na Figura 3.8, e pode ter resultado na recuperação da inclinação de sublimiar calculada para doses superiores a 250 krad, observada na Figura 3.16.

Finalmente, os PMOSFETs não polarizados apresentaram degradação superior da inclinação de sublimiar média em relação aos PMOSFETs não polarizados, como pode ser observado na Figura 3.17. Tendo em vista que o acúmulo de cargas na interface está relacionado ao campo elétrico aplicado (Winokur, 1989), este resultado não era esperado. Devido ao elevado desvio padrão das amostras, não é possível assegurar que esta diferença entre as duas curvas é significativa. É possível ainda que, assim como para os NMOSFETs, o cálculo do *subthreshold swing* dos PMOSFETs tenha sido afetado pela corrente de sublimiar dos dispositivos dispostos em paralelo ao dispositivo medido.

### 3.7.3 Mobilidade Efetiva

A mobilidade efetiva média das lacunas nos PMOSFETs diminuiu com o aumento da dose total acumulada, atingindo uma degradação média superior a 5% para doses

acima de 250 krad, como mostra a Figura 3.18. Além disso, esta mesma figura indica que a degradação da mobilidade foi ligeiramente mais severa em PMOSFETs polarizados. Entretanto, devido ao pequeno número de amostras medidas neste trabalho associado ao elevado desvio padrão calculado para as amostras em diferentes doses acumuladas, não é possível afirmar, dentro do intervalo de confiabilidade proposto, que a mobilidade efetiva das lacunas em PMOSFETs polarizados durante o ensaio de irradiação sofre degradação mais acentuada comparativamente à mobilidade dos PMOSFETs não polarizados.

Apesar disso, era esperado que os transistores polarizados apresentassem degradação da mobilidade efetiva maior em comparação àqueles não polarizados. Isto se deve ao fato de que a mobilidade efetiva, como apresentado na seção 2.1.4, é dependente da densidade de cargas aprisionadas no óxido e na interface do transistor. Como o acúmulo destas cargas depende do campo elétrico aplicado durante o ensaio de irradiação (Winokur, 1989; Oldham e Mclean, 2003), é esperado, então, que a mobilidade também seja dependente do campo elétrico aplicado.

Finalmente, observou-se que, após o processo de recozimento a uma temperatura de 100 °C, a mobilidade efetiva das lacunas medida nos PMOSFETs não polarizados foi superior à mobilidade medida previamente ao ensaio de irradiação. Novamente, este comportamento indica a existência de defeitos prévios ao ensaio de irradiação, relacionados à degradação dos transistores devido à ação de fatores como, por exemplo, umidade.

## 4 CONSIDERAÇÕES FINAIS

A exposição de transistores MOS à radiação ionizante provoca a degradação de parâmetros elétricos – como a tensão de limiar, *subthreshold swing* e mobilidade efetiva dos portadores de carga – destes dispositivos devido aos efeitos de dose total. Estes efeitos são decorrentes do acúmulo de cargas em armadilhas no óxido e na interface Si/SiO<sub>2</sub> dos dielétricos de campo e de porta de transistores MOS.

Neste sentido, foi realizado um ensaio de irradiação com o intuito de mensurar a degradação das características elétricas de transistores MOS fabricados com um processo tecnológico CMOS 0,35 μm. Para isto, uma matriz composta por 28 transistores, sendo 14 NMOSFETs e 14 PMOSFETs, foi irradiada utilizando-se uma fonte de radiação gama <sup>60</sup>Co. As curvas  $I_D \times V_G$  e  $I_D \times V_D$  dos transistores foram medidas para diferentes doses totais e, também, após a realização de um processo de recozimento. A partir destas curvas, foram extraídas a tensão limiar dos transistores, *subthreshold swing* e mobilidade efetiva normalizada dos portadores para diferentes doses totais.

Como esperado, devido ao acúmulo de cargas positivas no óxido e na interface, os PMOSFETs, polarizados e não polarizados, apresentaram variação negativa na tensão de limiar média. Este comportamento também foi observado para os NMOSFETs não polarizados, indicando que os efeitos de cargas positivas aprisionadas no óxido dominou o comportamento destes dispositivos. Quanto aos NMOSFETs polarizados durante o ensaio de irradiação, o elevado desvio padrão das amostras não permite que se assegure que houve diferença significativa entre os efeitos de armadilhas no óxido e armadilhas na interface na tensão de limiar média destes dispositivos.

Além disso, o desvio positivo observado na tensão de limiar média dos PMOSFETs e negativo na tensão de limiar média dos NMOSFETs após o ensaio de irradiação indica uma degradação dos dispositivos anterior à primeira mediação realizada. Isto significa que, previamente aos testes, o circuito pode ter sofrido degradação devido à um parâmetro não controlado como, por exemplo, a umidade. Esta possibilidade deve ser considerada, tendo em vista o tipo de encapsulamento do dispositivo e o período em que permaneceu armazenado.

Quanto ao *subthreshold swing*, verificou-se que esta medida, tanto para PMOSFETs como para NMOSFETs, pode ter sido afetada pela corrente de fuga dos dispositivos em paralelo. Devido à disposição dos transistores ensaiados em uma matriz, não foi possível isolar os transistores e caracterizá-los individualmente. Portanto, deve-se observar que a redução verificada no *subthreshold swing* dos NMOSFETs para doses superiores a 210 krad pode estar relacionada à redução da corrente de sublimiar dos transistores devido a uma elevação da tensão de limiar do dispositivo, decorrente ao acúmulo de cargas em armadilhas de interface.

Devido ao pequeno número de amostras, não foi possível encontrar correlação entre a dose total e a mobilidade efetiva dos elétrons nos NMOSFETs. Por outro lado, nos PMOSFETs, a mobilidade efetiva média das lacunas apresentou redução com a dose total devido ao acúmulo de cargas positivas no óxido e na interface do dispositivo, de acordo com o modelo apresentado na expressão (2.4).

Por fim, os resultados obtidos neste trabalho permitem a realização de simulação elétrica de circuitos considerando os efeitos de dose total, possibilitando uma estimativa da resposta do circuito para diferentes doses. É necessário, contudo, cautela na análise dos resultados das simulações, pois diferentes processos de fabricação, ainda que de um mesmo nó tecnológico, podem apresentar respostas distintas aos efeitos de dose total. Além disso, os resultados obtidos neste trabalho podem ter sido afetados pela degradação prévia ao ensaio de irradiação dos dispositivos testados.

Sugere-se, portanto, para trabalhos futuros de caracterização de transistores em função dos efeitos de dose total, a realização de uma etapa de recozimento previamente ao ensaio de irradiação. Este recozimento permite a recuperação de parâmetros elétricos do circuito que tenham degradado devido a fatores diversos, descorrelacionados com os efeitos de dose total.

## REFERÊNCIAS

- ANELLI, G. et al. Radiation tolerant VLSI circuits in standard deep submicron CMOS technologies for the LHC experiments: practical design aspects. **Nuclear Science, IEEE Transactions on**, [s.l.], v. 46, n. 6, p. 1690-1696, 1999.
- BAKER, R. J. **CMOS: circuit design, layout and simulation**. New York: John Wiley & Sons, 2010.
- BARNABY, H. J. Total-Ionizing-Dose Effects in Modern CMOS Technologies. Nuclear Science. **IEEE Transactions on**, [s.l.] v. 53, n. 6, p. 3103-3121, 2006.
- BARNABY, H. J.; MCLAIN, M.; ESQUEDA, I. S. Total-ionizing-dose effects on isolation oxides in modern CMOS technologies. **Nuclear Instruments and Methods in Physics Research Section B: Beam Interactions with Materials and Atoms**, [s.l.], v. 261, n. 1–2, p. 1142-1145, 2007.
- BENEDETTO, J. M. et al. Digital Single Event Transient Trends With Technology Node Scaling. **Nuclear Science, IEEE Transactions on**, [s.l.], v. 53, n. 6, p. 3462-3465, 2006.
- BREWS, J. R. et al. A conceptual model of a single-event gate-rupture in power MOSFETs. **Nuclear Science, IEEE Transactions on**, [s.l.], v. 40, n. 6, p. 1959-1966, 1993.
- BRISSET, C. et al. Two-dimensional simulation of total dose effects on NMOSFET with lateral parasitic transistor. **Nuclear Science, IEEE Transactions on**, [s.l.], v. 43, n. 6, p. 2651-2658, 1996.
- BRUGUIER, G.; PALAU, J. M. Single particle-induced latchup. **Nuclear Science, IEEE Transactions on**, [s.l.], v. 43, n. 2, p. 522-532, 1996.
- CAMPBELL, J. P. et al. Random telegraph noise in highly scaled nMOSFETs. In: RELIABILITY PHYSICS SYMPOSIUM, 2009 IEEE INTERNATIONAL, 2009, Quebec. **Proceedings...** New York: IEEE, 2009. p. 382-388.
- DIEHL, S. E. et al. Error Analysis and Prevention of Cosmic Ion-Induced Soft Errors in Static CMOS RAMs. **Nuclear Science, IEEE Transactions on**, [s.l.], v. 29, n. 6, p. 2032-2039, 1982.
- DIMITRIJEV, S.; STOJADINović, N. Analysis of CMOS transistor instabilities. **Solid-State Electronics**, [s.l.], v. 30, n. 10, p. 991-1003, 1987.

DODD, P. E. Physics-based simulation of single-event effects. **Device and Materials Reliability, IEEE Transactions on**, [s.l.], v. 5, n. 3, p. 343-357, 2005.

DODD, P. E.; MASSENGILL, L. W. Basic mechanisms and modeling of single-event upset in digital microelectronics. **Nuclear Science, IEEE Transactions on**, [s.l.], v. 50, n. 3, p. 583-602, 2003.

DODD, P. E. et al. Current and Future Challenges in Radiation Effects on CMOS Electronics. **Nuclear Science, IEEE Transactions on**, [s.l.], v. 57, n. 4, p. 1747-1763, 2010.

DODD, P. E. et al. Single-event upset and snapback in silicon-on-insulator devices and integrated circuits. **Nuclear Science, IEEE Transactions on**, [s.l.], v. 47, n. 6, p. 2165-2174, 2000.

DORMAN, L. I. **Cosmic rays in earth's atmosphere and underground**. Dordrecht: Kluwer Academic Publishers, 2004.

DOZIER, C. M. et al. Defect Production in SiO<sub>2</sub> by X-Ray and Co-60 Radiations. **Nuclear Science, IEEE Transactions on**, [s.l.], v. 32, n. 6, p. 4363-4368, 1985.

DUFOUR, C. et al. Heavy ion induced single hard errors on submicronic memories [for space application]. **Nuclear Science, IEEE Transactions on**, [s.l.], v. 39, n. 6, p. 1693-1697, 1992.

DURANTE, M.; CUCINOTTA, F. A. Physical basis of radiation protection in space travel. **Reviews of Modern Physics**, [s.l.], v. 83, n. 4, p. 1245-1281, 2011.

ECOFFET, R. In-flight Anomalies on Electronic Devices. In: VELAZCO, R.; FOUILLAT, P. et al (Ed.). **Radiation Effects on Embedded Systems**. Dordrecht: Springer Netherlands, 2007. cap. 3, p.31-68.

ENTRENA, L. et al. SET Emulation Considering Electrical Masking Effects. **Nuclear Science, IEEE Transactions on**, [s.l.], v. 56, n. 4, p. 2021-2025, 2009.

EREMIN, V.; VERBITSKAYA, E.; LI, Z. Effect of radiation induced deep level traps on Si detector performance. **Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment**, [s.l.], v. 476, n. 3, p. 537-549, 2002.

FEIGL, F. J.; FOWLER, W. B.; YIP, K. L. Oxygen vacancy model for the E1' center in SiO<sub>2</sub>. **Solid State Communications**, [s.l.], v. 14, n. 3, p. 225-229, 1974.

FELIX, J. A. et al. Effects of radiation and charge trapping on the reliability of high-κ gate dielectrics. **Microelectronics Reliability**, [s.l.], v. 44, n. 4, p. 563-575, 2004.

FLEETWOOD, D. M. 'Border traps' in MOS devices. **Nuclear Science, IEEE Transactions on**, [s.l.], v. 39, n. 2, p. 269-271, 1992.

FLEETWOOD, D. M.; MEISENHEIMER, T. L.; SCOFIELD, J. H. 1/f noise and radiation effects in MOS devices. **Electron Devices, IEEE Transactions on**, [s.l.], v. 41, n. 11, p. 1953-1964, 1994.

FLEETWOOD, D. M.; WINOKUR, P. S.; SCHWANK, J. R. Using laboratory X-ray and cobalt-60 irradiations to predict CMOS device response in strategic and space environments. **Nuclear Science, IEEE Transactions on**, [s.l.], v. 35, n. 6, p. 1497-1505, 1988.

FLEETWOOD, D. M. et al. Unified model of hole trapping, 1/f noise, and thermally stimulated current in MOS devices. **Nuclear Science, IEEE Transactions on**, [s.l.], v. 49, n. 6, p. 2674-2683, 2002.

FREUND, J. E.; SIMON, G. A. **Estatística aplicada: economia, administração e contabilidade**. 9 ed. Porto Alegre: Bookman, 2000.

GADLAGE, M. J. et al. Single event transient pulse widths in digital microcircuits. **Nuclear Science, IEEE Transactions on**, [s.l.], v. 51, n. 6, p. 3285-3290, 2004.

GAILLARDIN, M. et al. Radiation Effects in CMOS Isolation Oxides: Differences and Similarities With Thermal Oxides. **Nuclear Science, IEEE Transactions on**, [s.l.], v. PP, n. 99, p. 1-7, 2013.

GEORGE, J. et al. Single Event Upsets in Xilinx Virtex-4 FPGA Devices. In: **RADIATION EFFECTS DATA WORKSHOP, 2006 IEEE**, 2006, Ponte Vedra. **Proceedings...** New York: IEEE, 2006. p.109-114.

GONELLA, L. et al. Total Ionizing Dose effects in 130-nm commercial CMOS technologies for HEP experiments. **Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment**, [s.l.], v. 582, n. 3, p. 750-754, 2007.

GRASSER, T. et al. The Paradigm Shift in Understanding the Bias Temperature Instability: From Reaction-Diffusion to Switching Oxide Traps. **Electron Devices, IEEE Transactions on**, [s.l.], v. 58, n. 11, p. 3652-3666, 2011.

GREGORY, B. L.; SHAFER, B. D. Latch-Up in CMOS Integrated Circuits. **Nuclear Science, IEEE Transactions on**, [s.l.], v. 20, n. 6, p. 293-299, 1973.

HAJIMIRI, A.; LEE, T. H. A general theory of phase noise in electrical oscillators. **Solid-State Circuits, IEEE Journal of**, [s.l.], v. 33, n. 2, p. 179-194, 1998.

HARDY, T.; MUROWINSKI, R.; DEEN, M. J. Charge transfer efficiency in proton damaged CCD's. **Nuclear Science, IEEE Transactions on**, [s.l.], v. 45, n. 2, p. 154-163, 1998.

HATHAWAY, D. H. The solar cycle. **Living Reviews in Solar Physics**, [s.l.], v. 7, p. 1, 2010.

HOHL, J. H.; GALLOWAY, K. F. Analytical Model for Single Event Burnout of Power MOSFETs. **Nuclear Science, IEEE Transactions on**, [s.l.], v. 34, n. 6, p. 1275-1280, 1987.

HURKX, G. A. M. et al. A new analytical diode model including tunneling and avalanche breakdown. **Electron Devices, IEEE Transactions on**, [s.l.], v. 39, n. 9, p. 2090-2098, 1992.

INTERNATIONAL RECTIFIER. **IRH7130**: datasheet. 2001. Disponível em: <<http://www.irf.com/product-info/datasheets/data/irh7130.pdf>> Acesso em: 23 de set. 2013.

JARRON, P. et al. Deep submicron CMOS technologies for the LHC experiments. **Nuclear Physics B - Proceedings Supplements**, [s.l.], v. 78, n. 1-3, p. 625-634, 1999.

KANG, A. Y.; LENAHAN, P. M.; CONLEY, J. F. The radiation response of the high dielectric-constant hafnium oxide/silicon system. **Nuclear Science, IEEE Transactions on**, [s.l.], v. 49, n. 6, p. 2636-2642, 2002.

KARNIK, T.; HAZUCHA, P. Characterization of soft errors caused by single event upsets in CMOS processes. **Dependable and Secure Computing, IEEE Transactions on**, [s.l.], v. 1, n. 2, p. 128-143, 2004.

KERRIS, K. G. Source Considerations and Testing Techniques. In: MA, T. P. e DRESSENDORFER, P. V. (Ed.). **Ionizing Radiation Effects in MOS Devices and Circuits**. New York: John Wiley & Sons, 1989. cap. 8,

KINCHIN, G. H.; PEASE, R. S. The Displacement of Atoms in Solids by Radiation. **Reports on Progress in Physics**, [s.l.], v. 18, n. 1, p. 1-48, 1955.

KOGA, R. et al. On the suitability of non-hardened high density SRAMs for space applications. **Nuclear Science, IEEE Transactions on**, [s.l.], v. 38, n. 6, p. 1507-1513, 1991.

KOGA, R.; KOLASINSKI, W. A. Heavy ion induced snapback in CMOS devices. **Nuclear Science, IEEE Transactions on**, [s.l.], v. 36, n. 6, p. 2367-2374, 1989.

KOGA, R. et al. Single event functional interrupt (SEFI) sensitivity in microcircuits. In: RADIATION AND ITS EFFECTS ON COMPONENTS AND SYSTEMS (RADECS 97),. FOURTH EUROPEAN CONFERENCE ON, 4., 1997, Cannes. **Proceedings...** New York: IEEE, 1997. p. 311-318.

LACOE, R. C. et al. Total-dose radiation tolerance of a commercial 0.35 um CMOS process. In: RADIATION EFFECTS DATA WORKSHOP, IEEE, 1998, Newport Beach. **Proceedings...** New York: IEEE, 1998. p.104-110.

LANGLEY, T. E.; MURRAY, P. SEE and TID test results of 1 Gb flash memories. In: RADIATION EFFECTS DATA WORKSHOP, 2004 IEEE, 2004, Atlanta. **Proceedings...** New York: IEEE, 2004. p.58-61.

LELIS, A. J. et al. Reversibility of trapped hole annealing. **Nuclear Science, IEEE Transactions on**, [s.l.], v. 35, n. 6, p. 1186-1191, 1988.

LELIS, A. J.; OLDHAM, T. R. Time dependence of switching oxide traps. **Nuclear Science, IEEE Transactions on**, [s.l.], v. 41, n. 6, p. 1835-1843, 1994.

LIMA, K. G. **Estruturas APS resistentes à radiação para aplicações espaciais**. 2006. 105 f. Dissertação (Mestrado em Engenharia) - Programa de Pós-Graduação de Engenharia Elétrica, Universidade Federal do Rio de Janeiro, Rio de Janeiro, 2006.

MA, T. P.; DRESSENDORFER, P. V. **Ionizing Radiation Effects in MOS Devices and Circuits**. 1st. ed. New York: John Wiley & Sons, 1989. 589 p.

MASSENGILL, L. W. Cosmic and terrestrial single-event radiation effects in dynamic random access memories. **Nuclear Science, IEEE Transactions on**, [s.l.], v. 43, n. 2, p. 576-593, 1996.

MCLEAN, F. B.; BOESCH JR, H. E.; OLDHAM, T. R. Electron-Hole Generation, Transport and Trapping in SiO<sub>2</sub>. In: MA, T. P.; DRESSENDORFER, P. V. (Ed.). **Ionizing Radiation effects in MOS Devices and Circuits**. New York: John Wiley & Sons, 1989, cap. 3, p.87-192.

MCLEAN, F. B.; OLDHAM, T. R. **Basic Mechanisms of Radiation Effects in Electronic Materials and Devices**. 91 p. , 1987. Disponível em:  
<<http://oai.dtic.mil/oai/oai?verb=getRecord&metadataPrefix=html&identifier=ADA186936>> Acesso em: 3 de fev. 2014.

MCWHORTER, A. L. 1/f noise and germanium surface properties. In: KINGSTON, R. (Ed.). **Semiconductor surface physics**. Philadelphia: University of Philadelphia Press, 1957, p. 207-228.

MEISENHEIMER, T. L.; FLEETWOOD, D. M. Effect of radiation-induced charge on 1/f noise in MOS devices. **Nuclear Science, IEEE Transactions on**, [s.l.], v. 37, n. 6, p. 1696-1702, 1990.

MESSENGER, G. C. A summary review of displacement damage from high energy radiation in semiconductors and semiconductor devices. In: RADIATION AND ITS EFFECTS ON DEVICES AND SYSTEMS (RADECS 91), FIRST EUROPEAN CONFERENCE ON, 1., 1991, La Grande-Motte. **Proceedings...** New York: IEEE, 1991. p.35-40.

MISKOV-ZIVANOV, N.; MARCULESCU, D. Circuit Reliability Analysis Using Symbolic Techniques. **Computer-Aided Design of Integrated Circuits and Systems, IEEE Transactions on**, [s.l.], v. 25, n. 12, p. 2638-2649, 2006.

MONTROLL, E. W.; WEISS, G. H. Random Walks on Lattices ii. **Mathematical Physics, Journal of**, [s.l.], v. 6, n. 2, p. 167-181, 1965.

MUJTABA, S. A. **Advanced Mobility Models for Design and Simulation of Deep Submicrometer MOSFETs**. 1995. 153 p. Tese (Doctor of Philosophy) - Department of Electrical Engineering, Stanford University, Stanford, 1995.

NAGUMO, T. et al. Statistical characterization of trap position, energy, amplitude and time constants by RTN measurement of multiple individual traps. In: **ELECTRON DEVICES MEETING (IEDM), 2010 IEEE INTERNATIONAL**, 2010, San Francisco. **Proceedings...**, New York: IEEE, 2010. p.28.3.1-28.3.4.

NICHOLS, D. K. et al. Observations of single event failure in power MOSFETs. In: **RADIATION EFFECTS DATA WORKSHOP, 1994 IEEE**, 1994, [s.l.]. **Proceedings...**, New York: IEEE, 1994. p.41-54.

NICKLAW, C. J. et al. The structure, properties, and dynamics of oxygen vacancies in amorphous SiO<sub>2</sub>. **Nuclear Science, IEEE Transactions on**, [s.l.], v. 49, n. 6, p. 2667-2673, 2002.

O'SULLIVAN, D. et al. Recent Studies on the Exposure of Aircrew to Cosmic and Solar Radiation. **Radiation Protection Dosimetry**, [s.l.], v. 100, n. 1-4, p. 496-498, 2002.

OCHOA, A. et al. Snap-Back: A Stable Regenerative Breakdown Mode of MOS Devices. **Nuclear Science, IEEE Transactions on**, [s.l.], v. 30, n. 6, p. 4127-4130, 1983.

OLDHAM, T. R. Switching oxide traps. **International Journal of High Speed Electronics and Systems**, [s.l.], v. 14, n. 02, p. 581-603, 2004.

OLDHAM, T. R. et al. Effect of Radiation Exposure on the Retention of Commercial NAND Flash Memory. **Nuclear Science, IEEE Transactions on**, [s.l.], v. 58, n. 6, p. 2904-2910, 2011.

OLDHAM, T. R.; LELIS, A. J.; MCLEAN, F. B. Spatial Dependence of Trapped Holes Determined from Tunneling Analysis and Measured Annealing. **Nuclear Science, IEEE Transactions on**, [s.l.], v. 33, n. 6, p. 1203-1209, 1986.

OLDHAM, T. R.; MCLEAN, F. B. Total ionizing dose effects in MOS oxides and devices. **Nuclear Science, IEEE Transactions on**, [s.l.], v. 50, n. 3, p. 483-499, 2003.

OLSEN, J. et al. Neutron-induced single event upsets in static RAMS observed a 10 km flight attitude. **Nuclear Science, IEEE Transactions on**, [s.l.], v. 40, n. 2, p. 74-77, 1993.

ORTIZ-CONDE, A. et al. Revisiting MOSFET threshold voltage extraction methods. **Microelectronics Reliability**, [s.l.], v. 53, n. 1, p. 90-104, 2013.

POINDEXTER, E. H.; CAPLAN, P. J. Characterization of Si/SiO<sub>2</sub> interface defects by electron spin resonance. **Progress in Surface Science**, [s.l.], v. 14, n. 3, p. 201-294, 1983.

RABAEY, J. M. **Digital Integrated Circuits: Design and Perspective**. 2nd. ed. New Dehli: Prentice-Hall of India, 2003. 761 p.

ROSENFELD, D.; BAHIR, G. A model for the trap-assisted tunneling mechanism in diffused n-p and implanted n+-p HgCdTe photodiodes. **Electron Devices, IEEE Transactions on**, [s.l.], v. 39, n. 7, p. 1638-1645, 1992.

SAH, R. L. Y.; NOYCE, R. N.; SHOCKLEY, W. Carrier Generation and Recombination in P-N Junctions and P-N Junction Characteristics. **Proceedings of the IRE**, [s.l.], v. 45, n. 9, p. 1228-1243, 1957.

SCARPA, A. et al. Ionizing radiation induced leakage current on ultra-thin gate oxides. **Nuclear Science, IEEE Transactions on**, [s.l.], v. 44, n. 6, p. 1818-1825, 1997.

SCARPA, A. et al. Electrically and radiation induced leakage currents in thin oxides. **Microelectronics Reliability**, [s.l.], v. 40, n. 1, p. 57-67,

SCHEICK, L.; GUERTIN, S.; NGUYEN, D. Investigation of the Mechanism of Stuck Bits in High Capacity SDRAMs. In: **RADIATION EFFECTS DATA WORKSHOP, 2008 IEEE, 2008, Tucson. Proceedings...** New York: IEEE, 2008. p.47-52.

SCHER, H.; LAX, M. Stochastic Transport in a Disordered Solid. II. Impurity Conduction. **Physical Review B**, [s.l.], v. 7, n. 10, p. 4502-4519.

SCHLENVOGT, G. J. et al. Failure Analysis and Radiation-Enabled Circuit Simulation of a Dual Charge Pump Circuit. **Nuclear Science, IEEE Transactions on**, [s.l.], v. 57, n. 6, p. 3609-3614, 2010.

SCHRIMPF, R. D. Radiation Effects in Microelectronics. In: VELAZCO, R. et al (Ed.). **Radiation Effects on Embedded Systems**. Dordrecht: Springer, 2007. p.11-29.

SCHWANK, J. R. **Basic mechanisms of radiation effects in the natural space radiation environment**. 1994. 109 p.

Disponível em: < <http://www.osti.gov/scitech/servlets/purl/10158182>> Acesso em: 3 de fev. 2014.

SCHWANK, J. R. et al. Radiation effects in SOI technologies. **Nuclear Science, IEEE Transactions on**, [s.l.], v. 50, n. 3, p. 522-538, 2003.

SCHWANK, J. R. et al. Radiation Effects in MOS Oxides. **Nuclear Science, IEEE Transactions on**, [s.l.], v. 55, n. 4, p. 1833-1853, 2008.

SCHWANK, J. R. et al. Physical Mechanisms Contributing to Device "Rebound". **Nuclear Science, IEEE Transactions on**, [s.l.], v. 31, n. 6, p. 1434-1438, 1984.

SEXTON, F. W. Destructive single-event effects in semiconductor devices and ICs. **Nuclear Science, IEEE Transactions on**, [s.l.], v. 50, n. 3, p. 603-621, 2003.

SEXTON, F. W. et al. Single event gate rupture in thin gate oxides. **Nuclear Science, IEEE Transactions on**, [s.l.], v. 44, n. 6, p. 2345-2352, 1997.

SHOCKLEY, W.; READ, W. T., JR. Statistics of the Recombinations of Holes and Electrons. **Physical Review**, [s.l.], v. 87, n. 5, p. 835-842, 1952.

SIMOEN, E.; CLAEYS, C. On the flicker noise in submicron silicon MOSFETs. **Solid-State Electronics**, [s.l.], v. 43, n. 5, p. 865-882, 1999.

SROUR, J. R.; MARSHALL, C. J.; MARSHALL, P. W. Review of displacement damage effects in silicon devices. **Nuclear Science, IEEE Transactions on**, [s.l.], v. 50, n. 3, p. 653-670, 2003.

SROUR, J. R.; MCGARRITY, J. M. Radiation effects on microelectronics in space. **Proceedings of the IEEE**, [s.l.], v. 76, n. 11, p. 1443-1469, 1988.

STASSINOPOULOS, E. G.; RAYMOND, J. P. The space radiation environment for electronics. **Proceedings of the IEEE**, [s.l.], v. 76, n. 11, p. 1423-1442, 1988.

SWIFT, G. M.; PADGETT, D. J.; JOHNSTON, A. H. A new class of single event hard errors [DRAM cells]. **Nuclear Science, IEEE Transactions on**, [s.l.], v. 41, n. 6, p. 2043-2048, 1994.

SZE, S. M.; NG, K. K. **Physics of Semiconductor Devices**. 3rd. ed. New York: John Wiley & Sons, 2006.

TITUS, J. L.; WHEATLEY, C. F. Experimental studies of single-event gate rupture and burnout in vertical power MOSFETs. **Nuclear Science, IEEE Transactions on**, [s.l.], v. 43, n. 2, p. 533-545, 1996.

TITUS, J. L. et al. Effect of ion energy upon dielectric breakdown of the capacitor response in vertical power MOSFETs. **Nuclear Science, IEEE Transactions on**, [s.l.], v. 45, n. 6, p. 2492-2499, 1998.

TURFLINGER, T. L. Single-event effects in analog and mixed-signal integrated circuits. **Nuclear Science, IEEE Transactions on**, [s.l.], v. 43, n. 2, p. 594-602, 1996.

USEINOV, R. G. et al. Physical model of single heavy ION induced hard errors. RADIATION AND ITS EFFECTS ON COMPONENTS AND SYSTEMS (RADECS 2003), 7TH EUROPEAN CONFERENCE ON, 7., 2003, Noordwijk. **Proceedings...** New York: IEEE, 2003. p. 249-252.

VIRMONTOIS, C. et al. Displacement Damage Effects Due to Neutron and Proton Irradiations on CMOS Image Sensors Manufactured in Deep Submicron Technology. **Nuclear Science, IEEE Transactions on**, [s.l.], v. 57, n. 6, p. 3101-3108, 2010.

WHITE, M. H.; CRICCHI, J. R. Characterization of thin-oxide MNOS memory transistors. **Electron Devices, IEEE Transactions on**, [s.l.], v. 19, n. 12, p. 1280-1288, 1972.

WINOKUR, P. S. Radiation-Induced Interface Traps. In: MA, T. P.; DRESSENDORFER, P. V. (Ed.). **Ionizing Radiation effects in MOS Devices and Circuits**. New York: John Wiley & Sons, 1989. cap. 4, p.193-255.

WINOKUR, P. S. et al. Total-Dose Failure Mechanisms of Integrated Circuits in Laboratory and Space Environments. **Nuclear Science, IEEE Transactions on**, [s.l.], v. 34, n. 6, p. 1448-1454, 1987.

ZAJIC, V.; THIEBERGER, P. Heavy ion linear energy transfer measurements during single event upset testing of electronic devices. **Nuclear Science, IEEE Transactions on**, [s.l.], v. 46, n. 1, p. 59-69, 1999.

## ANEXO A: DIMENSÃO DOS TRANSISTORES

Tabela A.1: Dimensão dos NMOSFETs ensaiados. Extraídos de Lima (2006).

Grupo 2		Transistores NMOS-retangulares	
Transistor	Tipo	Largura (W)	Comprimento (L)
T1	NMOS	0,7 $\mu\text{m}$	0,35 $\mu\text{m}$
T2	NMOS	0,7 $\mu\text{m}$	7 $\mu\text{m}$
T3	NMOS	0,9 $\mu\text{m}$	9 $\mu\text{m}$
T4	NMOS	1,2 $\mu\text{m}$	12 $\mu\text{m}$
T5	NMOS	1,6 $\mu\text{m}$	16 $\mu\text{m}$
T6	NMOS	2 $\mu\text{m}$	20 $\mu\text{m}$
T7	NMOS	2,5 $\mu\text{m}$	25 $\mu\text{m}$
T8	NMOS	3,5 $\mu\text{m}$	0,35 $\mu\text{m}$
T9	NMOS	6 $\mu\text{m}$	0,6 $\mu\text{m}$
T10	NMOS	8 $\mu\text{m}$	0,8 $\mu\text{m}$
T11	NMOS	12 $\mu\text{m}$	1,2 $\mu\text{m}$
T12	NMOS	16 $\mu\text{m}$	1,6 $\mu\text{m}$
T13	NMOS	20 $\mu\text{m}$	2 $\mu\text{m}$
T14	NMOS	25 $\mu\text{m}$	25 $\mu\text{m}$

Tabela A.2: Dimensão dos PMOSFETs ensaiados. Extraídos de Lima (2006).

Grupo 3		Transistores PMOS-retangulares	
Transistor	Tipo	Largura (W)	Comprimento (L)
T1	PMOS	0,7 $\mu\text{m}$	0,35 $\mu\text{m}$
T2	PMOS	0,7 $\mu\text{m}$	7 $\mu\text{m}$
T3	PMOS	0,9 $\mu\text{m}$	9 $\mu\text{m}$
T4	PMOS	1,2 $\mu\text{m}$	12 $\mu\text{m}$
T5	PMOS	1,6 $\mu\text{m}$	16 $\mu\text{m}$
T6	PMOS	2 $\mu\text{m}$	20 $\mu\text{m}$
T7	PMOS	2,5 $\mu\text{m}$	25 $\mu\text{m}$
T8	PMOS	3,5 $\mu\text{m}$	0,35 $\mu\text{m}$
T9	PMOS	6 $\mu\text{m}$	0,6 $\mu\text{m}$
T10	PMOS	8 $\mu\text{m}$	0,8 $\mu\text{m}$
T11	PMOS	12 $\mu\text{m}$	1,2 $\mu\text{m}$
T12	PMOS	16 $\mu\text{m}$	1,6 $\mu\text{m}$
T13	PMOS	20 $\mu\text{m}$	2 $\mu\text{m}$
T14	PMOS	25 $\mu\text{m}$	25 $\mu\text{m}$

## APÊNDICE A: MÉDIA E DESVIO PADRÃO DOS PARÂMETROS MEDIDOS DURANTE O ENSAIO DE IRRADIAÇÃO

**Tabela A.1: Média e desvio padrão das amostras do desvio da tensão de limiar dos NMOSFETs polarizados em função da dose total.**

Dose (krad)	$\Delta V_T$ Médio (mV)	Desvio Padrão (mV)
10	12,0	12,5
20	12,0	12,5
30	11,0	14,3
50	14,0	16,7
70	10,0	22,6
90	4,0	32,6
130	5,0	43,0
170	7,0	43,6
210	9,0	45,0
250	10,0	46,5
290	12,0	47,2
330	12,0	47,2
355	11,0	45,9
435	15,0	49,5
515	20,0	37,9

**Tabela A.2: Média e desvio padrão das amostras do desvio da tensão de limiar dos NMOSFETs não polarizados em função da dose total.**

Dose (krad)	$\Delta V_T$ Médio (mV)	Desvio Padrão (mV)
10	-1,9	2,6
20	-1,9	2,6
30	-1,9	2,6
50	-3,1	3,7
70	-3,7	3,5
90	-3,5	3,7
130	-3,7	3,5
170	-3,1	3,7
210	-3,1	4,5
250	-3,7	4,4
290	-3,7	4,4
330	-5,0	4,6
355	-4,3	4,9
435	-4,3	4,9
515	-3,7	4,4

**Tabela A.3: Média e desvio padrão das amostras do desvio da tensão de limiar dos PMOSFETs polarizados em função da dose total.**

<b>Dose (krad)</b>	<b><math>\Delta V_T</math> Médio (mV)</b>	<b>Desvio Padrão (mV)</b>
10	-29,2	23,9
20	-30,0	22,9
30	-31,4	25,9
50	-32,1	25,0
70	-31,4	24,3
130	-34,3	27,1
170	-33,6	25,8
210	-34,3	27,1
250	-34,3	27,1
290	-31,4	24,4
330	-34,3	27,1
355	-30,7	24,4
435	-30,7	22,8
515	-35,0	22,9

**Tabela A.4: Média e desvio padrão das amostras do desvio da tensão de limiar dos PMOSFETs não polarizados em função da dose total.**

<b>Dose (krad)</b>	<b><math>\Delta V_T</math> Médio (mV)</b>	<b>Desvio Padrão (mV)</b>
10	-0,8	4,9
20	1,6	4,0
30	-4,1	4,9
50	-6,6	8,1
70	-5,0	6,3
130	-9,1	9,2
170	-12,5	8,8
210	-13,3	9,8
250	-13,3	9,8
290	-12,5	8,8
330	-18,3	29,3
355	-15,8	16,8
435	-21,6	28,0
515	-10,8	10,7

**Tabela A.5: Média e desvio padrão das amostras do *subthreshold swing* dos NMOSFETs polarizados em função da dose total.**

<b>Dose (krad)</b>	<b>S Médio (mV)</b>	<b>Desvio Padrão (mV)</b>
10	90,6	6,7
20	89,7	8,0
50	100,0	6,6
90	111,5	10,6
130	117,0	21,1
170	122,9	26,5
210	124,2	31,5
250	122,3	34,5
290	119,4	33,8
330	110,2	31,5
355	108,8	20,2
435	103,1	18,9
515	96,9	15,0

**Tabela A.6: Média e desvio padrão das amostras do *subthreshold swing* dos NMOSFETs não polarizados em função da dose total.**

<b>Dose (krad)</b>	<b>S Médio (mV)</b>	<b>Desvio Padrão (mV)</b>
10	90,4	15,0
20	89,7	8,8
50	90,9	8,3
90	92,7	8,4
130	94,0	8,4
170	95,5	8,5
210	95,7	8,3
250	96,0	8,6
290	95,9	8,5
330	94,9	8,7
355	94,7	8,8
435	94,0	9,5
515	92,2	9,7

**Tabela A.7: Média e desvio padrão das amostras do *subthreshold swing* dos PMOSFETs polarizados em função da dose total.**

Dose (krad)	S Médio (mV)	Desvio Padrão (mV)
10	102,0	14,1
20	107,4	12,4
50	112,7	12,4
90	112,3	11,5
110	106,1	12,6
130	102,0	14,0
170	103,8	13,2
210	107,5	11,9
250	110,1	11,8
290	118,1	15,3
330	119,7	15,7
355	130,1	25,3
435	107,1	12,2
515	101,1	13,2

**Tabela A.8: Média e desvio padrão das amostras do *subthreshold swing* dos PMOSFETs não polarizados em função da dose total.**

Dose (krad)	S Médio (mV)	Desvio Padrão (mV)
10	101,3	13,1
20	108,6	18,8
50	118,6	32,2
90	117,8	28,0
110	105,3	16,2
130	101,1	12,5
170	105,1	16,0
210	110,1	20,0
250	116,6	27,8
290	132,0	51,4
330	132,4	48,2
355	149,5	71,7
435	111,7	23,0
515	101,9	13,5

**Tabela A.9: Média e desvio padrão da mobilidade normalizada dos NMOSFETs polarizados em função da dose total.**

<b>Dose (krad)</b>	<b><math>\mu/\mu_0</math> Médio (<math>\times 10^{-3}</math>)</b>	<b>Desvio Padrão (<math>\times 10^{-3}</math>)</b>
10	975,9	91,0
20	974,5	92,7
30	963,8	94,7
50	947,6	66,8
70	993,4	158,7
90	1000	164,1
130	1017	177,1
170	997,5	160,7
210	1000	174,0
250	1001	182,9
290	1003	189,2
330	970,1	163,7
355	970,0	182,0
435	961,8	170,9
515	954,9	156,6

**Tabela A.10: Média e desvio padrão das amostras da mobilidade normalizada dos NMOSFETs não polarizados em função da dose total.**

<b>Dose (krad)</b>	<b><math>\mu/\mu_0</math> Médio (<math>\times 10^{-3}</math>)</b>	<b>Desvio Padrão (<math>\times 10^{-3}</math>)</b>
10	1025	46,2
20	1025	45,5
30	1003	4,7
50	1004	6,4
70	1048	63,9
90	1026	43,5
130	998,7	22,1
170	995,8	23,8
210	994,6	25,1
250	993,2	25,2
290	993,9	26,0
330	991,0	27,2
355	1026	44,0
435	993,0	29,3
515	995,5	31,5

**Tabela A.11: Média e desvio padrão da mobilidade normalizada dos PMOSFETs polarizados em função da dose total.**

<b>Dose (krad)</b>	<b><math>\mu/\mu_0</math> Médio (<math>\times 10^{-3}</math>)</b>	<b>Desvio Padrão (<math>\times 10^{-3}</math>)</b>
10	973,3	22,5
20	969,9	24,2
30	967,7	25,8
50	960,7	36,1
70	958,8	32,5
130	952,4	40,5
170	948,0	44,7
210	943,3	48,1
250	937,3	53,5
290	926,5	59,2
330	929,9	58,5
355	938,7	49,9
435	930,7	59,6
515	924,0	67,4

**Tabela A.12: Média e desvio padrão das amostras da mobilidade normalizada dos PMOSFETs não polarizados em função da dose total.**

<b>Dose (krad)</b>	<b><math>\mu/\mu_0</math> Médio (<math>\times 10^{-3}</math>)</b>	<b>Desvio Padrão (<math>\times 10^{-3}</math>)</b>
10	997,1	2,1
20	994,5	2,0
30	990,2	5,0
50	985,8	4,0
70	978,6	11,6
130	971,0	15,6
170	964,2	19,1
210	959,1	22,7
250	952,5	26,0
290	933,7	39,7
330	934,0	37,0
355	949,0	22,0
435	937,6	31,8
515	948,5	19,9

## APÊNDICE B: DESVIOS DA TENSÃO DE LIMIAR MEDIDA PARA CADA TRANSISTOR EM FUNÇÃO DA DOSE TOTAL

**Tabela B.1: Desvios da tensão de limiar medidos para NMOSFETs N1 a N7.**

Dose Total (krad)	Transistor						
	N1	N2	N3	N4	N5	N6	N7
0	0	-	0	0	0	0	0
10	0	-	-5	30	0	0	0
20	0	-	-5	30	0	0	0
30	0	-	-5	35	0	0	0
50	0	-	-5	40	0	0	0
70	-5	-	-5	45	0	0	0
90	0	-	-5	45	0	0	0
130	-5	-	0	55	0	0	0
170	0	-	-5	55	0	0	0
210	0	-	-5	60	0	0	0
250	0	-	0	65	0	0	0
290	0	-	-5	65	0	0	0
330	-5	-	-5	60	0	0	0
355	0	-	-10	70	0	0	0
435	0	-	-10	60	0	0	0
515	0	-	-10	65	0	0	0
Pos Anneal	-10	-	-90	-15	0	0	55

**Tabela B.1: Desvios da tensão de limiar medidos para NMOSFETs N7 a N14.**

Dose Total (krad)	Transistor						
	N8	N9	N10	N11	N12	N13	N14
0	-5	0	0	0	0	0	0
10	-5	15	0	15	0	0	-5
20	-5	15	0	15	0	0	-5
30	-10	10	0	10	0	0	-5
50	-10	10	-5	20	0	0	-5
70	-10	-5	-5	20	0	-10	-5
90	-10	-10	-5	25	0	-40	-5
130	-10	0	-5	30	0	-60	-5
170	-10	5	-5	35	0	-60	-5
210	-10	10	-10	35	0	-60	-5
250	-10	10	-10	35	0	-60	-5
290	-10	15	-10	40	0	-60	-5
330	-10	15	-10	40	0	-60	-5
355	-10	15	-10	40	0	-60	-5
435	-10	20	-10	45	0	-60	-5
515	-10	30	-5	45	0	-60	-5
Pos Anneal	-55	-25	-10	0	0	0	-5

**Tabela B.2: Desvios da tensão de limiar medidos para PMOSFETs P1 a P7.**

Dose Total (krad)	Transistor						
	P1	P2	P3	P4	P5	P6	P7
0	0	0	0	0	-	0	0
10	-50	0	-25	-10	-	0	-10
20	-50	0	-25	0	-	0	-10
30	-55	-10	-30	-10	-	-5	-10
50	-55	-10	-30	-10	-	0	-10
70	-50	-15	-30	-10	-	-5	-10
90	-60	-20	-30	-10	-	-5	-10
130	-60	-20	-30	-10	-	-5	-10
170	-60	-20	-30	-10	-	-5	-10
210	-60	-20	-30	-10	-	-5	-10
250	-50	-20	-25	-10	-	-5	-10
290	-60	-50	-30	-10	-	-5	-10
330	-50	-40	-25	0	-	0	-10
355	-50	-55	-30	0	-	-5	-10
435	-55	-15	-30	0	-	-5	-15
515	-55	-20	-30	5	-	-5	-10
Pos Anneal	55	130	25	15	-	0	-35

**Tabela B.3: Desvios da tensão de limiar medidos para PMOSFETs P8 a P14.**

Dose Total (krad)	Transistor						
	P8	P9	P10	P11	P12	P13	P14
0	0	0	0	0	0	0	0
10	-70	5	-30	0	0	0	-20
20	-70	10	-30	0	-5	0	-20
30	-75	0	-30	0	0	0	-20
50	-75	0	-30	-20	-5	0	-20
70	-75	0	-30	0	-5	0	-20
90	-80	0	-35	-20	-5	0	-20
130	-75	-20	-35	-20	-5	0	-20
170	-80	-25	-35	-20	-5	0	-20
210	-80	-25	-35	-20	-5	0	-20
250	-75	-20	-35	-20	-5	0	-20
290	-80	-60	-35	10	-5	0	20
330	-75	-30	-30	-20	-5	0	-20
355	-70	-60	-30	-10	-5	0	-20
435	-75	-25	-35	-20	10	0	-25
515	-70	-30	-30	-10	-10	0	-20
Pos Anneal	50	90	20	0	-5	0	-40

## APÊNDICE C: NETLIST PARA SIMULAÇÃO DE UM NMOSFET COM INJEÇÃO DE CORRENTE DE FUGA ENTRE DRENO E FONTE

SIMULACAO DE UM NMOSFET CONSIDERANDO FUGA ENTRE DRENO E  
FONTE

\*\*\* LIBRARY \*\*\*

.include tsmc035\_n9af.mod

\*\*\* PARAMETERS \*\*\*

.param length=0.35u

.param width=0.7u

\*\*\* SOURCES \*\*\*

vdrain vds 0 dc 50mV

vgate vgs 0 dc

vsource vss 0 dc 0

ileak vds vss dc

\*\*\* CIRCUIT \*\*\*

M1 vds vgs vss vss cmosn l=length w=width

\*\*\* SIMULATION \*\*\*

.dc vgate 0 3 5m ileak 0 1n 100p

.print i(vdrain)

.option ingold=1

.end

## **APÊNDICE D: TRABALHOS PUBLICADOS**

BOTH, T. H.; PEREIRA JUNIOR, E. C. F., GONÇALEZ, O. L.; VAZ, R. G.; PEREIRA, M. A.; MILAGRES, D. C. Analysis of Total Ionizing Dose Effects on a Pseudo-Static Random Access Memory (PSRAM). **ECS Transactions**, v. 49, p. 69-76, 2012.

BOTH, T. H.; COLOMBO, D. M.; DALLASEN, R. V.; WIRTH, G. I. Analysis of Total Ionizing Dose Effects on 0.13  $\mu\text{m}$  Technology Temperature-Compensated Voltage References, **Journal of Aerospace Technology and Management**, v. 5, n. 3, 2013.

DALLASEN, R. V.; WIRTH, G. I.; BOTH, T. H. A PLL for clock generation with automatic frequency control under TID effects. In: INTEGRATED CIRCUITS AND SYSTEMS DESIGN (SBCCI), 25<sup>th</sup> SYMPOSIUM ON, 2012, Brasília. **Proceedings...** New York: IEEE, 2012. p. 1.

BOTH, T. H.; COLOMBO, D. M.; WIRTH, G. I. Analysis of Total Ionizing Dose Effects on 0.13  $\mu\text{m}$  Technology Ring Oscillator and Voltage References. In: WERICE AEROESPACIAL, 2012, São José dos Campos. **Anais Werice Aeroespacial**, São José dos Campos, 2012, v. 1.