

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL
ESCOLA DE ENGENHARIA
DEPARTAMENTO DE ENGENHARIA ELÉTRICA

MARCELO WAGNER GOBETTI

**ACIONAMENTO E SUPERVISÃO DE MICROINVERSOR
GRID-TIE**

Porto Alegre
2015

MARCELO WAGNER GOBETTI

**ACIONAMENTO E SUPERVISÃO DE MICROINVERSOR
GRID-TIE**

Monografia submetida ao Departamento de Engenharia Elétrica da Universidade Federal do Rio Grande do Sul, como requisito parcial à obtenção do título de Bacharel em Engenharia Elétrica.

Orientador: Prof. Dr. Marcelo Götz

Co-orientador: Prof. Dr. Fausto Bastos Líbano

Porto Alegre

2015

MARCELO WAGNER GOBETTI

**ACIONAMENTO E SUPERVISÃO DE MICROINVERSOR
GRID-TIE**

Este trabalho de conclusão foi analisado e julgado adequado para a obtenção do título de Bacharel em Engenharia Elétrica e aprovado em sua forma final pelo Orientador e pela Banca Examinadora designada pelo Departamento de Engenharia Elétrica da Universidade Federal do Rio Grande do Sul.

Prof. Dr. Marcelo Götz

Prof^a Dr^a Leia Bernardi Bagesteiro

Aprovado em: ___/___/___

BANCA EXAMINADORA

Prof. Dr. Marcelo Götz – UFRGS

Prof. Dr. Fausto Bastos Líbano – UFRGS

Prof. Dr. Valner João Brusamarello – UFRGS

Dedico este trabalho ao meu pai, o maior
Engenheiro Eletricista não-diplomado.

AGRADECIMENTOS

Aos amigos e colegas de curso, pelo apoio e união nos momentos de dificuldade; principalmente àqueles que, por espontânea vontade, colaboraram para uma melhor qualidade deste trabalho.

À minha família, que compreendeu minha ausência ao longo destes anos de dedicação e me deu a base para trilhar um caminho de sucesso.

À CAPES, pela provisão da bolsa de intercâmbio, experiência que propiciou-me uma maior visão de mundo e tornou-me num grande patriota.

Ao Departamento de Engenharia Elétrica, por disponibilizar aos alunos uma estrutura suficiente para a realização deste trabalho.

Por fim, mas não menos importante: aos meus professores orientador e co-orientador, pela sugestão de trabalho, disposição, compreensão e apoio durante a execução do mesmo.

RESUMO

É estudada a viabilidade do desenvolvimento de um microinversor trifásico numa plataforma de baixo custo: a *BeagleBone Black*. Com exceção de circuitos de condicionamento de sinal, é visado o uso de componentes existentes na placa somente. Sistemas de tempo real são utilizados para um controle temporal severo na modulação senoidal trifásica e na amostragem de sinais para o sistema de controle interno. O inversor do tipo senoide pura apresentou até a 15ª harmônica uma taxa de distorção harmônica de 4,46% para o sinal modulado e de 2,20% para o sinal filtrado. O controle de frequência da senoide gerada apresentou erros entre 1,95 mHz e 9,23 mHz relativos à senoide de referência. Uma interface homem-máquina remota sob forma de um servidor *web* é configurada, com acesso a registradores de memória e capacidade de execução de *scripts* sobre o sistema. São analisadas normas vigentes no Brasil, das quais requisitos do inversor são extraídos. É demonstrado viável o uso da *BeagleBone Black* no objetivo proposto, com funcionalidades equivalentes a um produto de custo entre 5 a 10 vezes superior. No entanto, é questionada a dificuldade de uso da plataforma, a qual deve ser considerada como um custo de mão-de-obra para melhorias e implementações futuras necessárias para torná-la um produto final.

Palavras-chave: Engenharia Elétrica. Sistemas Embarcados. Sistemas de Tempo Real. Eletrônica de Potência. Comunicações.

ABSTRACT

The development of a three-phase micro-inverter, on a low-cost platform – the *BeagleBone Black* – has its viability studied. With the exception of signal conditioning circuits, it is aimed solely the use of existing components in the board. Real-time systems are used for a strict time control over the three-phase sinusoidal modulation and over the sampling used for the internal control system. The pure sinusoid inverter presented a total harmonic distortion up to the 15th harmonic of 4.46% calculated over the modulated signal, and 2.20% over the filtered signal. The frequency control over the generated sinusoid presented errors between 1.95 mHz and 9.23 mHz relative to the reference sinusoid. The remote user interface running under a web server is set up, having access to memory registers and being able to run scripts over the system. Valid Brazilian norms are analyzed, from which inverter requirements are extracted. It is demonstrated to be viable the use of the *BeagleBone Black* for the proposed project, having functions equivalent to a product costing five to ten times more. However, the difficulty of use of this platform is questioned, what should be accounted as a personnel cost for future implementations and fine-tunes in order to turn it into a final product.

Keywords: Electrical Engineering. Embedded Systems. Real-time Systems. Power Electronics. Communications.

LISTA DE ILUSTRAÇÕES

Figura 1 – Sobreposição da saída característica dos três tipos de inversor, com amplitudes normalizadas na faixa [-1, 1]	20
Figura 2 – Espectro de frequência da onda quadrada com frequência de 60 Hz. Amostragem a 100 mil amostras/s. A limitação da função digitalizada implica na existência de lóbulos em torno dos picos	20
Figura 3 – Espectro de frequência da senoide modificada com frequência de 60 Hz.....	20
Figura 4 – Espectro de frequência da senoide pura com frequência de 60 Hz.....	21
Figura 5 – Sobreposição de onda senoidal de 60 Hz e onda triangular de 500 Hz, frequência bem abaixo da comumente utilizada para melhor visualização	22
Figura 6 – Sobreposição de onda senoidal de 60 Hz e onda modulada por largura de pulso via comparação com onda triangular de 500 Hz, com componente CC removida e amplitude normalizada	22
Figura 7 – Espectro de frequência até 540 Hz da onda com frequência de 60 Hz modulada por largura de pulso via comparação com onda triangular de 5 kHz.....	23
Figura 8 – Espectro de frequência até 20 kHz da onda com frequência de 60 Hz modulada por largura de pulso via comparação com onda triangular de 5 kHz.....	24
Figura 9 – Variação nas amplitudes da 2ª até a 15ª harmônica conforme o número de amostras da senoide (32, 128 e 512), utilizando frequência PWM de 5 kHz.....	25
Figura 10 – Espectro de frequência até a 15ª harmônica da onda com frequência de 60 Hz modulada por largura de pulso via <i>software</i> , com 512 amostras e frequência PWM de 1 kHz.....	26
Figura 11 – Espectro de frequência até a 15ª harmônica da onda com frequência de 60 Hz modulada por largura de pulso via <i>software</i> , com 512 amostras e frequência PWM de 20 kHz.....	26
Figura 12 – Sobreposição de onda senoidal de 60 Hz e onda modulada pela técnica de MSPWM, com componente CC removida e amplitude normalizada	27
Figura 13 – Inversor trifásico com saídas PWM filtradas	27
Figura 14 – BeagleBone Black	28
Figura 15 – Saída do pino P8.13 configurado para PWM pelo método de Ahmad (2014). Destaque para o tempo de 2,000µs entre o início da descida e o início da subida do nível de tensão, igual ao intervalo de tempo ajustado via <i>duty cycle</i>	31

Figura 16 – Saída do pino P8.13 configurado para PWM pelo método de Ahmad (2014). Destaque para o tempo de 500,0ns entre o início da descida e a estabilização do nível de tensão	31
Figura 17 – Saída do pino P8.13 configurado para PWM pelo método de Ahmad (2014). Destaque para o tempo de 500,0ns entre o início da subida e a estabilização do nível de tensão	32
Figura 18 – Saída do pino P8.13 configurado para PWM pelo método de Briancode (2015). PWM com período de 1000 ns e <i>duty cycle</i> de 200 ns	33
Figura 19 – Saída do pino P8.13 configurado para PWM pelo método de Briancode (2015). Ampliação na oscilação de borda destacando um intervalo de 33,60 ns até estabilizar o nível de tensão.....	33
Figura 20 – Saída do pino P8.13 configurado para PWM pelo método de Briancode (2015). PWM com período de 100ns e <i>duty cycle</i> zero	34
Figura 21 – Fluxograma do código em C	38
Figura 22 – Fluxograma do código em <i>assembly</i>	39
Figura 23 – Simulação da saída controlada pela PRU executando MSPWM de uma senoide de 60 Hz com 456 amostras por período. Regiões mais condensadas representam menor tempo de espera num estado.....	40
Figura 24 – Espectro de frequência do sinal simulado exibido na Figura 23.....	41
Figura 25 – Saída controlada pela PRU executando MSPWM de uma senoide de 60 Hz com 512 amostras por período. Detalhe para a relação entre as medidas de tensão RMS (2,41 V) e pico a pico (3,40 V).....	41
Figura 26 – Saída controlada pela PRU executando MSPWM de uma senoide de 60 Hz com 512 amostras por período. Detalhe para a medida do período (16,70 ms com cursor de resolução 0,1 ms)	42
Figura 27 – Detalhe da variação de largura dos pulsos próximos ao pico negativo da onda MSPWM.....	43
Figura 28 – Detalhe da variação de largura dos pulsos próximos ao pico positivo da senoide MSPWM.....	43
Figura 29 – Espectro de frequência digital (250 amostras/s) da saída controlada pela PRU executando MSPWM de 60 Hz com 512 amostras por período. Detalhe para a medida da maior componente de frequência (60,0 Hz com janela Hanning).....	44

Figura 30 – Espectro de frequência até 1 kHz da saída controlada pela PRU executando MSPWM de 60 Hz com 512 amostras por período. Amostragem temporal realizada por placa de aquisição.	44
Figura 31 – Espectro de frequência até 150 kHz da saída controlada pela PRU executando MSPWM de 60 Hz com 512 amostras por período. Obtido a partir de aquisição temporal de dados	45
Figura 32 – Fluxograma da macro em <i>assembly</i> utilizada no inversor trifásico	46
Figura 33 – Separação das três fases em 6 regiões utilizando 4 seções de amostras	46
Figura 34 – Simulação de sinal diferencial entre ondas MSPWM de 60 Hz defasadas de 120°	47
Figura 35 – Simulação de sinal diferencial entre ondas MSPWM de 60 Hz defasadas de 115°	47
Figura 36 – Circuito esquemático do filtro Butterworth de 2ª ordem utilizado	48
Figura 37 – Onda resultante de duas ondas senoidais de mesma amplitude e frequência, porém defasadas de 5° constantes (simulação com saída do inversor adiantada em relação à rede)	50
Figura 38 – Onda resultante de duas ondas senoidais de mesma frequência e ângulo de fase no instante zero, mas com diferença constante de amplitude (simulação com rede em 127V eficazes e saída do inversor em 120V eficazes)	50
Figura 39 – Onda resultante de duas ondas senoidais de mesma amplitude e ângulo de fase no instante zero, mas com escorregamento constante de 2 Hz (simulação com rede em 60Hz e saída do inversor em 58Hz).....	51
Figura 40 – Envelope em torno da onda resultante de duas ondas senoidais de mesma amplitude e ângulo de fase no instante zero, mas com escorregamento constante de 1 Hz.....	51
Figura 41 – Malha de captura de fase.....	53
Figura 42 – Saída da bomba de carga para senoides com escorregamento de 5 Hz	54
Figura 43 – Saída da bomba de carga para senoides com defasagem de 30 graus.....	54
Figura 44 – Mapa de integração do subsistema das PRUs e acessos externos.....	58
Figura 45 – Fluxograma da conversão realizada pelo subsistema ADC (solicitação de amostra via <i>software</i>)	59
Figura 46 – Amostragem da onda MSPWM realizada em modo contínuo pelo ADC. O período do sinal parece variar.....	60
Figura 47 – Amostragem da onda MSPWM realizada em modo “ <i>one-shot</i> ” pelo ADC	60

Figura 48 – Ampliação da amostragem da onda MSPWM a 300 mil amostras por segundo, lida pelo ADC	61
Figura 49 – Ampliação de uma amostragem problemática da onda MSPWM, realizada a 300 mil amostras por segundo pelo ADC, durante um período de 1 segundo. O período do sinal parece variar	61
Figura 50 – Amostragem diferencial entre ondas MSPWM defasadas de 120°	63
Figura 51 – Simulação de sinal diferencial entre senoides de mesma amplitude e fase, mas escorregamento de 2,5 Hz (60 Hz e 62,5 Hz).....	64
Figura 52 – Aquisição realizada pelos ADCs da BBB do sinal diferencial entre senoides de amplitude similar, mas com escorregamento de aproximadamente 2,5 Hz (60 Hz e 62,5 Hz)	64
Figura 53 – Visualização em osciloscópio de duas senoides com escorregamento de frequência, <i>trigger</i> configurado para somente uma delas.....	67
Figura 54 – Fases A, B e C moduladas, com a fase B 120° atrasada em relação à A e a fase C, 120° atrasada em relação à B. Destaca-se a diferença temporal entre os canais 2 e 3.	76
Figura 55 – Fases A e B moduladas e a subtração entre elas (realizada pelo osciloscópio). Medidas somente para referência, imprecisas devido à baixa escala de amplitude utilizada.	77
Figura 56 – Sobreposição do sinal modulado na saída da PRU com o sinal de saída do filtro passa-baixas	78
Figura 57 – Espectro de frequência do sinal modulado na saída da PRU, até 150 kHz.....	78
Figura 58 – Espectro de frequência do sinal filtrado, até 150 kHz	79
Figura 59 – Sinal diferencial entre inversor e referência, antes da execução do sincronismo de frequência	80
Figura 60 – Sinal diferencial entre inversor e referência, após uma iteração de sincronismo de frequência	80
Figura 61 – Sinal diferencial entre inversor e referência, com destaque para o período do envelope.....	80
Figura 62 – Sinal diferencial entre inversor e referência alguns minutos após encerrado o sincronismo de frequência, com destaque para o período do envelope.....	81
Figura 63 – Espectro de frequência do sinal diferencial entre inversor e referência, antes do sincronismo.....	81

Figura 64 – Espectro de frequência do sinal diferencial entre inversor e referência, sincronizados	82
Figura 65 – Espectro de frequência do sinal diferencial entre inversor e referência, após alguns minutos de sincronismo ativo.....	82
Figura 66 – Interface <i>web</i> antes do primeiro acionamento do sistema.....	83
Figura 67 – Interface <i>web</i> imediatamente após o primeiro acionamento do sistema	83
Figura 68 – Interface <i>web</i> após operação e desligamento, comunicando que não é possível a execução de nenhuma das partes do sistema sem o carregamento prévio da <i>device tree overlay</i> necessária.....	84

LISTA DE TABELAS

Tabela 1 – Taxa de distorção harmônica até a 15 ^a harmônica conforme número de amostras da senoide	25
Tabela 2 – Taxa de distorção harmônica até a 15 ^a harmônica conforme frequência de PWM	26
Tabela 3 – Média, mediana e desvio-padrão de 30 ensaios de cálculo de frequência por cruzamentos de zero da senoide filtrada, para diferentes frequências de amostragem.....	62
Tabela 4 – Média, mediana e desvio-padrão de 30 ensaios de cálculo de frequência por cruzamentos de zero do sinal diferencial, para duas frequências de amostragem..	64
Tabela 5 – Medidas de precisão do controle de frequência do inversor quando sincronizado a uma referência de 62,5 Hz.....	67
Tabela 6 – Qualidade da energia elétrica de acordo com o nível de tensão, em tensão nominal igual ou inferior a 1 kV (230/115 V).....	69

LISTA DE SIGLAS

ANA	Agência Nacional de Águas
ANEEL	Agência Nacional de Energia Elétrica
BBB	<i>BeagleBone Black</i> (Plataforma utilizada no desenvolvimento do trabalho)
CA	Corrente alternada
CC	Corrente contínua
CEEE	Companhia Estadual de Energia Elétrica – Rio Grande do Sul
CPU	<i>Central Processing Unit</i> (Unidade central de processamento)
DTO	<i>Device Tree Overlay</i>
GPOS	<i>General Purpose Operating System</i> (Sistema operacional de propósito geral)
MSPWM	<i>Modified Sinusoidal Pulse-Width Modulation</i> (Modulação por largura de pulso senoidal modificada)
PLL	<i>Phase-Locked Loop</i> (Malha de captura/sincronismo de fase)
PRU	<i>Programmable Real-Time Unit</i> (Unidade programável de tempo real)
PWM	<i>Pulse-Width Modulation</i> (Modulação por largura de pulso)
SPWM	<i>Sinusoidal Pulse-Width Modulation</i> (Modulação por largura de pulso senoidal)
RISC	<i>Reduced Instruction Set Computer</i> (Computador com um conjunto reduzido de instruções)
RT	<i>Real-time</i> (Tempo real)
UPWM	<i>Uniform Pulse-Width Modulation</i> (Modulação por largura de pulso uniforme)

LISTA DE SÍMBOLOS

- kSps** *Kilosamples/second* (mil amostras por segundo)
- kWh** Kilowatt-hora (unidade usual de energia elétrica consumida equivalente a 3,6 MJ)
- MIPS** Milhão de instruções por segundo

SUMÁRIO

1 INTRODUÇÃO	16
2 DESENVOLVIMENTO.....	18
2.1 CONVERSÃO DE CORRENTE CONTÍNUA EM ALTERNADA	18
2.1.1 O dispositivo inversor.....	18
2.1.2 Modulação por largura de pulso	19
2.1.3 Modulação por largura de pulso na BeagleBone Black	28
2.1.4 Sistemas de tempo real	34
2.1.5 Modulação senoidal via PRUs da BeagleBone Black	37
2.1.6 Considerações sobre sistemas <i>off-grid</i>	48
2.2 SINCRONISMO COM A REDE DA CONCESSIONÁRIA DE ENERGIA ELÉTRICA.....	48
2.2.1 Requisitos de sincronismo	48
2.2.2 Controle por malha de captura de fase	52
2.2.3 Leitura de tensão e frequência via ADCs da BeagleBone Black	55
2.2.4 Controle a partir de amostragem diferencial na BeagleBone Black.....	65
2.3 ADAPTAÇÃO DO INVERSOR ÀS NORMAS VIGENTES	69
2.4 SUPERVISÃO DO SISTEMA VIA SERVIDOR WEB.....	73
3 ANÁLISE DOS RESULTADOS OBTIDOS.....	76
3.1 MODULAÇÃO SENOIDAL POR LARGURA DE PULSO	76
3.2 SINCRONISMO DE FREQUÊNCIA COM SENOIDE DE REFERÊNCIA.....	79
3.3 INTERFACE WEB	82
4 CONCLUSÃO.....	85
REFERÊNCIAS.....	87

1 INTRODUÇÃO

Este trabalho tem como objetivo concluir quanto à viabilidade do desenvolvimento de um microinversor embarcado em uma plataforma de baixo custo: a *BeagleBone Black*. Esse inversor deve ser capaz de converter corrente elétrica contínua em trifásica alternada, atendendo às normas da CEEE, concessionária de energia elétrica em Porto Alegre, atuando ainda como servidor *web* para possibilitar a supervisão e desligamento do aparelho.

Esta monografia é dividida em etapas de desenvolvimento do inversor na dita plataforma, com soluções focadas no uso somente de componentes internos quando possível, o potencial destes sendo analisado a cada etapa. Devido ao baixo custo do sistema, este trabalho visa a continuidade da acessibilidade à micro e minigeração industrial ou doméstica, motivo pelo qual justifica sua realização.

Na seção 2.1, disserta-se sobre a tendência dos últimos anos no Brasil e no mundo de unidades consumidoras de energia elétrica tornarem-se, também, unidades geradoras. Muitos dos geradores utilizados geram corrente elétrica contínua (CC), incorrendo no problema de conversão em corrente alternada (CA) para tornar possível a conexão desse gerador à rede de distribuição. Tal conversão deve ser feita através de um dispositivo inversor, cujo preço ainda é alto e cuja disponibilidade ainda é baixa no mercado brasileiro. Ainda nessa seção, tal dispositivo é projetado de forma a gerar uma onda senoidal pura, para o qual é empregado um sistema de tempo real, isto é, com garantias temporais restritas.

Na seção 2.2, são analisados os problemas e suas respectivas possíveis soluções para que o inversor, até então em operação isolada, seja conectado à rede de distribuição da concessionária. O princípio de funcionamento da malha de captura de fase, largamente utilizada em projetos que exijam o sincronismo de fase entre ondas periódicas, é apresentado e utilizado como base para as soluções propostas e implementadas. Novamente, emprega-se um sistema de tempo real, desta vez para amostragem da corrente da rede elétrica.

Na seção 2.3, são analisadas resoluções normativas da Agência Nacional de Energia Elétrica (ANEEL) e normas de concessionárias, principalmente da Companhia Estadual de Energia Elétrica do Rio Grande do Sul (CEEE), referentes à conexão de micro e minigeração à rede de distribuição. Dessas, aproveitam-se trechos específicos para estabelecer requisitos do sistema. São apresentadas soluções para o cumprimento dos mesmos.

Na seção 2.4, é elaborado um servidor *web* como interface homem-máquina, cujas características desejáveis são discutidas e são implementadas as ferramentas necessárias para

possibilitar a inclusão de todas essas características. Através dessa interface, é possível monitorar parâmetros de interesse do sistema e da rede de distribuição, visando o controle de qualidade da operação e uma futura integração em redes *smart-grid*.

Os resultados teóricos e práticos parciais obtidos a cada seção são apresentados ao longo das mesmas, enquanto o Capítulo 3 sintetiza os resultados práticos do projeto desenvolvido.

2 DESENVOLVIMENTO

2.1 CONVERSÃO DE CORRENTE CONTÍNUA EM ALTERNADA

2.1.1 O dispositivo inversor

A crescente demanda por energia elétrica no Brasil (EMPRESA DE PESQUISA ENERGÉTICA, 2014) e no mundo (INTERNATIONAL ENERGY AGENCY, 2014), aliada a acontecimentos recentes em território nacional, como a crise hídrica (AGÊNCIA NACIONAL DE ÁGUAS, 2014) e o consequente aumento do preço do kWh (ANEEL, 2015), são algumas das razões que vem motivando unidades consumidoras de energia elétrica a tornarem-se, também, unidades geradoras. Considerando ainda a busca por fontes renováveis de energia, fruto da conscientização ecológica, foi criado no Brasil o “Sistema de Compensação de Energia” (ANEEL, 2012b), que permite que o consumidor brasileiro possa gerar energia elétrica e fornecer o excedente para a rede de distribuição da sua localidade, sendo compensado com créditos pela concessionária. Tal sistema só é válido para fontes incentivadas de energia (hídrica, solar, eólica, biomassa e cogeração qualificada).

Muitas destas fontes geram corrente elétrica contínua, sendo ela aproveitada desta forma para carregar baterias e/ou alimentar equipamentos específicos (WEIS, 2013). Por outro lado, para poder utilizar a energia gerada para alimentar os pontos de tomada da residência e, principalmente, para tornar possível a conexão do gerador à rede de distribuição, é necessário converter a corrente elétrica contínua em alternada – para isto, utiliza-se um dispositivo inversor.

Conforme definição da CEEE (2014, p. 5), o inversor é um “equipamento capaz de processar a energia elétrica proveniente de uma fonte primária para energia elétrica em corrente alternada em sincronismo com a rede elétrica, através do acionamento alternado de chaves estáticas”. Rashid (1999, p. 436) complementa sobre a tensão de saída: “simétrica, de amplitude e frequência desejadas. [...] Pode ser fixa ou variável em uma frequência também fixa ou variável”.

De maneira generalista, pode-se dizer que existem três tipos de inversor: onda quadrada, senoide modificada (ou quase-quadrada) e senoide “pura” (ou de baixa distorção). A técnica utilizada para desenvolver um inversor de senoide pura é estudada na subseção 2.1.2.

2.1.2 Modulação por largura de pulso

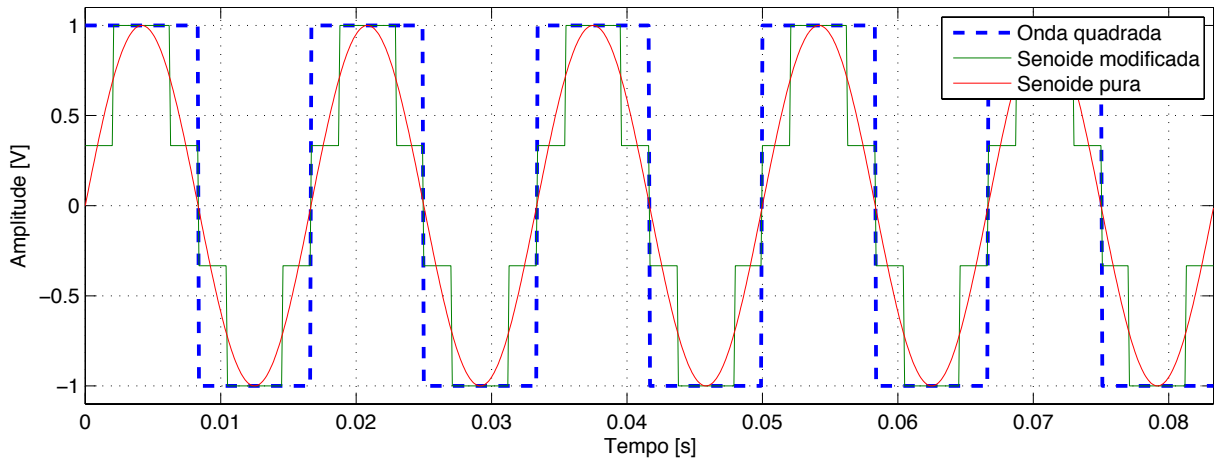
Comentou-se na subseção 2.1.1 sobre os três tipos de inversor (Figura 1) e, mais especialmente, do inversor de senoide “pura”: comparando as Figuras 2, 3 e 4, obtidas a partir de simulação digital janelada em 40 períodos das funções periódicas, nota-se que uma senoide realmente pura possui componente em apenas uma frequência; portanto, é o tipo que apresenta menores perdas de potência e, conseqüentemente, menor geração de calor. Mais do que isso, tal qualidade de energia elétrica é necessária para determinados equipamentos, como instrumentos médicos.

Na prática, o sinal de saída do inversor não é uma senoide pura; a saída digital é binária e, portanto, só pode assumir dois níveis de tensão, enquanto a senoide pura assume, idealmente, infinitos níveis. No entanto, ao contrário do que ocorreria para uma onda quadrada, as componentes de frequência a serem filtradas são de ordem muito superior à da componente fundamental, permitindo uma filtragem efetiva com componentes simples. Assim, o sinal obtido na saída do filtro é uma senoide pura ou de baixíssima distorção.

Para gerar essa forma de onda a partir de uma fonte contínua, via *hardware*, utiliza-se uma ponte H (ou múltiplas, para acrescentar qualidade à senoide gerada). Numa metade da ponte, conecta-se um sinal para controlar a tensão aplicada na carga; na outra metade, conecta-se um sinal de onda quadrada para controlar a polaridade dessa tensão (CROWLEY, 2011).

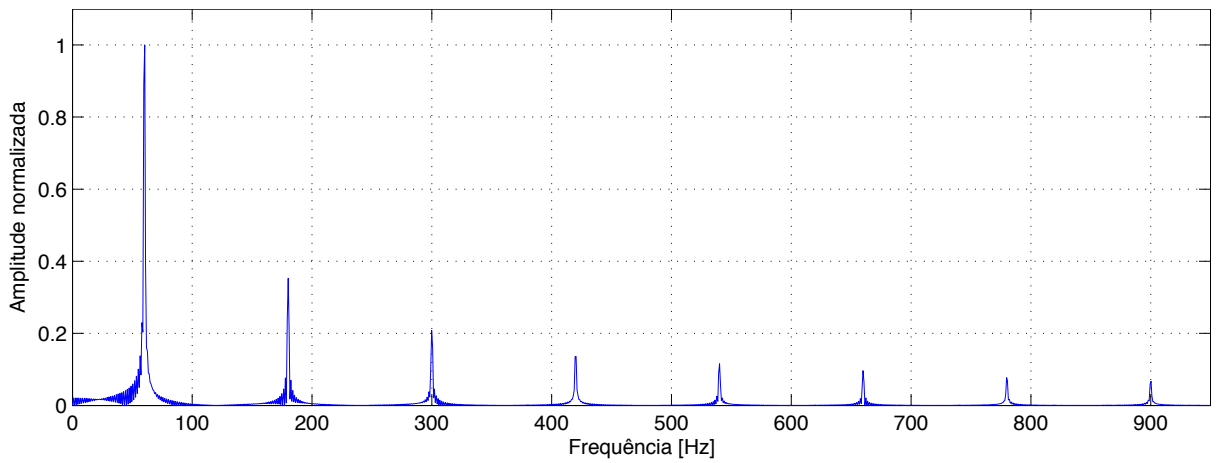
Esse sinal de controle da tensão é binário, na sua forma mais básica, embora sinais mais complexos sejam possíveis e produzam menor distorção harmônica total, segundo Crowley (2011). Para que se possa variar a tensão eficaz de um sinal binário, este deve ser periódico, geralmente de alta frequência, com *duty cycle* (fração do período da onda durante a qual ela fica em nível alto) ajustável. Ou seja, o sinal consiste de pulsos cujas larguras variam de acordo com a tensão eficaz desejada. Tal variação na largura dos pulsos para representar a variação de amplitude de uma função é denominada modulação por largura de pulso, ou PWM (*Pulse-Width Modulation*).

Figura 1 – Sobreposição da saída característica dos três tipos de inversor, com amplitudes normalizadas na faixa [-1, 1]



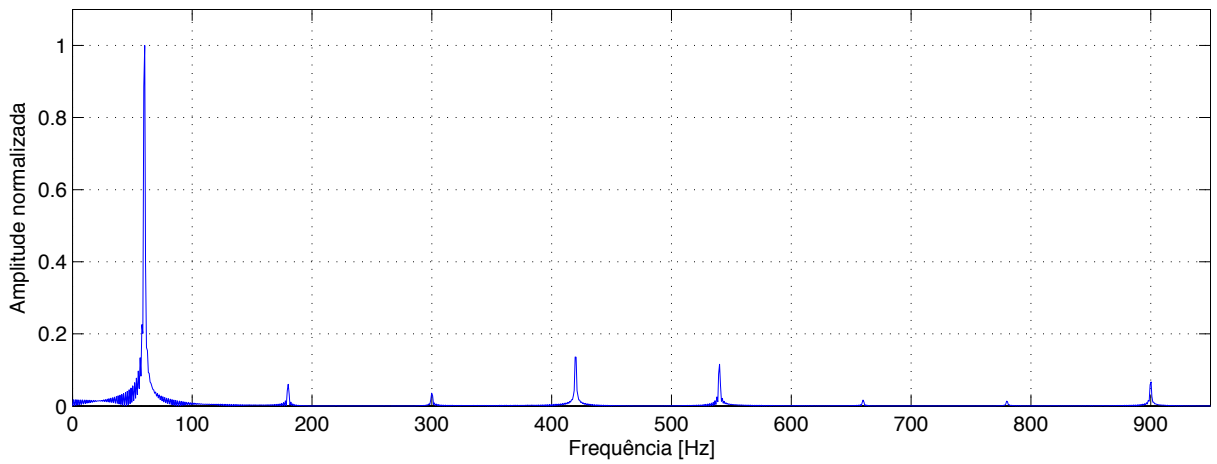
Fonte: autoria própria.

Figura 2 – Espectro de frequência da onda quadrada com frequência de 60 Hz. Amostragem a 100 mil amostras/s. A limitação da função digitalizada implica na existência de lóbulos em torno dos picos



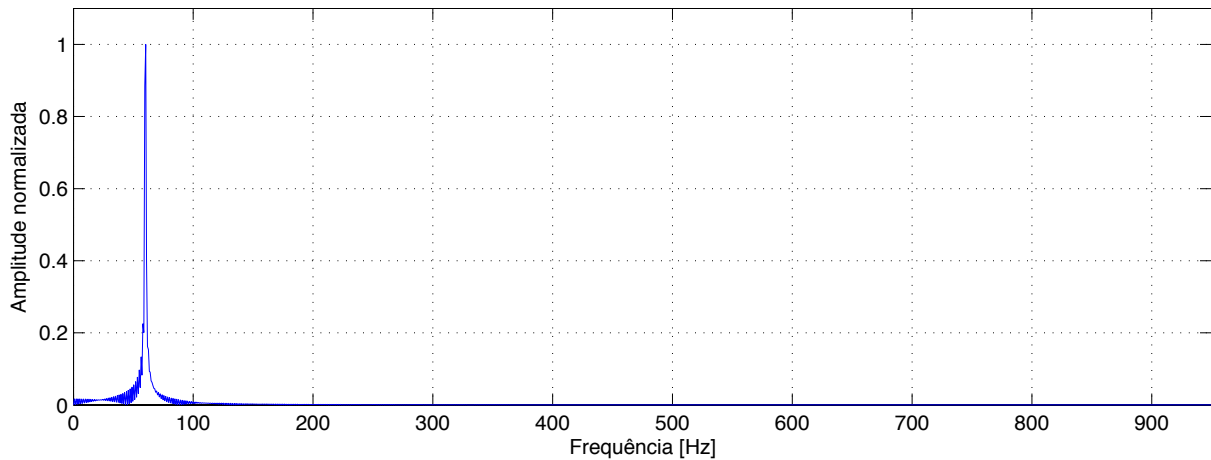
Fonte: autoria própria.

Figura 3 – Espectro de frequência da senoide modificada com frequência de 60 Hz



Fonte: autoria própria.

Figura 4 – Espectro de frequência da senoide pura com frequência de 60 Hz



Fonte: autoria própria.

Segundo Rashid (1999), existem 5 técnicas comumente utilizadas de PWM em inversores: pulso único, múltiplos pulsos, senoidal, senoidal modificada e controle por deslocamento de fase, estando as quatro primeiras dentro do escopo deste trabalho, que visa uma implementação em *software*. No PWM de pulso único, a cada período é gerado somente um pulso, cuja largura é variada para controlar a tensão de saída. No caso de múltiplos pulsos, usa-se uma frequência maior e o controle é feito pelo número de pulsos por período, cujas larguras são uniformes, o que lhe dá o nome especial de UPWM. Essas duas técnicas são mais simples, entretanto de menor qualidade que as demais.

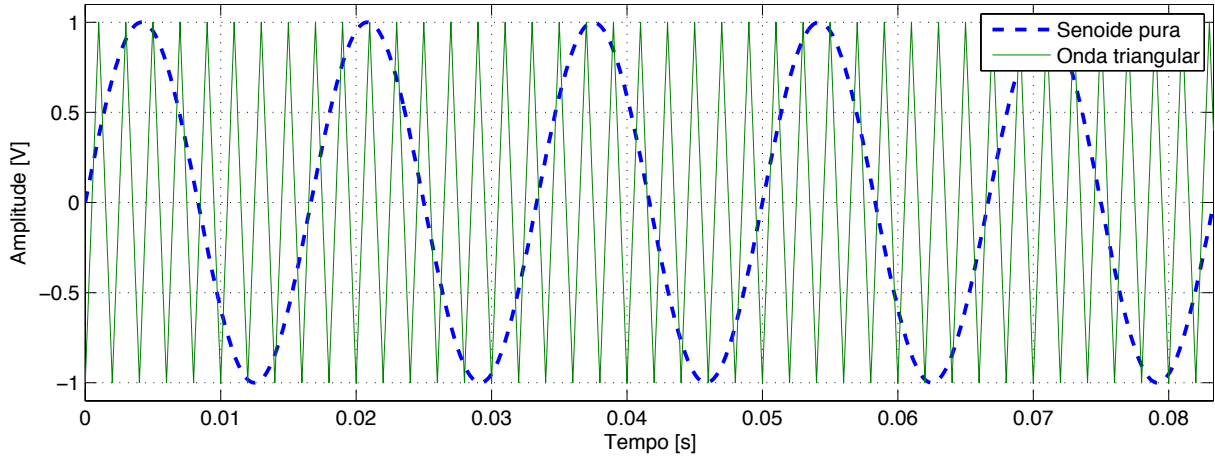
O PWM senoidal (SPWM) é gerado a partir da saída de um comparador, cujas entradas são a onda senoidal de referência e uma onda triangular que caracteriza a frequência de PWM (Figura 5), normalmente na faixa de kHz. O sinal é positivo enquanto a onda senoidal tiver amplitude maior que a onda triangular, e zero caso contrário (Figura 6). Assim, o maior período positivo ocorre no pico positivo da senoide, enquanto o maior período desligado ocorre no pico negativo da senoide. A quarta técnica citada por Rashid (PWM senoidal modificado) será retomada mais adiante nesta subseção.

Embora as Figuras 5 e 6 exibam o caso específico onde as ondas triangular e senoidal possuem mesma amplitude, caracterizando um índice de modulação unitário, esse fator é, na verdade, uma variável de controle da tensão de saída. Ao utilizar um índice de modulação (η) inferior a 1, o sistema ganha margem para controle da amplitude, às custas de um aumento na distorção harmônica. Segundo Rashid (1999), tal índice pode ser calculado conforme a Equação (1):

$$\eta = \frac{A_r}{A_c} \quad (1)$$

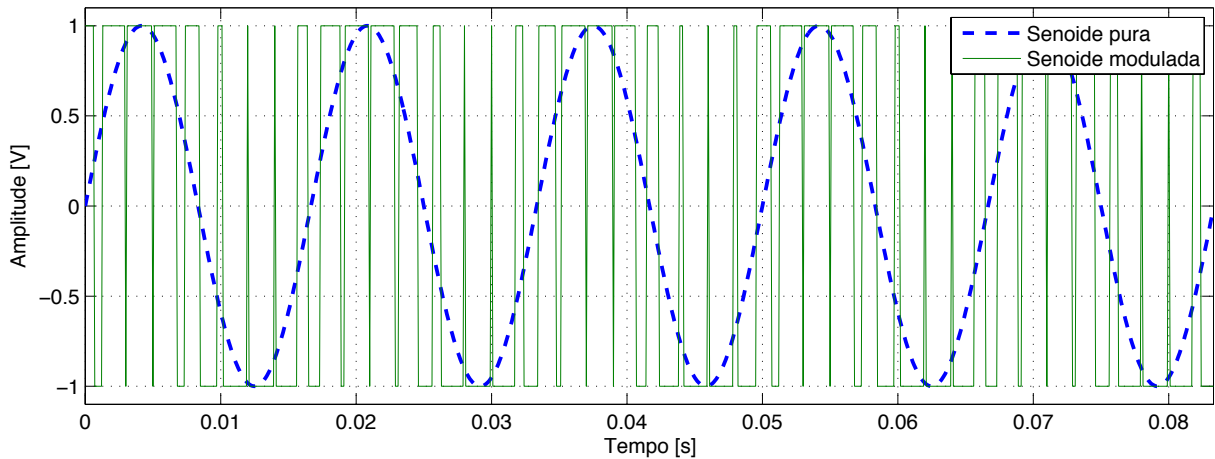
onde A_r representa a amplitude da onda modulante ou de referência (senoidal) e A_c , da portadora (triangular).

Figura 5 – Sobreposição de onda senoidal de 60 Hz e onda triangular de 500 Hz, frequência bem abaixo da comumente utilizada para melhor visualização



Fonte: autoria própria.

Figura 6 – Sobreposição de onda senoidal de 60 Hz e onda modulada por largura de pulso via comparação com onda triangular de 500 Hz, com componente CC removida e amplitude normalizada



Fonte: autoria própria.

Em simulações, considerando a faixa de frequência até a 15ª harmônica (900 Hz), a distorção harmônica resultou 0,90% para $\eta = 1$ e 1,06% para $\eta = 0,9$, porém elas igualam-se após a aplicação de um filtro passa-baixas Butterworth de 2ª ordem com frequência de corte em 65 Hz. O uso de índices superiores a 1, caracterizando uma sobremodulação, deve ser evitado em aplicações que requeiram baixa distorção, uma vez que faz o sistema aproximar-se

de uma onda quadrada e, portanto, introduz harmônicos. A distorção harmônica foi calculada conforme a Equação (2), adaptada de Rashid (1999):

$$DH = \frac{1}{V_1} \left(\sum_{n=2}^{15} V_n^2 \right)^{1/2} \quad (2)$$

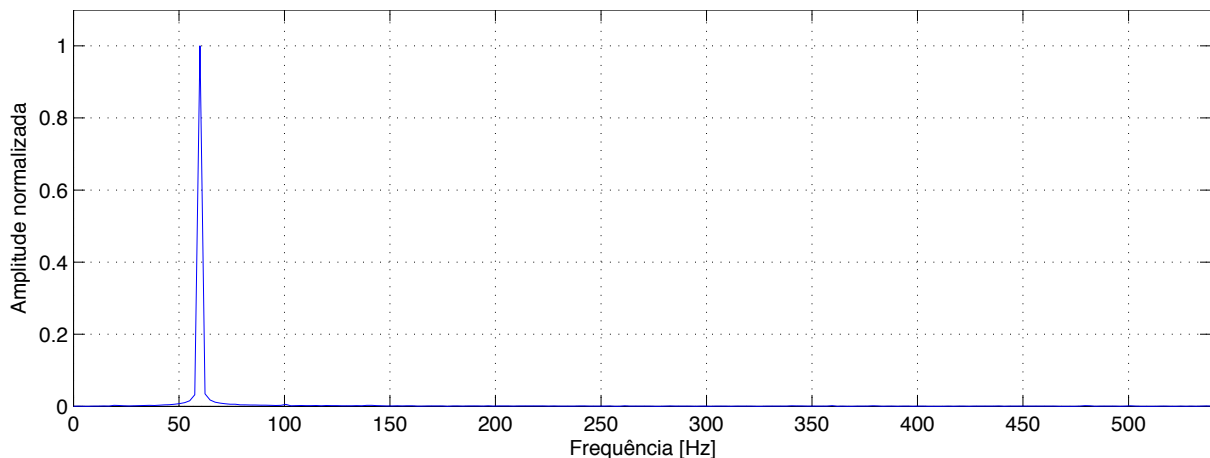
onde V_1 representa a amplitude da componente fundamental e V_n , da n -ésima harmônica.

O uso de um filtro Butterworth deve-se ao fato de que, segundo a Texas Instruments (2000), este tipo é otimizado para constância do ganho na banda de passagem. Assim, a amplitude do sinal filtrado não terá uma variação considerável em diferentes níveis de frequência – mesmo que 60 Hz seja a frequência padrão, este trabalho prevê pequenas variações em torno deste valor.

O espectro de frequência da onda modulada é analisado nas Figuras 7 e 8, nas quais nota-se que não há presença relevante de componentes harmônicas da senoide, todavia existem componentes de alta frequência correspondentes à comutação do PWM (e suas harmônicas ímpares) e à frequência de imagem resultante da modulação (e suas harmônicas). Dada uma frequência intermediária f_{IF} e uma frequência de portadora f_0 , a frequência de imagem f_i é dada pela Equação (3), segundo Thomas e Sekhar (2005, p. 315):

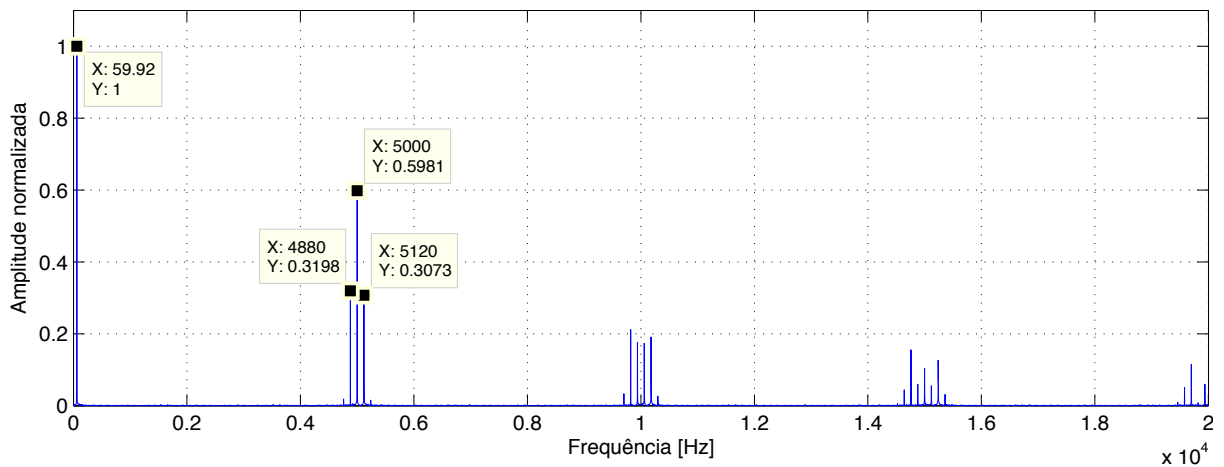
$$f_i = f_0 \pm 2 \times f_{IF} \quad (3)$$

Figura 7 – Espectro de frequência até 540 Hz da onda com frequência de 60 Hz modulada por largura de pulso via comparação com onda triangular de 5 kHz



Fonte: autoria própria.

Figura 8 – Espectro de frequência até 20 kHz da onda com frequência de 60 Hz modulada por largura de pulso via comparação com onda triangular de 5 kHz



Fonte: autoria própria.

Uma vez compreendido o PWM senoidal via *hardware*, isto é, utilizando um comparador e duas ondas de entrada: triangular e senoidal, é possível adaptar para gerá-la via *software*. Uma saída PWM de frequência alta e constante deve ter seu *duty cycle* alterado de forma a variar a largura dos pulsos. Para tal, basta utilizar a própria amplitude da senoide de base, normalizada de 0 a 100% no caso de índice de modulação unitário. Molloy (2014) sugere o cálculo prévio de amplitudes discretas de uma senoide e o armazenamento dessas amplitudes em memória. No código-exemplo apresentado pelo autor, um período de senoide foi discretizado em 100 amostras.

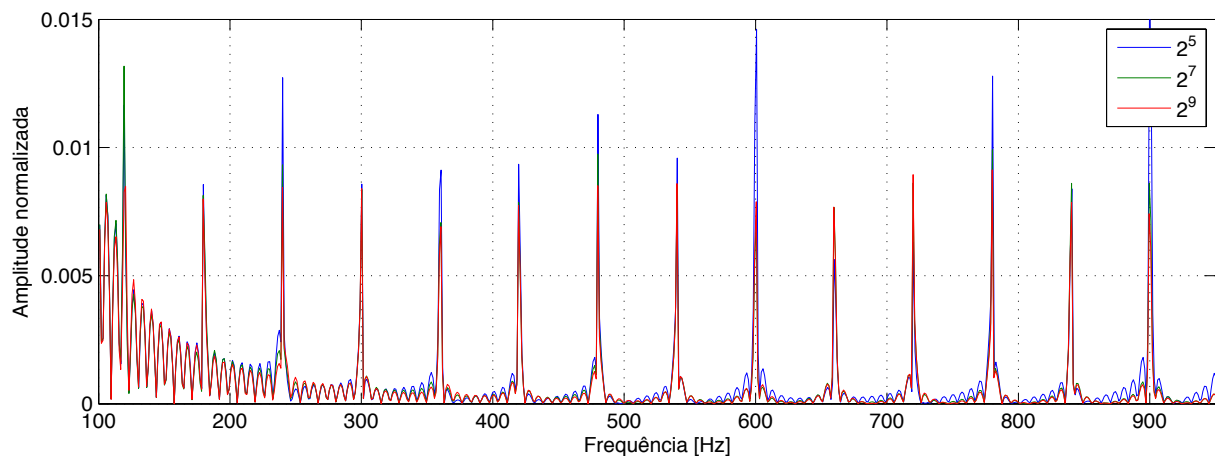
Para possibilitar uma análise teórica prévia sobre algumas variáveis da modulação PWM via *software*, foram realizadas simulações com o *duty cycle* sendo variado periodicamente conforme as amplitudes armazenadas, sendo este período de variação igual ao da onda periódica modulada dividido pelo número de amplitudes em memória. Esse também foi o período de amostragem do sinal digital simulado. Primeiramente, utilizou-se uma frequência de PWM de 5 kHz e foi estudada a influência do número de pontos sobre a amplitude das harmônicas. A Tabela 1 exibe a taxa de distorção harmônica da modulação senoidal, considerando a faixa de frequência até a 15ª harmônica (900 Hz) para diferentes números de amostras, onde nota-se que não há redução considerável nas harmônicas a partir de 512 amostras por período. A Figura 9 exibe a variação nas amplitudes das harmônicas conforme o número de amostras.

Tabela 1 – Taxa de distorção harmônica até a 15ª harmônica conforme número de amostras da senoide

Número de amostras	Taxa de distorção harmônica
32	4,01%
64	4,16%
128	3,33%
256	3,16%
512	3,05%
1024	3,08%
2048	3,03%
4096	3,03%

Fonte: autoria própria.

Figura 9 – Variação nas amplitudes da 2ª até a 15ª harmônica conforme o número de amostras da senoide (32, 128 e 512), utilizando frequência PWM de 5 kHz



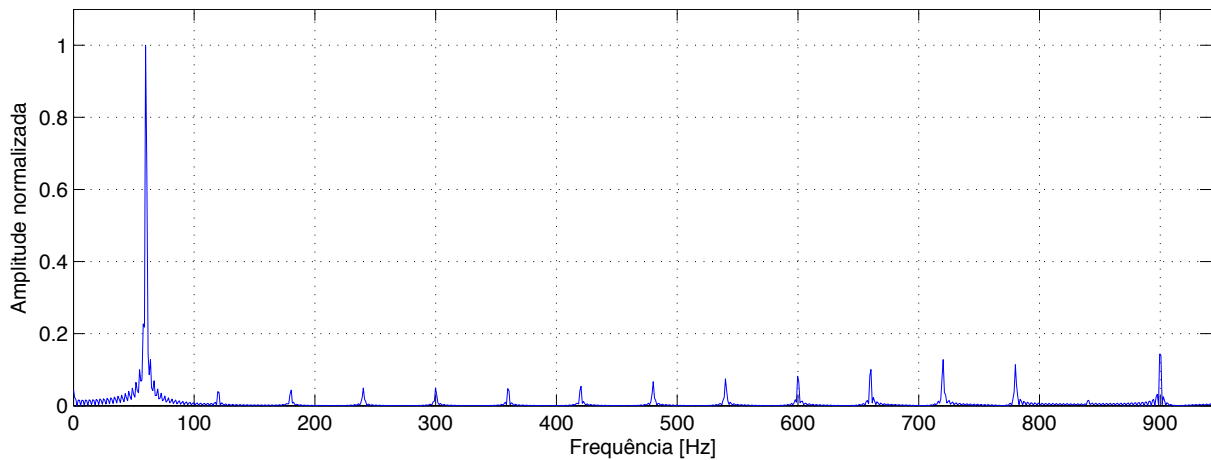
Fonte: autoria própria.

Através das simulações, percebeu-se ainda a importância do uso de um alto valor de frequência para reduzir as componentes de frequência próximas da frequência fundamental da onda modulada. A Tabela 2 exibe a taxa de distorção harmônica da onda modulada, considerando a faixa de frequência até a 15ª harmônica (900 Hz) para diferentes números de amostras. As Figuras 10 e 11 exibem a redução nas amplitudes das harmônicas para uma maior frequência de PWM.

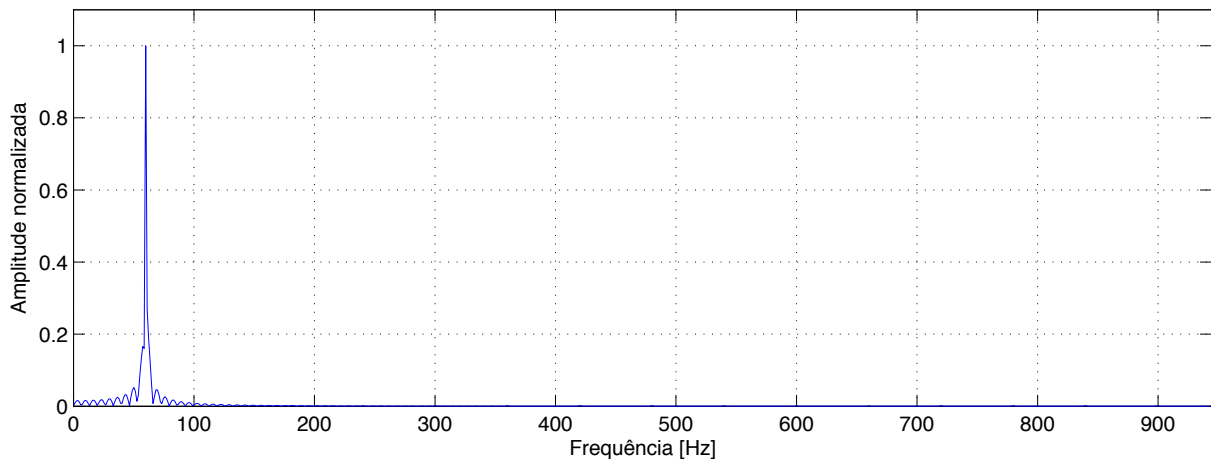
Tabela 2 – Taxa de distorção harmônica até a 15ª harmônica conforme frequência de PWM

Frequência de PWM	Taxa de distorção harmônica
1 kHz	30,06%
5 kHz	3,05%
20 kHz	0,88%

Fonte: autoria própria.

Figura 10 – Espectro de frequência até a 15ª harmônica da onda com frequência de 60 Hz modulada por largura de pulso via *software*, com 512 amostras e frequência PWM de 1 kHz

Fonte: autoria própria.

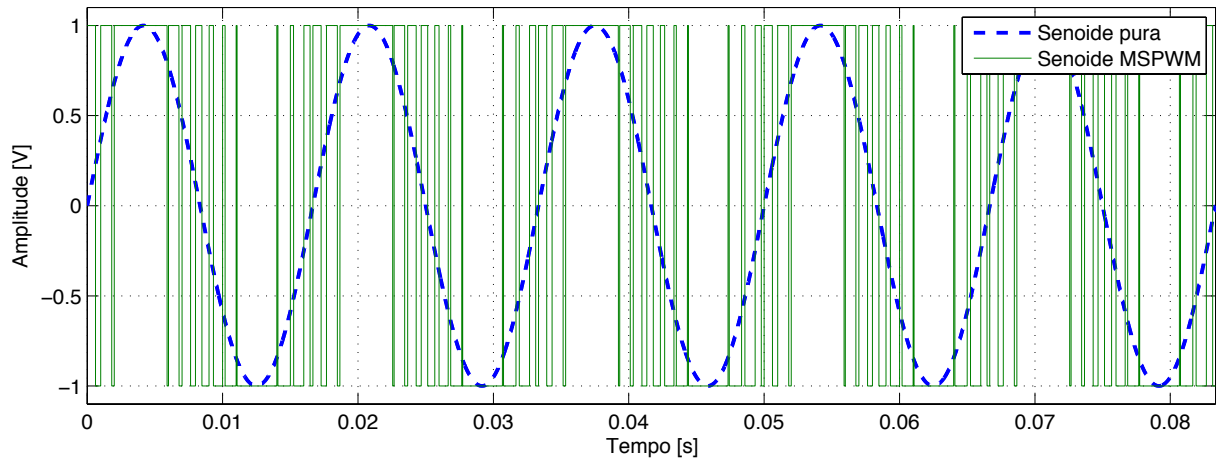
Figura 11 – Espectro de frequência até a 15ª harmônica da onda com frequência de 60 Hz modulada por largura de pulso via *software*, com 512 amostras e frequência PWM de 20 kHz

Fonte: autoria própria.

Uma vez realizadas as análises da técnica de SPWM, pode-se compreender o PWM senoidal modificado (MSPWM) que baseia-se no SPWM, porém reduz a quantidade de variações do *duty cycle* ao mantê-lo constante durante os 60° de pico de cada semi-ciclo, isto é, entre 60° e 120° (Figura 12). Novas simulações foram feitas para comparação e notou-se

uma redução nas componentes de frequência relacionadas à comutação do PWM (fixada em 10 kHz), e conseqüentemente, um aumento na componente de frequência fundamental (2,55% maior). No entanto, a distorção harmônica, considerando até a 15ª harmônica, passou de 1,56% para 3,57%, diferença que é quase anulada após aplicação de um filtro passa-baixas Butterworth de 2ª ordem com frequência de corte em 65 Hz: 0,68% contra 0,74%.

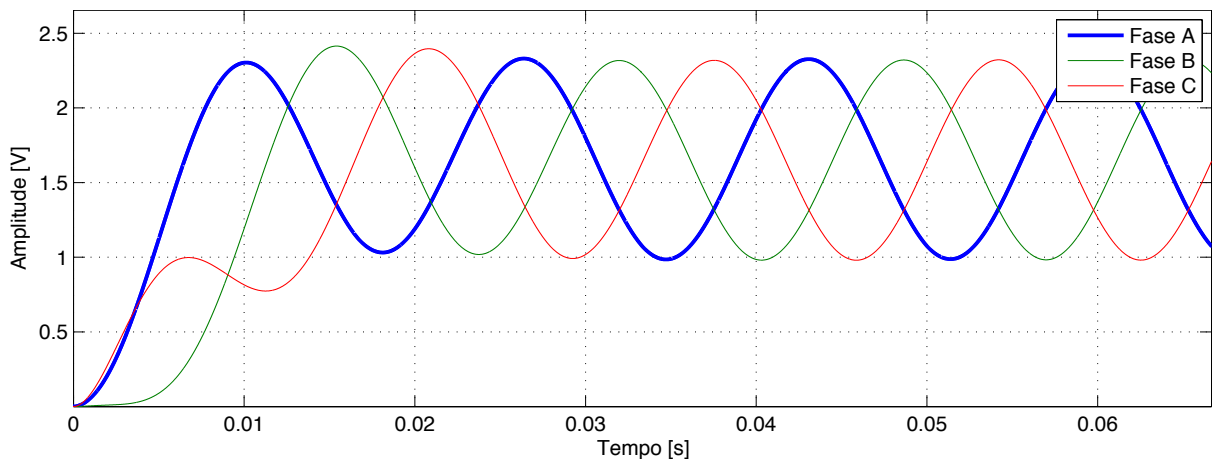
Figura 12 – Sobreposição de onda senoidal de 60 Hz e onda modulada pela técnica de MSPWM, com componente CC removida e amplitude normalizada



Fonte: autoria própria.

Para que o inversor seja trifásico, basta amostrar outras duas senoides, cujas funções são alteradas para introduzir as defasagens de 120° e 240° . A Figura 13 demonstra a saída trifásica do sistema, já filtrada (simulação). Os filtros foram aplicados sobre as saídas PWM digitais, com níveis de tensão 0 V e 3,3 V. Nota-se que o filtro introduz um atraso na senoide pura, o que deve ser levado em consideração no projeto do sistema de controle do inversor.

Figura 13 – Inversor trifásico com saídas PWM filtradas



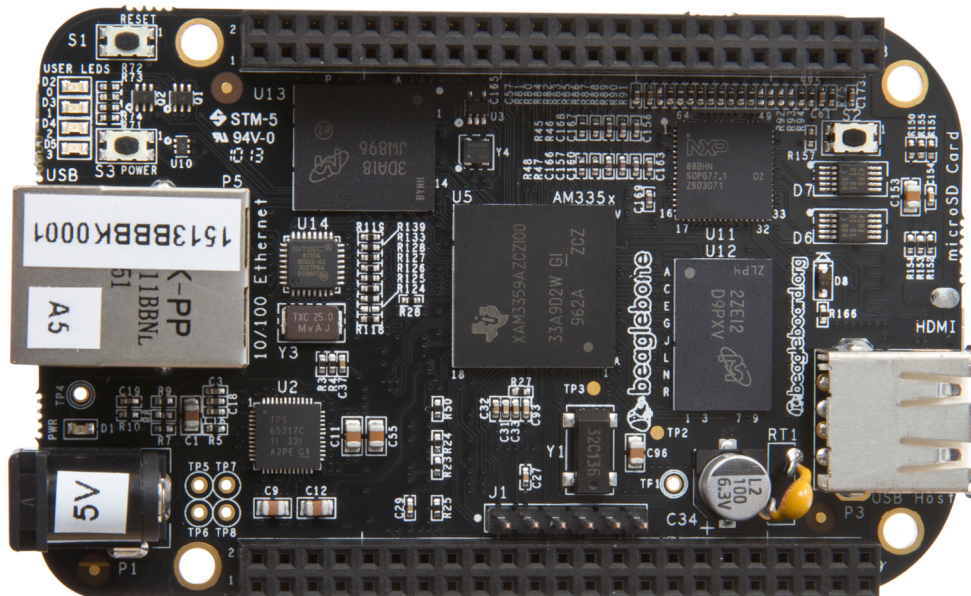
Fonte: autoria própria.

2.1.3 Modulação por largura de pulso na BeagleBone Black

É motivador o desenvolvimento de um microinversor trifásico utilizando uma plataforma de baixo custo, uma vez que inversores trifásicos fabricados na China são comercializados no Brasil a partir de US\$ 2.000 (ENERGY TEAM BRASIL, 2015). A *BeagleBone Black* (BBB), exibida na Figura 14, é uma plataforma *open-hardware* vendida a preço de custo por US\$ 45, ou R\$ 280 em território nacional (FARNELL NEWARK, 2015). Seu preço no Brasil é similar ao de um inversor monofásico que opera desligado da rede elétrica (*off-grid*), que pode ser encontrado por R\$ 249 (ENERGIA PURA).

A BBB é uma das plataformas de baixo custo que são tendência mundial entre hobbystas de eletrônica, embora notadamente, menos conhecida do que as populares Raspberry Pi e Arduino. Como vantagem, essas duas plataformas apresentam documentações mais completas e bibliotecas com maior facilidade de uso para o usuário comum. Por outro lado, a *BeagleBone Black* apresenta-se ideal para a realização deste trabalho devido às suas características de *hardware*: ao contrário do Arduino, possui conexão Ethernet e/ou via *dongle* Wi-Fi, o que permite utilizá-la como um servidor *web*, por exemplo. Já o Raspberry Pi não possui conversores analógico-digital, nem processamento em tempo real.

Figura 14 – BeagleBone Black



Fonte: COLEY (2013, p. 106)

O modelo que foi gentilmente cedido para realizar este trabalho é a revisão A5A da *BeagleBone Black*, que foi a primeira versão de produção da placa. A revisão C é a mais atual

à data de escrita deste trabalho. As diferenças entre as revisões estão descritas por COLEY (2014) no manual de referência do sistema – todavia, não impactam neste trabalho. Uma versão mais antiga era conhecida como BeagleBoard, que possuía diversas especificações inferiores e um preço superior. Como vantagem, ela oferecia um chip DSP (do acrônimo em inglês para Processamento Digital de Sinais), infelizmente ausente da versão atual.

As especificações completas da placa na revisão A5A podem ser encontradas no manual de referência (COLEY, 2013), enquanto especificações detalhadas e atualizadas do processador são fornecidas pela Texas Instruments (2014). As principais delas para este trabalho são resumidas abaixo:

- Processador de frequência 1 GHz, até 1600 MIPS (milhões de instruções por segundo), arquitetura ARM
- 2 unidades programáveis de tempo real (PRUs), 32-bit, RISC, 200 MHz, isoladas do processador principal, com 8 KB de memória RAM para dados (cada) e 12KB de memória RAM compartilhada
- 7 conversores¹ analógico digital (ADCs) de 12 bits, 0,0 V a 1,8V
- Memória RAM 512 MB 800 MHz
- Armazenamento interno eMMC de 2 GB²
- Slot para cartão de memória microSD
- Conexão USB 2.0
- Interface Ethernet 10/100 Mbps
- Até 3 módulos de PWM de alta resolução e até 2 saídas PWM auxiliares via módulos eCAP³
- Nível de tensão nas I/Os (referente ao GND): 3,3 V
- Dimensões: 8,3 cm x 5,3 cm
- Massa: 39,68 g
- Consumo: entre 210mA e 460mA quando alimentada com 5 V
- Faixa de temperatura de operação do processador: -40°C a 90°C

Com tais especificações, é possível instalar um sistema operacional que suporte a arquitetura ARM. As distribuições Linux oficialmente suportadas são Angstrom e Debian,

¹ O processador possui uma oitava entrada ADC, porém não está disponível na BBB.

² 4GB na Rev. C

³ O processador possui uma terceira saída PWM auxiliar via módulo eCAP, porém não está disponível na BBB.

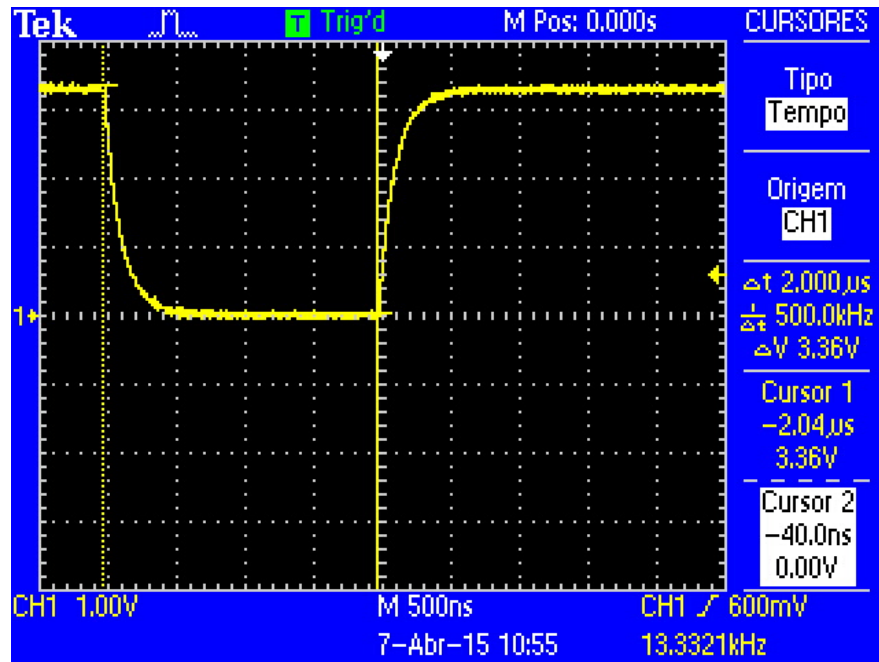
sendo lançadas periodicamente imagens especificamente compiladas para a BBB. Desde o lançamento da revisão C da placa, com o aumento no armazenamento interno de 2GB para 4GB, a distribuição Debian passou a ser pré-instalada nas placas no lugar da Angstrom e, conseqüentemente, passou a ser também a distribuição recomendada e mantida. Atualmente, a última atualização do Angstrom data de 04 de setembro de 2013, enquanto a última versão do Debian data de 1º de março de 2015. Este trabalho foi desenvolvido com o sistema operacional Debian Linux, instalado no cartão microSD.

As saídas PWM da BBB são especialmente úteis para o desenvolvimento de um inversor. Segundo Molloy (2014), embora seja possível comutar programaticamente um pino comum com frequência constante de até 125 kHz (em teste realizado sem definição de períodos), usa-se em torno de 98% da CPU para essa atividade; enquanto isso, o uso de uma saída PWM atinge valores maiores e pré-definidos de frequência com uso desprezível da CPU, o que permite que outras tarefas sejam processadas em paralelo.

Para usar as funções de PWM dessa placa, os pinos que possuem essa capacidade devem ter seu modo de multiplexação ajustado para tal função. Os pinos da placa são distribuídos em dois *headers*, nomeados P8 e P9, e seus modos de multiplexação (de 0 a 7) estão listados no manual de referência do sistema (COLEY, 2013). Os sistemas operacionais compilados para a BBB fornecem meios de mais fácil acesso a esses modos, através da pasta “pinmux” ou da função “config-pin”.

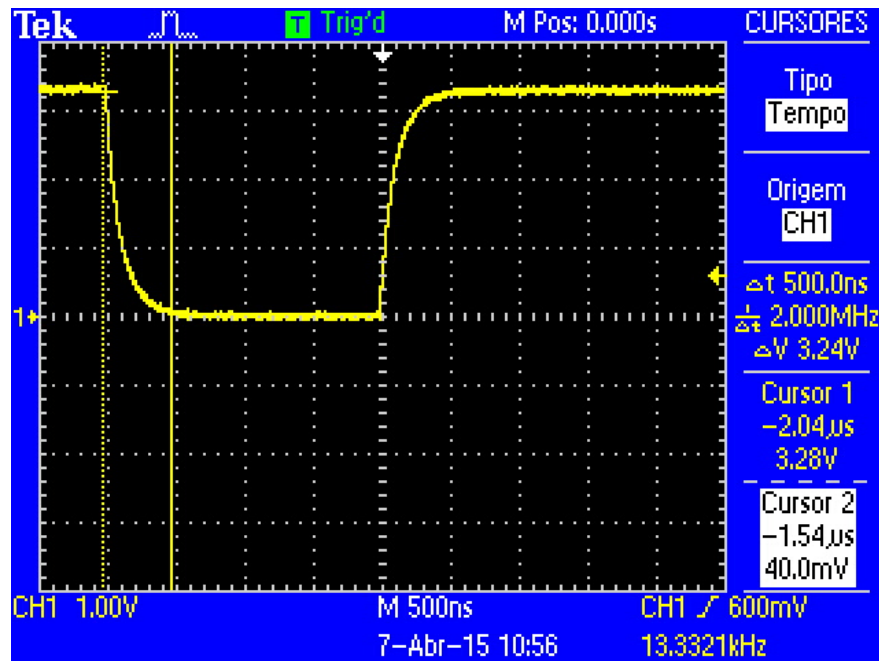
Uma vez ajustado o modo PWM no pino desejado, seu período e *duty cycle* (tempo no qual a saída PWM fica no estado ligado) podem ser ajustados por, pelo menos, dois diferentes métodos, cujos resultados dos testes são apresentados a seguir. As Figuras 15, 16 e 17 mostram a saída do pino P8.13 quando configurado pelo método descrito por Ahmad (2014), exibindo um comportamento que assemelha-se à carga e descarga de um capacitor e um tempo característico de 500,0 ns para estabilização do nível de tensão, independentemente da frequência e *duty cycle* ajustados. O *driver* escrito por Ahmad (2014) já estava integrado no sistema operacional Debian Linux utilizado.

Figura 15 – Saída do pino P8.13 configurado para PWM pelo método de Ahmad (2014). Destaque para o tempo de 2,000 μ s entre o início da descida e o início da subida do nível de tensão, igual ao intervalo de tempo ajustado via *duty cycle*



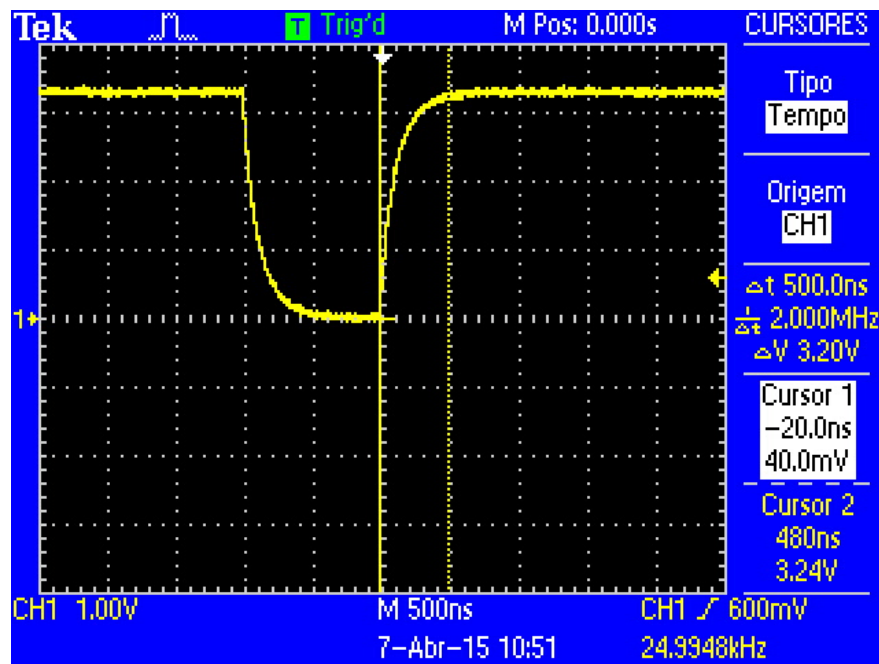
Fonte: autoria própria.

Figura 16 – Saída do pino P8.13 configurado para PWM pelo método de Ahmad (2014). Destaque para o tempo de 500,0ns entre o início da descida e a estabilização do nível de tensão



Fonte: autoria própria.

Figura 17 – Saída do pino P8.13 configurado para PWM pelo método de Ahmad (2014). Destaque para o tempo de 500,0ns entre o início da subida e a estabilização do nível de tensão

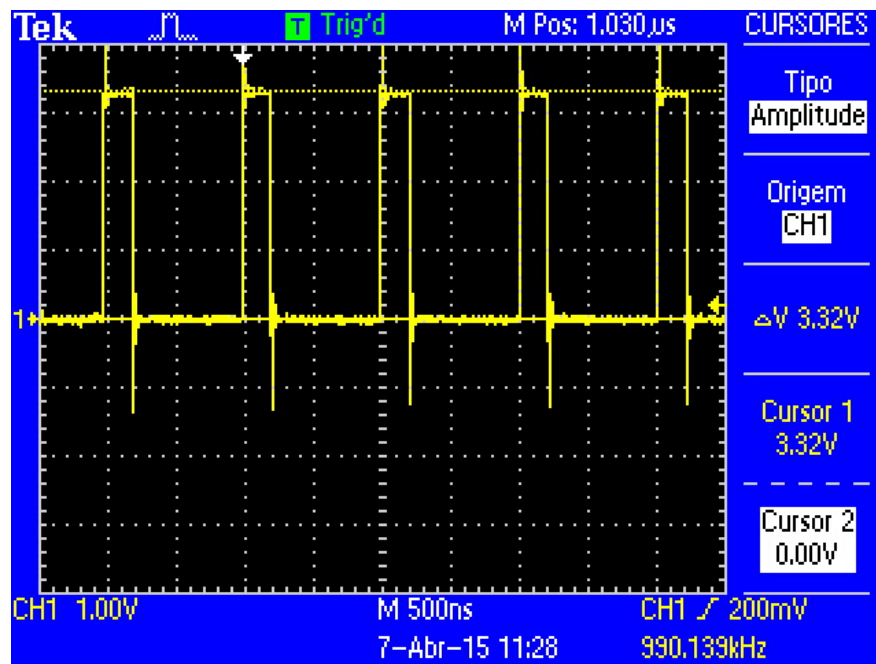


Fonte: autoria própria.

Usando o mesmo pino e osciloscópio para as medidas, o experimento foi repetido usando o método de ativação de PWM descrito por Briancode (2015). Nota-se na Figura 18 uma melhor aproximação a uma onda quadrada, mesmo com períodos menores configurados para o PWM e para o *duty cycle*. Por outro lado, nota-se que há uma oscilação nas bordas, cuja duração de 33,6 ns é exibida em ampliação na Figura 19 – valor aproximadamente 15 vezes inferior aos tempos de subida e descida de 500 ns observados no método anterior.

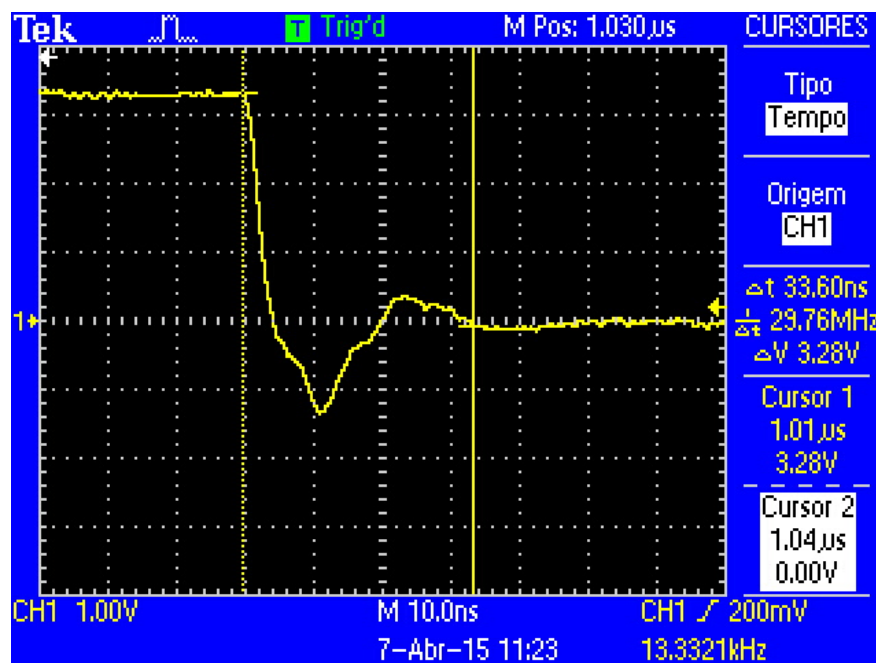
Devido à possibilidade de redução nos períodos através desse método, pôde-se notar também que o PWM oscila brevemente para o estado positivo no início de cada ciclo, mesmo com o *duty cycle* ajustado para zero (Figura 20). Essa oscilação segue a característica da oscilação de borda, logo, deve-se considerar o efeito desse fator sobre as tensões média e eficaz ao utilizar períodos curtos.

Figura 18 – Saída do pino P8.13 configurado para PWM pelo método de Briancode (2015). PWM com período de 1000 ns e *duty cycle* de 200 ns



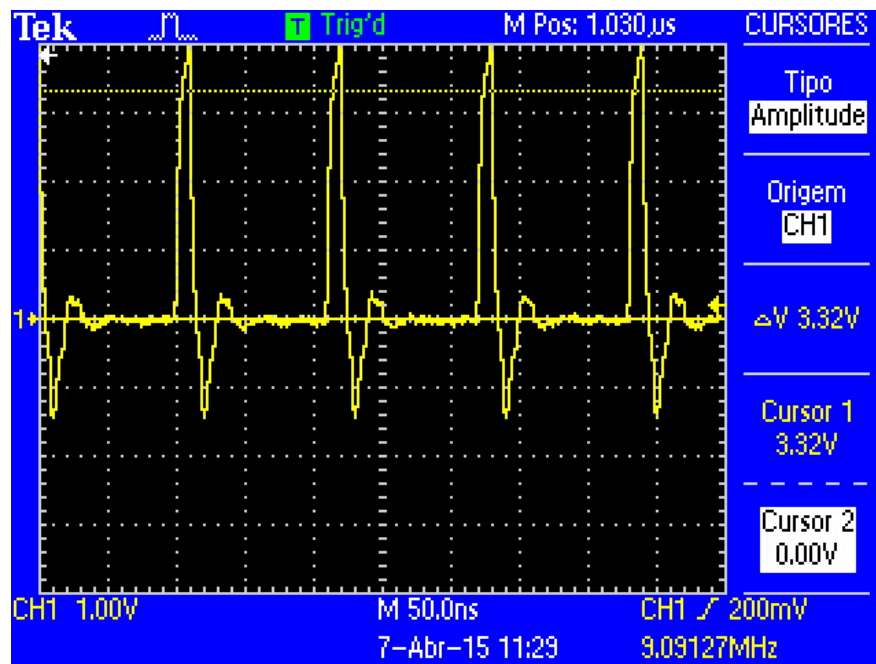
Fonte: autoria própria.

Figura 19 – Saída do pino P8.13 configurado para PWM pelo método de Briancode (2015). Ampliação na oscilação de borda destacando um intervalo de 33,60 ns até estabilizar o nível de tensão



Fonte: autoria própria.

Figura 20 – Saída do pino P8.13 configurado para PWM pelo método de Briancode (2015). PWM com período de 100ns e *duty cycle* zero



Fonte: autoria própria.

Apesar da existência de pinos com a função específica de PWM, demonstrou-se a imperfeição dos mesmos com os *drivers* atuais da BBB. Além disso, o uso de uma alta frequência de PWM para modulação senoidal requer ainda uma alta frequência de troca do *duty cycle*, o que deve ser feito em momentos precisos. Por esse motivo, foram estudadas as capacidades de tempo real do sistema operacional padrão da BBB e métodos existentes de ampliar essas capacidades. A subseção 2.1.4 introduz o conceito de sistemas de tempo real e a modulação senoidal é retomada na subseção 2.1.5.

2.1.4 Sistemas de tempo real

Na subseção 2.1.2, chegou-se à conclusão via simulações de que 512 amostras para um período de senoide seria um bom valor visando à redução de harmônicas. Mesmo através de otimizações que diminuem a quantidade de comutações (como na técnica de MSPWM), a frequência de comutação do *duty cycle* chegaria a 30,72 kHz, com pulsos de duração a partir de 220 ns. Para cumprir tal requisito sem distorções, é necessário um comportamento determinístico do sistema embarcado, ou seja: ele deve executar as ações programadas com início em instante de tempo determinado e com duração máxima determinada. Em outras palavras, deve ser um sistema operacional de tempo real.

Yang et al (2005) cita três métricas de desempenho de tempo real de um sistema baseadas na latência: a latência de interrupção, definida pelo tempo entre o sinal de interrupção e execução da primeira instrução da rotina do serviço de interrupção; a latência de preempção, definida pelo tempo entre uma tarefa de alta prioridade entrar num estado pronto para executar e executar de fato; e a latência de agendamento, definida pelo tempo entre o sistema querer alternar de tarefa e fazê-lo de fato.

Segundo Toyooka (2014), um sistema operacional ser “de tempo real” não significa que ele seja rápido, mas sim que seu comportamento é determinístico e que, mesmo no pior caso de desempenho, todas as tarefas (ou a grande maioria, dependendo da especificação do sistema) são garantidamente executadas dentro de um tempo estabelecido, graças a uma latência constantemente dentro dos limites aceitáveis. De fato, num sistema de tempo real, o desempenho de interesse é o do pior caso: o maior tempo entre o sinal de interrupção e a execução da rotina correspondente, ou o maior tempo para alternar entre tarefas – ao contrário de um sistema operacional de propósito geral (GPOS), onde a latência varia largamente e o desempenho de interesse é o médio ou o máximo.

O uso do sistema operacional Linux justifica-se pela imensa quantidade de *drivers* e aplicativos desenvolvidos para esse sistema, o que aumenta as possibilidades de aplicação da plataforma em questão: aplicações complexas são facilmente desenvolvidas. No entanto, ele é um sistema não-preemptivo. Segundo Yang et al (2005), a preempção faz o processador parar a tarefa atual e passar o controle para outra tarefa de maior prioridade. Assim, o sistema não-preemptivo é aquele que atrasa tarefas, mesmo as de alta prioridade, até que a tarefa corrente seja finalizada, com o benefício de, por exemplo, evitar possíveis problemas de concorrência entre as tarefas. O componente de um sistema operacional responsável pela decisão de execução das tarefas é conhecido como *kernel*.

Apesar de um sistema não-preemptivo ser recomendado para a maioria das aplicações, em outras, como num inversor sincronizado com a rede de distribuição da concessionária, um sistema preemptivo é necessário. Para tais aplicações, foram criados *patches* (remendos, em inglês) capazes de acrescentar preempção ao *kernel* do Linux, sendo o oficial conhecido como CONFIG_PREEMPT_RT ou RT-Preempt. *Patches* são aplicações geralmente pequenas que modificam parte de uma aplicação maior.

Um estudo interessante foi feito por Brown e Martin (2010) comparando desempenhos e casos de uso do *kernel* padrão do Linux, o modificado pelo *patch* RT-Preempt e uma extensão conhecida como Xenomai, que integra-se ao *kernel* para acrescentar funções de

tempo real ao sistema – segundo Molloy (2014), o Xenomai fornece um *co-kernel* chamado Cobalt. Nesse estudo, foi utilizada uma BeagleBoard rev. C4, um dos modelos precursores da *BeagleBone Black*. O estudo diz que se uma aplicação Linux de tempo real requer latências menores do que unidades de milissegundos, o uso do `CONFIG_PREEMPT_RT` é altamente recomendado. Para alterar o *duty cycle* 512 vezes num período de 16,67 ms, a latência máxima tolerável é ainda mais baixa do que isso.

Ainda que uma menor latência seja atingida ao utilizar modificações no *kernel*, deseje-se ainda que as comutações sejam feitas sem sobrecarregar o processador, de modo que este fique livre para outras tarefas. Desta forma, percebeu-se que o uso das PRUs (unidades programáveis de tempo real) da BBB (mencionadas nas especificações da placa, na subseção 2.1.3), isoladas da CPU (*Central Processing Unit*, unidade central de processamento), seria a solução ideal para o problema. O *clock* de 200 MHz das PRUs torna-as inclusive mais poderosas do que microcontroladores muito utilizados, como o ATmega328P (até 20 MHz, popularizado pelos Arduinos) ou os ainda mais populares PIC32 (até 8 MHz).

Segundo o guia de referência da Beagleboard Community (2013), a PRU é um processador otimizado para realizar tarefas embarcadas que requerem manipulação de estruturas de dados mapeadas em memória e manuseamento de eventos do sistema com restrições severas de tempo real e interfaceamento com sistemas externos. Citando o guia, “a PRU é muito pequena e também muito eficiente em manusear tais tarefas”. Neste trabalho, adotou-se as PRUs para tarefas de baixa complexidade e altas restrições temporais, enquanto o processador principal assume as demais tarefas.

Apesar de recentemente ter se tornado possível a programação das PRUs utilizando a linguagem C (LE MENTEC, 2014), através do *software* CCS da Texas Instruments, a linguagem *assembly* acaba sendo preferida em projetos que exigem tempo real, uma vez que o conhecimento exato do tempo de execução é possível. O guia de referência da Beagleboard Community (2013) indica que essas unidades seguem a linha de arquitetura RISC (acrônimo em inglês para “computador com um conjunto reduzido de instruções”) e propositadamente não possuem *pipelining*, ou seja, a instrução seguinte só começa após finalizada a instrução anterior. Em resumo, segundo Chen, Novick e Shimano (2000), isso significa que há somente instruções de ciclo único: 5 ns de duração, dada a frequência de 200 MHz das PRUs.

Também é possível o uso de uma linguagem híbrida, sendo o programa geral desenvolvido em C com determinados blocos de interesse escritos em *assembly*. Para compilar os programas em C, é necessária a instalação do gcc, enquanto o pasm (PRU

Assembler) vem pré-instalado no Debian. Já para os programas híbridos, é necessária a instalação do *toolchain* (cadeia de ferramentas) “*PRU Code Generation*” da Texas Instruments, que tanto pode ser obtido individualmente como também faz parte do CCS.

Recentemente, a fabricante passou a disponibilizar documentação acerca das PRUs (TEXAS INSTRUMENTS, 2014), contudo ainda precária e de difícil compreensão. Mesmo assim, a existência de tais unidades é considerada a “vantagem principal” da BBB sobre as concorrentes Arduino e Raspberry Pi, segundo Travaglione (2014). Parte significativa do tempo investido neste trabalho consistiu em pesquisas e desenvolvimento com as PRUs, inclusive para aplicação da modulação senoidal, assunto da subseção 2.1.5, a seguir.

2.1.5 Modulação senoidal via PRUs da BeagleBone Black

Os pinos das PRUs da *BeagleBone Black* coincidem com os pinos alocados, por padrão, para a saída HDMI. Para que se possa reverter essa configuração, utiliza-se uma DTO (*Device Tree Overlay*, ou “sobreposição da árvore de dispositivo” em tradução livre) para ativar as PRUs nesses pinos. Antes disso, deve-se também descarregar a DTO correspondente à saída HDMI. A *device tree* tem a função de descrever o *hardware* do sistema e foi introduzida na BBB como um avanço em relação aos modelos anteriores da *BeagleBone*, com o objetivo de tornar possível a modificação do sistema enquanto ligado. Informações adicionais sobre o tema podem ser consultadas em Molloy (2014) e Adafruit (2015).

Com o poder de controle sobre o tempo de execução de cada instrução em *assembly*, foram desenvolvidos códigos em C e *assembly*: o programa C amostra em memória uma senoide de frequência dada e converte os valores em número de instruções (dado que cada instrução equivale a 5 ns), enquanto o *assembly* alterna a saída entre ligado e desligado, com laços de espera em cada nível que duram o número especificado de instruções. Os fluxogramas simplificados desses códigos, sem detalhar as otimizações, são demonstrados respectivamente nas Figuras 21 e 22. Desta forma, com uma senoide de frequência f amostrada em N valores, a frequência de PWM equivalente é dada pela Equação (4):

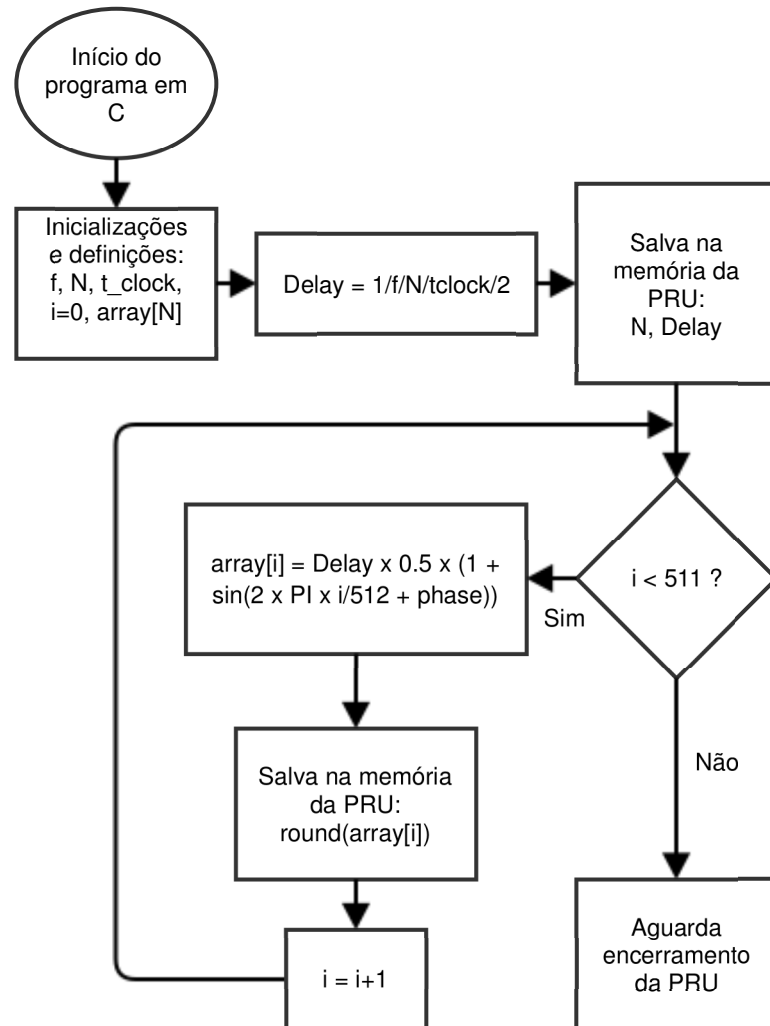
$$f_{\text{PWM}} = f \times N \quad (4)$$

a qual resulta em 30,72 kHz para os valores padrão de 60 Hz e 512 amostras.

O programa também foi escrito em MATLAB, onde teve-se o cuidado de controlar o tempo decorrido entre instruções, permitindo assim realizar simulações e ajustes finos antes da aplicação final na placa. O principal ajuste fino consistiu em tornar par o número de instruções extras executadas (além do tempo de espera calculado), de forma que pudesse ser

feito um equilíbrio reduzindo o número de instruções de espera – uma vez que cada execução do laço de espera corresponde a 2 instruções (decremento do contador e salto condicional).

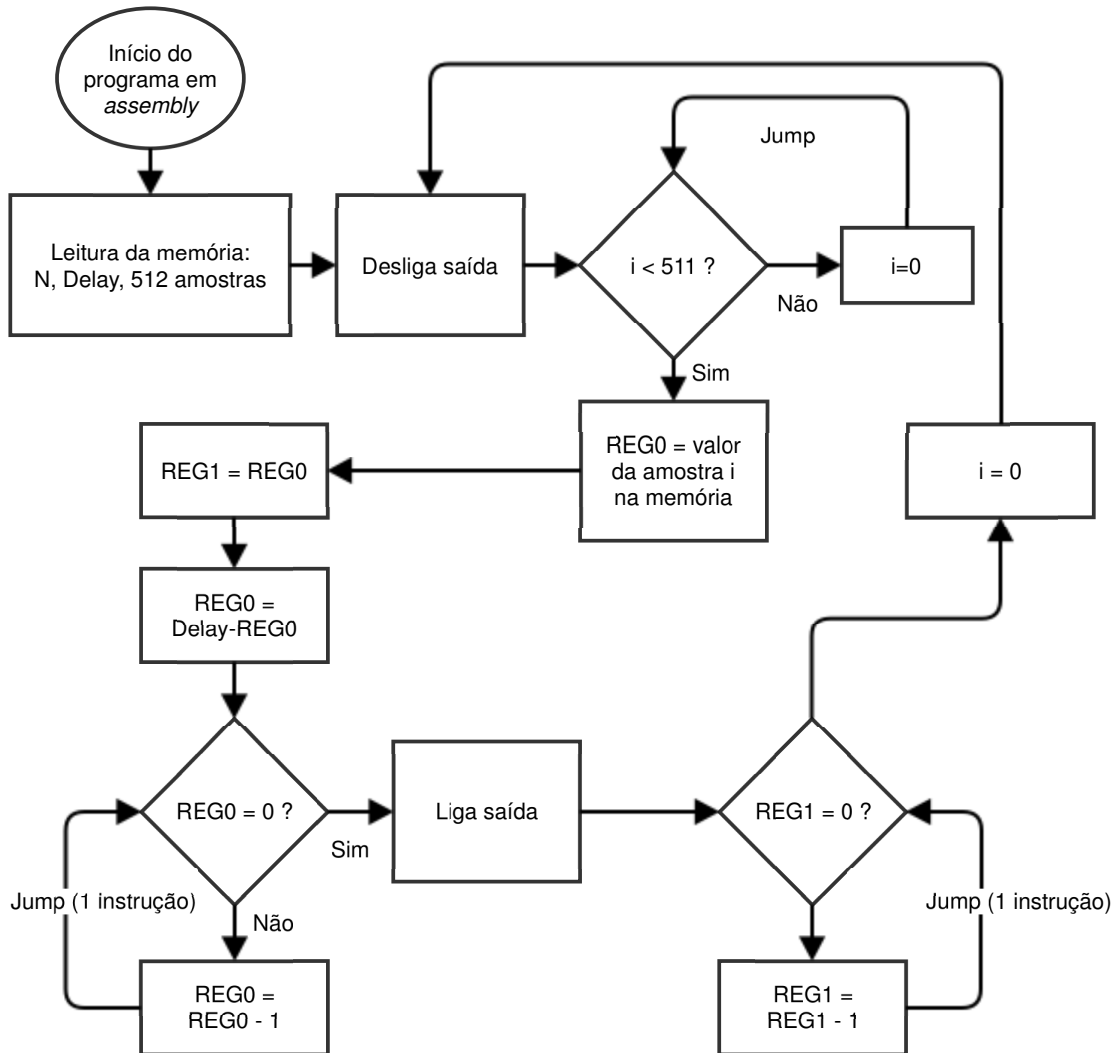
Figura 21 – Fluxograma do código em C



Fonte: Autoria própria.

Na Figura 21, por simplicidade, não são exibidos, por exemplo, os tipos das variáveis (que são pontos flutuantes até o momento de serem salvos em memória, quando são arredondados para inteiros), nem as modificações que tornam essa modulação por largura de pulso do tipo senoidal *modificada*. Na prática, foi considerada a Equação (5) para este quesito.

$$\begin{cases} y = \text{sign}[\sin(x)], & |\sin(x)| > \sqrt{3}/2 \\ y = \sin(x), & \text{caso contrário} \end{cases} \quad (5)$$

Figura 22 – Fluxograma do código em *assembly*

Fonte: Autoria própria.

O valor “*Delay*” que consta nos fluxogramas das Figuras 21 e 22 é um número constante de instruções calculado para equivaler ao período do PWM, baseado no tempo constante de execução de cada instrução. Como cada iteração de um laço de espera ocupa duas instruções, o valor calculado pelo código C já é dividido por 2. Sabendo, da Equação (4), que a frequência de PWM varia com o número de amostras da senoide e que o número de iterações precisa ser inteiro, percebeu-se que o número de amostras (*N*) escolhido impacta diretamente na precisão temporal da onda modulada. O erro periódico devido ao arredondamento pode ser calculado pela Equação (6):

$$e = f_{\text{PWM}} \times (\text{Delay}_F - \text{Delay}) \times 2 \quad (6)$$

onde *e* é dado em nanossegundos, f_{PWM} é a frequência de PWM (em Hz) e *Delay* é o valor arredondado de Delay_F .

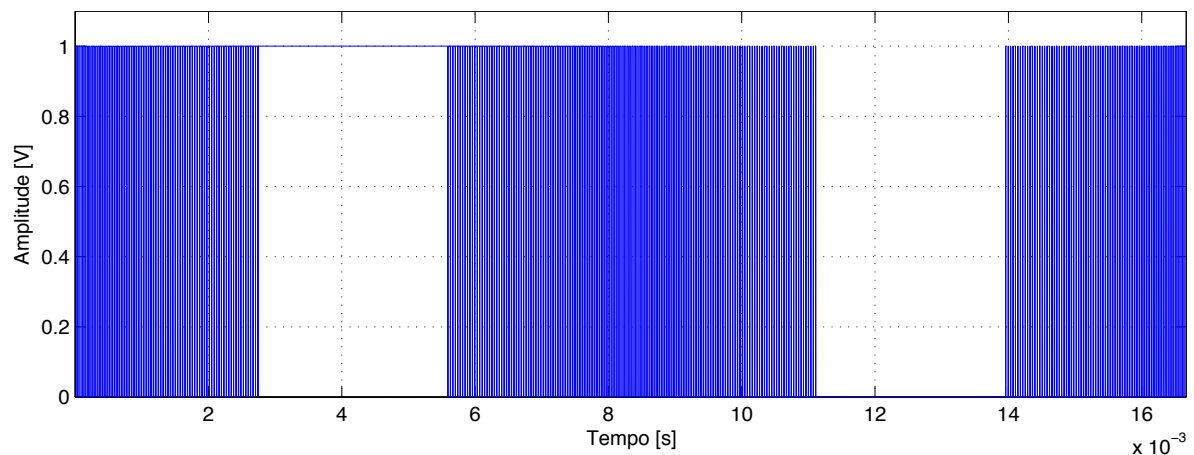
Nota-se, portanto, que o erro depende diretamente do valor da parte fracionária. Num caso hipotético de frequência de PWM de 30 kHz, o erro poderia chegar a 30 μ s que, para uma frequência de 60 Hz, caracterizaria uma diferença de $\pm 0,1078$ Hz. A solução aplicada foi calcular, dentro de uma faixa desejada, o número de amostras que fornece a menor diferença entre o valor em ponto flutuante e o arredondado. Baseado no observado na Tabela 1, foram considerados múltiplos de 6 na faixa de 256 a 512. Desta forma, o erro teórico foi reduzido para valores da ordem de 10^{-4} , variável segundo a frequência fundamental da onda modulada.

Um ponto de interesse do programa em *assembly* ausente da Figura 22 é o número mínimo de ciclos de *clock* a aguardar entre comutações (Delay). Somando os tempos das instruções no código *assembly*, 16 ciclos são transcorridos com a saída desligada até ligá-la, e 10 no sentido contrário, todos compensados reduzindo o número de repetições nos laços. Para os valores envolvidos, usando a Equação (7), o menor Delay calculado é 416 (o que ocorre quando $N = 512$) – acima dos ciclos transcorridos que, portanto, podem ser compensados. Deve ser observado que, sem a técnica de MSPWM e para os mesmos valores na Equação (7), haveria casos impraticáveis em que a espera teria que ser de 0,24 ciclo. O fluxograma também não evidencia que nenhuma comutação é feita nos 60° em torno dos picos.

$$n^\circ \text{ mínimo de instruções de espera} = \frac{1}{f \times N \times t_{clock}} \sin \left(60^\circ - \frac{360^\circ}{N} \right) \quad (7)$$

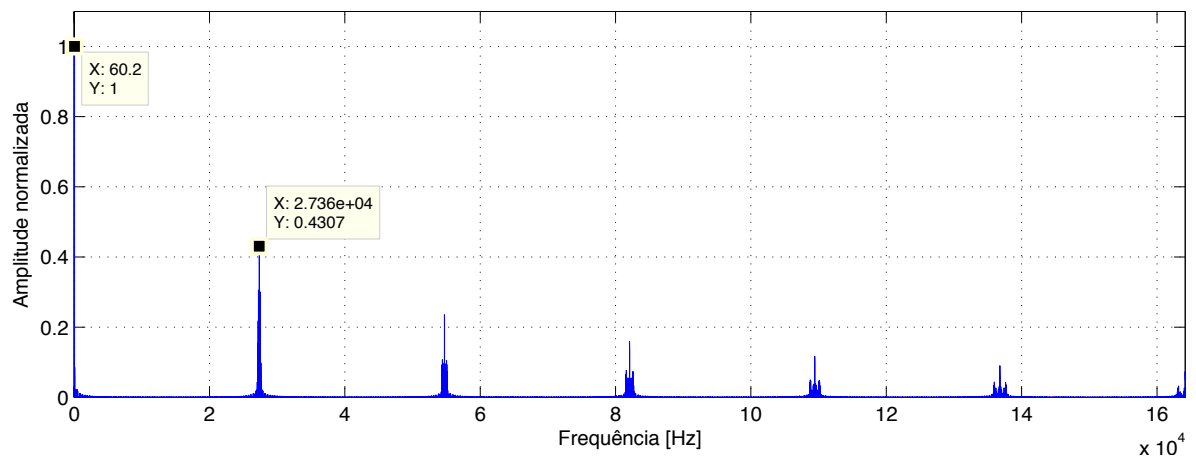
As Figuras 23 e 24 demonstram os resultados das simulações prévias em MATLAB, enquanto as Figuras 25 a 31 exibem os resultados práticos parciais. A taxa de distorção harmônica calculada para o sinal modulado foi de 3,85%.

Figura 23 – Simulação da saída controlada pela PRU executando MSPWM de uma senoide de 60 Hz com 456 amostras por período. Regiões mais condensadas representam menor tempo de espera num estado



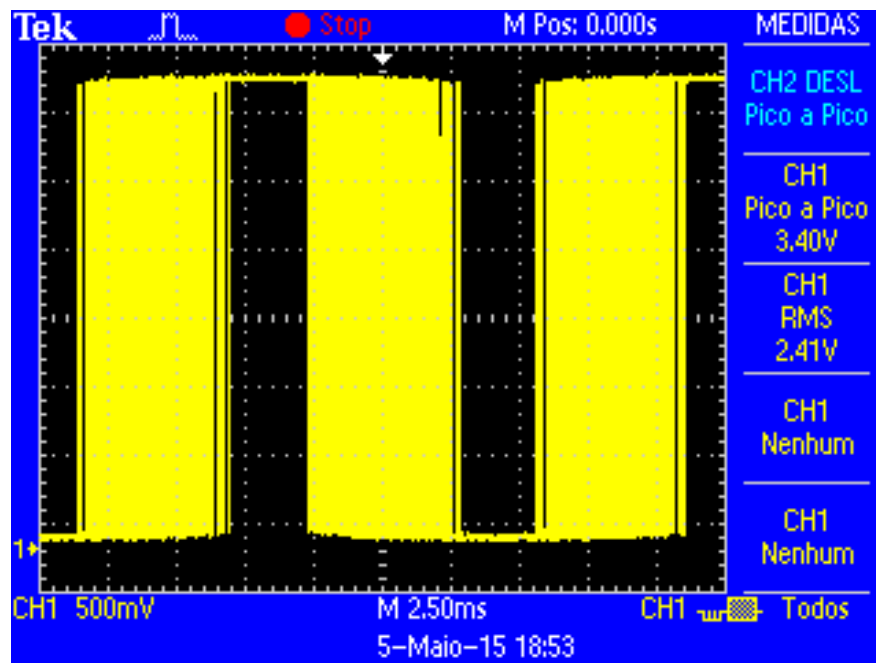
Fonte: autoria própria.

Figura 24 – Espectro de frequência do sinal simulado exibido na Figura 23



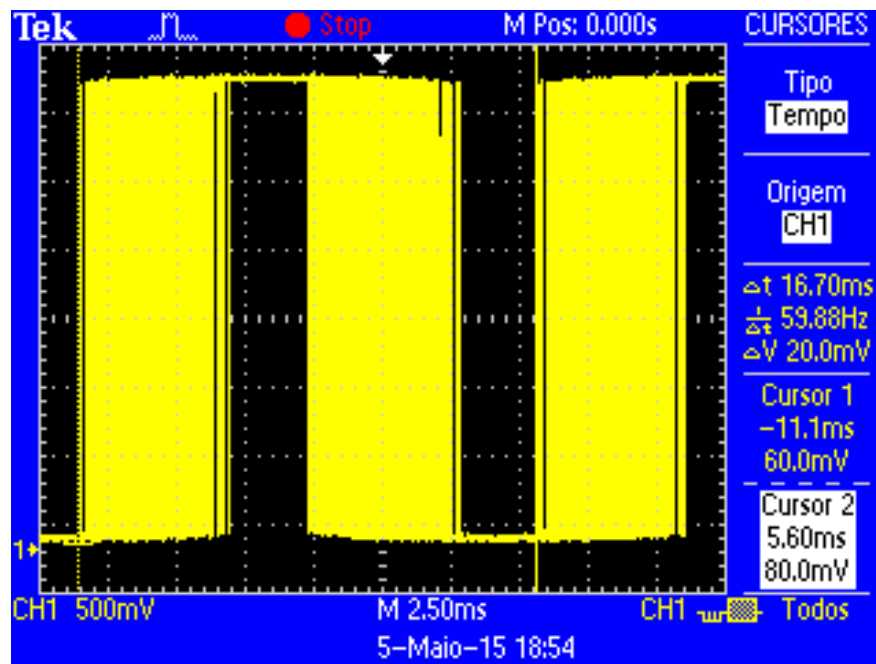
Fonte: autoria própria.

Figura 25 – Saída controlada pela PRU executando MSPWM de uma senoide de 60 Hz com 512 amostras por período. Detalhe para a relação entre as medidas de tensão RMS (2,41 V) e pico a pico (3,40 V)



Fonte: autoria própria.

Figura 26 – Saída controlada pela PRU executando MSPWM de uma senoide de 60 Hz com 512 amostras por período. Detalhe para a medida do período (16,70 ms com cursor de resolução 0,1 ms)



Fonte: autoria própria.

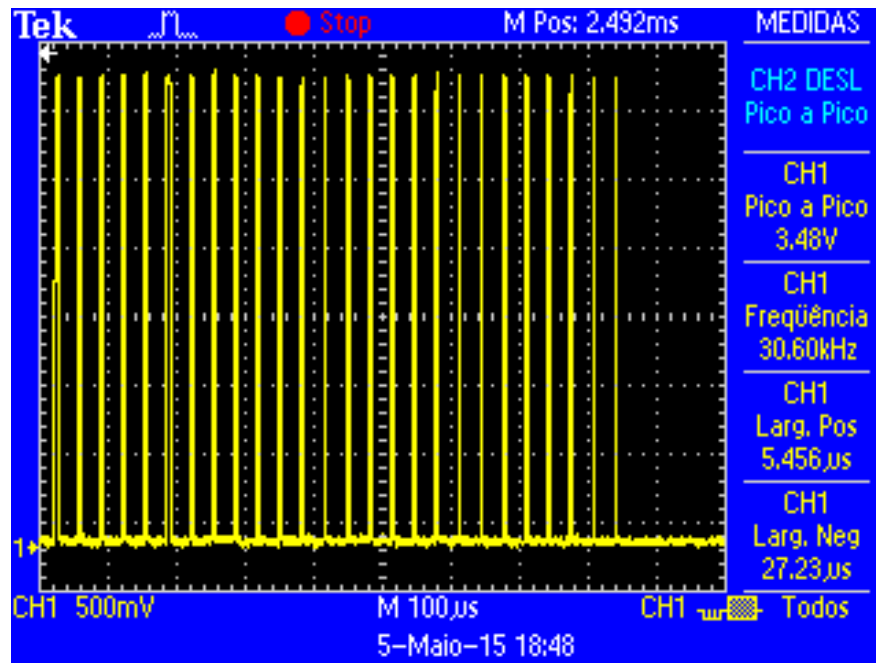
Ainda que o osciloscópio não seja um equipamento destinado a medições precisas nem exatas, é possível utilizar suas medidas a nível de ordens de grandeza na Equação (8) para verificar o resultado apresentado na Equação (9): muito próximo daquele exibido na Figura 25. Assim, nota-se que o objetivo de obter na saída o mesmo valor eficaz de uma senoide foi atingido.

$$V_{ef} = \sqrt{\frac{1}{T} \int_{t=0}^T V^2(t)} = \sqrt{\frac{1}{1/f} \int_{t=0}^{1/f} V_{pico} \cdot \sin^2(2 \cdot \pi \cdot f \cdot t)} = \frac{\sqrt{2}}{2} \cdot V_{pico} \quad (8)$$

$$V_{ef} = \frac{\sqrt{2}}{2} \cdot 3,40V = 2,404V \quad (9)$$

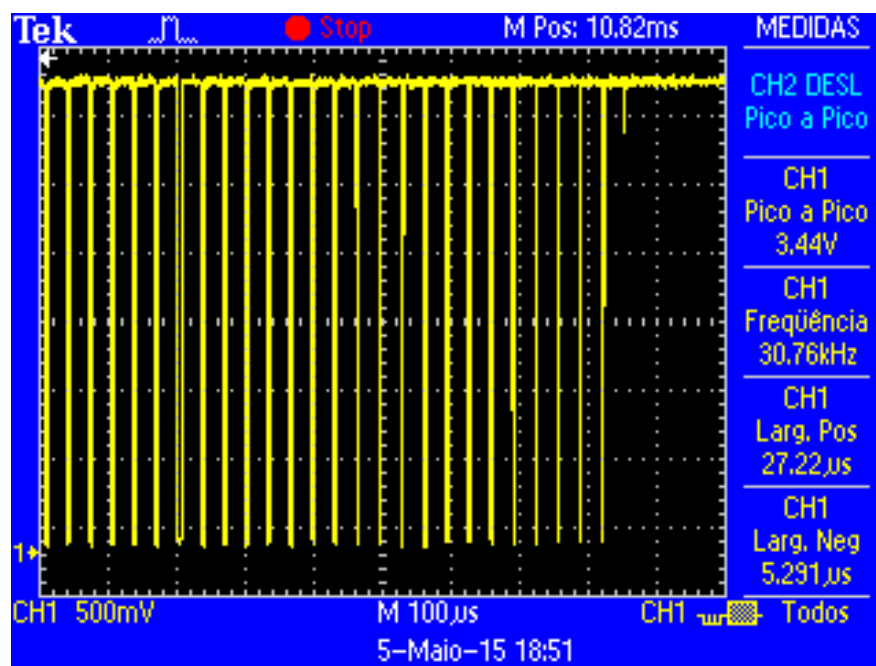
Já a partir da Figura 31, é possível verificar a amplitude relativa da componente fundamental de frequência do PWM e a fundamental da onda modulada. A amplitude da componente do PWM é 40% da amplitude da senoide: próximo dos 43% simulados no MATLAB (Figura 24).

Figura 27 – Detalhe da variação de largura dos pulsos próximos ao pico negativo da onda MSPWM



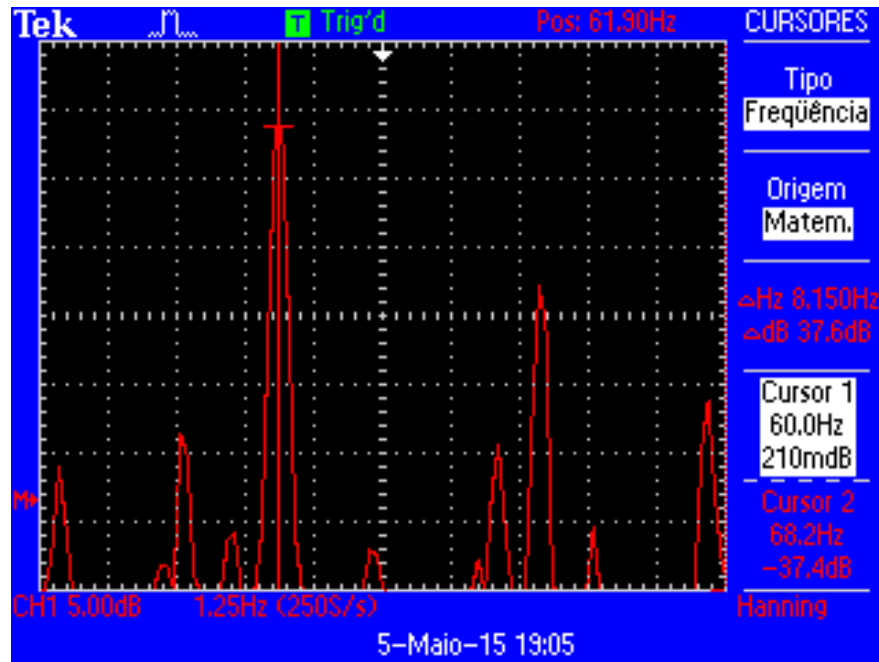
Fonte: autoria própria.

Figura 28 – Detalhe da variação de largura dos pulsos próximos ao pico positivo da senoide MSPWM



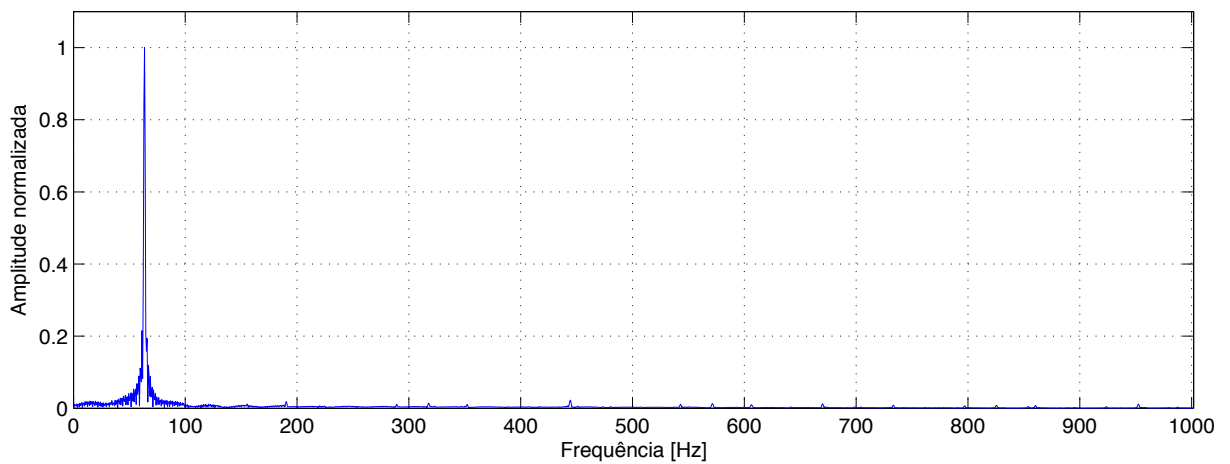
Fonte: autoria própria.

Figura 29 – Espectro de frequência digital (250 amostras/s) da saída controlada pela PRU executando MSPWM de 60 Hz com 512 amostras por período. Detalhe para a medida da maior componente de frequência (60,0 Hz com janela Hanning)



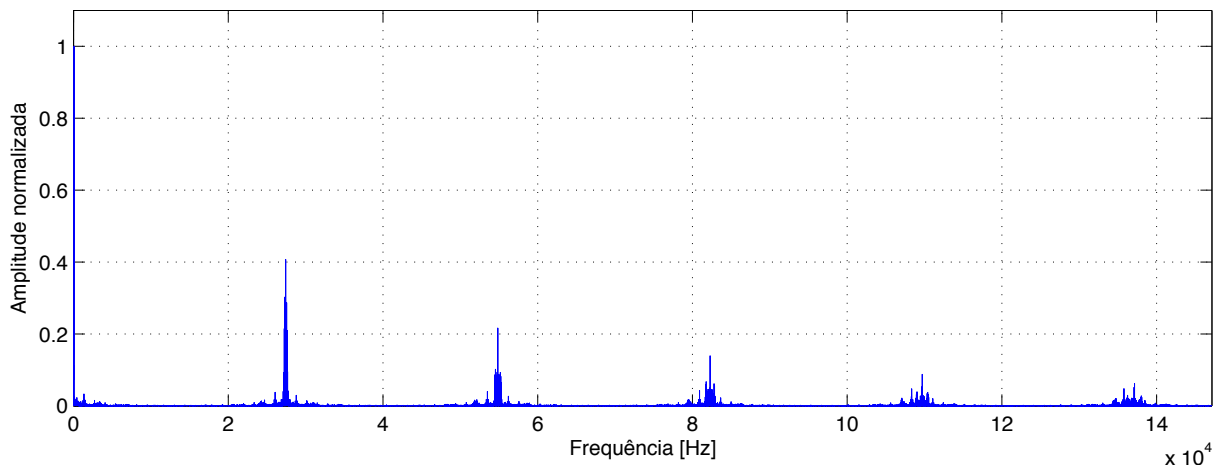
Fonte: autoria própria.

Figura 30 – Espectro de frequência até 1 kHz da saída controlada pela PRU executando MSPWM de 60 Hz com 512 amostras por período. Amostragem temporal realizada por placa de aquisição.



Fonte: autoria própria.

Figura 31 – Espectro de frequência até 150 kHz da saída controlada pela PRU executando MSPWM de 60 Hz com 512 amostras por período. Obtido a partir de aquisição temporal de dados

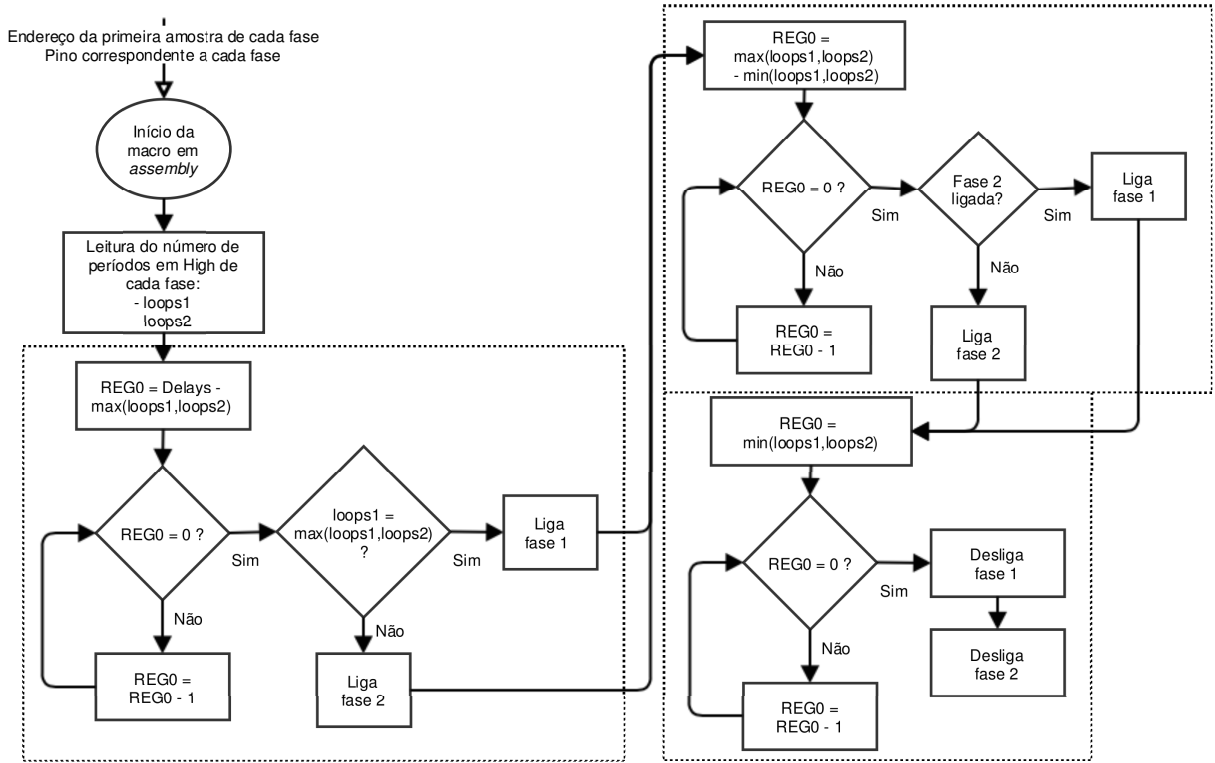


Fonte: autoria própria.

A proposta básica deste trabalho é o desenvolvimento de um inversor trifásico. Devido à necessidade ainda maior de controle temporal do sistema, para garantir a defasagem constante ao longo do tempo, o algoritmo proposto até aqui teve que ser remodelado. A nova ideia partiu da observação das três senóides modificadas defasadas de 120°, o que permite dividi-las em 6 regiões (Figura 33), cada qual abrangendo uma fase cuja modulação não varia de amplitude. As outras duas fases são comparadas amostra por amostra no código para que o sistema ligue primeiro a saída da fase de maior amplitude. A Figura 32 resume de forma não-otimizada a macro utilizada para comparação das fases de amplitude não-constante.

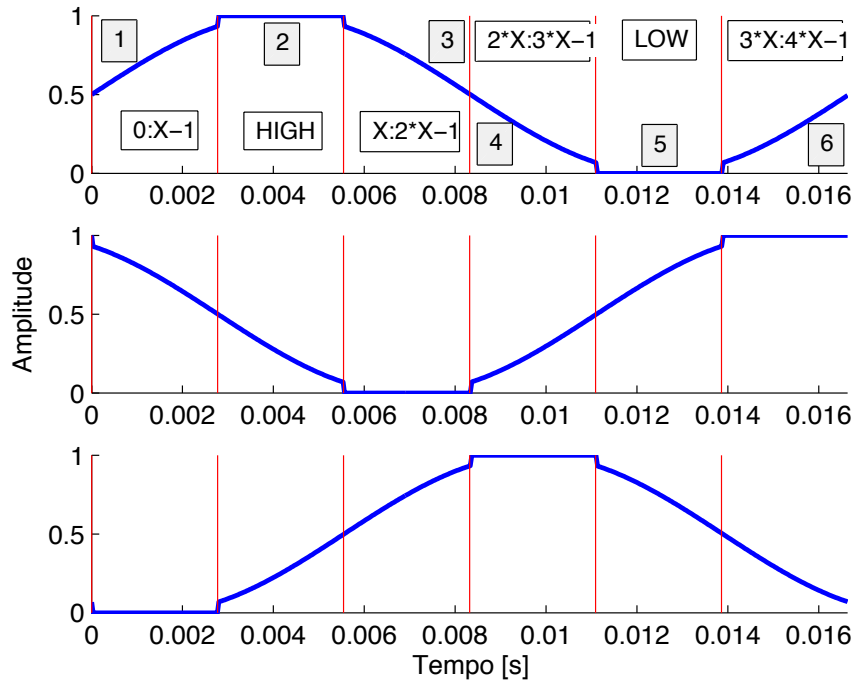
A Figura 33 também destaca a nova amostragem realizada. Devido às restrições temporais, foi garantido que em cada região houvesse o mesmo número “X” de amostras – consequentemente, o mesmo tempo de execução. Para tal, a quantidade total de amostras da senoide foi ajustada para ser múltipla de 6. Além disso, os trechos de valor constante foram ignorados na etapa de amostragem, resultando numa quantidade final de amostras igual a 4/6 da inicial. As três fases fazem uso das mesmas amostras, porém, o endereço da primeira amostra é recarregado a cada nova região.

Figura 32 – Fluxograma da macro em *assembly* utilizada no inversor trifásico



Fonte: Autoria própria.

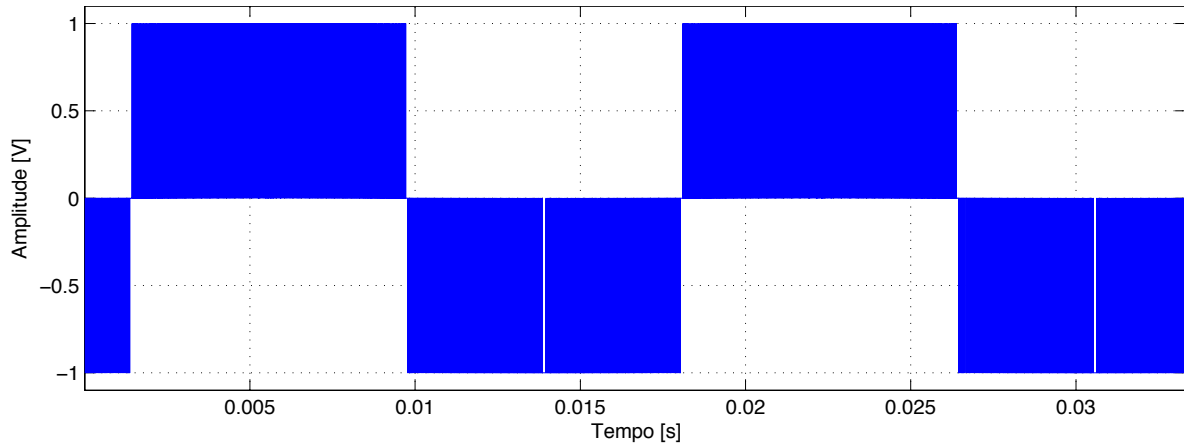
Figura 33 – Separação das três fases em 6 regiões utilizando 4 seções de amostras



Fonte: autoria própria.

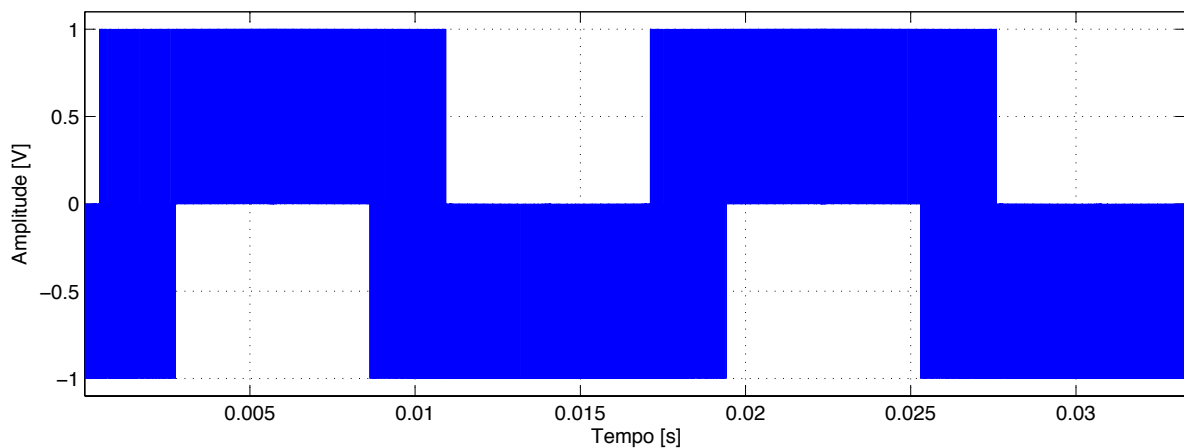
Para comprovar a defasagem de 120° , espera-se que o sinal diferencial entre duas fases quaisquer tenha aspecto similar ao da simulação apresentada na Figura 34. A Figura 35 simula a diferença entre duas fases moduladas num caso hipotético de defasagem igual a 115° .

Figura 34 – Simulação de sinal diferencial entre ondas MSPWM de 60 Hz defasadas de 120°



Fonte: autoria própria.

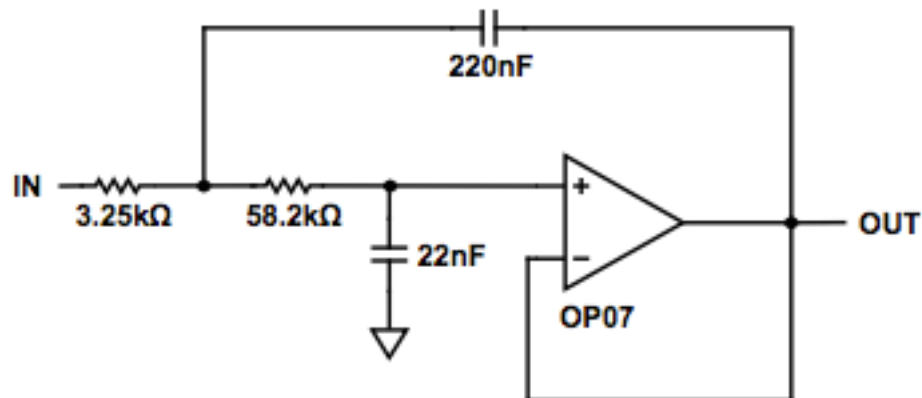
Figura 35 – Simulação de sinal diferencial entre ondas MSPWM de 60 Hz defasadas de 115°



Fonte: autoria própria.

Finalmente, a etapa de conversão de corrente contínua em alternada encerra-se no estágio de filtro. Utilizou-se um filtro Butterworth de 2ª ordem, com topologia Sallen-Key, ganho unitário, atenuação máxima de 0,1 dB até 65 Hz e frequência de corte (-3 dB) em 166 Hz. Seu circuito é dado na Figura 36.

Figura 36 – Circuito esquemático do filtro Butterworth de 2ª ordem utilizado



Fonte: autoria própria.

Os resultados finais da etapa de modulação senoidal por largura de pulso na *BeagleBone Black* são apresentados e analisados no Capítulo 3.

2.1.6 Considerações sobre sistemas *off-grid*

Embora sistemas desconectados (*off-grid*) apresentem a vantagem de independência da concessionária, garantindo a disponibilidade de energia elétrica mesmo em situações de desligamento da rede, a possibilidade de integração da energia elétrica gerada localmente com a rede de distribuição da concessionária (*on-grid* ou, mais comumente, *grid-tie*) introduz benefícios consideráveis em relação a tais sistemas. Segundo Weis (2013), sistemas *off-grid* requerem que o consumidor-gerador tenha um consumo dentro da capacidade de geração adquirida, planeje o crescimento futuro e adquira equipamentos de armazenamento de energia para momentos de alto consumo ou baixa produção, como em dias nublados, no caso da geração fotovoltaica, ou períodos de seca, no caso da geração hidroelétrica.

Evidentemente, a interconexão entre as redes possui diversas particularidades adicionais para que seu funcionamento correto e seguro seja garantido. Como no paralelismo entre geradores, é necessário garantir a todo instante o atendimento aos requisitos de sincronismo, assunto a ser abordado na seção seguinte.

2.2 SINCRONISMO COM A REDE DA CONCESSIONÁRIA DE ENERGIA ELÉTRICA

2.2.1 Requisitos de sincronismo

Para explicitar matematicamente a resultante diferencial entre duas ondas defasadas, sejam $V_1(t)$ e $V_2(t)$, definidas na Equação (10):

$$\begin{cases} V_1(t) = A \cdot \cos(\omega_1 \cdot t + \theta) \\ V_2(t) = B \cdot \cos(\omega_2 \cdot t + \varphi) \end{cases} \quad (10)$$

Para a análise específica de diferença no ângulo de fase, considerar-se-á diferença entre as ondas somente neste quesito, isto é: as ondas apresentam mesma amplitude e frequência. Assim, o conjunto a ser considerado é o da Equação (11):

$$\begin{cases} V_1(t) = A \cdot \cos(\omega \cdot t) \\ V_2(t) = A \cdot \cos(\omega \cdot t + \varphi) \end{cases} \quad (11)$$

A onda diferencial é, portanto, definida como na Equação (12):

$$V_d(t) = V_1(t) - V_2(t) = A \cdot [\cos(\omega \cdot t) - \cos(\omega \cdot t + \varphi)] \quad (12)$$

Dada a Equação (13), (12) pode ser reescrita como na Equação (14) para que possa ser expandida para a Equação (15):

$$\cos(\alpha \pm \beta) = \cos(\alpha) \cdot \cos(\beta) \mp \sin(\alpha) \cdot \sin(\beta) \quad (13)$$

$$V_d(t) = A \cdot [\cos(\omega \cdot t + \varphi/2 - \varphi/2) - \cos(\omega \cdot t + \varphi/2 + \varphi/2)] \quad (14)$$

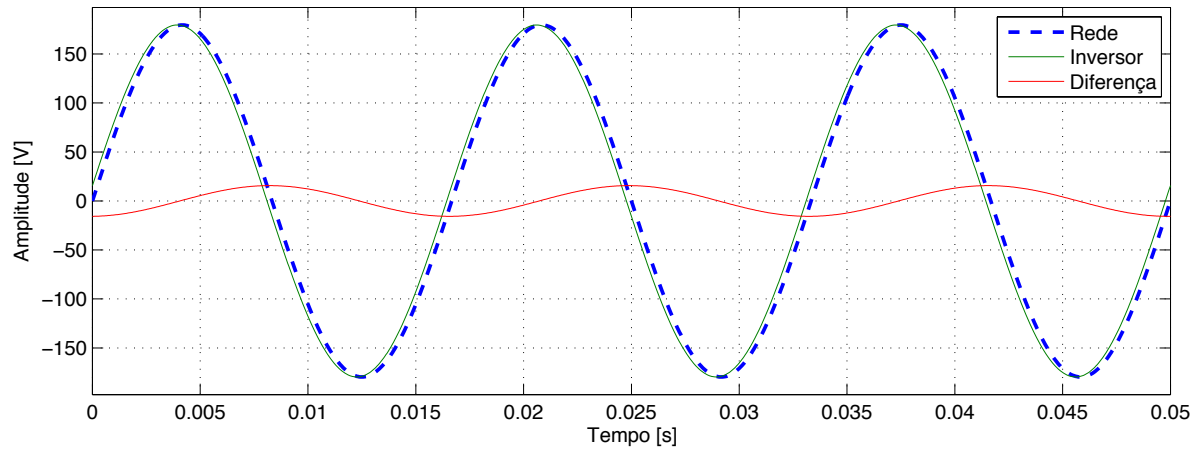
$$\begin{aligned} V_d(t) = A \cdot \{ & \cos(\omega \cdot t + \varphi/2) \cdot \cos(\varphi/2) + \sin(\omega \cdot t + \varphi/2) \cdot \sin(\varphi/2) \\ & - [\cos(\omega \cdot t + \varphi/2) \cdot \cos(\varphi/2) - \sin(\omega \cdot t + \varphi/2) \cdot \sin(\varphi/2)] \} \end{aligned} \quad (15)$$

Simplificando a Equação (15), chega-se à Equação (16):

$$V_d(t) = 2 \cdot A \cdot \sin(\varphi/2) \cdot \sin(\omega \cdot t + \varphi/2) \quad (16)$$

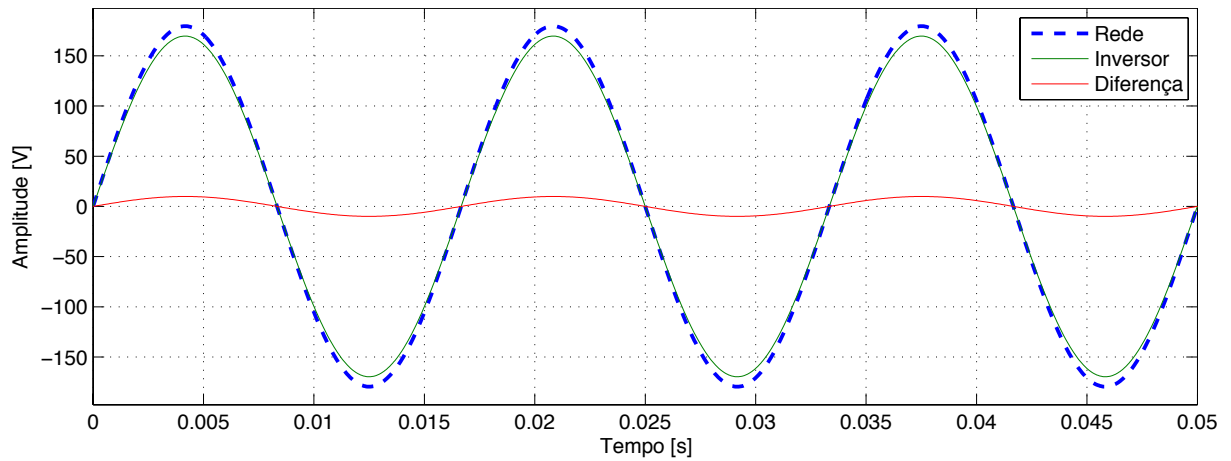
da qual nota-se que a amplitude da onda diferencial resultante é diretamente proporcional ao seno da metade do ângulo de defasagem entre as ondas, o que pode ser confirmado na Figura 37. As Figuras 38 e 39 explicitam outras possíveis diferenças entre senoides: amplitude e frequência. Para diferença de amplitude, não há necessidade de comprovação matemática, pois é imediato que a amplitude resultante será dada pela diferença.

Figura 37 – Onda resultante de duas ondas senoidais de mesma amplitude e frequência, porém defasadas de 5° constantes (simulação com saída do inversor adiantada em relação à rede)



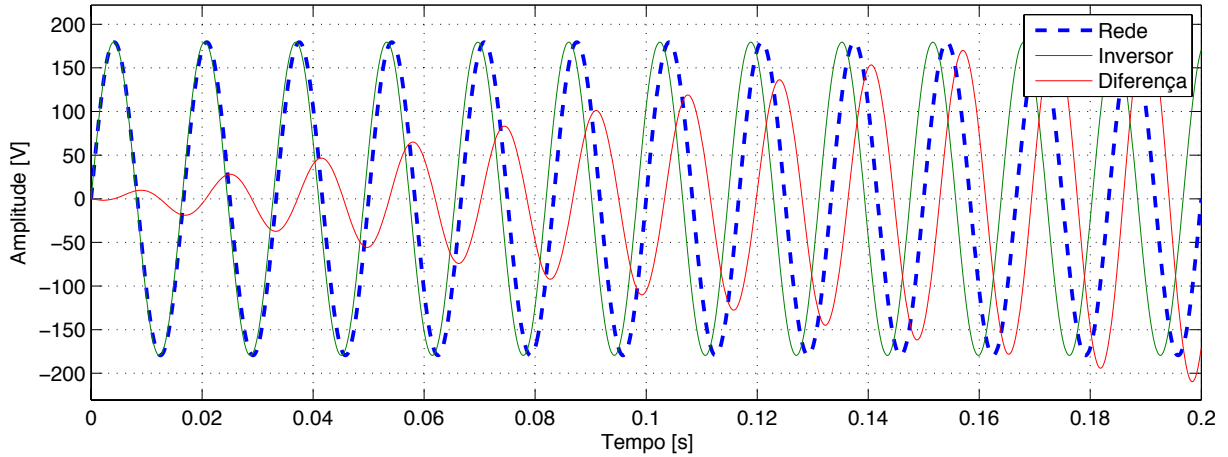
Fonte: autoria própria.

Figura 38 – Onda resultante de duas ondas senoidais de mesma frequência e ângulo de fase no instante zero, mas com diferença constante de amplitude (simulação com rede em 127V eficazes e saída do inversor em 120V eficazes)



Fonte: autoria própria.

Figura 39 – Onda resultante de duas ondas senoidais de mesma amplitude e ângulo de fase no instante zero, mas com escorregamento constante de 2 Hz (simulação com rede em 60Hz e saída do inversor em 58Hz)



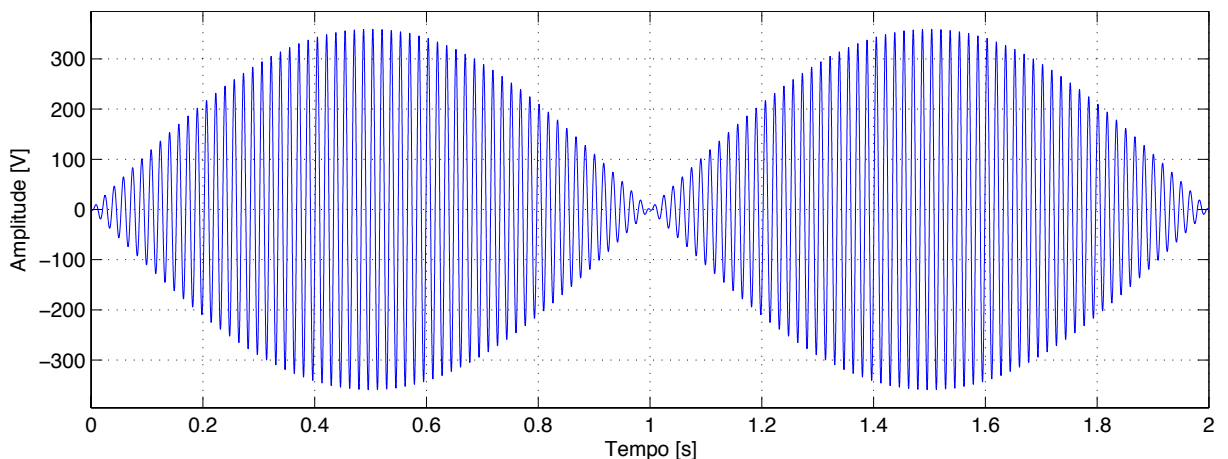
Fonte: autoria própria.

Partindo novamente da Equação (10), agora considerar-se-á somente a diferença de frequência entre as ondas, conforme a Equação (17). Simplificando a subtração entre elas, chega-se à Equação (18), onde nota-se que a frequência da onda contida dentro do envelope (Figura 40) será dada pela média das frequências, enquanto a do envelope será a diferença entre elas. A Equação (18) dá a entender que a frequência do envelope é metade da diferença, mas como os batimentos ocorrem duas vezes por ciclo, acaba sendo a própria diferença.

$$\begin{cases} V_1(t) = A \cdot \cos(\omega_1 \cdot t) \\ V_2(t) = A \cdot \cos(\omega_2 \cdot t) \end{cases} \quad (17)$$

$$V_d(t) = -2 \cdot A \cdot \sin\left(\frac{\omega_1 - \omega_2}{2} \cdot t\right) \cdot \sin\left(\frac{\omega_1 + \omega_2}{2} \cdot t\right) \quad (18)$$

Figura 40 – Envelope em torno da onda resultante de duas ondas senoidais de mesma amplitude e ângulo de fase no instante zero, mas com escorregamento constante de 1 Hz



Fonte: autoria própria.

A corrente elétrica nas redes de distribuição brasileiras é senoidal com frequência de 60 Hz. Assim, conforme explicitado na Equação (16), uma defasagem de 180° resulta numa onda diferencial de amplitude máxima e corresponde a um intervalo de tempo de meio período, ou seja, 1/120 s (aproximadamente 8,33 ms). No momento da conexão entre as redes, essa defasagem deve tender a 0° no ponto de acoplamento (PCC – *Point of Common-Coupling*), de forma que a tensão diferencial também seja nula, evitando sobretensões ou curtos-circuitos no sistema. Se a máxima magnitude de tensão elétrica tolerável no PCC for, por exemplo, de 5% da tensão da rede, o ângulo de defasagem máximo deve ser de 2,865°, ou 133ns, conforme a Equação (19):

$$0,05 \cdot A = 2 \cdot A \cdot \sin(\varphi/2) \leftrightarrow \varphi = 2 \times \sin^{-1}(0,05/2) = 2,865^\circ \quad (19)$$

Além do ângulo de fase, a saída de tensão elétrica do inversor no ponto de acoplamento deve permanecer sincronizada à da rede também em frequência e amplitude (SEDGHISIGARCHI, 2011). Sendo assim, com requisitos temporais da ordem de nanossegundos, é de suma importância que seja desta ordem o atraso máximo do inversor para adaptar-se às características de amplitude, frequência e ângulo de fase da rede elétrica na qual está conectado. Fazendo uma analogia à conexão de geradores em paralelo, a necessidade de igualdade destes três fatores é conhecida como “requisitos de sincronismo” ou “condições de paralelismo” (CHAPMAN, 2005).

Antes de fechar o interruptor na sua saída para permitir conexão à rede da concessionária, e constantemente durante a operação, o sistema deve validar as seguintes verificações para poder operar:

- Frequências (tanto a da rede, quanto a do inversor) dentro de uma determinada faixa;
- Escorregamento (diferença de frequência) dentro de uma determinada faixa;
- Tensões (tanto a da rede, quanto a do inversor) dentro de uma determinada faixa;
- Diferença de tensão dentro de uma determinada faixa;
- Diferença do ângulo de fase dentro de uma determinada faixa.

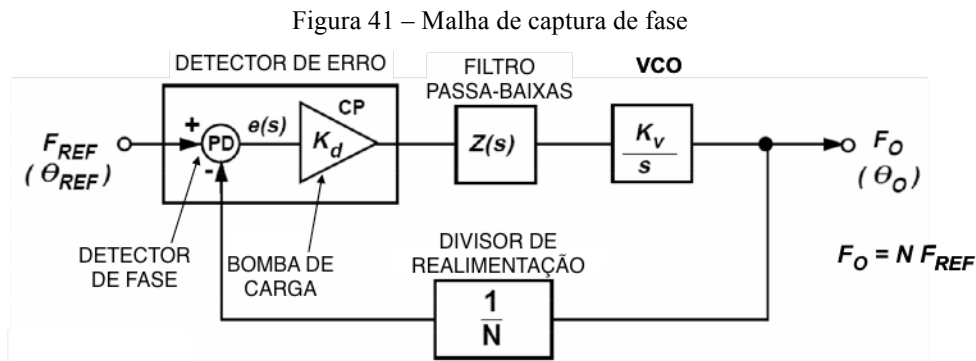
2.2.2 Controle por malha de captura de fase

Enquanto desconectadas, a tensão elétrica de saída do inversor é sincronizada com a rede da concessionária por uma malha de captura de fase. Uma vez atingido o sincronismo, o interruptor de conexão entre as duas redes é fechado, conectando-as. A malha mantém as

redes em sincronia e é iniciado o controle de potências ativa e reativa na saída do inversor (SEDGHISIGARCHI, 2011, p. 4).

A malha de captura de fase (Figura 41), ou PLL (*Phase-Locked Loop*), segundo a Analog Devices (2009, p. 1), é um sistema realimentado combinando um oscilador controlado por tensão e um comparador de fase conectados de tal forma que o oscilador mantém um ângulo de fase constante relativo ao sinal de referência – consequentemente, frequência igual. Quando os dois sinais forem iguais em frequência e fase, o sinal de erro será constante e a malha é dita estar em condição “travada”.

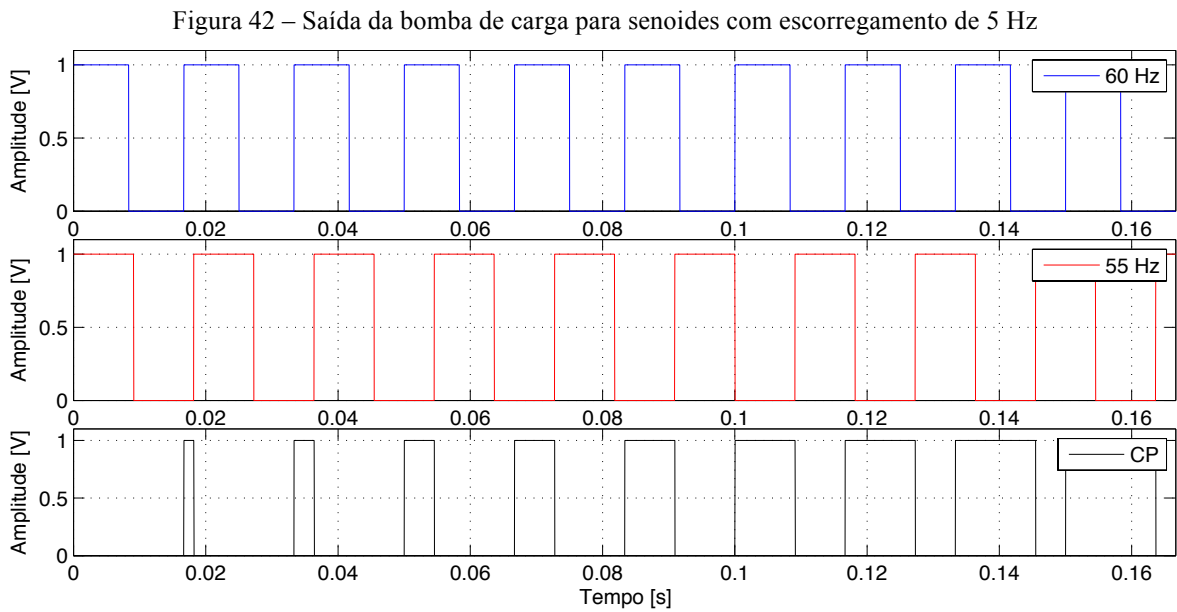
Assim, o uso de tal sistema vem de encontro com a necessidade de constante sincronismo de frequência e ângulo de fase entre a tensão elétrica de saída e a tensão elétrica da rede de distribuição da concessionária. A Figura 44 foi elaborada visando o caso geral de aplicação dessa malha, podendo usar um sinal de baixa frequência para controlar um sinal frequência múltipla, mas nesse trabalho, considera-se o caso específico $N=1$.



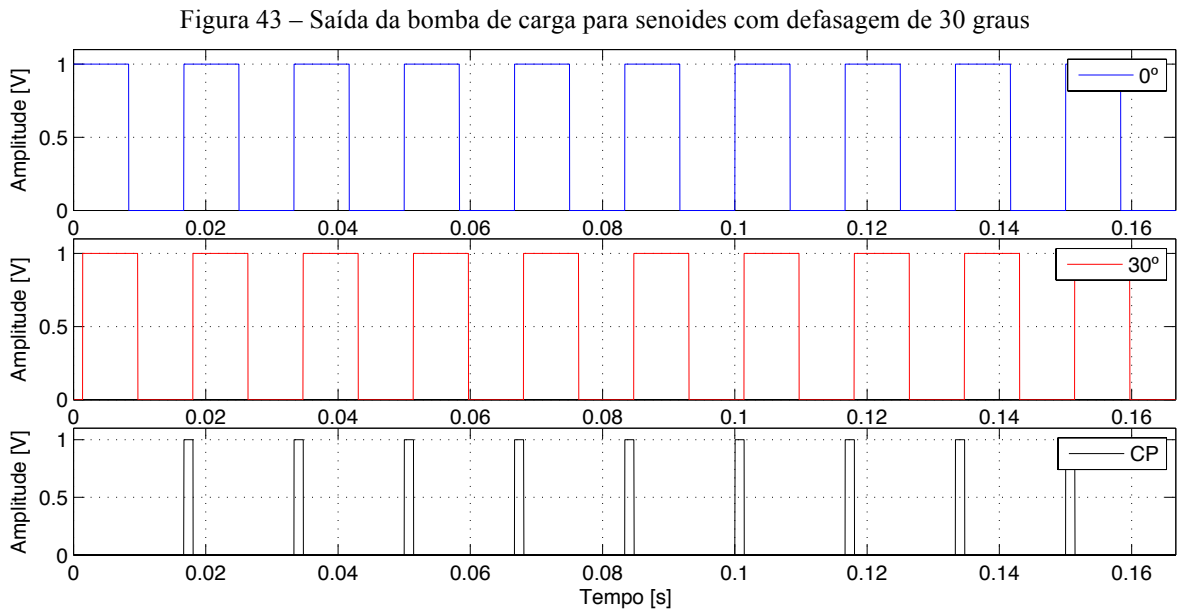
O sinal que sai do bloco detector de erro passa por um filtro passa-baixas e esse sinal filtrado faz variar a frequência do oscilador controlado por tensão (VCO, acrônimo para *Voltage Controlled Oscillator*), que vai ter sua frequência mais aproximada do sinal de referência (F_{REF}). Sua saída é realimentada no detector de erro, tendo por consequência uma contínua aproximação até que o erro seja nulo. Mesmo quando atingido o sincronismo de frequência, pode ainda haver defasagem: a malha irá atuar da mesma forma, variando a frequência do VCO até que haja sincronismo de frequência e fase.

Segundo a Analog Devices (2009), normalmente utilizam-se dois *flip flops* do tipo D, num deles conectado o sinal de referência e no outro o sinal controlado, para que eles sejam convertidos em sinais binários (ondas quadradas). Esses sinais alimentam o bloco bomba de carga (CP, acrônimo para *Charge Pump*) mostrado na Figura 41, cuja saída é ligada na borda

de subida do primeiro sinal, e desligada na borda de subida do segundo sinal. Assumindo que os *flip flops* usados tenham seu gatilho na borda de subida, foram realizadas simulações da saída da bomba de carga para sinais dessincronizados em frequência (Figura 42) e dessincronizados somente em fase (Figura 43).



Fonte: autoria própria, baseado em Analog Devices (2009)



Fonte: autoria própria, baseado em Analog Devices (2009)

Com dois ou mais períodos amostrados da saída da bomba de carga, é possível determinar se a diferença entre os sinais de entrada é de frequência ou somente de fase, pois o escorregamento se manifesta na saída como pulsos de largura variável, enquanto a defasagem

gera pulsos de largura uniforme. Isso beneficia a implementação do controle via *software*. No caso de defasagem, a partir da largura dos pulsos da bomba de carga, também é possível saber qual onda está atrasada, o que acelera o mecanismo de correção da fase, dado que o ajuste ocorrerá na faixa de 0 a 180°, ao invés de 0 a 360°.

Para implementação na *BeagleBone Black*, há duas soluções possíveis: realizar através da BBB a amostragem das saídas dos dois *flip flops* e implementar internamente a lógica da bomba de carga, ou implementá-la externamente e realizar sua amostragem. A primeira requer a aquisição dos *flip flops* externos e necessitaria que as duas amostragens fossem realizadas ao mesmo tempo, ou com atraso constante e conhecido, o que não é possível, como será discutido na subseção 2.2.3. A segunda requer que um circuito externo faça a lógica de comparação, o que foge do escopo desse trabalho, que visa utilizar unicamente a plataforma como solução completa para desenvolvimento de um micro-inversor – com exceção, claro, de componentes essenciais não-inclusos, como filtros e transformadores.

Nesta subseção, foi apresentado o conceito básico da malha de captura de fase, relevante para esse trabalho devido à sua larga utilização em projetos com o objetivo de sincronismo entre dois sinais periódicos. Seu princípio de funcionamento também deu origem às alternativas apresentadas na subseção 2.2.4 para obter o sincronismo utilizando unicamente a plataforma em questão.

2.2.3 Leitura de tensão e frequência via ADCs da BeagleBone Black

Como já mencionado na subseção 2.1.3, a *BeagleBone Black* possui integradas 7 entradas conversoras de analógico para digital (ADCs, do inglês *Analog Digital Converters*) de 12 bits. Essas entradas permitem uma tensão máxima de 1,8 V – desta forma, a resolução é de aproximadamente 0,44 mV, conforme a Equação (20):

$$\delta = \frac{V_{\text{máx}} - V_{\text{mín}}}{2^{\text{n}^\circ \text{ de bits}} - 1} = \frac{1,8\text{V} - 0,0\text{V}}{2^{12} - 1} \cong 0,44\text{mV} \quad (20)$$

No caso de uma onda senoidal sendo amostrada de pico a pico na faixa de 0 a 1,8 V, essa resolução equivale a aproximadamente 0,035% do valor eficaz da senoide, ou seja: para uma senoide de valor eficaz igual a 127 V sendo amostrada por esses ADCs, a resolução de quantização seria de aproximadamente 88 mV. Como o erro máximo devido à resolução é igual à metade da resolução, o erro devido à resolução dessa amostragem seria de ± 44 mV. Num algoritmo de cruzamento por zero, o maior erro possível no cálculo do período da senoide amostrada corresponde ao erro máximo ocorrendo em cruzamentos consecutivos. Nesse caso, o maior erro possível seria de $\pm 0,056^\circ$, considerando somente a resolução.

A leitura das ADCs, no entanto, não é determinística, segundo Lenny (2015), que diz ter empregado as duas PRUs disponíveis na BBB para resolver esse problema, com uma delas atuando primariamente como o *clock* para a leitura das amostras. No entanto, ainda segundo Lenny (2015), os *clocks* do subsistema ADC e das PRUs não são sincronizados – a leitura das especificações da Texas Instruments (2014) torna tal observação previsível, dado que o *clock* das PRUs, de 200 MHz, não é múltiplo do *clock* de ADC, de 3 MHz. Tal assincronia resulta num descasamento na leitura, o que poderia ser evitado utilizando um circuito integrado externo com a função de conversão analógico-digital. Molloy (2015) aplica exatamente essa solução, igualmente usando ambas as PRUs. Soluções que ocupem ambas as PRUs não são viáveis para este trabalho, que já ocupa uma para geração da modulação senoidal trifásica.

Assim como os PWMs, os ADCs podem ser controlados e lidos através de arquivos do sistema. Todavia, esse tipo de leitura mostra-se impraticável devido a dois fatores primordiais: a baixa frequência de amostragem que é obtida e, principalmente, o não-determinismo na sua leitura, uma vez que a mesma é feita pelo sistema operacional Linux. Ainda que o *kernel* seja modificado para adicionar funcionalidades de tempo real, essa leitura utilizaria *drivers* que não possuem qualquer garantia de tempo real.

Uma possível solução seria permitir que o *kernel* de tempo real fizesse a leitura diretamente dos registradores em memória, ao invés dos arquivos do sistema, o que diminuiria a latência do processo. Entretanto, com a disponibilidade de uma PRU, investiu-se na programação da configuração e leitura das ADCs utilizando essa unidade. Para isso, foi necessário o entendimento do funcionamento de cada registrador do subsistema ADC, detalhados no manual técnico de referência (TEXAS INSTRUMENTS, 2015).

A partir da leitura desse documento, pôde-se notar que o *datasheet* do processador AM3359 (TEXAS INSTRUMENTS, 2014) deixa de incluir informações de grande importância sobre o ADC. Enquanto o *datasheet* descreve unicamente um *clock* de 3 MHz para o ADC, o qual possibilita até 200 mil amostras por segundo (dado que 15 períodos de *clock* são necessários para uma captura), o manual técnico de referência explicita que o *clock* do ADC é calculado pela Equação (21):

$$ADC_{clock} = \frac{CLK_M_OSC}{1 + ADC_CLKDIV} \quad (21)$$

onde CLK_M_OSC é a frequência do *master clock* da plataforma, igual a 24 MHz na BBB, e ADC_CLKDIV é um registrador do subsistema ADC.

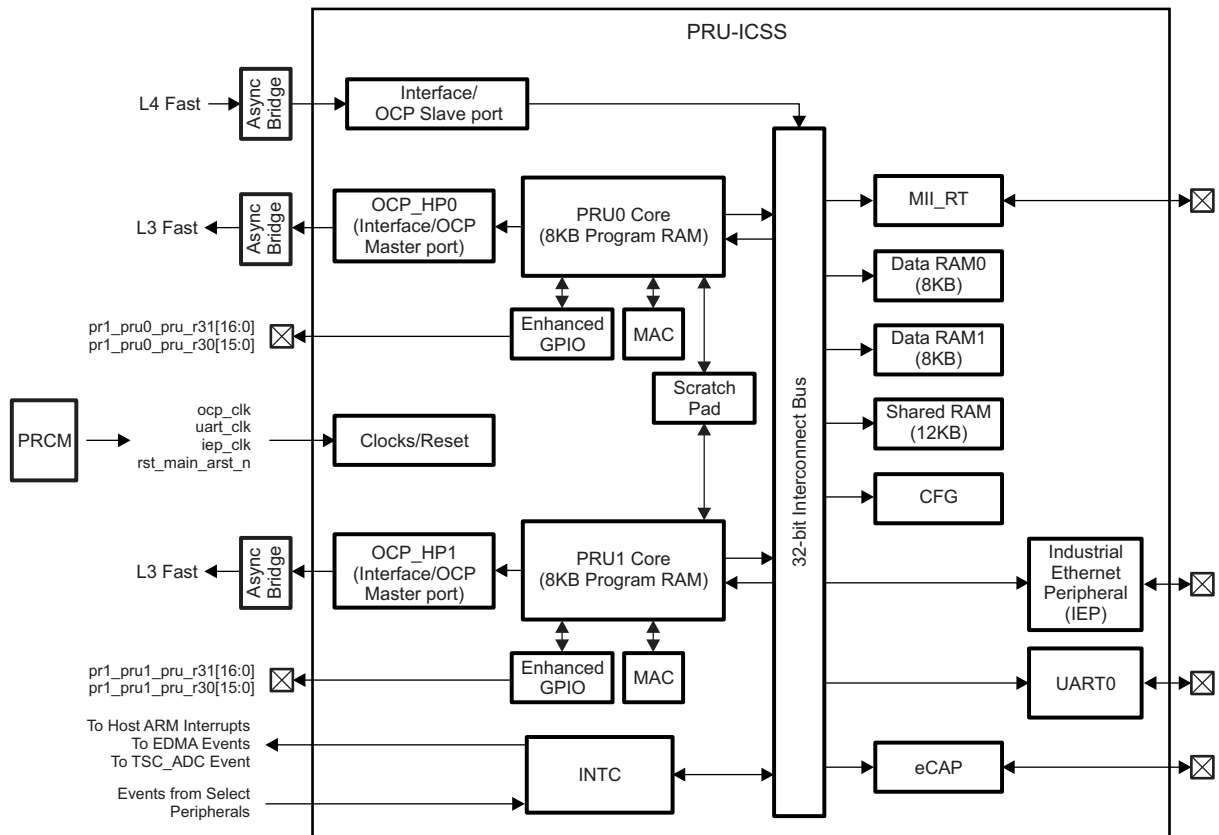
Uma vez ativado o subsistema ADC (via carregamento de uma DTO com essa função), a aplicação “devmem2”, usada para ler registradores de memória, passa a ser capaz de ler também aqueles desse subsistema. A leitura do endereço de memória 0x44E0D04C confirma que seu valor é 7, portanto o *clock* do ADC será dado pela divisão de 24 MHz por 8, resultando nos 3 MHz especificados no *datasheet*. Alterando esse valor para zero, o número máximo de amostras por segundo salta, portanto, de 200 mil para 1,6 milhões. Além disso, se o *clock* de 24 MHz for dividido por 3 ou 6, por exemplo, então o *clock* das PRUs (200 MHz) passa a ser múltiplo do *clock* de ADC. No entanto, os testes realizados indicaram que não houve melhoria na sincronia entre eles.

A ação da PRU no programa desenvolvido resume-se a solicitar uma amostra do primeiro canal de ADC periodicamente (conforme a frequência de amostragem escolhida), armazenando o valor de cada amostra na área de memória compartilhada das PRUs, em dois *buffers* de igual tamanho que ocupam faixas diferentes na memória. Sempre que um *buffer* atinge sua capacidade, o programa em C, rodando no sistema operacional, é comunicado e faz a leitura dos valores diretamente da memória compartilhada.

Essa técnica evita a perda de amostras devido a alguma espera do sistema operacional, afinal, a PRU é isolada da CPU. Outro problema evitado é a concorrência de acessos na memória, pois enquanto a PRU escreve num *buffer*, o programa em C lê o outro, desde que a leitura seja realizada dentro do tempo de escrita do *buffer* seguinte. É definido um número mínimo de amostras por *buffer* de forma que se garanta um tempo de 10 ms para a sua leitura. Além disso, junto ao sinal de interrupção, a PRU comunica qual o *buffer* que foi finalizado – primeiro ou segundo – e assim, o programa em C consegue determinar se o que foi recebido é igual ao esperado. Caso contrário, a amostragem é reiniciada.

A área de memória compartilhada das PRUs foi escolhida para armazenamento das amostras lidas por dois motivos: maior capacidade do que a memória de dados específica da PRU1, e maior desempenho na transferência de dados quando comparada a outras áreas de memória do processador, como a memória DDR ou os próprios registradores do subsistema ADC. Os acessos externos são realizados através do L3 (espaço de memória nível 3) – essa interconexão tem tempo de execução desconhecido e depende do quão ocupado está o barramento (NOMEL, 2012). É possível visualizar as áreas internas de memória do subsistema das PRUs e os acessos externos de L3 e L4 na Figura 44.

Figura 44 – Mapa de integração do subsistema das PRUs e acessos externos



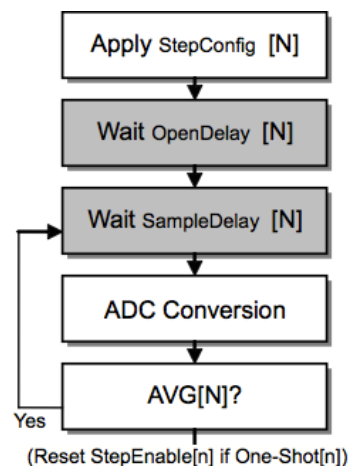
Fonte: adaptado de TEXAS INSTRUMENTS (2015).

Da mesma forma, o acesso da CPU à área de memória das PRUs também ocupa o L3. Por isso, como regra geral, se a CPU necessitar fazer *polling* (verificar constantemente o valor armazenado num endereço de memória), não deve fazê-lo num endereço de memória das PRUs, e vice-versa (NOMEL, 2012). Por isso, para minimizar a carga no barramento, no programa desenvolvido a PRU solicita através de eventos de interrupção (registrador R31) que a CPU tome ações. Somente após a interrupção, a CPU faz a leitura de um endereço de memória na PRU para saber do que se trata.

O não-determinismo da leitura dos ADCs fez com que fossem investigadas cada uma das instruções *assembly* a fim de identificar o tempo de execução das mesmas, para o qual foram empregados os contadores de ciclos da PRU. Percebeu-se que o tempo de comunicação com a memória externa é, no mínimo, 14 vezes superior ao da memória interna, podendo aumentar indefinidamente. Por isso, o código foi elaborado de tal forma que somente comunicações estritamente necessárias com os registradores do ADC fossem realizadas: a ativação do “STEPENABLE” (para solicitação de uma amostra no modo *one-shot*) e a leitura do “FIFO0DATA”, que contém os 12 bits de informação.

A Figura 45 mostra as etapas da conversão analógico-digital realizada pelo subsistema ADC. Nota-se que seria possível o ajuste de um intervalo “SampleDelay” (definido no registrador “STEPDELAY”), dado em períodos de *clock* do ADC, para configurar a frequência de amostragem, contudo devido a esse *clock* ser muito inferior ao da PRU, esse método possui uma resolução temporal igualmente inferior. É possível fazer um programa que calcule a melhor combinação entre *clock* do ADC e períodos entre amostras para corresponder à frequência de amostragem desejada, todavia à exceção de frequências específicas, o erro é consideravelmente menor quando é calculado quantas instruções aguardar entre amostras (dada a resolução de 5 ns).

Figura 45 – Fluxograma da conversão realizada pelo subsistema ADC (solicitação de amostra via *software*)



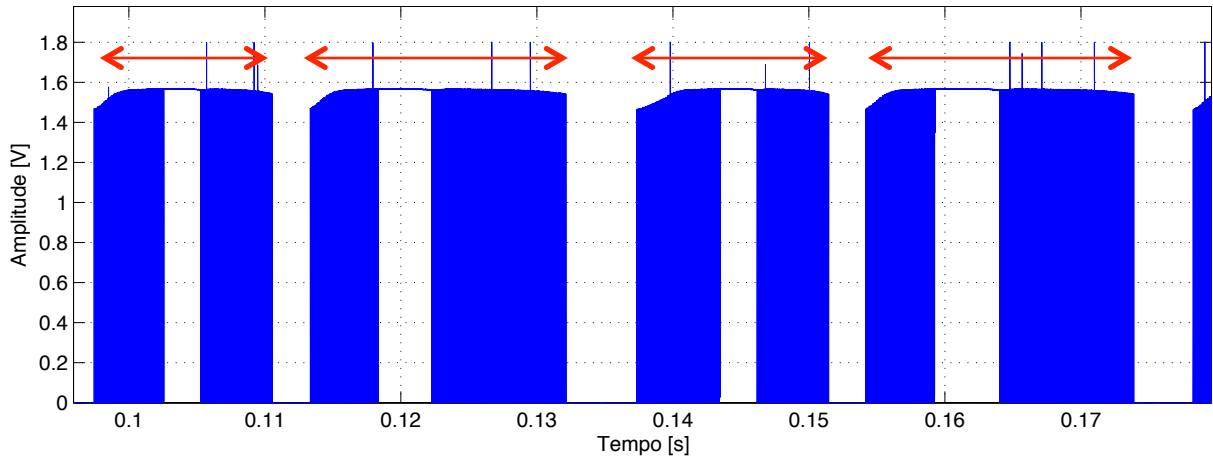
Fonte: adaptado de TEXAS INSTRUMENTS (2015).

Por outro lado, aliando esse método ao modo contínuo do ADC, não seria necessário ativar o “STEPENABLE” a cada nova amostra, assim, bastaria a leitura de “FIFO0DATA”; tampouco dever-se-ia aguardar um valor pré-definido de instruções, uma vez que a interrupção “FIFO0_Threshold” comunica quando uma amostra está pronta para ser lida. Infelizmente, a limpeza das *flags* de interrupção do ADC não foi possível no modo contínuo. Assim, esse modo foi ensaiado em conjunto com o método de aguardar instruções e uma amostragem típica resultante é mostrada na Figura 46 evidencia a pior qualidade da aquisição no modo contínuo em relação ao utilizado (*one-shot*), demonstrado na Figura 47.

Entre os acessos úteis, mas não estritamente necessários, deixados de fora do laço principal de aquisição estão as leituras dos registradores “FIFO0COUNT”, que indica quantas amostras estão disponíveis em “FIFO0DATA”, e do registrador “ADCSTAT”, do qual pode-se saber se o subsistema ADC está livre ou ocupado. Essa segunda verificação é realizada uma única vez, antes do laço de aquisição.

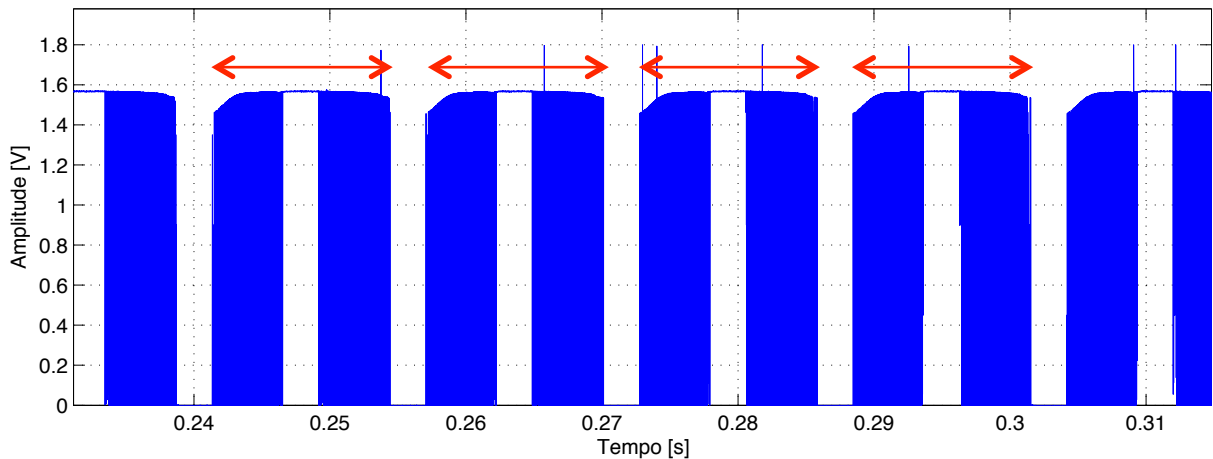
Finalmente, o código *assembly* também foi adaptado para que a redução de iterações no laço de espera fosse calculada dinamicamente. Essa redução visa à compensação do tempo já decorrido. A cada nova amostra, a leitura do registrador “CYCLE” da PRU indica quantos períodos de *clock* transcorreram.

Figura 46 – Amostragem da onda MSPWM realizada em modo contínuo pelo ADC. O período do sinal parece variar



Fonte: autoria própria.

Figura 47 – Amostragem da onda MSPWM realizada em modo “one-shot” pelo ADC

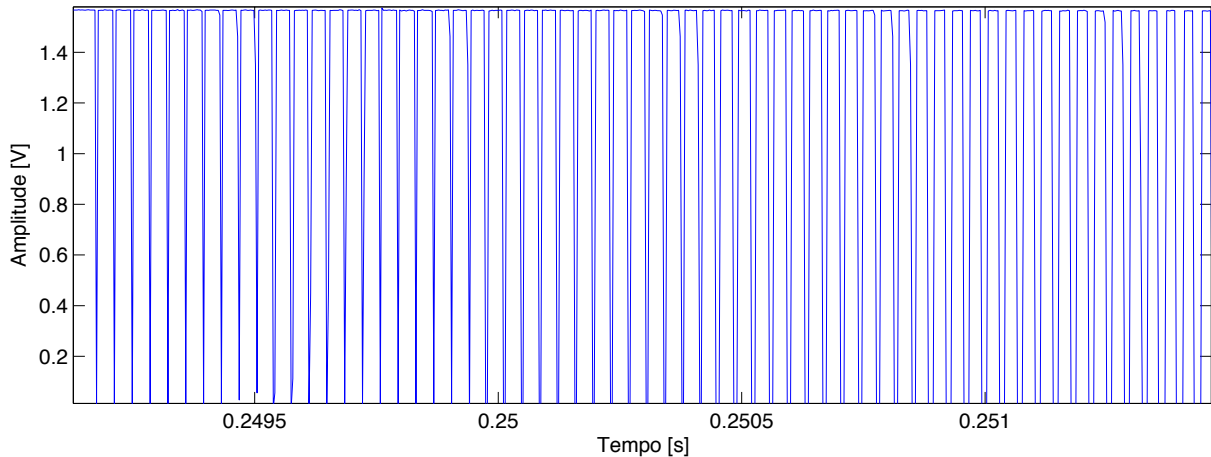


Fonte: autoria própria.

A Figura 48 resume as qualidades do sistema ADC desenvolvido. A mesma placa utilizada para geração do sinal modulado é capaz de fazer sua auto-amostragem com uma razoável precisão temporal, algo que só é possível utilizando unidades independentes, isoladas da CPU e com garantia de tempo real – ainda que tal garantia não seja de 100% quando há acesso a áreas externas de memória, como será demonstrado. A Figura 49 exibe

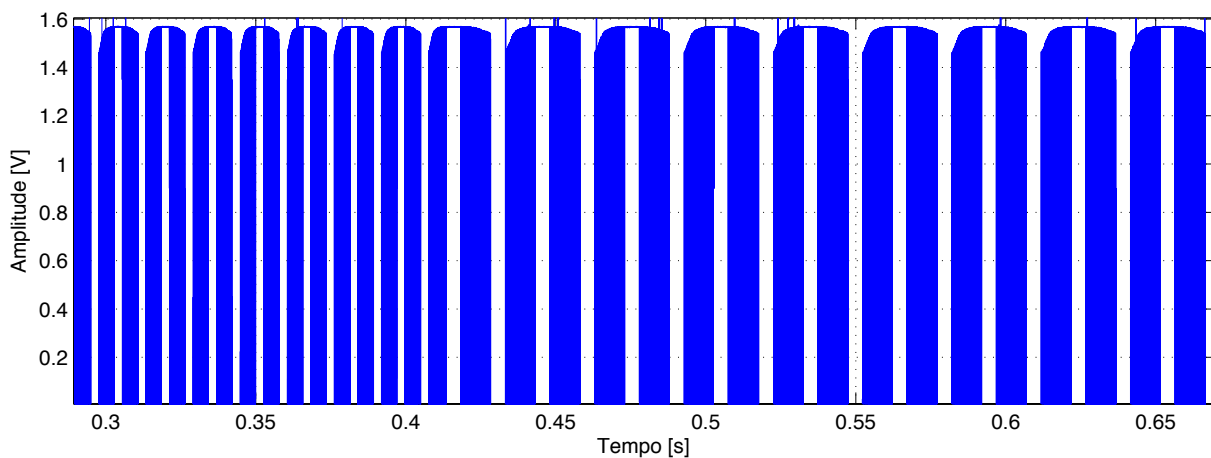
uma ocorrência comum ao fazer uma amostragem com muitas amostras (alta frequência de amostragem e/ou longo período), a qual se explica pela sobrecarga do barramento.

Figura 48 – Ampliação da amostragem da onda MSPWM a 300 mil amostras por segundo, lida pelo ADC



Fonte: autoria própria.

Figura 49 – Ampliação de uma amostragem problemática da onda MSPWM, realizada a 300 mil amostras por segundo pelo ADC, durante um período de 1 segundo. O período do sinal parece variar



Fonte: autoria própria.

Uma vez garantido o correto funcionamento da leitura de tensões, foi desenvolvido um algoritmo para cálculo da frequência de uma onda periódica. A técnica utilizada baseia-se em cruzamentos por zero, técnica simples que não exige a amostragem de vários períodos, como exigiria uma FFT. Como a entrada ADC precisa estar a partir de 0 V, o algoritmo inicialmente subtrai da onda seu valor médio, tornando-a centrada em zero. Então são procurados três cruzamentos por zero consecutivos, onde o número de amostras entre o primeiro e o terceiro, juntamente da frequência de amostragem utilizada, fornece a indicação de período da onda.

Devido ao fato de algumas frequências calculadas apresentarem desvios maiores, decidiu-se adaptar o algoritmo para que repita-se N vezes, ao final tomando a mediana dos valores calculados. O uso da mediana, ao invés da média, evita que desvios grandes tenham participação no valor final. N deve ser tal que minimize o tempo necessário para obter um valor de frequência, contudo suficientemente alto para que esse valor seja confiável.

Notou-se que, mesmo com o controle das amostragens sendo feito por uma PRU, a leitura do ADC é, de fato, não-determinística, uma vez que quantidades consideráveis de amostras são perdidas quanto maior a frequência de amostragem utilizada, como nota-se na Tabela 3. O menor número de amostras introduz, por consequência, um erro na frequência calculada, pois há menos amostras por período do que deveria. O uso da função FFT no MATLAB, calculada sobre a amostragem de 40 períodos da senoide, confirmou em todas as frequências de amostragem testadas os mesmos valores médios calculados por cruzamentos de zero.

A Tabela 3 também avalia o desvio-padrão entre as medidas de frequência. O desvio explica-se principalmente pelas amostras perdidas e/ou pela resolução da amostragem – sendo que a minimização de um obriga o aumento do outro, nas circunstâncias analisadas. A senoide utilizada nos testes é a própria saída filtrada do inversor, cujo programa não faz acesso a memórias externas e, portanto, possui garantia temporal.

Tabela 3 – Média, mediana e desvio-padrão de 30 ensaios de cálculo de frequência por cruzamentos de zero da senoide filtrada, para diferentes frequências de amostragem

Frequência de amostragem (kSps)	Média (Hz)	Mediana (Hz)	Desvio-padrão (Hz)
3,84	59,922	59,999	0,213
7,68	60,007	59,999	0,115
15,36	60,016	60,004	0,112
30,72	60,509	60,536	0,262
61,44	61,017	61,028	0,370

Fonte: autoria própria.

Visando à sincronização da senoide gerada com a rede de distribuição, baseado no princípio de funcionamento do PLL, notou-se que não seria possível imitar tal princípio usando os conversores ADC da *BeagleBone Black*. Segundo a Figura 45, amostrar os sinais de detecção de fase em canais distintos significa que suas amostras serão obtidas em tempos também distintos. Conforme os testes realizados, esses tempos são variáveis e há ocorrências

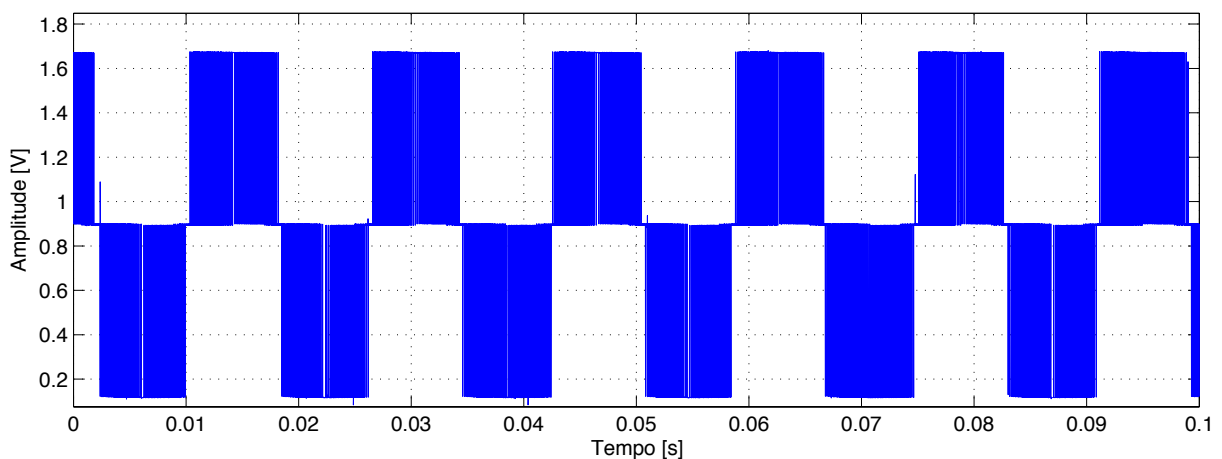
de perdas de amostras, erros individuais por canal que introduziriam fatores não-controláveis ao controle de sincronismo.

A única maneira de garantir que dois canais sejam amostrados ao mesmo tempo é através do sinal diferencial entre eles, que se passa como uma amostragem de canal único, contudo a referência passa a ser um dos canais. A implementação de amostragem diferencial na BBB exigiu particular esforço devido à sucinta documentação no manual técnico de referência (TEXAS INSTRUMENTS, 2015). Por tentativa e erro, descobriu-se os ajustes corretos dos *bits* “Diff_CNTRL”, “SEL_INP” e “SEL_INM” no registrador “STEPCONFIG”.

Quando ativado o *bit* “Diff_CNTRL”, automaticamente a amplitude do sinal é dividida pela metade e é adicionado um *offset* de metade da tensão máxima do ADC (1,8 V), logo, a quantização de 0 a 4095 (12 bits) passa a representar tensões de -1,8 a 1,8V. “SEL_INP” permite selecionar a referência positiva e “SEL_INM”, a referência negativa. Também é interessante alterar “FIFO_select” para armazenar as amostras no “FIFO1”, de modo a não entrar em concorrência com a amostragem sendo armazenada no “FIFO0”, área de memória já alocada à leitura da rede da concessionária.

A Figura 50 exibe o resultado da amostragem quando a fase A modulada é utilizada como referência negativa para a fase B modulada, 120° atrasada – teste realizado entre ondas de defasagem conhecida para confirmar a eficiência temporal da amostragem diferencial.

Figura 50 – Amostragem diferencial entre ondas MSPWM defasadas de 120°

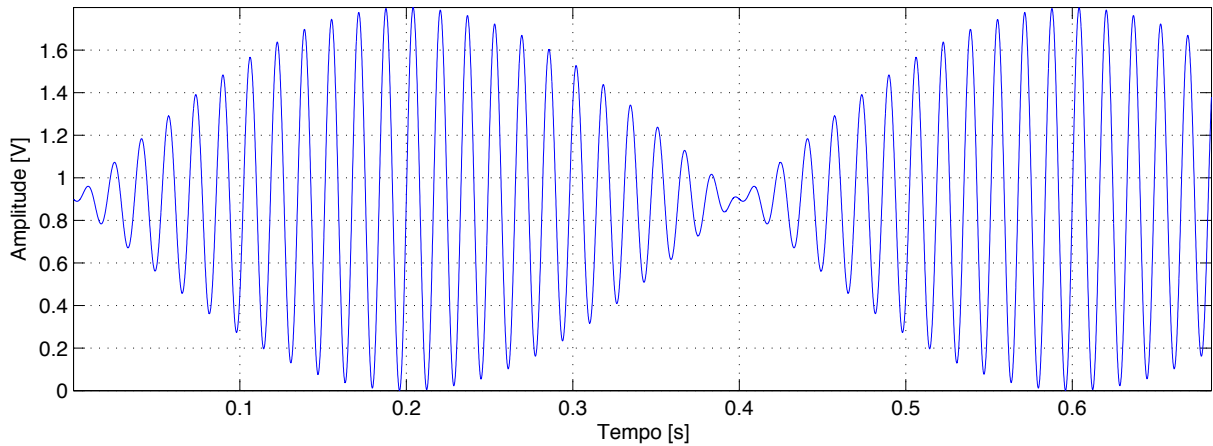


Fonte: autoria própria.

Utilizando as frequências de amostragem que mostraram o melhor comportamento na Tabela 3, repetiu-se o mesmo experimento, agora para a medida de frequência da senoide diferencial. A Figura 51 exibe a simulação de sinal diferencial para um escorregamento de 2,5 Hz, a Figura 52 mostra a aquisição do sinal diferencial com características similares e a

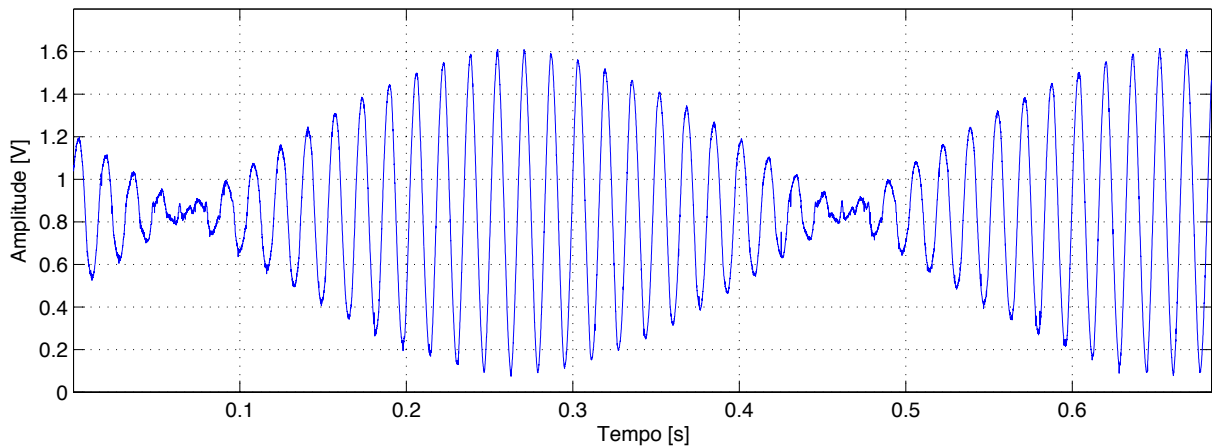
Tabela 4 demonstra o resultado das medições de frequência do sinal diferencial. Conforme demonstrado na subseção 2.2.1, é possível verificar o escorregamento pelo período do batimento, de aproximadamente 0,4 segundos.

Figura 51 – Simulação de sinal diferencial entre senoides de mesma amplitude e fase, mas escorregamento de 2,5 Hz (60 Hz e 62,5 Hz)



Fonte: autoria própria.

Figura 52 – Aquisição realizada pelos ADCs da BBB do sinal diferencial entre senoides de amplitude similar, mas com escorregamento de aproximadamente 2,5 Hz (60 Hz e 62,5 Hz)



Fonte: autoria própria.

Tabela 4 – Média, mediana e desvio-padrão de 30 ensaios de cálculo de frequência por cruzamentos de zero do sinal diferencial, para duas frequências de amostragem

Frequência de amostragem (kSps)	Média (Hz)	Mediana (Hz)	Desvio-padrão (Hz)
7,68	61,244	61,439	0,234
15,36	61,391	61,444	0,164

Fonte: autoria própria.

Conforme pode ser verificado na Tabela 4, ambas as frequências de amostragem apresentaram uma frequência calculada próxima da esperada de 61,25 Hz (média entre 60 e 62,5), no entanto o desvio-padrão a 7.680 amostras por segundo é consideravelmente maior, o que implica em ser necessário um número proporcionalmente maior de ensaios para chegar a um valor confiável. A maior resolução de frequência a 15.360 amostras por segundo se sobressaiu positivamente nesses testes e levou a adotar esta como a frequência em todas as etapas de amostragem.

A partir dos sinais amostrados com as técnicas até aqui demonstradas, a subseção 2.2.4 apresenta métodos programáticos de controle do inversor para sincronismo com a rede.

2.2.4 Controle a partir de amostragem diferencial na BeagleBone Black

Embora o sistema de controle não faça parte do escopo desse trabalho, é necessário avaliar as possibilidades de, utilizando componentes internos da plataforma, implementar um sincronismo automático com a rede elétrica de distribuição. Propostas com componentes externos foram citadas na subseção 2.2.2. Aqui, é analisado, em especial, o sincronismo de frequência, por ser o fator mais crítico – afinal, também há assincronia de fase, nesse caso.

Uma vez calculadas as frequências da rede e do sinal diferencial, caso estas sejam diferentes, a frequência do inversor deve ser alterada conforme a Equação (22), obtida a partir da Equação (18):

$$f_d = \frac{f_i + f_r}{2} \xrightarrow{f_d=f_i=f_r} f_i = 2 \cdot f_d - f_r \quad (22)$$

onde f_d é a frequência diferencial, f_i é a frequência do inversor e f_r é a frequência da rede.

No entanto, o valor de frequência do inversor ajustado via código pode ser ligeiramente diferente daquele calculado a partir da amostragem, uma vez que, conforme mencionado, há perdas de amostras e outros fatores como a resolução de frequência. Por isso, buscando referir-se a todos os valores numa mesma base, um valor diferencial é somado ou subtraído da atual frequência do inversor, ao invés de definir um valor final de frequência. A solução adotada é dada pela Equação (23):

$$\hat{f}_i = f_i - (2 \cdot f_d - f_r) \quad (23)$$

onde \hat{f}_i é a frequência de sincronia estimada para o inversor.

Devido aos erros intrínsecos do sistema, essa operação pode exigir múltiplas iterações até atingir a sincronia. Matematicamente, a cada nova iteração, a frequência da senoide diferencial deve se aproximar mais da frequência da rede. Na prática, a frequência de amostragem de 15,36 kSps não se demonstrou suficiente para confirmar essa expectativa

teórica. É desejável que o sincronismo atinja erros máximos da ordem de mHz; todavia, com cada amostra representando aproximadamente 65,1 μ s nessa frequência, uma amostra a mais ou a menos representa uma variação de $\pm 0,23$ Hz no cálculo de frequência por cruzamento de zero em torno de 60 Hz. Vale destacar que o erro em Hertz seria menor caso a frequência de interesse também fosse menor, pois 65,1 μ s seria menor relativamente ao período da onda.

O desenvolvimento da função de troca de frequência baseou-se no recálculo de amostras de uma senoide e número de instruções a aguardar entre cada comutação, conforme metodologia descrita na subseção 2.1.5. A função de verificação de sincronismo detecta se há diferença entre as frequências calculadas da rede e do sinal diferencial. Em caso positivo, as novas amostras, o número total de amostras e de instruções a aguardar são armazenados em endereços de memória diferentes dos utilizados na última iteração (ora na primeira metade, ora na segunda metade da memória compartilhada das PRUs) e a PRU é comunicada para reiniciar o programa. Essa comunicação se dá através do ajuste de um *bit* específico, cujo valor é verificado pela PRU com frequência igual à do PWM, isto é, a cada comutação.

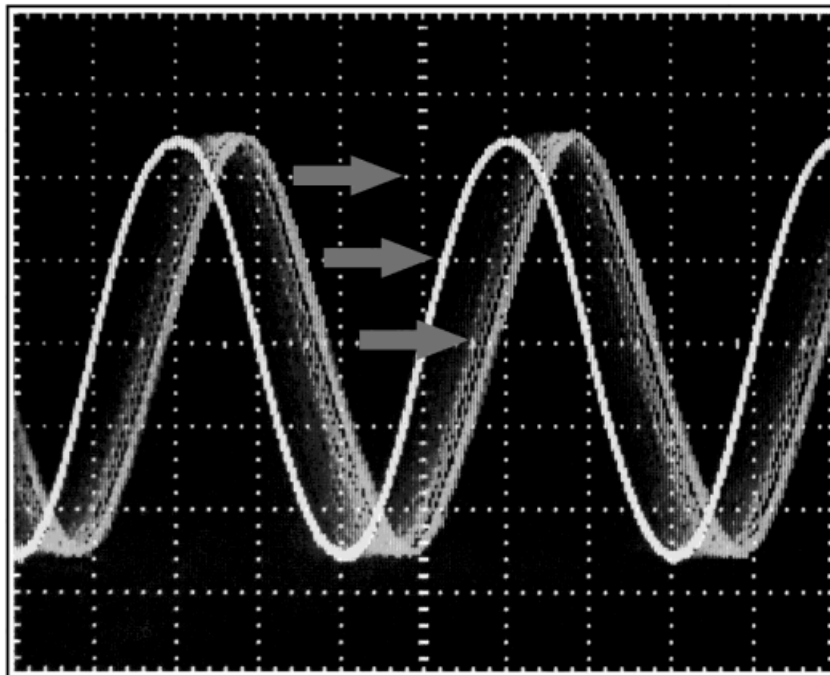
Através de um osciloscópio de 2 canais e o *trigger* configurado para o primeiro, notou-se que o sinal do segundo canal fica sempre em movimento em relação ao primeiro, ora para a direita, ora para a esquerda, o que demonstra a atuação do sistema de sincronismo adotado – porém, sempre com um escorregamento em relação à referência, ora positivo, ora negativo. A Figura 53 representa essa visualização em osciloscópio. Webster e Eren (2014) utilizam esse ensaio para medir a precisão e estabilidade de frequência de um dispositivo.

A medida de precisão sugerida por Webster e Eren (2014) propõe o uso de um cronômetro de referência para medir o tempo (T) que a onda em movimento leva para completar um período da onda de referência. A partir dessa medida e do período (Δt) da senoide de referência, o erro (e) do dispositivo, em Hz, é dado pela Equação (24):

$$u = \frac{\Delta t}{T} \quad (24)$$

Na ausência de um cronômetro de referência, a tela do osciloscópio foi filmada à taxa de 30 quadros por segundo e a contagem de tempo foi realizada pela contagem de quadros. As linhas da Tabela 5 exibem, entre cada iteração do sincronismo do sistema, o número de quadros até completar um período da onda de referência. Nota-se que o erro (com magnitudes entre 1,95 mHz e 9,23 mHz) é limitado pela resolução de frequência, e que a incerteza da amostragem faz com que o sistema não perceba quando está próximo de atingir a sincronia exata, contrariando a expectativa teórica de que o sincronismo fosse melhor a cada iteração.

Figura 53 – Visualização em osciloscópio de duas senoides com escorregamento de frequência, *trigger* configurado para somente uma delas



Fonte: WEBSTER e EREN (2014).

Tabela 5 – Medidas de precisão do controle de frequência do inversor quando sincronizado a uma referência de 62,5 Hz

Sentido de deslocamento	Quadros	Tempo (s)	Erro (Hz)
Esquerda	78	2,60	-6,15E-03
Direita	212	7,07	2,26E-03
Esquerda	78	2,60	-6,15E-03
Esquerda	192	6,40	-2,50E-03
Esquerda	52	1,73	-9,23E-03
Esquerda	246	8,20	-1,95E-03
Direita	78	2,60	6,15E-03
Esquerda	232	7,73	-2,07E-03

Fonte: autoria própria.

Os testes efetuados com outras frequências de amostragem confirmaram as conclusões obtidas a partir das Tabelas 3 e 4. Para frequências inferiores a 15.360, a velocidade média do sinal no canal 2 aumentou, logo, o escorregamento ficou maior, o que deve-se à menor resolução de frequência. Para frequências superiores, o comportamento ficou instável, com muitos momentos de alto escorregamento; entretanto, em outros, com sincronia quase exata, os quais explicam-se pelo maior desvio no cálculo de frequência e maior resolução.

Novos testes foram efetuados para verificar a estabilidade de frequência da referência utilizada e a qualidade da adaptação do inversor às variações da referência. Os resultados do Capítulo 3 demonstram que a referência varia e o inversor se adapta às variações apresentadas, de modo que, se o inversor é mantido ligado, mas seu controle é desligado, maiores diferenças de frequência são percebidas. Além disso, através de ajuste manual, foi possível atingir uma diferença de frequência tão baixa a ponto de ambos os sinais aparecerem estáticos na tela do osciloscópio, mas em poucos segundos volta a notar-se um deslocamento.

Ainda conforme demonstrado na subseção 2.2.1, o sinal diferencial resultante de ondas de mesma frequência, mas com fase ou amplitude diferentes, é uma senoide cuja amplitude depende dessas diferenças. Sendo assim, uma vez sincronizadas as frequências, um sinal diferencial não-nulo pode indicar tanto uma defasagem, quanto uma diferença de amplitude, ou ainda ambos. Desta forma, as sincronizações de fase e amplitude podem ser feitas uma de cada vez, em ambas buscando a minimização da tensão eficaz do sinal diferencial. Devido à indisponibilidade de uma referência estável para efetuar as calibrações iniciais, e pelo escopo deste trabalho, o desenvolvimento e análises dessa etapa ficam sugeridos para trabalhos futuros.

Ainda que a funcionalidade de controle de fase não tenha sido desenvolvida, uma função foi implementada para auxiliar trabalhos futuros, a qual recebe como parâmetro o número de nanossegundos a aguardar. A intenção é que um sistema de controle calcule a diferença de fase a ser aplicada ao inversor, passando esta em unidade temporal para a função. Esse valor de tempo é, então, convertido para número de instruções a aguardar e a PRU é comunicada para fazê-lo. Essa comunicação e transferência de um valor do sistema operacional para a PRU usa a mesma metodologia abordada em etapas anteriores.

Uma solução interessante para verificação imediata de assincronia é utilizar o registrador ADCRANGE, o qual permite gerar uma interrupção caso alguma amostra fique fora de uma faixa definida por limite mínimo e/ou limite máximo. Com isso, pode-se interromper o sistema para ressincronizar caso o sinal diferencial ultrapasse um determinado limite máximo estabelecido. No entanto, é necessário notar que esse registrador não pode ser ajustado para cada canal – seu valor é válido para todo o subsistema ADC. Por canal, pode-se apenas optar por verificar ou não a faixa definida por ADCRANGE.

Uma alternativa é utilizar interrupção por verificação de faixa somente na amostragem diferencial, pois se a magnitude de tensão da rede sair de uma faixa aceitável, isso também irá se manifestar no sinal diferencial. Ocorrida a interrupção para solicitação de sincronia, as

amostras invariavelmente serão processadas pelo sistema operacional, o qual poderá, então, determinar a tensão eficaz a partir delas e, finalmente, decidir se o sistema deve ser desligado ou somente ressincronizado.

Essa seção apresentou a metodologia que torna viável a constante verificação da rede elétrica e adaptação a ela da saída do inversor. A seção 2.3 utilizará requisitos específicos de segurança e proteção, definidos pelas normas vigentes da ANEEL e das concessionárias locais, para estabelecer as configurações necessárias do sistema.

2.3 ADAPTAÇÃO DO INVERSOR ÀS NORMAS VIGENTES

Conforme a ANEEL (2012b, p. 5), será penalizado o consumidor que “gerar energia elétrica na sua unidade consumidora sem observar as normas e padrões da distribuidora local”. Esta penalização consiste em “suspender imediatamente o fornecimento quando for constatada deficiência técnica ou de segurança na unidade consumidora que caracterize risco iminente de danos a pessoas, bens ou ao funcionamento do sistema elétrico” (ANEEL, 2012a, p. 152).

A Instrução Técnica IT-81.081 da CEEE (2014, p. 1), distribuidora local de Porto Alegre, “estabelece as diretrizes básicas para a conexão de microgeração e minigeração ao sistema de distribuição [...] e adesão ao sistema de compensação de energia elétrica, visando os aspectos de proteção, operação e segurança”.

A ANEEL (2014), em seus procedimentos de distribuição de energia elétrica no sistema elétrico nacional, define a qualidade da energia elétrica em faixas de variação de tensão conforme a Tabela 6:

Tabela 6 – Qualidade da energia elétrica de acordo com o nível de tensão, em tensão nominal igual ou inferior a 1 kV (230/115 V)

Tensão de Atendimento (TA)	Faixa de Variação da Tensão de Leitura (Volts)
Adequada	$(212 \leq TL \leq 242)/(106 \leq TL \leq 121)$
Precária	$(200 \leq TL < 212)$ ou $(242 < TL \leq 244)/$ $(100 \leq TL < 106)$ ou $(121 < TL \leq 122)$
Crítica	$(TL < 200$ ou $TL > 244)/(TL < 100$ ou $TL > 122)$

Fonte: Agência Nacional de Energia Elétrica, 2014.

A classificação dos níveis de tensão, no entanto, não constitui obrigação de implementação relacionada no inversor, uma vez que tais classificações são usadas para

determinar a procedência de reclamações de clientes da concessionária de energia elétrica. Não são definidos limites de tempo em cada nível de tensão, ao contrário das tolerâncias na variação de frequência, essas sim definidas pela ANEEL (2014, p. 31-32):

- O sistema de distribuição e as instalações de geração conectadas ao mesmo devem, em condições normais de operação e em regime permanente, operar dentro dos limites de frequência situados entre 59,9 Hz e 60,1 Hz;
- As instalações de geração conectadas ao sistema de distribuição devem garantir que a frequência retorne para a faixa de 59,5 Hz a 60,5 Hz, no prazo de 30 (trinta) segundos após sair desta faixa, quando de distúrbios no sistema de distribuição, para permitir a recuperação do equilíbrio carga-geração;
- Havendo necessidade de corte de geração ou de carga para permitir a recuperação do equilíbrio carga-geração, durante os distúrbios no sistema de distribuição, a frequência:
 - não pode exceder 66 Hz ou ser inferior a 56,5 Hz em condições extremas;
 - pode permanecer acima de 62 Hz por no máximo 30 (trinta) segundos e acima de 63,5 Hz por no máximo 10 (dez) segundos;
 - pode permanecer abaixo de 58,5 Hz por no máximo 10 (dez) segundos e abaixo de 57,5 Hz por no máximo 05 (cinco) segundos.

A Instrução Técnica IT-81.081 da CEEE (2014, p. 13) estabelece que “a conexão de central geradora deve observar ao disposto no Módulo 8 dos Procedimentos de Distribuição – Qualidade da Energia Elétrica”, referindo-se aos trechos supracitados da norma da ANEEL. Ainda, para unidades consumidoras conectadas em baixa tensão, a CEEE (2014, p. 11) diz que “as funções de proteção ANSI intrínsecas consideradas mínimas necessárias para gerador com conexão direta (sem inversor) são as seguintes: 25, 27, 59, 81U e 81O” e ainda “a função ANSI 78V ou equivalente que impeça a operação em ilha. [...] Para microgerador conectado através de inversor, as funções de proteção referidas [...] podem ser integradas ao inversor”.

Essas funções de proteção são reproduzidas a partir da CEEE (2014, p. 3-4), a seguir:

- Função ANSI 25: Função de sincronismo.
- Função ANSI 27: Função de proteção de subtensão de fase.
- Função ANSI 59: Função de proteção de sobretensão de fase.
- Função ANSI 78V: Função de proteção de ângulo de fase.
- Função ANSI 81O: Função de proteção de sobrefrequência.
- Função ANSI 81U: Função de proteção de subfrequência.

Segundo a CEEE (2014, p. 5), a dita operação em “ilha” refere-se à “operação de parte do sistema de distribuição desconectada do SIN [Sistema Interligado Nacional], através de fonte de energia pertencente à unidade consumidora”. A CEEE (2014, p. 10) ainda esclarece que “se a unidade consumidora possui módulo de transferência do gerador, é permitido ao consumidor permanecer com suas cargas ligadas, desde que haja desconexão do sistema de distribuição”. Assim, em caso de desligamento da rede da concessionária, o inversor deve ser capaz de zerar sua corrente de saída, ou comunicar o sistema responsável por transferir o gerador, desconectando-o do sistema de distribuição.

Conforme demonstrado através de simulações e resultados práticos na seção 2.2, todas as anomalias associadas às funções de proteção exigidas pela CEEE – variação de frequência, fase e magnitude de tensão – incorrem em variação da amplitude do sinal diferencial entre a rede e a saída do inversor. Com isso, a solução para adaptação às normas vigentes novamente passa pela já proposta na subseção 2.2.4: o ajuste do registrador ADCRANGE para envio de interrupção caso a amplitude do sinal diferencial saia de uma faixa especificada.

O evento de interrupção, por si só, apenas indica que um dos fatores está fora de sincronia, essa indicação sendo recebida num curto intervalo de tempo, cujo valor depende das condições do sistema operacional no momento. Novamente, destaca-se a necessidade de um sistema de tempo real; nesse caso, o tratamento da interrupção não é realizada por uma unidade programável de tempo real (PRU), portanto, é importante a alteração do *kernel* do Linux para adicionar funcionalidades de tempo real. Essa interrupção deve ser tratada com prioridade máxima pelo sistema operacional.

Uma vez recebida a interrupção, a rotina de sincronismo deve ser executada, da qual faz parte a amostragem da rede de distribuição. Dela, é possível imediatamente detectar a magnitude de tensão que, sendo muito baixa, deve desligar o sistema em respeito à função ANSI 27 e também como proteção anti-ilhamento. O mesmo deve ser feito em caso de tensão muito alta, em respeito à função ANSI 59 e evitando a danificação dos componentes de potência do sistema. A faixa definida como “crítica” pela ANEEL pode ser utilizada para determinar os limites aceitáveis para que o inversor seja mantido em operação.

Especificamente no caso de proteção anti-ilhamento, a CEEE (2014, p. 10) também determina que “é vedada a automatização do religamento do disjuntor geral da unidade consumidora após o retorno do fornecimento de energia pela CEEE-D”. Portanto, nos demais casos de atuação das funções de proteção, é possível que o inversor continue monitorando a

rede para decidir pelo seu religamento automático – entretanto, isso não deve ocorrer quando a atuação da proteção tiver sido em decorrência de anti-ilhamento.

A amostragem da rede de distribuição ainda pode ser utilizada para as proteções de sobre e subfrequência. Ainda que o inversor desenvolvido tenha a capacidade de manter sua frequência constante e, portanto, constantemente dentro dos limites definidos como “condições normais de operação” pela ANEEL, o mesmo deve optar primeiramente pela qualidade de energia elétrica. Assim, mesmo que para a obtenção do sincronismo seja necessário operar em frequências fora da faixa de 59,9 a 60,1 Hz, o inversor deve desligar-se dentro dos tempos estipulados pela ANEEL, conforme a frequência da rede situar-se nas faixas determinadas.

Devido ao desvio existente entre as frequências calculadas a partir das amostragens, a frequência a ser considerada deve ser a mediana entre uma sucessão de tentativas, prática já adotada na subseção 2.2.3. Caso esta se situe fora da faixa extrema (abaixo de 56,5 ou acima de 66 Hz), o desligamento deve ocorrer sem contagem de tempo. Caso contrário, o sistema deve iniciar um contador regressivo de tempo conforme estabelecido pela ANEEL, durante o qual permanecerá monitorando a frequência e, em caso de não-normalização até esgotar a contagem, novamente deve ocorrer um desligamento automático, estando assim atendidas as funções ANSI 81O e 81U. Por fim, as funções ANSI 25 e 78V estão relacionadas ao sincronismo, o que já é parte intrínseca do sistema.

Para capacidade instalada superior a 500 kW, a CEEE (2014, p. 12) ainda pede que haja os “últimos 200 registros das funções de proteção ANSI implementadas, com suas partidas e disparos de abertura [...] não facultando ao consumidor o apagamento deste”. Embora essa parte seja normalmente efetuada por relé secundário, até mesmo pela potência envolvida, a seção 2.4 detalha esta que também já é parte do sistema: o registro de eventos.

Quanto ao impedimento de que o consumidor possa apagar os registros, é necessário que o sistema operacional da *BeagleBone* seja modificado de tal forma que retire qualquer possibilidade de acesso a ele, com exceção das funções vitais de acionamento e desligamento. Uma solução simples e comumente adotada em situações similares é remover os *drivers* de teclado – assim, não será possível digitar nenhum comando. Além disso, conforme descrito na subseção 2.1.3, a *BeagleBone Black* conta com memória *flash*, a qual, por não ser removível, é menos suscetível a intervenções do usuário do que o cartão SD. A primeira deve, portanto, ser preferida em detrimento do segundo.

Até aqui, foram analisadas normas da ANEEL, válidas em todo o território nacional, e a instrução técnica da CEEE relativa à conexão de micro e minigeração ao sistema de distribuição. Enfoque maior foi dado a essa companhia por ser a concessionária local. Ainda foi estudada a norma NTD 014.001 da AES Sul, que atende alguns municípios da região metropolitana.

A AES Sul (2012, p. 18-19) em “Conexão de Geradores em BT com o Emprego de Inversores”, especifica que “a relação das funções de proteção que devem incorporar o sistema [...] deverá estar incorporada no inversor”. As proteções de sobre e subtensão são exigidas “em todas as fases”. Além do solicitado pela CEEE, também é exigida “Relé Anti-ilhamento – 81 df/dt ”, função conhecida como “proteção de derivada de frequência” e numerada “81R” (do inglês *rate*) em catálogos internacionais.

A CEEE determina o uso da função 78V (ângulo de fase) como proteção anti-ilhamento, porém a derivada de frequência é conhecida como mais estável nesse caso, por não ser sensível a tensões transientes. Devido ao já citado desvio existente entre as frequências calculadas, não é possível, nessa plataforma, o uso dessa função com a qualidade esperada de rápida desconexão do sistema. A necessidade intrínseca de calcular a frequência sobre vários períodos torna o cálculo da derivada de frequência, no máximo, tão eficiente quanto os demais abordados.

2.4 SUPERVISÃO DO SISTEMA VIA SERVIDOR WEB

Uma interface homem-máquina é necessária para monitoramento e certificação da correta operação do sistema. Um servidor *web* é uma possibilidade de interface que permite, inclusive, o acesso da mesma a partir de qualquer computador conectado à internet, desta forma tornando possível o monitoramento à distância do microinversor – particularmente interessante visando a uma futura integração com redes *smart-grid*. As principais grandezas que devem ser monitoradas para estes fins são:

- Frequência: do barramento, do gerador, diferencial (escorregamento)
- Tensão: do barramento, do gerador, diferencial
- Ângulo de fase diferencial

A definição destas grandezas teve como base o software SEL-5030, que permite a visualização das mesmas a partir de informações recebidas do relé de proteção SEL-700G (SCHWEITZER, 2013). Além de dados instantâneos atualizados periodicamente na tela, é de

interesse a consulta histórica de eventos do sistema, através de registros com horários. É importante também dividi-los por responsável: usuário ou sistema, onde o primeiro refere-se a ações tomadas pelo ser humano, e o segundo, decisões tomadas pelo sistema. Destacam-se os seguintes principais eventos, já considerando o disposto na subseção 2.3:

- Instantes de acionamento do sistema;
- Instantes de desligamento intencional e/ou programado do sistema;
- Desligamentos abruptos do sistema (registro é acrescentado no próximo acionamento ao detectar que não havia registro anterior de desligamento);
- Instantes em que o sistema ressincronizou com a rede;
- Instantes em que qualquer uma das demais funções de proteção atuou (sub ou sobretensão, sub ou sobrefrequência);

Para a implementação da interface homem-máquina via *web*, inicialmente verificou-se que o servidor *web* Apache vem pré-instalado no sistema operacional oficial da *BeagleBone Black* (o Debian Linux, imagem de 1º de março de 2015) e funcional na porta 8080 do dispositivo. Também foi instalado o pacote PHP5, para geração dinâmica da página em HTML conforme o estado do inversor, leitura do banco de dados e execução de *scripts* no sistema através de controles na página.

Inicialmente, foi instalado e configurado o MySQL, devido unicamente a maior experiência com bancos de dados desse gênero. Contudo, após testes, percebeu-se que, uma vez realizada a conexão com o servidor MySQL, o programa em C deixava de receber os eventos de interrupção enviados pelas PRUs. Por isso, finalmente optou-se pelo SQLite3. Segundo sua página oficial, bancos como o MySQL “ênfatisam escalabilidade, concorrência, centralização e controle”, enquanto o SQLite “ênfatiza economia, eficiência, confiabilidade, independência e simplicidade”.

Para verificação do estado do inversor, sabendo que a modulação trifásica é desempenhada na PRU0, a página *web* faz a leitura do registrador CTRL dessa PRU, o qual indica três possíveis estados: ligado (quando EN = 1), desligando (quando EN = 0 e RUNSTATE = 1) e desligado (quando EN = 0 e RUNSTATE = 0). A interface também permite desligar o inversor através de um botão, o qual solicita a execução de um programa em C, este tendo a função de desligar a PRU responsável pela modulação senoidal.

Dado que a leitura da frequência da rede e do sinal diferencial já era feita pelo programa de controle do inversor, este foi adaptado para escrever na memória DDR dois

valores: a frequência da rede e o escorregamento. O endereço da memória DDR varia a cada religamento da *BeagleBone*, por isso, primeiramente, tanto o programa de controle quanto a página *web* fazem a leitura do arquivo “addr” localizado em “/sys/class/uo/uo0/maps/map1/” (MOLLOY, 2015), o qual contém o endereço correto. Finalmente, a página *web* lê os valores da memória DDR, em hexadecimal, e exibe-os como ponto flutuante. Foi definida uma atualização automática da página a cada 5 segundos.

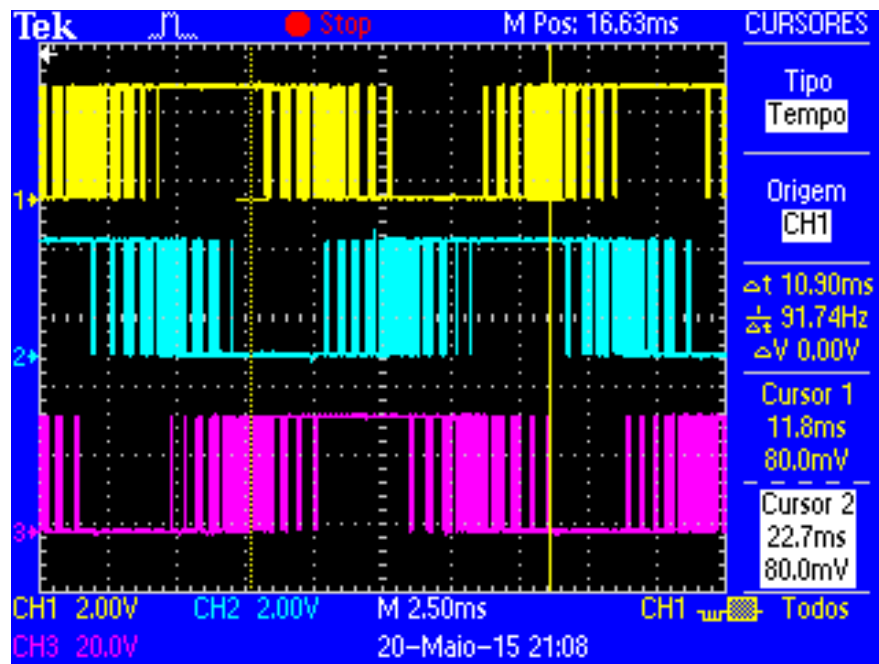
A análise da interface implementada é exibida no Capítulo 3.

3 ANÁLISE DOS RESULTADOS OBTIDOS

3.1 MODULAÇÃO SENOIDAL POR LARGURA DE PULSO

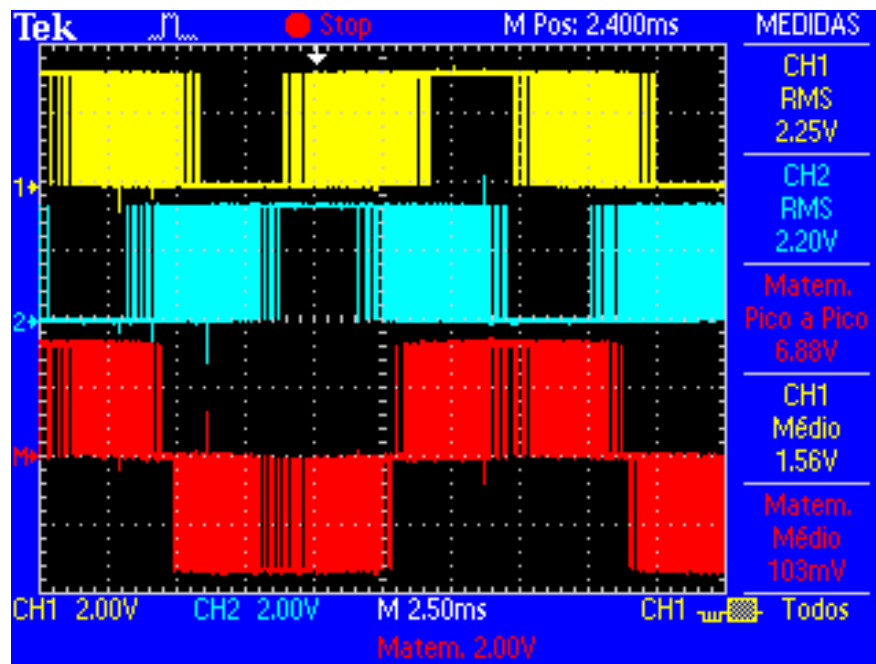
A subseção 2.1.5 detalhou o desenvolvimento de modulação senoidal por largura de pulso na *BeagleBone Black* com garantia de tempo real. A seguir, são apresentados os resultados obtidos: a modulação trifásica é demonstrada pelas Figuras 54 e 55. Embora a precisão do osciloscópio não permita a aferição da defasagem de 120° entre as fases, o ensaio apresentado na Figura 55 destaca a senoide obtida da diferença entre duas fases, a qual apresentou o mesmo período, valor médio próximo de zero e aspecto de acordo com a simulação realizada na subseção 2.1.5: sem sobreposição de regiões positivas e negativas.

Figura 54 – Fases A, B e C moduladas, com a fase B 120° atrasada em relação à A e a fase C, 120° atrasada em relação à B. Destaca-se a diferença temporal entre os canais 2 e 3.



Fonte: autoria própria.

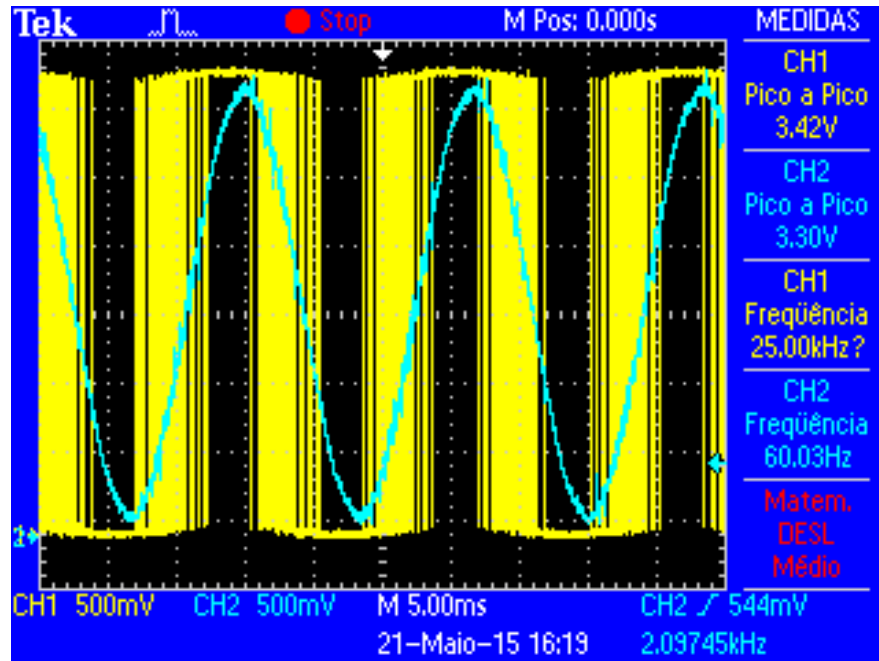
Figura 55 – Fases A e B moduladas e a subtração entre elas (realizada pelo osciloscópio). Medidas somente para referência, imprecisas devido à baixa escala de amplitude utilizada.



Fonte: autoria própria.

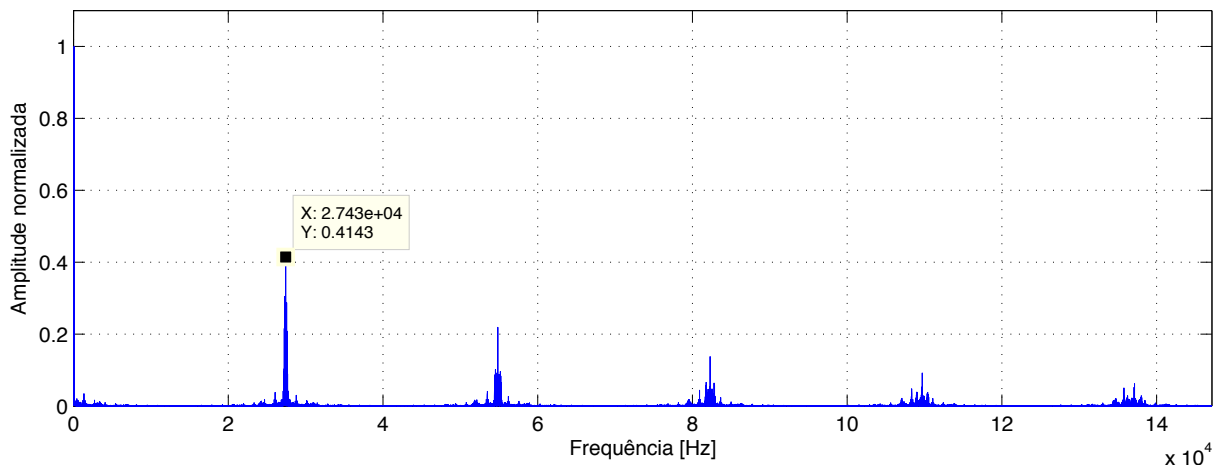
A Figura 56 sobrepõe o sinal pré- e pós-filtragem no domínio do tempo, destacando suas frequências e diferença de amplitudes, enquanto as Figuras 57 e 58 comparam seus espectros de frequência. Estas foram obtidas computacionalmente a partir de amostragens realizadas. Das mesmas amostragens, calculou-se até a 15ª harmônica uma taxa de distorção harmônica de 4,46% para o sinal modulado (ante simulação de 3,85%) e de 2,20% para o sinal filtrado (ante simulação de 0,74%). As pequenas diferenças explicam-se, principalmente, pela presença de ruídos no sistema e imperfeições dos componentes.

Figura 56 – Sobreposição do sinal modulado na saída da PRU com o sinal de saída do filtro passa-baixas



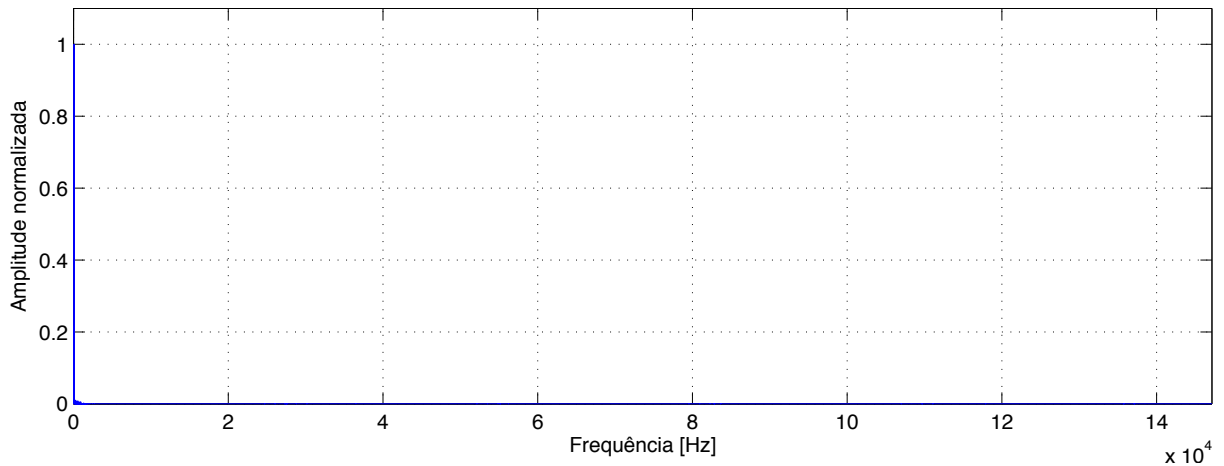
Fonte: autoria própria.

Figura 57 – Espectro de frequência do sinal modulado na saída da PRU, até 150 kHz



Fonte: autoria própria.

Figura 58 – Espectro de frequência do sinal filtrado, até 150 kHz



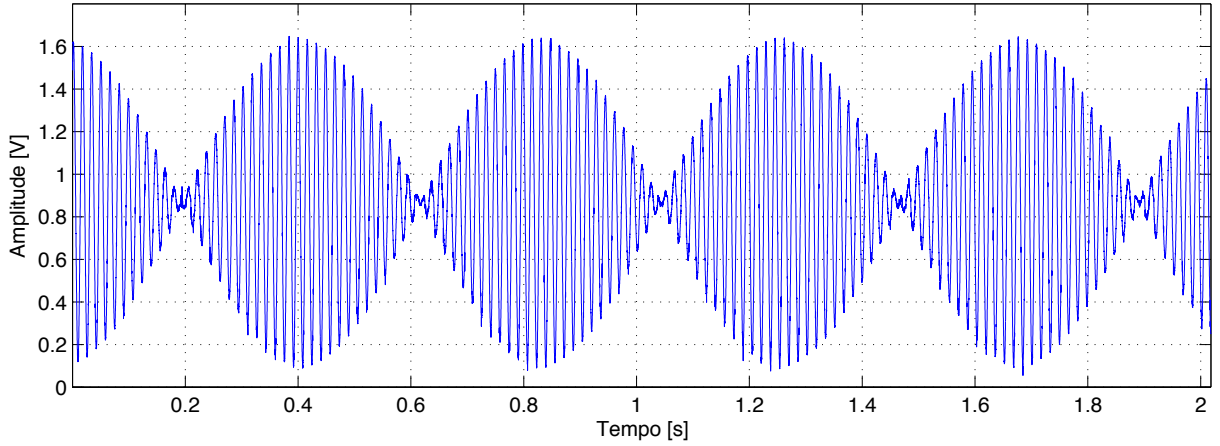
Fonte: autoria própria.

3.2 SINCRONISMO DE FREQUÊNCIA COM SENOIDE DE REFERÊNCIA

O sistema desenvolvido de amostragem controlada via PRUs teve ensaios efetuados que levaram às seguintes conclusões: maiores frequências de amostragem implicam em maior número de ocorrências de perda de amostras, devido à sobrecarga na interconexão com endereços de memória externos às PRUs; os ensaios de cálculo de frequência por cruzamentos de zero em senoides na faixa de 60 Hz tiveram menor desvio-padrão, entre as frequências de amostragem testadas, a 15.360 amostras por segundo. Foi obtido sucesso na amostragem de canal único e também diferencial, podendo um mesmo canal participar de múltiplas amostragens – de fato, o mesmo canal utilizado para medir as características da rede é adicionalmente usado como referência na amostragem diferencial com a saída do inversor.

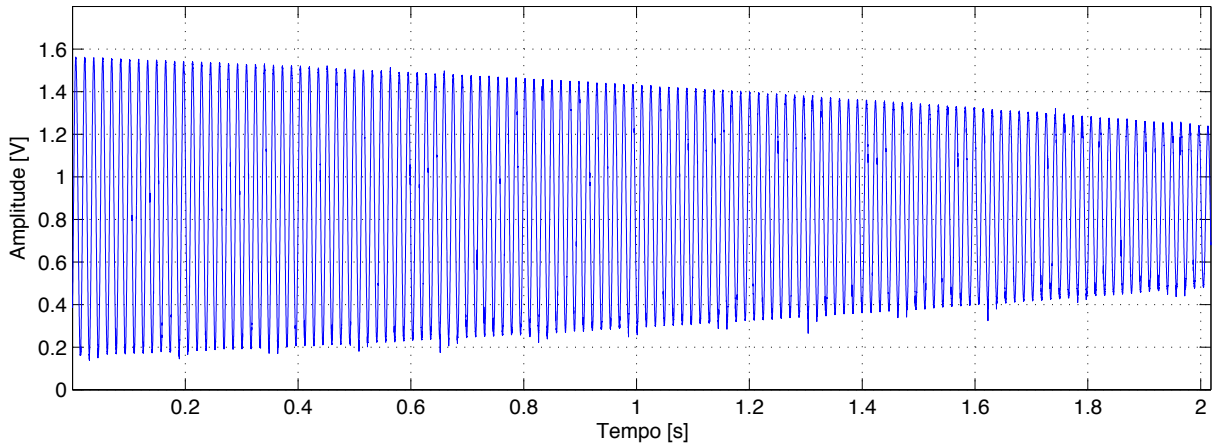
Através da amostragem diferencial, foi possível desenvolver um sistema de controle da senoide gerada pelo inversor. A frequência apresentou erros de magnitude entre 1,95 mHz e 9,23 mHz segundo testes realizados em osciloscópio. Amostragens do sinal diferencial foram obtidas com o sistema de controle desativado. Antes da execução do sincronismo, foi realizada a amostragem da Figura 59; logo após o sincronismo, obteve-se o resultado da Figura 60, com a diferença de frequência podendo ser deduzida do período do envelope, evidenciado na Figura 61: aproximadamente 0,14 Hz. Alguns minutos depois, nova aquisição foi obtida (Figura 62), na qual nota-se que a diferença de frequência variou (agora, aproximadamente 0,19 Hz).

Figura 59 – Sinal diferencial entre inversor e referência, antes da execução do sincronismo de frequência



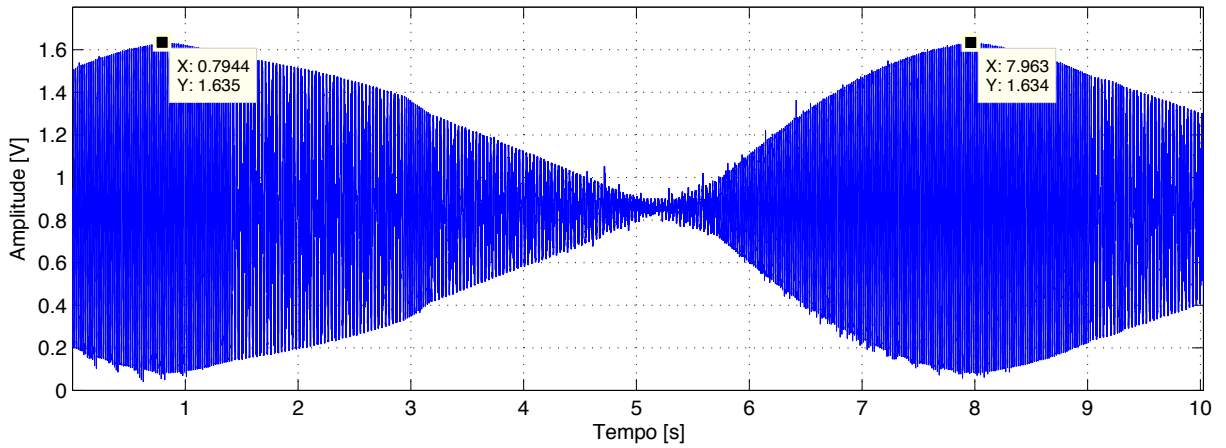
Fonte: autoria própria.

Figura 60 – Sinal diferencial entre inversor e referência, após uma iteração de sincronismo de frequência



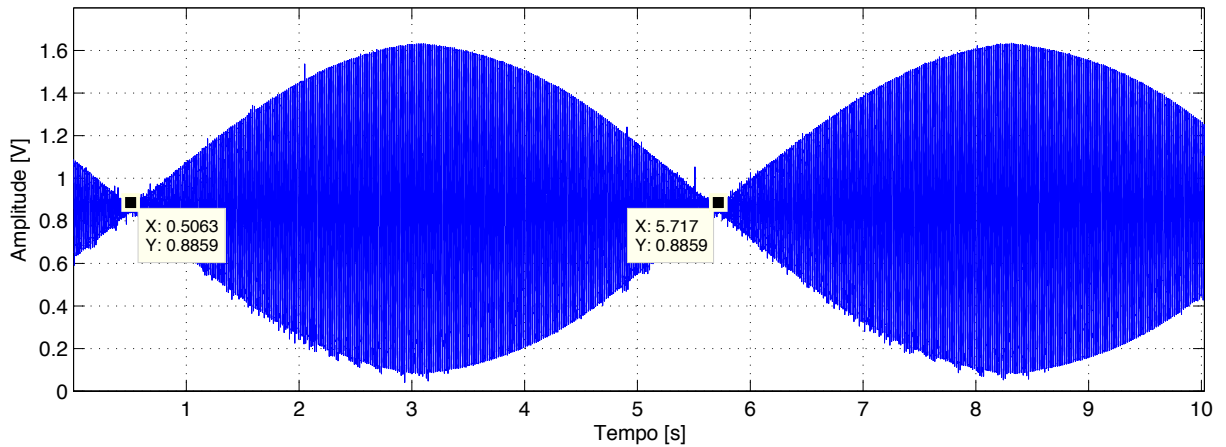
Fonte: autoria própria.

Figura 61 – Sinal diferencial entre inversor e referência, com destaque para o período do envelope



Fonte: autoria própria.

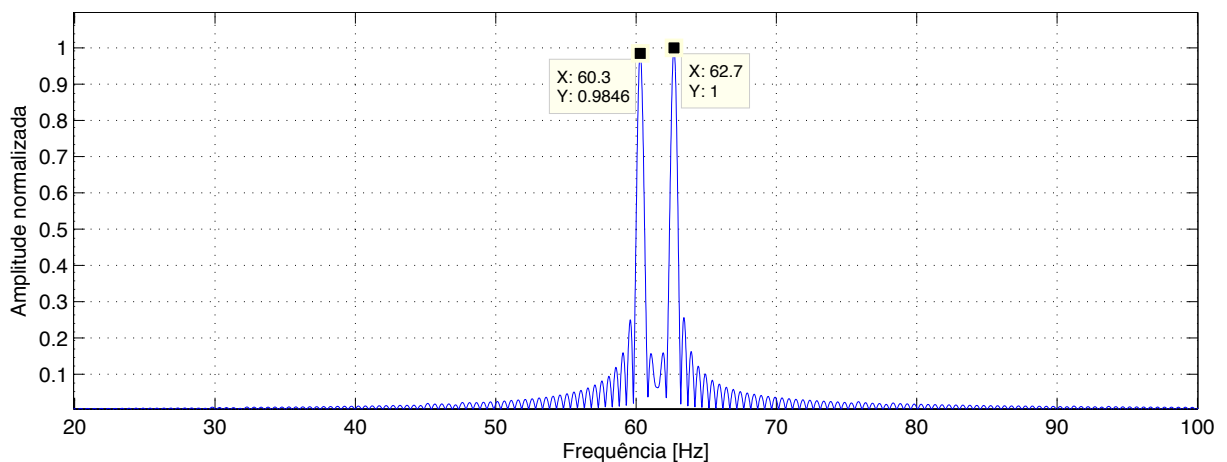
Figura 62 – Sinal diferencial entre inversor e referência alguns minutos após encerrado o sincronismo de frequência, com destaque para o período do envelope



Fonte: autoria própria.

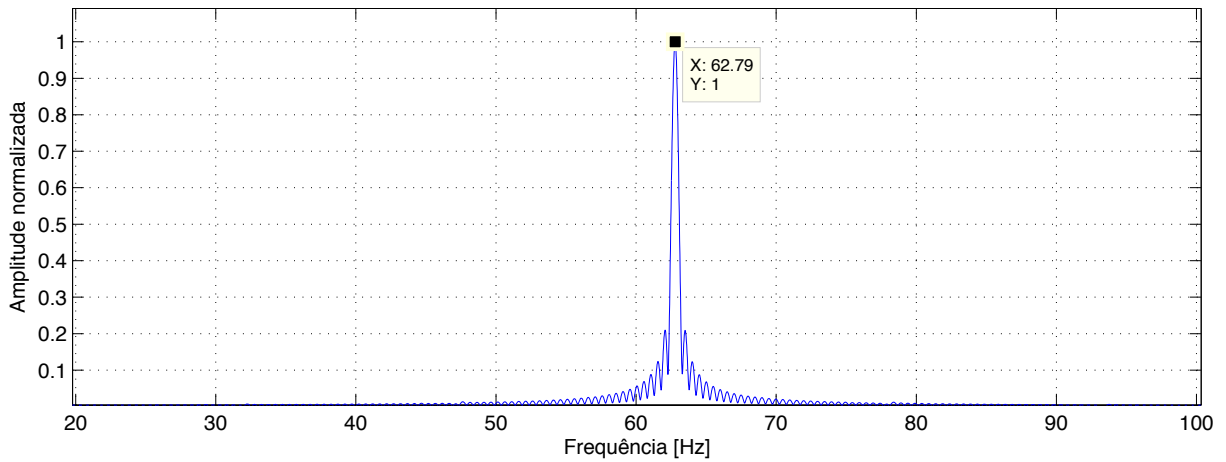
Conclusões similares às obtidas no domínio do tempo podem ser obtidas pelos espectros de frequência. A Figura 63 mostra que, antes do sincronismo, há duas componentes principais de frequência, uma correspondente ao inversor e a outra à referência. Imediatamente após uma iteração, já se tem somente uma componente principal (Figura 64), cuja frequência varia ao longo do tempo (Figura 65) devido à instabilidade da referência, porém o sistema do inversor o mantém sincronizado.

Figura 63 – Espectro de frequência do sinal diferencial entre inversor e referência, antes do sincronismo



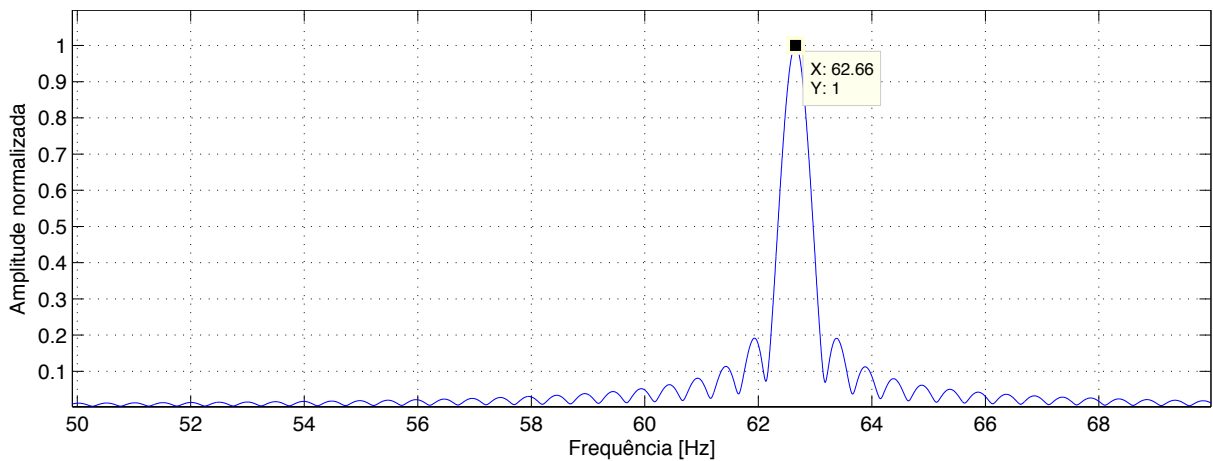
Fonte: autoria própria.

Figura 64 – Espectro de frequência do sinal diferencial entre inversor e referência, sincronizados



Fonte: autoria própria.

Figura 65 – Espectro de frequência do sinal diferencial entre inversor e referência, após alguns minutos de sincronismo ativo

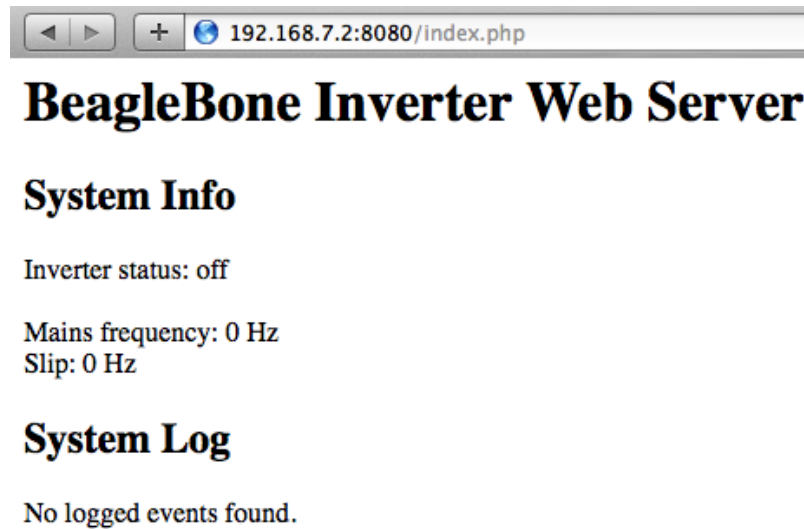


Fonte: autoria própria.

3.3 INTERFACE WEB

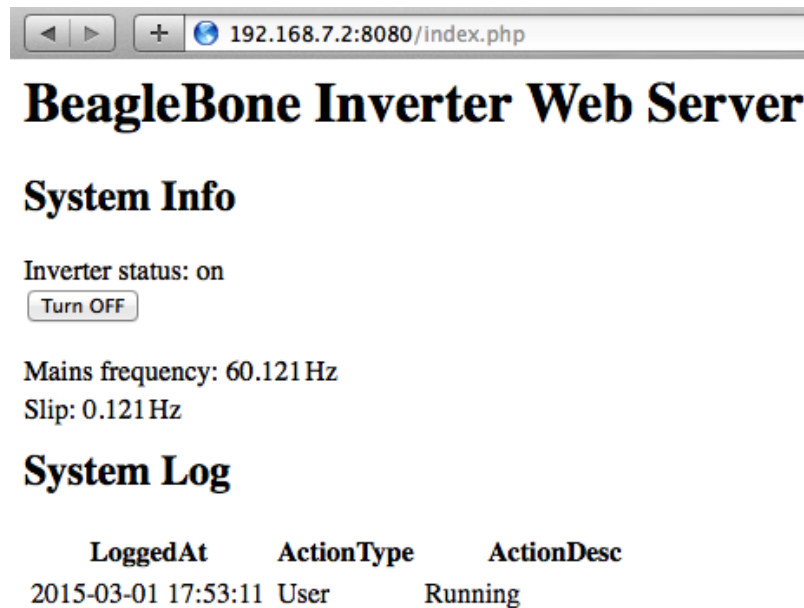
As Figuras 66 a 68 demonstram o dinamismo da interface *web* e comunicação com diversos pontos do sistema: registradores de memória DDR (frequência e escorregamento), memória da PRU (estado do inversor), banco de dados (registros de eventos), *cape manager* (verificação do carregamento de *device tree overlays*) e execução de *scripts* (desligamento do inversor). É desejável expandir as funcionalidades da interface *web* conforme proposto na subseção 2.4, contudo todas as ferramentas necessárias para tal já foram testadas nas partes implementadas, atestando o funcionamento da plataforma para este requisito de projeto.

Figura 66 – Interface *web* antes do primeiro acionamento do sistema



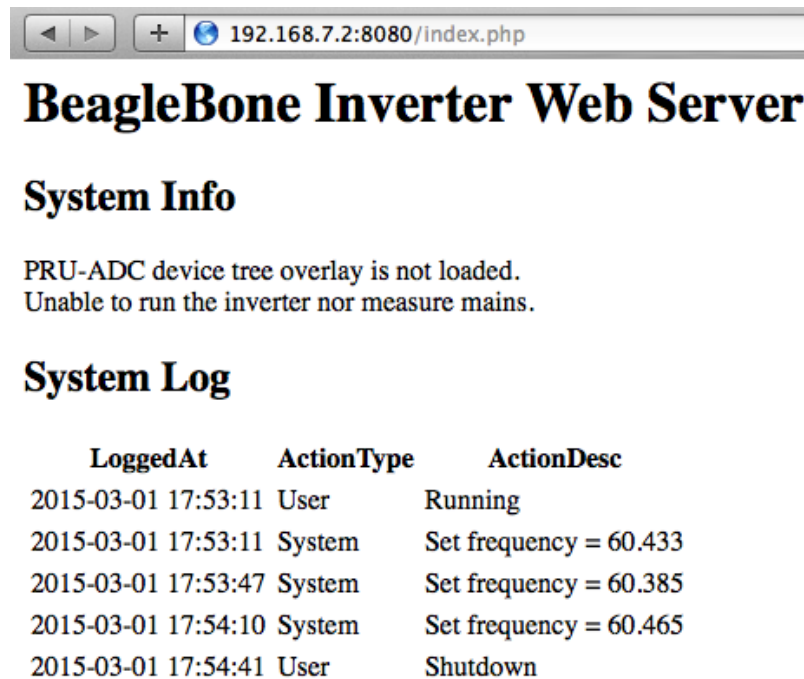
Fonte: autoria própria.

Figura 67 – Interface *web* imediatamente após o primeiro acionamento do sistema



Fonte: autoria própria.

Figura 68 – Interface *web* após operação e desligamento, comunicando que não é possível a execução de nenhuma das partes do sistema sem o carregamento prévio da *device tree overlay* necessária



Fonte: autoria própria.

4 CONCLUSÃO

Neste trabalho, procurou-se identificar as melhores soluções para cada uma das etapas do desenvolvimento de um micro-inversor na *BeagleBone Black*, de forma a garantir maior qualidade e facilidade em adequações ao projeto buscando torná-lo um produto final. As soluções propostas visaram ao uso somente de componentes internos da plataforma, para que esta fosse avaliada como uma solução completa, representando assim o menor custo possível.

Os resultados deste trabalho permitem concluir que a plataforma de baixo custo utilizada possui características de *hardware* suficientes para o desenvolvimento completo de um micro-inversor trifásico controlado, com supervisão via *web*, sendo recomendada a continuação de estudos com ela, especialmente em caso de operação isolada. Destaca-se, entretanto, que a presente existência de *bugs* em *drivers* da placa e, principalmente, a inexistência de documentação completa e amigável, fazem com que o custo do desenvolvimento de *software* seja elevado a ponto de, possivelmente, mais do que superar a economia obtida em *hardware*.

Espera-se que os relatos desta monografia possam minimizar esse custo de desenvolvimento. Acredita-se, ainda, baseado nas melhorias que vem sendo realizadas, tanto a nível de *drivers* quanto de documentações, que a *BeagleBone* continuará evoluindo e cada vez mais satisfará as necessidades deste projeto.

Entre as etapas desenvolvidas, considera-se que a amostragem é o principal ponto a ser melhorado. Não é possível estabelecer se o indeterminismo da leitura de amostras, o qual resulta finalmente em desvios das frequências calculadas, é um *bug* que pode vir a ser corrigido em futuras revisões da placa ou se realmente é uma característica intrínseca do processador. Essa imperfeição leva também à impossibilidade de um sincronismo perfeito entre o inversor desenvolvido e a rede de distribuição. O uso de um circuito externo com *flip flops*, como verificado no princípio de funcionamento da malha de captura de fase, pode ser uma solução para o problema, embora acrescente custo e complexidade ao sistema.

Além desse ponto, outros devem ser destacados como sugestões de evolução em trabalhos futuros, estes sendo adições de funcionalidades: monitoramento trifásico da rede, para garantir que casos de falhas monofásicas não passem despercebidos; aprofundamento no estudo do sistema de interrupção da *BeagleBone Black*, o qual pode ser melhor aproveitado para aumentar o desempenho dos programas desenvolvidos.

A técnica de otimização não-linear para sinais PWM (OBADOWSKI; LERM; DE-FREITAS CIARELLI, 2012) demonstrou excelente resposta em simulações realizadas e permite diminuir tanto a frequência de PWM, quanto a amplitude da sua componente e suas múltiplas. Sua implementação trifásica exige maior complexidade de programação, mas o uso dessa técnica pode representar redução de custos com componentes para a parte de potência.

Por fim, a *BeagleBone Black* é uma plataforma conhecida pela sua grande quantidade de entradas e saídas. Somente dois canais de ADC dos 7 disponíveis foram usados, assim como apenas três dos 10 pinos de saída da PRU0 e nenhum dos 14 pinos de saída da PRU1. Isso significa que ainda há margem para implementar mais funcionalidades nessa plataforma, na qual foi desenvolvido o estágio de conversão CC-CA, mas poderia contar também com o estágio prévio de conversão CC-CC. Nele, é realizado o controle do ângulo de potência para maximizar a potência transferida. O desenvolvimento conjunto desse estágio justificaria ainda mais o custo da placa diante das alternativas existentes no mercado.

REFERÊNCIAS

- ADAFRUIT. **Introduction to the BeagleBone Black Device Tree**. 2013, rev. 04 mai. 2015. Disponível em: <<https://learn.adafruit.com/introduction-to-the-beaglebone-black-device-tree/overview>>. Acesso em: 05 mai. 2015.
- AES SUL DISTRIBUIDORA GAÚCHA DE ENERGIA S/A. **Norma Técnica NTD-014.001: Conexão de Minigeração e Microgeração Distribuída**. 2012. 42 p. Disponível em: <<https://www.aessul.com.br/site/informacoes/Normas.aspx?categoriaId=103>>. Acesso em: 17 fev. 2015.
- AGÊNCIA NACIONAL DE ÁGUAS. **Encarte Especial sobre a Crise Hídrica**. 2014. 30 p. Disponível em: <<http://conjuntura.ana.gov.br/docs/crisehidrica.pdf>>. Acesso em: 29 mar. 2015.
- AGÊNCIA NACIONAL DE ENERGIA ELÉTRICA. **Procedimentos de Distribuição de Energia Elétrica no Sistema Elétrico Nacional: Módulo 8 – Qualidade da Energia Elétrica**. Rev. 6, ret. 1. 2014. 75 p. Disponível em: <http://www.aneel.gov.br/arquivos/PDF/Módulo8_Revisão_6_Retificação_1.pdf>. Acesso em: 15 mar. 2015.
- _____. **Resolução Normativa Nº 414/2010: Condições Gerais de Fornecimento de Energia Elétrica – atualizada até a REN 499/2012**. 2012a. 202 p. Disponível em: <http://www.aneel.gov.br/biblioteca/downloads/livros/REN_414_2010_atual_REN_499_2012.pdf>. Acesso em: 29 mar. 2015.
- _____. **Resolução Normativa Nº 482/2012**. 2012b. 5 p. Disponível em: <<http://www.aneel.gov.br/cedoc/bren2012482.pdf>>. Acesso em: 15 mar. 2015.
- _____. **Resolução Homologatória Nº 1858/2015**. 2015. 6 p. Disponível em: <<http://www.aneel.gov.br/cedoc/reh20151858.pdf>>. Acesso em: 29 mar. 2015.
- AHMAD, S. **Beaglebone-black-cpp-PWM**. 2014. Disponível em: <<https://github.com/SaadAhmad/beaglebone-black-cpp-PWM>>. Acesso em: 12 mar. 2015.
- ANALOG DEVICES. **Fundamentals of Phase-Locked Loops (PLLs)**. 2009. 10 p. Disponível em: <<http://www.analog.com/media/en/training-seminars/tutorials/MT-086.pdf>>. Acesso em: 04 abr. 2015.
- BEAGLEBOARD COMMUNITY. **AM335x PRU-ICSS Reference Guide**. jun. 2013. 289 p. Disponível em: <https://github.com/beagleboard/am335x_pru_package/raw/master/am335xPruReferenceGuide.pdf>. Acesso em: 02 mai. 2015.
- BIBLIOTECA DA ESCOLA DE ENGENHARIA DA UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL. **Manual de Normalização de Trabalhos Acadêmicos**. 2014. 105 p. Disponível em: <http://www.ufrgs.br/bibeng/wp-content/uploads/2014/01/Manual_Normalizacao.pdf>. Acesso em: 24 mar. 2015.

BRIANCODE. **Working with PWM on a BeagleBone Black**. 2015. Disponível em: <<https://briancode.wordpress.com/2015/01/06/working-with-pwm-on-a-beaglebone-black/>>. Acesso em: 12 mar. 2015.

BROWN, J.H.; MARTIN, B. **How fast is fast enough? Choosing between Xenomai and Linux for real-time applications**. Rep Invariant Systems, 2010. 17 p. Disponível em: <<https://www.osadl.org/fileadmin/dam/rtlws/12/Brown.pdf>>. Acesso em: 23 mar. 2015.

CHAPMAN, S. J. Parallel Operation of AC Generators. In: **Electric Machinery Fundamentals**. 2005. p. 299-319. ISBN 978-0072465235.

COLAK, I; KABALCI, E. Developing a novel sinusoidal pulse width modulation (SPWM) technique to eliminate side band harmonics. **International Journal of Electrical Power & Energy Systems**. v. 44, n. 1, p. 861-871, jan. 2013.

COLEY, G. **BeagleBone Black System Reference Manual**. 2014. 126 p. Rev. C.1. Disponível em: <https://github.com/CircuitCo/BeagleBone-Black/raw/master/BBB_SRM.pdf>. Acesso em: 09 mar. 2015.

_____. **BeagleBone Black System Reference Manual**. 2013. 109 p. Rev. A5.3. Disponível em: <https://github.com/CircuitCo/BeagleBone-Black/blob/rev_a5a/BBB_SRM.pdf?raw=true>. Acesso em: 06 abr. 2015.

CHEN, C.; NOVICK, G.; SHIMANO, K. **RISC vs. CISC**. 2000. Disponível em: <<http://cs.stanford.edu/people/eroberts/courses/soco/projects/risc/riscisc/>>. Acesso em: 06 mai. 2015.

CROWLEY, I. F.; LEUNG, H. F. **PWM Techniques: A Pure Sine Wave Inverter**. 2011. 91 p. Disponível em: <https://www.wpi.edu/Pubs/E-project/Available/E-project-042711-190851/unrestricted/PWM_Techniques_final.pdf>. Acesso em: 05 abr. 2015.

COMPANHIA ESTADUAL DE ENERGIA ELÉTRICA – RIO GRANDE DO SUL. **Instrução Técnica IT-81.081: Acesso de Microgeração e Minigeração com Fontes Renováveis e Cogeração Qualificada ao Sistema de Distribuição**. 2014. 26 p. Disponível em: <<http://www.cee.com.br/PPortal/CEEE/Archives/Download/Padrao%20Tecnico/IT-81.081%20Acesso%20de%20microgeração%20e%20minigeração%20com%20fontes%20renovaveis%20e%20cogeração%20qualificada%20ao%20sistema%20de%20distribuição.pdf>>. Acesso em: 15 mar. 2015.

EMPRESA DE PESQUISA ENERGÉTICA. **Consumo anual de energia elétrica por classe (nacional) - 1995-2013**. 2014. Disponível em: <[http://www.epe.gov.br/mercado/Documents/Box%20Mercado%20de%20Energia/Consumo%20anual%20de%20energia%20elétrica%20por%20classe%20\(nacional\)%20-%201995-2013.xls](http://www.epe.gov.br/mercado/Documents/Box%20Mercado%20de%20Energia/Consumo%20anual%20de%20energia%20elétrica%20por%20classe%20(nacional)%20-%201995-2013.xls)>. Acesso em: 29 mar. 2015.

ENERGIA PURA. **Inversor IVOLT 150 Unitron 150W 12V/115V**. 2015. Disponível em: <<https://www.energiapura.com/content/inversor-ivolt-150-unitron-150w-12v115v>>. Acesso em: 2 mar. 2015.

ENERGY TEAM BRASIL. **Export Quotation**. 2015. 1 p. Disponível em: <http://energyteambrasil.com.br/wp-content/uploads/2015/02/Quote-Inverter-KLNE_ETB.pdf>. Acesso em: 2 mar. 2015.

FARNELL NEWARK. **Ferramenta BeagleBone Black ARM Cortex-A8 4GB Flash**. 2014. Disponível em: <<http://www.farnellnewark.com.br/ferramentabeagleboneblackarmcortexa84gbflas,product,EMB0003,0.aspx>>. Acesso em: 09 abr. 2015.

HORTA H., S.; CARDENAS G., V.M. DC-AC converter with high frequency DC link for UPS application. **Power Electronics Congress**. p. 125-130, ago. 1994.

INTERNATIONAL ENERGY AGENCY. **Word Energy Outlook 2014: Executive Summary**. 2014. Disponível em: <<https://www.iea.org/Textbase/npsum/WEO2014SUM.pdf>>. Acesso em: 29 mar. 2015.

LE MENTEC, F. **Using the BeagleBone PRU to achieve realtime at low cost**. 25 abr. 2014. Disponível em: <<http://www.embeddedrelated.com/showarticle/586.php>>. Acesso em: 2 mai. 2015.

_____. **Using the C language to program the am335x PRU**. 07 jun. 2014. Disponível em: <<http://www.embeddedrelated.com/showarticle/603.php>>. Acesso em: 2 mai. 2015.

LENNY. **How fast/reliable is ADC sampling from the PRU**. 2015. Disponível em: <<https://groups.google.com/d/topic/beagleboard/3AFiCNtxGis/discussion>>. Acesso em: 18 mai. 2015.

MODULAR CIRCUITS. **H-Bridge Circuits**. 2011. Disponível em: <<http://modularcircuits.tantosonline.com/blog/articles/h-bridge-secrets/>>. Acesso em: 09 abr. 2015.

MOLLOY, D. **Exploring BeagleBone: Tools and Techniques for Building with Embedded Linux**. John Wiley & Sons, 2014. 600 p., ISBN 978-1118935125.

_____. **High-Speed Analog to Digital Conversion ADC using the PRU-ICSS**. Ago. 2012. Disponível em: <<http://nomel.org/post/30006622413/beaglebone-tutorial-accessing-main-memory-from>>. Acesso em: 27 mai. 2015.

NOMEL. **BeagleBone Tutorial: Accessing Main Memory From the PRU (and visa versa)**. 2011. Disponível em: <<http://modularcircuits.tantosonline.com/blog/articles/h-bridge-secrets/>>. Acesso em: 09 abr. 2015.

OBADOWSKI, V. N.; LERM, A. A. P.; DE-FREITAS CIARELLI, W. A Nonlinear Optimization Technique Applied to PWM Signals. **Andean Region International Conference (ANDESCON)**. 7 p., nov. 2012.

RASHID, M. H. **Eletrônica de Potência: circuitos, dispositivos e aplicações**. Ribeirão Preto: Makron, 1999. p. 436-498, ISBN 978-8534605984.

SCHWEITZER ENGINEERING LABORATORIES, COMERCIAL LTDA. **Sincronização Automática de Geradores**. 2013. 18 p. Disponível em:

<http://www.selinc.com.br/guia_aplic/Sincronizacao_Automatica_de_Geradores.pdf>.

Acesso em: 20 mar. 2015.

SEDGHISIGARCHI, K. Power flow control of inverter based distributed generators in LV microgrids. **Power and Energy Society General Meeting**. p. 1-6, jul. 2011.

TEXAS INSTRUMENTS. **Active Low-Pass Filter Design**. 24 p., 2000. Disponível em:

<<http://www.science.unitn.it/~bassi/Signal/TInotes/sloa049.pdf>>. Acesso em: 18 mai. 2015.

_____. **AM335x Sitara™ Processors**: Datasheet. Rev. G, 247 p., jun. 2014. Disponível em:

<<http://www.ti.com/lit/ds/symlink/am3359.pdf>>. Acesso em: 28 abr. 2015.

_____. **AM335x Sitara™ Processors**: Technical Reference Manual. 4973 p., fev. 2015.

Disponível em: <<http://www.ti.com/lit/ug/spruh731/spruh731.pdf>>. Acesso em: 20 mai. 2015.

_____. **PRU Assembly Language Tools**. 309 p., nov. 2014. Disponível em:

<<http://www.ti.com.cn/cn/lit/ug/spruhv6a/spruhv6a.pdf>>. Acesso em: 27 mai. 2015.

THOMAS, T. G; SEKHAR, S. C. **Communication Theory**. New Delhi: Tata McGraw-Hill Education, 2005. p. 315, ISBN 978-0070590915.

TOYOOKA, H. Evaluation of Real-time Property in Embedded Linux. **LinuxCon + CloudOpen Japan**. 37 p., mai. 2014. Disponível em:

<http://events.linuxfoundation.org/sites/events/files/slides/toyooka_LCJ2014_v10.pdf>.

Acesso em: 16 jan. 2015.

TRAVAGLIONE, B.; MUNYARD, A.; MATTHEWS, D. Using low cost single-board microcontrollers to record underwater acoustical data. **Internoise Conference 2014**. 8 p., nov. 2014.

WEBSTER, J. G.; EREN, H. Calibration and Measurement Methods. In: **Measurement, Instrumentation, and Sensors Handbook**. 2014. p. 42.19-42.24. ISBN 978-1439848838.

WEIS, Carol. **Considerations for Off-Grid PV Systems**. 2013. Disponível em:

<<http://www.homepower.com/articles/solar-electricity/design-installation/considerations-grid-pv-systems?v=print>>. Acesso em: 29 mar. 2015.

YANG, J. et al. A Linux kernel with fixed interrupt latency for embedded real-time system. **Second International Conference on Embedded Software and Systems**. 8 p., dez. 2005.