

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL  
PROGRAMA DE PÓS-GRADUAÇÃO EM MICROELETRÔNICA

PABLO ILHA VAZ

**Efeitos da Radiação Ionizante e Técnicas de  
Proteção Aplicadas a Projetos de Dispositivos  
MOS Customizados**

Dissertação apresentada como requisito parcial para  
a obtenção do grau de Mestre em Microeletrônica.

Orientador: Prof. Dr. Gilson Inácio Wirth

Porto Alegre  
2015

## CIP – CATALOGAÇÃO NA PUBLICAÇÃO

Vaz, Pablo I.

Efeitos da Radiação Ionizante e Técnicas de Proteção Aplicadas a projetos de Dispositivos MOS Customizados / Pablo Ilha Vaz. – 2015.

116 f.:il.

Orientador: Gilson Inácio Wirth.

Dissertação (Mestrado) – Universidade Federal do Rio Grande do Sul. Programa de Pós-Graduação em Microeletrônica. Porto Alegre, BR – RS, 2015.

1. CMOS. 2. RHBD 3. Radiação Ionizante. 4. Dose Total Ionizante. 5. Geometria de *gate* fechado. 6. *Enclosed Layout Transistor* I. Wirth, Gilson.

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL

Reitor: Prof. Carlos Alexandre Netto

Vice-Reitor: Prof. Rui Vicente Oppermann

Pró-Reitor de Pós-Graduação: Prof. Vladimir Pinheiro do Nascimento

Diretor do Instituto de Informática: Prof. Luís da Cunha Lamb

Coordenador do PGMICRO: Profa. Dra. Fernanda Gusmão de Lima Kastensmidt

Bibliotecária-Chefe do Instituto de Informática: Beatriz Regina Bastos Haro

## AGRADECIMENTOS

Agradeço à UFRGS e ao Programa de Pós-Graduação em Microeletrônica (PGMicro), por viabilizarem a minha formação acadêmica e o auxílio financeiro para apresentação de trabalho fora do país, e ao CNPq pelos meses concedidos de bolsa durante o período do meu mestrado.

Agradeço ao meu orientador Gilson Inácio Wirth, o qual sempre me permitiu trabalhar com bastante liberdade, me aconselhando quando necessário, a fim de abreviar o caminho para meus objetivos.

Agradeço a minha querida namorada Gabriela a qual, desde quando fui estudante, depois que me tornei engenheiro e agora que estou pleiteando o grau de mestre, esteve me apoiando e me recordando de que “tudo depende de nós mesmos”.

Por fim, agradeço aos meus pais, João Carlos e Ana Lúcia, pelo apoio e compreensão durante as constantes mudanças de ânimo ao longo destes meses e, principalmente, pelo apoio financeiro, o qual me propiciou uma dedicação praticamente exclusiva ao estudo durante os períodos em que mais necessitei.

## RESUMO

Os efeitos produzidos pela interação da radiação ionizante com os circuitos integrados podem ser classificados em efeitos de eventos únicos (*Single Event Effects - SEE*), comumente relacionados a problemas transientes, e efeitos de dose total ionizante (*Total Ionization Dose - TID*), os quais se originam em decorrência do longo tempo de exposição à radiação ionizante. Com relação à proteção desses circuitos, técnicas, como redundâncias temporais e espaciais, podem ser aplicadas a fim de reduzir a ocorrência de eventos transientes. Por outro lado, efeitos de TID e mesmo alguns SEE específicos, como os que causam degradações permanentes do circuito, podem ser atenuados drasticamente através de técnicas propostas em nível de *layout*. Nesse contexto, este trabalho analisa os conceitos básicos envolvidos na interação da radiação com o transistor MOS, desvios de suas características elétricas e técnicas de atenuação dos efeitos acumulativos aplicadas em níveis de arquitetura de sistemas, de processo de fabricação e de dispositivo. Contudo, este trabalho realiza uma abordagem mais detalhada de técnicas de tolerância em nível de *layout*. A tolerância em nível de *layout* do transistor é o resultado da combinação entre tecnologia escolhida agregada ao uso de anéis de guarda (*guard rings*) e aplicação de técnicas em nível de dispositivo como, por exemplo, a de geometria fechada (*enclosed-gate*). Este trabalho explora diferentes topologias de geometria fechada analisando diferentes modelagens e estimativas de razão de aspecto ( $W/L$ ). Além disso, todas as análises e propostas apresentadas ao longo deste trabalho levam em conta o ambiente de projeto comercial, de forma que os dispositivos e técnicas propostas possam ser aplicadas e fabricadas utilizando ferramentas de projeto comerciais, respeitando restrições quando a dimensões e espaçamentos entre estruturas de acordo com requisitos comerciais de litografia. Os resultados obtidos corroboram o fato de que ao custo de área é possível que se obtenha um dispositivo mais tolerante à radiação e, neste caso, técnicas de mais alto nível ainda podem ser aplicadas de forma a atingir uma maior eficiência de proteção.

**Palavras-chave:** Geometria de *gate* fechado, RHBD, CMOS, TID, SEE, *hardened by design*, ELT.

# **Ionizing radiation effects and Radiation Hardened by Design applied into MOS transistors**

## **ABSTRACT**

Studies related to ionizing radiation effects into MOS transistors are usually classified into two main groups, Single Event Effects (SEE) and Total Ionization Dose (TID). The former is related to transient effects and the later to the permanent effects which occurs during the whole lifetime of integrated circuits and devices. Architecture level for SEE mitigation techniques usually involves redundancy and majority voters, on the other hand, TID mitigation techniques act avoiding or reducing the weak and critical regions in the layout perspective. In this context this work proposes the analysis of primary physical mechanisms of radiation effects in semiconductor components and MOS transistors by exploring the electrical properties and related degradations. The mitigation (or hardening) techniques are explored not only at the architectural level but also by processes improvements. Nonetheless, this work is primarily focused to achieve a radiation hardened circuit by applying specific changes in the layout perspective making the design named as Radiation Hardened by Design (RHBD). Trading the area and circuit density it is possible to harden the most basic building block of electrical circuits (MOS transistors) and, in this case, by applying higher levels of mitigation techniques it is even possible to harden the entire circuit. Hardening by device is a combination of technology node, use of guard rings and techniques such as Enclosed Layout Transistor (ELT). Thus, this work realizes a comparative study of different proposed models to estimate the effective W/L aspect ratio in ELTs. Moreover, the analysis and approaches presented throughout this work take into account the commercial context, i.e., respecting the commercial Process Design Kits rules.

**Keywords:** *Enclosed-gate, RHBD, CMOS, TID, SEE, hardened by design, ELT.*

## LISTA DE FIGURAS

<i>Figura 1: Comportamento das partículas provenientes do vento solar em contato com a magnetosfera e a presença dos cinturões de radiação. Adaptada de Radiation Belts.</i>	18
<i>Figura 2: a) Representação da geração de um par <math>e^-h^+</math> e b) sua respectiva recombinação. Adaptada de Oldham (1987).</i>	23
<i>Figura 3: Ilustração resultante das três interações de fótons com o material alvo. As linhas sólidas correspondem à vizinhança entre diferentes efeitos. A linha pontilhada representa a situação do Silício (número atômico <math>Z = 14</math>). Adaptada de Oldham (1987).</i>	24
<i>Figura 4: a) Incidência de íon de alta energia e b) locais de vacância e posições intersticiais após a colisão. Adaptada de Oldham (1987).</i>	26
<i>Figura 5: Geração de pares <math>e^-h^+</math> no dispositivo MOS devido à incidência de um íon de alta energia. Adaptada de Distribution of EHPs.</i>	30
<i>Figura 6: Indicação do deslocamento predominante de portadores positivos e negativos no transistor NMOS. Adaptada de Drift of Carriers.</i>	31
<i>Figura 7: Pulso de corrente gerado após incidência transversal de uma partícula de alta energia sob um transistor NMOS polarizado. Adaptada de Baumann (2005).</i>	32
<i>Figura 8: a) Seção transversal de um inversor na tecnologia MOS com bipolares parasitas e b) Circuito equivalente dos elementos parasitas. Adaptada de Weste (2011).</i>	33
<i>Figura 9: Distribuição de elétrons e lacunas após o choque de um íon de alta energia. Adaptada de Gate Rupture.</i>	35
<i>Figura 10: Representação do efeito de snap-back. Extraída de Sexton (2003).</i>	36
<i>Figura 11: Migração de cargas devida a presença de campo elétrico externo. Adaptada de Oldham (1987).</i>	40
<i>Figura 12: Transporte de cargas e efeitos TID em dispositivo MOS. Adaptada de Barnaby (2006).</i>	40
<i>Figura 13: Localização das cargas aprisionadas no SiO<sub>2</sub>. Adaptada de Barnaby (2006).</i>	41
<i>Figura 14: a) Ligação tensa entre moléculas de Si (Vacância de oxigênio), b) Centro E<math>\gamma</math>' e c) Centro E<math>\delta</math>' após captura de lacuna. Adaptada de Nicklaw (2002).</i>	42
<i>Figura 15: Defeitos Pb0 e Pb1 e posicionamento em estruturas de Si do tipo (a) (111), (b) (110) e (c) (100) Barnaby (2006).</i>	44
<i>Figura 16: Mobilidade na camada de inversão em função da dose total de radiação em um dispositivo MOS. Extraída de Schrimpf (2007).</i>	46
<i>Figura 17: a) Vista em perspectiva de um dispositivo de tecnologia CMOS, extraída de Schrimpf (2007), e b) representação de dimensões do dispositivo, extraída de Claeys (2002).</i>	47
<i>Figura 18: a) Vista em perspectiva de um dispositivo MOS e as regiões de estresse mecânico, adaptada de Dodd (2008), e b) secção transversal de um dispositivo MOS e a corrente parasitária perpendicular ao plano da página, adaptada de Nowlin (2004).</i>	48
<i>Figura 19: a) Transistores parasitas gerados devido à presença de cargas aprisionadas e b) circuito equivalente. Adaptada de Claeys (2002).</i>	49
<i>Figura 20: Gráfico do comportamento de logIDxVG de um dispositivo MOS, ilustrando a região de subthreshold. Adaptada de Schrimpf (2007).</i>	50
<i>Figura 21: a) IDxVGS e efeitos desvios em VTH em dispositivos NMOS e PMOS, adaptada de Barnaby (2006), e b) desvios em VTH em função da dose total, adaptada de McLean (1987).</i>	51
<i>Figura 22: Contribuições de interface traps e de óxido para o desvio em VTH. Adaptada de Winokur (1987).</i>	53
<i>Figura 23: Dados de ruído 1f em dispositivo NMOS com tox = 48 nm. Adaptada de Barnaby (2006).</i>	54
<i>Figura 24: a) Redundância espacial e b) redundância temporal. Adaptada de Schrimpf (2004).</i>	57
<i>Figura 25: Variações na tensão de banda plana por Mrad (Si) em função da espessura do óxido de porta. Extraída de Saks (1984).</i>	60
<i>Figura 26: Porção superior da figura ilustrando um processo com isolamento do tipo LOCOS e a porção inferior ilustra um processo com isolamento do tipo STI. Extraída de Claeys (2002).</i>	61
<i>Figura 27: Desvio na tensão de VTH como resultado de recozimento e comportamento de lacunas aprisionadas no óxido. Adaptada de Schrimpf (2004).</i>	63
<i>Figura 28: Comportamento da potência de ruído normalizada na presença de radiação e após o recozimento. Adaptada de Fleetwood et al. (1994).</i>	64
<i>Figura 29: a) Anel de guarda circundando dispositivo PMOS e b) circundando dispositivo NMOS. Adaptada de Weste (2011).</i>	66
<i>Figura 30: Dispositivos two-edged a) padrão e b) fingered. Adaptada de McLain (2009).</i>	68
<i>Figura 31: a) Transistor convencional two-edged e geometrias ELT denominadas de b) annular, c) ringed-source, d) dogbone e c) circular ou radial. Adaptada de McLain (2009).</i>	69

Figura 32: Geometria annular do tipo a) rectangular ou square e b) square 45° ou octogonal. Figura adaptada de McLain (2009).	71
Figura 33: a) Gráfico idealizado da condutância de saída e b) representação das variações das regiões de estrangulamento do canal e difusão para conservação do produto espaço carga. Adaptada de Anelli (2000).	72
Figura 34: a) Fonte senoidal polarizando o dispositivo para análise de pequenos sinais e b) representação das capacitâncias e correntes associadas. Extraída de Tsvividis (2011).	73
Figura 35: Resposta à TID de um transistor two-edged convencional NMOS. Dados extraídos de Schrimpf (2004).	76
Figura 36: Resposta à TID de um transistor annular. Dados extraídos de Schrimpf (2004).	76
Figura 37: a) Layout de método mid-line e parâmetros W e L; b) Layout de geometria annular considerando soma de diferentes transistores em paralelo. Extraído de Vaz (2015).	78
Figura 38: a) Decomposição do transistor em transistores de bordas (T1 e T4) e cantos (T2 e T3) e b) layout de transistor dividido em retângulos especiais. Extraído de Vaz (2015).	80
Figura 39: Razões de aspecto para geometria annular adquirida pelo equacionamento de Soma dos Transistores em Paralelo (ANELLI 1999) para tecnologia 180 nm.	82
Figura 40: Razões de aspecto para geometria square adquirida pelo equacionamento de Retângulos Especiais (XUE 2011) para tecnologia 180 nm.	83
Figura 41: a) Proposta de célula NMOS ELT square em processo tecnológico de 180 nm e b) indicação das variáveis em relação às dimensões do dispositivo.	85
Figura 42: Quatro configurações dos transistores simulados em a) Configuração 1, b) Configuração 2, c) Configuração 3 e d) Configuração 4.	85
Figura 43: Características ID × VDS e ID × VGS da configuração 1 para tecnologia 0,6 μm.	86
Figura 44: Características ID × VDS e ID × VGS da configuração 2 para tecnologia 0,6 μm.	87
Figura 45: Características ID × VDS e ID × VGS da configuração 3 para tecnologia 0,6 μm.	87
Figura 46: Características ID × VDS e ID × VGS da configuração 4 para tecnologia 0,6 μm.	87
Figura 47: Características ID × VDS e ID × VGS da configuração 1 para tecnologia 0,18 μm.	88
Figura 48: Características ID × VDS e ID × VGS da configuração 2 para tecnologia 0,18 μm.	88
Figura 49: Características ID × VDS e ID × VGS da configuração 3 para tecnologia 0,18 μm.	88
Figura 50: Características ID × VDS e ID × VGS da configuração 4 para tecnologia 0,18 μm.	89
Figura 51: Configurações C1) PMOS e NMOS TE equivalente, C2) PMOS TE e NMOS ELT, C3) PMOS TE Two-fingered e NMOS ELT e C4) PMOS e NMOS ELT.	94
Figura 52: Test Bench para margens de ruído.	95
Figura 53: Test Bench para aquisição de tempo de propagação, potência média e dissipação de potência.	96
Figura 54: Exemplo de geometrias produzidas através do arquivo de saída SDE 2D para a) dispositivos Two-edged e b) dispositivos ELT em tecnologia 0,18 μm.	101
Figura 55: Exemplo de geometrias 3D para dispositivos a) two-edged e b) ELT para nó tecnológico 0,18 μm.	101
Figura 56: Exemplo de perfil de dopagem para dispositivos a) two-edged e b) ELT para o nó tecnológico de 0,18 μm.	102
Figura 57: Exemplo final 3D de transistor ELT em tecnologia 0,18 μm.	103
Figura 58: Características ID × VDS e ID × VGS finais para a calibração 2D de comprimento de canal a) L = 0,18 μm e b) L = 0,36 μm para o nó tecnológico de 0,18 μm.	104
Figura 59: Interface do script para geração automatizada de dispositivos.	107

## LISTA DE TABELAS

<i>Tabela 1: Energias necessárias para geração de pares <math>e\bar{h}</math> e densidade de pares gerados por <math>6,24 \times 10^{13}</math> eV/g. Dados extraídos de Oldham (1987).....</i>	<i>24</i>
<i>Tabela 2: Valores referentes às variáveis das configurações dos dispositivos simulados (para tecnologia de 0,6 <math>\mu\text{m}</math>) .....</i>	<i>89</i>
<i>Tabela 3: Valores referentes às variáveis das configurações dos dispositivos simulados (para tecnologia de 0,18 <math>\mu\text{m}</math>) .....</i>	<i>89</i>
<i>Tabela 4: Valores de WL calculados para cada método e cada configuração (para tecnologia de 0,6 <math>\mu\text{m}</math>). .....</i>	<i>90</i>
<i>Tabela 5: Valores de WL calculados para cada método e cada configuração (para tecnologia de 0,18 <math>\mu\text{m}</math>). ....</i>	<i>90</i>
<i>Tabela 6: Valores máximos de corrente de saturação de dreno obtidos para cada configuração de cada método simulado (em tecnologia de 0,6 <math>\mu\text{m}</math>). .....</i>	<i>91</i>
<i>Tabela 7: Valores máximos de corrente de saturação de dreno obtidos para cada configuração de cada método simulado (em tecnologia de 0,18 <math>\mu\text{m}</math>). .....</i>	<i>91</i>
<i>Tabela 8: Variáveis relacionadas às configurações do Test Bench dos inversores. ....</i>	<i>96</i>
<i>Tabela 9: Resultado das simulações Corners. ....</i>	<i>97</i>
<i>Tabela 10: Resultado das simulações de Monte Carlo. ....</i>	<i>98</i>

## LISTA DE ABREVIATURAS E SIGLAS

BICS	<i>Built In Current Sensors.</i>
CCDs	Dispositivo de Carga Acoplada ( <i>Charge-coupled devices</i> ).
COTS	Dispositivos de prateleira ( <i>Custom-off-the-shelf</i> ).
DICE	<i>Dual Interlocked Cell.</i>
EAROMs	<i>Erasable Alterable Read Only Memories.</i>
ECC	Código de Correção de Erro ( <i>Error Correction Code</i> ).
ESR	<i>Electron Spin Resonance.</i>
FOX	Óxido de campo ( <i>Field Oxide</i> ).
HIT	Tolerante a íons pesados ( <i>Heavy Ion Tolerant</i> ).
ITAR	Normas para tráfico internacional de armas ( <i>International Traffic in Arms Regulations</i> )
LET	Transferência Linear de Energia ( <i>Linear Energy Transfer</i> ) (MeV/cm <sup>2</sup> /mg).
LOCOS	Oxidação Local do Silício ( <i>Local Oxidation of Silicon</i> ).
NIEL	Perda de Energia não-Ionizante ( <i>Non ionization energy loss</i> ).
SEB	( <i>Single Event Burnout</i> ).
SEE	Efeitos de Eventos Únicos ( <i>Single Event Effects</i> ).
SOI	( <i>Silicon-on-insulator</i> ).
SES	( <i>Single-Event Induced Snap-Back</i> ).
TID	Efeitos de Dose Total Ionizante ( <i>Total Ionization Dose</i> ).
TMR	Redundância Modular Tripla ( <i>Triple Modular Redundancy</i> ).

## LISTA DE SÍMBOLOS

$\alpha$	Fator de ajuste ( $8 \times 10^{-13} \text{ cm}^2$ ).
$\alpha_{it}$	Coefficiente de efeitos de interface ( $\text{cm}^2$ ).
$\alpha_{ot}$	Coefficiente de efeitos das armadilhas de óxido ( $\text{cm}^2$ ).
$\beta$	Ganho do transistor.
$c$	Velocidade da luz ( $3 \times 10^8 \text{ m/s}$ ).
$C_D$	Capacitância de dreno (F).
$C_{it}$	Capacitância por unidade de área associada às armadilhas de interface ( $\text{F/cm}^2$ ).
$C_{ox}$	Capacitância de óxido (F).
$\Delta N_{it}$	Varição do número de armadilhas de interface por unidade de área ( $\text{eV}^{-1} \text{cm}^{-2}$ ).
$\Delta N_{ot}$	Varição do número de armadilhas de óxido por unidade de área ( $\text{eV}^{-1} \text{cm}^{-2}$ ).
$D$	Dose (rad ou Gray).
$\bar{e}/h$	Par elétron / lacuna.
$E'$	Centros de defeitos em vacâncias de oxigênio.
$E'_\gamma$	Centros de defeitos profundos.
$E'_\delta$	Centros de defeitos superficiais.
$E_{eh}$	Energia média de ionização (eV).
$E_g$	Energia na banda proibida ( <i>bandgap</i> ) (eV).
$E_{ph}$	Energia do fóton incidente (eV).
$E$	Energia de radiação da partícula incidente (keV ou MeV).
$\Phi$	Fluence (partículas/ $\text{cm}^2$ ).
$\phi$	Flux (partículas/ $\text{cm}^2 \cdot \text{s}$ ).
Flux	Densidade de partículas incidentes em uma determinada área de material.
$g_m$	Transcondutância (S).
$g_{m,irr}^{(max)}$	Valor máximo da transcondutância (gm) quando irradiado (S).
$g_{m,irr}^{(min)}$	Valor mínimo da transcondutância (gm) quando irradiado (S).
$I$	Posição intersticial.
$I_D$	Corrente de dreno ( <i>Drain Current</i> ) (A).

$k$	Constante de Boltzmann ( $1,38066 \times 10^{-23} \text{J/K}$ ).
$M$	Massa atômica (g).
$m$	Massa da partícula incidente (g).
$N_{at}$	Densidade atômica do alvo (átomos/cm <sup>3</sup> ).
$N_{it}$	Número de armadilhas de interface (cm <sup>-2</sup> ).
$N_{ot}$	Número de armadilhas do óxido (cm <sup>-2</sup> ).
$\rho_m$	Densidade do material (g/cm <sup>3</sup> ).
$P$	Número de parada do material (-).
$q$	Carga absoluta do elétron ( $1,60218 \times 10^{-19} \text{C}$ ).
$Q_{ot}$	Quantidade de carga presente no óxido devida à radiação.
$T$	Temperatura (°C).
$\mu^{(pre)}$	Mobilidade antes da irradiação (cm <sup>2</sup> /V.s).
$\mu^{(irr)}$	Mobilidade após a irradiação (cm <sup>2</sup> /V.s).
$v$	Velocidade da partícula (cm/s).
$v_d$	Velocidade de deriva ( <i>drift</i> ) (cm/s).
$V$	Posição de vacância.
$x$	Distância percorrida pela partícula (cm).
$V_{GS}$	Tensão entre <i>gate</i> e fonte ( <i>Gate-to-source Voltage</i> ) (V).
$V_{TH}$	Tensão de Limiar ( <i>Threshold Voltage</i> ) (V).
$Z$	Número atômico (-).

## SUMÁRIO

<b>1</b>	<b>INTRODUÇÃO</b> .....	<b>13</b>
<b>2</b>	<b>RADIAÇÕES IONIZANTES</b> .....	<b>17</b>
2.1	ORIGEM DA RADIAÇÃO IONIZANTE INCIDENTE EM CIRCUITOS ELETRÔNICOS .....	17
2.2	INTERAÇÃO DA RADIAÇÃO IONIZANTE COM O MATERIAL SEMICONDUTOR .....	21
2.3	MECANISMOS DE DEGRADAÇÃO POR IONIZAÇÃO .....	23
2.4	MECANISMOS DE DEGRADAÇÃO POR DESLOCAMENTO .....	26
<b>3</b>	<b>EFEITOS DAS RADIAÇÕES IONIZANTES NA FUNCIONALIDADE DE TRANSISTORES MOS</b> .....	<b>28</b>
3.1	EFEITOS DE EVENTOS ÚNICOS (SEE) .....	30
3.1.1	<i>Eventos únicos transientes</i> .....	30
3.1.2	<i>Eventos únicos permanentes</i> .....	33
3.2	EFEITOS DE DOSE TOTAL (TID) .....	37
3.2.1	<i>Armadilhas próximas à interface</i> .....	41
3.2.2	<i>Armadilhas de interface</i> .....	43
3.2.3	<i>Degradação da mobilidade dos portadores</i> .....	45
3.2.4	<i>Aumento da corrente de leakage</i> .....	47
3.2.5	<i>Alteração da tensão de threshold</i> .....	51
3.2.6	<i>Aumento do ruído Flicker</i> .....	53
<b>4</b>	<b>ESTRATÉGIAS DE PROTEÇÃO DE CIRCUITOS</b> .....	<b>56</b>
4.1	PROTEÇÃO POR ARQUITETURA DE SISTEMA .....	56
4.2	PROTEÇÃO POR PROCESSOS DE FABRICAÇÃO .....	59
4.2.1	<i>Escalamento tecnológico</i> .....	59
4.2.2	<i>Recozimento</i> .....	62
4.2.3	<i>Processos alternativos</i> .....	65
4.3	PROTEÇÃO POR LAYOUT .....	66
4.3.1	<i>Anéis de guarda</i> .....	66
4.3.2	<i>Geometrias de gate fechado - ELT</i> .....	68
4.3.3	<i>Estimativa de razões de aspecto (W/L)</i> .....	77
<b>5</b>	<b>SIMULAÇÕES ELÉTRICAS DE DISPOSITIVOS DE DRENO FECHADO</b> .....	<b>84</b>
5.1	SIMULAÇÕES ELÉTRICAS DE DISPOSITIVOS .....	84
5.1.1	<i>Resultados e discussões</i> .....	90
5.2	SIMULAÇÕES ELÉTRICAS DE DISPOSITIVOS INVERSORES .....	94
5.2.1	<i>Resultados e discussões</i> .....	96
<b>6</b>	<b>SIMULAÇÕES DE TRANSPORTE DE PORTADORES</b> .....	<b>100</b>
6.1	PROJETO DOS TRANSISTORES .....	100
6.2	SIMULAÇÕES E CALIBRAÇÃO .....	103
6.2.1	<i>Resultados e discussões</i> .....	104
<b>7</b>	<b>TRABALHOS FUTUROS</b> .....	<b>106</b>
7.1	FABRICAÇÃO / QUALIFICAÇÃO / VALIDAÇÃO .....	106
7.2	OTIMIZAÇÕES E DIMENSIONAMENTOS .....	106
7.3	GERAÇÃO DE LAYOUT AUTOMATIZADO / BIBLIOTECA DE CÉLULAS .....	107
<b>8</b>	<b>CONCLUSÕES</b> .....	<b>109</b>
	<b>REFERÊNCIAS</b> .....	<b>111</b>

## 1 Introdução

A partir do momento em que John Bardeen, Walter Houser Brattain e William Bradford Shockley demonstraram experimentalmente em 23 de dezembro de 1948 o primeiro transistor de Germânio, o desenvolvimento e aprimoramento dessa nova maneira de substituir as válvulas termo iônicas da época aumentaram de forma estrondosa.

Aprimorando tanto os processos de fabricação quanto as topologias, na década de 60, o transistor MOS começou a ser utilizado em larga escala para fabricação de circuitos integrados.

Segundo a lei de Moore, que data daquela época (MOORE, 1965), nessa linha crescente de aperfeiçoamento e miniaturização para circuitos digitais, a cada 18 meses a capacidade de integração de transistores em um circuito digital seria multiplicada por dois.

A redução das dimensões dos transistores de um circuito integrado chamada escalonamento tecnológico (*technology scaling*) aumenta não só a capacidade de integração dos circuitos integrados, como também permite que as frequências de operação sejam cada vez mais elevadas (BALEN, 2010). Esse escalonamento tecnológico e a evolução dos circuitos integrados, entretanto, aumentam a variabilidade durante o processo de fabricação, os efeitos de canal curto e as correntes de fuga do transistor (*leakage current*).

Essa constante miniaturização dos dispositivos somada principalmente à exposição dos circuitos a ambientes inóspitos (*harsh environments*), como a exposição dos circuitos a ambientes com alta incidência de partículas ionizantes, acabou gerando um problema que até então não era observado. Como retratado em Ecoffet (2007), em 1962, devido à incidência de radiação ionizante, o satélite de telecomunicações *Telstar 1* lançado pelos Estados Unidos falhou durante um teste em altas altitudes. Esse efeito da radiação que até então era negligenciado no funcionamento dos circuitos integrados passou a ser alvo de estudo da comunidade científica e principalmente de organizações militares, de modo a garantir uma maior confiabilidade a circuitos que experimentam um ambiente com incidência de radiação.

Da mesma maneira é interessante notar que, atualmente, em aplicações estado da arte, como retratado em Ecoffet (2007), devido à massiva redução das dimensões dos dispositivos, tensão de alimentação, aumento da frequência de operação e densidade de agregação dos transistores, a tolerância a falhas deixa de ser uma preocupação restrita apenas a aplicações aeroespaciais e torna-se um problema a ser considerado também em aplicações terrestres, ditas *a nível do mar* (*ground level*).

Circuitos integrados que experimentam a interação de partículas ionizantes sofrem basicamente dois tipos de degradação: as de caráter transiente, que ocorrem devido à incidência de uma única partícula, e as de caráter cumulativo, as quais, por sua vez, ocorrem devido ao acúmulo de doses de radiação ionizante ao longo da vida útil do circuito.

Disfunções oriundas da interação de apenas uma única partícula recebem a denominação de Efeitos de Eventos Únicos (*Single Event Effects - SEE*). Se essas disfunções ocasionarem um defeito permanente no circuito são ainda classificadas em um subgrupo denominado Evento Único Permanente ou Catastrófico (*hard error*). Se a disfunção causar um erro do sistema, mas não acarretar danos permanentes, é classificada como Evento Único Transiente ou Não-Catastrófico (*soft error*).

Os defeitos que se originam devido a dose acumulada ou fluência de partículas por exposição à radiação ionizante se classificam como Efeitos de Dose Total Ionizante (*Total Ionization Dose - TID*), os quais ocorrem basicamente devido ao acúmulo gradual de cargas positivas aprisionadas, principalmente, na região de transição que ocorre entre o óxido fino e o óxido espesso do material isolante e que induzem, conseqüentemente, cargas negativas na região do canal de transistores NMOS e entre regiões adjacentes a difusões do tipo n.

A fim de atenuar erros transientes não-catastróficos, como no caso em que há uma mudança do nível lógico de uma célula digital de 0 para 1 (ou vice-versa), podem ser utilizadas técnicas de redundância temporal e/ou espacial combinadas ao uso de votadores. Uma vez que a lógica pode ser reinicializada ou sobrescrita, a incidência e conseqüente propagação do erro no valor lógico final do circuito pode ser bastante reduzida.

Defeitos relacionados à dose total tipicamente acarretam alterações das características elétricas dos dispositivos como, por exemplo, a alteração da tensão de limiar (*threshold voltage -  $V_{TH}$* ) e/ou o acréscimo na corrente de fuga do dispositivo (*leakage*), características essas que podem ainda ser analisadas em segunda instância como alteração na mobilidade dos portadores, transcondutância e resistência do canal.

Técnicas de atenuação ou de robustez, não somente para erros catastróficos mas também para defeitos originários de dose acumulada, geralmente são propostas em nível de projeto do dispositivo a fim de atuar reduzindo regiões críticas do *layout* como, por exemplo, a área de transição entre o óxido fino e o óxido espesso, chamada *bird's beak* em processos de fabricação convencional do tipo LOCOS (*Local Oxidation of Silicon*) ou então chamada STI (*Shallow Trench Isolation*) em dispositivos com tecnologia mais avançada (em geral a partir de 0,25 $\mu$ m de comprimento de canal).

A mudança entre nós tecnológicos, devida à alta complexidade e disposição das camadas de materiais durante o processo de fabricação, proporciona que as diversas degradações decorrentes da radiação tenham pesos diferentes em relação a alterações de características físicas e elétricas dos dispositivos. Desse modo, a priori, não é possível afirmar de forma generalista que o aumento ou a diminuição das dimensões, espessuras e de geometrias contribuam positiva ou negativamente com relação ao desempenho do dispositivo em ambientes de radiação ionizante.

A mesma premissa pode ser aplicada a diferentes processos tecnológicos e organizações físicas dos dispositivos sendo, contudo, necessária a análise física pontual de cada situação, a fim de se obter a melhor proposta para atenuar os efeitos indesejados.

Existem ainda processos de fabricação intrinsecamente mais tolerantes à incidência de radiação como, por exemplo, o processo CMOS epitaxial e o do tipo SOI (*silicon-on-insulator*). As primeiras opções que datam da época do descobrimento desses efeitos foram, inclusive, no intuito de adaptar as instalações das *foundries* e dos processos de fabricação, a fim de permitir que estes fossem utilizados.

É possível também atuar refinando o processo de fabricação a fim de reduzir, ou até mesmo eliminar, contaminantes e até mesmo partículas de materiais presentes no encapsulamento (epóxi ou cerâmica). Porém, tais recursos e processos são geralmente muito mais caros visto que necessitam de elementos com um grau de pureza muito maior durante o processo de fabricação.

O aumento dos custos para o desenvolvimento das instalações de um novo nó tecnológico, cerca de 7 bilhões de dólares para o nó de 32 nm (CARDOSO, 2012; INTEL, 2015), praticamente impossibilita, sob o ponto de vista econômico, que todos os processos de fabricação ou aparatos tecnológicos sejam refinados ou adaptados.

Logo, o objetivo de implementar e estudar circuitos mais robustos à radiação utilizando métodos de fabricação convencionais se traduz em uma não-elevação de custos, visto que nenhum processo específico ou etapas adicionais são necessárias. Não obstante, a confiabilidade do circuito passa a ser maior à medida que, devido à grande quantidade de circuitos já produzidos, testados e analisados, passa-se a conhecer de um modo mais sólido as perturbações e degradações causadas pela incidência da radiação em um determinado nó tecnológico.

Em aplicações em áreas consideradas críticas como, por exemplo, automotiva, médica, aeronáutica e militar, em muitos casos, além de se utilizar processos convencionais, ainda são

designados nós tecnológicos mais maduros permitindo que a análise dessa grande quantidade de circuitos se estenda ao longo do tempo.

Outra questão que torna importante o desenvolvimento de pesquisas nessa área, analisada por Balen (2010), é o efeito de uma regulamentação do governo dos EUA que proíbe ou dificulta a exportação de seus componentes eletrônicos tolerantes à radiação aos demais países impedidos pelo ITAR (*International Traffic in Arms Regulations*).

Entretanto, algumas das contrapartidas à utilização de processos de fabricação convencionais para o projeto de dispositivos e circuitos mais tolerantes são, a priori, o aumento de área e o de consumo de energia que, em geral, é mais elevado quando em comparação aos circuitos convencionais.

Nesse contexto, este trabalho se propõe a analisar os efeitos e técnicas de proteção, primordialmente a nível de *layout*, tendo como premissa a utilização de processos de fabricação convencionais. Vale notar que, de posse do entendimento físico da interação da radiação ionizante com os dispositivos e uma vez que o circuito é fortalecido desde seus blocos fundamentais (transistores), torna-se possível explorar técnicas aplicadas em hierarquias mais altas como diferentes topologias de circuitos e aplicação de redundâncias, sejam elas temporais ou espaciais, explorando de forma integral os diversos níveis hierárquicos em que se possa atuar de forma a fortalecer o circuito com respeito aos efeitos da radiação ionizante.

Desse modo, este trabalho se organiza explorando a natureza da radiação, a interação da radiação com a matéria e as respectivas degradações do meio semiconductor, no capítulo 2. No capítulo 3 são explorados os efeitos das degradações ionizantes na funcionalidade de transistores MOS e os eventos transientes e permanentes de partícula única. No capítulo 4 são analisadas estratégias de proteção de circuitos a níveis de sistema, processos de fabricação e *layout*, sendo este último abordado com ênfase na topologia de transistores com geometria de *gate* fechado (*Enclosed Layout Transistor* - ELT). No capítulo 5 são propostas simulações tanto em nível de comportamento de esquemático quanto em nível de *layout* (que permitem considerar processos e tecnologias semicondutoras envolvidas no funcionamento dos dispositivos) e, finalmente, no capítulo 6 são apresentadas as conclusões e tecidas as últimas considerações deste trabalho.

## 2 Radiações ionizantes

### 2.1 Origem da radiação ionizante incidente em circuitos eletrônicos

Como retrata Srour (1982), são fontes comuns de radiação: o Sol, as atividades cósmicas externas ao sistema solar, explosões nucleares, reatores nucleares e até mesmo o processamento de alguns circuitos integrados que possuem incorporado em seu processo de fabricação Boro, Urânio e Tório.

Ainda, segundo analisado por Srour (1982), as partículas associadas às fontes de radiação supracitadas podem ser nêutrons, raios- $\gamma$ , raios-x, elétrons, prótons, partículas  $\alpha$ , íons pesados na superfície da Terra e na atmosfera e ainda os raios cósmicos que, por sua vez, também podem ser compostos de prótons, elétrons, partículas  $\alpha$  e íons pesados de alta energia, nas aplicações espaciais (satélites).

Devido ao campo magnético natural que a Terra possui, também conhecido como magnetosfera, grande parte dessas partículas, provenientes do Sol ou mesmo de fora do sistema solar e que seguem em trajetória retilínea rumo ao nosso planeta, são desviadas em altas órbitas não atingindo, portanto, regiões mais baixas como a superfície do planeta, de forma que o campo magnético terrestre atua como uma espécie de escudo protetor.

A Figura 1 ilustra o comportamento das partículas provenientes da atividade solar, também referenciada como Massa Coronal, ao entrar em contato com a magnetosfera. Considerando o Sol posicionado à esquerda da Figura 1, as partículas são representadas por um movimento que parte da esquerda para a direita, migrando em direção à Terra. Desse modo, ao entrar em contato com a magnetosfera, grande parte dessas partículas são desviadas da rota original de forma que sua incidência em baixas órbitas é bastante reduzida com relação à concentração do feixe inicial de órbitas terrestres mais altas.

Notamos ainda, na Figura 1, duas regiões próximas ao planeta Terra, representadas à esquerda e à direita dele, apontadas pela cor verde, as quais representam áreas onde cargas, em especial elétrons e prótons, são aprisionadas pelo campo magnético da Terra. Essa radiação aprisionada cria cinturões toroidais (*radiation belts*) que circundam constante e permanentemente a Terra e que são conhecidos como Cinturões de Van Allen (*Van Allen Belts*) (ESA, 1993).

O campo magnético natural da Terra não é, entretanto, geograficamente simétrico. Ele experimenta distorções causadas pelo deslocamento e inclinação do eixo magnético em relação ao eixo geográfico. Influências geológicas ainda contribuem para uma maior não-

simetria do campo magnético (ESA, 1993). Uma característica particular frequentemente relacionada a esse tópico é a Anomalia Magnética do Atlântico Sul (*South Atlantic Anomaly*), definida como a região onde a parte mais interna do cinturão de Van Allen (em relação à Terra) se encontra com a máxima proximidade do nosso planeta.

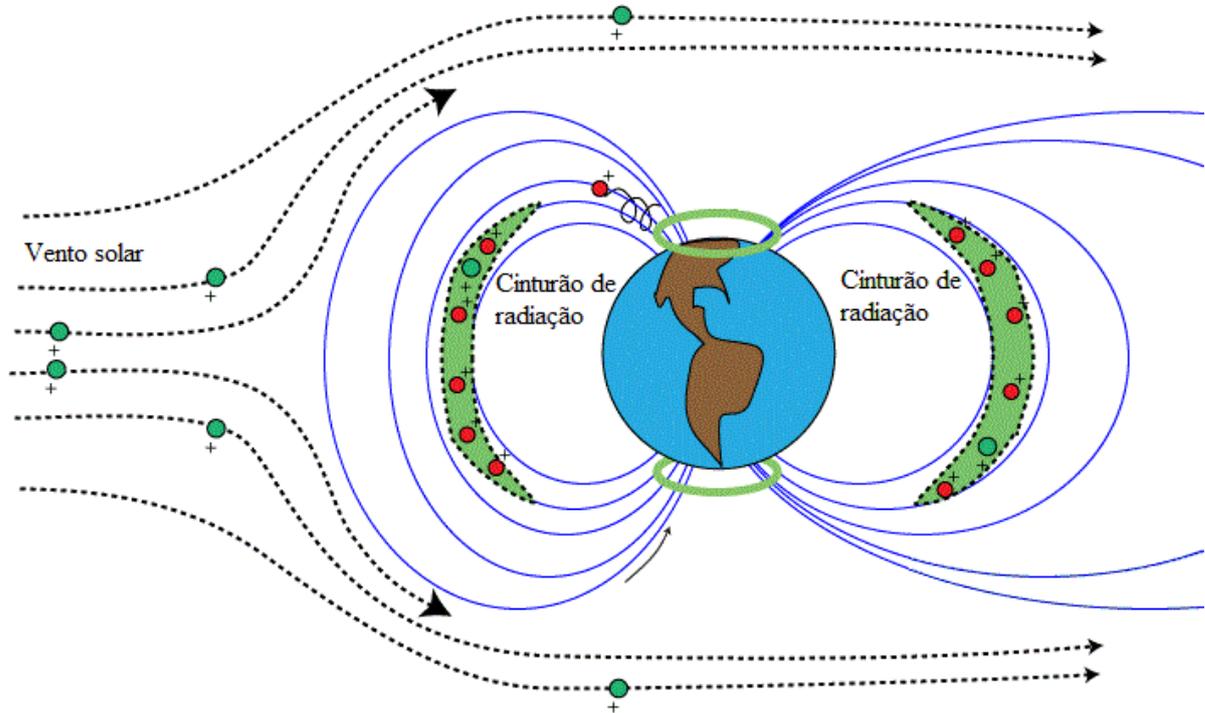


Figura 1: Comportamento das partículas provenientes do vento solar em contato com a magnetosfera e a presença dos cinturões de radiação. Adaptada de Radiation Belts.

O estudo de Balen (2010) reporta que no ponto da Anomalia do Atlântico Sul há aprisionamento de elétrons com energias maiores do que 1 MeV e prótons com energias maiores do que 10 MeV. Não obstante, em uma região próxima ao estado do Rio Grande do Sul, considerando modelos de simulação, os valores calculados para o fluxo de partículas podem chegar a ser 100 vezes maiores do que em outras regiões, dada uma mesma altitude.

Como analisado por Boudenot (2007) os cinturões de radiação de Van Allen possuem duas porções distintas. Considerando a Terra como referencial, a porção mais interna, localizada na faixa compreendida entre 100 km e 10.000 km, aprisiona elétrons com energias menores do que 5 MeV. A porção externa, que se localiza na faixa de 20.000 km a 60.000 km, por sua vez, armazena elétrons com energias que podem atingir 7 MeV.

Além disso, uma terceira porção do cinturão, ainda mais externa, pôde ser observada em 24 de março de 1991, devido à incidência de uma tempestade magnética, onde se

encontravam partículas de até 30 MeV, como também outras formações temporárias podem ocorrer ao longo do tempo devidas às atividades galáticas específicas.

Esse é o ambiente de radiação ionizante a que os sistemas eletrônicos embarcados em satélites estão expostos. Nesse contexto, inúmeras análises e medidas sobre incidência de partículas ionizantes são feitas por diversos autores (STASSINOPOULOS & RAYMOND, 1988; BOUDENOT, 2007; SCHRIMPF, 2007; ECOFFET, 2007; BALEN, 2010) e podem ser consultadas a fim de um aprofundamento maior conforme interesse do leitor.

Devido aos vários obstáculos que as partículas radioativas experimentam ao se dirigir à Terra, quanto mais próximo estivermos da camada superficial, ou ao nível do mar, menor tenderá a ser a presença desses elementos. Entretanto, mesmo ao nível do mar teremos incidência de partículas ionizantes. Desse modo, os satélites que se encontram em órbitas ditas mais altas se encontram expostos de forma muito mais agressiva ou muito mais propensos à incidência de radiação do que um circuito eletrônico que se encontra operando próximo à superfície, entretanto, dadas as diferentes ordens de magnitude dessa comparação, ambos experimentam a incidência de radiação.

Conforme retratado por Ziegler & Lanford (1981) e analisado por Balen (2010), os fluxos de prótons e elétrons são atenuados devido a interações Coulombianas com a atmosfera. Por esse motivo, as partículas de alta energia, isto é, maiores do que 1 MeV, que possuem maior probabilidade de ocasionar danos aos circuitos eletrônicos, ao nível do mar, são os nêutrons (devido a interações secundárias).

O fluxo dessas variadas partículas ao nível do mar é de aproximadamente 500/m<sup>2</sup>s aumentando na faixa de 10 vezes a cada 3 km de acréscimo na altitude com tendência a uma saturação em torno dos 15 km (BAUMANN, 2001).

O autor Balen (2010) ainda retrata que o fluxo de nêutrons ao nível do mar em Nova York, usado com frequência como uma grandeza comparativa em relação a fluxos observados em outras regiões ou altitudes, é de aproximadamente 14 nêutrons/cm<sup>2</sup>h.

A tolerância ou, em outras palavras, a maneira com que um dispositivo reage ao choque dessas partículas ionizantes sem alterar o seu fluxo correto de funcionamento, dentro das suas especificações, deve ser analisada tanto em relação ao tempo de exposição quanto à intensidade do fluxo incidente.

Sistemas eletrônicos utilizados no espaço devem ser tolerantes tanto à incidência de partículas com alta energia quanto a longos períodos de exposição à radiação ionizante, pois, evidentemente, nesses casos a reposição de alguma peça torna-se na maioria das vezes infactível. Do mesmo modo, circuitos que operem em ambientes inóspitos como, por

exemplo, a vizinhança de explosões nucleares ou de reatores nucleares, devem suportar cargas muito altas em um curto espaço de tempo.

Nesse contexto, um circuito eletrônico pode ser considerado tolerante à radiação quando seu desempenho e suas características elétricas possibilitem que seu funcionamento se mantenha dentro das margens de tolerância especificadas, a fim de garantir um processamento de dados válidos durante o tempo em que estiver submetido a incidência de radiação.

## 2.2 Interação da radiação ionizante com o material semiconductor

Os componentes semicondutores e operações de circuitos em ambientes radioativos estão normalmente sujeitos à incidência de um misto de partículas e fótons os quais estão dispostos em um vasto intervalo de energia. Ao longo de sua trajetória através de um sistema físico sólido uma partícula ionizante de alta energia pode perder sua energia cinética de diferentes maneiras, gerando, contudo, diferentes tipos de deterioração das características e propriedades originais da matéria alvo. Não obstante, o montante de energia depositado não depende apenas da massa, carga e energia cinética da partícula incidente, mas também do número atômico, massa e densidade do material alvo (CLAEYS, 2002).

Um feixe de íons, ao adentrar um material, tanto cristalino quanto um sólido amorfo, é gradualmente desacelerado e disperso devido às colisões nucleares e interações elétricas com os átomos. Com isso reduz sua energia através de diversas interações e mecanismos de espalhamento, transferindo essa energia perdida ao meio material que atravessa.

As partículas constituintes do feixe interagem com o material de diversas formas, desde apenas a excitação do retículo cristalino até a expulsão e liberação (ionização) de elétrons deteriorando-o, desse modo, por ionização. Adicionalmente, através do espalhamento Rutherford, é possível que átomos se desorganizem da sua posição original, no retículo cristalino do material alvo, dando origem a deteriorização de deslocamento (*displacement damage*) (OLDHAM, 1987).

Interações definidas por *simples*, como a transferência de momento ao núcleo dos átomos e excitação do retículo cristalino, não degradam os parâmetros elétricos dos dispositivos. Todavia, interações que envolvem trocas de energias mais altas do que as anteriores estão propensas a degradar o dispositivo tanto do ponto de vista transiente quanto em regime permanente, em alguns casos.

Na prática, sob a perspectiva dos circuitos, as degradações em sólidos semicondutores ocorrem devido a dois mecanismos básicos: deslocamento dos átomos de sua respectiva posição e a geração de pares elétron/lacuna (*electron/hole* -  $\bar{e}/h$ ) através de ionização. Em resumo, em termos de simplificação, o que observamos como resultante da interação de íons de alta energia com o semiconductor é que parte da energia é dispersada através de ionização e o restante passa a ser transferido ao material alvo na forma de deslocamento atômico (SROUR, 2003).

Sendo assim, as interações que degradam os dispositivos e que serão abordadas nas próximas seções deste trabalho se dividem em dois grupos, danos por ionização (*ionization damage*) e danos por deslocamento (*displacement damage*).

### 2.3 Mecanismos de degradação por ionização

O dano proveniente da radiação ionizante (*ionization damage*) tem caráter predominante no momento em que uma partícula de alta energia interage com a matéria no estado sólido. Uma partícula ionizante que incide no material, devido às colisões, é capaz de excitar elétrons da banda de valência à banda de condução, gerando, desse modo, pares  $\bar{e}/h$  ao longo da trajetória do material que atravessa. Esse processo está ilustrado na Figura 2 (a) (OLDHAM, 1987; CLAEYS, 2002).

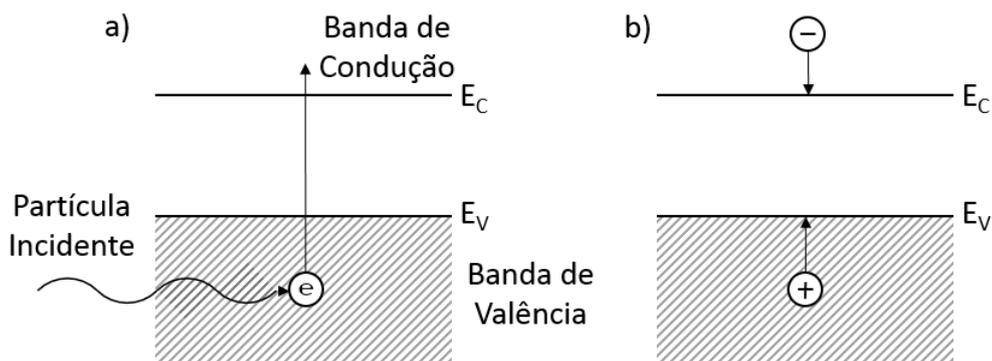


Figura 2: a) Representação da geração de um par  $\bar{e}/h$  e b) sua respectiva recombinação. Adaptada de Oldham (1987).

O tempo de vida, ou o tempo necessário para que haja a recombinação desses pares  $\bar{e}/h$ , depende da energia da partícula incidente. Em uma análise de primeira ordem, quanto maior a energia transferida maior a distância de separação do par  $\bar{e}/h$  criado e, portanto, maior o tempo para que haja a recombinação.

A ordem de grandeza do tempo necessário para a recombinação, em alguns casos, é da ordem de alguns poucos picossegundos (OLDHAM, 1987; ANELLI, 2000). Informações mais detalhadas sobre tempos necessários para recombinação podem ser encontradas em (SHANFIELD, 1989).

De um modo geral, em materiais condutores de baixa resistência, como no caso do *gate* (metal ou Poli Silício) ou do substrato (*Si*) à temperatura ambiente e para quando não há a interferência de campo elétrico externo (presente devido à polarização do dispositivo), a maioria desses pares  $\bar{e}/h$  (mais de 90%) se recombinam e desaparecem, como ilustra a Figura 2 (b).

A Tabela 1 relaciona a energia média de ionização necessária para a geração de um par  $\bar{e}/h$  ( $E_{eh}$ ) com a densidade de pares  $\bar{e}/h$  gerados para alguns materiais comumente

utilizados em dispositivos MOS. No silício é necessária a energia média de 3,6 eV para a criação de um par  $\bar{e}/h$  ao passo que no  $SiO_2$  o limiar é de 17 a 18 eV/par, devido a um maior espaçamento de energia na banda proibida (ANELLI, 2000; CLAEYS, 2002).

Tabela 1: Energias necessárias para geração de pares  $\bar{e}/h$  e densidade de pares gerados por  $6,24 \times 10^{13}$  eV/g. Dados extraídos de Oldham (1987).

Material	Energia de geração de um par ( $E_{eh}$ ) [eV]	Densidade de pares gerados [pares/cm <sup>3</sup> ]
Silício - Si	3,6	$4,0 \times 10^{13}$
Dióxido de Silício - $SiO_2$	17	$8,1 \times 10^{12}$
GaAs – Arseneto de Gálio	~4,8	~ $7 \times 10^{13}$
Ge - Germânio	2,8	$1,2 \times 10^{14}$

Para fótons, por exemplo, processos diferentes causam a ionização do meio. Podemos visualizar esse fato através da Figura 3 onde são referenciadas diferentes interações em função do aumento progressivo da energia de incidência do fóton. Por exemplo: os fótons utilizados foram obtidos por meio de fontes de raio-x de 10 keV, os quais interagem com o Si majoritariamente devido ao efeito fotoelétrico, e os raios- $\gamma$  foram emitidos por fontes de  $^{60}Co$  com energia próxima a 1,25 MeV, os quais interagem com o  $Si$  em grande parte devido ao efeito Compton (ANELLI, 2000).

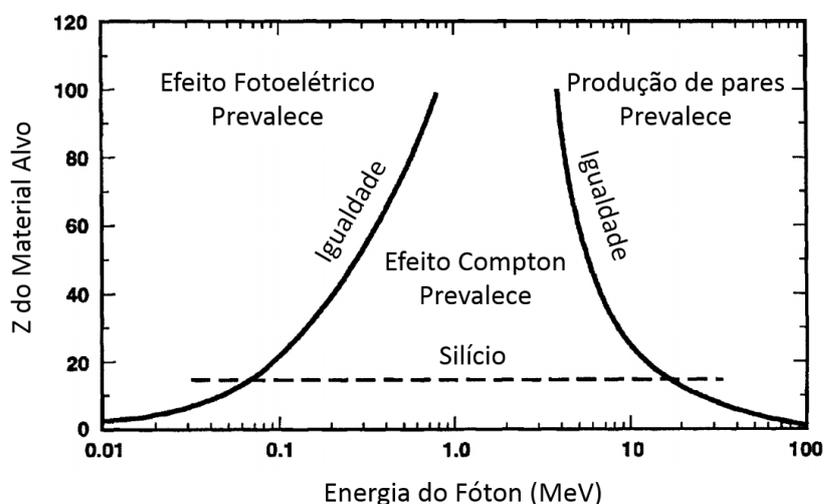


Figura 3: Ilustração resultante das três interações de fótons com o material alvo. As linhas sólidas correspondem à vizinhança entre diferentes efeitos. A linha pontilhada representa a situação do Silício (número atômico  $Z = 14$ ). Adaptada de Oldham (1987).

No limite inferior do espectro, para raios-x de baixa energia (abaixo de 50 keV, no caso do *Si*), ocorre a completa absorção da energia do fóton incidente que é transferida a um elétron fortemente ligado (camada 'k'). Este é o efeito fotoelétrico.

Para fótons incidentes com energias mais altas (a partir dos 50 keV), onde não ocorre uma completa absorção da energia, o efeito Compton passa a prevalecer, nesse caso, após a absorção parcial da energia do fóton incidente através do elétron externo que é emitido.

Finalmente, para energias ainda mais altas de fótons incidentes (acima de 20 MeV), a geração de pares elétron/pósitron torna-se superior (OLDHAM, 1987). Essas duas partículas geradas vão, por sua vez, ionizar o meio.

Em suma, devido à incidência de uma partícula energética, o mecanismo de degradação por ionização ocorre quando um elétron da banda de valência salta para a banda de condução através da banda proibida (*band gap* -  $E_g$ ), deixando para trás uma lacuna livre gerando, como resultado líquido, a criação de um par  $e^-/h$ .

A fim de um maior aprofundamento, para a análise dessas degradações tanto sob a perspectiva de partículas neutras, carregadas ou fótons e outros tipos de interações, como Coulombianas, nucleares, elásticas ou inelásticas, podem ser consultados Oldham (1987), Anelli (2000) e Claeys (2002).

## 2.4 Mecanismos de degradação por deslocamento

Durante o impacto de íons no meio material, a energia transferida durante uma colisão nuclear, seja ela elástica ou inelástica, pode ser suficiente para deslocar um átomo de seu local de origem no retículo cristalino. Nestes casos é ocasionado um deslocamento (*displacement damage*) capaz de alterar o arranjo dos átomos de sua organização original no retículo cristalino (CLAEYS, 2002).

Em outras palavras, como analisado em Oldham (1987), o resultado líquido de danos por deslocamento é a desorganização do retículo cristalino formando defeitos Frenkel.

Defeitos Frenkel se caracterizam pela formação de vacâncias e posições intersticiais, as quais respectivamente definiremos como sendo a ausência de um átomo em uma posição do retículo cristalino, denotada por (*V*), e posições intersticiais pela presença de um átomo fora de sua posição original no retículo cristalino, denotadas por (*I*) (SROUR, 2003).

A Figura 4 (a) ilustra o processo de incidência de um íon de alta energia e (b) representa a geração de danos de vacância *V* e de posições intersticiais *I* devido ao processo de transferência de energia do íon a um átomo da rede cristalina.

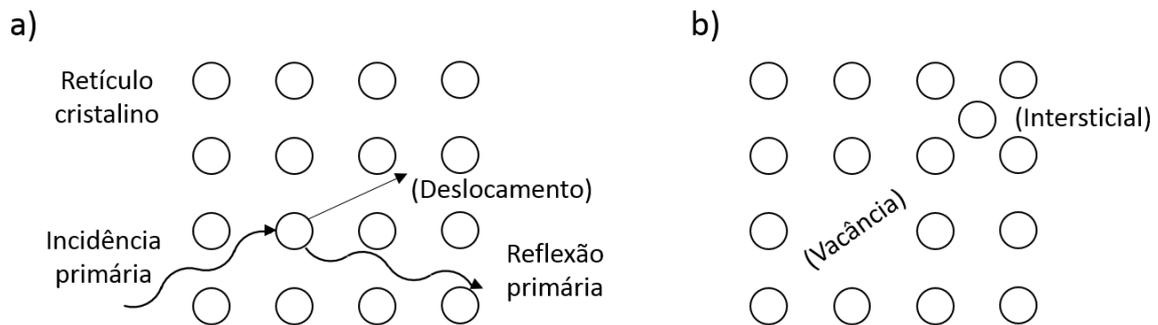


Figura 4: a) Incidência de íon de alta energia e b) locais de vacância e posições intersticiais após a colisão. Adaptada de Oldham (1987).

Esse efeito primário de deslocamento no retículo cristalino, em decorrência da proximidade entre posições *V* e *I*, pode desaparecer do material e em aproximadamente 99% dos casos é o que efetivamente ocorre. Esses efeitos de deslocamento ou se recombinam com o substrato ou migram e permanecem aprisionados como átomos dopantes, dando lugar a outros efeitos de deteriorização secundários mais estáveis (MESSENGER, 1991).

Quando ocorrem colisões inelásticas – sendo que nesse caso a partícula energética é absorvida pelo retículo do núcleo, o qual induz a emissão de núcleons energéticos (partículas

e fótons) e o seu associado decaimento radioativo – a porção de energia que se traduz em defeitos no retículo é normalmente chamada Perda de Energia não-Ionizante (*Non Ionising Energy Loss* - NIEL) (CLAEYS, 2002).

No silício a criação de um par de vacância e posição intersticial (*V/I*) requer uma energia média que se encontra na faixa de 15 a 40 eV. Dada essa ordem de grandeza (alguns eV) e no caso de avaliarmos a incidência de uma partícula na faixa de alguns MeV, notamos que ela não deverá perder toda sua energia em apenas um deslocamento e criará, portanto, vários pares *V/I* ao longo do seu trajeto, isto é, ocorrerá uma colisão em cascata (CLAEYS, 2002).

Essas colisões subseqüentes produzem uma região com elevada densidade de defeitos conhecida como *subcluster terminal* ou subcascata (SROUR, 2003).

As vacâncias e posições intersticiais remanescentes são, no entanto, móveis e se difundem até formarem compostos complexos, como analisa Both (2013). As vacâncias podem formar defeitos estáveis com dopantes tipo n, com átomos de oxigênio e ainda com outras vacâncias (também chamadas união de duas vacâncias ou divacância) (MESSENGER, 1991). As posições intersticiais não formam, aparentemente, defeitos eletricamente ativos e, por isso, não contribuem para a degradação do material semiconductor (MESSENGER, 1991).

Todavia vale lembrar que a incidência desses efeitos de deslocamento atômico é muito insignificante no espaço, onde ocorrem na ordem de centenas a milhares de vezes em menor quantidade do que a geração de pares  $\bar{e}/h$ , desse modo esses efeitos são pouco considerados ou até mesmo negligenciados na eletrônica de aplicação espacial, salvo alguns tipos específicos de dispositivos.

Pelo fato de não se tratar de uma fonte majoritária provendo desvios e alterações na funcionalidade dos dispositivos MOS, este trabalho não se aprofundará nessas análises. Para informações mais detalhadas sobre *displacement damage* o leitor pode consultar Messenger (1991), Rosenfeld (1992), Srouf (2003) e Both (2013).

### 3 Efeitos das radiações ionizantes na funcionalidade de transistores MOS

No capítulo anterior vimos que os materiais semicondutores que compõem os circuitos integrados estão sujeitos a experimentar a interação de uma série de partículas dentro de um vasto espectro de energia ao operar nos ambientes de radiação. Analisamos, também, que a transferência de energia pode ocasionar tanto degradações por ionização quanto por deslocamento (CLAEYS, 2002).

Abordaremos agora os efeitos provenientes da radiação ionizante sob o ponto de vista de características elétricas do circuito em dois grupos: efeitos de caráter transiente e efeitos de caráter cumulativo.

Os efeitos de caráter transiente, também chamados Efeitos de Eventos Únicos (*Single Event Effects* – SEE), ocorrem devido à interação de partículas com grande capacidade de ionização que ao adentrarem o material de silício geram um caminho transitório constituído por elementos ionizados (pares  $\bar{e}/h$ ) dispostos sob uma distribuição radial que permeia o percurso da partícula incidente.

Esse caminho composto por elementos ionizados e elétrons livres, ou seja, pares  $\bar{e}/h$ , pode possuir carga móvel suficiente de forma a conduzir um pulso de corrente frente à presença do campo elétrico externo devido à polarização do transistor. Dependendo ainda da intensidade e da região em que flui essa corrente, ela é capaz de ocasionar falhas que podem ser permanentes na estrutura do dispositivo, chamadas, nesse caso, Eventos Únicos Permanentes ou Catastróficos (*hard errors*) ou, se ocasionam falhas não-destrutivas, Eventos Únicos Transientes ou Não-Catastróficos (*soft errors*).

Os efeitos de caráter cumulativo, também chamados Efeitos de Dose Total ou Dose Ionizante Total (*Total Ionization Dose* – TID) ocorrem devido ao acúmulo de cargas nos materiais que compõem os transistores do circuito integrado e que se manifestam por longo prazo. Esse acúmulo de cargas altera propriedades e parâmetros elétricos do dispositivo. No entanto, algumas dessas alterações podem ser reversíveis ou amenizadas por processos de recozimento (*Annealing*).

Devido à complexidade dos fenômenos físicos envolvidos, equações e modelagens sob diversas abordagens são referenciadas na literatura de forma a permitir classificar e estudar melhor algum determinado evento ou defeito físico gerado no dispositivo. Entretanto, sob a perspectiva das características elétricas dos dispositivos, a análise primordial da resultante desses efeitos com relação ao funcionamento do dispositivo MOS, adotada por este trabalho,

considera aprofundar a análise desses efeitos e áreas sensíveis do circuito de acordo com a seguinte classificação:

- Efeitos de Eventos Únicos (*Single Event Effect - SEE*)
  - Eventos Únicos Transientes (*Soft Errors*)
  - Eventos Únicos Permanentes (*Hard Errors*)
- Efeitos de Dose Total (*Total Ionization Dose - TID*)

Para informações mais detalhadas e classificações de Efeitos de Eventos Únicos pode ser consultado Schrimpf (2004). Na próxima seção analisaremos o impacto que as degradações de Efeitos de Eventos Únicos podem causar no desempenho e nas características elétricas dos dispositivos MOS analisando os efeitos em dois momentos: degradações transientes e de regime permanente.

### 3.1 Efeitos de eventos únicos (SEE)

Quando uma partícula ou um feixe de íons de alta energia (como prótons, nêutrons, partículas  $\alpha$  e íons pesados) atravessa camadas isolantes, semicondutoras ou até mesmo todo o dispositivo MOS, ela gera um rastro (uma densa distribuição radial) de pares  $\bar{e}/h$  ao longo de toda sua trajetória. Desse modo, tomando como exemplo uma definição apresentada pelo padrão *JEDEC*, Efeitos de Eventos Únicos indicam qualquer alteração mensurável ou observável em um estado ou performance de um dispositivo microeletrônico, componente, subsistema ou sistema (digital ou analógico) como resultado da incidência de uma única partícula energética (MUNTEANU, 2008).

Nesse caso, e mais especificamente no metal de *gate*, os elétrons são excitados dentro da banda de condução ou até mesmo podem saltar para bandas mais externas, retornando sem causar efeitos posteriores. No caso de um semicondutor, como, por exemplo, o silício, que compõe o substrato, essa perturbação de cargas adicionais pode ocorrer em uma região sensível do circuito, conforme abordaremos posteriormente, o que pode acarretar defeitos transientes ou mesmo danificar permanentemente a sua estrutura causando um defeito permanente (BÖTTCHER, 1996).

#### 3.1.1 Eventos únicos transientes

O caminho formado pela disposição radial de pares  $\bar{e}/h$  criados após a incidência transversal de uma partícula de alta energia sob um transistor NMOS polarizado está ilustrado na Figura 5.

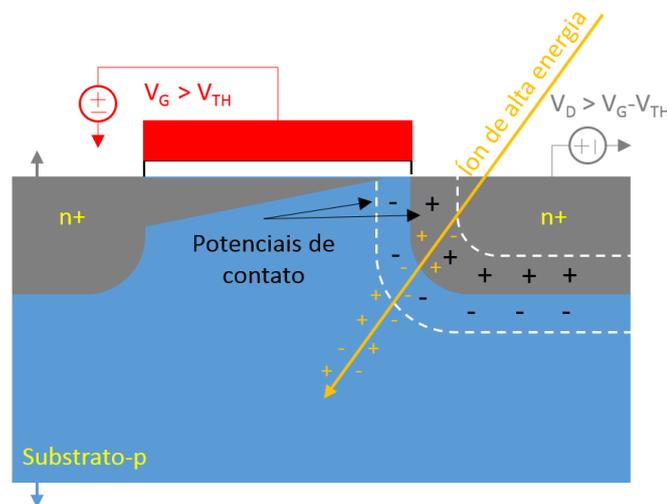


Figura 5: Geração de pares  $\bar{e}/h$  no dispositivo MOS devido à incidência de um íon de alta energia. Adaptada de Distribution of EHPs.

Após a geração dos pares  $\bar{e}/h$  a maioria dessas cargas são imediatamente deslocadas para suas respectivas polaridades opostas devido à presença do intenso campo elétrico na região de depleção, a qual é compreendida pela área entre as linhas pontilhadas (na cor branca) na Figura 5.

Nesse caso, conforme apontado pelas setas amarelas, na Figura 6, os elétrons movem-se em deriva no sentido do potencial mais positivo, estabelecido na região N+ da junção, ao passo que as lacunas migram no sentido do potencial mais negativo, estabelecido na região P. Desse modo ocorre a migração líquida de portadores, possibilitando que se estabeleça uma corrente de deriva (*drift*) através do caminho formado. A quantidade total de corrente envolvida nesse processo, ou pulso de corrente, é responsável por uma queda de tensão no terminal. Essa queda de tensão, por sua vez, pode ser temporária, se o terminal estiver polarizado, ou até mesmo permanente, se ele se encontrar sem polarização.

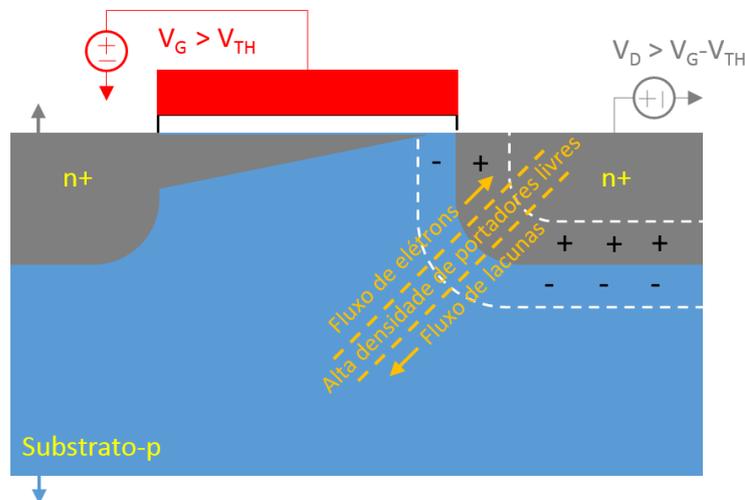


Figura 6: Indicação do deslocamento predominante de portadores positivos e negativos no transistor NMOS. Adaptada de Drift of Carriers.

A Figura 7 ilustra o comportamento do pulso de corrente gerado após o deslocamento líquido das cargas e as respectivas correntes de deriva e de difusão.

Nesse contexto, sob a perspectiva de uma lógica digital, por exemplo, podem ser consideradas regiões críticas (ou sensíveis do dispositivo) nas quais a incidência da partícula ionizante permite, através da polarização, que circule corrente. Não obstante, a movimentação de carga nas junções de dreno que se encontram reversamente polarizadas (ou mesmo com o transistor polarizado acima da tensão de *threshold*) pode acarretar em uma mudança de estado do nível lógico 0 para 1 (ou vice-versa), o que, nesse caso, ocasionará em um erro transitente.

Para mensurar eventos únicos transientes utiliza-se comumente a métrica da taxa de ocorrência deles por unidade de tempo (*Soft Error Rate - SER*) (BAUMANN 2001).

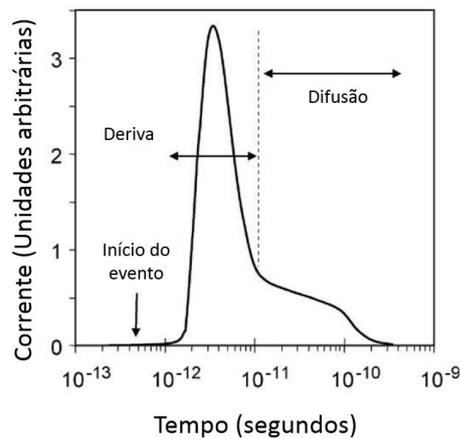


Figura 7: Pulso de corrente gerado após incidência transversal de uma partícula de alta energia sob um transistor NMOS polarizado. Adaptada de Baumann (2005).

Como analisado em Balen (2010), as tendências tecnológicas, como a redução da dimensão dos transistores e o aumento significativo da densidade de transistores em um único *chip*, os sistemas têm se tornado cada vez mais suscetíveis a Eventos Únicos Transientes, tendo como principal motivo a redução dos valores de carga armazenados nos nós dos circuitos digitais permitindo, assim, que a carga coletada em um Evento Único seja suficiente para perturbar o circuito.

Desse modo uma das consequências de perturbações transientes tem impacto na confiabilidade em lógicas digitais dos dispositivos e em memórias de tecnologia MOS.

Como, de um modo geral, esse problema é mais sensível a circuitos digitais, gerando inversão de valores armazenados em uma célula de armazenamento de dados digitais (*bit*) (KARNIK 2004), técnicas comuns implementadas, a fim de proteger os circuitos para erros de inversão de *bits* digitais, são constituídas de redundâncias e votadores majoritários (*majority voter*) como, por exemplo, a Redundância Modular Tripla (*Triple Modular Redundancy - TMR*) (NEUMANN, 1956).

Devido ao fato de que há uma sensível redução da probabilidade de que uma falha (em decorrência de um evento único) ocorra no mesmo instante de tempo e na mesma região do dispositivo em blocos replicados, a técnica de TMR visa à triplicidade do dispositivo de interesse de modo que, no caso de ocorrência de uma falha, um votador majoritário gere uma saída global correta com base nos valores lógicos de saída da maioria dos blocos (NEUMANN, 1956).

Explicações mais detalhadas sobre Eventos Únicos Transientes e respectivas modelagens podem ser consultados em Messenger (1982), Claeys (2002), Karnik (2004) e Balen (2010).

### 3.1.2 Eventos únicos permanentes

Ao contrário dos Eventos Únicos Transientes vistos na seção anterior, os Eventos Únicos Permanentes danificam permanentemente o dispositivo.

Como apresentado na seção transversal de um inversor em tecnologia CMOS em um processo poço-n sobre substrato tipo p da Figura 8 (a) e o respectivo circuito equivalente da Figura 8 (b), em adição aos transistores NMOS e PMOS, o circuito é composto de um transistor NPN, um PNP e dois resistores conectados entre as linhas de alimentação positiva e de terra do circuito (WESTE 2011).

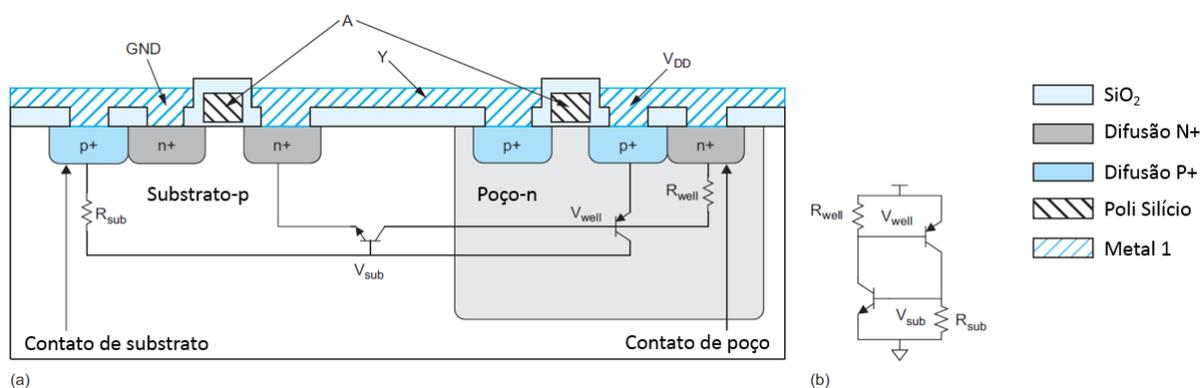


Figura 8: a) Seção transversal de um inversor na tecnologia MOS com bipolares parasitas b) Circuito equivalente dos elementos parasitas. Adaptada de Weste (2011).

O transistor PNP vertical é formado entre a difusão P+ do transistor NMOS ligado à referência de terra (substrato do tipo p), substrato do tipo n e difusão P+ (estes últimos dois referentes ao transistor PMOS). O transistor NPN lateral é formado pela difusão N+, pelo substrato tipo p e pelo poço tipo n. Os resistores, por sua vez, representam as resistências encontradas ao longo do substrato ou poço ( $R_{sub}$  e  $R_{well}$ , respectivamente).

Normalmente, ambos os transistores bipolares parasitas estão desligados, visto que idealmente deve-se ter um caminho de alta impedância entre os terminais de alimentação ( $V_{DD}$ ) e o referencial de terra ( $GND$ ), entretanto, devido à presença de radiação, a realimentação positiva (devido à base de cada um dos transistores parasitas estar conectada ao coletor do outro transistor) pode ser ativada.

Sendo assim, quando um dos transistores começa a conduzir, o outro, por consequência, também começa a conduzir, fechando desse modo um laço de realimentação que gera um curto circuito entre as linhas de alimentação (GND e  $V_{DD}$ , na Figura 8).

Quando essa corrente de curto circuito, gerada através desse fenômeno chamado *latchup*, for suficientemente alta, tanto as trilhas de alimentação quanto as regiões semicondutoras podem se danificar permanentemente (SEXTON, 2003).

Caso haja a polarização direta de uma das junções de base/emissor dos dois transistores e caso o produto do ganho dos transistores (ou *betas*) ( $\beta_n$  e  $\beta_p$ ) seja maior que 1, ou seja,  $\beta_n\beta_p > 1$ , os dispositivos irão se manter conduzindo (JACOBUS), com formação de um caminho de baixa impedância, entre a fonte ( $V_{DD}$ ) e a referência de terra, que permanecerá ativo até que a excitação inicial seja removida ou, em alguns casos, sendo até mesmo necessária a remoção da alimentação externa para desativá-lo.

Esse problema de *latchup* é inerente ao projeto *Bulk* e esse é, inclusive, um dos motivos pelos quais nunca se utiliza a circulação de corrente através do substrato. Ainda com relação a esse problema, uma situação que deve ser evitada é a chamada *poço quente* na qual um determinado poço não está conectado nem à fonte ( $V_{DD}$ ) e nem à referência de terra através de um caminho de baixa resistência, pois, desse modo, além de degradar a performance do dispositivo, pode ocorrer a situação de *latchup*.

Em circuitos CMOS fabricados com a tecnologia SOI, o isolamento dielétrico elimina a estrutura PNP. Por esse motivo, os dispositivos são intrinsecamente imunes ao efeito do *latchup* (SCHWANK & FERLET-CAVROIS *et al.*, 2003).

Um mecanismo de falha, observado mais comumente em transistores bipolares de potência, conhecido como *Single Event Burnout* (SEB), ocorre quando a passagem de um íon de alta energia, através do dispositivo, provoca a geração de um denso plasma de pares  $\bar{e}/h$  que, sob a influência de uma polarização do terminal de dreno, produzem uma corrente de elevada densidade. Essa corrente resultante, se não for rapidamente drenada, pode gerar uma falha destrutiva no dispositivo (SEXTON, 2003).

Nos dispositivos MOS um efeito secundário que ocorre, em geral após um SEB, é o efeito de *Single Event Gate Rupture* (SEGR) o qual representa a ruptura do isolamento entre o *gate* e o canal do dispositivo MOS. Segundo observa Sexton (2003), as primeiras ocorrências foram observadas em transistores NMOS que serviam de base para memórias não-voláteis, como memórias do tipo *Erasable Alterable Read Only Memories* (EAROMs).

A Figura 9 ilustra a distribuição de elétrons e lacunas após a passagem de um íon de alta energia através da estrutura do dispositivo MOS. Conforme analisa Both (2013), se assumirmos um dispositivo MOS de canal tipo n, como mostrado na Figura 9, com o dreno positivamente polarizado e o *gate* ligado ao terminal de terra, devido à polarização do terminal de dreno, os portadores gerados são separados no substrato. Os elétrons são rapidamente movidos para o substrato N<sup>+</sup>, onde não influenciam o comportamento do dispositivo. Por outro lado, as lacunas são transportadas para a interface entre óxido e semiconductor, produzindo um campo elétrico transiente através do isolante do *gate*. A intensidade do campo aumenta conforme as lacunas se acumulam na interface e diminui à medida que estas são coletadas lateralmente.

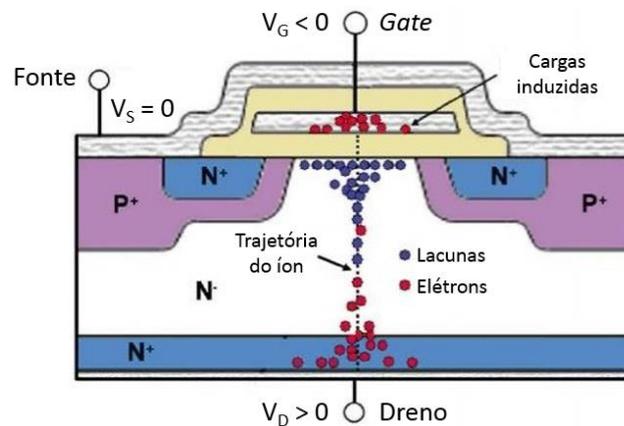


Figura 9: Distribuição de elétrons e lacunas após o choque de um íon de alta energia. Adaptada de Gate Rupture.

Esse efeito pode gerar a ruptura do dielétrico na proximidade do caminho percorrido pelo íon ou feixe de íons. Desse modo, a estrutura do capacitor MOS descarrega pelo caminho que foi percorrido pelo íon, elevando a temperatura das estruturas próximas e, finalmente, levando a falha do isolante de modo a curto circuitar o *gate* ao substrato.

Um último efeito abordado nesta seção, com relação a fenômenos de caráter permanente, é referenciado na literatura como *Single Event Induced Snap-Back* (SES). O mecanismo chamado *snap-back* está representado na Figura 10 e consiste em uma condição estável regenerativa semelhante ao *latchup*, causada pela ruptura do caminho entre fonte/dreno de transistores NMOS.

Assim como ocorre no *latchup*, abordado anteriormente, uma alta corrente pode causar danos permanentes ao dispositivo. Porém, nesse caso, não é necessária uma estrutura de

quatro camadas PNP para que se ative o *snap-back*. Por essa razão, ele é frequentemente referido como *transistor latchup*.

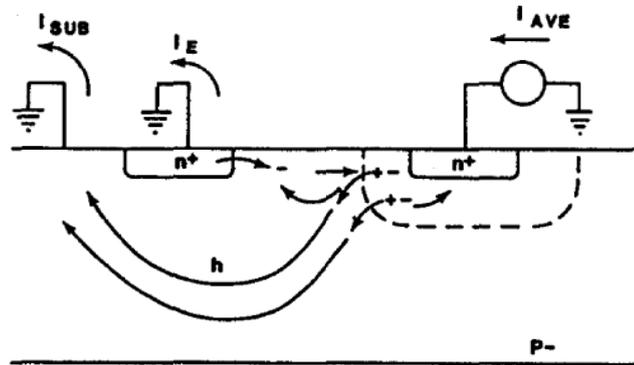


Figura 10: Representação do efeito de *snap-back*. Extraída de Sexton (2003).

O *snap-back* é ativado pela ruptura em avalanche da junção do dreno, injeção de corrente através do substrato do transistor NMOS, ou ainda por um excesso de corrente próximo à junção do dreno, gerado pela passagem de um íon pesado ou por um pulso de radiação (SEXTON, 2003). A incidência de um pulso de radiação resulta em uma injeção e multiplicação em avalanche de lacunas na região do dreno que, por sua vez, tendem a fluir na direção do contato de substrato do transistor reduzindo a barreira de potencial entre fonte e a região do substrato (SEXTON, 2003).

Com essa redução da barreira de potencial, elétrons são injetados através da fonte no substrato, seguindo em direção ao dreno e, conseqüentemente, elevando a corrente do dispositivo. Se o campo elétrico no substrato for suficientemente intenso, um número maior de pares elétron-lacuna serão gerados, realimentando o processo (SCHWANK, FERLET-CAVROIS *et al.*, 2003).

As dimensões do canal do transistor influenciam diretamente a ocorrência de *snap-back*, pois a redução do comprimento do canal (KOGA & KOLASINSKI, 1989) e o aumento da largura (DODD, SHANEYFELT *et al.*, 2000) reduzem a tensão de dreno necessária para a ocorrência do *snap-back*.

O *snap-back* não ocorre em transistores de canal tipo p devido ao fator multiplicativo em avalanche das lacunas ser menor do que o dos elétrons (SEXTON, 2003). Dispositivos fabricados com a tecnologia SOI, embora imunes ao *latchup*, são susceptíveis ao *snap-back* (SCHWANK, FERLET-CAVROIS *et al.*, 2003).

### 3.2 Efeitos de dose total (TID)

Os Efeitos de Dose Total, Efeitos de Dose Ionizante Total ou ainda Efeitos de Carga Total (*Total Ionization Dose* - TID), assim classificados, são fenômenos de caráter cumulativo, ou seja, efeitos produzidos após uma partícula ionizante entrar em contato com o dispositivo e que não são desfeitos ao longo do tempo ou, em outras palavras, representam, no dispositivo, o acúmulo dos efeitos decorrentes da radiação ionizante ao longo do tempo.

Em nossa abordagem, definiremos inicialmente a quantidade de energia depositada por grama de material como *dose* definida pelo acrônimo (D). A unidade padrão no SI adotada para a dose é o Gray (Gy), porém por questões históricas a literatura convencionou utilizar a unidade (rad), acrônimo que tem origem na expressão inglesa (*Radiation Absorbed Dose*).

A equação 1 relaciona essas duas grandezas, porém em nosso trabalho adotaremos a unidade (rad).

$$1 \text{ Gy} = 100 \text{ rad} \quad (1)$$

Outras duas associações, com respeito às unidades no SI, referenciadas nas equações 2 e 3, relacionam as unidades da equação 1 através da razão entre massa e energia.

$$1 \text{ Gy} = 1 \cdot \frac{\text{J}}{\text{Kg}} \quad (2)$$

$$1 \text{ rad} = 6,24 \cdot 10^{13} \frac{\text{eV}}{\text{g}} \quad (3)$$

Em concordância com as nomenclaturas e variáveis propostas de forma majoritária pela literatura definiremos a densidade de partículas incidentes em uma determinada área de material como Flux, e a divisão das grandezas que compõe sua unidade definiremos como (partículas/cm<sup>2</sup>.s). Ao somatório das partículas incidentes nessa determinada área em um dado período de tempo chamaremos Fluence, de forma que matematicamente integramos o Flux sob um período de tempo. Desse modo, o Flux ( $\phi$ ) será expresso em (partículas/cm<sup>2</sup>.s) e o Fluence ( $\Phi$ ) será expresso em (partículas/cm<sup>2</sup>).

A perda, ou a transferência de energia, de partículas radioativas ionizantes ao interagir com a matéria em uma determinada distância é chamada Transferência Linear de Energia (*Linear Energy Transfer* - LET). Essa transferência de energia é função da densidade do material alvo ( $\rho_m$ ) e da forma como ele perde energia, chamada Potência de Parada (*Stopping Power*), referenciado pela razão ( $dE/dx$ ) na equação 4 (CLAEYS, 2002).

Utilizando o acrônimo *LET* e determinando a distância de interação em termos unitários, expressamos LET por (MeV.cm<sup>2</sup>/g). Desse modo, a equação 4 resume a função de transferência de energia linear.

$$LET = \frac{1}{\rho_m} \cdot \frac{dE}{dx} \quad (4)$$

Onde:

$\rho_m$  é a densidade do material (g/cm<sup>3</sup>).

$E$  é a energia da radiação (MeV).

$x$  denota a distância percorrida pela partícula (cm).

Pelo fato de que a energia depositada no material depende da densidade deste, usualmente identificamos o objeto alvo entre parênteses como rad (Si), rad (SiO<sub>2</sub>) ou rad (GaAs) para o Silício, Dióxido de Silício e Arseneto de Gálio, respectivamente.

Ilustrados pela equação 5, fatores de conversão entre a dose desses materiais são fornecidos pela literatura (CLAEYS, 2002).

$$1 \text{ rad (Si)} = 0,58 \text{ rad (SiO}_2\text{)} = 0,94 \text{ rad (GaAs)} \quad (5)$$

Ainda podemos expressar a potência de parada conforme a equação 6 (CLAEYS, 2002).

$$-\frac{dE}{dx} = 2 \cdot P \cdot q^4 \cdot Z_1^2 \cdot Z_2 \cdot N_{at} \cdot \frac{M_2}{m} \cdot \frac{1}{E} \cdot \ln\left(\frac{4 \cdot E}{E_{eh}}\right) \quad (6)$$

Onde:

$Z_1$  e  $Z_2$  são os números atômicos das cargas da partícula incidente e do material alvo, respectivamente.

$N_{at}$  é densidade atômica do alvo (átomos/cm<sup>3</sup>).

$M_2$  é massa atômica (g).

$m$  é a massa da partícula incidente (g).

$E$  é a energia da partícula incidente (keV ou MeV).

$E_{eh}$  é a energia média de ionização definida anteriormente (na seção 2.3) (eV).

$P$  é o número de parada do material (-).

$q$  é a carga absoluta do elétron ( $1,602 \times 10^{-19}$  C).

Foi, ainda, demonstrado experimentalmente que a potência média de parada no silício é dada por Claeys (2002):

$$\frac{dE}{dx} = \frac{80}{(v/c)^2} \quad (7)$$

Onde:

$c$  é a velocidade da luz ( $3 \times 10^8$  m/s).

$v$  é a velocidade da partícula (cm/s).

A parte mais sensível de uma estrutura MOS à radiação ionizante é o  $SiO_2$ . Quando uma partícula ionizante atravessa a estrutura do óxido, pares  $\bar{e}/h$  são criados (OLDHAM, 1987) e a separação desses pares  $\bar{e}/h$  ocorre durante alguns picossegundos.

Na primeira fração desses picossegundos muitos desses pares acabam se recombinando (SZE, 2007), porém, nos casos de pares  $\bar{e}/h$  gerados através de uma energia maior em adição à presença de campo elétrico externo, pode haver a migração de carga antes que ocorra a recombinação.

Como ilustrado na Figura 11, uma vez que os portadores se encontram livres eles passam a se locomover de modo a migrar para locais em que haja o acréscimo do módulo do campo elétrico.

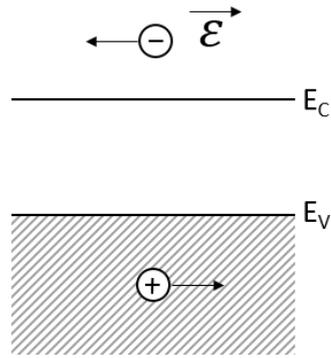


Figura 11: Migração de cargas devido a presença de campo elétrico externo. Adaptada de Oldham (1987).

De acordo com a ilustração da Figura 12, a qual representa esses fenômenos no contexto do dispositivo MOS, a geração de um par  $\bar{e}/h$  experimenta a presença de um campo elétrico externo, possibilitando, desse modo, que haja o efeito de deslocamento dessas cargas.

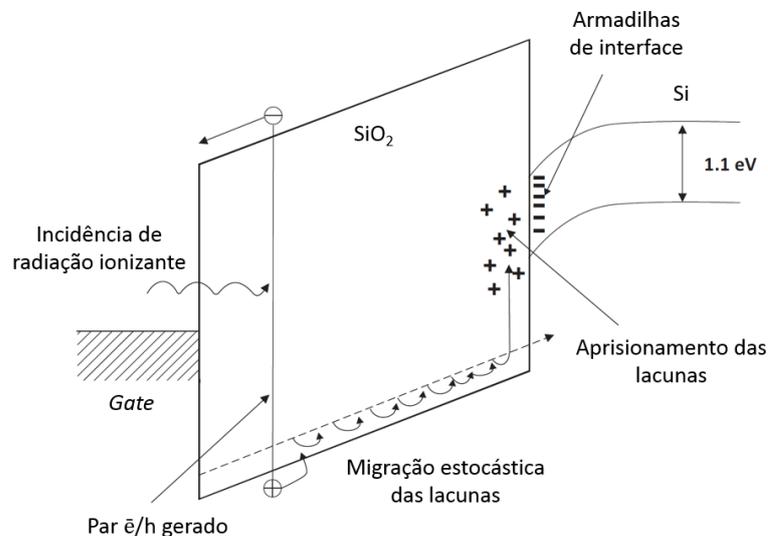


Figura 12: Transporte de cargas e efeitos TID em dispositivo MOS. Adaptada de Barnaby (2006).

No caso de uma polarização positiva em um NMOS, percebemos que as lacunas deslocam-se em direção à interface do  $Si/SiO_2$ , experimentando um fenômeno estocástico de migração através de pequenos saltos entre centros de aprisionamento de cargas localizados na estrutura do óxido (OLDHAM 1987). Os elétrons, por sua vez, são removidos do óxido migrando em direção ao *gate* (ANELLI, 2000).

Conduzidas por esse fenômeno estocástico de transporte, as lacunas migram até chegarem a regiões muito próximas (a alguns poucos nanômetros) ou mesmo até a interface entre o dióxido de silício e o silício do substrato ( $Si/SiO_2$ ). Nessas regiões de fronteira, essas

cargas positivas tendem a permanecer indeterminadamente, devido à presença de centros de aprisionamento de cargas.

Esse acúmulo de cargas, dependendo da quantidade, pode promover que haja uma inversão de população sob o substrato alterando as características elétricas do dispositivo. Desse modo, os efeitos de ionização que ocorrem no dióxido de silício são a causa dos defeitos relacionados à TID em dispositivos CMOS (BÖTTCHER, 1996).

O aprisionamento de cargas no óxido, como apontado na Figura 13, pela região de *oxide traps*, tem sua análise estendida com relação à proximidade em que se encontra da interface entre o óxido e o substrato. Desse modo, nas duas próximas seções, esse aprisionamento será analisado em relação às armadilhas de interface (*interface traps*), que se encontram na interface entre o  $Si/SiO_2$ , na Figura 13, e às armadilhas de fronteira, chamadas *border traps* na Figura 13, que se encontram em uma região mais interna do óxido.

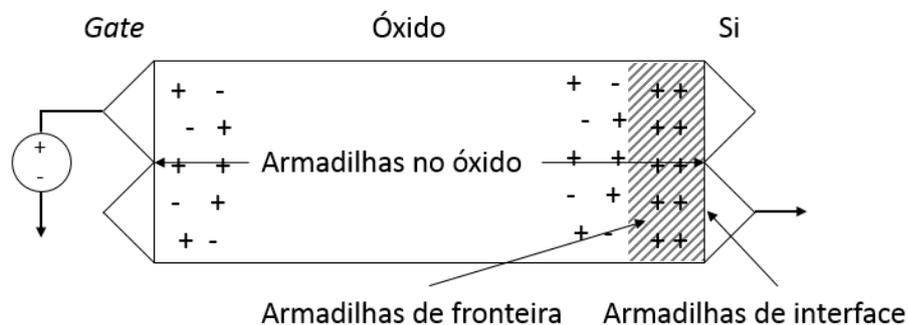


Figura 13: Localização das cargas aprisionadas no  $SiO_2$ . Adaptada de Barnaby (2006).

### 3.2.1 Armadilhas próximas à interface

Conforme introduzido no capítulo anterior, as *border traps*, ou ainda chamadas *switching oxide traps* (FLEETWOOD, 1992; LELIS, 1994), são definidas pelas armadilhas que se encontram próximas à interface entre o  $Si/SiO_2$ .

A transição da estrutura cristalina, a partir do silício ( $Si$ ) para o dióxido de silício ( $SiO_2$ ), ocupa o lugar de uma fina camada atômica, no entanto os primeiros poucos nanômetros de óxido são enriquecidos com ligações sob um forte estresse mecânico e com vacâncias de oxigênio que incentivam o aprisionamento de lacunas (*hole trapping*) (BÖTTCHER, 1996).

Uma técnica chamada *Electron Spin Resonance* (ESR) (BÖTTCHER, 1996) revelou os locais aonde as lacunas são capturadas nas vacâncias de oxigênio chamando-os defeitos ou

centros  $E'$ . A Figura 14 (a) ilustra um centro  $E'$  onde há a ligação entre dois átomos de silício sem que haja um átomo de oxigênio entre eles.

Estas fracas ligações entre os átomos de  $Si$  são consideradas, a priori, defeitos de caráter neutro no dispositivo, porém sob a incidência de radiação a vacância de oxigênio facilita o aprisionamento de lacunas.

A literatura referencia, basicamente, dois tipos de defeitos  $E'$ : Os defeitos  $E'_\gamma$  e  $E'_\delta$  (BARNABY, 2006). Os centros  $E'_\gamma$ , representados pela Figura 14 (b), formam, para as lacunas, armadilhas relativamente profundas (distâncias maiores do que 3 nm) na estrutura do óxido em relação à interface do  $Si/SiO_2$  (BARNABY, 2006). Essa captura provoca uma relaxação assimétrica da estrutura (NICKLAW, 2002).

Os centros  $E'_\delta$  formam, para as lacunas, armadilhas relativamente superficiais (distâncias menores do que 3nm) da interface entre  $Si/SiO_2$ . Essa captura provoca uma relaxação simétrica da estrutura na qual dois átomos de silício compartilham um único elétron, processo representado na Figura 14 (c) (NICKLAW, 2002).

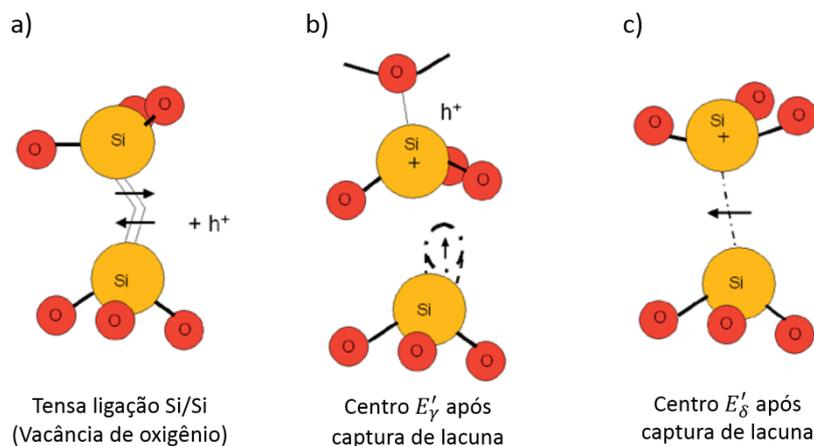


Figura 14: a) Ligação tensa entre moléculas de  $Si$  (Vacância de oxigênio), b) Centro  $E'_\gamma$  e c) Centro  $E'_\delta$  após captura de lacuna. Adaptada de Nicklaw (2002).

O nível superficial das armadilhas dos centros  $E'_\delta$  fazem com que eles sejam bons candidatos para o tipo de defeito responsável por transporte de lacunas através do  $SiO_2$ . Os defeitos dos centros  $E'_\gamma$ , significativamente mais profundos na estrutura do  $SiO_2$ , apresentam níveis de energia superiores a 3 eV, ao passo que os defeitos  $E'_\delta$ , muito mais próximos à interface do  $Si/SiO_2$ , apresentam níveis de energia de 0,5 eV a 1 eV em relação à banda de valência do  $SiO_2$  (NICKLAW, 2002; BARNABY, 2006).

A habilidade de os defeitos se comunicarem com o *Si* é fortemente dependente da proximidade com que se encontram da interface, desse modo um dos desdobramentos do fato de estruturas  $E'_\gamma$  se encontrarem em uma região mais interna da estrutura do óxido remete a uma probabilidade muito menor de emissão e captura de cargas do que em comparação às que se localizam mais próximas da interface. Logo, os centros  $E'_\delta$  devem ser responsáveis não somente por interagir com uma frequência maior com o *Si* como também consequentemente ter um acúmulo mais expressivo de cargas aprisionadas.

O trabalho de Barnaby (2006) indica que os defeitos  $E'_\delta$  podem interagir com o *Si* em intervalos de tempo da ordem de milissegundos. Os centros  $E'_\gamma$ , por sua vez, têm uma propensão a interação em intervalos maiores como da ordem de 1 segundo. Contudo, conforme analisado em Barnaby (2006), em análises DC é bastante difícil isolarmos as influências dos centros  $E'_\gamma$  e  $E'_\delta$  de forma a permitir analisá-los separadamente.

Algumas técnicas no intuito de analisar as contribuições individuais dos centros  $E'$  podem ser encontradas pelo leitor em Winokur (1994), McWhorter (1996) e Barnaby (2006).

### 3.2.2 Armadilhas de interface

Assim como as *border traps*, as armadilhas presentes na interface do óxido (*interface traps*), que têm origem durante o processo de oxidação térmica, possibilitam a troca de cargas (captura e emissão de portadores - em decorrência da ionização) com a camada adjacente do silício (BARNABY, 2006).

Contudo, ao contrário das *border traps*, as *interface traps* estão localizadas exatamente na interface entre o *Si/SiO<sub>2</sub>*. Com isso não há essencialmente uma barreira frente à captura e emissão dos portadores permitindo que essas trocas ocorram a uma frequência maior.

Em analogia aos defeitos  $E'$ , citados na seção anterior, Barnaby (2006) classifica os defeitos de interface como ligações incompletas, chamadas defeitos  $P_b$ , os quais ainda recebem duas subclassificações distintas:  $P_{b0}$  e  $P_{b1}$ .

Os centros de defeitos  $P_{b0}$  representam um átomo de silício trivalente ligado a três átomos de silício e à outra ligação incompleta, estendendo-se para o interior do óxido. Essa configuração de defeito, como ilustrado na Figura 15, pode estar presente em três configurações possíveis de silício, identificadas por (a) (111), (b) (110) e (c) (100) (BARNABY, 2006).

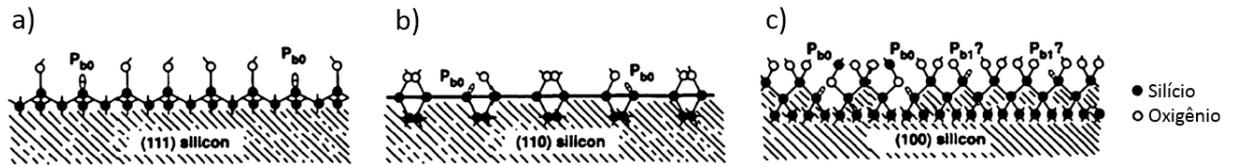


Figura 15: Defeitos  $P_{b0}$  e  $P_{b1}$  e posicionamento em estruturas de Si do tipo (a) (111), (b) (110) e (c) (100) (BARNABY, 2006).

Os centros de defeitos  $P_{b1}$  representam um átomo de silício ligado a outros dois átomos de silício, a um átomo de oxigênio e uma outra ligação incompleta. Essa configuração de defeito, como ilustrado na Figura 15, pode estar presente em configurações do tipo (110) e (100) do silício como ilustram (b) e (c). Os centros  $P_{b0}$  são mais abundantes e apresentam impacto maior do que os centros  $P_{b1}$  (BARNABY, 2006; BOTH, 2013).

Conforme analisa Both (2013), as *interface traps* podem assumir cargas líquidas positivas, negativas ou neutras. Em outras palavras, de acordo com o potencial aplicado ao *gate* do dispositivo, essas armadilhas se deslocam para cima e para baixo do nível de Fermi, podendo ser classificadas como doadoras (*donnors*) ou aceitadoras (*acceptors*).

Both (2013) analisa ainda que, quando um capacitor tipo n está em inversão (situação de condução de um PMOS), as *interface traps* doadoras, de carga positiva, são dominantes. Da mesma forma, quando um capacitor tipo p está em inversão (situação de condução de um NMOS) as *interface traps* aceitadoras, de carga negativa, são dominantes.

Assim como visto no capítulo anterior, em análises DC é difícil distinguir alguns defeitos  $E'$  (principalmente os  $E'_\delta$  que se encontram mais próximos da interface) dos defeitos  $P_b$  (BARNABY 2006). Contudo, a troca de cargas entre os defeitos  $E'$  mais próximos da interface ainda é relativamente mais baixa (frequências menores que 100 Hz) quando em comparação aos defeitos  $P_b$  (frequências maiores que 1 kHz).

Por fim, vale notar que o número de *interface traps* presentes em um dispositivo está relacionado a fatores como; a dose total absorvida, o campo elétrico aplicado, a espessura do óxido e o material do *gate* do dispositivo. Em contrapartida, segundo Winokur (1989), não é observada a dependência de fatores tais como a taxa de dose e a temperatura.

Em detrimento do aprisionamento de cargas no óxido de silício e captura de cargas na interface, na presença de radiação ionizante, ocorrerá a alteração dos parâmetros do transistor MOS. Logo, ocorrerá a variação da tensão em seus terminais e, nesse caso, variações de corrente ao longo do canal, já não terão mais comportamentos típicos.

Em relação ao funcionamento do transistor, a nível físico, serão alterados parâmetros como: degradação da mobilidade dos portadores, aumento da corrente de fuga, alteração da tensão de limiar e aumento do ruído, conforme serão tratados separadamente nas próximas seções.

### 3.2.3 Degradação da mobilidade dos portadores

A mobilidade dos portadores é definida como a possibilidade microscópica das moléculas se movimentarem. Logo, devido ao fato de que o transporte líquido de cargas no canal de um dispositivo MOS se dá sob uma fina camada logo abaixo do óxido, percebemos que a captura e emissão de portadores das regiões analisadas nas seções 3.2.1 e 3.2.2 afetam diretamente essa mobilidade.

Essa troca de cargas na região do canal, devido ao espalhamento Coulombiano, que se caracteriza pela interação de uma ou mais partículas com o campo eletrostático de um núcleo, degrada significativamente a mobilidade dos portadores em relação a sua condição inicial.

Conforme analisado no trabalho de Schrimpf (2007), pela maior proximidade com a região do canal, as *interface traps* alteram a mobilidade de uma forma mais expressiva do que armadilhas que se encontrem em regiões mais internas no óxido. Essas armadilhas conduzem à redução na condutância do canal, transcondutância do transistor, velocidade, corrente e ganho dos transistores (LIMA, 2006; BALEN, 2010).

É possível estimar a mobilidade dos portadores ( $\mu$ ) através da relação entre a velocidade de deriva dos portadores ( $v_d$ ) e o campo elétrico ( $\vec{E}$ ) conforme equação 8. Podemos, ainda, inferir da equação 8 que a redução na mobilidade dos portadores, por aumentar o tempo de trânsito, leva à redução direta da velocidade do dispositivo.

Em adição à relação da equação 8 o trabalho de Böttcher (1996) parametriza a redução da mobilidade de acordo com a equação 9.

$$\mu = \frac{v_d}{|\vec{E}|} \quad (8)$$

$$\mu = \frac{\mu^{(irr)}}{\mu^{(pre)}} = \frac{1}{1 + \alpha \Delta N_{it}} \quad (9)$$

Onde  $\mu^{(pre)}$  representa a mobilidade antes da irradiação,  $\mu^{(irr)}$  representa a mobilidade após a irradiação, o fator de ajuste  $\alpha$  possui o valor  $8.10^{-13} \text{ cm}^2$  e  $\Delta N_{it}$  representa o incremento do número de armadilhas por unidade de área (BÖTTCHER, 1996).

Trabalhos posteriores como o de Schrimpf (2007) estendem a análise da equação 9 de forma a considerar, além das *interface traps* ( $N_{it}$ ), as armadilhas do óxido ( $N_{ot}$ ). Para tanto, são lançados os parâmetros  $\alpha_{it}$  e  $\alpha_{ot}$ , os quais quantificam os efeitos das *interface traps* e das armadilhas do óxido, respectivamente. Schrimpf (2007) complementa ainda que  $\alpha_{it}$  deve ser maior do que  $\alpha_{ot}$  em detrimento do fato de que as *interface traps* representam alterações mais significativas na mobilidade, conforme analisamos anteriormente.

O equacionamento dessa análise é descrito através da expressão 10.

$$\mu = \frac{\mu^{(irr)}}{\mu^{(pre)}} = \frac{1}{1 + \alpha_{it}N_{it} + \alpha_{ot}N_{ot}} \quad (10)$$

A Figura 16 representa, qualitativamente, a degradação da mobilidade em função da dose total, considerando tanto efeitos de cargas no óxido quanto na interface (SCHRIMPF, 2007). No gráfico,  $\mu^{(pre)}$  é representado por  $\mu_0$ .

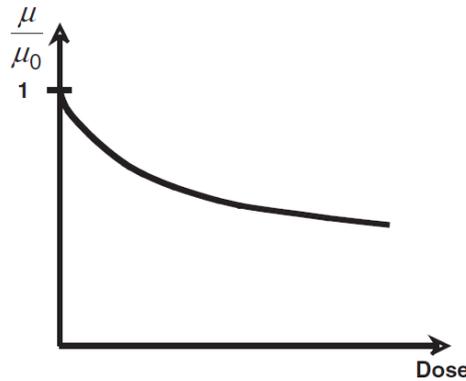


Figura 16: Mobilidade na camada de inversão em função da dose total de radiação em um dispositivo MOS. Extraída de Schrimpf (2007).

De posse do comportamento de  $I_D$  em função de  $V_{GS}$ , tanto pré ( $g_m^{(max)}$ ) quanto pós irradiação ( $g_m^{(max)}$ ), uma análise interessante relatada por Böttcher (1996) assume que se a transcondutância estática  $g_m$  depende linearmente da mobilidade, então através do valor máximo de  $g_m$  (extraído pela função de transferência de  $I_D \times V_{GS}$ ) é possível estimar o valor de  $\Delta N_{it}$ .

A expressão 11 corrobora essa análise e vale notar, entretanto, que Böttcher (1996) utiliza apenas a representação das *interface traps*.

$$\Delta N_{it} = \frac{\frac{g_{m,pre}^{(max)}}{g_{m,irr}^{(max)}} - 1}{\alpha} \quad (11)$$

### 3.2.4 Aumento da corrente de *leakage*

A Figura 17 (a) apresenta o *layout* em perspectiva de transistores típicos NMOS e PMOS de uma tecnologia CMOS *bulk* na qual o processo de fabricação da camada de isolamento é feito através de oxidação local do silício (*Local Oxidation of Silicon - LOCOS*). Nesse caso, o espaçamento entre os transistores e circuitos integrados é recoberto por uma camada mais espessa de óxido (*Field OXide - FOX*).

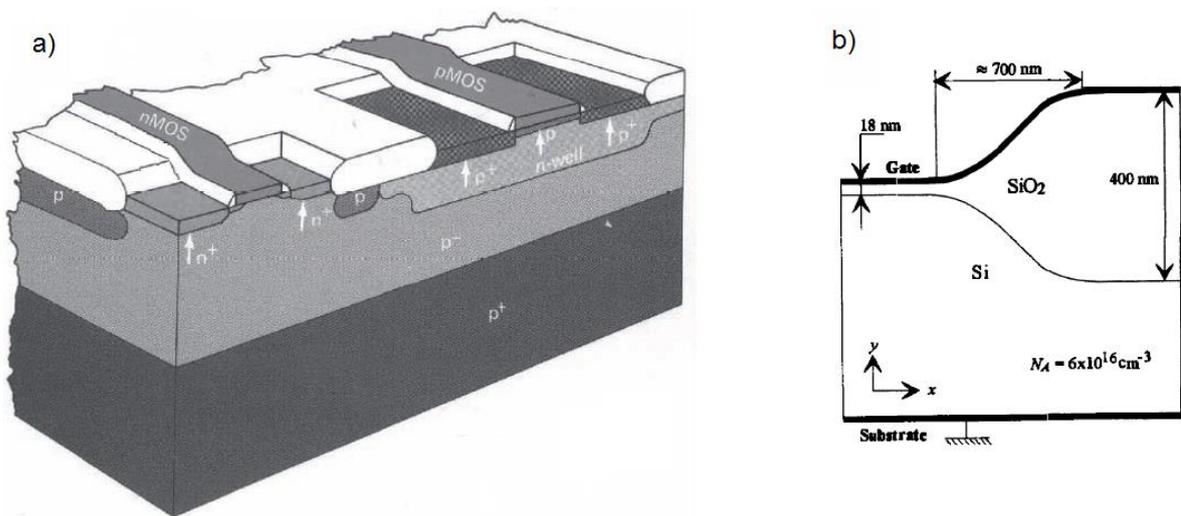


Figura 17: a) Vista em perspectiva de um dispositivo de tecnologia CMOS, extraída de Schrimpf (2007), e b) representação de dimensões do dispositivo, extraída de Claeys (2002).

Na Figura 17 (b) são fornecidas algumas dimensões das camadas de óxido de uma tecnologia comercial de 0,8  $\mu\text{m}$ . Nesse caso, a espessura do óxido de *gate* é de 18 nm e a espessura do óxido espesso é de 400 nm.

Para uma tecnologia de 0,35  $\mu\text{m}$ , por exemplo, são referenciados valores de 7,6 nm e 290 nm, para óxido de *gate* e óxido espesso, respectivamente (LIMA, 2006).

No caso de um dispositivo MOS convencional, como ilustrado pela Figura 18 (a) e (b), são apontadas as regiões de transição entre o óxido fino e espesso, em perspectiva e em secção transversal, respectivamente. Essas regiões de transição (sinalizada na Figura 18 (a)) são referenciadas como *bicos de pássaro* (*bird's beak*) em alusão à geometria.

O acúmulo de cargas ocorre em toda superfície do circuito, ora com maior, ora com menor intensidade. Contudo, após a geração de pares  $\bar{e}/h$ , devido à polarização do circuito, o campo elétrico possui papel fundamental na locomoção dos portadores. Nas regiões de *bird's beak* há um aumento do campo elétrico devido à combinação da polarização sob o Poli Silício do *gate* e os efeitos de fronteira decorrentes da polarização entre a fonte e o dreno (SCHRIMPF, 2007).

Por esse motivo, as regiões de *bird's beak* de transistores MOS possuem uma maior probabilidade de agrupamento e aprisionamento de cargas. Além disso, os elétrons, por possuírem uma maior mobilidade quando comparados às lacunas, deslocam-se com uma maior facilidade para locais onde possam ser drenados e as lacunas, por sua vez, acabam ficando aprisionadas nessas regiões (*bird's beak*).

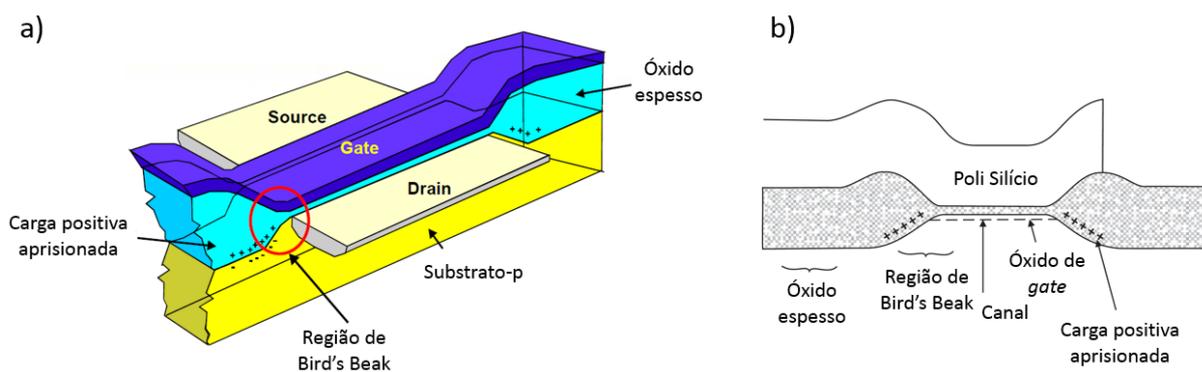


Figura 18: a) Vista em perspectiva de um dispositivo MOS e as regiões de estresse mecânico, adaptada de Dodd (2008), e b) secção transversal de um dispositivo MOS e a corrente parasitária perpendicular ao plano da página, adaptada de Nowlin (2004).

Esse agrupamento e aprisionamento de cargas, quando em quantidade suficiente, permite que ocorra inversão dos portadores majoritários do substrato sob ele, ou seja, acabam 'ligando' o transistor. Nessa situação, transistores parasitas podem formar caminhos de condução tanto entre regiões de dreno e fonte de um mesmo transistor quanto entre regiões tipo n de diferentes transistores (LIMA, 2006).

Esses transistores parasitas, com suas disposições conforme ilustrado na Figura 19 (a) e (b), que na ausência de radiação não conduziam (ou conduziam muito pouco), agora sob

incidência de radiação ionizante, devido ao acúmulo de cargas (positiva no caso do NMOS), passam a conduzir de forma expressiva e, portanto, contribuem diretamente para o aumento da corrente de fuga do transistor, ou seja, o aumento da corrente que flui através do dispositivo mesmo quando este se encontra no estado desligado (ANELLI, 2000).

Em adição ao aprisionamento de cargas nas regiões cujo campo elétrico é mais intenso, o resultado final, em decorrência do aumento da corrente de fuga, ainda se torna mais expressivo devido à degradação do óxido de campo e formação das armadilhas no dielétrico do *gate*, como visto nas seções 3.2.1 e 3.2.2.

A corrente de um dispositivo MOS não decai abruptamente quando reduzimos a tensão  $V_G$  abaixo da tensão de *threshold*. O comportamento que percebemos nessa região, onde  $V_G$  é menor do que  $V_{TH}$ , é descrito como região de operação de subliminar (*subthreshold*).

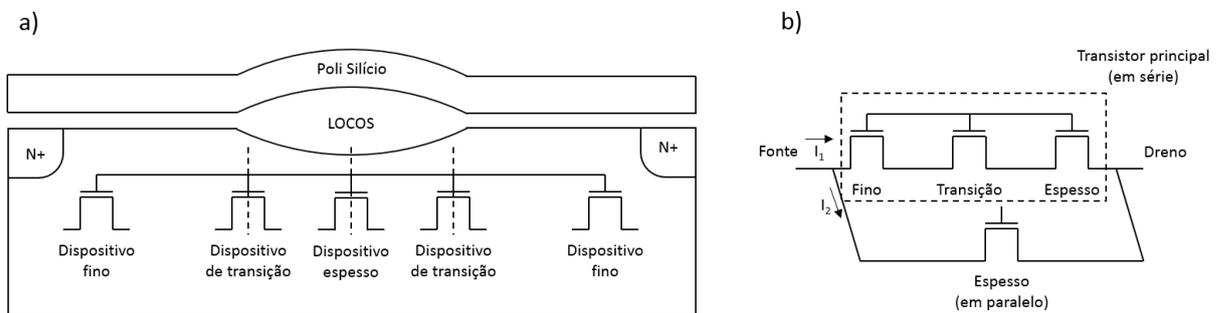


Figura 19: a) Transistores parasitas gerados devido à presença de cargas aprisionadas e b) circuito equivalente. Adaptada de Claeys (2002).

Sob a incidência de radiação, a influência dos transistores parasitas incrementa significativamente a corrente na região de *subthreshold* do dispositivo (em torno de 90mV por década), como ilustra a Figura 20 (BARNABY, 2006; CHEN, 2005).

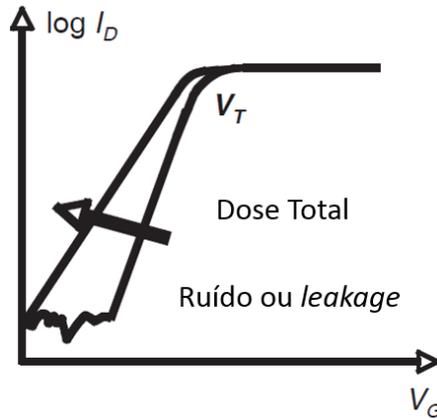


Figura 20: Gráfico do comportamento de  $(\log I_D \times V_G)$  de um dispositivo MOS, ilustrando a região de *subthreshold*. Adaptada de Schrimpf (2007).

Na região de subliminar, a corrente de um dispositivo MOS varia exponencialmente de acordo com o potencial de superfície (SCHRIMPF, 2007). Utilizando a aproximação de que o potencial de superfície possui um valor próximo à sua situação de inversão forte, Schrimpf (2007) estima o inverso da inclinação da variação de corrente pela variação da tensão de *gate* ( $S$ ) através da equação 12.

$$S = \left( \frac{\partial \log I_D}{\partial V_{GS}} \right)^{-1} = \left( \frac{kT}{q} \right) \ln 10 \left[ 1 + \frac{C_D}{C_{ox}} + \frac{C_{it}}{C_{ox}} \right] \quad (12)$$

Onde  $C_D$  é a capacitância na camada de depleção e  $C_{it}$  é a capacitância por unidade de área associada as *interface traps* (SCHRIMPF, 2007). Em complemento à equação 12, podemos inferir do gráfico da Figura 20 que, à medida que a densidade de *interface traps* aumenta, devido à incidência de radiação, a inclinação da curva na região de subliminar diminui. Essa condição se traduz em um dispositivo MOS que desliga mais lentamente, fato que se torna mais preponderante à medida que as dimensões de um dispositivo diminuem.

Conforme analisa Schrimpf (2007), diminuindo as dimensões do dispositivo através do escalonamento tecnológico, as tensões de alimentação também são reduzidas, logo, se a tensão de *threshold* for muito pequena, valores significativos de corrente fluirão mesmo sem tensão aplicada ao *gate*, permitindo que haja a excessiva dissipação de potência ou mesmo falhas funcionais, considerando o fato de que o dispositivo não pode ser tido como desligado.

### 3.2.5 Alteração da tensão de *threshold*

Historicamente o efeito dominante em decorrência da radiação ionizante em dispositivos MOS tem sido relacionado ao desvio da tensão de *threshold* (SCHRIMPF, 2007).

Conforme analisado anteriormente, os desvios na tensão de limiar são decorrentes das cargas aprisionadas no óxido e na interface entre o  $Si/SiO_2$ . O efeito eletrostático dessas cargas cria um campo elétrico vertical na superfície do substrato, com isso, no caso do transistor NMOS, os elétrons atraídos para a região do canal resultam em uma diminuição da tensão de limiar, ou seja, a presença de cargas negativas no canal torna mais fácil a situação de inversão do substrato (LIMA, 2006).

Em dispositivos PMOS, nota-se o efeito contrário, sendo necessária, portanto, a aplicação de uma tensão mais negativa, de sorte que seja compensada a maior quantidade de portadores negativos no canal.

A Figura 21 (a) ilustra o comportamento dos desvios da tensão de *threshold* para ambos os dispositivos NMOS e PMOS com base no comportamento  $I_D \times V_{GS}$  e em (b) podemos observar o desvio de  $V_{TH}$  em relação à dose total absorvida. O equacionamento desses desvios é feito através da expressão 13 (SCHRIMPF, 2007), a qual considera o desvio total da tensão de limiar ( $\Delta V_{TH}$ ) como a contribuição dos desvios relacionados às cargas aprisionadas no óxido ( $\Delta V_{ot}$ ) e a cargas aprisionadas nas *interface traps* ( $\Delta V_{it}$ ).

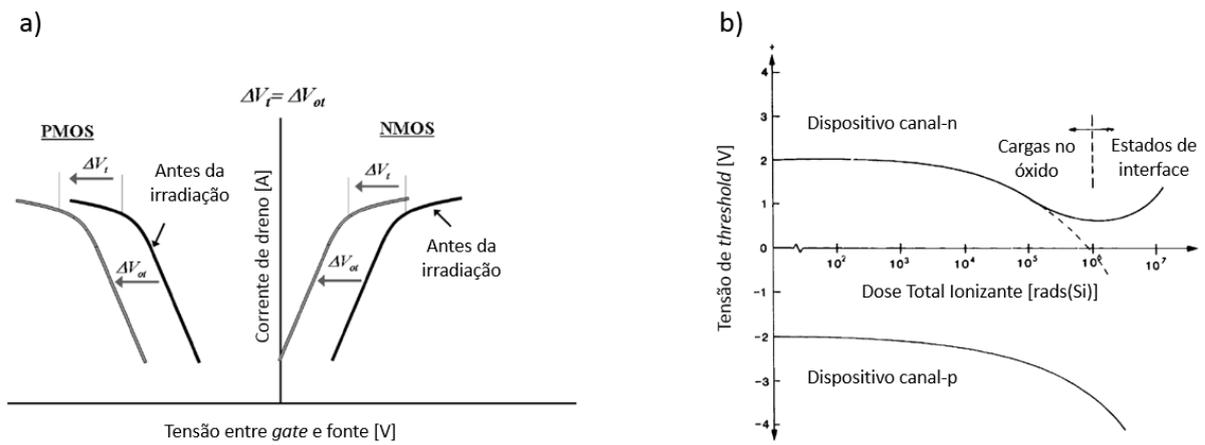


Figura 21: a)  $I_D \times V_{GS}$  e efeitos desvios em  $V_{TH}$  em dispositivos NMOS e PMOS, adaptada de Barnaby (2006), e b) desvios em  $V_{TH}$  em função da dose total, adaptada de McLean (1987).

$$\Delta V_{TH} = \Delta V_{ot} + \Delta V_{it} \quad (13)$$

Ao reduzir a espessura do óxido, à medida que as tecnologias evoluem, o efeito do desvio da tensão de *threshold* se torna menos significativo, entretanto esses desvios passam a

afetar os transistores parasitas do dispositivo, de sorte que aumentam a corrente de *leakage* (SCHRIMPF, 2007).

A quantidade total de carga presente no óxido devida à incidência de radiação ( $Q_{ot}$ ) é proporcional à sua espessura, além disso, o efeito da presença de carga no óxido em relação ao desvio na tensão  $V_{TH}$  é proporcional à distância ( $x_{ox}$ ) da carga ao eletrodo do *gate* conforme equação 14 (SCHRIMPF, 2007).

$$\Delta V_{TH} = -\frac{Q_{ot}}{C_{ox}} \propto x_{ox}^2 \quad (14)$$

Onde  $C_{ox}$  se refere à capacitância de óxido.

Analisando o gráfico da Figura 21 (a) inferimos que, para o dispositivo MOS em questão, com dielétrico de  $SiO_2$ , as cargas aprisionadas no óxido (positivas) geram um desvio de  $\Delta V_{ot}$  negativo. Todavia, ao passo que, para PMOS, uma redução em  $\Delta V_{ot}$  resulta em uma maior facilidade de ligar o dispositivo, para NMOS, uma redução em  $\Delta V_{ot}$  resulta em uma maior dificuldade de ligar o dispositivo.

Ainda em relação à Figura 21 (b) percebemos que a tensão de *threshold* para o transistor de canal N inicialmente sofre um deslocamento negativo à medida que cargas positivas são aprisionadas. Entretanto, para doses maiores do que 1 Mrad, há uma inflexão desse comportamento observado através de um deslocamento positivo na tensão de *threshold*.

Essa inflexão, segundo analisa McLean (1987), se deve ao fato da saturação do aprisionamento de lacunas no óxido enquanto, concomitantemente, as cargas aprisionadas nas *interface traps* (negativas para o canal N) continuam a aumentar. Esse comportamento de inflexão é referenciado na literatura como *super-recovery* ou *rebound* (MA & DRESSENDORFER, 1989; OLDHAM & MCLEAN, 2003).

O *super-recovery* consiste no fato de que a constante de tempo para formação de *interface traps* é mais longa em comparação às armadilhas do óxido, desse modo, em instantes de tempo curtos, as armadilhas do óxido tentem a ser mais proeminentes no comportamento do dispositivo (BOTH 2013).

Dispositivos PMOS não apresentam o fenômeno de *super-recovery* pois nesse caso os mecanismos de degradação atuam somente de modo a deslocar negativamente a tensão de limiar.

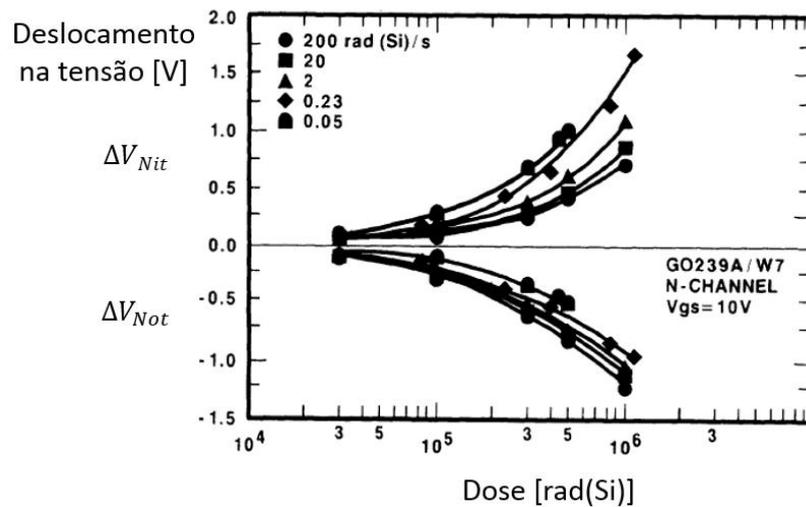


Figura 22: Contribuições de *interface traps* e de óxido para o desvio em  $V_{TH}$ . Adaptada de Winokur (1987).

A Figura 22 ilustra as contribuições para o desvio de  $V_{TH}$  através dos desvios causados pelas cargas no óxido e pelas cargas na interface, conforme equação 13. As variáveis  $\Delta V_{Nit}$  e  $\Delta V_{Not}$  correspondem a  $\Delta V_{it}$  e  $\Delta V_{ot}$ , respectivamente conforme convenção deste trabalho. Winokur (1987) realizou o ensaio com 5 diferentes doses de radiação variando de 200 a 0,05 rad(Si)/s. Neste trabalho, é possível observar que o somatório das contribuições sempre resulta em um desvio líquido positivo na tensão de *threshold* (WINOKUR, 1987).

### 3.2.6 Aumento do ruído Flicker

O acúmulo de cargas devido às *border traps* aumenta significativamente o ruído Flicker ( $1/f$ ) em dispositivos CMOS (BARNABY, 2006). O incremento desse ruído afeta diretamente circuitos analógicos e utilizados em RF (como por exemplo *mixers* e osciladores controlados por tensão) assim como comunicadores em banda base e aplicações como conversores de dados e filtros (BARNABY, 2006).

Em 1990, Meisenheimer and Fleetwood apresentaram dados de ruído  $1/f$  obtidos de um dispositivo NMOS de óxido de *gate* com espessura de 48 nm, quando irradiado. A Figura 23 apresenta os dados obtidos (MEISENHEIMER & FLEETWOOD, 1990; BARNABY, 2006). A polarização do *gate* nesse experimento foi fixada em 6 V, o substrato foi aterrado e os terminais de dreno e de fonte foram polarizados de tal modo que o dispositivo operasse na região linear (BARNABY, 2006).

Conforme a Figura 23 indica, para exposição a cargas totais de até 500 krad, o espectro de ruído, definido como  $S_V$ , aumenta em uma ordem de magnitude (observado no eixo y). Barnaby (2006) ainda expressa o espectro de potência de ruído conforme equação 15.

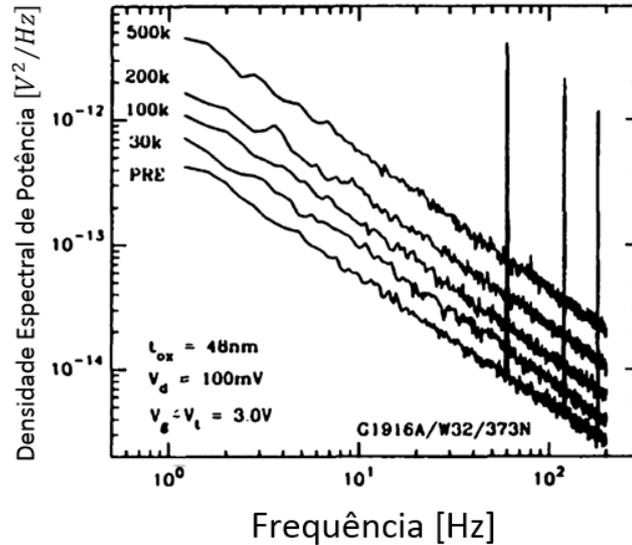


Figura 23: Dados de ruído  $1/f$  em dispositivo NMOS com  $t_{ox} = 48$  nm. Adaptada de Barnaby (2006).

Devido à relação de dependência do ruído  $1/f$  com as *border traps*, os efeitos de dose total aumentam, consequentemente aumentando o ruído em dispositivos CMOS (BOTH, 2013). Esse fato também pode ser verificado na Figura 23, contudo não foram encontradas correlações entre o ruído e a densidade de *interface traps* (BOTH, 2013).

$$S_V \approx K_n \cdot \frac{V_{ds}^2}{(V_{gs} - V_{TH})^2} \cdot \frac{1}{f} \quad (15)$$

Onde  $K_n$  é o fator de potência de ruído normalizado expresso por 16 (BARNABY, 2006).

$$K_n = \frac{q^2 kT}{WL} \cdot \frac{N_{SS}}{E_g} \cdot \left( \frac{t_{ox}}{k_{ox} \epsilon_0} \right)^2 \cdot \left[ \ln \left( \frac{t_{max}}{t_{min}} \right) \right]^{-1} \quad (16)$$

Onde  $k$  é a constante de Boltzmann,  $T$  é a temperatura absoluta,  $W$  e  $L$  largura e comprimento do MOS,  $N_{SS}$  é a densidade de área das *border traps*,  $E_g$  é o *band gap* do  $SiO_2$ ,

$t_{max}$  e  $t_{min}$ , por sua vez, são os tempos máximos e mínimos para a região de corte associados ao processo de tunelamento, ou ativação do processo térmico, que resulta na observação do ruído (FLEETWOOD, 1994; BARNABY, 2006).

O ruído Flicker, assim como variações discretas no sinal, não afetam exclusivamente a confiabilidade apenas de dispositivos expostos à radiação, mas também de dispositivos modernos (estado da arte), uma vez que a redução das dimensões de dispositivos CMOS provoca, geralmente, aumento do ruído Flicker (BOTH, 2013).

## 4 Estratégias de proteção de circuitos

Até o momento, analisamos a natureza da radiação, sua interação com a matéria e, nesse contexto, quais os desvios típicos em características (tensão vs. corrente) observadas em dispositivos MOS, evidenciando, desse modo, a necessidade de utilizarmos recursos a fim de tornar o circuito mais robusto com relação às degradações provenientes da exposição à radiação ionizante.

Neste capítulo, iniciaremos a abordagem de técnicas possíveis de fortalecer o circuito no intuito de permiti-lo manter (ou prorrogar) a integridade de suas características originais de funcionamento, ou pelo menos fornecer subsídios a fim de que possam permanecer dentro de uma margem de erro a qual possibilite que o processamento de dados seja válido.

As técnicas de proteção serão analisadas em três níveis distintos: em nível de arquitetura de sistema, processos de fabricação e a nível de projeto de dispositivos (*layout*). Iniciaremos pelos níveis de abstração mais altos e veremos posteriormente, como foco primordial deste trabalho, estratégias implementadas em nível de *layout* dos dispositivos, ora pelo acréscimo de estruturas auxiliares, ora propondo arranjos topológicos considerados como *não-convencionais* e, especificamente, nesse caso, será ampliado o estudo sobre a topologia ELT.

Ainda nesse contexto, analisaremos técnicas de proteção tanto para taxas mais altas quanto para períodos mais longos de exposição.

### 4.1 Proteção por arquitetura de sistema

A tolerância à radiação em nível de arquitetura de sistemas também é chamada *Hardening by System*.

Uma vez que uma falha catastrófica em algum dispositivo ou área do circuito impossibilita que este seja recuperado, prevenções quanto a esse tipo de defeito são feitas através de intervenções ou no processo de fabricação ou em nível de *layout*. Desse modo, proteções em nível de sistema são geralmente implementadas a fim de prevenir Eventos Não-Catastróficos.

Conhecendo as características do ambiente no qual o circuito deverá operar, tais como a densidade de partículas ionizantes por unidade de área e a taxa com que estas irão colidir com o circuito, os trabalhos referenciados na literatura sugerem que sejam efetuadas

estimativas de taxas de erros temporais e espaciais as quais o circuito deve suportar sem comprometer a confiabilidade dos dados processados (VELAZCO, 2007).

Desse modo, no caso de um satélite, por exemplo, devem ser analisadas a altura da órbita e as regiões do planeta Terra que ele irá percorrer, conforme abordado no capítulo 2.

A prevenção quanto a problemas relativos a Eventos Transientes trata de identificar as partes mais sensíveis do circuito e para cada uma delas definir qual a melhor estratégia, considerando o compromisso entre alocação de área, potência consumida e frequência de operação (VELAZCO, 2007).

Uma das técnicas mais populares a fim de atenuar eventos únicos transientes é a redundância modular tripla (*Triple Modular Redundancy - TMR*) (VON NEUMANN, 1956). Através da TMR o circuito de interesse é triplicado (eventualmente em áreas bastante distintas) e um circuito votador majoritário (*voting circuit*) adicional às suas saídas permite que no caso da incidência de uma falha em um dos blocos triplicados, devido à votação majoritária, uma saída global correta seja gerada (BALEN, 2009).

A Figura 24 ilustra a TMR com uma implementação espacial em (a) e com uma implementação temporal em (b); esta última, além da tripla redundância física do circuito, ainda pressupõe um pequeno atraso no ciclo de relógio nos blocos a serem avaliados de forma a reduzir ainda mais a probabilidade de a falha ser processada através do circuito combinacional.

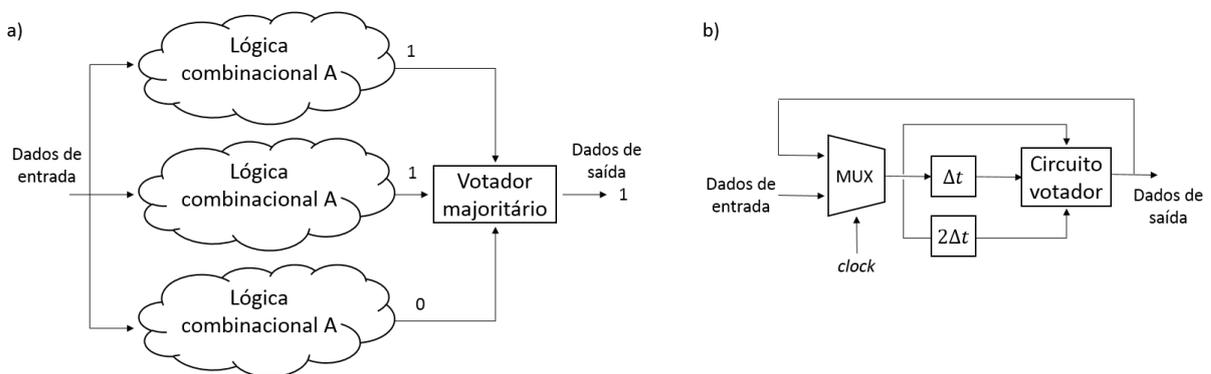


Figura 24: a) Redundância espacial e b) redundância temporal. Adaptada de (SCHRIMPF, 2004).

Mao (1990) propõe analisar alguns tipos de defeitos em circuitos CMOS através da medida da corrente quiescente da alimentação (IDDQ). A corrente IDDQ se refere ao regime permanente (quiescente) da rede de alimentação em um circuito CMOS.

Medindo IDDQ, que idealmente deve ser igual a zero, é possível detectar a incidência de uma falha. Mao (1990) utiliza uma metodologia baseada essencialmente em uma simulação hierárquica a qual possibilita obter informações dessa corrente em nível de dispositivo.

As medidas apresentadas pela análise de IDDQ, assim como o trabalho de Mao (1990), permitem detectar uma grande classe de defeitos físicos, incluindo curto circuitos no óxido de porta. Ainda com relação a essa técnica, é possível cobrir 94,82% e 84,80% de falhas em circuitos com mais de 7 mil e 40 mil transistores, respectivamente (MAO, 1990). A contrapartida desse tipo de teste é que o alinhamento vertical das camadas de metal através das quais são realizadas as medidas de corrente possibilita que seja lido apenas o endereço do bit e não da palavra, o que complementa o estudo de Balen (2010).

Uma das soluções mais utilizadas para proteção de memórias em sistemas digitais complexos é baseada em códigos de correção de erro (*Error Correction Code* - ECC) no qual o mascaramento dos erros é feito através de códigos como, por exemplo, código de Paridade e código de Hamming, no qual uma combinação de bits de paridade permite detectar e corrigir o erro (NICOLAIDIS, 2005; BALEN, 2010). Uma vez que para codificarmos a informação necessitamos aumentar o número de bits a fim de poder representar os dados do código, estes por sua vez também são considerados como forma de redundância.

Ainda no contexto de células de memória, durante a ocorrência de um Evento Único Transiente, a corrente que flui para o substrato é maior do que a proveniente de uma célula de memória (em modo estático), contudo uma técnica chamada *Built In Current Sensors* (BICS) consiste em analisar a corrente que flui para o substrato no intuito de detectar um Evento Único Transiente. Uma aplicação dos BICS, proposta por Feltham (1998), inseriu esses sensores nas linhas de alimentação verticais de uma matriz de células de memória de modo a reconhecer o bit potencialmente invertido (BALEN, 2010). O trabalho proposto por Neto (2007) propõe um modelo de BICS robusto às variações de processo e de temperatura.

Nesse mesmo contexto, conforme interesse, o leitor pode explorar outras técnicas de proteção a falhas transientes como a *Dual Interlocked Cell* (DICE) e *Heavy Ion Tolerant* (HIT) (VELAZCO, 1994).

## 4.2 Proteção por processos de fabricação

A tolerância à radiação em nível de tecnologia ou processo de fabricação é também referenciada por *Hardening by Technology*.

A espessura do óxido de *gate*, tamanho dos transistores, tamanho do canal, pureza dos dopantes e fatores relacionados ao processo de fabricação influenciam diretamente na tolerância à radiação de um circuito. Desse modo, alterando ou tendo controle sobre as variáveis dos processos de fabricação é possível obter um circuito mais robusto (BALEN, 2010).

Neste capítulo, no contexto de Efeitos de Dose Total, serão abordadas questões relativas ao escalonamento tecnológico, processo de recozimento e, por fim, tecnologias e processos alternativos aos que são utilizados de forma majoritária atualmente.

### 4.2.1 Escalonamento tecnológico

Historicamente, tanto na indústria de semicondutores quanto na microeletrônica em geral, praticamente tudo que é projetado ou produzido guarda uma relação direta com a redução das dimensões dos dispositivos (SCHRIMPF, 2004).

Fatores considerados como sendo positivos em relação a esse escalamento tecnológico se traduzem em uma maior densidade de dispositivos por unidade de área, valores menores de capacitâncias (que podem ser carregadas mais rapidamente permitindo ao circuito operar em uma frequência mais elevada) e a utilização de tensões mais baixas de alimentação (consumindo menos energia e dissipando menos potência).

No contexto da tolerância a radiação, conforme abordado em trabalhos anteriores (SAKS, 1984; SAKS, 1986; ANELLI, 1999), à medida que reduzimos a espessura do óxido de *gate*, o transistor se torna intrinsecamente mais tolerante a efeitos de dose total. Em outras palavras, para uma mesma dose de radiação um dispositivo com espessura de óxido menor tende a se degradar menos do que um com óxido mais espesso. Além disso, ainda são percebidos deslocamentos menores em relação a tensão de banda plana, tensão de limiar, transcondutância e mobilidade dos portadores (ANELLI, 2000).

O gráfico da Figura 25 apresenta o resultado de medidas experimentais da variação da tensão de banda plana ( $V_{FB}$ ) por dose de radiação em função da espessura do óxido de *gate* ( $t_{ox}$ ) (SAKS, 1984).

Um ponto chave que podemos inferir do gráfico da Figura 25 é que, para espessura do óxido em torno de 20 nm, reduções na tensão de banda plana ( $\Delta V_{FB}$ ) diminuem direta e proporcionalmente ao quadrado da espessura de óxido ( $t_{ox}^2$ ) e, abaixo de 20 nm, notamos que essa taxa de decréscimo é ainda mais abrupta (SAKS, 1984; ANELLI, 2000).

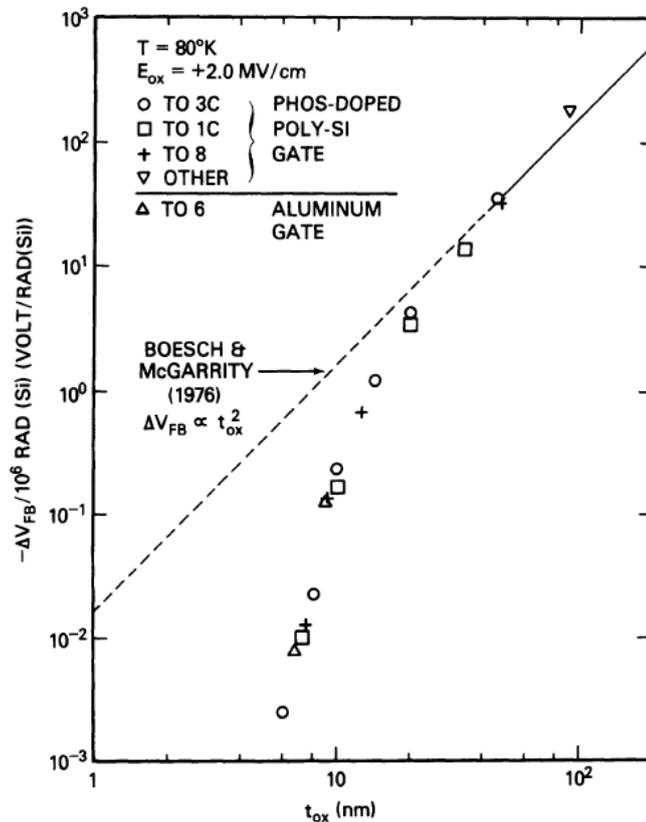


Figura 25: Variações na tensão de banda plana por Mrad (Si) em função da espessura do óxido de porta. Extraída de Saks (1984).

A tendência de decréscimo de  $t_{ox}^2$  ocorre tanto por acumulação de cargas quanto por limitações de processo (BOESCH, 1986; ANELLI, 2000). Para dados experimentais essa análise também se mostrou independente do tempo, ou seja, a variação da tensão de banda plana depende da dose total e não da taxa de exposição (BOESCH, 1986).

Um dos efeitos responsáveis pelo decréscimo da variação de  $V_{FB}$  a taxas  $n$  de  $t_{ox}$  ( $t_{ox}^n$ ) é o tunelamento quântico pelo qual lacunas são removidas do óxido de *gate* (BENEDETTO, 1985). Em adição a isso, a redução do volume ocupado pelo óxido também reduz, conseqüentemente, a quantidade absoluta de pares  $\bar{e}/h$  gerados.

Outro efeito decorrente do escalonamento dos dispositivos tem origem na geometria do óxido de campo que realiza o isolamento entre os dispositivos. As formas iniciais de se fazer o isolamento entre os dispositivos se davam através do processo LOCOS no qual há o

crescimento de uma camada espessa de óxido entre os dispositivos, conforme pode ser observado na parte superior da Figura 26 e analisado anteriormente na seção 3.2.4.

Porém, nas áreas de *bird's beak*, a invasão lateral da camada de óxido espesso foi ponto crucial para limitação do escalonamento tecnológico. Por esse motivo, tecnologias comerciais, em geral a partir do nodo tecnológico de 0,25  $\mu\text{m}$ , realizam o isolamento entre os dispositivos através da técnica STI (*Shallow Trench Isolation*) (CLAEYS, 2002), ilustrada na Figura 26 na porção inferior da gravura.

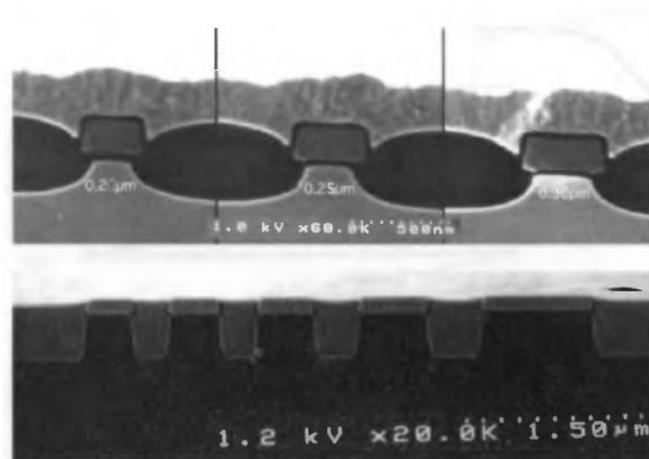


Figura 26: Porção superior da figura ilustrando um processo com isolamento do tipo LOCOS e a porção inferior ilustra um processo com isolamento do tipo STI. Extraída de Claeyes (2002).

Sob a perspectiva do processo de fabricação, átomos dopantes podem ser implantados nas regiões de transição entre óxidos de modo a atenuar o efeito de aprisionamento de portadores (lacunas, no caso de NMOS) no óxido espesso (CLAEYS, 2002). Entretanto, esse tipo de intervenção, que requer etapas adicionais no processo de fabricação, geralmente implica custos mais elevados, fato que acaba estimulando a busca por alternativas que não alterem o processo comercial já consolidado pelas fábricas.

O mercado para aplicações de circuitos integrados, em ambientes inóspitos, ainda é considerado demasiado pequeno de modo a não despertar vantagens econômicas que justifiquem as fábricas a modificar as etapas do processo de fabricação (ANELLI, 2000; ECOFFET, 2007; VAZ, 2015).

Trabalhos relacionados, como o de Faccio (2008), afirmam que para óxidos de *gate* mais finos do que 2,2 nm, devido à presença do efeito de tunelamento, o óxido de *gate* praticamente não sofre danos relacionados à TID, mesmo para altas doses de radiação, como

no caso de alguns  $\text{Mrad}(\text{SiO}_2)$ . Logo, devido aos baixos índices de danos ocorridos no óxido de porta, são observados menores desvios na tensão de banda plana e consequentemente em relação ao  $V_{TH}$ .

Entretanto, apesar dos baixos danos causados na região do óxido de porta, as referências relacionadas, como a de Faccio (2008), afirmam que o aprisionamento de cargas devido à presença do isolamento STI se torna bastante severo, incrementando de forma bastante expressiva a corrente de *leakage* e consequentemente afetando seriamente a funcionalidade dos dispositivos MOS. Devido ao STI, os desvios e aumento na corrente de *leakage* se tornam cada vez mais proeminentes à medida que se reduz o nó tecnológico.

Em suma, para processos tecnológicos mais avançados, os efeitos das alterações da tensão de limiar têm se tornado cada vez menos relevantes em comparação com a corrente de fuga de transistores NMOS de modo que elas passam a dominar a resposta de dispositivos aos efeitos de TID (ANELLI, 2000; BOTH, 2013). Vale notar, entretanto, que no caso de dispositivos do tipo p os efeitos relacionados à corrente de fuga não executam um papel preponderante, visto que nesse tipo de dispositivo as cargas parasitas aprisionadas atuam de forma a desligá-lo (STROHBEHN, 2004).

Uma opção para lidar com as adversidades abordadas nesta seção é a intervenção em nível de projeto de dispositivos, através da utilização, por exemplo, de anéis de guarda e geometrias de *gate* fechado (*Enclosed Gate* - EG ou *Enclosed Layout Transistor* - ELT) como abordaremos em mais detalhes na seção 4.3.

#### 4.2.2 Recozimento

O processo definido por recozimento, ou também amplamente conhecido como *annealing*, consiste em submeter o circuito integrado, e consequentemente seus dispositivos, a um aumento de temperatura. Conforme analisa Balen (2010), durante o recozimento submete-se o circuito a temperaturas em torno de  $100^\circ\text{C}$  por períodos de tempo que podem variar desde algumas horas a até alguns dias.

Esse processo de aquecimento permite que a energia cinética transferida ao retículo cristalino das estruturas do dispositivo promova um rearranjo de portadores através do processo de difusão. O trabalho de McWorther (1990) analisa esse comportamento como a emissão térmica de elétrons da banda de valência do óxido ( $\text{SiO}_2$ ) para regiões onde se encontram cargas aprisionadas.

Como retratado no trabalho de Balen (2010), é possível reverter o efeito do aprisionamento de cargas no óxido através da emissão térmica promovida pelo *annealing*, tanto conforme citado no parágrafo anterior quanto através do tunelamento de elétrons do silício para regiões de aprisionamento no óxido (OLDHAM, 1986; HALLIDAY, 2007). Portanto, o processo de *annealing* pode ser utilizado para recuperar danos físicos de forma a neutralizar e reformular as ligações entre átomos de silício (*Si/Si*) (SCHRIMPF, 2004).

Conforme retratado na Figura 27, durante o aumento da dose de irradiação, (referenciada como *irradiation*), e observada no eixo das abscissas até 1 Mrad, percebemos que há um deslocamento negativo na tensão  $V_{TH}$  provocado pelo aumento de cargas positivas aprisionadas no óxido referenciado na figura por  $\Delta V_{not}$  (ou  $\Delta V_{ot}$  - conforme convenção das seções 3.2.1 e 3.2.2).

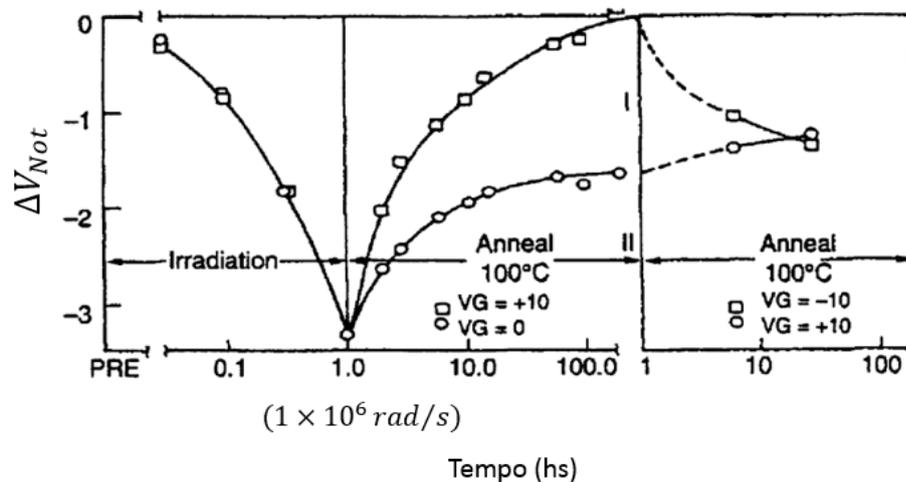


Figura 27: Desvio na tensão de  $V_{TH}$  como resultado de recozimento e comportamento de lacunas aprisionadas no óxido. Adaptada de Schrimpf (2004).

Ainda com relação à Figura 27, porém agora na presença do processo de *annealing*, percebemos que, quando uma tensão positiva é aplicada à porta, há uma diminuição das cargas aprisionadas no óxido (aumento de  $\Delta V_{not}$ ), contudo  $V_{TH}$  (que se encontrava deslocado para valores negativos) também aumenta e desse modo há uma neutralização das cargas positivas.

Contudo, Schrimpf (2004) analisa o cuidadoso estudo de Lelis (1988) sobre esse tema e relata que um dos resultados chave obtidos resultou da análise do processo de *annealing* sob variações de tensão aplicadas ao *gate*. Desse modo, quando o dispositivo sofre *annealing* (com tensão negativa aplicada ao *gate*) observa-se nova redução de  $V_{TH}$  (SCHRIMPF, 2004).

Essas observações podem ser verificadas através das curvas com alteração da tensão do *gate* da Figura 27 onde é possível concluir que, de fato, os defeitos não haviam sido efetivamente eliminados, mas sim apenas compensados durante o *annealing* (BOTH, 2013).

Esse aumento da densidade de cargas positivas aprisionadas no óxido quando o dispositivo é recozido com tensão negativa aplicada ao *gate* é chamado recozimento reverso (*reverse annealing*) e pode ser observado em maiores detalhes em Lelis (1988) e Both (2013).

De maneira análoga, o comportamento da potência de ruído na presença de radiação e após o tratamento de *annealing* é analisado, conforme ilustrado pela Figura 28, sendo que nesse caso os dispositivos analisados são transistores NMOS de aproximadamente 50 nm de espessura de óxido, largura do canal de 16  $\mu\text{m}$ , comprimento de canal de 3  $\mu\text{m}$  e frequência de operação relatada como 10 kHz.

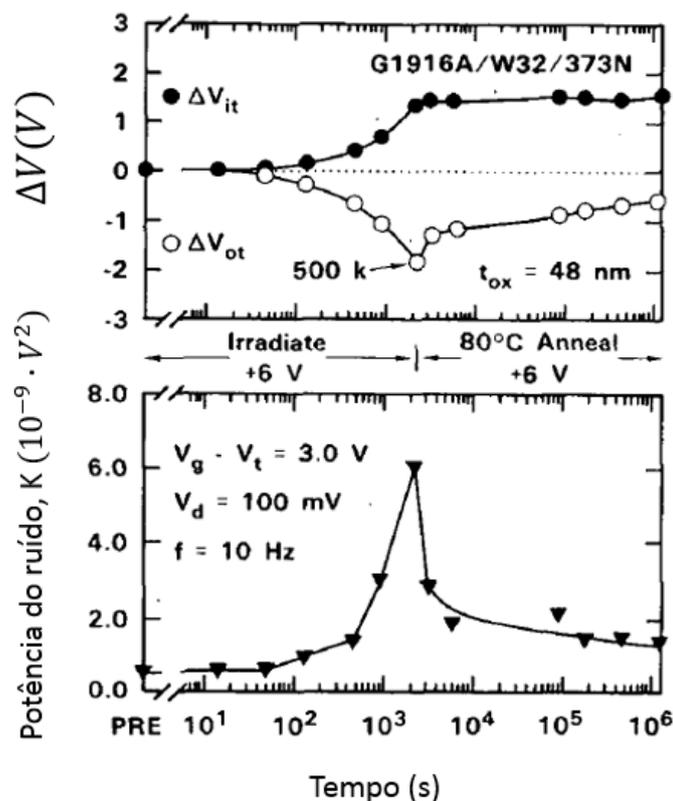


Figura 28: Comportamento da potência de ruído normalizada na presença de radiação e após o recozimento. Adaptada de Fleetwood *et al.* (1994).

Através do estudo de Fleetwood *et al.* (1994), no qual relata que foi realizada uma extensiva comparação entre o ruído  $1/f$  e a resposta à radiação de dispositivos MOS, os autores observam que há uma forte correlação entre o ruído  $1/f$  e a densidade de armadilhas no óxido e não verifica correlação com as *interface traps*.

Pela Figura 28, percebemos ainda que a potência normalizada do ruído reduz drasticamente quando o dispositivo sofre *annealing*. Por fim, conforme analisa Both (2013), durante o recozimento apenas as cargas aprisionadas no óxido são recozidas, isto é, se reorganizam no retículo cristalino.

### 4.2.3 Processos alternativos

Em relação ao controle do processo, uma série de medidas pode ser tomada no sentido de aumentar a tolerância à radiação do circuito. Pode ser executada, por exemplo, a remoção de *Borophosphosilicate Glass* (BPSG), o qual permite eliminar a ocorrência de Eventos Transientes devido à interação de nêutrons térmicos (NICOLAIDIS, 2005; BALEN, 2010).

Outras opções, no contexto de dose total, podem ser conduzidas através do implante de silício no óxido, a fim de compensar as cargas acumuladas (MRSTIK, 2000), alteração da concentração de dopantes e implante de impurezas no óxido (CLAYES, 2002) e aumento da densidade de dopagem do substrato e dos poços, o que reduz efeitos como *latchup* (ANELLI, 2000).

Entretanto, conforme inicialmente abordado na introdução deste trabalho, essas opções que necessitam de adaptações tendem a ser extremamente caras podendo chegar à casa de alguns bilhões de dólares para tecnologias estado da arte atuais. Por outro lado, ao utilizarmos um processo comercial, ou seja, processos convencionais já consolidados amplamente pelas fábricas, há uma redução direta e muito expressiva dos custos de produção além de agilidade durante o processo de desenvolvimento, implementação, teste e melhorias, acelerando, portanto, a implementação final da tecnologia (SILVA, 2005).

Esse tipo de abordagem ainda possui a vantagem de poder ser replicada em diferentes projetos independentemente do processo ou do circuito (SILVA, 2005). Por tal motivo, a próxima seção visa a analisar técnicas de *layout* que partem do pressuposto de não alterar o processo de fabricação atuando somente através da disposição das camadas (*layers*) de materiais convencionais.

### 4.3 Proteção por *layout*

A tolerância à radiação implementada em nível de projeto de dispositivo também é chamada *Hardening by Design*. Nesta seção serão apresentadas duas propostas fundamentais e extremamente impactantes com relação à atenuação das degradações provenientes da radiação ionizante; a aplicação de anéis de guarda (*guard rings*) e a geometria de *gate* fechado (*Enclosed Layout Transistor – ELT*).

Contudo, um foco especial será dado à técnica ELT, a qual possui peculiaridades que dificultam tanto o cálculo da razão de aspecto ( $W/L$ ) quanto a implementação de certas dimensões devido à própria geometria implementada em nível de *layout* e devido às restrições de litografia.

#### 4.3.1 Anéis de guarda

Os anéis de guarda, ou *guard rings*, apresentados na Figura 29, são estruturas disponíveis em processos CMOS do tipo *bulk* que têm por objetivo circundar os dispositivos a fim de promover uma polarização mais uniforme nas regiões de difusão ou de poço em que se encontram (através de anéis de guarda tipo n e tipo p, ilustrados respectivamente na Figura 29 (a) e (b)).

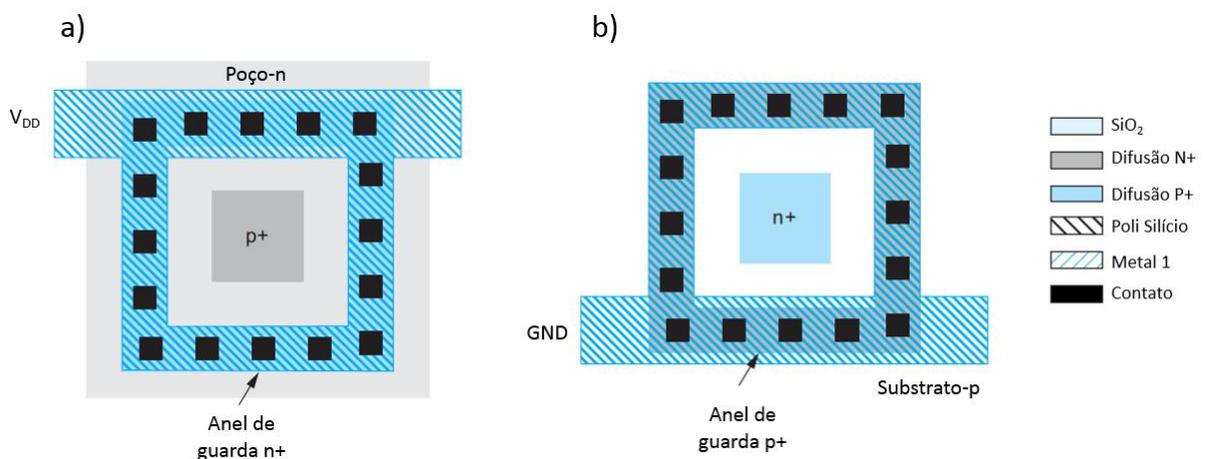


Figura 29: a) Anel de guarda circundando dispositivo PMOS e b) circundando dispositivo NMOS. Adaptada de Weste (2011).

Com a inserção dos *guard rings*, a área de difusão à qual está polarizando, conseqüentemente com uma baixa resistência, cumpre um papel duplo no circuito, à medida

que essas áreas promovem uma interrupção (ou um forte empecilho) para eventuais caminhos indesejados de corrente. É possível evitar a formação das estruturas parasitas capazes de disparar o evento de *latchup*, como analisado na seção 3.1.2 e, similarmente, também evita (ou reduz) a corrente de fuga entre difusões tipo n entre transistores adjacentes (LIMA, 2006).

Segundo Hastings (2006), de todas as falhas transientes catastróficas que afligem os circuitos integrados, o *latchup* é a mais destrutiva. Dispositivos que operam corretamente em um dado circuito podem desencadear falhas *latchup* quando inseridos em outro contexto (outros circuitos). Por vezes os circuitos operam por centenas ou até milhares de horas antes que ocorra um evento de *latchup*. Simulações e metodologias de teste raramente cobrem esse tipo de problema (HASTINGS, 2006).

Pinos de alimentação e conexões ao substrato raramente desencadeiam uma situação de *latchup*, contudo outras pinagens (incluindo referências de terra que não são conectadas ao substrato) podem desencadeá-la. Cada difusão conectada diretamente a um pino pode causar a injeção de portadores minoritários quando o pino se encontra flutuando acima de  $V_{DD}$  ou abaixo do referencial de terra do circuito (GND) (HASTINGS, 2006). Hastings (2006) ainda observa que múltiplas difusões conectadas a um mesmo pino em comum podem compartilhar um mesmo *guard ring*.

Como é possível observar na Figura 29, a contrapartida da utilização de anéis de guarda, assim como de transistores PMOS, é o expressivo aumento de área dos transistores do tipo p, por necessitarem de uma região de dopagem N profunda ao seu redor, e dos anéis de guarda, pela região necessária ao isolamento do dispositivo e em respeito a regras de espaçamento de geometrias.

Desse modo, as estruturas de guarda são, geralmente, utilizadas para cercar uma região mais extensa ou um bloco de circuito específico, já que aumentam a ocupação de área útil, reduzindo, portanto, a densidade de dispositivos por unidade de área.

Já os transistores PMOS citados, além da inerente maior alocação de área, devida ao poço N, ainda têm a contrapartida adicional de serem considerados mais lentos do que transistores do tipo n, principalmente devido à menor mobilidade dos portadores majoritários que, nesse caso, são as lacunas.

Ainda no contexto da utilização de dispositivos padrão, comumente disponibilizados pelas *foundries*, como ilustrado pela Figura 30 (a), é possível a implementação da técnica de *transistor folding* (RABAEY, 2003), pela qual os transistores são compostos por interdigitações (*fingers*) utilizados a fim de prover múltiplos contatos ao longo de cada *gate*, reduzindo, dessa forma, as capacitâncias de dreno/fonte em até 50% em relação ao seu valor

original através da difusão compartilhada entre interdigitações adjacentes como ilustrado pela Figura 30 (b).

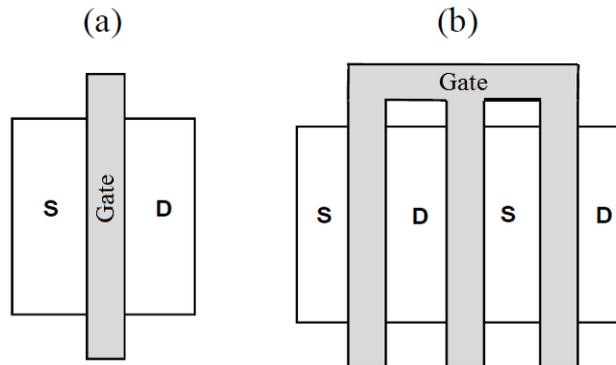


Figura 30: Dispositivos *two-edged* a) padrão e b) *fingered*. Figura adaptada de McLain (2009).

Entretanto, análises em trabalhos anteriores como o de McLain (2009), sob o nó tecnológico de 90 nm, apontam que esse tipo de organização do *gate*, além de reduzir a alocação de área e de capacitâncias, também aumenta a suscetibilidade do dispositivo a correntes parasitas que fluem devido à incidência de partículas ionizantes, não sendo, desse modo, uma boa alternativa sob o ponto de vista de proteção do dispositivo.

Em projetos padrão de transistores NMOS, a corrente de fuga que flui através das regiões de *bird's beak* entre fonte e dreno, como analisado na seção 3.2.4, onde o Poli Silício se sobrepõe ao óxido de *gate*, não é possível de ser reduzida através da utilização de anéis de guarda. No entanto, essas disfunções podem ser evitadas aplicando-se técnicas como a de geometrias ELT (VAZ, 2015) apresentadas na próxima seção.

#### 4.3.2 Geometrias de *gate* fechado - ELT

O primeiro tópico, ou a maior preocupação em transistores de óxido fino endereçada a ser obtida através de proteção em nível de *layout*, se dá em relação à redução da corrente parasita em estado de repouso do transistor, ou seja, com a corrente de *leakage* (ANELLI, 2000). Nesse contexto, a aplicação de transistores de geometria fechada (*Edgeless transistors* ou *Enclosed Layout Transistors* - ELTs) é mandatória para aumentar a tolerância à radiação. Por tal motivo a solução ELT foi adotada para ser explorada de um modo mais criterioso, observando diferentes tipos de geometrias, estimativas de razão de aspecto e implementações práticas.

É importante notar também que, a partir desta seção, as técnicas analisadas permitem ao usuário final (projetista) um controle praticamente total com relação à escolha das variáveis de projeto. Em um projeto analógico, conforme analisado por Razavi (2001), o *octógono de projeto*, o qual relaciona variáveis como, por exemplo, ganho, velocidade, linearidade, tensão de alimentação, dissipação de potência, ruído, excursão de sinal e impedâncias, nos diz basicamente que, se aumentarmos algum deles, algum outro será reduzido e ainda que, a fim de prover uma boa relação entre eles, é necessária, além de intuição, bastante experiência.

Desse modo, as decisões tomadas neste estudo são no intuito de manter esse compromisso ou de seguir o que é proposto mais frequentemente pela indústria, buscando, nesses casos, um maior aprofundamento teórico. Outras possibilidades que não estejam nesse contexto serão abordadas de forma mais simplória fornecendo referências de modo que o leitor possa se aprofundar conforme interesse.

Os transistores convencionais, que possuem os terminais de fonte e dreno separados por um canal de largura  $W$  e comprimento  $L$ , chamados *standard* ou *two-edged*, ilustrados pela Figura 31 (a), são suscetíveis a correntes parasitas induzidas por radiação conforme visto anteriormente na seção 3.2.4.

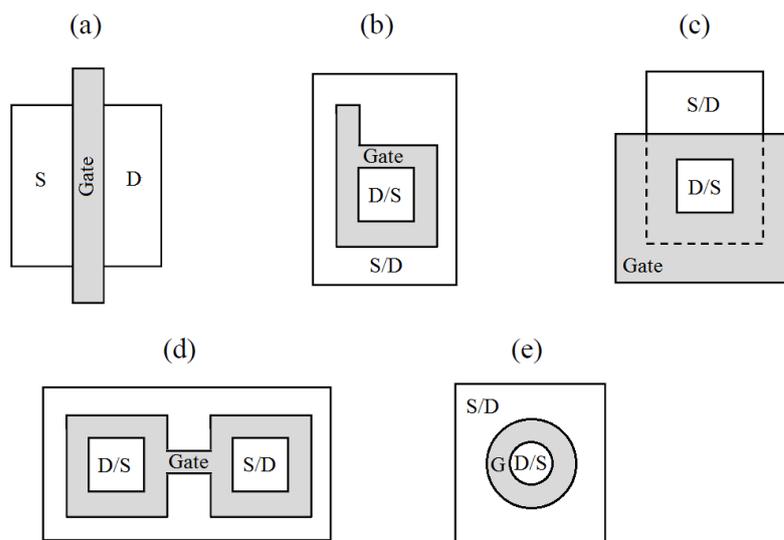


Figura 31: a) Transistor convencional *two-edged* e geometrias ELT denominadas b) *annular*, c) *ringed-source*, d) *dogbone* e c) *circular* ou *radial*. Figura adaptada de McLain (2009).

A proposta de *design* que utiliza geometria fechada modifica o projeto original do dispositivo padrão, envolvendo um dos terminais pelo Poli Silício do *gate*. Desse modo, eliminam-se as bordas das regiões ativas que se encontram entre os terminais de fonte e de

dreno. Em um ELT não há a região do óxido de campo em contato simultâneo com os terminais de fonte e dreno por onde possa surgir um canal parasita.

Partindo desse pressuposto, já é possível imaginar, em primeira instância, uma série de disposições razoáveis a fim de resolver esse problema, como ilustram, por exemplo, as propostas da Figura 31 (b), (c), (d) e (e). As quatro propostas apresentadas, escolhidas por serem bastante difundidas, são razoáveis para resolver esse problema. Porém, alguns fatores restringem ou impossibilitam seu uso.

A geometria do tipo *circular* (e), apesar de possuir algumas vantagens, principalmente com relação a modelagem da razão de aspecto, conforme abordaremos em detalhes na seção 4.3.3, dificilmente é compatível com os processos litográficos. Esse fato restringe de forma bastante expressiva a possibilidade de sua utilização, especialmente em tecnologias estado da arte que permitem desenhos do *gate* apenas através de ângulos de 90° ou 45° (GIRALDO, 2000).

O transistor do tipo *dogbone* (d), que significa *osso de cachorro* em alusão a sua geometria, pressupõe que se encerrem tanto a área do dreno quanto a área de fonte. Nesse caso é possível a implementação em praticamente todos os nós e processos tecnológicos. Além do mais, pela sua proposta de porta, considerando manter a mesma área, é possível manter uma simetria entre as áreas de fonte e dreno. Entretanto, uma contrapartida desse modelo é o grande requisito de área para implementação (SNOEYS, 2001; SILVA, 2005; LIMA, 2006).

A proposta, chamada *ringed-source* (c) (SCHRIMPF, 2004; NOWLIN, 2005) é uma alternativa às restrições litográficas impostas pelo *circular*, além disso, necessita de uma área menor frente à topologia *dogbone* (d) quando consideradas suas dimensões mínimas. Nesse caso, o canal é disposto de uma forma próxima ao que encontramos no transistor convencional *two-edged* (a). O valor de  $W$  pode ser menor do que em comparação ao encontrado no caso *annular* (b) e a medida do  $L$  não possui uma restrição direta; ainda, os contatos podem ser posicionados sem aumento do  $W$  através da extensão do terminal de fonte (SCHRIMPF, 2004).

A contrapartida apresentada por topologias do tipo *ringed-source* (c) é uma maior capacitância parasita entre *gate* e fonte devido ao excesso de Poli Silício que encerra a fonte. Esses parasitas adicionais ainda permitem que ocorra a inversão do substrato, porém não contribuem significativamente com a corrente de dreno (SCHRIMPF, 2004). Além disso, esse excesso de Poli Silício também pode implicar regiões com maiores resistências, especialmente em dispositivos com dimensões maiores.

No contexto de geometrias fechadas, a opção de circundar o terminal de dreno é uma decisão de projeto e, algumas vezes, uma alternância entre regiões internas de dreno ou fonte acaba sendo utilizada por permitir uma maior compactação das dimensões gerais do projeto (SCHRIMPF 2004).

No caso de o dreno ser encerrado, especificamente em topologias *ringed-source*, a capacitância parasita entre *gate* e dreno, devido ao excesso de Poli Silício, aparece como uma capacitância Miller referida à entrada do dispositivo (SCHRIMPF, 2004). Devido à presença da capacitância Miller, que é definida como o excesso da capacitância parasita multiplicada pelo ganho intrínseco do transistor, e à resistência adicional devida ao excesso de Poli Silício em transistores de maiores dimensões, é introduzido um atraso significativo em relação à constante RC do circuito, por tal motivo geralmente se encerra o terminal de fonte (SCHRIMPF, 2004).

Em adição a essas restrições, geometrias do tipo *ringed-source* possuem uma resistência parasita que, especialmente em combinação com o efeito Miller, resultam em uma alteração significativa degradando a performance do circuito (SCHRIMPF, 2004).

Em geometrias *annulares*, proposta exemplificada pela Figura 32 (a) e (b), é possível evitar a capacitância Miller referida à entrada e não há o excesso do material de *gate* como ocorre no caso da proposta *ringed-source*. Desse modo, ela é escolhida como sendo a alternativa mais viável em detrimento das restrições litográficas, área, capacitâncias e resistências parasitas associadas.

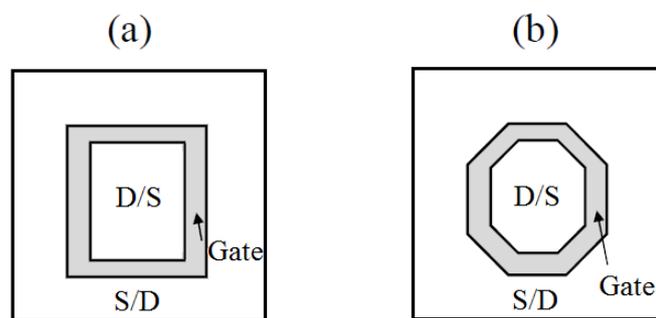


Figura 32: Geometria *annular* do tipo a) *rectangular* ou *square* e b) *square 45°* ou *octogonal*.  
Figura adaptada de McLain (2009).

Em dispositivos *annulares*, devido à possibilidade de disposição do *gate*, eles ainda recebem uma subclassificação específica conforme sua forma geométrica. Exemplificadas através da Figura 32 (a) e (b), as disposições podem ser denominadas *rectangular* (ou *square*) e *square 45°* (ou *octogonal*), respectivamente.

Em geometrias *anulares* (a) e (b), analogamente aos dispositivos *ringed-source*, a escolha do posicionamento da área de fonte ou dreno na porção interna do dispositivo é uma decisão de projeto. Porém, ao fazê-la, a área de dreno é comumente priorizada a ser alocada internamente. Entretanto, essa decisão é um compromisso (*trade-off*) entre condutância  $G_{out}$  e capacitância de saída  $C_{out}$  do dispositivo, como as analisaremos individualmente.

Tendo em vista, a fim de simplificações qualitativas, o modelo de *gate* regular, ilustrado na Figura 33 (b), é possível observar que, para se manter o produto espaço vs. carga, a variação da distância entre as regiões de estrangulamento do canal (representadas através das linhas pontilhadas) e a região de difusão deve ser maior considerando o terminal de dreno na região interna (ANELLI, 2000).

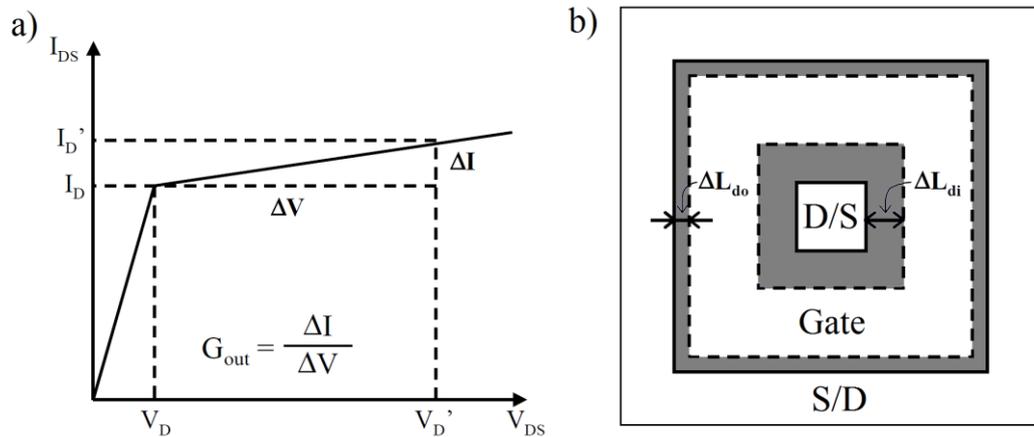


Figura 33: a) Gráfico idealizado da condutância de saída e b) representação das variações das regiões de estrangulamento do canal e difusão para conservação do produto espaço carga. Adaptada de Anelli (2000).

Em complemento ao gráfico idealizado de  $G_{out}$  apresentado na Figura 33 (a), conforme analisado por Anelli (2000), uma vez que a corrente de dreno é inversamente proporcional à largura do canal, é possível expressar a condutância de saída do dispositivo em função das variações de tensão, corrente de dreno e comprimento efetivo do canal, conforme apresentado na equação 17 (ANELLI, 2000).

$$G_{out} = \frac{\Delta I_D}{\Delta V_D} \cdot \frac{\Delta L}{L - \Delta L} \quad (17)$$

Pelo fato de que a extensão da região de depleção que circunda o dreno reduz o comprimento do canal e ao passo que a região de depleção é dependente da polarização e esta

se altera devido a variações de tensão, o comprimento do canal passa a ser modulado de acordo com esses parâmetros. Esses fatores elucidam a presença do termo relacionado à variação do comprimento do canal ( $\Delta L$ ) proposto pela equação 17.

Analisando a declividade da curva  $I_D \times V_{DS}$  na região de saturação e a modelagem proposta pela equação 17, em concordância com Razavi (2002) o qual sugere a presença da declividade  $\Delta I_D / \Delta V_D$  como um fator de não-idealidade (pois resulta em uma corrente não-ideal entre fonte e dreno), podemos minimizar  $G_{out}$  (inclinação da curva  $I_D \times V_{DS}$  na região de saturação – eventualmente também referenciado por  $\lambda$ ) através da redução do fator  $\Delta L$ , o que é possível de se obter ao considerar o dreno externamente (devido à relação espaço *vs.* carga), ou seja, a condutância do dreno alocado externamente ( $G_{do}$ ) é menor do que a do considerado internamente ( $G_{di}$ ) ( $G_{do} < G_{di}$ ) (ANELLI, 2000).

O trabalho de Anelli (2000) apresenta um estudo comparativo entre a condutância de saída do dispositivo com relação ao posicionamento do dreno na região interna ou externa. Neste estudo são indicadas diferenças da ordem de 75%, 33% e 19%, para transistores projetados com base em dimensões mínimas de *layout* para comprimentos de canal 5 $\mu\text{m}$ , 0,5 $\mu\text{m}$  e 0,28 $\mu\text{m}$ , respectivamente (ANELLI, 2000).

Para avaliar a influência das capacitâncias associadas às regiões de fonte e dreno adotaremos a análise de pequenos sinais proposta por Tsividis (2011), ilustrada na Figura 34 (a) com o objetivo de equacionar a frequência máxima de operação do dispositivo (uma das figuras de mérito mais usuais em análises AC para transistores *two-edged*) (STROHBEHN, 2004).

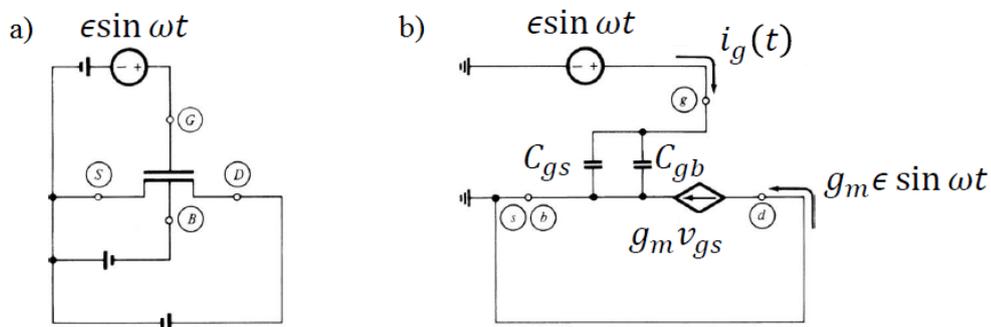


Figura 34: a) Fonte senoidal polarizando o dispositivo para análise de pequenos sinais e b) representação das capacitâncias e correntes associadas. Extraída de Tsividis (2011).

Arbitrando a corrente de dreno como sendo positiva ao entrar no nó, de modo a seguir a convenção mais usual adotada pela literatura, polarizamos os nodos de fonte (S), substrato (B) e dreno (D) com tensões fixas e referenciadas ao terra. Ao inserir ao terminal de *gate* (G)

uma fonte com variação senoidal, de frequência  $\omega$  e amplitude  $\epsilon$ , é possível obter o circuito de pequenos sinais conforme ilustrado pela Figura 34 (b).

Ainda com relação ao circuito equivalente (b),  $g_m$  representa a transcondutância e  $(g_m \cdot v_{gs})$  representa a fonte de transcondutância.

Para igualarmos as correntes dos nós de *gate* e dreno, definimos a corrente de *gate* como  $i_g$  e a corrente que flui através do capacitor equivalente, dado por  $(C_{gs} + C_{gb})$ , igual a essa capacitância calculada multiplicada pela variação de tensão, dada por  $(\epsilon \cdot \sin \omega t)$  em relação ao tempo. Com isso, a equação 18 encerra o resultado final desse equacionamento de correntes de nó apresentadas pelo circuito (b).

$$i_g(t) = (C_{gs} + C_{gb}) \cdot \frac{d(\epsilon \cdot \sin \omega t)}{dt} = \omega \cdot (C_{gs} + C_{gb}) \cdot \epsilon \cdot \cos \omega t \quad (18)$$

De modo a pensar na magnitude, ou no ganho de corrente, consideramos a razão entre a corrente de saída pela corrente de entrada referenciada por  $(a_i)$ . Sendo assim, e em adição à amplitude da corrente de saída  $(I_{d,pico})$  dada por  $(g_m \cdot \epsilon)$  e à amplitude da corrente de entrada  $(I_{g,pico})$ , dada por  $(\omega \cdot (C_{gs} + C_{gb}) \cdot \epsilon)$ , é possível estabelecermos o equacionamento 19.

$$a_i = \frac{I_{d,pico}}{I_{g,pico}} = \frac{g_m}{\omega \cdot (C_{gs} + C_{gb})} \quad (19)$$

Pela análise da equação 19 é possível concluir que à medida que a frequência do sinal de entrada aumenta, o ganho de corrente diminui. Além do mais, também é possível observar que, se a frequência do sinal de entrada for alta o suficiente, é possível tornar o ganho de corrente unitário.

De forma a destacar a frequência em que ocorre essa situação (igualdade na magnitude das correntes) vamos considerar a razão  $a_i$  dada pela equação 19 como o valor unitário. Desse modo, o equacionamento apresentado em 20 considera esses pressupostos e apresenta o resultado final na unidade de Hz, a fim de permitir uma análise mais intuitiva.

$$f_T = \frac{g_m}{2 \cdot \pi \cdot (C_{gs} + C_{gb})} \quad (20)$$

Através do equacionamento dos parâmetros da equação 20 temos um indicativo da ordem de magnitude do tempo de resposta ou da frequência de funcionamento com que podemos operar o dispositivo com relação às capacitâncias (em questão) associadas. Concluímos ainda que é possível diminuir o tempo de resposta do dispositivo através da redução do valor das capacitâncias.

Entretanto, como, a priori, não temos o grau de liberdade de atuar no valor da capacitância  $C_{gb}$ , do *gate* associada ao substrato, visto que é dependente da tecnologia (e de um modo geral algumas ordens de grandeza menores do que  $C_{gs}$ ), o esforço a fim de maximizar a frequência de operação é direcionado a se obter a redução do valor de capacitância do *gate* associada à fonte.

Nesse contexto, ainda pensando em um dispositivo *two-edged*, podemos aumentar a frequência de operação ao custo do ganho do transistor. Se considerarmos um transistor de comprimento de canal mínimo (a fim de reduzir capacitâncias), podemos reduzir  $C_{gs}$  através da redução da área do *gate*, entretanto a redução de  $W$  ocasiona uma redução de  $g_m$ .

Além disso, expandindo a análise para transistores ELT, onde a analogia é a mesma, percebemos uma outra relação de troca. Conforme analisamos anteriormente, é possível reduzir efeitos de modulação do canal ao optar pelo dreno externamente, entretanto essa decisão aumenta de forma considerável a capacitância do dreno ( $C_{gd}$ ) com relação à da fonte ( $C_{gs}$ ) e, desse modo, ao aumentar a capacitância vista pela saída do dispositivo, aumentamos a quantidade de carga necessária para carregar o nodo e, conseqüentemente, reduzimos a frequência de operação.

Para finalizar, em modos práticos, a ideia fundamental que permeia a maximização da frequência de operação de um dispositivo ELT é a de atribuir a maior área conectada às linhas de alimentação e de terra (para PMOS e NMOS, respectivamente), as quais, a priori, devem possuir um potencial constante e estável. Ao fazê-lo reduzimos substancialmente o tempo de resposta do dispositivo quando comparado à situação inversa (menor área atribuída a referenciais de tensão constante).

Com relação ao nível de tolerância à radiação imposta por uma proposta de dispositivo ELT, os gráficos da Figura 35 e da Figura 36 apresentam o resultado de medidas experimentais do comportamento  $I_D \times V_{DS}$  de transistores *two-edged* e *annular*, respectivamente.

Os dispositivos analisados foram fabricados no ano de 2002 pela empresa *Taiwan Semiconductor Manufacturing Company* (TSMC) no nó tecnológico de 0,18  $\mu\text{m}$ . Os

dispositivos foram submetidos a irradiação por raios-x de 50 keV a uma taxa de dose de  $165 \text{ rad} (\text{SiO}_2)/\text{s}$ . As razões de aspecto  $W/L$  do transistor *two-edged* (Figura 35) e *annular* (Figura 36) são respectivamente 1,2/0,2 e 3,8/0,2 (SCHRIMPF 2004).

No comportamento do transistor padrão *two-edged*, percebemos uma corrente de fuga significativa já aos 50 krad ( $\text{SiO}_2$ ). Também é possível observar claramente uma situação de curto circuito ao absorver 400 krad ( $\text{SiO}_2$ ) (SCHRIMPF, 2004).

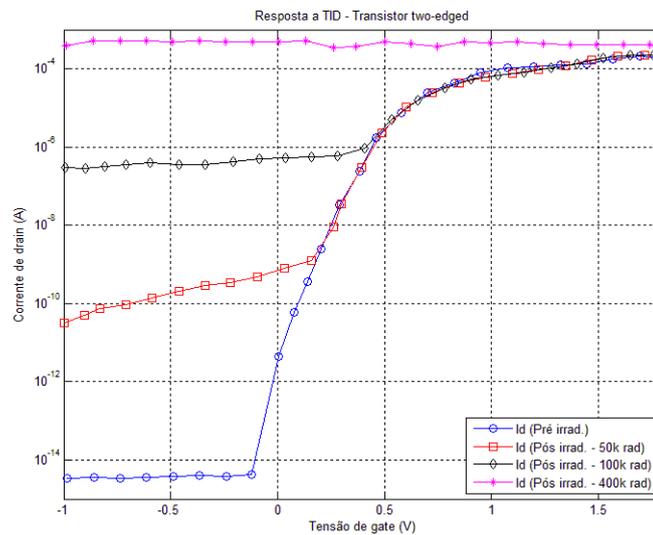


Figura 35: Resposta à TID de um transistor *two-edged* convencional NMOS. Dados extraídos de Shcrimpf (2004).

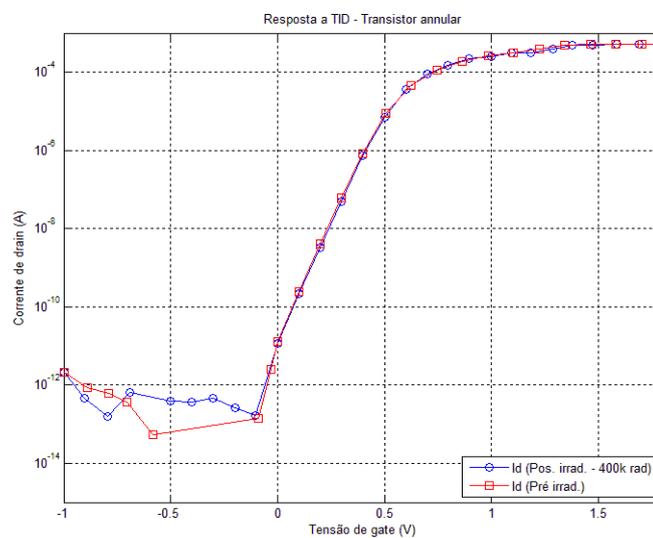


Figura 36: Resposta à TID de um transistor *annular*. Dados extraídos de Schrimpf (2004).

Já o transistor de geometria fechada se mostra bastante efetivo (corrente  $I_D$  da ordem de  $10^{-11}A$  sem tensão aplicada ao terminal de *gate*) mesmo após doses de 400 krad, valor de dose que praticamente não é suficiente para desencadear o processo de incremento da corrente de fuga (SCHRIMPF, 2004).

As duas situações apresentadas confirmam de forma bastante concreta a efetividade da aplicação da topologia de *gate annular*. Com base nos gráficos percebemos uma redução efetiva com valores próximos a 10 ordens de magnitude para doses de 400k rad( $SiO_2$ ) e, mesmo para tensões de dreno bastante baixas (região de triodo), é possível verificar ao menos uma ordem de magnitude como no caso de 100k rad( $SiO_2$ ) quando comparadas as duas propostas de *gate*.

A consideração final a ser feita com relação à razão de aspecto  $W/L = 3,8/0,2$  do transistor *annular*, dispositivo em análise na Figura 36, é que a partir das dimensões reais da área do *gate* o valor da razão de aspecto foi obtido com base na metodologia de cálculo proposta por Anelli (1999). Entretanto, a obtenção dessa relação não é, a priori, uma tarefa trivial conforme análise proposta pela próxima seção.

#### 4.3.3 Estimativa de razões de aspecto (W/L)

Transistores convencionais do tipo *two-edged* são geralmente simétricos, com regiões de fonte e dreno permutáveis e possuem as mesmas características com relação a área, perímetro e perfis de dopagem, conforme já analisamos.

Todavia, essa afirmativa não é válida quando utilizamos transistores de geometria fechada. Nesse caso, pelo fato de não existir uma simetria entre as regiões de dreno e fonte, o cálculo de estimativa da razão de aspecto  $W/L$  efetiva não é uma tarefa trivial (VAZ, 2015).

Para analisar essa afirmação, iniciaremos pensando em geometrias circulares. Nessas geometrias, as linhas de campo elétrico abaixo do *gate* se distribuem de uma maneira uniforme. Nessa situação não ocorre o efeito de estrangulamento das linhas de campo elétrico que está presente nas extremidades do *gate* e, desse modo, é possível considerar uma largura de canal constante ao longo de toda a extensão do *gate* e obter o cálculo da razão de aspecto analiticamente de forma bastante simples.

O grande problema, conforme já analisamos anteriormente, é que a maioria dos processos comerciais, devido a questões de litografia e alinhamento de máscaras, não possibilitam que geometrias circulares sejam projetadas. Por tal motivo outras topologias de ELT necessitaram ser implementadas.

Ness contexto, em geometrias que não sejam circulares, ocorre uma não-uniformidade no campo elétrico abaixo do *gate* nas regiões de cantos (em ângulos) devido ao espalhamento das linhas de campo elétrico na região de depleção.

Nessas situações, soluções analíticas raramente são suficientes para estabelecer o cálculo de campo elétrico e correntes envolvidas. Sendo assim, soluções numéricas devem ser consideradas a fim de estimar a razão efetiva de  $W/L$  aumentando de forma considerável a complexidade do problema, pois nesses casos há a necessidade de se estabelecer condições iniciais e de contorno para essa abordagem.

Para analisarmos empiricamente esse problema, vamos iniciar através da análise da geometria *square* dada em ângulo reto, conforme Figura 37 (a), a qual se adequa a grande maioria dos PDKs (*Process Design Kits*). Além disso, iremos considerar, inicialmente, o método mais intuitivo para determinarmos a razão  $W/L$ . Estima-se o valor de  $W$  através da distância média ao longo das regiões de fonte e dreno, representada pela linha pontilhada na Figura 37 (a), e o  $L$  como a distância média entre essas mesmas regiões (região interna e externa do *gate*).

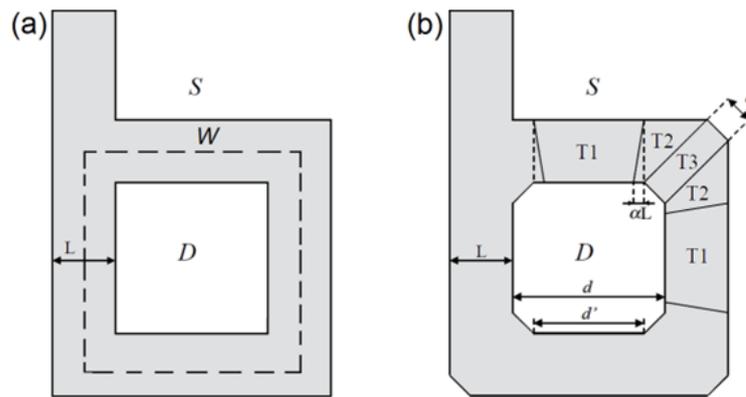


Figura 37: a) *Layout* de método *mid-line* e parâmetros  $W$  e  $L$ ; b) *layout* de geometria *annular* considerando soma de diferentes transistores em paralelo. Extraído de Vaz (2015).

Esse método intuitivo é chamado *mid-line channel* e já foi amplamente abordado pela literatura (GIRALDO, 2000; MARTIN, 2003; XUE, 2011). Realizando a estimativa do valor da razão de aspecto através desse método, baseado em resultados experimentais referenciados pela literatura para o nó tecnológico de  $0,35\mu\text{m}$ , constatamos um erro maior do que 10% entre o valor estimado e os valores obtidos por medições práticas devido ao fato de que as correntes que são conduzidas nas extremidades (as quinas do *gate*) são superestimadas (XUE, 2011).

De forma a aprimorar essa estimativa, trabalhos posteriores, como o de Anelli (1999), sugerem analisar o campo elétrico abaixo do *gate* como a soma de diferentes transistores em paralelo, cada um fornecendo sua própria contribuição para a corrente de dreno. Essa divisão do *gate* está indicada na Figura 37 (b) através das variáveis T1, T2 e T3.

Nessa geometria com os cantos chanfrados em 45°, T1 representa a contribuição lateral linear, T2 as contribuições de *cantos* (*corners*) e T3 a contribuição relacionada ao ângulo de 45° (*45° corners*). Conforme equacionado por Anelli (1999), a razão  $W/L$  efetiva seguindo essa metodologia é expressa conforme equação 21.

$$\left(\frac{W}{L}\right)_{\text{eff}} = 4 \cdot \frac{2\alpha}{\ln\left(\frac{d'}{d' - 2\alpha L_{\text{eff}}}\right)} + 2k \cdot \frac{1 - \alpha}{\Delta(\alpha) \ln \frac{1}{\alpha}} + 3 \cdot \frac{\frac{d - d'}{2}}{L_{\text{eff}}} \quad (21)$$

Onde o parâmetro  $k$ , dependente da geometria, possui o valor de 3,5 para dispositivos de canal curto (menores do que  $0,5\mu\text{m}$ ) e o valor 4 para dispositivos de canal longo (maiores ou iguais a  $0,5\mu\text{m}$ ). O parâmetro  $\alpha$ , independente da tecnologia, representa a fronteira entre T1 e T2 e possui o valor 0,05 e, finalmente,  $d' = d - c\sqrt{2}$  e  $\Delta(\alpha) = \frac{1}{2}\sqrt{\alpha^2 + 2\alpha + 5}$  (ANELLI, 2000).

Nesse método, referenciado como *soma dos transistores em paralelo*, analisando a diferença entre os dados calculados e obtidos experimentalmente, normalizada pelos dados experimentais, a análise do valor calculado de  $W/L$  para seis valores diferentes de  $L$  compreendidos entre  $0,28\mu\text{m}$  a  $5\mu\text{m}$ , apresenta a diferença máxima de 6,25% (ANELLI, 1999). Nos outros casos a diferença ficou abaixo de 1,9% e em dois comprimentos de canal ( $L = 0,5\mu\text{m}$  e  $L = 5\mu\text{m}$ ) o valor calculado foi igual ao extraído.

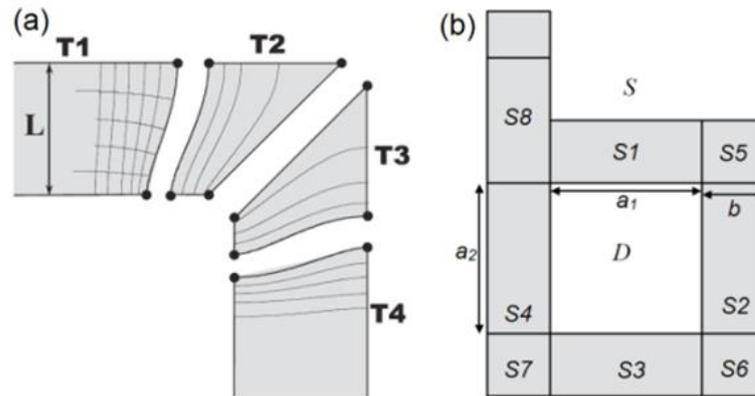


Figura 38: a) Decomposição do transistor em transistores de bordas (T1 e T4) e cantos (T2 e T3); b) *layout* de transistor dividido em retângulos especiais. Extraído de Vaz (2015).

No mesmo contexto, o trabalho de Giraldo (2000) propôs a obtenção da equação correspondente ao  $W/L$  através da resolução numérica das equações eletrostáticas bidimensionais ilustradas pela representação das linhas de campo da Figura 38 (a). Nesse caso a composição da corrente de dreno é apontada na figura através da soma de duas contribuições, sendo elas T1 (ou T4) de transistor de borda (*edge transistor*) e T2 (ou T3) de transistor de canto (*corner transistor*) (GIRALDO, 2000). O equacionamento final desse método é apresentado pela equação 22 (GIRALDO, 2000).

$$\left(\frac{W}{L}\right)_{eff}^{square} = 4 \cdot 2 \cdot \left( \frac{\alpha}{\ln\left(\frac{d}{d-2\alpha L}\right)} + \frac{1}{\Delta(\alpha)} \cdot \frac{1-\alpha}{-\ln \alpha} \right) \quad (22)$$

Onde os parâmetros  $\alpha$ ,  $\Delta(\alpha)$  e  $d$  são os mesmos relacionados à equação 21. O resultado da eficácia desse método, como reporta o autor, é mensurado através de ensaios através da variação do valor de  $L$  entre  $0,25 \mu\text{m}$  e  $5 \mu\text{m}$ . Com base nos resultados apresentados pela referência, a diferença entre os valores calculados e obtidos experimentalmente não ultrapassou 6,6% no pior dos casos (GIRALDO, 2000).

Por fim, algumas abordagens mais recentes como a proposta por Xue (2011) exploram a razão de aspecto  $W/L$  dividindo a estrutura do transistor em *retângulos especiais e outras secções* (*special rectangles and other sections*). Essas geometrias estão ilustradas na Figura 38 (b) numeradas de S1 a S8.

Os retângulos S1 a S4 referenciam as geometrias que possuem um lado adjacente ao dreno e o outro à fonte, já as estruturas S5 a S8 representam, por sua vez, aquelas relacionadas às contribuições dos cantos do *gate* que forma ângulo. A equação 23 modela esse método.

$$\left(\frac{W}{L}\right)_{eff} = \frac{2a_1 + 2a_2}{b} + C_{ab} \quad (23)$$

Onde a constante  $C_{ab}$  é incluída de forma a tratar o problema da não-uniformidade do campo elétrico nas regiões das bordas e, conforme proposto pela literatura (XUE, 2011), o valor ideal para  $C_{ab}$  é 2. Um fato interessante de se observar, nesse caso, é que, se atribuirmos à constante  $C_{ab}$  o valor 4, o valor de  $W/L$  será o mesmo apresentado através do método *mid-line*. A análise experimental desse método aponta uma diferença que varia entre a faixa de 3,2% a 8,6% com relação a valores medidos e calculados (XUE, 2011).

Desconsiderando o método da linha média, pois é tido como bastante impreciso, e efetuando uma análise geral de todos os métodos apresentados, tendo como base os piores resultados entre valores calculados e medidos experimentalmente referenciados pela literatura, resumimos os valores do erro para: Método da Soma dos Transistores em Paralelo < 6,25%; Método dos Transistores de Bordas < 6,6% e; Método das Geometrias Especiais < 8,6%.

Sob essas condições, tendo como base as informações fornecidas pelas referências e o erro máximo observado, podemos inferir que o método proposto como Soma dos Transistores em Paralelo, modelado pela equação 21, fornece um resultado mais próximo a valores experimentais.

Além das dificuldades de modelagem e estimativa da razão de aspecto, inerentes aos transistores de *gate* fechado, ainda observamos uma forte limitação quanto à faixa de valores possíveis de serem obtidos. Essa topologia não permite, por exemplo, a obtenção de razões de aspecto menores do que um determinado valor. Por outro lado, valores mais altos de razão de aspecto são mais fáceis de serem obtidos através do acréscimo das dimensões do *gate* do dispositivo (ANELLI, 2000).

Essa verificação pode ser comprovada intuitivamente de forma simples. Em um transistor *two-edged* padrão para diminuirmos a razão de aspecto, basta aumentarmos o  $L$  e mantermos o mesmo valor para  $W$ , entretanto, em um transistor ELT ao aumentarmos o  $L$  iremos consequentemente aumentar o  $W$ .

A fim de analisar os valores absolutos dessas restrições é preciso considerar a equação de cada método e as restrições litográficas e dimensões mínimas permitidas pelo PDK. Nesse caso, o trabalho de Anelli (1999) avaliou que para a configuração da Figura 37 (b) o menor valor possível de se obter para a razão de aspecto de aproximadamente 2,26 foi obtida através de largura do canal diversas vezes (aproximadamente 10) múltiplas do valor mínimo. A análise dessa afirmação pode ser verificada pela Figura 39 a qual foi adquirida, no mesmo contexto, para uma tecnologia de canal 0,18  $\mu\text{m}$ .

Finalmente, além do benefício e considerável aumento dos níveis de tolerância à radiação propiciado através da utilização de geometrias fechadas, após essas análises, passam a se evidenciar algumas contrapartidas, em especial a geometrias com ângulos mais agudos. Além dos desafios relacionados à modelagem do  $W/L$  percebemos ainda que a obtenção de determinados valores pode aumentar de forma expressiva o consumo de área.

A fins de comparação, a mesma análise foi feita igualmente para o nó tecnológico de 180nm, porém elaborada através do método de Retângulos Especiais reportado por Xue (2011). O resultado gráfico é apresentado pela Figura 40.

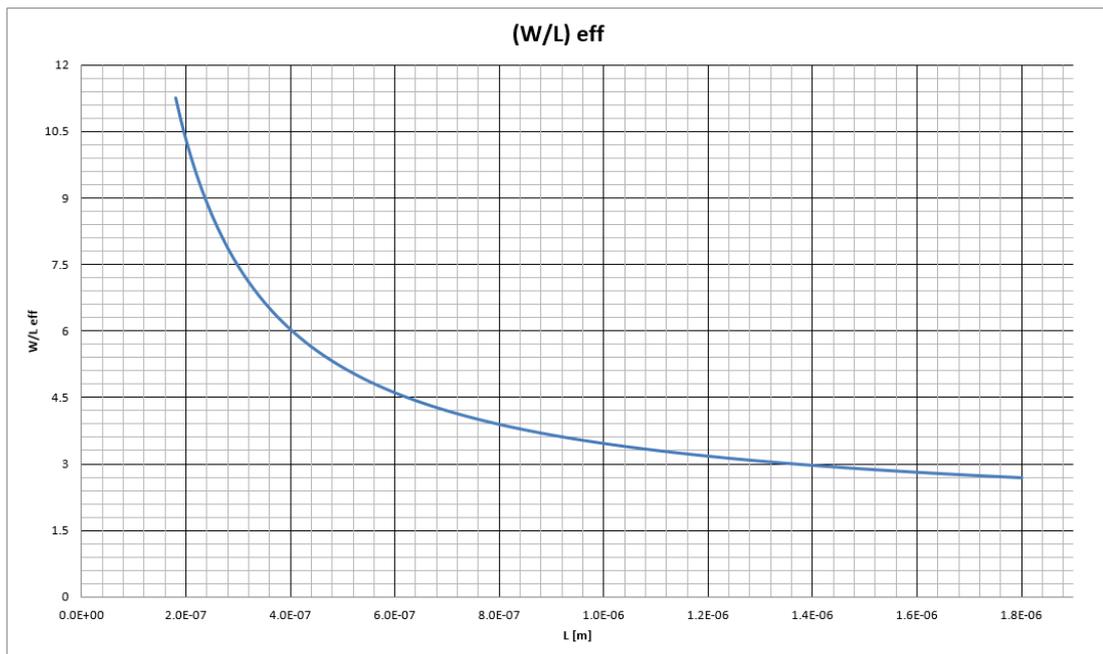


Figura 39: Razões de aspecto para geometria *annular* adquirida pelo equacionamento de Soma dos Transistores em Paralelo (ANELLI, 1999) para tecnologia 180 nm.

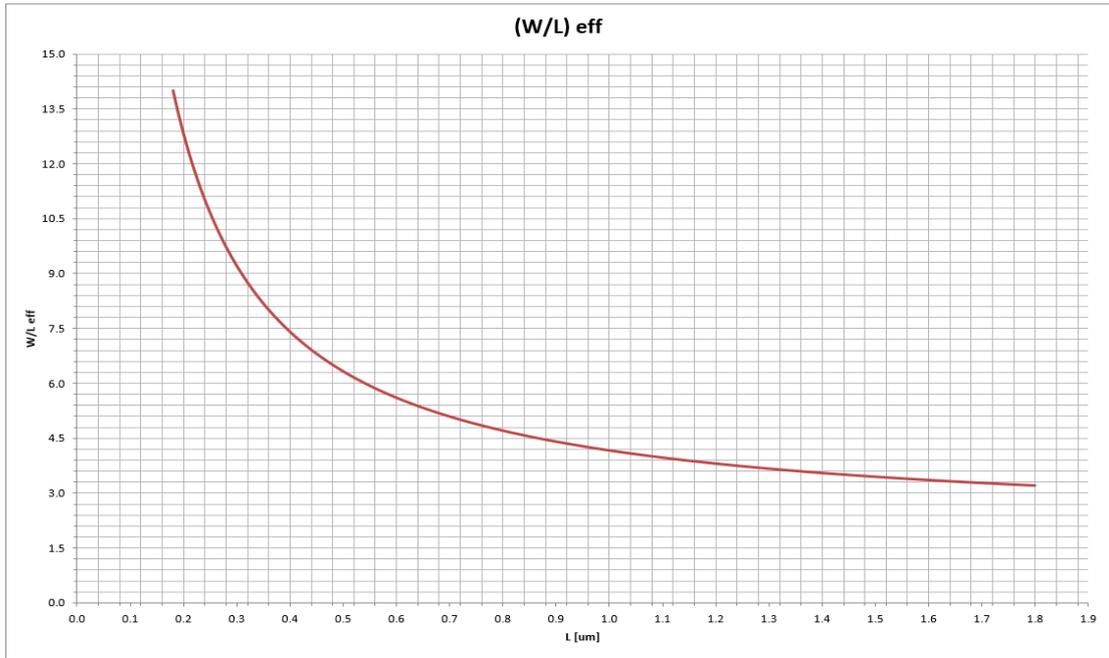


Figura 40: Razões de aspecto para geometria *square* adquirida pelo equacionamento de Retângulos Especiais (XUE, 2011) para tecnologia 180 nm.

## 5 Simulações elétricas de dispositivos de dreno fechado

Este capítulo é proposto com o intuito de analisar as técnicas de estimativa da razão de aspecto  $W/L$  apresentadas na seção 4.3.3. Essa análise é feita através de simulações SPICE (*Simulation Program with Integrated Circuits Emphasis*) utilizando um *kit* de *design* comercial (*Process Design Kit* - PDK) utilizando o simulador *Spectre*®, modelos de simulação BSIM3V3 *level* 49, respeitando as restrições típicas de projeto quanto a questões litográficas e espaçamento de geometrias (*Design Rule Check* - DRC).

Na seção 5.1, são propostas simulações de dispositivos NMOS e posteriormente, na seção 5.2, são propostas simulações de inversores combinando dispositivos *two-edged*, *two-edged fingered* e ELTs de forma a aplicar as equações e modelagens vistas nas seções anteriores e realizar as análises pertinentes.

Os dispositivos da seção 5.1 são propostos com a topologia *square* a fim de contemplar todas as modelagens analisadas neste trabalho, embasando de forma mais robusta os resultados das simulações através de uma quantidade maior de trabalhos baseados em resultados práticos.

Na seção 5.2 as simulações das células inversoras são propostas com topologia *annular* visando um trabalho investigativo estado da arte pois, nesse caso, além propor a atualização das áreas de fonte e dreno em ferramentas comerciais, poucas são as referências para nós tecnológicos menores do que  $0,18\ \mu\text{m}$  que reportam as figuras de mérito em maiores detalhes conforme será apresentado. Além disso, devido a restrições de DRC, geralmente nós tecnológicos menores do que  $0,25$  ou  $0,18$  impossibilitam a execução de ângulos retos no *gate* (somente  $45^\circ$ ).

### 5.1 Simulações elétricas de dispositivos

As simulações dos transistores NMOS são propostas para dois nós tecnológicos distintos,  $0,6\ \mu\text{m}$  e  $0,18\ \mu\text{m}$  da mesma *foundry*.

Dentro desse escopo, é proposto simular e analisar o comportamento DC das curvas de saída ( $I_D \times V_{DS}$ ) e ( $I_D \times V_{GS}$ ) do transistor NMOS *square* representado na Figura 41 (a) com base nas razões de aspecto  $W/L$  obtidas através de cada método descrito na seção 4.3.3 e que se resumem em:

- ML: *Mid-line* (GIRALDO, 2000; MARTIN, 2003; XUE, 2011).
- STP: Soma dos transistores em paralelo (ANELLI, 1999).

- TB: Transistores de bordas (GIRALDO, 2000).
- RE: Retângulos especiais (XUE, 2011).

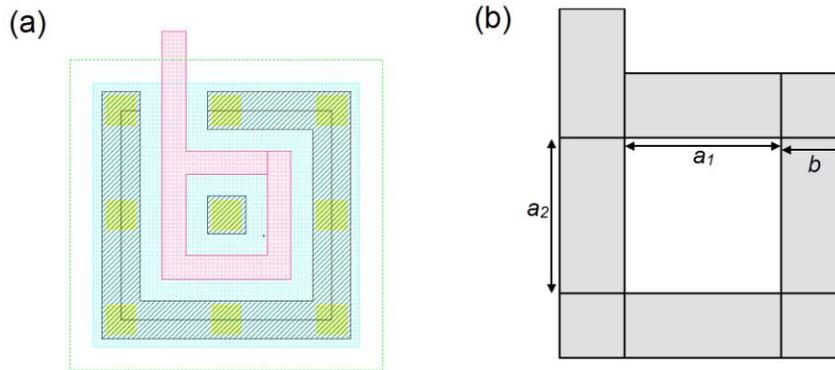


Figura 41: a) Proposta de célula NMOS ELT *square* em processo tecnológico de 180 nm e b) indicação das variáveis em relação às dimensões do dispositivo.

As simulações são propostas para quatro configurações distintas em relação às variáveis  $a_1$ ,  $a_2$  e  $b$  referenciadas pela Figura 41 (b) e ilustradas na Figura 42. Partindo do transistor obtido através do *layout* com dimensões mínimas, indicado pela configuração 1 (C1), o conjunto de configurações propostas são:

- C1: Todas as dimensões mínimas;
- C2: Dobro do valor da dimensão  $a_1$ ;
- C3: Dobro do valor da dimensão  $b$ ;
- C4: Dobro do valor das dimensões  $a_1$  e  $b$ .

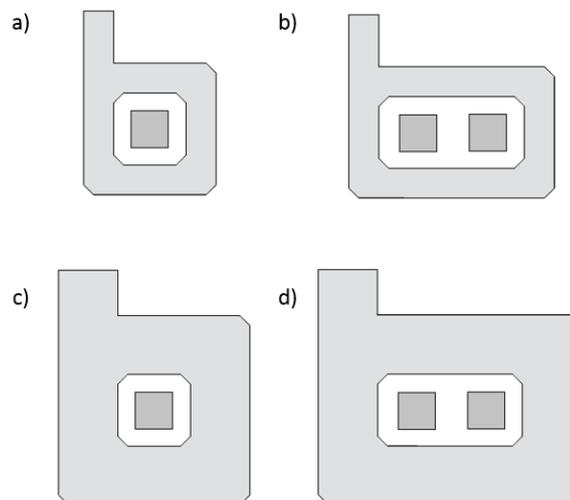


Figura 42: Quatro configurações dos transistores simulados em a) Configuração 1, b) Configuração 2, c) Configuração 3 e d) Configuração 4.

Os valores para as dimensões  $a_1$ ,  $a_2$  e  $b$  de cada configuração são apresentados na Tabela 2 e na Tabela 3 para o nó tecnológico de  $0,6\mu\text{m}$  e  $0,18\mu\text{m}$ , respectivamente.

De posse das dimensões do projeto é possível calcular o valor de  $W/L$  obtido através de cada metodologia. A Tabela 4 e a Tabela 5 resumizam os resultados dos cálculos de cada configuração e de cada nó tecnológico.

De forma a aplicar a metodologia de soma dos transistores em paralelo à proposta de transistor *square*, é proposto atribuir o valor 0 (zero) à variável  $c$  indicada na Figura 37 (b), alterando desse modo a estrutura do tipo *annular* para o *square*.

Os resultados gráficos referentes às simulações propostas neste capítulo são apresentadas da Figura 43 à Figura 50. Nesses gráficos estão referenciados pela Figura 43 à Figura 46 os resultados referentes ao nó tecnológico de  $0,6\mu\text{m}$  e pela Figura 47 à Figura 50 os gráficos referentes ao nó tecnológico de  $0,18\mu\text{m}$ . Em todas as simulações foram considerados:  $V_{SB} = V_B = 0[V]$ ,  $(I_D \times V_{DS}) @ V_{GS} = V_{DD}[V]$ ,  $(I_D \times V_{GS}) @ V_{DS} = V_{DD}[V]$ , sendo  $V_{DD}$  igual a  $1,8 [V]$  e  $5,0 [V]$  para as tecnologias de  $0,18 \mu\text{m}$  e  $0,6 \mu\text{m}$ , respectivamente.

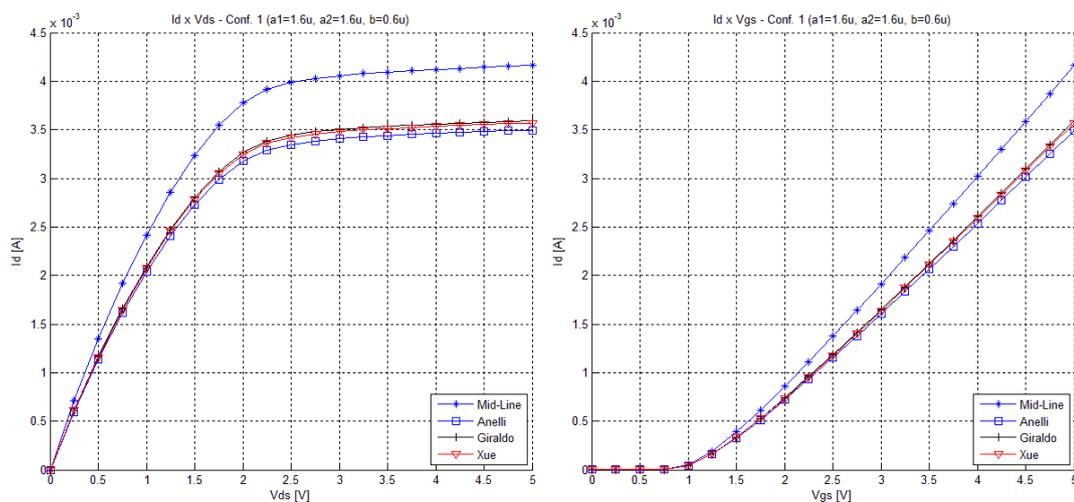


Figura 43: Características  $(I_D \times V_{DS})$  e  $(I_D \times V_{GS})$  da configuração 1 para tecnologia  $0,6 \mu\text{m}$ .

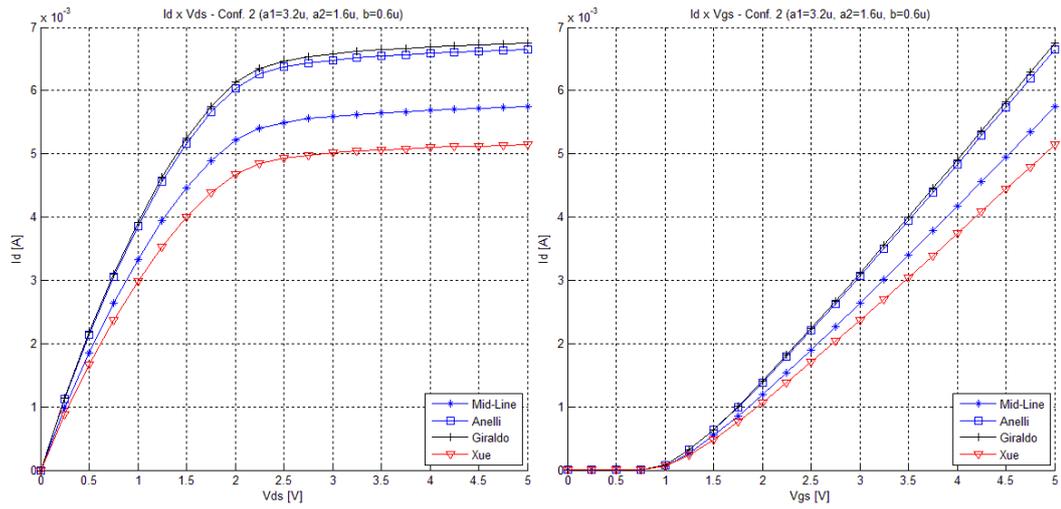


Figura 44: Características ( $I_D \times V_{DS}$ ) e ( $I_D \times V_{GS}$ ) da configuração 2 para tecnologia 0,6  $\mu\text{m}$ .

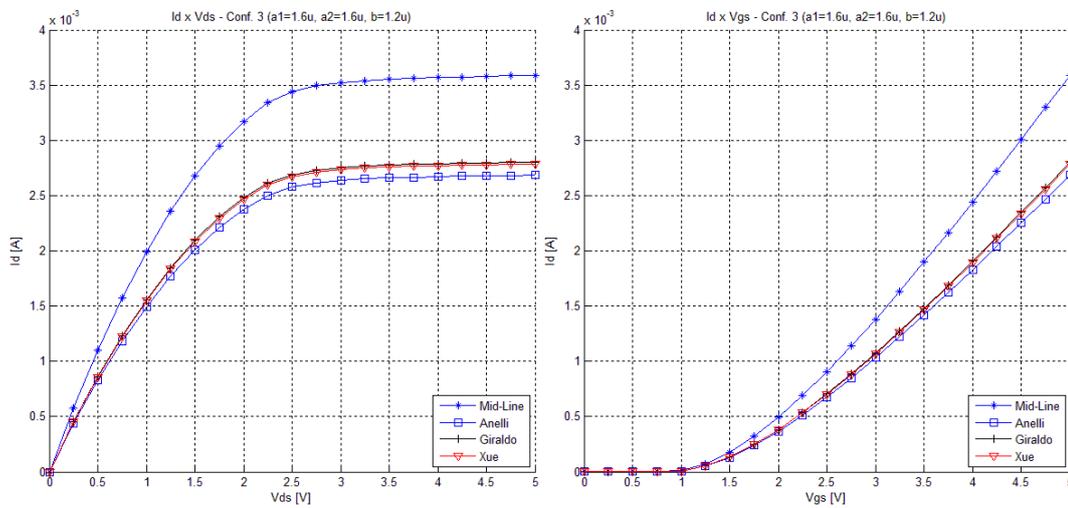


Figura 45: Características ( $I_D \times V_{DS}$ ) e ( $I_D \times V_{GS}$ ) da configuração 3 para tecnologia 0,6  $\mu\text{m}$ .

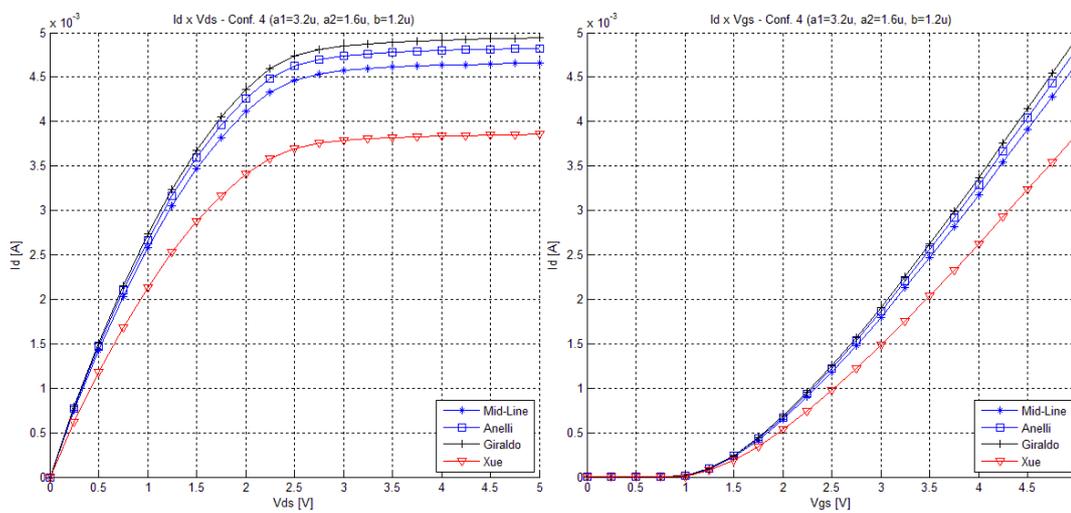


Figura 46: Características ( $I_D \times V_{DS}$ ) e ( $I_D \times V_{GS}$ ) da configuração 4 para tecnologia 0,6  $\mu\text{m}$

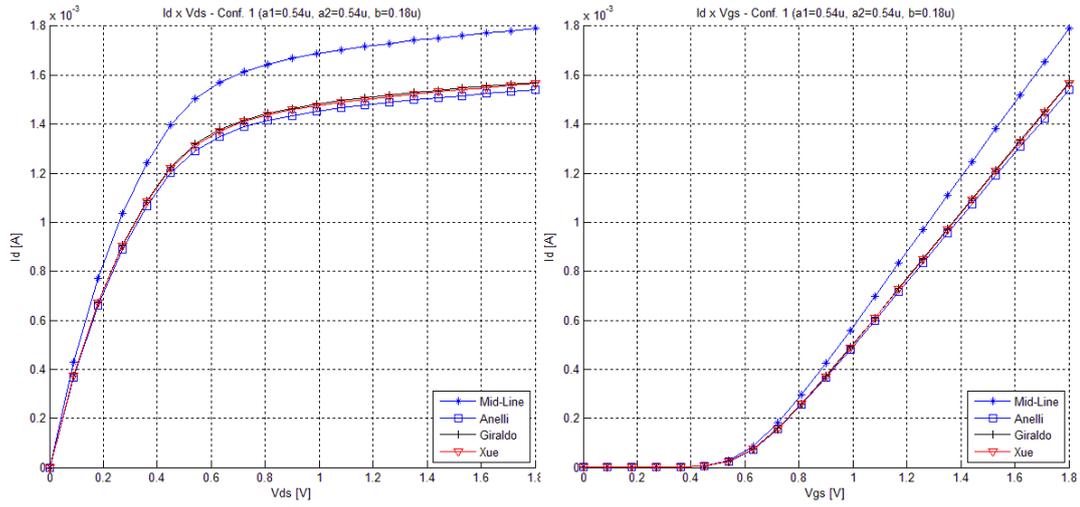


Figura 47: Características ( $I_D \times V_{DS}$ ) e ( $I_D \times V_{GS}$ ) da configuração 1 para tecnologia 0,18  $\mu\text{m}$ .

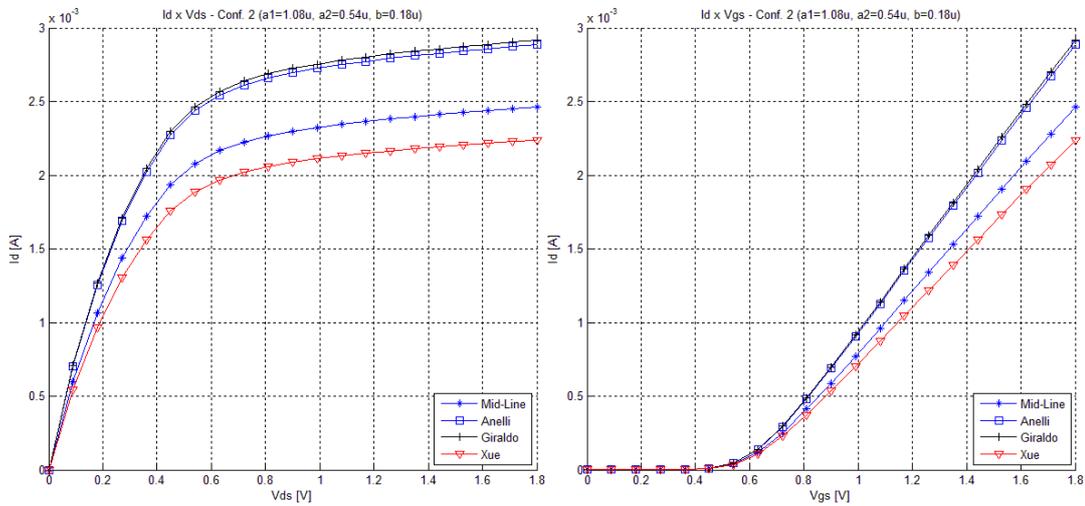


Figura 48: Características ( $I_D \times V_{DS}$ ) e ( $I_D \times V_{GS}$ ) da configuração 2 para tecnologia 0,18  $\mu\text{m}$ .

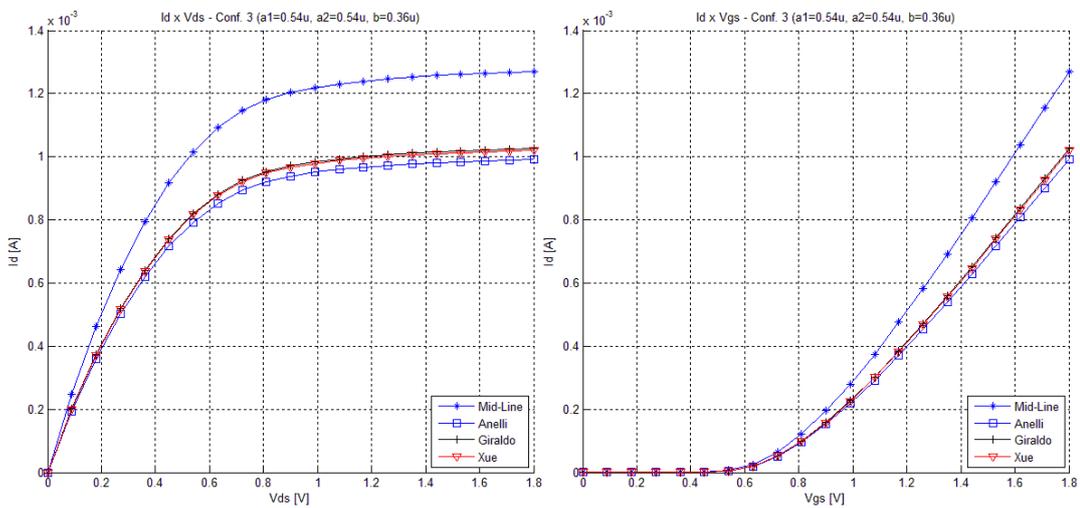


Figura 49: Características ( $I_D \times V_{DS}$ ) e ( $I_D \times V_{GS}$ ) da configuração 3 para tecnologia 0,18  $\mu\text{m}$ .

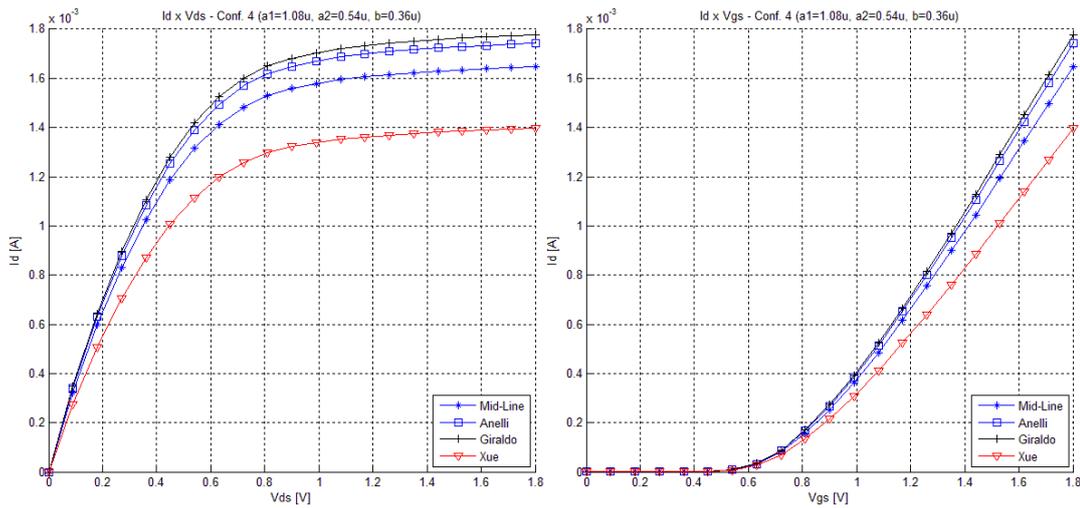


Figura 50: Características ( $I_D \times V_{DS}$ ) e ( $I_D \times V_{GS}$ ) da configuração 4 para tecnologia 0,18  $\mu\text{m}$ .

Tabela 2: Valores referentes às variáveis das configurações dos dispositivos simulados (para tecnologia de 0,6  $\mu\text{m}$ ).

Configurações Variáveis	Configurações			
	C1	C2	C3	C4
$a_1$ [ $\mu\text{m}$ ]	1,6	3,2	1,6	3,2
$a_2$ [ $\mu\text{m}$ ]	1,6	1,6	1,6	1,6
$b$ [ $\mu\text{m}$ ]	0,6	0,6	1,2	1,2

Tabela 3: Valores referentes às variáveis das configurações dos dispositivos simulados (para tecnologia de 0,18  $\mu\text{m}$ ).

Configurações Variáveis	Configurações			
	C1	C2	C3	C4
$a_1$ [ $\mu\text{m}$ ]	0,54	1,08	0,54	1,08
$a_2$ [ $\mu\text{m}$ ]	0,54	0,54	0,54	0,54
$b$ [ $\mu\text{m}$ ]	0,18	0,18	0,36	0,36

Tabela 4: Valores de  $W/L$  calculados para cada método e cada configuração (para tecnologia de 0,6  $\mu\text{m}$ ).

Configurações Variáveis	Configurações			
	ML	STP	TB	RE
C1	14,67	12,42	12,75	12,67
C2	20,00	23,08	23,42	18,00
C3	9,33	7,08	7,38	7,33
C4	12,00	12,42	12,71	10,00

Tabela 5: Valores de  $W/L$  calculados para cada método e cada configuração (para tecnologia de 0,18  $\mu\text{m}$ ).

Configurações Variáveis	Configurações			
	ML	STP	TB	RE
C1	16,00	13,78	14,06	14,00
C2	22,00	25,78	26,06	20,00
C3	10,00	7,76	8,04	8,00
C4	13,00	13,76	14,04	11,00

### 5.1.1 Resultados e discussões

Antes de analisar os dados obtidos é importante enfatizar o fato de que, por se tratarem de resultados de simulação, a análise dos dados é feita tendo como base os resultados de medição apresentados pelas referências. Do mesmo modo, mesmo as comparações entre dados deste próprio trabalho são atreladas à precisão, confiabilidade e veracidade de cada método e equação referenciada.

Nesse contexto, as análises dos resultados são feitas de forma qualitativa através dos gráficos apresentados da Figura 43 à Figura 50 e numericamente com base nos valores de corrente máxima ( $I_{D,max}$ ) pertinentes aos mesmos gráficos, porém explicitados numericamente pela Tabela 6 e Tabela 7 para as tecnologias de 0,6 $\mu\text{m}$  e 0,18 $\mu\text{m}$ , respectivamente.

Analisando os resultados gráficos da Figura 43 à Figura 50 e considerando o valor da tensão de *threshold* como o valor de tensão aplicado ao *gate* para o qual começa a condução de forma exponencial na curva  $I_D \times V_{GS}$ , percebemos que  $V_{TH}$  é praticamente o mesmo dentro das simulações de uma mesma configuração (pode ser verificado através do modelo *alpha*

*power* (SAKURAI, 1990) com diferenças menores do que 20 mV). Essa observação é válida para os dois nós tecnológicos.

Tabela 6: Valores máximos de corrente de saturação de dreno obtidos para cada configuração de cada método simulado (em tecnologia de 0,6  $\mu\text{m}$ ).

Configurações	Métodos			
	ML	STP	TB	RE
C1 - $I_{D,\text{max}}$ [mA]	4,16	3,50	3,60	3,57
C2 - $I_{D,\text{max}}$ [mA]	5,74	6,65	6,75	5,15
C3 - $I_{D,\text{max}}$ [mA]	3,59	2,69	2,80	2,79
C4 - $I_{D,\text{max}}$ [mA]	4,66	4,83	4,94	3,86

Tabela 7: Valores máximos de corrente de saturação de dreno obtidos para cada configuração de cada método simulado (em tecnologia de 0,18  $\mu\text{m}$ ).

Configurações	Métodos			
	ML	STP	TB	RE
C1 - $I_{D,\text{max}}$ [mA]	1,79	1,54	1,57	1,56
C2 - $I_{D,\text{max}}$ [mA]	2,46	2,89	2,92	2,24
C3 - $I_{D,\text{max}}$ [mA]	1,27	0,99	1,03	1,02
C4 - $I_{D,\text{max}}$ [mA]	1,65	1,74	1,78	1,40

Por outro lado, considerando a transcondutância ( $g_m$ ) como a inclinação da curva ( $I_D \times V_{GS}$ ) na região de saturação, notamos, visualmente, que dentro de uma mesma configuração alguns métodos apresentam diferenças significativas na transcondutância, fato que, representando o ganho do transistor, conduz a maiores diferenças na magnitude do sinal de saída.

Percebemos esse fato nos dados das configurações 1 e 3 dos dois nós tecnológicos. Nesses casos a magnitude da corrente obtida através do método *mid-line* foi relativamente maior em comparação aos outros métodos. Na configuração 1, que diz respeito às regras mínimas de projeto, com exceção do método *mid-line*, todos apresentaram valores bastante próximos (visualmente muito agrupados).

Como conclusão dessas observações é possível notar que, de fato, o método da linha média (*mid-line*) superestima o valor da corrente nas regiões de periferia (ângulos) dos transistores. Esse fato se torna mais evidente quando comparamos diretamente as

configurações em que o valor de  $b$  é aumentado, ou seja, esse efeito se torna mais evidente como em comparações entre as configurações 1 e 3 de cada tecnologia.

Numericamente, nessa mesma análise, para os dados referentes à tecnologia de 0,6  $\mu\text{m}$ , verificamos que na C1 o valor máximo de corrente obtido através do método *mid-line* é de 13,5% a 16% maior do que comparado aos outros métodos. Do mesmo modo, para a C3 dessa mesma tecnologia, o valor é de 21,5% a 25,5% maior. A mesma análise e o mesmo comportamento se notam para a tecnologia de 0,18 $\mu\text{m}$  onde os valores se encontram entre 12% e 14% para a C1 e entre 19% e 22% para a C3.

Confrontando o resultado dessas diferenças com os valores práticos informados pela literatura (que citam valores um pouco maiores, mas próximos, a 10%), percebemos que especialmente no caso da C1 de dimensões mínimas foram obtidos valores bastante coerentes (13,5% e 12%).

Ainda com relação à observação das maiores discrepâncias das magnitudes de corrente, também chama a atenção a C4 onde o valor da corrente de dreno na região de saturação obtido através do método dos retângulos especiais (XUE 2011) destoou bastante em comparação aos demais em ambas as tecnologias.

Esse fato pode ser explicado tendo em vista que a constante  $C_{ab}$ , referenciada na equação 23, a qual representa o tratamento da não-uniformidade do campo elétrico nas regiões das quinas do *gate*, foi utilizada em todos os casos com o valor 2 sem sofrer alteração.

Desse modo, como o ajuste dessa constante presume uma calibração experimental, e está diretamente relacionada ao aumento da magnitude da razão de aspecto e tem seu valor incrementado, ao passo que o comprimento do canal também aumenta, podemos presumir que uma calibração experimental, para essa constante, seria suficiente para conduzir a magnitude da corrente para valores mais próximos aos obtidos através dos outros métodos.

Essa diferença também é percebida na configuração 2 onde o valor do comprimento do canal é maior, sendo assim, excluindo-se o método do *mid-line* e considerando que houvesse a calibração da constante  $C_{ab}$  no método dos retângulos especiais, percebemos que os valores de todos os métodos, configurações e tecnologias poderiam se tornar bastante próximos.

Ainda excluindo-se o método do *mid-line*, os valores obtidos pelo método dos transistores de bordas (GIRALDO, 2000), nas quatro configurações e nas duas tecnologias, resultaram em correntes maiores quando em comparação aos outros dois métodos (soma dos transistores em paralelo (ANELLI, 1999) e retângulos especiais (XUE, 2011)). Entretanto, essa maior magnitude de corrente, obtida pelo método dos transistores de bordas que, a priori,

pode dar a impressão de uma considerável discrepância nos resultados, deve ser analisada com cautela.

No caso de levarmos em consideração as variáveis já destacadas nas análises dos resultados, é possível supor que a comparação mais coerente, de forma direta, que devemos fazer leva em consideração as configurações de canal mínimo C1 e C3 entre os métodos de transistores de bordas (GIRALDO, 2000) e retângulos especiais (XUE, 2011). Desse modo, os métodos apresentam diferença muito pequena (aproximadamente 0,5%) nas configurações C1 e C3 de ambas as tecnologias. Nas duas tecnologias, quando o tamanho de canal é maior (C2 e C4), percebe-se uma diferença pequena (entre 1 e 2,5%) entre os métodos de transistores de bordas (GIRALDO, 2000) e soma dos transistores em paralelo (ANELLI, 1999).

Finalmente, de um modo geral, podemos concluir que as simulações apresentam comportamentos em total concordância com o que é apresentado por trabalhos relacionados. Além disso, tendo como base as diferenças de magnitude observadas pelas simulações dos métodos obtidas neste trabalho com o que é reportado pela literatura, observamos que os valores não somente resultam em um comportamento quantitativo convergente como também guardam proporções numéricas bastante próximas.

## 5.2 Simulações elétricas de dispositivos inversores

Nesta subsecção são propostas simulações de quatro inversores, apresentados pela Figura 51 configurações 1 (C1) a 4 (C4), as quais realizam combinações entre dispositivos *two-edged*, *two-edged fingered* e *ELT annular* para o nó tecnológico de 0,18  $\mu\text{m}$ .

Desse modo, as quatro configurações (C1 a C4), apresentadas pela Figura 51, são convencionadas em:

- C1: PMOS e NMOS *Two-edged* (TE) equivalente;
- C2: PMOS TE e NMOS ELT;
- C3: PMOS TE *two-fingered* e NMOS ELT;
- C4: PMOS e NMOS ELTs.

Para o dimensionamento dos transistores, inicialmente, de forma análoga à apresentada na seção 5.1, foi realizado o *layout* do transistor NMOS ELT através de regras mínimas de *design*. Posteriormente, aplicando o método de soma dos transistores em paralelo, (apresentado pela Figura 37 (b) e modelado pela equação 21) foi calculada a razão de aspecto  $W/L$  como 11,25.

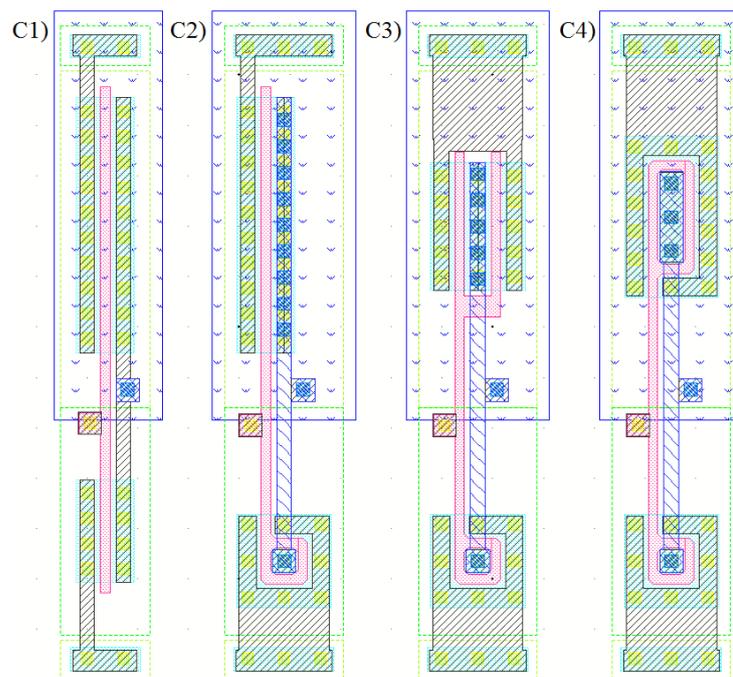


Figura 51: Configurações C1) PMOS e NMOS TE equivalente, C2) PMOS TE e NMOS ELT, C3) PMOS TE *Two-fingered* e NMOS ELT e C4) PMOS e NMOS ELT.

Para a razão de aspecto entre os transistores PMOS e NMOS (razão PN) foi proposto o valor de 2,5 pois é similar ao utilizado pelo inversor mínimo (inversor X1) fornecido pela biblioteca padrão de células do PDK comercial utilizado.

De posse da razão  $W/L$  do transistor ELT mínimo e da razão PN, é possível obter o dimensionamento da rede Pull-Up conforme apresentado pela equação 24.

$$\left(\frac{W}{L_{\text{eff}}}\right)_P = \left(\frac{W}{L_{\text{eff}}}\right)_N \cdot \text{PN} = 11.25 \cdot 2.5 = 28.125 \quad (24)$$

Tendo em vista o design de células digitais para um posterior posicionamento e roteamento automático é preciso considerar a abordagem de altura fixa e largura variável. Para isto devem ser escolhidas distâncias múltiplas inteiras dos espaçamentos de Metal 1 na vertical e Metal 2 na horizontal. Seguindo essa convenção a altura é proposta com o valor de 20 múltiplos e a largura de (C1) de 2 múltiplos e de (C2) a (C4) de 3 múltiplos. Os pinos de entrada e saída de sinal de cada célula também devem estar alinhados com relação ao *grid* de roteamento de Metais 1 e 2.

Seguindo a metodologia proposta por Rabaey (2003), as figuras de mérito (*Figures of Merit - FoM*) para as margens de ruído alta ( $NM_H$ ) e baixa ( $NM_L$ ), isto é, os valores de tensão para os quais a célula digital distingue o nível lógico '1' do '0', foram adquiridas de acordo com *Test Bench* (TB) ilustrado pela Figura 52 através da função característica ( $V_{\text{out}} \times V_{\text{in}}$ ).

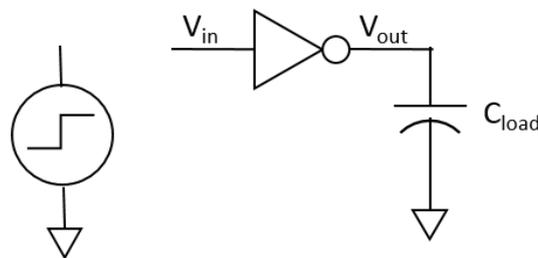


Figura 52: Test Bench para margens de ruído.

As FoM referentes ao tempo de propagação ( $t_p$ ), potência média ( $P_{\text{avg}}$ ) e consumo de energia (E) são adquiridas pela cadeia de cinco inversores, ilustrada pelo TB da Figura 53 analisando os sinais de entrada, saída e corrente sob a perspectiva do inversor central da cadeia durante uma oscilação completa do relógio.

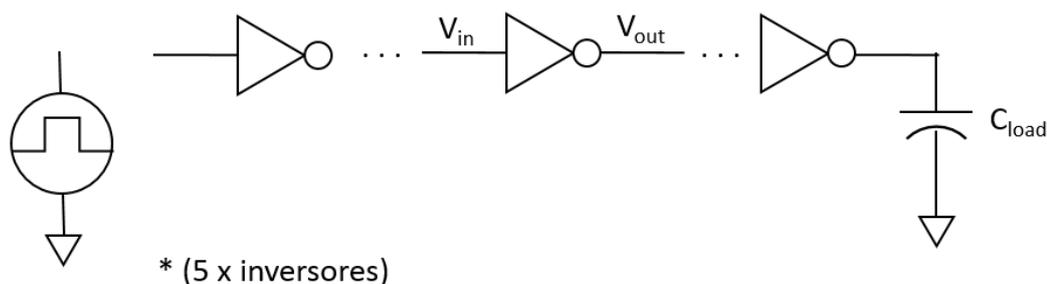


Figura 53: Test Bench para aquisição de tempo de propagação, potência média e dissipação de potência.

Os parâmetros de configuração da fonte de sinal de entrada, tensão de alimentação e capacitância de saída estão referenciados na Tabela 8.

Tabela 8: Variáveis relacionadas às configurações do *Test Bench* dos inversores.

Descrição	Variável	Valor	Unidade
<i>Frequência de entrada</i>	$f_{in}$	200M	Hz
<i>Capacitância de carga</i>	$C_{load}$	50f	F
<i>Tempos de subida e descida</i>	$T_{rise}/T_{fall}$	100p	s
<i>Tensão de alimentação</i>	$V_{DD}$	1.8	V

Além do cálculo da razão de aspecto este trabalho propõe a atualização das áreas de fonte e dreno nas simulações. Esse procedimento é possível de ser realizado através da atualização manual desses valores para cada dispositivo ou através da inserção de uma rotina (no caso da ferramenta utilizada por este trabalho em linguagem SKILL) na própria ferramenta. Os resultados e discussões das simulações são apresentados na próxima seção.

### 5.2.1 Resultados e discussões

As simulações elétricas propostas nesta seção têm em vista investigar a possibilidade de que se possam expandir as análises DC (adquiridas apenas através da atualização da razão  $W/L$ ) para análises AC ou transientes (atualizando a área/perímetro de fonte e dreno dos dispositivos).

Desse modo, foram propostas simulações de Corners e Monte Carlo a fim de verificar e analisar as figuras de mérito, apresentadas na seção anterior, comumente utilizadas para caracterização de inversores.

Pelo fato de que os parâmetros de variabilidade utilizados pelas simulações pressupõem dispositivos *two-edged*, é necessário um trabalho futuro de validação baseado em valores práticos. Porém, estudos anteriores como o de Anelli (2000), que no contexto de mismatch verifica através de medidas experimentais uma correspondência similar e linear para  $\sigma_{\Delta V_{TH}}$  entre transistores *two-edged* e ELTs nas quais os valores para comprimentos de canal  $0,5 \mu\text{m}$  são (ELT  $\sim 3$  e TE  $\sim 4,3$ ) [mV] e para o nó de  $0,28 \mu\text{m}$  (ELT  $\sim 2,6$  e TE  $\sim 4,7$ ) [mV] e o trabalho de Chen (2005), realizado tanto para o mesmo nó tecnológico desta seção ( $0,18 \mu\text{m}$ ) quanto utilizando o mesmo equacionamento para a obtenção da razão  $W/L$  (Soma dos transistores em paralelo), reportam valores médios de  $V_{TH}$  de  $(399 \pm 4)$  mV, que são boas indicativas de que essas simulações se aproximem dos valores reais pela tendência linear de variações do  $\sigma_{\Delta V_{TH}}$  e variações da ordem de 1% no  $\Delta V_{TH}$ .

Desse modo, para as simulações de *Corners*, apresentadas pela Tabela 9, foram executadas variações da tensão de alimentação ( $V_{DD}$ ) de  $\pm 10\%$  em torno do seu valor nominal de 1,8V, temperatura mínima  $0^\circ$ , máxima  $125^\circ$  e nominal  $27^\circ$ . Os resultados da Tabela 9 e da Tabela 10 foram obtidos através da simulação elétrica de esquemático e estimativa de área de fonte e dreno calculadas através das dimensões obtidas em *layout*.

Tabela 9: Resultado das simulações *Corners*.

Config.	Variáveis	NM <sub>H</sub> [mV]	NM <sub>L</sub> [mV]	tp [ps]	P <sub>avg</sub> [μW]	E [fJ]
	Descrição					
C1	<i>Melhor caso</i>	504.20	526.00	23.14	14.05	70.23
	<i>Nominal</i>	619.90	711.90	29.63	17.90	89.52
	<i>Pior caso</i>	737.40	841.40	45.36	22.82	114.10
C2	<i>Melhor caso</i>	504.20	526.00	22.25	13.45	67.25
	<i>Nominal</i>	619.90	711.90	28.38	17.17	85.86
	<i>Pior caso</i>	737.40	841.40	43.16	21.86	109.30
C3	<i>Melhor caso</i>	498.90	537.20	21.38	12.69	63.44
	<i>Nominal</i>	613.20	721.70	27.19	16.19	80.97
	<i>Pior caso</i>	726.9	852.9	41.06	20.71	103.5
C4	<i>Melhor caso</i>	504.2	526	20.735	12.5	62.48
	<i>Nominal</i>	619.9	711.9	26.31	15.96	79.78
	<i>Pior caso</i>	737.4	841.4	39.785	20.38	101.9

As simulações Monte Carlo, apresentadas na Tabela 10, foram configuradas para atingir um intervalo de confiança de  $3\sigma$  (99.73%) com variações ( $\sigma$ ) de processo e mismatch. Este intervalo de confiança foi atingido executando em torno de 1200 simulações para cada figura de mérito.

Tabela 10: Resultado das simulações de Monte Carlo.

Confgs.	Variáveis	NM <sub>H</sub>	NM <sub>L</sub>	tp	P <sub>avg</sub>	E
	Descrição	[mV]	[mV]	[ps]	[μW]	[fJ]
C1	<i>Média</i>	619.35	712.02	29.60	17.91	89.54
	<i>Desv. padrão</i>	11.55	10.28	0.60	0.14	0.70
C2	<i>Média</i>	619.35	712.02	28.35	17.17	85.86
	<i>Desv. padrão</i>	11.55	10.28	0.57	0.14	0.70
C3	<i>Média</i>	612.71	721.82	27.18	16.20	81.02
	<i>Desv. padrão</i>	11.61	10.25	0.55	0.14	0.70
C4	<i>Média</i>	619.35	712.02	26.30	15.97	79.84
	<i>Desv. padrão</i>	11.55	10.28	0.53	0.13	0.67

Conforme analisamos na seção 4.3.2 a relação de diferença entre as capacitâncias de fonte e dreno, ao posicionar um ou outro internamente, implica em uma decisão entre condutância de saída (efeitos de modulação do canal) e frequência de operação. A decisão deste projeto levou em consideração a alocação do contato de dreno na região interna visando a diminuir o tempo de resposta da célula. Esse fato pode ser verificado analisando os valores da Tabela 9 e da Tabela 10, onde podemos observar que há um constante decréscimo de tempo de propagação ( $t_p$ ), potência média ( $P_{avg}$ ) e energia (E).

Ao aumentarmos a proporção da área de fonte em relação à de dreno, como por exemplo no caso extremo entre as configurações 1 (ambos TE) e C4 (ambos ELT), devido a uma área menor vista como capacitância de saída os tempos médios necessários para carga e descarga dos portadores ( $t_p$ ),  $P_{avg}$  e E são reduzidos em torno de 10%.

Com relação ao transistor *folding* (C3), notamos que, apesar da melhor performance comparada com o *two-edged* (C2) ( $t_p$ ,  $P_{avg}$  e E na ordem de 5%), a performance é pior se comparada ao ELT (C4) ( $t_p$  na ordem de 3,3% e  $P_{avg}$  e E na ordem de 1,5%). Nesse caso, além

da técnica de *folding* apresentar uma suscetibilidade maior a desvios relacionados à incidência de radiação ionizante, pois como analisado na seção 4.3.1 multiplicam-se as regiões de *bird's beak*, não sendo, portanto, uma boa alternativa.

Sobre os desvios padrão, constatamos que em geral são menores com ambas as redes ELT (C4), com exceção da figura de mérito da margem de ruído baixa ( $NM_L$ ), a qual apresentou o desvio padrão ligeiramente maior (0,03 mV) em comparação a C3. Porém ao desconsiderarmos a opção de C3, sob o ponto de vista de tolerância à radiação, C4 apresenta desvios médios iguais ou menores do que as outras configurações.

A análise análoga é realizada sobre o resultado das simulações de Corners pois, ao desconsiderarmos C3, os melhores casos (valores Max. menores) se apresentam na C4, onde ao comparar C1 a C4 verificamos uma redução de aproximadamente 14% em  $t_p$  e em torno de 12% em  $P_{avg}$  e E.

Sobre as margens de ruído, a mesma tendência foi observada tanto em Corners quanto em Monte Carlo. Na C3 foram observados resultados ligeiramente melhores, ou seja,  $NM_L$  mais alto e  $NM_H$  mais baixo, o que reduz a faixa de tensões indefinidas. Nesse caso, percebemos uma melhora em torno de 1% na C3. Ainda com relação às margens de ruído, a assimetria entre os valores de  $NM_L$  e  $NM_H$  em relação ao valor médio de tensão ocorre devido à diferença entre as resistências dos canais dos transistores NMOS e PMOS.

Em relação a inerente penalidade de área, executando uma avaliação diretamente através do *layout*, os dispositivos ELT tiveram, no melhor caso, um acréscimo de 50% em comparação com seu equivalente *two-edged*. Considerando o contexto de células digitais projetadas para um posicionamento e roteamento automático, na qual basicamente a largura é incrementada, os aumentos de área nos casos propostos foram de aproximadamente 70%. Porém, como reporta Xue (2011), em células mais complexas envolvendo um número maior de ELTs a penalidade de área chega à ordem de 8x como no caso do nó tecnológico de 0,13  $\mu\text{m}$ .

Finalmente, com relação à atualização da área/perímetro de fonte e dreno, proposta por este trabalho, foram constatados resultados positivos pois, além de verificarmos alteração dos valores nas figuras de mérito entre as diferentes configurações, os resultados adquiridos são coerentes e em concordância com as análises teóricas vista nas seções anteriores. Vale lembrar, entretanto, que apesar do bom indicativo dos resultados teóricos um trabalho futuro de validação através de valores práticos deve ser executado.

## 6 Simulações de transporte de portadores

Simulações do tipo TCAD (*Technology Computer Aided Design*) propiciam que sejam realizadas simulações em nível de dispositivo. Desse modo, além de ser possível implementar geometrias e propostas de *design* que não se encontrem disponíveis nos modelos fornecidos pelos PDKs comerciais (como é o caso dos ELTs), é possível também simular situações específicas a nível de processo como, por exemplo, diferentes dopagens na região do substrato e do canal.

No entanto, simulações com ferramentas TCAD são, a priori, bastante complexas, uma vez que tratam da solução de problemas numéricos e possuem um vasto número de configurações como, por exemplo a convergência de resultados, tempos de simulação e modelos de equações a serem utilizados. Além disso, um grande desafio que surge com relação a tais simulações diz respeito aos parâmetros tecnológicos e de fabricação que conformam o dispositivo em 2 ou 3 dimensões.

É possível obter resultados de simulação muito próximos aos encontrados em medidas experimentais, porém essa tarefa é substancialmente mais simples quando possuímos dados relativos à fabricação do dispositivo como, por exemplo, os materiais que são utilizados, tipos de processos, concentrações de dopagens, elementos dopantes e no caso da difusão ainda são necessários conhecer fatores como a energia, ângulo da implantação e temperatura dentre muitos outros fatores. Porém, estes dados são propriedades das fábricas e raramente são disponibilizados.

Desse modo, uma das alternativas para contornar a falta dessas informações é descrever as estruturas apenas através do seu posicionamento geométrico. Essa alternativa, entretanto, gera uma série de implicações que desviam os resultados dos que seriam considerados como sendo ideais.

Essa metodologia foi abordada para projetar e simular um transistor NMOS baseado em regras mínimas de espaçamento de geometrias fornecidas pelo PDK.

### 6.1 Projeto dos transistores

No contexto das simulações TCAD um dos primeiros desafios que surgem é a representação do dispositivo a ser simulado, a qual pressupõe que todas as geometrias sejam descritas e posicionadas.

Sendo assim, inicialmente foi necessário gerar os transistores NMOS representados pelas secções transversais da Figura 54 (a) e (b). A Figura 54 (a) ilustra a secção transversal de um transistor NMOS *two-edged* e (b) ilustra a secção transversal de um dispositivo ELT *square*, ambas para o nó tecnológico de 0,18  $\mu\text{m}$  projetadas com dimensões mínimas.

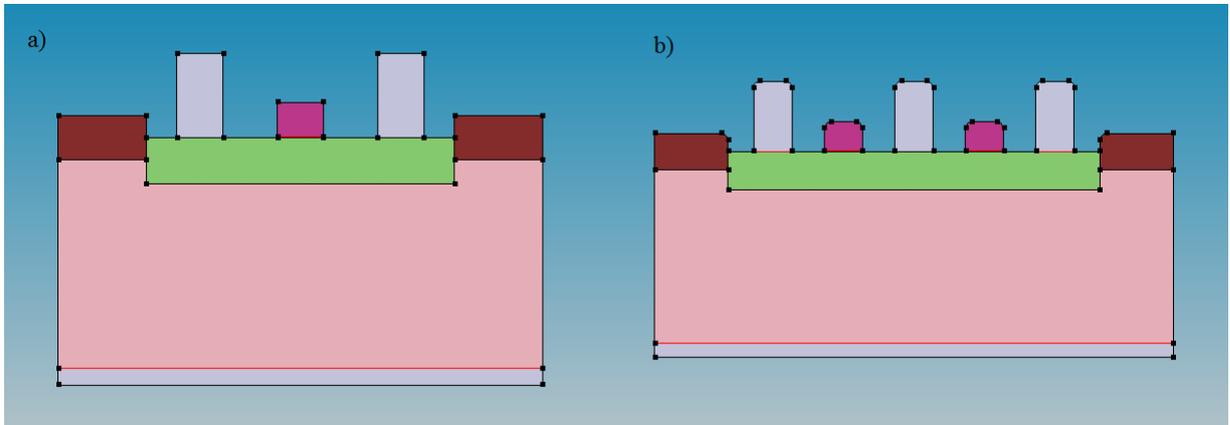


Figura 54: Exemplo de geometrias produzidas através do arquivo de saída SDE 2D para a) dispositivos *Two-edged* e b) dispositivos ELT em tecnologia 0,18  $\mu\text{m}$ .

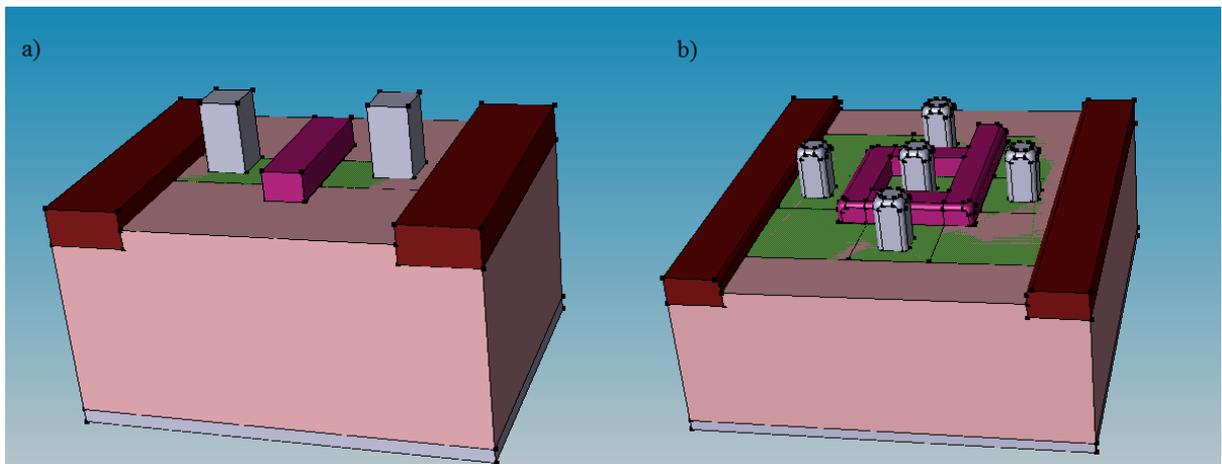


Figura 55: Exemplo de geometrias 3D para dispositivos a) *two-edged* e b) ELT para nó tecnológico 0,18  $\mu\text{m}$ .

A Figura 55 (a) ilustra o resultado final tridimensional da estrutura *two-edged* e em (b) do transistor ELT. Os transistores do tipo *two-edged* tanto nas representações 2D quanto nas 3D foram projetados com base em geometrias ideais, ou seja, sem suavização nas extremidades (ângulos retos), como é possível verificar tanto nas representações da Figura 54 quanto da Figura 55.

Os dispositivos *two-edged* foram projetados com as extremidades em ângulo reto no intuito de aproximar as estruturas das geometrias ideais, tendo em vista servir de base para efetuar uma futura calibração (como será abordado na seção 6.2).

Deste modo, supondo a prévia calibração dos dispositivos *two-edged*, os dispositivos ELT foram projetados no intuito de se aproximar o máximo possível dos resultados finais de fabricação. Sendo assim, nesses casos, não há a suavização nas extremidades, como também é possível verificar tanto nas representações da Figura 54 quanto da Figura 55.

A etapa final do projeto pressupõe ainda a inserção da região de difusão com os respectivos perfis de dopagem. Esse resultado está ilustrado na Figura 56 (a) e (b) para geometrias *two-edged* e ELT, respectivamente.

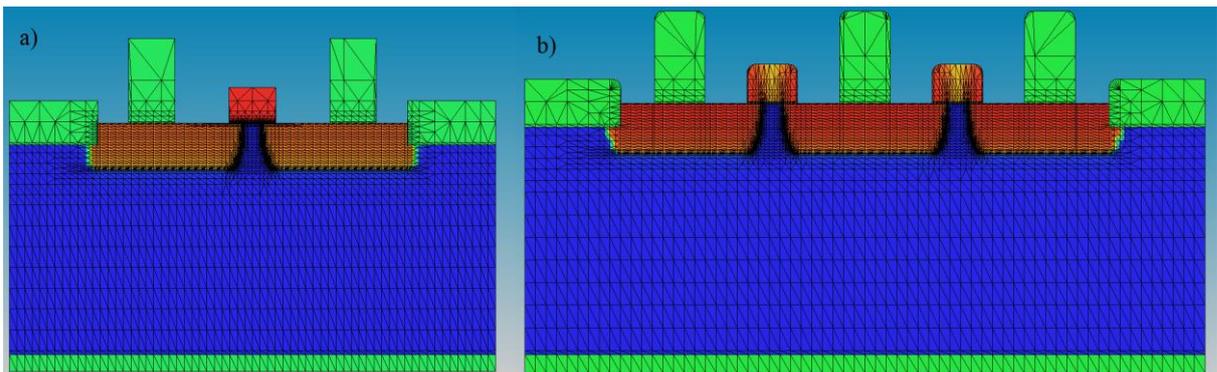


Figura 56: Exemplo de perfil de dopagem para dispositivos a) *two-edged* e b) ELT para o nó tecnológico de 0,18 $\mu\text{m}$ .

Os perfis de dopagem apresentados nas ilustrações desta seção foram obtidos através de dopantes do elemento Arsênio com seu gradiente sendo representado com o valor máximo de  $9 \cdot 10^{18}$  na cor vermelha e com valor mínimo de  $1 \cdot 10^{16}$  na cor azul. Entretanto, com relação a estes perfis e valores de dopagem, as figuras apresentadas nesta seção são apenas de caráter ilustrativo. O elemento dopante, concentrações e principalmente o perfil de dopagem serão comentados em maiores detalhes na próxima seção.

A representação final em perspectiva do projeto de um transistor ELT *square* está apresentada na Figura 57.

De posse do projeto geométrico dos transistores representados no formato dos arquivos de entrada da ferramenta de simulação TCAD é possível iniciar os processos de simulações e calibração.

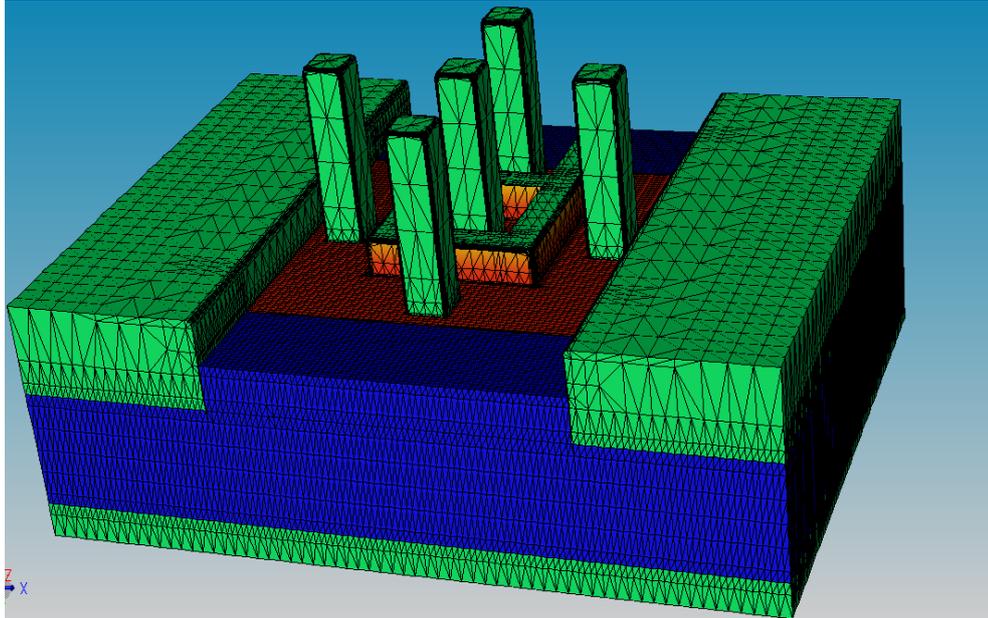


Figura 57: Exemplo final 3D de transistor ELT em tecnologia 0,18  $\mu\text{m}$ .

## 6.2 Simulações e Calibração

Inicialmente, levando em conta que é previsto que a inserção geométrica das estruturas idealizadas, e principalmente das implantações e difusões, não seja uma representação fiel da realidade, o primeiro passo a ser executado é o ajuste dessas regiões através de calibrações.

Essa calibração é proposta comparando-se as características ( $I_D \times V_{DS}$ ) e ( $I_D \times V_{GS}$ ) entre uma simulação elétrica dos dispositivos em esquemático e uma simulação TCAD de um transistor NMOS *two-edged* padrão de dimensões mínimas. Os valores da simulação elétrica dos dispositivos são obtidos através de uma simulação SPICE, de maneira análoga às apresentadas no capítulo 5 e as simulações TCAD, por sua vez, são obtidas inicialmente através de uma simulação bidimensional (2D) do dispositivo, conforme apresentado pelas Figura 54 e Figura 56 (a) e (b) em ambos os casos.

Com relação à primeira simulação, como estimativa inicial, foram consideradas as informações disponibilizadas pela documentação do PDK sobre a profundidade da região de difusão e concentração de dopantes.

Após o início das simulações, o processo de simulação e comparação dos resultados foi repetido diversas vezes. Após cada simulação eram reajustados os valores referentes à concentração de dopantes do substrato (ou da região de difusão) até a obtenção de valores com erro menor do que 2% em relação ao valor absoluto máximo das correntes nos comportamentos ( $I_D \times V_{DS}$ ) e ( $I_D \times V_{GS}$ ) na região de saturação.

Esse processo foi executado para o comprimento de canal mínimo ( $0,18\mu\text{m}$ ) e o dobro do canal mínimo ( $0,36\mu\text{m}$ ) como apresentado na Figura 58 (a) e (b), respectivamente. Nas simulações foram considerados:  $V_{SB} = V_B = 0[V]$ ,  $(I_D \times V_{DS}) @ V_{GS} = 1,8 [V]$ ,  $(I_D \times V_{GS}) @ V_{DS} = 1,8 [V]$

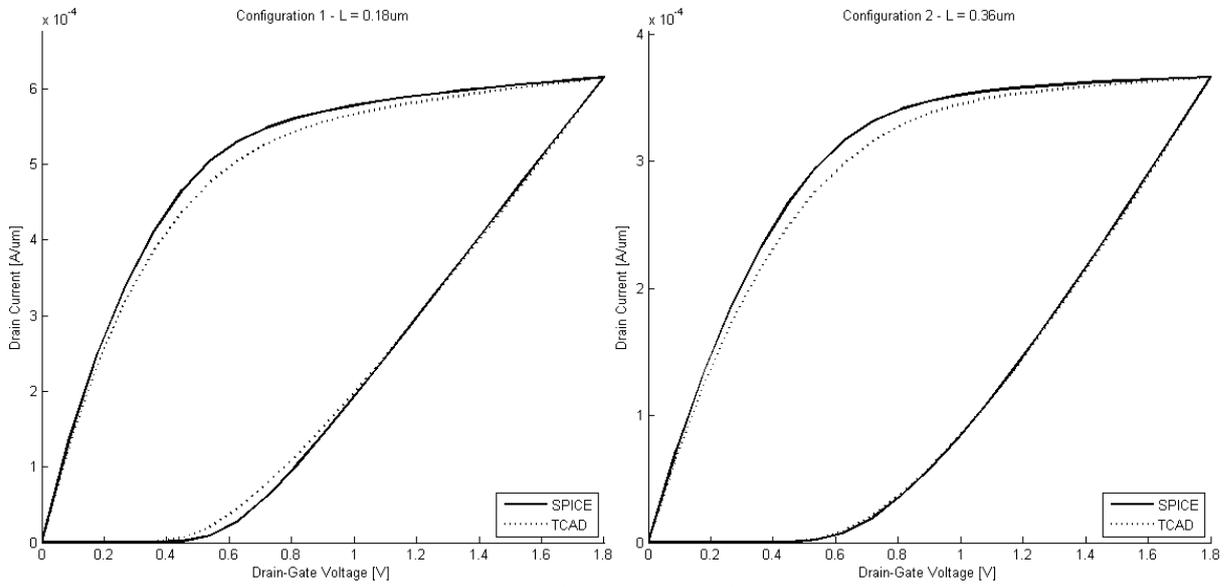


Figura 58: Características  $(I_D \times V_{DS})$  e  $(I_D \times V_{GS})$  finais para a calibração 2D de comprimento de canal a)  $L = 0,18\mu\text{m}$  e b)  $L = 0,36\mu\text{m}$  para o nó tecnológico de  $0,18\mu\text{m}$ .

Tendo como base a proximidade dos valores absolutos das características  $(I_D \times V_{DS})$  e  $(I_D \times V_{GS})$  para ambos os comprimentos de canal  $L = 0,18\mu\text{m}$  e  $L = 0,36\mu\text{m}$  o dispositivo foi considerado calibrado.

Desse modo, após a calibragem, para as simulações dos dispositivos foram propostas as mesmas quatro configurações apresentadas na seção 5 com as distâncias igualmente referenciadas. Porém, nesse caso, foram executadas apenas para o nó tecnológico de  $0,18 \mu\text{m}$ .

Os resultados e análises das simulações são apresentados na próxima seção.

### 6.2.1 Resultados e discussões

Inicialmente chama à atenção a enorme complexidade dos recursos envolvidos durante as simulações. Essa constatação é feita com base no tempo de execução de cada simulação 3D que durava algumas horas para cada dispositivo. Mesmo alguns dispositivos simulados de forma bidimensional chegam a levar alguns minutos.

Nesse caso foi possível uma redução considerável no tempo de simulação com alteração das configurações das malhas computacionais, ou seja, alterando as dimensões da discretização do plano físico utilizado na simulação. Desse modo, aumentando a área dos elementos, e conseqüentemente reduzindo o número de equações a serem resolvidas, foi possível uma redução em até 40% no tempo de simulação ao custo da diferença de 2% nos dados de saída da simulação.

Também foram constatadas que as simulações tridimensionais apresentavam valores absolutos bastante diferentes das simulações elétricas dos dispositivos. Essa diferença chegava a 30% e em alguns casos, como o comprimento de canal maior, no caso da proposta de configuração 4, em que essa diferença chegou a quase 40%.

Após uma série de análises e novas tentativas de recalibração, foi possível perceber que, sem considerar uma engenharia muito mais complexa com relação às áreas de difusão do transistor, não seria possível aproximar de forma mais fiel os resultados (mais próximas aos resultados das simulações CAD).

Sendo assim, a constatação final é que devem ser inseridas as regiões com perfis e posicionamentos específicos como por exemplo a região de *Halo* e a região de  $L_{DD}$  (*Lightly Doped Drain*) que é composta, no caso dos transistores NMOS, por uma região de difusão com uma leve penetração em direção ao terminal de *gate* com uma dopagem mais baixa.

Finalmente, nas simulações executadas, as diferenças entre  $I_{D,max}$ , observadas entre as quatro configurações, ficaram dentro das margens dos piores casos apresentados na seção 5, o que de certa forma pode ser considerado como um ponto favorável no sentido de validação da metodologia proposta de obtenção de geometrias e simulações, fortalecendo a premissa de que o próximo passo necessário é o de aperfeiçoar o perfil de dopagens e distribuições das regiões de difusão.

## 7 Trabalhos futuros

Este capítulo introduz algumas propostas que podem ser investigadas de forma a ampliar os conceitos apresentados nesta dissertação. Essas propostas necessitam de um aprofundamento muito maior e bastante específico, pois, nesse caso, podem conter características inovadoras em relação ao que é atualmente referenciado na literatura.

### 7.1 Fabricação / Qualificação / Validação

De forma a qualificar e validar as situações teóricas abordadas por este trabalho presume-se que seja feita a análise dos dispositivos baseados em medidas práticas.

Desse modo através de ensaios de irradiação busca-se garantir o desempenho requerido do dispositivo dentro das margens de tolerância estabelecidas para toda a missão por meio de ensaios padronizados.

Informações sobre esses ensaios e padronizações podem ser encontradas por exemplo na padronização europeia (ECSS-E-ST-10-12 2008).

### 7.2 Otimizações e dimensionamentos

As propostas de dispositivos apresentados nesta dissertação levaram em consideração a abordagem de espaçamento mínimo entre geometrias, entretanto, em algumas situações como por exemplo o dimensionamento de um *Buffer* que irá carregar uma carga na saída de um bloco, necessita-se de um dimensionamento específico para cada dispositivo e estágio.

Nesse contexto, otimizações de modo a buscar o ponto de mínima energia, máxima frequência de operação ou menor alocação de área podem ser executadas. Em uma situação ideal uma biblioteca de células possui todas essas opções de modo a permitir a escolha de uma determinada abordagem fornecendo, para isso, diversas razões de aspecto W/L, diversas razões PN e ainda diversas opções de complexidades lógicas para cada dispositivo ou bloco.

Uma das etapas desse processo, principalmente no caso do fluxo digital, pois é praticamente toda automatizada, é que a necessidade dos arquivos de caracterização das células chamados arquivos *Liberty*, os quais possuem o resultado de uma prévia e extensa análise de diferentes estímulos de entrada para diferentes cargas vistas pela saída da célula. Desse modo, ao contrário da metodologia analógica, onde em geral executam-se essas análises individualmente, a síntese é realizada tendo como referência esses arquivos.

Alguns trabalhos foram executados nesse sentido através de uma ferramenta comercial caracterizadora de células. Porém, tendo em vista a necessidade de uma validação prática dos resultados obtidos, a análise e o aprimoramento do fluxo de caracterização para dispositivos ELT ficam referenciados como um trabalho futuro.

### 7.3 Geração de *layout* automatizado / Biblioteca de células

No contexto da descrição inicial das geometrias ponto-a-ponto analiticamente (realizada nas simulações TCAD), devido à grande quantidade (mais de 10 geometrias para um simples transistor NMOS *two-edged*) e a fim de possibilitar que tenhamos um processo automatizado e sem a inserção de erros humanos, foi elaborado um *script* em linguagem C que possibilita a geração automática das geometrias do dispositivo. A interface do *script* está ilustrada na Figura 59.

```
-----  
Welcome to cells generator  
  
* Choose DRC rules *  
1 - Foundry A  
2 - Foundry B  
Option: 1  
  
* Choose technology *  
1 - 600n  
2 - 350n  
3 - 180n  
Option: 1  
  
* Choose level *  
1 - Transistor Two-Edged NMOS  
3 - Transistor ELT NMOS (Square)  
Option: 3  
  
* Entry distance 'a1' in micrometers *  
Value: 1.6  
  
* Entry distance 'a2' in micrometers *  
Value: 1.6  
  
* Entry distance 'b' in micrometers *  
Value: 0.6  
  
Output files already done!
```

Figura 59: Interface do *script* para geração automatizada de dispositivos.

Para a descrição de um transistor do tipo ELT as informações de entrada são:

- Regras litográficas do projeto;
- Nó tecnológico;
- Tipo da geometria do *gate* (*Two-edged* ou ELT);
- Dimensões básicas para elaboração do *design*

- Para *Two-edged*: (W; L);
- Para ELT: (a<sub>1</sub>; a<sub>2</sub>; b).

As variáveis “a<sub>1</sub>”, “a<sub>2</sub>” e “b” utilizadas seguem a disposição utilizada no capítulo anterior de acordo com a Figura 41 (b). Além da inserção dos dados mencionados anteriormente, são necessárias, como entrada do *script*, as dimensões mínimas de *design* para cada nó tecnológico de cada *foundry* para o qual se deseje projetar o dispositivo.

A sintaxe dos arquivos de saída foi elaborada de modo a conter como saída três tipos distintos: arquivos de “descrição de dispositivo”, “vetores de estímulo” e “visualização de resultados”. Os arquivos de saída desse *Script* foram utilizados para executar as simulações da seção 6.1 .

Uma proposta de trabalho futuro é a adaptação desse *Script* de modo a gerar os dispositivos no formato *gdsII*, o qual poderá ser interpretado pelas ferramentas de simulações elétricas. Entretanto presume-se que para essa etapa já estejam validados os conceitos teóricos baseados em medições práticas.

Finalmente, considerando todas as etapas anteriores de projeto, fabricação e validação, imagina-se em última instância que a adaptação desse *Script* seja capaz de gerar automaticamente um conjunto completo de células digitais com portas lógicas de razões de aspecto W/L e PN pré-determinadas e analógicas com transistores parametrizados, constituintes de uma biblioteca completa de células com técnicas de proteção a radiação ionizante que permita inclusive um posicionamento e roteamento automatizado para síntese em alto nível.

## 8 CONCLUSÕES

Desde que foram observados os primeiros problemas relacionados à incidência de radiação em transistores MOS, um esforço crescente com relação à pesquisa e ao desenvolvimento de técnicas de mitigação tem sido feito.

As técnicas de tolerância à radiação podem ser desenvolvidas em três linhas distintas: com relação à arquitetura de sistemas, ao processo de fabricação e ao projeto dos dispositivos.

As técnicas relacionadas ao processo de fabricação são em geral extremamente custosas devido à necessidade de adequação de um controle muito maior sobre as etapas de projeto, o que na maior parte das vezes torna o projeto economicamente inviável.

Sob o ponto de vista de projeto, técnicas como redundância espacial e temporal podem ser aplicadas muitas vezes de forma simples. Ao custo de área é possível replicar o circuito de modo a reduzir de forma drástica a probabilidade de, por exemplo, a propagação de um Evento Transiente à saída do circuito.

Porém, através de técnicas propostas em nível de dispositivo é possível fortalecer os circuitos desde os seus blocos funcionais mais básicos, os transistores. Desse modo, partindo de um transistor intrinsecamente projetado de forma a ser mais robusto frente às alterações impostas devido à incidência de radiação ionizante, ainda assim é possível implementar técnicas referentes a níveis de abstração mais altos de modo a aumentar ainda mais a tolerância frente tanto a energias mais altas quanto a tempos maiores de exposição.

Informações relacionadas a projetos elétricos e principalmente topologias de dispositivos robustas à radiação raramente são disponibilizadas publicamente, sendo na maior parte das vezes propriedade restrita das empresas. Além disso, quando trabalhos acadêmicos são publicados, em grande parte, omitem detalhes cruciais de forma a impossibilitar a reprodução dos seus circuitos e dispositivos. Esse fato, inclusive, é comumente relatado em dissertações e teses que se propõem a realizar uma análise mais sólida sobre esse tema.

Nesse contexto este trabalho se propôs a analisar os conceitos básicos envolvidos na interação da radiação com o transistor MOS, os desvios de comportamento elétrico que causam, técnicas de tolerância e um aprofundamento maior em técnicas de tolerância em nível de dispositivo.

A tolerância à radiação é uma combinação entre tecnologia escolhida, agregada ao uso de anéis de guarda, e, finalmente, a aplicação de técnicas em nível de transistor como, por exemplo, a de geometria fechada.

Nesse âmbito, este trabalho contribuiu com uma análise cronológica entre topologias de geometrias ELT e comparação de quatro métodos para estimativa da razão de aspecto  $W/L$  (para tecnologias de 0,18  $\mu\text{m}$  e 0,6  $\mu\text{m}$ ) desde maneiras intuitivas e bastante imprecisas até maneiras mais robustas propostas atualmente, fornecendo ao leitor, desse modo, subsídios a fim de seja possível combinar diferentes métodos e optar pelo que se ajuste melhor dada uma certa região de operação ou restrições referentes ao *layout*. De posse dessas análises e simulações, que ao longo do trabalho sempre levaram em conta o contexto comercial, foi possível, inclusive, contribuir com a publicação de dois trabalhos científicos.

Em um primeiro trabalho foram propostas as mesmas análises entre os métodos referenciados por este trabalho, porém pressupondo a atualização das áreas de fonte e dreno em uma ferramenta comercial. A partir do conhecimento de técnicas em nível de dispositivo e extração de razão de aspecto entre transistores, em um segundo trabalho foi proposta a análise e obtenção das figuras de mérito, através de simulações, referentes à comparação entre desempenhos de inversores provenientes da combinação entre transistores *two-edged* e ELTs, também em ferramentas comerciais. Neste mesmo trabalho também foi iniciado o processo de análise da razão de aspecto entre transistores da rede N e da rede P.

A etapa final do trabalho pressupôs o projeto e simulações de dispositivos em ferramentas TCAD. Nesse caso, apesar de os resultados obtidos não permitirem que, neste momento, fosse executada uma análise comparativa precisa com as simulações elétricas, foi considerada positiva a experiência adquirida a nível de processos de fabricação e constituição física do dispositivo.

Desse modo, ainda se evidenciam como trabalhos futuros a necessidade de se executar uma engenharia bastante precisa com relação a alocação das áreas de difusão e também a necessidade de irradiação e medição experimental dos dispositivos a fim de que se possa propor a associação de células que contenham um número maior de dispositivos agregados.

## REFERÊNCIAS

- A. GIRALDO A. PACCAGNELLA, A. M. **Aspect ratio calculation in n-channel MOSFETs with a gate-enclosed layout** Solid-State Electronics 44 (2000) 981-989, 2000
- ANELLI, G. et al. **Radiation tolerant VLSI circuits in standard deep submicron CMOS technologies for the LHC experiments: practical design aspects.** Nuclear Science, IEEE Transactions on, [s.l.], v. 46, n. 6, p. 1690-1696, 1999.
- ANELLI, G. M. **Conception et caracterisation de circuits integres resistants aux radiations pour les detecteurs de particules du lhc en technologies CMOS submicroniques profondes** – PhD Thesis 2000, Institut National Polytechnique de Grenoble
- BALEN, T. R. **Efeitos da Radiação em Dispositivos Analógicos Programáveis (FPAAs) e Técnicas de Proteção** - Tese de Doutorado UFRGS, 2010
- BARNABY, H. J. **Total-Ionizing-Dose Effects in Modern CMOS Technologies.** Nuclear Science. IEEE Transactions on, [s.l.] v. 53, n. 6, p. 3103-3121, 2006.
- BAUMANN, R. **Soft error in advanced semiconductor devices-part I: The three radiation sources.** IEEE Transactions on Device and Materials Reliability, [S. 1], v. 1, n.1, p.17-22, Mar. 2001.
- BAUMANN, R. **Radiation-induced soft errors in advanced semiconductor technologies** Device and Materials Reliability, IEEE Transactions on, 2005, 5, 305-316
- BENEDETTO, J.; BOESCH, H.; MCLEAN, F. & MIZE, J. P. **Hole Removal in Thin-Gate MOSFETs by Tunneling** Nuclear Science, IEEE Transactions on, 1985, 32, 3916-3920
- BOUDENOT, J. C. **Radiation space environment.** In: Velazco, R.; FOUILLAT, P.; REIS, R. (Ed.). Radiation effects on embedded systems. Dordrecht: Springer, 2007. p. 1-9.
- BOESCH, H.; MCLEAN, F.; BENEDETTO, J.; MCGARRITY, J. & BAILEY, W. **Saturation of Threshold Voltage Shift in MOSFET's at High Total Dose** Nuclear Science, IEEE Transactions on, 1986, 33, 1191-1197
- BOTH, T. H. **Análise dos Efeitos de Dose Total Ionizante em Transistores CMOS Tecnologia 0.35 um** - Dissertação de Mestrado UFRGS, 2013
- BÖTTCHER, S. **Study of the Radiation Damage in Analog CMOS Pipelines, MOS Transistors, and MOS Capacitors** 1996
- CARDOSO, G. S. **Impacto dos Desvios de Tensão de Limiar Induzidos por Radiação Ionizante no Desempenho dos Blocos Básicos de dois Amplificadores Operacionais Complementares** - Dissertação de Mestrado UFRGS, 2012
- CHEN, L. & GINGRICH, D. **Study of N-Channel MOSFETs With an Enclosed-Gate Layout in a 0.18 um CMOS Technology** Nuclear Science, IEEE Transactions on, 2005, 52, 861-867

CLAEYS, C. & SIMOEN, E. **Radiation Effects in Advanced Semiconductor Materials and Devices** Springer, 2002

**DISTRIBUTION OF EHPS.** Disponível em: <[http://ajnoyola.com/RHBD\\_primer.html](http://ajnoyola.com/RHBD_primer.html)>. Acesso em: 07 abr. 2015.

**DRIFT OF CARRIERS.** Disponível em: <[http://ajnoyola.com/RHBD\\_primer.html](http://ajnoyola.com/RHBD_primer.html)>. Acesso em: 07 abr. 2015.

DODD, P. E. et al. **Single-event upset and snapback in silicon-on-insulator devices and integrated circuits.** Nuclear Science, IEEE Transactions on, [s.l.], v. 47, n. 6, p. 2165-2174, 2000.

DODD, P. E. **Radiation Effects Issues and Trends for High Performance Space Computing** in Fault-Tolerant Spaceborne Computing Employing New Technologies Workshop 5/28/2008

ECOFFET, R. **In-flight Anomalies on Electronic Devices.** In: VELAZCO, R.; FOUILLAT, P. et al (Ed.). Radiation Effects on Embedded Systems. Dordrecht: Springer Netherlands, 2007.cap. 3, p.31-68.

ECSS-E-ST-10-12. European Cooperation on Space Standardization (ECSS) **Methods for the calculation of radiation received and its effects, and a policy for design margins** ECSS-E-ST-10-12C 15 November 2008.

ESA. EUROPEAN SPACE AGENCY; **The Radiation Design Handbook**, (ESA PSS-01-609 Issue 1) May1993

FACCIO, F.; BARNABY, H. J.; CHEN, X. J.; FLEETWOOD, D. M.; GONELLA, L.; MCLAIN, M. & SCHRIMPF, R. D. **Total ionizing dose effects in shallow trench isolation oxides** Microelectronics Reliability , 2008, 48, 1000 - 1007

FELTHAM, D.; NIGH, P.; CARLEY, L. & MALY, W. **Current sensing for built-in testing of CMOS circuits** Computer Design: VLSI in Computers and Processors, 1988. ICCD '88., Proceedings of the 1988 IEEE International Conference on, 1988, 454-457

FLEETWOOD, D. M. **“Border traps” in MOS devices.** Nuclear Science, IEEE Transactions on, [s.l.], v. 39, n. 2, p. 269-271, 1992.

FLEETWOOD, D. M.; MEISENHEIMER, T. L.; SCOFIELD, J. H. **1/f noise and radiation effects in MOS devices.** Electron Devices, IEEE Transactions on, [s.l.], v. 41, n. 11, p. 1953-1964, 1994.

**GATE RUPTURE.** Disponível em: < <https://www.semiwiki.com/forum/content/3646-modeling-analysis-single-event-effects-see.html>>. Acesso em: 15 jul. 2015.

HALLIDAY, D.; RESNICK, R.; WALKER, J. **Fundamentos de física.** 7 ed. Rio de Janeiro: LTC, 2007 v.4.

INTEL – **Intel Corporation Website**. Disponível em: <[http://multiel-consulting.com/Silicon\\_Technology-Intel\\_32nm\\_Microprocessor\\_System-on-Chip\\_SOC.pdf](http://multiel-consulting.com/Silicon_Technology-Intel_32nm_Microprocessor_System-on-Chip_SOC.pdf)>. Acesso em: 07 abr. 2015.

JACOBUS W. SWART, **Integração de Processos: CMOS em Si**, CCS e FEEC - UNICAMP

KANO, K. **Semiconductor Devices** Prentice Hall, 1998

KARNIK, T.; HAZUCHA, P. **Characterization of soft errors caused by single event upsets in CMOS processes. Dependable and Secure Computing**, IEEE Transactions on, [s.l.], v. 1, n. 2, p. 128-143, 2004.

KOGA, R.; KOLASINSKI, W. A. **Heavy ion induced snapback in CMOS devices**. Nuclear Science, IEEE Transactions on, [s.l.], v. 36, n. 6, p. 2367-2374, 1989.

LELIS, A. J. et al. **Reversibility of trapped hole annealing**. Nuclear Science, IEEE Transactions on, [s.l.], v. 35, n. 6, p. 1186-1191, 1988.

LELIS, A. J.; OLDHAM, T. R. **Time dependence of switching oxide traps**. Nuclear Science, IEEE Transactions on, [s.l.], v. 41, n. 6, p. 1835-1843, 1994.

LIMA, K. G. **Estruturas APS resistentes à radiação para aplicações espaciais**. 2006. 105 f. Dissertação (Mestrado em Engenharia) - Programa de Pós-Graduação de Engenharia Elétrica, Universidade Federal do Rio de Janeiro, Rio de Janeiro, 2006.

MCLAIN, M.; BARNABY, H.; ESQUEDA, I.; ODER, J. & VERMEIRE, B. **Reliability of high performance standard two-edge and radiation hardened by design enclosed geometry transistors** Reliability Physics Symposium, 2009 IEEE International, 2009, 174-179

MAO, W. et al. **QUIETEST: A quiescent current testing methodology for detecting leakage faults**. In: IEEE International conference on computer-aided design, 1990. Digest of Technical Papers [S. 1]: [s.n.], 1990. p. 280-283.

MCLEAN FB, O. T. **Basic Mechanisms of Radiation Effects in Electronic Materials and Devices** 1987

MCWHORTER, P. J.; P. S. WINOKUR, “**Simple technique for separating the effects of interface traps and trapped-oxide charge in MOS transistors**,” Appl. Phys. Left., vol. 48, no. 2, pp. 133-135, 1986.

MESSENGER, G. C. **Collection of charge on junction nodes from ion tracks**. IEEE Transaction on Nuclear Science, Snowmass Village, v. 29, n. 6, p. 2024-2031, Dec. 1982.

MESSENGER, G. C. **A summary review of displacement damage from high energy radiation in semiconductors and semiconductor devices**. In: RADIATION AND ITS EFFECTS ON DEVICES AND SYSTEMS (RADECS 91), FIRST EUROPEAN CONFERENCE ON, 1., 1991, La Grande-Motte. Proceedings... New York: IEEE, 1991. p.35-40.

MOORE, G. E. **Cramming more components onto integrated circuits.** Electronics Magazine, [S. 1.], v. 38, n.8, p.114-117, Apr. 1965.

MUNTEANU, D. & Autran, J. **Modeling and Simulation of Single-Event Effects in Digital Devices and ICs** Nuclear Science, IEEE Transactions on, 2008, 55, 1854-1878

MUKHERJEE, S. Elsevier (Ed.) **Architecture design for soft errors** Morgan Kaufmann Publishers/Elsevier, 2008

NICKLAW, C. J. et al. **The structure, properties, and dynamics of oxygen vacancies in amorphous SiO<sub>2</sub>.** Nuclear Science, IEEE Transactions on, [s.l.], v. 49, n. 6, p. 2667-2673, 2002.

NETO, E.; KASTENSMIDT, F. & WIRTH, G. **Tbulk-BICS: A built-in current sensor robust to process and temperature variations for SET detection** Radiation and Its Effects on Components and Systems, 2007. RADECS 2007. 9th European Conference on, 2007, 1-8

NICOLAIDIS, M. **Design for soft error mitigation.** IEEE Transaction on Device and Materials Reliability, [S. 1.], v. 5, n. 3, p. 405-418, Sept. 2005.

NOWLIN, R.; MCENDREE, S.; WILSON, A. L. & ALEXANDER, D. **A new total-dose-induced parasitic effect in enclosed-geometry transistors** Nuclear Science, IEEE Transactions on, 2005, 52, 2495-2502

OLDHAM, T. R.; MCLEAN, F. B. **Total ionizing dose effects in MOS oxides and devices.** Nuclear Science, IEEE Transactions on, [s.l.], v. 50, n. 3, p. 483-499, 2003.

RABAEY, J.; CHANDRAKASAN, A. & NIKOLIC, B. **Digital integrated circuits: a design perspective** Pearson Education, 2003

**Radiation Belts.** Disponível em: < [http://2.bp.blogspot.com/-WSThRNcN\\_Ek/TsKbEBhkZFI/AAAAAAAAABnc/EgGZ3j6BDtY/s1600/y.gif](http://2.bp.blogspot.com/-WSThRNcN_Ek/TsKbEBhkZFI/AAAAAAAAABnc/EgGZ3j6BDtY/s1600/y.gif) >. Acesso em: 07 abr. 2015.

RAZAVI, B. **Design of Analog CMOS Integrated Circuits** Tata McGraw-Hill, 2002

ROSENFELD, D.; BAHIR, G. **A model for the trap-assisted tunneling mechanism in diffused n-p and implanted n+-p HgCdTe photodiodes.** Electron Devices, IEEE Transactions on, [s.l.], v. 39, n. 7, p. 1638-1645, 1992.

SAKS, N.; ANCONA, M. & MODOLO, J. **Radiation Effects in MOS Capacitors with Very Thin Oxides at 80°K** Nuclear Science, IEEE Transactions on, 1984, 31, 1249-1255

SAKS, N. S.; ANCONA, M. & MODOLO, J. **Generation of Interface States by Ionizing Radiation in Very Thin MOS Oxides** Nuclear Science, IEEE Transactions on, 1986, 33, 1185-1190

SEXTON, F. W. **Destructive single-event effects in semiconductor devices and ICs.** Nuclear Science, IEEE Transactions on, [s.l.], v. 50, n. 3, p. 603-621, 2003.

SCHWANK, J.; FERLET-CAVROIS, V.; SHANEYFELT, M.; PAILLET, P. & DODD, P. **Radiation effects in SOI technologies** Nuclear Science, IEEE Transactions on, 2003, 50, 522-538

SCHRIMPF R. D.; D. M. F. Vanderbilt University, U. (Ed.) **Radiation effects and soft errors in integrated circuits and electronic devices** World Scientific Pub, 2004

SCHRIMPF, R. D. **Radiation Effects on Embedded Systems**. In: VELAZCO, R. et al (Ed.). Radiation Effects on Embedded Systems. Dordrecht: Springer, 2007. p.11-29.

SHANFIELD, E. A. Z.; **Investigation of Radiation Effects on Semiconductor Devices and Integrated Circuits** 1989

SAKURAI, T. & NEWTON, **Alpha-Power Law MOSFET Model and its Applications to CMOS Inverter Delay and Other Formulas**, IEEE Journal of Solid-State Circuits, VOL. 25, NO. 2, APRIL 1990

STROHBEHN, K. & MARTIN, M. **SPICE macro models for annular MOSFETs** Aerospace Conference, 2004. Proceedings. 2004 IEEE, 2004, 4, 2370-2377 Vol.4

SILVA, V. C. DIAS DA. **Estruturas CMOS resistentes à radiação utilizando processos de fabricação convencionais** Dissertação (mestrado) – Instituto Militar de Engenharia – Rio de Janeiro – Rio de Janeiro, 2005. 200p.: il.

SNOEYS, W.; GUTIERREZ, T. & ANELLI, G. **A new NMOS layout structure for radiation tolerance** Nuclear Science Symposium Conference Record, 2001 IEEE, 2001, 2, 822-826 vol.2

SROUR, J. R. **Basic Mechanisms of Radiation Effects on Electronic Materials**, Devices and Integrated Circuits 1982

SROUR, J. R.; MARSHALL, C. J.; MARSHALL, P. W. **Review of displacement damage effects in silicon devices**. Nuclear Science, IEEE Transactions on, [s.l.], v. 50, n. 3, p. 653-670, 2003.

STASSINOPOULOS, E. G.; RAYMOND, J. P. **The space radiation environment for electronics**. Proceedings of the IEEE, [s.l.], v. 76, n. 11, p. 1423-1442, 1988.

TSIVIDIS, Y. & MCANDREW, C. **Operation and Modeling of the MOS Transistor**. Oxford University Press, 2011

VAZ, P., JUNIOR, A., WIRTH, G. **Techniques for ELT simulation: a comparative study**. Circuits and Systems (LASCAS), 2015 IEEE 6th Latin American Symposium on.

VELAZCO, R.; BESSOT, D.; DUZELLIER, S.; ECOFFET, R. & KOGA, R. **Two CMOS memory cells suitable for the design of SEU-tolerant VLSI circuits** Nuclear Science, IEEE Transactions on, 1994, 41, 2229-2234

VON NEUMANN, J.; “**Probabilistic logics and syntheses of reliable organisms from unreliable components,**” Automata Studies, C.Shannon and J.McCarthy,eds., Princeton University Press, pp. 43-98, 1956.

WESTE, NEIL H. E.; D. M. H. **CMOS VLSI Design A Circuits and Systems Perspective** 4<sup>rd</sup> 2011

WINOKUR, P. S.; J. R. SCHWANK, P. J. MCWHORTER. P. V. DRESSENDORFER, AND D. C. TURPIN, “**Correlating the radiation response of MOS capacitors and transistors,**” IEEE Trans. Nucl. Sci., vol. NS-31, pp. 1453-1460, Dec. 1984

WINOKUR, P. S. et al. **Total-Dose Failure Mechanisms of Integrated Circuits in Laboratory and Space Environments.** Nuclear Science, IEEE Transactions on, [s.l.], v. 34, n. 6, p. 1448-1454, 1987.

WINOKUR, P. S. **Radiation-Induced Interface Traps.** In: MA, T. P.; DRESSENDORFER, P. V. (Ed.). Ionizing Radiation effects in MOS Devices and Circuits. New York: John Wiley & Sons, 1989. Cap. 4, p.193-255.

WINOKUR, P.S.; in **Ionizing Radiation Effects in MOS Devices and Circuits**, ed. by T.P. Ma and P.V. Dressendorfer (Wiley, New York, 1989)

ZIEGLER, J. F.; LANFORD, W. A. **Effect of cosmic rays on computer memories.** Science, [s.l.], v. 206, n. 4420, p. 776-788, 1979.