

# Arquitetura SAD de Alto Desempenho para Codificação de Vídeo no Padrão HEVC

Brunno Alves de Abreu & Sergio Bampi (Orientador)

Universidade Federal do Rio Grande do Sul

baabreu@inf.ufrgs.br

## Introdução

A complexidade computacional requerida para a codificação de vídeo digital vem aumentando, especialmente devido às maiores resoluções. O novo padrão HEVC *High-Efficiency Video Coding* [1], apesar de obter uma melhor compressão comparado ao seu antecessor (H.264/AVC), requer esforço computacional ainda maior.

A Estimação de Movimento (ME) é uma das etapas mais complexas da codificação de vídeo. Nessa etapa o quadro é dividido em blocos de *pixels* e diversas operações aritméticas são realizadas, como a Soma das Diferenças Absolutas (SAD). Cada bloco de *pixels* é comparado com blocos de quadros vizinhos, a fim de detectar similaridades entre quadros próximos no tempo. Essa operação é executada repetidamente; portanto, arquiteturas de *hardware* que otimizam o cálculo de SAD são muito importantes.

## Objetivo e Metodologia

O objetivo deste trabalho é desenvolver uma arquitetura dedicada que utiliza uma árvore de somadores para calcular a SAD de qualquer tamanho de bloco do HEVC. Essa arquitetura otimiza as operações de forma a manter a maior parte do hardware ativo. Técnicas de paralelismo com *pipeline* foram estudadas.

A arquitetura é descrita em *VHDL*, utilizando a *ISE Design Suite*. Os dispositivos utilizados na síntese foram o *Virtex-5 XC5VLX110T*, e o *Virtex-6 XC6VLX130T*, da *Xilinx*. Scripts em *Python* foram implementados para geração automática de entradas e saídas válidas.

## Resultados

A arquitetura desenvolvida tem alto nível de paralelismo e *throughput*, mantendo um balanço com a área de *hardware* utilizada. Por isso, foram utilizados apenas quatro blocos calculadores de SAD. A arquitetura é mostrada na Figura 1.

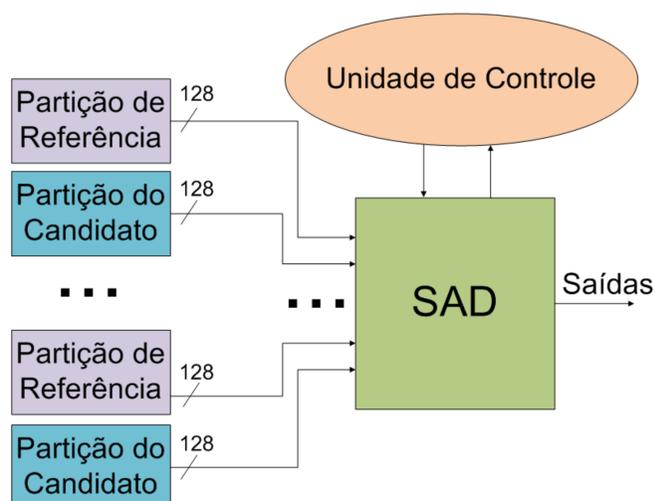


Figura 1: Arquitetura no Top Level

Através de análises de latência, foi verificado que a melhor configuração de pipeline é a que utiliza um registrador entre cada somador, pois requer o menor tempo (3.03µs) para calcular a maior partição definida pelo modelo HM. A arquitetura mais detalhada é mostrada na Figura 2.

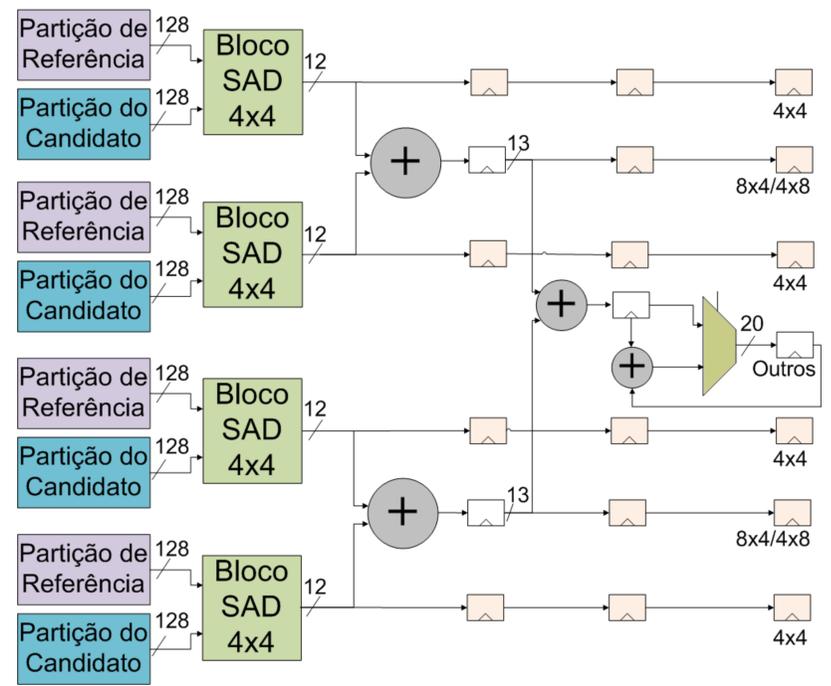


Figura 2: Arquitetura proposta

A Tabela 1 mostra os resultados da síntese lógica. A largura de banda de entrada é de 1024 bits por ciclo.

Modelo	45 nm Virtex 6	65 nm Virtex 5
Throughput	159@4K UHD	128@4K UHD
Freq. Máx.	511.7 MHz	416.7 MHz
#LUT	3498	3598
#Registradores	2440 (1%)	2484 (3%)

## Conclusões

A arquitetura é capaz de atender a demandas de resoluções em tempo real de *4K UHD*, mesmo em *frame rates* altos. A arquitetura apresentou um bom balanço entre *throughput*, área de *hardware*, largura de banda e performance, equiparando-se a outras propostas na literatura. O projeto foi publicado no 30º Simpósio Sul de Microeletrônica [2].

A meta futura é desenvolver uma arquitetura que implemente o algoritmo do *Test Zonal Search*, parte da Estimação de Movimento, utilizando a arquitetura do cálculo do SAD desenvolvida neste trabalho.

## Referências

- [1] B. Bross, W. J. Han, J. R. Ohm, G. J. Sullivan, and T. Wiegand, "High Efficiency Video Coding (HEVC) text specification draft 7," 2012.
- [2] B. Abreu, M. Grellert, and S. Bampi, "High Throughput SAD Architecture for Quality HEVC Encoding," 2015.