



Evento	Salão UFRGS 2015: SIC - XXVII SALÃO DE INICIAÇÃO CIENTÍFICA DA UFRGS
Ano	2015
Local	Porto Alegre - RS
Título	Arquitetura de SAD de Alto Desempenho para Codificação no Padrão HEVC
Autor	BRUNNO ALVES DE ABREU
Orientador	SERGIO BAMPI

Arquitetura de SAD de Alto Desempenho para Codificação no Padrão HEVC

Brunno Alves de Abreu e Sergio Bampi (Orientador)

Instituto de Informática - Universidade Federal do Rio Grande do Sul

A pesquisa em codificação de vídeo busca desenvolver alternativas para a codificação mais rápida e eficiente de vídeos de alta resolução, devido ao fato de haver uma demanda cada vez maior para processamento desses vídeos. O desafio é ainda maior quando consideramos aplicações em tempo real, nas quais os *frames* resultantes da codificação devem estar prontos em um tempo determinado pelos padrões das TVs digitais.

O padrão estado-da-arte para TVs digitais é o HEVC (*High Efficiency Video Coding*) e propõe uma diminuição na taxa de *bits* (*bitrate*) de até 50% para uma mesma resolução, em comparação ao padrão anterior, o H.264. Além disso, inúmeros trabalhos vêm sendo propostos na literatura para melhorar ainda mais a eficiência de codificação, focando especialmente na parte mais custosa da codificação de vídeo (em média, 85% do total): a Estimção de Movimento (ME). Essa etapa consiste, basicamente, em procurar blocos de quadros semelhantes a blocos de outros *frames* (inter-predição) ou no mesmo quadro (intra-predição), de forma a detectar movimentos no vídeo e semelhanças muito próximas. Dessa forma, ao invés de codificar-se o bloco inteiro no novo *frame*, seria apenas necessário enviar um vetor indicando para onde o bloco do quadro anterior se movimentou. Para fazer essa comparação de semelhança, o método mais utilizado é o SAD (Soma das Diferenças Absolutas), no qual faz-se a soma de todas as diferenças entre os *pixels* dos dois blocos em questão.

Uma forma de reduzir a complexidade computacional e aumentar a eficiência energética do codificador é utilizar arquiteturas dedicadas, devido à economia em potência e em tempo de execução. O objetivo do projeto relatado aqui constituiu em descrever uma arquitetura dedicada em VHDL que faz uso de SIMD e mecanismos de paralelismo (através de uma árvore de somadores) para implementar o cálculo do SAD, que é utilizado na ME do HEVC. Para projetar a arquitetura, utilizamos o ISE, da Xilinx Inc., além do software de referência do HEVC, o HM. Basicamente, foi feita uma árvore de somadores e subtratores, utilizando métodos de pipeline, que chegavam até uma saída realimentada, para calcular SADs de blocos maiores, sendo possível escolher blocos entre 4x4 e 64x64. Nesta pesquisa, foram obtidos bons resultados com relação à qualidade do vídeo (*BD-Rate*) em comparação com outros trabalhos, pois estes não seguiam à risca o algoritmo proposto no HM e, com isso, apresentavam um aumento no *BD-Rate*.

Como futuros trabalhos, devido ao fato de já ter sido concluída a parte principal e mais custosa da ME descrita em *hardware* (SAD), pretendemos descrever a arquitetura de toda a etapa do *TZSearch* implementado no HM. Tal etapa consiste em uma parte de busca inter-predita dentro da ME, a qual utiliza a arquitetura do SAD em muitos módulos dentro dela. Já foi iniciado o desenvolvimento em VHDL da arquitetura para as primeiras etapas do *TZSearch*, em que fazemos a pré-busca de vetores.