

O projeto de um circuito VLSI apresenta aspectos tanto topológicos quanto geométricos. Os aspectos topológicos referem-se aos componentes do circuito e às ligações existentes entre eles. Os aspectos geométricos referem-se à representação do layout do circuito VLSI como um conjunto de retângulos. O projeto de um circuito VLSI é uma atividade vagarosa, difícil de ser executada e onde a probabilidade de ocorrência de erros é muito elevada. Por esse motivo, a existência de ferramentas de software que automatizem esse processo é muito importante. E neste contexto que se inserem as ferramentas desenvolvidas pelo projeto TRANCA, entre as quais destaca-se o PILÃO, o Compactador de Layout de Circuitos VLSI. A compactação desobriga o projetista da tarefa de otimizar o espaço físico ocupado pela célula, liberando-o para atividades relacionadas aos aspectos funcionais do circuito integrado. Assim como o layout simbólico facilita o projeto topológico, a compactação acelera o projeto geométrico de uma célula. O projetista fornece ao compactador um layout preliminar. O compactador move componentes e ligações no plano, procurando otimizar o layout do circuito integrado em dois aspectos: minimizando a área ocupada pelo circuito e corrigindo infrações cometidas em relação às regras de desenho. É importante salientar que a compactação preserva a topologia da célula. O problema da otimização da área ocupada por um circuito VLSI pode ser traduzido matematicamente como um conjunto de restrições lineares. Estas inequações são modeladas por dois grafos dirigidos - um para a dimensão horizontal e outro para a dimensão vertical da célula -, cujos nós representam as posições dos retângulos e cujas arestas representam as distâncias mínimas entre os retângulos. Desta forma, o problema central da compactação transforma-se no problema de encontrar o caminho crítico de um grafo. A partir daí, pode-se facilmente encontrar novas posições para os retângulos obtendo um layout compactado. (LRAE/CNPq)