

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL  
INSTITUTO DE INFORMÁTICA  
PROGRAMA DE PÓS-GRADUAÇÃO EM MICROELETRÔNICA

WILLIAM DO NASCIMENTO GUARESCHI

**Desenvolvimento de uma Plataforma para  
Teste e Controle de Cargas-Úteis Baseada  
em Arquitetura Reconfigurável**

Dissertação apresentada como requisito parcial para  
a obtenção do grau de Mestre em Microeletrônica

Prof. Dr. Ricardo Augusto da Luz Reis  
Orientador

Porto Alegre  
2015

## CIP – CATALOGAÇÃO NA PUBLICAÇÃO

do Nascimento Guareschi, William

Desenvolvimento de uma Carga Útil Baseada em Arquitetura Configurável para Nanossatélites / William do Nascimento Guareschi. – 2015.

95 f.:il.

Orientador: Ricardo Augusto da Luz Reis.

Dissertação (mestrado) – Universidade Federal do Rio Grande do Sul. Programa de Pós-Graduação em Microeletrônica, Porto Alegre, BR – RS, 2015.

1. Dispositivos programáveis. 2. Pequenos satélites. 3. Controle e teste de cargas úteis. I. da Luz Reis, Ricardo Augusto. II. Desenvolvimento de uma Plataforma para Teste e Controle de Cargas Úteis Baseada em Arquitetura Reconfigurável.

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL

Reitor: Prof. Carlos Alexandre Netto

Vice-Reitor: Prof. Rui Vicente Oppermann

Pró-Reitor de Pós-Graduação: Prof. Vladimir Pinheiro do Nascimento

Diretor do Instituto de Informática: Prof. Luís da Cunha Lamb

Coordenador do PGMICRO: Prof. Fernanda Gusmão de Lima Kastensmidt

Bibliotecária-Chefe do Instituto de Informática: Beatriz Regina Bastos Haro

## **DEDICATÓRIA**

A minha mãe e em memória de meu pai.

## **AGRADECIMENTOS**

Agradeço aos meus colegas de laboratório, e a todos aos demais colegas, que de alguma forma ajudaram-me.

Ao meu orientador, que acreditou em mim, me dando a oportunidade de ingressar no programa e todo o apoio necessário para que a conclusão deste curso se tornasse realidade. Faço um reconhecimento especial à professora Fernanda, por todo conhecimento compartilhado e pelas diversas discussões que sempre foram muito produtivas. Aos demais integrantes do corpo docente do Instituto de Informática da UFRGS / Programa de Microeletrônica.

Faço também um reconhecimento ao trabalho dos profissionais e colegas do INPE e da SMDH, que durante os últimos anos, apesar dos contratemplos, não desacreditaram na possibilidade do projeto sair do papel. Aos meus amigos, que apesar do certo distanciamento nos últimos tempos, não esqueci em momento algum.

# **Reconfigurable Architecture Based Platform for Test and Control of Satellite Payloads**

## **ABSTRACT**

The number of small satellites has substantially increased in the last years due to reduced development and launching costs, as well as due to the flexibility brought by the usage of commercial off the shelf components. This work purposes the design and implementation of a platform for test, control and qualification of commercial and customized integrated circuits for space applications. This flexible platform can be adjusted to control a wide range of devices and interfaces, and is intended to reduce the integration difficulties, resulting in the speed up of some of the project stages. The platform is synthesized in a Flash-based Field Programmable Gate Array technology. The target device is not qualified for aerospace projects. Nevertheless, previous radiation tests demonstrated its hardness for space missions. The system is adaptable and makes it possible to control, test and validate new payloads and softcores before flight. The communication between devices is done through pre-implemented protocols. Functional tests suggested the possibility to apply the platform in Cubesats projects. The first application of this platform was in the NanoSatC-BR1, the first Brazilian scientific nanosatellite, to test the controller of the payload board.

**Keywords:** programmable logic devices, small satellites, device interfaces, payloads tests and control.

## RESUMO

O uso de pequenos satélites tem aumentado substancialmente nos últimos anos devido ao custo reduzido de desenvolvimento e lançamento, assim como pela flexibilidade oferecida pela utilização de componentes comerciais. Este trabalho propõe o projeto e a implementação de uma plataforma para teste, controle e qualificação de circuitos integrados (*Integrated Circuits*, CIs) comerciais e customizados para uso em aplicações espaciais. Esta plataforma flexível pode ser ajustada a uma gama de dispositivos e interfaces, e reduz os esforços de integração desses componentes e, portanto, acelera o desenvolvimento de todo o projeto. O sistema proposto é sintetizado em um tecnologia de Arranjo de Portas Programáveis em Campo (*Field Programmable Gate Array*) baseado em memória Flash, que, apesar de não ser classificado para uso aeroespacial, testes demonstram a viabilidade de seu uso. Este sistema adaptável permite o controle de novas cargas-úteis e *softcores* para o teste e validação antes da sua aplicação em voo. A comunicação com dispositivos é feita através de protocolos pré-implementados. Os resultados de testes funcionais in loco sugerem a possibilidade de aplicação desta plataforma para uso em Cubesats. A primeira aplicação desta plataforma foi no teste do controle da placa de carga-útil do NanoSatC-BR1, o primeiro nanossatélite científico brasileiro, lançado em órbita em 2014.

**Palavras-Chave:** dispositivos programáveis, pequenos satélites, interfaces de dispositivos, controle e testes de cargas úteis.

## LISTA DE ABREVIATURAS E SIGLAS

ADCS	Analog-to-Digital Converter
ADCS	Attitude Determination and Control System
AHB	Advanced High-performance Bus
AIRES	Airshower Extended Simulation
AMBA	Advanced Microcontroller Bus Architecture
APB	Advanced Peripheral Bus
ASB	Advanced System Bus
ASET	Analog Single Event Transient
ASIC	Application Specific Integrated Circuit
AU	Astronomical Unit
CAN	Controller Area Network
CLB	Configurable Logic Block
CME	Coronal Mass Ejection
CMOS	Complementary Metal Oxide Semiconductor
CPHA	Clock Phase
CPLD	Complex Programmable Logic Device
CPOL	Clock Polarity
DDTC	Directorate of Defense Trade Controls
DSET	Digital Single Event Transient
DSP	Digital Signal Processing
E/S	Entrada/Saída
EDAC	Error Detection And Correction
EEJ	Equatorial Electrojet
EEPROM	Electrically-Erasable Programmable Read Only Memory
EM	Engineering Model
EPLD	Enhanced Programmable Logic Device
EPROM	Erasable Programmable Read Only Memory

ESA	European Space Agency
FFT	Fast Fourier Transformation
FIFO	First In First Out
FM	Flight Model
FPD	Field Programmable Device
FPGA	Field Programmable Gate Array
GCR	Galactic Cosmic Ray
HCPLD	High Capacity Programmable Logic Device
I/O	Input/Output
I2C	Inter-Integrated Circuit
IDE	Integrated Development Environment
IP	Intellectual Property
ISS	International Space Station
ITAR	International Traffic in Arms Regulations
JAXA	Japan Aerospace Exploration Agency
JEM	Japanese Experiment Module
J-SSOD	JEM Small Satellite Orbital Deployer
JTAG	Joint Test Action Group
LEO	Low Earth Orbit
LET	Linear Energy Transfer
LSB	Least Significant Bit
LUT	Look Up Table
LVC MOS	Low Voltage Complementary Metal Oxide Semiconductor
LV TTL	Low Voltage Transistor-Transistor Logic
MAPLD	Military and Aerospace Programmable Logic Devices
MBU	Multiple Bit Upset
MCU	Multiple Cell Upset
MIPS	Microprocessor without Interlocked Pipeline Stages
MISO	Master-In Slave-Out
MOS	Metal Oxide Semiconductor
MOSI	Master-Out Slave-In
MPEP	Multi-Purpose Experiment Platform
MSB	Most Significant Bit
MSS	Microcontroller Subsystem
NMOS	N-type Metal Oxide Semiconductor



NSREC	Nuclear and Space Radiation Effect
OBC	On Board Computer
PAL	Programmable Array Logic
PLA	Programmable Logic Array
PLD	Programmable Logic Device
POR	Power On Reset
P-POD	Poly Picosatellite Orbital Deployer
PROM	Programmable Read Only Memory
PTC	Plataforma de Teste e Controle
QML	Qualified Manufacturing Line
RADECS	Radiation Effects on Components and Systems
RHA	Radiation Hardness Assurance
RISC	Reduced Instruction Set Computer
ROM	Read Only Memory
RTC	Real-Time Clock
SAMA	South Atlantic Magnetic Anomaly
SEE	Single Event Effects
SEL	Single Event Latch-up
SET	Single Event Transient
SEU	Single Event Upset
SMBus	System Management Bus
SMDH	Santa Maria Design House
SOC	System On a Chip
SPI	Serial Peripheral Interface
SPLD	Simple Programmable Logic Device
SRAM	Static Random-Access Memory
SS	Slave Select
TID	Total Ionizing Dose
UART	Universal Asynchronous Receiver/Transmitter
UHF	Ultra High Frequency
USB	Universal Serial Bus
VHDL	Very-high-speed integrated circuit Hardware Description Language
VHF	Very High Frequency

## LISTA DE FIGURAS

- Figura 2.1: Mapa demonstrando o campo magnético terrestre do ano de 2005. No destaque do triângulo em vermelho, está identificado o ponto aproximado do centro da anomalia magnética, localizado na região sul do Brasil (HARTMANN, 2005). ..... 22
- Figura 2.2: Simulação usando a ferramenta AIRES (*Airshower Extended Simulations*) da “chuva” de partículas secundárias geradas pela interação de um próton com 1 TeV de energia com a atmosfera terrestre (COSMUS OPEN SOURCE SCIENCE OUTREACH, 2013)..... 23
- Figura 2.3: Caminho percorrido por uma partícula energética dentro do dispositivo semicondutor. O dreno de um transistor NMOS (*N-type MOS*) é atingido, e a carga liberada pelo íon forma um mecanismo em forma de funil, conforme a energia vai sendo coletada na junção (SCARPULLA; YARBROGH, 2003). ..... 25
- Figura 2.4: Uma partícula carregada pode gerar efeitos tanto na lógica combinacional quanto sequencial de um típico dispositivo semicondutor (KASTENSMIDT; CARRO; REIS, 2006). ..... 26
- Figura 2.5: Circuito combinacional com armazenamento em elementos de memória ao final do circuito. Um pulso transiente resultante de uma única partícula em uma porta lógica combinacional (SET) pode afetar diferentes estruturas sequenciais, ao seguir diferentes caminhos no circuito (KASTENSMIDT; CARRO; REIS, 2006). ..... 26
- Figura 2.6: Mecanismo de um SEU em uma célula de memória. No primeiro instante, a célula opera corretamente, armazenando valor lógico 1 no nodo A. No segundo momento, o transistor NMOS que encontra-se desligado é atingido por uma partícula carregada, gerando uma corrente transiente que o liga, forçando o valor do nodo A para 0. No terceiro instante, a célula está com seus valores alterados (*bit-flip*) (KASTENSMIDT; CARRO; REIS, 2006). ..... 27
- Figura 2.7: Mecanismo de ocorrência de um SEL, através do qual a fonte de um transistor MOS forja um caminho ao dreno de outro transistor MOS. A corrente flui continuamente entre os terminais, devendo ser retirada a alimentação do circuito, de forma a evitar seu dano permanente (SCARPULLA; YARBROGH, 2003). ..... 28
- Figura 3.1: Formato e dimensões externas do padrão Cubesat 1U. Adaptado de CALIFORNIA POLYTECHNIC STATE UNIVERSITY (2009). ..... 29
- Figura 3.2: Três modelos de P-PODs desenvolvidos pela California Polytechnic State University (CALIFORNIA POLYTECHNIC STATE UNIVERSITY, 2014-b, 2014-c). ..... 30
- Figura 3.3: Número de satélites lançados ao espaço, na forma de carona, de 1990 a 2010, e a classificação dos satélites em relação a sua massa. Verifica-se o

aumento expressivo no número de nanossatélites (com menos de 10kg de massa) e a diminuição dos satélites intermediários (com menos de 100kg de massa) sendo lançados na forma de carona nos últimos anos (SWARTWOUT, 2011). .....	30
Figura 3.4: Mecanismo de liberação de Cubesats J-SSOD, à esquerda. À direita, na parte superior, há uma foto do módulo JEM, que é acoplado à plataforma MPEP, mostrado na foto que está à direita e abaixo na imagem (JAPANESE AEROSPACE EXPLORATION AGENCY, 2013). .....	31
Figura 3.5: Fotografia capturada na Estação Espacial Internacional de três Cubesats sendo ejetados pelo J-SSOD (NATIONAL AERONAUTICS AND SPACE ADMINISTRATION, 2013). .....	32
Figura 3.6: Modelos de engenharia e de voo do Cubesat NanoSatC-BR1 (COSTA, 2011). .....	33
Figura 3.7: Placa do subsistema de computação de bordo (GOMSPACE, 2011-a). .....	34
Figura 3.8: Circuitos presentes na placa do OBC (GOMSPACE, 2011-a) .....	34
Figura 3.9: Painel solar NanoPower Solar 100U com duas células fotovoltaicas (GOMSPACE, 2011-b). .....	35
Figura 3.10: Subsistema de potência NanoPower P30U (GOMSPACE, 2011-c). .....	36
Figura 3.11: Circuitos e interconexões da placa de cargas-úteis do NanoSatC-BR1 (GUARESCHI, 2013-a). .....	37
Figura 3.12: Diagrama da arquitetura da família de FPGAs ProASIC3E (MICROSEMI CORP., 2011). .....	38
Figura 3.13: Configurações dos VersaTiles dos FPGAs ProASIC3E (ACTEL CORP., 2009-a). .....	38
Figura 3.14: Diagrama dos sinais presentes nos blocos de memória RAM do A3PE1500, e a forma de arranjo e relação de aspecto ( <i>aspect ratio</i> ) dos blocos para cada configuração de memória disponível: (1) na esquerda, RAM <i>dual-port</i> ; (2) no centro, RAM <i>two-port</i> ; (3) na direita, FIFO (MICROSEMI CORP., 2011). .....	39
Figura 3.15: Ilustração do magnetômetro de 3 eixos XEN1210 (Xensor, 2011). .....	40
Figura 3.16: Leiaute do circuito ASIC da SMDH. .....	41
Figura 4.1: Fluxo de desenvolvimento do IDE Libero. .....	43
Figura 4.2: Exemplo de blocos IP Cores e módulos customizados interligados utilizando a ferramenta SmartDesign. .....	44
Figura 4.3: Exemplo de arquitetura AMBA, comunicando diferentes blocos funcionais e periféricos através dos barramentos AHB, ASB e APB. O controle de cada componente é realizado por um processador ARM. (ARM LIMITED, 1999). .....	45
Figura 4.4: Tela de programação do CoreABC. .....	46
Figura 4.5: Diagrama de estados do módulo controlador da interface APB desenvolvido. Adaptado de ARM LIMITED (2010). .....	47
Figura 4.6: Diagrama exemplificando um barramento I <sup>2</sup> C. No exemplo, o dispositivo da esquerda atua como o mestre do barramento, e os demais dispositivos atuam como seus escravos (JIMÉNEZ, PALOMERA, COUVERTIER; 2014). .....	48
Figura 4.7: Formato de envio de bits de endereçamento e de dados implementado no CoreI2C, conforme a especificação da versão 2.1. O início da comunicação se dá pelo envio de 7 bits de endereço para seleção do escravo, seguido de 8 bits de dados (ACTEL CORP., 2011-b). .....	48
Figura 4.8: Tela para criação e configuração de uma instância do CoreI2C. Diversos parâmetros determinam a forma de operação deste IP Core, sendo os mais gerais: número de canais I <sup>2</sup> C gerados e o modo de operação. .....	49
Figura 4.9: Diagrama dos sinais de E/S do CoreI2C. .....	50

Figura 4.10: Diagrama exemplificando um barramento SPI. No exemplo, o dispositivo da esquerda atua como o mestre do barramento, e os demais dispositivos atuam como seus escravos (JIMÉNEZ, PALOMERA, COUVERTIER; 2014). .....	51
Figura 4.11: Tela para criação e configuração do CoreSPI. ....	52
Figura 4.12: Diagrama completo de sinais de E/S do CoreSPI, incluindo sinais presentes tanto no modo mestre quanto no modo escravo. ....	52
Figura 4.13: Tela para criação e configuração de um espaço de memória RAM (lado esquerdo). Bloco com os sinais de E/S e a instância de memória RAM gerada no Libero pela ferramenta SmartDesign (lado direito). ....	54
Figura 4.14: Tela para configuração de escrita de dados da FlashROM. ....	54
Figura 4.15: Diagrama de blocos dos circuitos implementados na Plataforma de Teste e Controle de cargas-úteis. ....	55
Figura 4.16: Diagrama SmartDesign do módulo controlador do magnetômetro. O bloco da esquerda implementa um controlador APB para o CoreSPI, apresenta a direita na imagem. No centro abaixo está a memória RAM para armazenamento dos dados sensoriais recebidos do XEN1210. ....	55
Figura 4.17: Diagrama SmartDesign do módulo controlador da interface de comunicação com o OBC. Na parte superior está o bloco de controle APB do CoreI2C, que funciona conjuntamente com o circuito de <i>Housekeeping</i> . No centro, à direita, está o CoreI2C. Na parte inferior, <i>buffers</i> bidirecionais para os sinais I <sup>2</sup> C. ....	56
Figura 4.18: Conexão entre os blocos funcionais da plataforma. ....	57
Figura 4.19: Diagrama SmartDesign do módulo de controle do circuito ASIC. A esquerda, o algoritmo experimental de controle do circuito ASIC. A direita, o bloco emulador do circuito ASIC implementado no FPGA. Todos os sinais do emulador são interligados ao bloco de controle. ....	57
Figura 4.20: Diagrama SmartDesign demonstrando os sinais de E/S da carga-útil. ....	58
Figura 4.21: Placa de prototipação ProASIC3/E Starter Kit Board, utilizada para implementação da plataforma de testes no FPGA A3PE1500. ....	58
Figura 4.22: Posicionamento global das células lógicas e ocupação do FPGA pelo circuito da PTC, após a etapa de posicionamento e roteamento de células, realizado pela ferramenta Designer. Na região central, as células em azul claro representam os VersaTiles ocupados pelo circuito. Os blocos que estão na periferia do dispositivo, acima e abaixo do núcleo do FPGA, também em azul claro, são os blocos de memória RAM utilizados. ....	60
Figura 4.23: Posicionamento das células lógicas do circuito controlador do magnetômetro. Este circuito contém uma instância do CoreSPI em modo escravo, seu controlador APB e 3 blocos de memória RAM – 2 na parte superior do <i>floorplanning</i> e 1 na inferior. ....	60
Figura 4.24: I <sup>2</sup> C: Posicionamento das células do circuito de comunicação com o OBC. Este módulo contém uma instancia do CoreI2C, seu controlador APB, assim como o circuito de <i>housekeeping</i> . ....	61
Figura 4.25: Posicionamento das células do circuito que implementa o algoritmo experimental de controle do dispositivo ASIC da SMDH. Além da lógica, este circuito também utiliza 4 blocos de memória RAM, todos presentes na parte superior do <i>floorplanning</i> . ....	61
Figura 4.26: Posicionamento das células do circuito do microprocessador MIPS experimental. A maior ocupação do dispositivo pelo PTC é devido a este circuito.	

32 blocos de memória RAM são utilizados, sendo 30 na parte superior e 2 na parte inferior do <i>floorplanning</i> .....	62
Figura 4.27: <i>Setup</i> inicial dos testes funcionais da Plataforma conectada ao OBC-Board. A esquerda, a Plataforma. A direita, a OBC-Board conectada através do barramento I <sup>2</sup> C. Os sinais do barramento I2C foram capturados e analisados, inicialmente, utilizando-se um osciloscópio. ....	64
Figura 4.28: Diagrama SmartDesign do circuito presente no OBC-Board. Os três blocos a esquerda compreendem, respectivamente, o CoreI2C, o controlador da interface I <sup>2</sup> C mestre e a memória RAM. O bloco da direita é o MSS Cortex-M3, que neste circuito é responsável pela comunicação da OBC-Board com o computador. ....	65
Figura 4.29: Diagrama da configuração dos dispositivos utilizados no teste funcional da PTC. A esquerda, a PTC com suas cargas-úteis, que se comunica com o OBC-Board (à direita). Abaixo, um computador foi utilizado para registrar os dados coletados do OBC-Board. ....	65
Figura 4.30: <i>Setup</i> final dos testes funcionais da Plataforma de testes. ....	66

## **LISTA DE TABELAS**

Tabela 4.1: Sinais do barramento APB. Adaptado de ARM LIMITED (2010).....	46
Tabela 4.2: Sinais de E/S do CoreI2C. Baseado em ACTEL CORP. (2011-b). ....	50
Tabela 4.3: Sinais de E/S do SPI. Baseado em ACTEL CORP. (2008).....	51
Tabela 4.4: Sinais de E/S do CoreSPI. Baseado em ACTEL CORP. (2008).....	53
Tabela 4.5: Resultado de síntese lógica (individual) para cada circuito da PTC. ....	59
Tabela 4.6: Resultado de síntese lógica (individual) para cada circuito da PTC. ....	63

# SUMÁRIO

<b>ABSTRACT</b> .....	<b>5</b>
<b>RESUMO</b> .....	<b>6</b>
<b>LISTA DE ABREVIATURAS E SIGLAS</b> .....	<b>7</b>
<b>LISTA DE FIGURAS</b> .....	<b>10</b>
<b>LISTA DE TABELAS</b> .....	<b>14</b>
<b>1 INTRODUÇÃO</b> .....	<b>17</b>
1.1 Proposta da Pesquisa.....	17
1.2 Visão Geral do Nanossatélite.....	18
1.3 Cargas-Úteis .....	19
1.4 Tecnologias de FPGAs Para Pequenos Satélites.....	19
1.5 Organização do Texto .....	20
<b>2 O AMBIENTE RADIATIVO ESPACIAL</b> .....	<b>21</b>
2.1 A Radiação no Ambiente Espacial.....	21
2.1.1 Cinturões radiativos .....	21
2.1.2 Raios cósmicos galácticos .....	22
2.1.3 Atividades solares.....	23
2.2 Efeitos Cumulativos da Radiação em Dispositivos Eletrônicos .....	24
2.2.1 Total Ionizing Dose .....	24
2.2.2 Displacement Damage.....	24
2.3 Single Event Effects – Eventos Singulares Induzidos Pela Radiação .....	25
2.3.1 Single Event Transient .....	26
2.3.2 Single Event Upset .....	27
2.3.3 Single Event Latch-up .....	27
<b>3 CUBESATS E O NANOSATC-BR1</b> .....	<b>29</b>
3.1 NanoSatC-Br1: O Primeiro Nanossatélite Científico Brasileiro .....	32
3.2 Subsistemas do NanoSatC-BR1.....	33
3.2.1 Computador de bordo .....	34
3.2.2 Transceptor e antenas .....	35
3.2.3 Subsistema de potência.....	35
3.3 Carga-Útil.....	36
3.3.1 Microsemi ProASIC3E A3PE1500 .....	37
3.3.2 Magnetômetro Xensor XEN1210.....	39
3.3.3 Circuito ASIC da SMDH.....	40
3.3.4 Microprocessador MIPS .....	41
<b>4 PLATAFORMA DE TESTE E CONTROLE DE CARGAS-ÚTEIS</b> .....	<b>43</b>
4.1 Ambiente de Desenvolvimento – IDE Libero.....	43
4.1.1 CoreI2C – Interface I <sup>2</sup> C.....	48
4.1.2 CoreSPI – Interface SPI.....	50

4.1.3	Memórias .....	53
<b>4.2</b>	<b>Desenvolvimento da Plataforma.....</b>	<b>54</b>
4.2.1	Controlador do Magnetômetro .....	55
4.2.2	Comunicação com OBC e circuito de <i>housekeeping</i> .....	56
4.2.3	Controlador do circuito ASIC .....	57
4.2.4	Microprocessador MIPS .....	58
<b>4.3</b>	<b>Programação e Teste Funcional .....</b>	<b>58</b>
<b>5</b>	<b>CONCLUSÕES.....</b>	<b>67</b>
	<b>REFERÊNCIAS .....</b>	<b>69</b>
	<b>ANEXO A – DISPOSITIVOS DE LÓGICA PROGRAMÁVEL.....</b>	<b>77</b>
	<b>ANEXO B – ARTIGO .....</b>	<b>88</b>



# 1 INTRODUÇÃO

## 1.1 Proposta da Pesquisa

A proposta da dissertação é investigar e apresentar uma plataforma reconfigurável em tecnologia de FPGA (*Field Programmable Gate Array*) para sistemas espaciais, e aplicá-la nas etapas de integração dos componentes presentes no subsistema de cargas-úteis do pequeno satélite NanoSatC-BR1. Recentemente, a utilização de tecnologias reconfiguráveis de FPGA em sistemas espaciais tem sido de grande interesse, uma vez que promete um salto inovador na capacidade dos sistemas computacionais. Juntamente com a capacidade de reconfigurabilidade, o alto desempenho computacional e a flexibilidade dos FPGAs devido aos seus mecanismos internos de processamento paralelo são soluções ideais para futuras aplicações espaciais, como por exemplo, robótica espacial e sistemas espaciais inteligentes. Além disso, a aplicação de tecnologias reconfiguráveis acelera o desenvolvimento dos sistemas computacionais de um satélite em todas suas etapas. A proposta da dissertação pode ser observada sobre os seguintes aspectos:

- Analisar as opções de dispositivos programáveis para uso espacial, considerando os critérios e restrições inerentes ao projeto NanoSatC-BR1;
- Desenvolver uma plataforma configurável para teste de integração e controle de cargas-úteis de satélites;
- Apresentar um *testbench* demonstrando a integração das cargas-úteis do projeto NanoSatC-BR1 utilizando-se esta plataforma.

Se, por um lado, o NanoSatC-BR1 – pequeno satélite no padrão Cubesat – traz um ambiente para demonstração rápida e de baixo-custo de tecnologias espaciais e desenvolvimento de recursos humanos na área aeroespacial, por outro lado ele poderá revelar que as características de reconfigurabilidade de FPGAs são especialmente importantes para aplicações em nanossatélites. De fato, FPGAs tem demonstrado conter várias características atrativas para pequenos satélites quando comparado a microprocessadores, nomeadamente em termos de capacidade computacional, flexibilidade para implementação de interfaces, baixo consumo, custo e tamanho reduzidos. Esses fatores podem ser uma resposta à recente demanda computacional de nanossatélites. Há, porém, determinados fatores que criam empecilhos para o desenvolvimento da área aeroespacial em alguns países em desenvolvimento, como é o caso do Brasil.

Na primeira etapa deste trabalho será investigada a viabilidade de aquisição e utilização de um dispositivo reconfigurável para esse projeto. Devido a regulamentações internacionais, a importação de componentes eletrônicos qualificados para aplicação na

área aeroespacial ou militar é dificultada ou mesmo impossibilitada a determinados países. O Brasil, que além de não fabricar componentes e dispositivos para uso aeroespacial, encontra-se nesse grupo de países que tem restrições para importação dos componentes eletrônicos.

A segunda parte deste trabalho será encontrar FPGAs reconfiguráveis que possam operar no ambiente espacial. As famílias de FPGAs tolerantes a radiação não são uma opção, pois fazem parte da gama de produtos com restrições comerciais aplicadas pelos países fornecedores. Mas a aplicação de um dispositivo que apresente certo nível de tolerância a falhas de radiação é imprescindível para o êxito da missão espacial. Assim, os principais obstáculos para superar essa etapa são:

- Realizar uma pesquisa pelos principais dispositivos disponíveis no mercado de FPGAs, analisando-se as diferentes arquiteturas existentes.
- Verificar os efeitos da radiação espacial nessas diferentes arquiteturas de FPGAs.
- Propor a utilização de um dispositivo programável que seja viável para esta missão espacial e que esteja fora das restrições impostas.

Por fim, o objetivo principal desse trabalho de mestrado será desenvolver uma plataforma configurável para teste de integração e controle de cargas-úteis utilizando o FPGA proposto na etapa anterior do projeto. Com essa plataforma, objetiva-se reduzir o tempo necessário para integrar e testar os componentes embarcados na placa de carga-útil do nanossatélite. Em trabalhos preliminares de Guareschi et al. (2010-a) e Schuch et al. (2011), depreende-se que não havia a definição dos componentes que comporiam a placa de carga-útil do nanossatélite, mesmo após a aquisição dos componentes dos demais subsistemas. Essa problemática apoiou o desenvolvimento de uma plataforma que permitisse uma generalidade de interfaces, seguindo os padrões e interfaces observados na indústria de componentes. Será demonstrado no capítulo de resultados como essa plataforma facilitou a integração parcial dos componentes à medida que o projeto foi progredindo rumo às etapas finais.

## 1.2 Visão Geral do Nanossatélite

O NanoSatC-BR1 consiste de um satélite de pequeno porte, com aproximadamente 10cm de aresta e um quilograma de massa, composto internamente por uma pilha de bandejas que provem tanto a estrutura mecânica como o confinamento para as partes eletrônicas. Um satélite deste tipo compõe-se de um número limitado de subsistemas, cada um responsável por um diferente aspecto da funcionalidade, de forma similar a um satélite de maior porte. Esses subsistemas são separados nas diferentes bandejas e estão interconectados através de um barramento de comunicação central.

Este nanossatélite tem como principais cargas-úteis: um magnetômetro, um circuito ASIC (*Application Specific Integrated Circuit*) e o FPGA proposto.

Um desses subsistemas é responsável pelo fornecimento de potência para operação do nanossatélite, sendo composto por baterias recarregáveis e painéis solares. Outro subsistema do nanossatélite, que realiza o envio e recepção de dados da Estação Terrena

de Rastreo, é composto por um conjunto de antenas e um rádio ou transceptor. O subsistema de cargas-úteis contém os dispositivos necessários para realização da(s) missão(ões) do satélite. Em geral, os subsistemas funcionam independentemente, mas para o correto funcionamento de todo o satélite, esses devem operar de forma coordenada, enviando comandos e informações de estado ao último subsistema a ser citado: subsistema de computação central. A placa de cargas-úteis é um desses subsistemas que se submete ao controle central do satélite, feito através do barramento central.

### 1.3 Cargas-Úteis

O empreendimento de satélites depende inteiramente da aplicação de cargas-úteis. Por sua vez, as cargas-úteis necessitam de suporte do satélite no qual estão integrados, dos sistemas de solo e, algumas vezes, de outros sistemas espaciais. A mesma carga-útil ou grupos de cargas-úteis podem também ser integrados em plataformas espaciais, lançadores ou estações espaciais (LARSON; WERTZ, 1992). Há anos, conforme as cargas-úteis foram se tornando mais complexas e sofisticadas, a sua aquisição, integração e custo operacional excederam grandemente o custo do barramento de dados do satélite. Isso criou um conflito entre desenvolvedores de cargas-úteis e projetistas de satélites, que sempre procuraram a melhor relação custo-benefício, inclusive no projeto dos circuitos.

O alto custo envolvido numa missão espacial e a aversão a riscos inerentes aos projetos de grandes satélites acabaram inserindo barreiras para inserção de novas tecnologias. Porém, nos últimos anos, projetos de pequenos satélites foram se tornando mais comuns e criaram grande interesse tanto em pesquisadores quanto em desenvolvedores, pelo seu baixo custo de lançamento e simplicidade, quando comparado a grandes satélites. De certa forma, o efeito catastrófico de uma falha em um satélite pequeno não é tão grave quanto em um satélite de maior porte, tornando-os mais tolerantes a riscos. Assim sendo, pequenos satélites têm servido como plataforma para testes de novas cargas-úteis, arquiteturas de sistemas e tecnologias. Em Bruhn et al. (2011), por exemplo, há uma proposta de aplicação dos conceitos de arquiteturas *plug-and-play*, inspiradas nos modelos utilizados em computadores pessoais, para tornar mais simples a troca e inclusão de novos componentes aos sistemas espaciais.

### 1.4 Tecnologias de FPGAs Para Pequenos Satélites

Pequenos satélites cultivaram seus mercados e hoje estão tomando papéis muito importantes no campo de observação da Terra, assim como no monitoramento de desastres e demonstração de tecnologias, o que os tem tornado muito complexos e com alta integração (BAXTER; LEVETT, 2008). Devido às limitações de recursos presentes nos pequenos satélites, uma solução inteligente seria utilizar um sistema computacional altamente integrado, ou seja, um sistema de computação de bordo central completo. Os FPGAs mais recentes são possíveis candidatos ideais com potencial para preencher esse requisito. Por isso há um grande interesse em demonstrar a aplicação de tecnologias de FPGAs para computação de bordo em pequenos satélites.

Uma forma de demonstrar a viabilidade de uso de tecnologia de FPGA é aplicando-o em uma parte específica de um nanossatélite, como por exemplo, na placa de carga-útil. Dependendo da missão e dos sensores embarcados no sistema espacial, o processamento dos dados de carga-útil pode representar a maior parcela da demanda

computacional do satélite. Uma análise do desempenho, de consumo, de tolerância a falhas e do funcionamento do FPGA ao longo da missão poderá comprovar a capacidade de aplicação dessa tecnologia como uma central única de computação de bordo de nanossatélites. Mas além da aplicação de FPGA como sistema computacional de bordo, a utilização de FPGA é de interesse em etapas intermediárias do desenvolvimento do satélite, sendo aplicada também em etapas de testes e de integração de componentes. A alta flexibilidade e a rapidez no desenvolvimento dos circuitos para essa arquitetura são pontos favoráveis a serem explorados.

## 1.5 Organização do Texto

O próximo capítulo realizará uma abordagem sobre o ambiente radiativo espacial, em especial sob o ambiente no qual os satélites operam em órbita terrestre. Ainda neste capítulo, serão apresentados os principais efeitos que a radiação espacial pode provocar na eletrônica, priorizando aqueles que são de interesse especial ao escopo do trabalho.

No terceiro capítulo será demonstrada a padronização definida para o projeto NanoSatC-BR1. O nanossatélite será apresentado, assim como suas missões científicas e tecnológicas e os seus subsistemas. Uma seção deste capítulo abordará exclusivamente o subsistema de carga-útil. No quarto capítulo, será apresentado o projeto da plataforma configurável, as interfaces implementadas, finalizando com um *testbench* da plataforma demonstrando o controle de parte das cargas-úteis do NanoSatC-BR1, assim como a comunicação e a simulação do computador de bordo.

No anexo deste trabalho será apresentada uma revisão dos dispositivos de lógica programável, e onde os FPGAs estão localizados nessa classificação. Aprofundando-se no foco do trabalho, as tecnologias de FPGAs serão analisadas e serão apresentados os fabricantes e as famílias de FPGAs disponíveis no mercado mundial durante esta fase do projeto, sendo então proposto o modelo de FPGA para o controle do subsistema de cargas-úteis para a missão NanoSatC-BR1 e para o desenvolvimento desta plataforma de teste e controle de cargas-úteis, considerando-se as peculiaridades da tecnologia proposta no que diz respeito a susceptibilidade aos efeitos radiativos, e a inexistência de restrição ao modelo proposto de FPGA por regulamentações internacionais.

## 2 O AMBIENTE RADIATIVO ESPACIAL

Neste capítulo serão apresentados os principais efeitos da radiação que podem afetar o funcionamento de um FPGA. Primeiramente, as principais fontes de radiação no ambiente espacial serão abordadas, e em seguida os efeitos da radiação em componentes microeletrônicos serão apresentados em termos de *Total Ionizing Dose* (TID) e de *Single Event Effects* (SEE). Este capítulo, juntamente com o conteúdo presente no Apêndice, facilitam a compreensão da escolha do dispositivo reconfigurável utilizado neste trabalho.

### 2.1 A Radiação no Ambiente Espacial

A primeira evidência de efeitos de radiação em componentes eletrônicos ocorreu em 1962 com o satélite Telstar. Menos de um ano após seu lançamento, o satélite deixou de funcionar em função de efeitos radiativos sobre os seus componentes eletrônicos (ECOFFET, 2007).

Muitos sistemas eletrônicos modernos necessitam operar em um ambiente severamente radioativo, como por exemplo, aqueles presentes no espaço. Dispositivos semicondutores são suscetíveis aos efeitos de radiação ionizante devido às características intrínsecas do seu projeto (CHUGG, 1994). E conforme as dimensões e tensões de operação dos dispositivos eletrônicos são reduzidas, a sua sensibilidade à radiação aumenta drasticamente. A radiação pode então, direta ou indiretamente, induzir eventos de ionização capazes de criar um distúrbio em um circuito (BAUMANN, 2001). A quantidade de radiação que o dispositivo vai se defrontar durante o ciclo de vida depende do ambiente radioativo e de sua condição de operação (CLAEYS; SIMOEN, 2002).

As fontes de radiação do ambiente espacial são os cinturões radiativos, as explosões solares e os raios cósmicos (BOUDENOT, 2007). As partículas podem ser classificadas entre dois tipos: (1) partículas carregadas, tais como elétrons, prótons e íons pesados; (2) radiação eletromagnética, como, por exemplo, os raios-x, raios gama, ou luz ultravioleta. (KASTENSMIDT, 2003).

#### 2.1.1 Cinturões radiativos

O primeiro satélite artificial norte-americano, Explorer I, lançado em 1958, carregava em sua carga-útil um contador Geiger proposto pelo físico James Alfred Van Allen. Este contador repentinamente parou a contagem de raios cósmicos quando o Explorer I atingiu certa altitude. No mesmo ano, com o lançamento de outro satélite, o Explorer III, confirmou-se a suspeita de que o contador havia saturado devido à

quantidade extremamente alta de partículas naquela altitude. Em homenagem ao físico, deu-se o nome a essa região de cinturões de Van Allen (ECOFFET, 2007).

Os cinturões radiativos de Van Allen são regiões delimitadas em torno da Terra que retêm basicamente elétrons e prótons. Esses cinturões (interno e externo) são formados devido à interação do campo magnético terrestre com o vento solar, e a densidade de cargas aprisionadas é diretamente relacionada com a atividade solar. Os cinturões se estendem tipicamente na faixa de 100 km a 60000 km de altitude. O cinturão interno, que chega a 10000 km de altitude, é menos severo e menos variável, tendo um fluxo de cargas até uma ordem de magnitude menor que o externo. Enquanto no cinturão interno o espectro de elétrons se estende a até 5 MeV, no externo ele chega a até 7 MeV. (BOUDENOT, 2007; ECOFFET, 2007; STASSINOPOULOS; RAYMOND, 1988).

É de especial interesse o estudo desses cinturões radiativos, pois, na região do Atlântico Sul, o campo magnético terrestre apresenta baixa intensidade, causando a Anomalia Magnética do Atlântico Sul, ou SAMA (do termo em inglês *South Atlantic Magnetic Anomaly*). Tal anomalia aproxima o fluxo de partículas carregadas da Terra a altitudes inferiores a 1000 km, uma região de extrema importância para os satélites em órbita, especialmente àqueles em Baixa Órbita Terrestre ou LEO (*Low Earth Orbit*), sendo necessário até mesmo o desligamento de parte dos seus dispositivos (BARTH apud GUARESCHI, 2010-a).

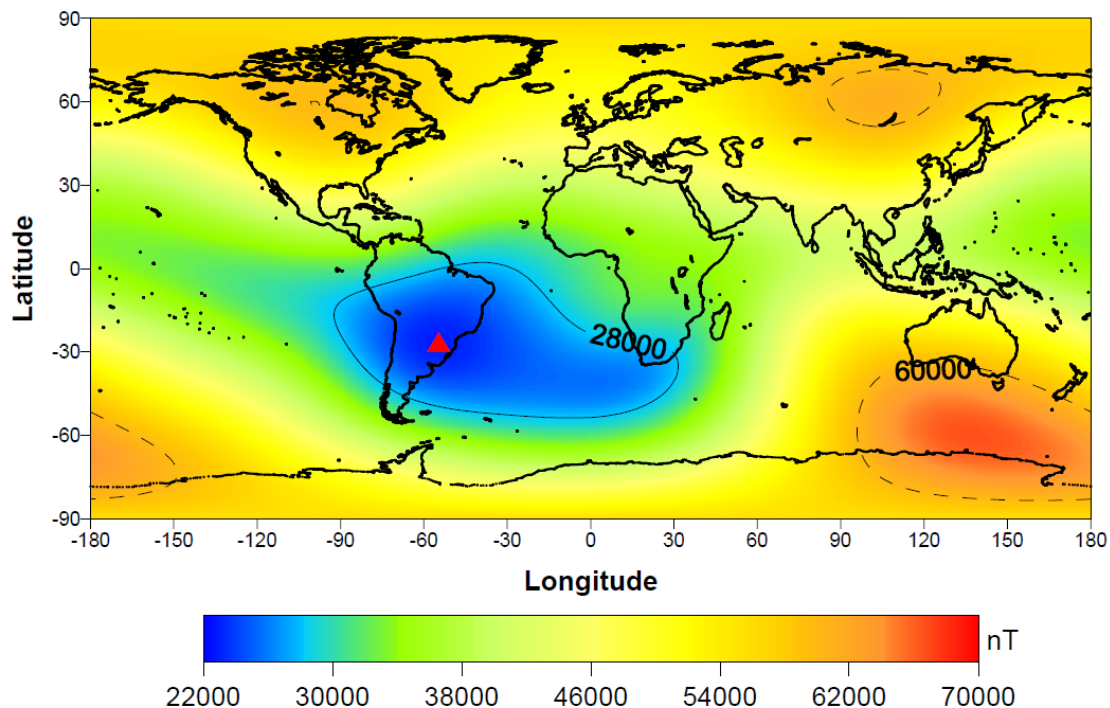


Figura 2.1: Mapa demonstrando o campo magnético terrestre do ano de 2005. No destaque do triângulo em vermelho, está identificado o ponto aproximado do centro da anomalia magnética, localizado na região sul do Brasil (HARTMANN, 2005).

### 2.1.2 Raios cósmicos galácticos

A European Space Agency (1993) define os raios cósmicos galácticos ou GCRs (do termo em inglês *Galactic Cosmic Rays*) como raios primários, originados fora do

sistema solar, isotrópicos, altamente energéticos, e com cargas na faixa de 1 MeV a 1 GeV, embora algumas medidas já tenham apresentado energias na magnitude de TeV. Essas cargas consistem basicamente de elétrons, prótons e núcleos altamente carregados. Segundo Boudenot (2007), os GCRs são constituídos de 83% de prótons, 13% de núcleos de hélio, 3% de elétrons e 1% de núcleos de íons pesados. Stassinopoulos e Raymond (1988) definem valores similares para a constituição dos GCRs, e reiteram que os valores típicos para a energia dos GCRs em regiões próximas à Terra ficam em torno de 1 GeV.

O fluxo de GCRs que incidem sobre a atmosfera terrestre está relacionado com o nível de atividade solar. Shea e Smart (1991) sugerem que uma turbulência no meio interplanetário, estabelecida pela excessiva atividade solar durante um período de mínimo solar, impediu o transporte de GCRs à distância de 1 AU (do inglês *Astronomical Unit*, aproximadamente a distância entre a Terra e o Sol), resultando na atenuação do fluxo de raios cósmicos galácticos, quando comparado aos dados obtidos em períodos de baixa atividade solar.

Quando partículas de GCRs entram no topo da atmosfera, elas são atenuadas pela interação com átomos de nitrogênio e oxigênio. O resultado é uma *chuva* de partículas secundárias: prótons, elétrons, nêutrons, íons pesados, múons e píons (BARTH, 1997). A Figura 2.2 ilustra uma simulação gerada por ferramenta computacional.

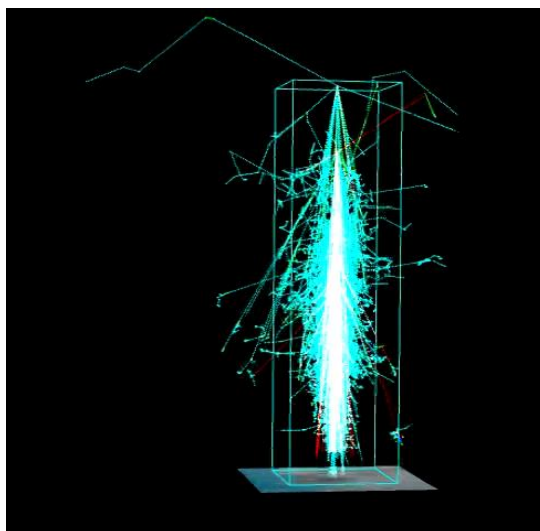


Figura 2.2: Simulação usando a ferramenta AIRES (*Airshower Extended Simulations*) da “chuva” de partículas secundárias geradas pela interação de um próton com 1 TeV de energia com a atmosfera terrestre (COSMUS OPEN SOURCE SCIENCE OUTREACH, 2013).

### 2.1.3 Atividades solares

O Sol apresenta níveis de atividade que variam ao longo do tempo, conhecidos como ciclos solares. Um ciclo solar é um padrão recorrente da atividade magnética que em geral se estende por 11 anos, porém esse período pode ser altamente variável. Com a proposta de modelar o ambiente espacial para missões espaciais, em geral, define-se um período de baixa atividade solar de quatro anos e uma fase de altos níveis de atividade que se estende por sete anos. O ambiente espacial energeticamente carregado nas

regiões próximas à Terra é dominado pela atividade solar, sendo que o Sol atua tanto como fonte de radiação como modulador (BARTH, 1997).

As atividades solares podem ser pontuadas como eventos ordinários e de natureza excepcional, e há dois tipos de eventos a serem considerados: ejeção de massa coronal (CME, do termo inglês *Coronal Mass Ejection*), com duração de muitos dias e emite principalmente prótons de alta energia (centenas de MeV); e eventos transientes ou “impulsivos”, que envolve grande emissão de íons altamente energéticos, e variam sua composição de um evento para outro, tendo como exemplo as explosões solares (em inglês, *solar flares*). Outro evento relacionado com atividade solar é o vento solar. Devido à alta temperatura da coroa solar, os elétrons recebem energia suficiente para escapar do empuxo gravitacional do Sol. Como efeito, há um desequilíbrio de cargas resultando na ejeção de prótons e íons pesados dessa coroa. Esse gás ejetado é tão quente que as partículas são homogeneizadas em um plasma diluído, com densidade de energia maior que o do campo magnético, “congelando-o” dentro do plasma. O plasma eletricamente neutro então flui radialmente para longe do Sol a uma velocidade variável entre 300 a 900 km/s e temperatura na ordem de  $10^4$  a  $10^6$  K, e partículas com energias de 0,5 a 2 keV por nucleon. As CMEs e as explosões solares causam distúrbios no vento solar, alterando por exemplo a sua densidade, velocidade e orientação do campo magnético solar embarcado (BOUDENOT, 2007).

## 2.2 Efeitos Cumulativos da Radiação em Dispositivos Eletrônicos

### 2.2.1 Total Ionizing Dose

O *Total Ionizing Dose* é um efeito cumulativo, de longa duração, e ocorre devido à exposição dos circuitos eletrônicos à radiação. Apesar da possibilidade de reversão desse efeito, há a degradação das propriedades elétricas dos circuitos conforme ocorre o aprisionamento de cargas no óxido e na interface do dióxido de silício. Os óxidos de campo e as camadas de isolamento dos circuitos eletrônicos são mais suscetíveis às doses de ionização do que as regiões ativas dos transistores MOS (*Metal Oxide Semiconductor*) atuais (SCHRIMP, 2007; TUROWSKI; RAMAN; SCHRIMPF, 2004 apud BALEN, 2010).

A forma como cada dispositivo eletrônico se degrada depende da tecnologia empregada na sua fabricação. Segundo Boudenot (2007), circuitos CMOS (*Complementary MOS*) comerciais toleram doses acumuladas de radiação de algumas dezenas de krad, e dispositivos CMOS especiais endurecidos contra radiação suportam doses de até 1Mrad. Pesquisas para avaliação da resposta a TID realizadas com dispositivos CMOS menores que 130nm, apontam um aumento expressivo na tolerância natural à radiação, com respeito a dispositivos mais antigos, mesmo em circuitos comerciais comuns não endurecidos (FACCIO, 2007).

Em tempo, o trabalho de Faccio e Cervelli (2005) sobre a resposta a TID dos transistores de um circuito de teste em tecnologia CMOS comercial de 130nm demonstra que a tolerância natural à radiação a partir deste nó tecnológico possibilita o seu uso em ambientes radiativos.

### 2.2.2 Displacement Damage

O *Displacement Damage*, ou dano por deslocamento, refere-se ao deslocamento de átomos na estrutura cristalina do dispositivo semiconductor pela colisão de radiação



energética não ionizante (em inglês *Non-Ionizing Energy Loss*). Como resultado, esse dano causa a degradação nas propriedades eletrônicas dos dispositivos e materiais, geralmente devido à introdução de novos níveis de energia na banda-proibida do semicondutor, alterando propriedades como o tempo de recombinação dos portadores. Esses danos são permanentes, porém em dispositivos mais modernos, em tecnologias menores que 130nm, as abordagens e as definições tradicionais sobre esse efeito não seriam mais válidas, segundo Sour e Palko (2013) e Schrimpf (2007).

### 2.3 Single Event Effects – Eventos Singulares Induzidos Pela Radiação

Gaillard (2011) agrupa em *Single Event Effects* todos os possíveis efeitos induzidos pela interação de uma única partícula com componentes eletrônicos. Esses efeitos podem ser classificados em *hard* ou *soft errors* dependendo da permanência dos efeitos no circuito.

Os SEEs são causados pela colisão de partículas energéticas (como prótons, nêutrons ou íons pesados) nos dispositivos microeletrônicos. Dessa forma há a deposição de energia em uma região sensível do dispositivo, fenômeno denominado de transferência linear de energia da partícula, comumente reconhecido como LET (do termo em inglês *Linear Energy Transfer*). À medida que a partícula perde energia através da criação de pares elétron-lacuna no dispositivo, uma trilha densamente ionizada é criada localmente, como apresentado na Figura 2.3. As três principais fontes de energia para SEEs são as partículas alfa, os nêutrons de alta energia da radiação cósmica e subpartículas resultantes da interação das partículas cósmicas com outras partículas presentes no meio, como apresentado anteriormente na seção dos Raios Cósmicos Galácticos (DODD et al., 1998; BARTH, 1997; BAUMANN, 2001).

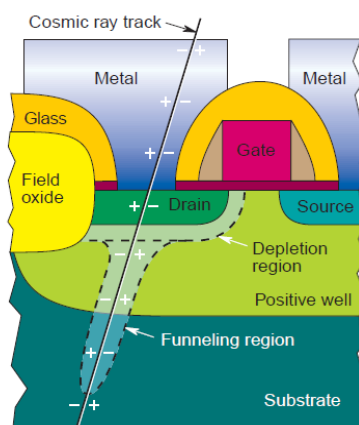


Figura 2.3: Caminho percorrido por uma partícula energética dentro do dispositivo semicondutor. O dreno de um transistor NMOS (*N-type* MOS) é atingido, e a carga liberada pelo íon forma um mecanismo em forma de funil, conforme a energia vai sendo coletada na junção (SCARPULLA; YARBROGH, 2003).

Devido aos progressos tecnológicos, como por exemplo a diminuição das dimensões dos circuitos e redução das tensões de alimentação, um número menor de elétrons se tornaram necessários para armazenar um bit de informação no circuito, e mais transistores puderam ser inseridos por unidade de área. Isso fez com que a cada nova geração, os circuitos se tornassem mais sensíveis aos SEEs, e, portanto, partículas menos energéticas contêm a carga necessária para perturbar esses novos circuitos (HEIJMEN, 2011).

Diferentes fenômenos podem ocorrer em um circuito na presença de uma partícula ionizante. Embora sejam distintos esses fenômenos, o mecanismo de coleta de carga é similar a todos os SEEs. Uma das classificações comumente encontrada na literatura para os SEEs é: *Single Event Transient* (SET), *Single Event Upset* (SEU) e *Single Event Latch-up* (SEL). A Figura 2.4 apresenta uma topologia de circuito típica, encontrada em praticamente todos os circuitos sequenciais. Uma partícula carregada pode afetar tanto a lógica combinacional quanto a lógica sequencial do circuito (KASTENSMIDT; CARRO; REIS, 2006). Por ser um circuito sequencial, um sinal de relógio sincroniza a transferência da informação. A ocorrência do efeito de um SEE se dará em função do momento do impacto da partícula e da amostragem dos dados, e também das características do pulso transiente gerado pela partícula energizada.

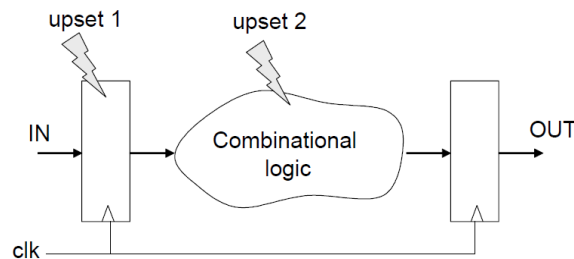


Figura 2.4: Uma partícula carregada pode gerar efeitos tanto na lógica combinacional quanto sequencial de um típico dispositivo semiconductor (KASTENSMIDT; CARRO; REIS, 2006).

### 2.3.1 Single Event Transient

Um *Single Event Transient* (SET), também chamado de *Digital Single Event Transient* (DSET), é um evento gerado por um pulso de corrente transiente que é coletada durante a deposição de carga de uma partícula carregada. A colisão de um íon pesado pode induzir um DSET em elementos de lógica combinacional, em linhas globais de relógio e em linhas globais de controle (Figura 2.5). A dinâmica do pulso de corrente induzido (como largura e amplitude, por exemplo) são determinados tanto por parâmetros do circuito quanto do processo (dopagem do substrato e/ou camada epitaxial, capacitância do circuito, etc.). Sempre que uma carga passa através de uma região de depleção, um transiente é criado. A resultância em um erro dependerá de diferentes fatores, como a largura e amplitude do pulso, a dinâmica do circuito e a localização do pulso transiente no circuito (MAVIS; EATON, 2007; BENEDETTO, 2006).

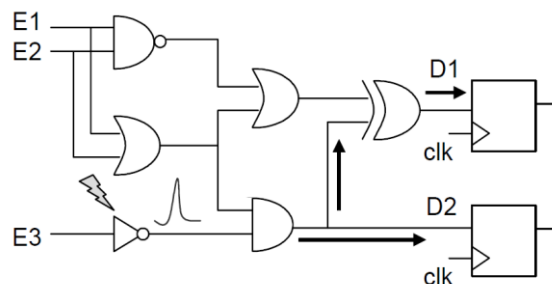


Figura 2.5: Circuito combinacional com armazenamento em elementos de memória ao final do circuito. Um pulso transiente resultante de uma única partícula em uma porta lógica combinacional (SET) pode afetar diferentes estruturas sequenciais, ao seguir diferentes caminhos no circuito (KASTENSMIDT; CARRO; REIS, 2006).

Gaillard (2011) apresenta a nomenclatura *Analog Single Event Transient* (ASET) para os efeitos de SETs em dispositivos analógicos, como amplificadores operacionais, comparadores ou circuitos para referência de tensão.

### 2.3.2 Single Event Upset

O termo *Single Event Upset* (SEU) refere-se ao evento causado por uma partícula carregada que impacta um elemento de memória do circuito, alterando seu estado lógico armazenado (*bit-flip*). Esse efeito é demonstrado na Figura 2.6. Os eventos de SEUs, o modelamento dos efeitos e as técnicas de mitigação de falhas já foram extensamente explorados e pesquisados no passado (KASTENSMIDT; CARRO; REIS, 2006). A primeira vez que o termo SEU foi empregado para relatar erros em elementos de memória que poderiam ser causados por reações nucleares gerados por prótons e nêutrons de alta energia foi no trabalho de Guenzer, Wolicki e Allas (1979).

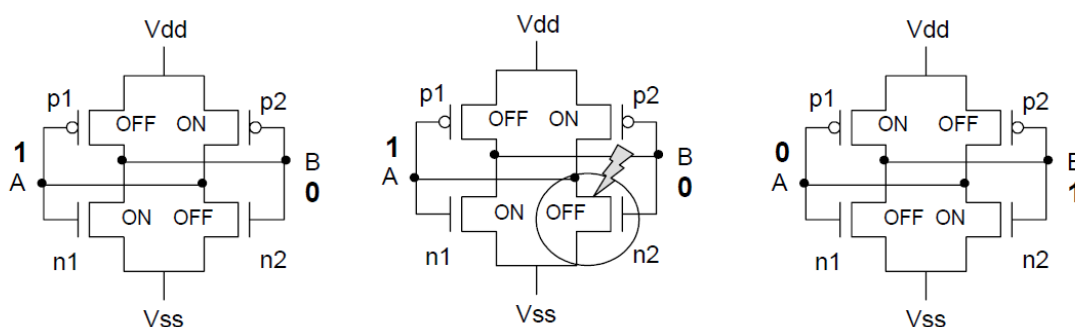


Figura 2.6: Mecanismo de um SEU em uma célula de memória. No primeiro instante, a célula opera corretamente, armazenando valor lógico 1 no nó A. No segundo momento, o transistor NMOS que encontra-se desligado é atingido por uma partícula carregada, gerando uma corrente transiente que o liga, forçando o valor do nó A para 0. No terceiro instante, a célula está com seus valores alterados (*bit-flip*) (KASTENSMIDT; CARRO; REIS, 2006).

O termo SEU é encontrado na literatura com ambiguidade de significados. É frequentemente aplicado como sinônimo para *soft error*, e ocasionalmente usado para descrever todos os efeitos causados pelo impacto de uma única partícula energética. Porém, existem tanto *soft errors* (falhas transitórias) quanto *hard errors* (falhas permanentes, como o *Single Event Latch-up*) que podem ser ocasionados por uma única partícula. Outros *soft errors* podem ainda ser causados por uma (ou mais) partícula(s) que impacta(m) e altera(m) o estado de mais de um bit de uma mesma palavra armazenada no circuito, fenômeno denominado *Multiple Bit Upset* (MBU), ou duas ou mais células de memória (não necessariamente armazenando bits de uma mesma palavra), no evento denominado *Multiple Cell Upset* (MCU) (HEIJMEN, 2011).

### 2.3.3 Single Event Latch-up

O SEL é um evento potencialmente destrutivo, contudo recuperável através do imediato desligamento do circuito (e somente dessa forma não gera um *hard error*, pois o desligamento ocorre antes que o aquecimento excessivo cause uma falha irreversível). Este evento é desencadeado por íons pesados, prótons ou nêutrons (BAYLAKOGLU; HUDAVERDI, 2009), e em geral, ocorre quando um pulso transiente com energia suficientemente alta conecta os terminais de alimentação de uma porta CMOS em um caminho de baixa impedância, causando um curto-circuito, como demonstrado na

Figura 2.7 (SHOGA; BINDER, 1986 apud BALEN, 2010). Adams et al. (1992) identificaram que tal efeito ocasionou o aumento do consumo de corrente em um satélite da *European Space Agency* (ESA) que operava sobre a região da Anomalia Magnética do Atlântico Sul.

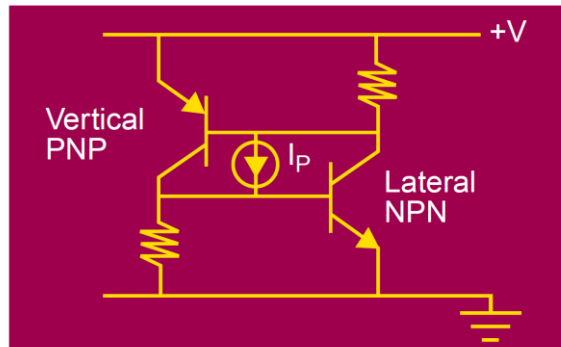


Figura 2.7: Mecanismo de ocorrência de um SEL, através do qual a fonte de um transistor MOS forja um caminho ao dreno de outro transistor MOS. A corrente flui continuamente entre os terminais, devendo ser retirada a alimentação do circuito, de forma a evitar seu dano permanente (SCARPULLA; YARBROGH, 2003).

Os conhecimentos apresentados neste capítulo serviram de base para determinação do dispositivo utilizado durante o desenvolvimento deste trabalho (vide Apêndice). Dando continuidade, o capítulo a seguir apresentará o Cubesat, padrão de nanossatélites utilizado no projeto NanoSatC-BR1. Os subsistemas do nanossatélite também serão apresentados, dando enfoque ao subsistema de cargas-úteis, subsistema que foi o foco deste trabalho de mestrado.

### 3 CUBESATS E O NANOSATC-BR1

O Projeto Cubesat foi uma iniciativa criada em 1999, em um esforço conjunto entre a California Polytechnic State University e o Space System Development Laboratory da Universidade Stanford. A proposta deles foi apresentar um padrão para projetos de nanossatélites (satélites com massa inferior a 10kg), que facilitasse o acesso ao espaço de satélites com pequenas cargas-úteis, reduzisse o custo e tempo de desenvolvimento, e mantivesse uma frequência de lançamentos, especialmente de satélites universitários. Atualmente, o padrão é apoiado direta ou indiretamente por centenas de instituições em todo o mundo. O Cubesat é essencialmente um nanossatélite em formato de cubo com 10cm de aresta e com massa máxima não superior a 1.33kg. Fixou-se esses valores como sendo a unidade padrão do Cubesat 1U. Com o passar do tempo, desenvolveram-se Cubesats menores e maiores, desde o padrão 0.5U (5cm x 10 x 10cm) até superiores a 3U (30cm x 10cm x 10cm) (CALIFORNIA POLYTECHNIC STATE UNIVERSITY, 2014-a).

Um diagrama esquemático do formato e as dimensões do Cubesat 1U são apresentados na Figura 3.1.

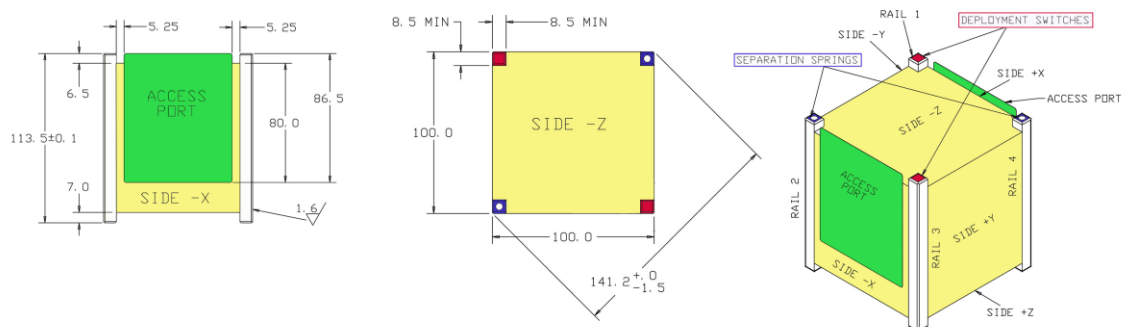


Figura 3.1: Formato e dimensões externas do padrão Cubesat 1U. Adaptado de CALIFORNIA POLYTECHNIC STATE UNIVERSITY (2009).

Com a padronização do formato e massa do Cubesat possibilitou-se a criação do *Poly Picosatellite Orbital Deployer* (P-POD), da California Polytechnic State University (Figura 3.2). O P-POD é um compartimento que permite a liberação dos nanossatélites na órbita espacial (CALIFORNIA POLYTECHNIC STATE UNIVERSITY, 2014-b).

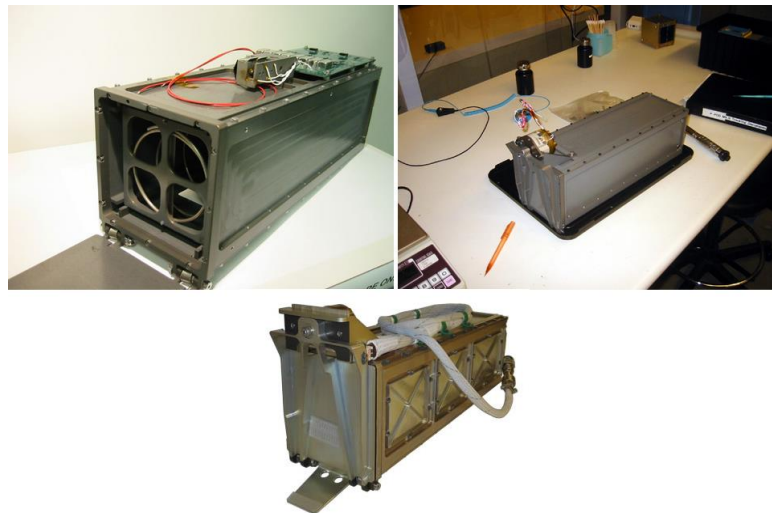


Figura 3.2: Três modelos de P-PODs desenvolvidos pela California Polytechnic State University (CALIFORNIA POLYTECHNIC STATE UNIVERSITY, 2014-b, 2014-c).

Com a criação desse mecanismo, os Cubesats começaram a ser lançados no espaço por uma variedade de veículos lançadores, juntamente com a sua carga principal (satélites de grande porte) na forma de “carona” (*rideshare*), o que reduziu mais substancialmente o custo dos projetos. O aumento do número de Cubesats sendo lançados ao espaço nos últimos anos pode ser constatado na Figura 3.3, que apresenta a quantidade de satélites lançados na forma de carona, entre 1990 e 2010, e suas respectivas massas (SWARTWOUT, 2011).

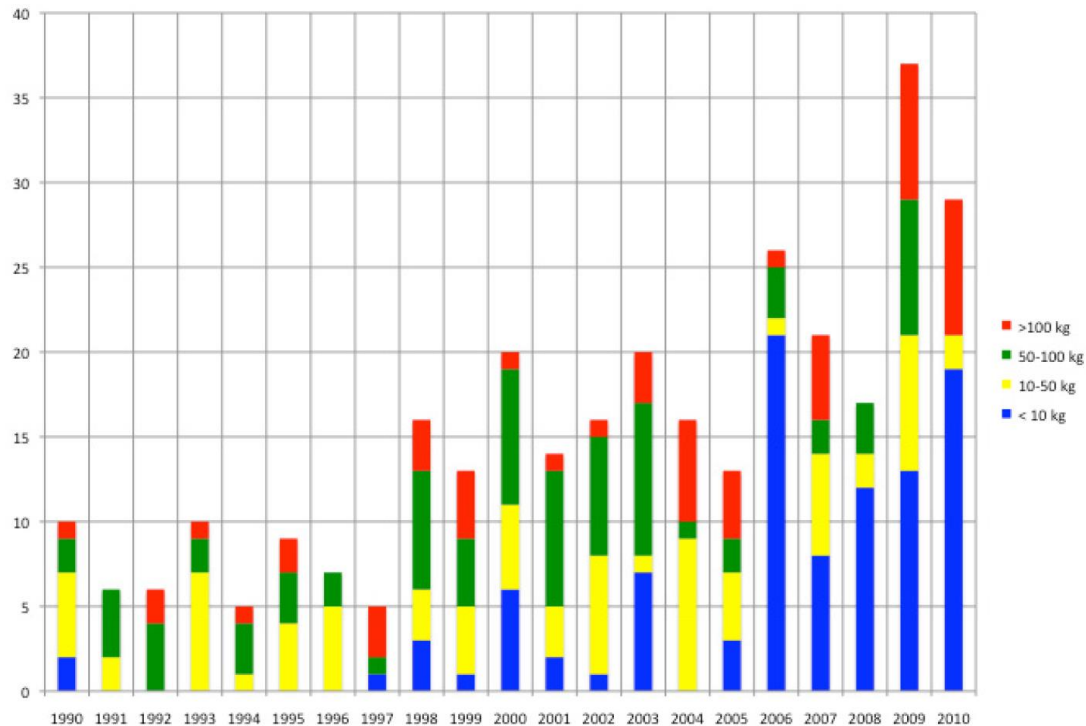


Figura 3.3: Número de satélites lançados ao espaço, na forma de carona, de 1990 a 2010, e a classificação dos satélites em relação a sua massa. Verifica-se o aumento expressivo no número de nanossatélites (com menos de 10kg de massa) e a diminuição dos satélites intermediários (com menos de 100kg de massa) sendo lançados na forma de carona nos últimos anos (SWARTWOUT, 2011).

Novas formas de lançamento e liberação de Cubesats têm surgido. Um exemplo é o *Japanese Experiment Module (JEM) Small Satellite Orbital Deployer (J-SSOD)* desenvolvido pela Agência de Exploração Aeroespacial Japonesa (JAXA, *Japan Aerospace Exploration Agency*), similar ao P-POD, e que permite que até três Cubesats sejam liberados por vez (Figura 3.4). Esse mecanismo é uma adaptação que, acoplada ao JEM, se encaixa no *Multi-Purpose Experiment Platform (MPEP)* e permite a liberação destes pequenos satélites pelos tripulantes da Estação Espacial Internacional (ISS – *International Space Station*) (JAPAN AEROSPACE EXPLORATION AGENCY, 2013).

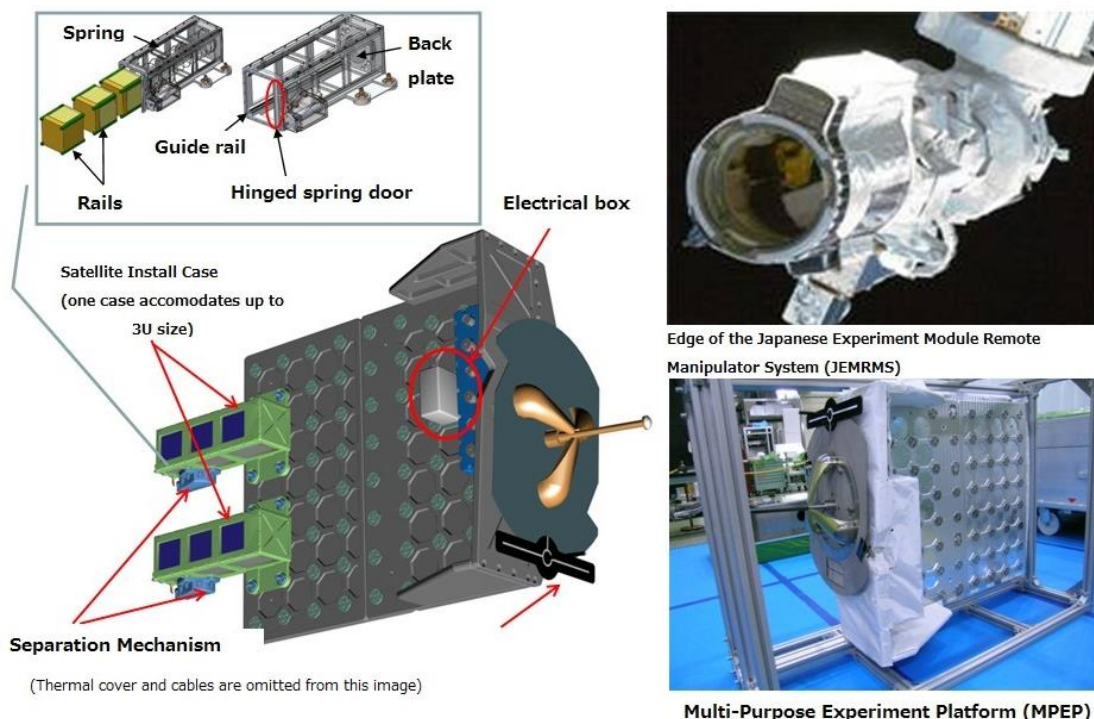


Figura 3.4: Mecanismo de liberação de Cubesats J-SSOD, à esquerda. À direita, na parte superior, há uma foto do módulo JEM, que é acoplado à plataforma MPEP, mostrado na foto que está à direita e abaixo na imagem (JAPANESE AEROSPACE EXPLORATION AGENCY, 2013).

Uma fotografia obtida da liberação de três Cubesats através do mecanismo J-SSOD na Estação Espacial Internacional é mostrada na Figura 3.5.



Figura 3.5: Fotografia capturada na Estação Espacial Internacional de três Cubesats sendo ejetados pelo J-SSOD (NATIONAL AERONAUTICS AND SPACE ADMINISTRATION, 2013).

A California Polytechnic State University (2014-a) contém definições de diversos requisitos mecânicos, elétricos e operacionais que os desenvolvedores de um projeto de Cubesat devem seguir, de forma a obter licença para lançamento. Além desses requisitos mencionados, uma série de requisitos de teste também devem ser observados: vibração, termovácuo, choque, inspeção visual, e metodológico (qualificação, teste de modelo de voo, e aceitação); assim como outras obrigações elencadas no padrão, no que concerne a utilização de materiais, limitação de lixo espacial e verificação de padrões ambientais, de vida útil e de decaimento do satélite, etc.

O padrão se tornou tão popular, que existem centenas de projetos em andamento, e tantos outros já foram lançados e estão operando com sucesso. Mesmo países sem um programa espacial relevante têm tido oportunidade de lançar seus próprios nanossatélites, até mesmo na forma de constelações de Cubesats (JILETE; MUÑOS, 2011; AGELET, 2011). O projeto aeroespacial mais relevante na área de nanossatélites atualmente é o QB50. Trate-se de uma cooperação internacional para lançamento de uma constelação de 50 Cubesats. Uma instituição brasileira coopera nesse projeto (TWIGGS; MALPHRUS; MUYLEAERT, 2010; AGÊNCIA ESPACIAL BRASILEIRA, 2013). Além das missões científicas e tecnológicas, Cubesats tem encontrado campo para operação na área comercial (INNOVATIVE SOLUTIONS IN SPACE, 2013a, 2013b;), e de aplicações militares (GALLIAND, 2010; WALL, 2011).

### **3.1 NanoSatc-Br1: O Primeiro Nanossatélite Científico Brasileiro**

O projeto NanoSatC-BR1 (Nanossatélite Científico Brasileiro 1) pertence ao Programa NanoSatC-BR – Desenvolvimento de Cubesats. Este projeto é um convênio entre o Centro Regional Sul de Pesquisas Espaciais do Instituto Nacional de Pesquisas Espaciais com a Universidade Federal de Santa Maria, contando com o apoio e parceria do Programa de Pós-Graduação em Microeletrônica do Instituto de Informática da Universidade Federal do Rio Grande do Sul. O projeto tem o intuito de fomentar o desenvolvimento de novas tecnologias, propiciar o estudo da instrumentação científica, do desenvolvimento e da qualificação de circuitos e sistemas, de etapas de lançamento de satélites e análise de envio e recepção terrena de dados satelitais.



O NanoSatC-BR1 foi o primeiro Cubesat desenvolvido no Programa, além de ter sido o primeiro projeto nacional deste porte lançado ao espaço. Foi desenvolvido segundo o padrão Cubesat 1U, e liberado a uma altura orbital de aproximadamente 600km de altitude, em Baixa Órbita Terrestre (LEO – *Low Earth Orbit*). O satélite assumiu uma órbita com inclinação angular de 98 graus, e realiza uma média de 14.5 revoluções diárias.

Sua missão científica primária é monitorar e medir o Campo Magnético Terrestre (magnetosfera), o Geoespaço, a precipitação de partículas energéticas e os distúrbios causados sobre o território brasileiro, determinando assim os efeitos dos distúrbios em regiões como a da SAMA e do setor brasileiro do Eletrojato Ionosférico Equatorial (EEJ – *Equatorial Electrojet*, faixa de intensa corrente elétrica que flui ao longo do equador na direção leste durante o dia) (LÜHR; MAUS; ROTHER, 2004). As pesquisas científicas utilizarão os dados coletados para elaboração de mapas de observação magnética, e com esses, possibilitar o estudo dos riscos de funcionamento de equipamentos e sistemas eletrônicos a bordo de satélites que orbitam estas regiões.

Como missão tecnológica, o projeto permitirá que análises dos efeitos de radiação nos componentes eletrônicos sejam realizados no ambiente espacial, possibilitando sua validação para uso em novos projetos de satélites. A próxima seção descreverá os subsistemas do satélite.

### 3.2 Subsistemas do NanoSatC-BR1

Para o projeto NanoSatC-BR1 foram adquiridas 2 plataformas de Cubesats. A primeira, denominada modelo de voo (FM – *Flight Model*), contém componentes necessários ao funcionamento do satélite em órbita. A segunda, denominada modelo de engenharia (EM – *Engineering Model*), compõe-se de parte das estruturas presentes no FM, não contendo, entretanto, algumas estruturas necessárias apenas ao funcionamento em voo, como painéis solares para obtenção de energia de forma autônoma. Sua função é didática, servindo também para testes e demonstrações de funcionalidades do modelo de voo. Além dos modelos de voo e engenharia, o projeto conta ainda com os equipamentos de rastreamento e comando da Estação Terrena de Rastreamento. Os subsistemas do EM e do FM do projeto NanoSatC-BR1 são apresentados na Figura 3.6.

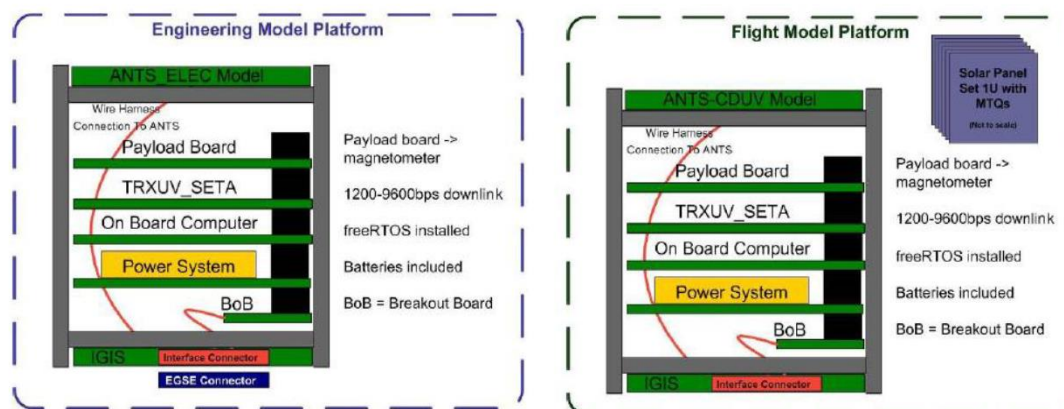


Figura 3.6: Modelos de engenharia e de voo do Cubesat NanoSatC-BR1 (COSTA, 2011).

### 3.2.1 Computador de bordo

O computador de bordo (OBC – *On Board Computer*) do NanoSatC-BR1 é o NanoMind A712, desenvolvido pela empresa GomSpace especificamente para missões espaciais com recursos limitados e baixo consumo de potência. É responsável pelo envio de comandos aos demais subsistemas e pela coleta dos dados telemétricos e das cargas úteis, também chamado de C&DH (*Command and Data Handling*). É composto por um microprocessador ARM7 de arquitetura RISC (*Reduced Instruction Set Computer*) de 32 bits, executando o sistema operacional de tempo real FreeRTOS (Figura 3.7).

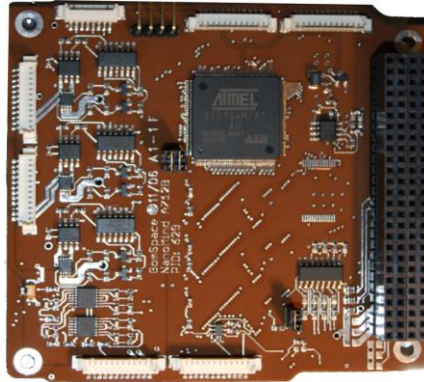


Figura 3.7: Placa do subsistema de computação de bordo (GOMSPACE, 2011-a).

Este OBC fica também responsável pela execução do algoritmo do ADCS (*Attitude Determination and Control System*) – Sistema de Controle e Determinação de Atitude do satélite. Os dados sensoriais do campo magnético terrestre para determinação de atitude do nanossatélite podem ser obtidos tanto da placa de cargas-úteis quanto do magnetômetro presente na placa desse OBC.

A placa dispõe de interfaces de comunicação SPI (*Serial Peripheral Interface*), I<sup>2</sup>C (*Inter-Integrated Circuit*) e CAN (*Controller Area Network*), e um conector de 104 pinos no padrão CubeSatKit. Um diagrama de blocos com os principais componentes desta placa é mostrado na Figura 3.8.

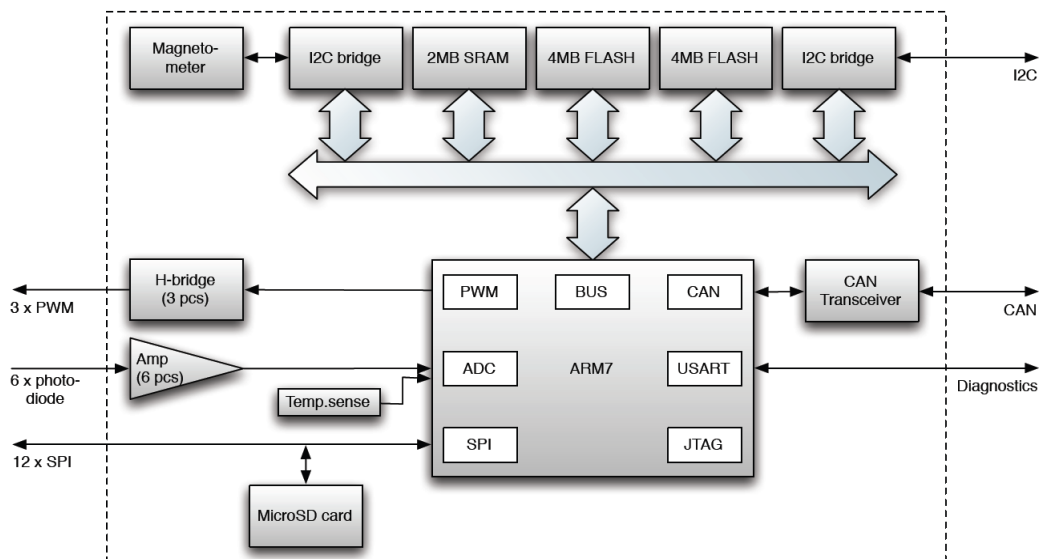


Figura 3.8: Circuitos presentes na placa do OBC (GOMSPACE, 2011-a)

As comunicações de dados entre todos os subsistemas do Cubesat são realizadas pelo barramento I<sup>2</sup>C, e o OBC atua como mestre deste barramento.

### 3.2.2 Transceptor e antenas

O transceptor é o subsistema que capacita o Cubesat a receber e enviar telemetrias, telecomandos e o sinal de *beacon* (sinal com informações essenciais do satélite, enviados periodicamente) por radiofrequência VHF (*Very High Frequency*) e UHF (*Ultra High Frequency*). No EM, os conectores do receptor e transmissor do transceptor são roteados para dois conectores na lateral da estrutura do Cubesat, servindo de teste para os atenuadores e antenas.

Há dois modelos de antenas deste subsistema. O que está presente no FM contém as partes mecânicas para liberação e abertura das antenas e de radiofrequência, necessários para comunicação de rádio. Este modelo é composto de quatro elementos individuais: duas antenas dipolos ajustadas para radiofrequência VHF e duas configuradas para radiofrequência UHF. Esses elementos ficam armazenados em compartimentos internos do satélite e são ejetados após a liberação do nanossatélite na órbita espacial. O outro modelo de subsistema de antenas pertence ao EM. Neste, as estruturas mecânicas foram removidas e as estruturas de radiofrequência foram substituídas por luzes indicadoras de estado de operação. Esse modelo é utilizado para testes, como por exemplo para o comando de ativação de antenas enviado pelo OBC através do barramento I<sup>2</sup>C.

### 3.2.3 Subsistema de potência

Este subsistema compõe-se de duas estruturas. A primeira é composta de seis painéis NanoPower Solar 100U da empresa GomSpace, com duas células fotovoltaicas em cada painel, que capturam a energia solar. Os painéis contêm também sensores solares, giroscópios e sensores de temperatura, que fornecem dados telemétricos ao ADCS. Este, por sua vez, comanda diretamente torqueadores magnéticos presentes em três painéis localizados ortogonalmente, responsáveis pela estabilização mecânica do Cubesat. Esta estrutura do subsistema está presente somente no FM.

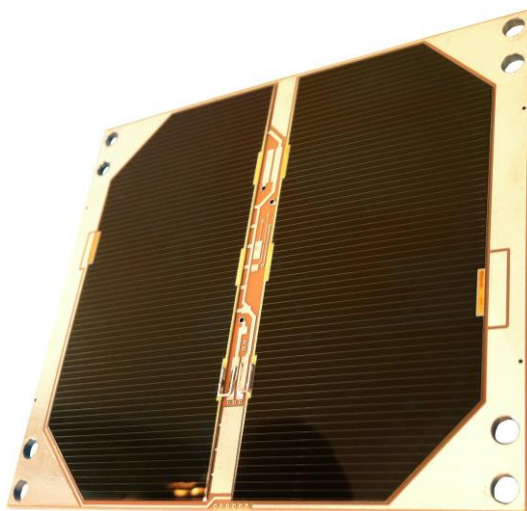


Figura 3.9: Painel solar NanoPower Solar 100U com duas células fotovoltaicas (GOMSPACE, 2011-b).

A segunda estrutura é o sistema de potência fornecido pela GomSpace, chamado de NanoPower P30U, que converte a energia capturada pelas células fotovoltaicas e a

armazena em baterias de íons de lítio, com capacidade total de 2600mAh. Por fim, ela fornece a tensão regulada aos demais subsistemas do Cubesat, podendo suportar até 30W de demanda de potência.

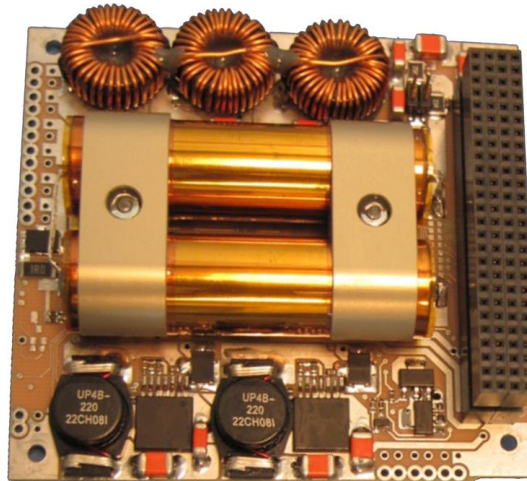


Figura 3.10: Subsistema de potência NanoPower P30U (GOMSPACE, 2011-c).

### 3.3 Carga-Útil

A placa de carga-útil (PLB – *Payload Board*), é o subsistema do satélite que contém os componentes da missão científica e tecnológica. A funcionalidade do satélite está atrelada aos componentes e dispositivos que compõem o PLB.

A missão científica que originou o projeto NanoSatC-BR1 era criar um perfil da magnetosfera terrestre. Para este fim é necessário o emprego de um dispositivo para captura do campo magnético terrestre: um magnetômetro. No início do projeto havia indefinição quanto ao componente a ser utilizado. Os dois produtos mais cotados eram o Mag566 da fabricante Bartington e o HMR2300 da empresa Honeywell. Como pode ser depreendido da leitura do trabalho de Guareschi et al. (2010-a), muitos detalhes técnicos da PLB do NanoSatC-BR1 não estavam definidos.

Pelas indefinições apontadas, iniciou-se o estudo para a potencial utilização de um FPGA na integração e controle dos dispositivos do subsistema de carga-útil. Um FPGA reprogramável possibilitaria futuras alterações nos controladores sem necessidade de alteração de toda a lógica implementada. Caso houvesse necessidade, seria preciso apenas adaptar a parte responsável pelo controle do circuito que fosse substituído. Flexibilizar-se-ia também a inclusão de novas cargas-úteis. O FPGA utilizado no projeto não poderia ser um dispositivo qualificado para uso aeroespacial, em função das restrições apresentadas anteriormente (restrições como o ITAR – *International Traffic in Arms Regulations*, impostas por países fornecedores de componentes). Portanto, o teste e qualificação em voo deste dispositivo também tornou-se parte da missão tecnológica.

Então, em Guareschi et al. (2013-a) uma atualização das especificações do projeto foi apresentada. Vários componentes novos foram integrados ao projeto da PLB. O diagrama de blocos da Figura 3.11 apresenta estes componentes, assim como as interconexões, tensões de alimentação e protocolos de comunicação que possivelmente estariam presentes no subsistema de carga-útil da do NanoSatC-BR1.

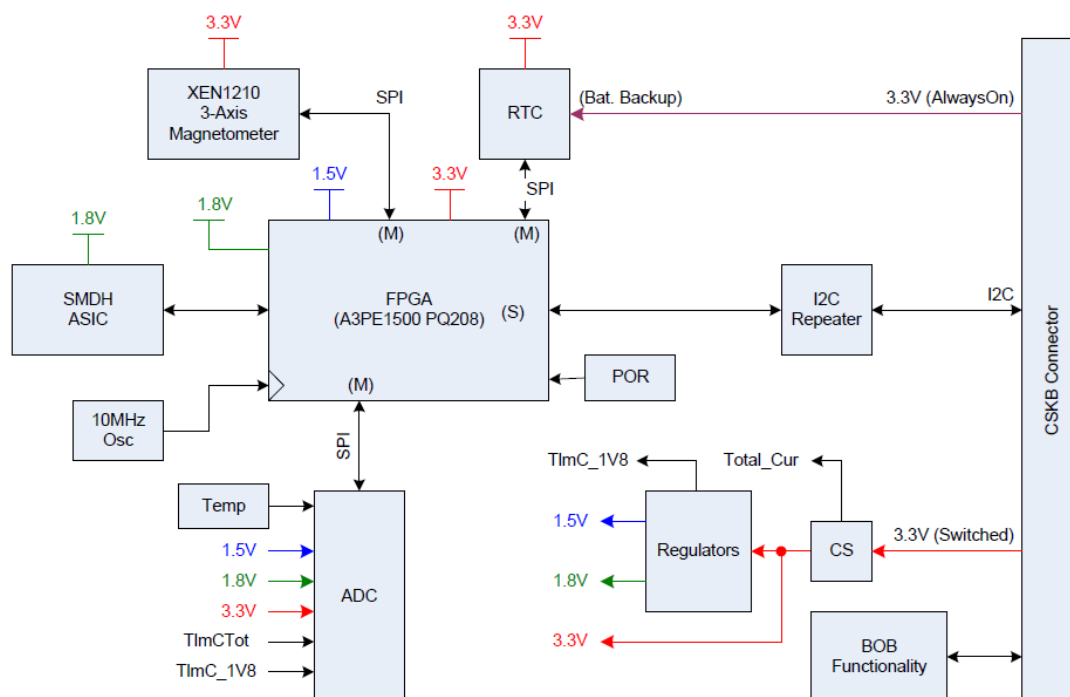


Figura 3.11: Circuitos e interconexões da placa de cargas-úteis do NanoSatC-BR1 (GUARESCHI, 2013-a).

Tendo em vista as informações pesquisadas e apresentadas no Apêndice (Dispositivos de Lógica Programável), optou-se pelo FPGA A3PE1500 da Microsemi. O FPGA A3PE1500 é o componente central do subsistema de carga-útil proposto na Figura 3.11. Os demais componentes previstos eram: 1) magnetômetro XEN-1210 da empresa Xensor, que substituiu o magnetômetro Mag566 proposto inicialmente; 2) um circuito ASIC; 3) circuito POR (*Power-On Reset*), que iniciaria o FPGA em um estado de funcionamento conhecido durante seu ligamento e reinicialização; 4) um oscilador de 10MHz que forneceria o sinal de relógio para o A3PE1500; 5) um circuito “I<sup>2</sup>C Repeater”, que realizaria o condicionamento elétrico dos sinais I<sup>2</sup>C, para a perfeita comunicação de dados entre o OBC e a PLB; 6) circuito RTC (*Real-Time Clock*), que forneceria a marcação temporal para os dados das cargas-úteis e de telemetria e um referencial de tempo não-volátil para o restante do satélite; 7) um circuito conversor de dados analógicos em digitais (ADC – *Analog-to-Digital Converter*), que realizaria a leitura de dados sensoriais analógicos de telemetria, como por exemplo a temperatura; e 8) um circuito regulador de tensão, para alimentação de todos os circuitos presentes na PLB com tensões reguladas.

### 3.3.1 Microsemi ProASIC3E A3PE1500

O A3PE1500 pertencente à família ProASIC3E é um FPGA baseado em tecnologia Flash composto por 1.5 milhão de *system gates*, com 270 kbits de memória RAM (*Random Access Memory*) e 1 kbits de memória FlashROM (*Read Only Memory*), 8 bancos de pinos I/O (do inglês *Input/Output*, ou Entrada/Saída – E/S) configuráveis com 147 portas de E/S *Single-Ended* ou 65 pares de portas diferenciais e 2 PLLs.

A arquitetura interna do A3PE1500 é apresentada na Figura 3.12.

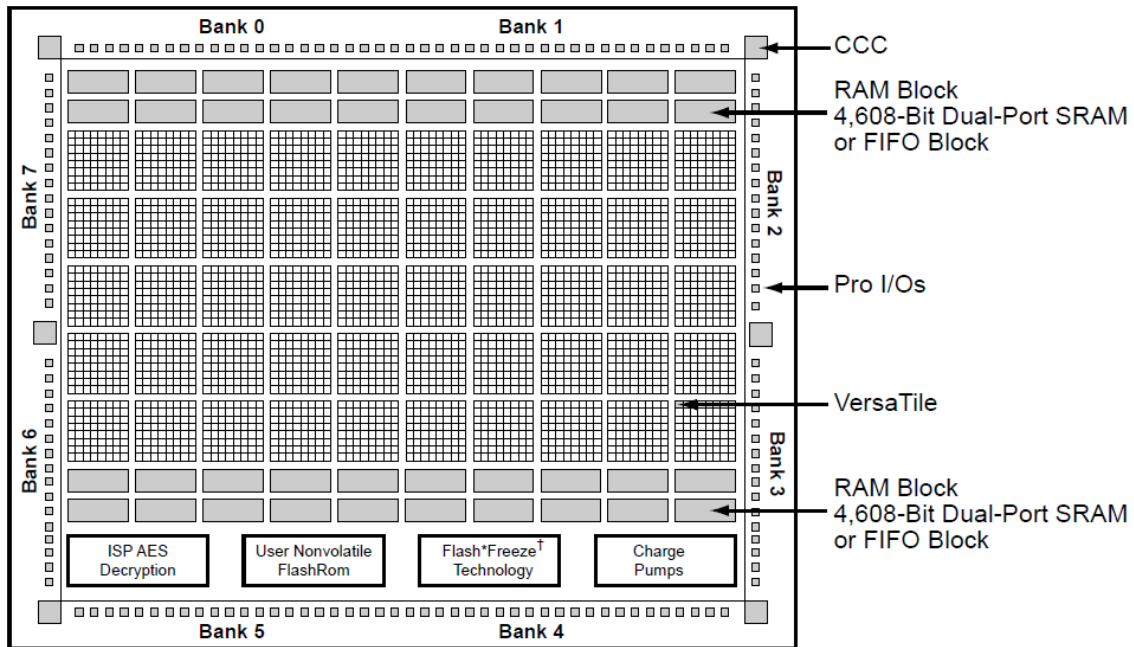


Figura 3.12: Diagrama da arquitetura da família de FPGAs ProASIC3E (MICROSEMI CORP., 2011).

A lógica programável em memória Flash desse dispositivo é denominada VersaTile (Figura 3.13). Cada VersaTile pode realizar as seguintes funções:

- LUT-3 (*Look Up Table*) – todas funções lógicas de 3 entradas
- Latch com funções *clear* ou *set*
- Flip-flop tipo D com *clear* ou *set*
- Flip-flop tipo D com habilitação (*enable*) e *clear* ou *set*

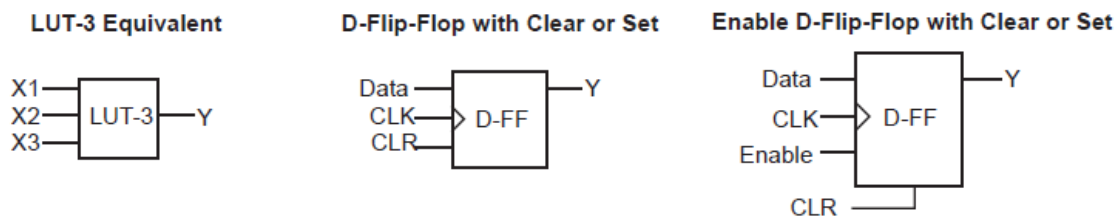


Figura 3.13: Configurações dos VersaTiles dos FPGAs ProASIC3E (ACTEL CORP., 2009-a).

O A3PE1500 contém 38400 VersaTiles, que implementam funcionalidades similares aos CLBs (*Configurable Logic Block*). As linguagens para descrição de *hardware* utilizadas para a implementação dos circuitos neste dispositivo são VHDL (*Very-high-speed integrated circuit Hardware Description Language*) e Verilog, seguindo as recomendações e o fluxo de desenvolvimento mencionados em ACTEL CORP. (2009-b) e as restrições de projeto especificados em ACTEL CORP. (2010-a).

O memória RAM embarcada no núcleo do A3PE1500 é subdividida em 60 blocos de 4608 bits. Esta memória pode ser configurada na forma *dual-port* ou *two-port*, e os blocos RAM também podem ser arranjados no formato FIFO (*First In First Out*), sem necessidade de ocupação de portas lógicas adicionais para implementação de um controlador (MICROSEMI CORP., 2011). Na Figura 3.14 são demonstrados os sinais

gerados automaticamente para o controle do acesso às memórias, assim como a forma de arranjo dos blocos RAM.

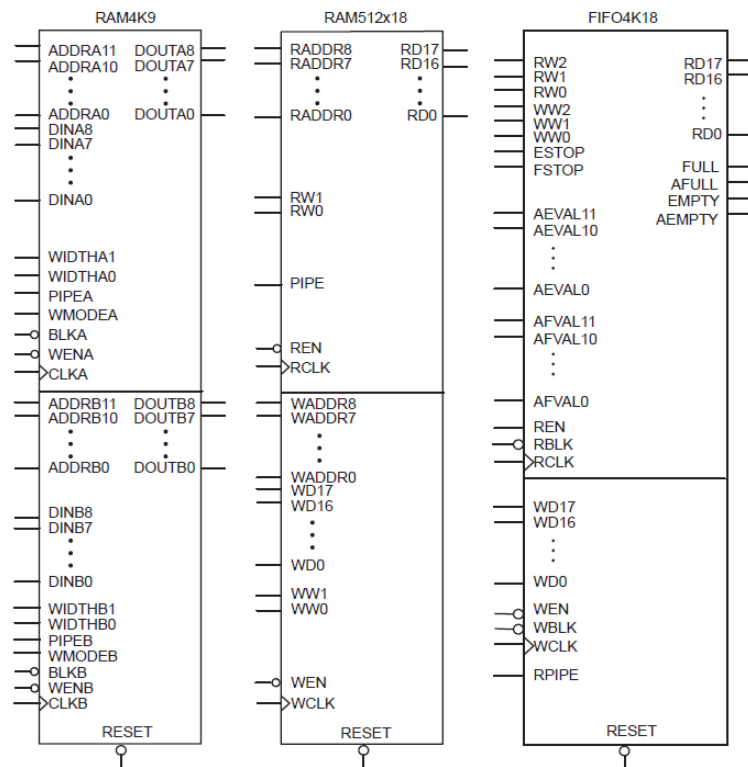


Figura 3.14: Diagrama dos sinais presentes nos blocos de memória RAM do A3PE1500, e a forma de arranjo e relação de aspecto (*aspect ratio*) dos blocos para cada configuração de memória disponível: (1) na esquerda, RAM *dual-port*; (2) no centro, RAM *two-port*; (3) na direita, FIFO (MICROSEMI CORP., 2011).

O A3PE1500 dispõe de uma memória Flash de dados acessível para o usuário – FlashROM. Os dados podem ser lidos, modificados e armazenados nessa memória do usuário pela interface de programação JTAG (*Joint Test Action Group*). Entretanto, através do núcleo do FPGA, há somente acesso de leitura ao FlashROM (MICROSEMI CORP., 2013-b).

A FlashROM e a memória Flash dos blocos configuráveis do A3PE1500 são programadas independentemente, sendo possível, portanto, atualizar o conteúdo da primeira sem alterar a Flash de programação do FPGA. Fisicamente, a FlashROM é organizada em blocos de 8x128bits; logicamente, a FlashROM é organizada em 8 páginas de 16 bytes.

### 3.3.2 Magnetômetro Xensor XEN1210

O magnetômetro conectado à plataforma é o XEN1210, um magnetômetro com sensores individuais que realiza o sensoriamento dos 3 eixos do campo magnético (Figura 3.15).

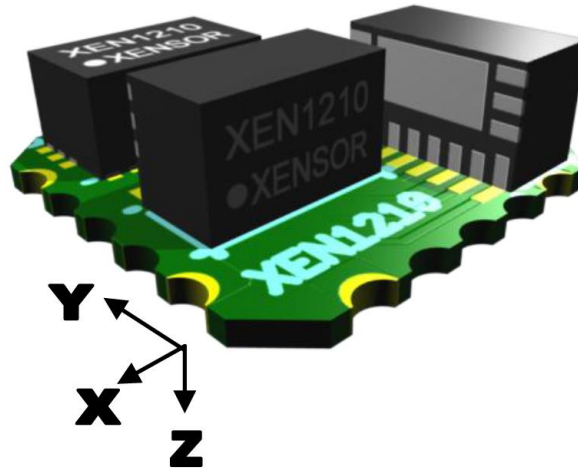


Figura 3.15: Ilustração do magnetômetro de 3 eixos XEN1210 (Xensor, 2011).

Este magnetômetro utiliza uma interface SPI de comunicação serial, que permanece operacional mesmo com o dispositivo configurado no modo inativo. Cada amostra deste magnetômetro contém 24 bits por eixo, com resolução de 15 nT e uma faixa de leitura de  $\pm 63\text{mT}$ . Ele pode realizar até 5000 amostras por segundo. Com base nas especificações presentes em Xensor (2011), para se obter o menor nível de ruído, a taxa de amostragem do sensor deve ser 15.3Hz. Foi estipulado pela equipe científica do projeto que, para reduzir ainda mais o erro introduzido pelo ruído eletromagnético dos demais dispositivos da PLB, o A3PE1500 poderia opcionalmente realizar a média de 16 amostragens seguidas, antes do armazenamento local e posterior envio ao solo.

O OBC poderá requisitar amostragens a qualquer tempo. Além disso, o OBC poderá instruir o PLB a ir armazenando as amostras na memória RAM do módulo, em uma FIFO com 128 posições. Apesar da missão científica demonstrar a necessidade de realizar uma amostragem a cada 3 segundos, o OBC poderá instruir o FPGA a configurar a taxa de amostragem do magnetômetro em 1 amostra por segundo à 1 amostra a cada 256 segundos. Para evitar o transbordamento (*overflow*) desta FIFO e a perda de dados da carga-útil, o OBC deverá realizar a leitura periódica desses dados. Este modo de operação permite a redução da carga computacional do OBC, através da redução de envios de comandos OBC – PLB para leituras individuais.

### 3.3.3 Circuito ASIC da SMDH

Com o advento do NanoSatC-BR1, percebeu-se a possibilidade de elencar na PLB um circuito ASIC que havia sido encomendado pelo Instituto Nacional de Pesquisas Espaciais à Santa Maria Design House (SMDH). Esse dispositivo foi projetado no intuito: (1) iniciar a validação funcional de uma biblioteca de células criada para viabilizar o projeto de circuitos tolerantes à radiação, sendo este o primeiro circuito projetado; (2) obter, através de testes em solo, os primeiros resultados relativos à tolerância das células da biblioteca aos efeitos da radiação ionizante, mais precisamente os efeitos de TID e de SEEs. A Figura 3.16 apresenta o leiaute geral deste circuito da SMDH.



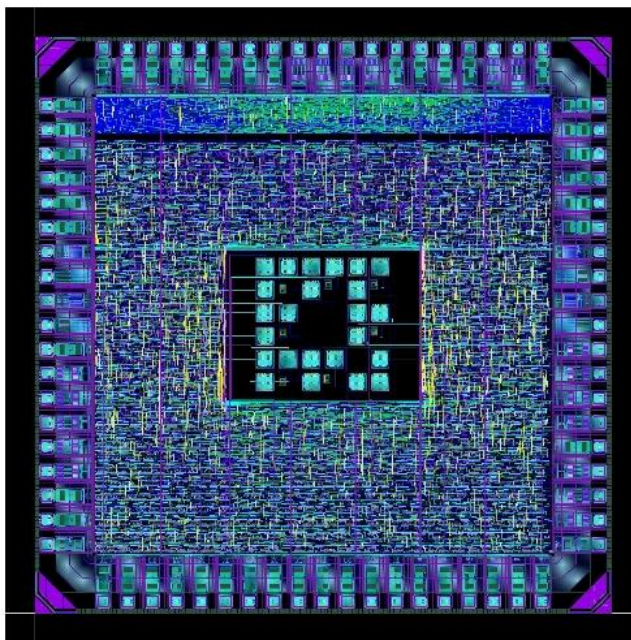


Figura 3.16: Leiaute do circuito ASIC da SMDH.

Como o circuito foi inicialmente projetado para ser testado em solo, algumas funcionalidades não poderiam ser testadas em voo. Como exemplo, na parte central da figura estão presentes alguns transistores isolados do restante do circuito. Um subgrupo destes transistores foi desenvolvido com tolerância a radiação e outro subgrupo foi desenvolvido utilizando-se a biblioteca de células padrão. A intenção de utilizar duas bibliotecas diferentes era possibilitar a caracterização da biblioteca de células projetada para tolerância a radiação. Por ser um sub-circuito isolado do restante, esta parte do ASIC não poderia ser caracterizada através da PLB em voo. Entretanto, todo o restante do chip, que também contém partes tolerantes a radiação, poderia ser testado e caracterizado em voo. Com a inclusão deste circuito ASIC no projeto da PLB, definiu-se que o nanossatélite teria também uma missão tecnológica: testar e validar, em voo, o ASIC da SMDH.

### 3.3.4 Microprocessador MIPS

Em Guareschi et al. (2013-a) foi proposto a implementação de um microprocessador baseado na arquitetura MIPS (*Microprocessor without Interlocked Pipeline Stages*) na lógica programável do A3PE1500. O MIPS é originalmente um processador RISC de 32 bits. Este microprocessador proposto, entretanto, é uma versão alterada pelo Grupo de Microeletrônica do Instituto de Informática da UFRGS (AZAMBUJA et al., 2011), contendo modificações experimentais que adiciona a capacidade de detecção de SEEs ao circuito, através da utilização de técnicas híbridas de *hardware* e *software*.

Este microprocessador foi programado para processar um algoritmo de multiplicação de matrizes 6x6. O programa de multiplicação também recebeu alterações para possibilitar a detecção das falhas transiente no MIPS. A memória de dados contém duas cópias distintas. Os contadores que contabilizam as detecções de erros são codificados por Hamming para corrigir até 1 *bit-flip* e detectar 2 *bit-flips* na memória de dados ao longo da vida útil do chip. Os dados tem 27-bits e 5-bits de paridade, totalizando os 32-bits da palavra.

O microprocessador é composto também por um *Watchdog*, circuito que observa o comportamento do processador e as assinaturas do controle para assim detectar as falhas e contabilizar os erros. Essas falhas podem ser causadas por erros nos dados gerados pelo programa e/ou no fluxo de controle a ser executado pelo programa.

Uma vez determinado todos os componentes e circuitos que integrariam o subsistema de carga-útil do satélite, iniciou-se o estudo do fluxo de desenvolvimento e das ferramentas fornecidas pelo fabricante do FPGA, que será pormenorizado no capítulo seguinte. Concomitantemente, será apresentado o desenvolvimento da Plataforma de Teste e Controle de cargas-úteis.

## 4 PLATAFORMA DE TESTE E CONTROLE DE CARGAS-ÚTEIS

Uma vez definida a arquitetura de FPGA e o dispositivo que seria incorporado na PLB (Microsemi ProASIC3E A3PE1500), optou-se pela utilização deste mesmo dispositivo para o desenvolvimento desta Plataforma de Teste e Controle (PTC) de cargas-úteis, que foi utilizada nas etapas preliminares de teste e integração de componentes. Para a implementação da lógica, utilizou-se as ferramentas disponibilizadas pelo Microsemi, que serão apresentadas nas subseções a seguir.

### 4.1 Ambiente de Desenvolvimento – IDE Libero

O Libero é o IDE (*Integrated Development Environment*) – Ambiente de Desenvolvimento Integrado – de programação dos FPGAs da Microsemi. Esse conjunto de ferramentas e metodologias gerencia o fluxo de desenvolvimento dos FPGAs, desde a especificação do projeto em alto nível, simulação, síntese, posicionamento e roteamento dos CLBs, análises de tempo e consumo e programação do dispositivo. A Figura 4.1 apresenta o fluxo completo do IDE Libero.

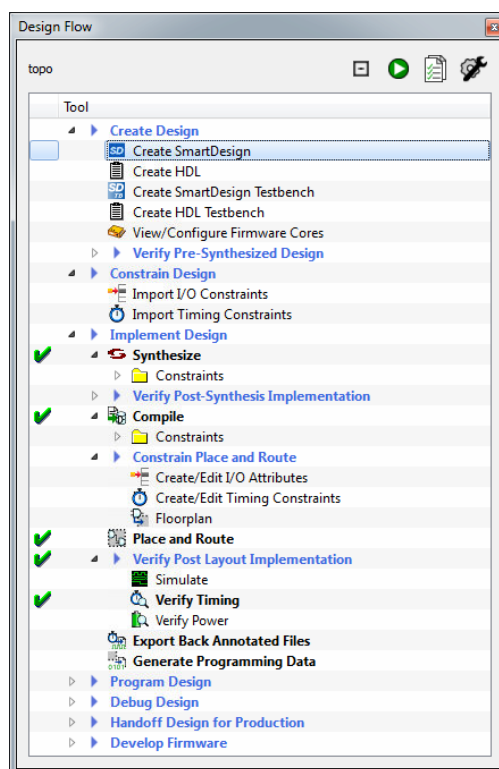


Figura 4.1: Fluxo de desenvolvimento do IDE Libero.

Juntamente com o IDE, a Microsemi disponibiliza uma gama de IP Cores (*Intellectual Properties*), que são descrições de circuitos com propriedade intelectual da Microsemi pré-implementados e sintetizáveis, com variadas funções: controles de barramentos e interfaces, gerenciamento de relógio, DSPs (*Digital Signal Processing*) - processadores de sinais digitais, controladores de memórias, protocolos para comunicação com periféricos, Blocos EDAC (*Error Detection and Correction*) para detecção e correção de erros, processadores, etc. O IDE utiliza uma ferramenta gráfica, baseada em blocos, para instanciação, configuração e conexão dos IP Cores e dos módulos criados pelo próprio usuário. Tal ferramenta, chamada de SmartDesign e demonstrada na Figura 4.2, permite uma visualização global dos blocos e a maior abstração da lógica implementada (MICROSEMI CORP., 2014).

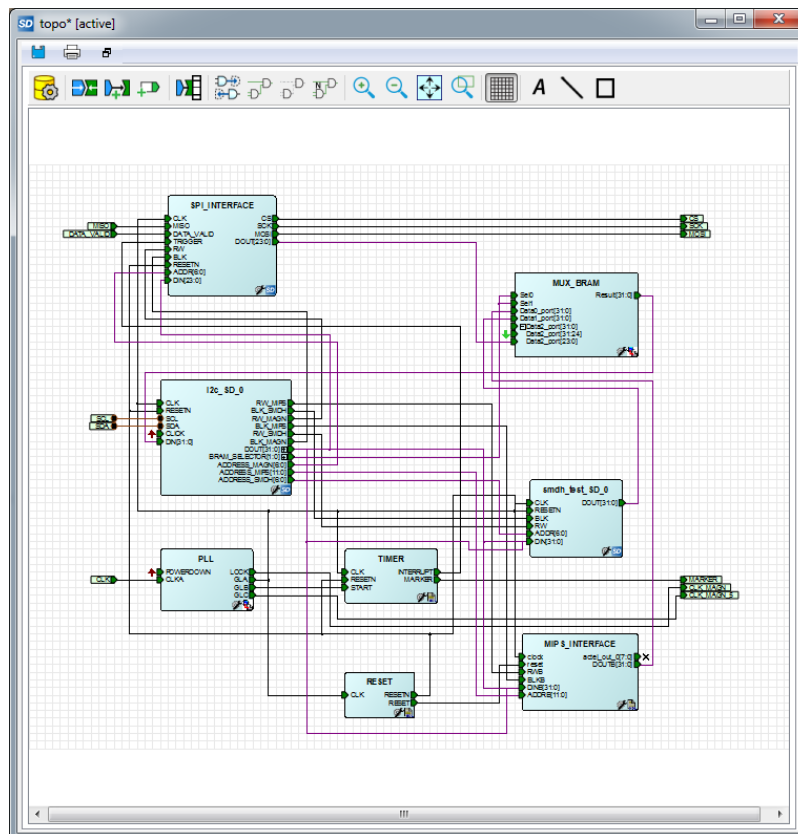


Figura 4.2: Exemplo de blocos IP Cores e módulos customizados interligados utilizando a ferramenta SmartDesign.

Os IP Cores da Microsemi são configuráveis, possibilitando a maior modularidade do projeto, com uma generalidade de aplicações. A funcionalidade de cada módulo é definida principalmente através da inserção de parâmetros, de forma gráfica, em telas de configuração. Esses IP Cores foram desenvolvidos para serem controlados por um microprocessador compatível com arquitetura AMBA (*Advanced Microcontroller Bus Architecture*). A AMBA, uma arquitetura independente de tecnologia, define protocolos e padrões de interconexão *intra-chip*, permitindo o controle e gerenciamento de blocos funcionais em projetos SOC (*System On a Chip*) (ARM LIMITED, 1999).

A ARM LIMITED (1999) especifica 3 barramentos distintos na arquitetura AMBA: *Advanced High-performance Bus* (AHB), *Advanced System Bus* (ASB) e *Advanced Peripheral Bus* (APB). A diferença entre os barramentos reside no seu desempenho. Enquanto os barramentos AHB e ASB são de alto desempenho, aplicam técnica de

*pipeline*, permitem múltiplos mestres e são utilizados em periféricos com grande largura de banda, o APB é otimizado para menor consumo de potência e é utilizado em periféricos com reduzida complexidade de interface, que não requerem o desempenho de um barramento com *pipeline*.

A Figura 4.3 apresenta uma configuração típica de um sistema utilizando esta arquitetura. No exemplo, um processador ARM implementa a arquitetura AMBA, controlando a comunicação de diferentes blocos funcionais (memória RAM, interfaces para acesso às memórias externas, etc.), assim como um circuito para a comunicação (*bridge*) de dados entre um barramento de maior desempenho (AHB ou ASB) com outro de menor desempenho (APB).

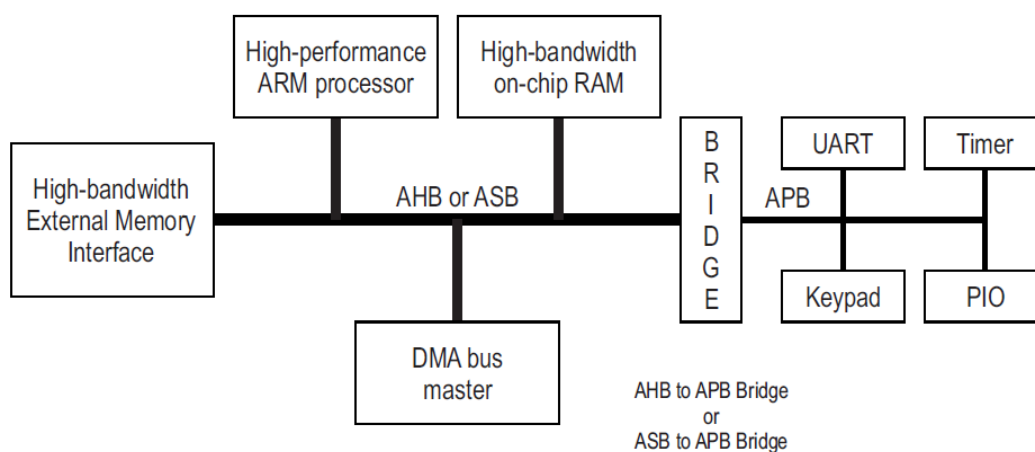


Figura 4.3: Exemplo de arquitetura AMBA, comunicando diferentes blocos funcionais e periféricos através dos barramentos AHB, ASB e APB. O controle de cada componente é realizado por um processador ARM. (ARM LIMITED, 1999)

No catálogo de IP Cores da Microsemi são fornecidos dois processadores compatíveis com arquitetura AMBA: CoreABC e Core8051s. O CoreABC, assim intitulado como um acrônimo para *APB Bus Controller* (controlador para barramento APB), é baseado na arquitetura Harvard (que apresenta independência de espaço de endereçamento entre instruções e dados). Ele suporta um conjunto de instruções, sendo que o programa é escrito, montado (*assembled*) e analisado em uma tela de configuração do próprio Core (Figura 4.4). Esse programa *assembly* é então traduzido em blocos lógicos básicos (VersaTiles) para a tecnologia Flash da Microsemi, tornando-se uma máquina de estados (ACTEL CORP., 2011-a).

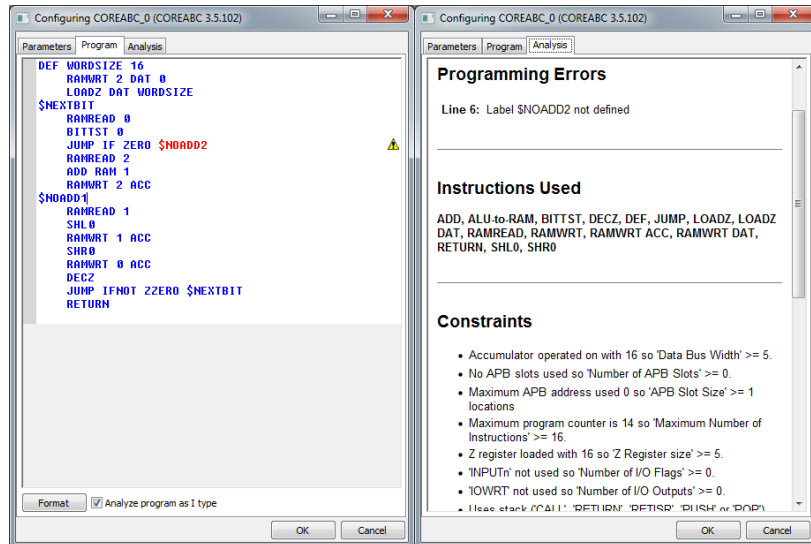


Figura 4.4: Tela para programação do CoreABC.

O Core8051s é um microprocessador de maior desempenho que o primeiro. Também implementa a arquitetura Harvard, sendo compatível com um conjunto de instruções do microcontrolador 8051 de 8 bits. A programação do Core8051s é em linguagem C, devendo então ser compilada para a obtenção do código binário (ACTEL CORP., 2010-b). Assim como o CoreABC, este Core também faz uso do barramento APB para comunicação com os circuitos por ele controlados.

Com vias de minimizar a utilização dos recursos e a lógica implementada no Plataforma, reduzir o consumo e a possibilidade de uma falha generalizada no circuito, e futuramente viabilizar a aplicação da PTC como PLB de um nanossatélite, os processadores disponibilizados nos IP Cores da Microsemi não foram utilizados. Ao invés disso, foi desenvolvido um módulo próprio para a comunicação com as interfaces APB dos IP Cores que foram utilizados na PTC. Cada IP Core com interface APB aplicada na PTC utilizou uma instância deste módulo controlador APB. Desta forma, a ocorrência de uma falha em um IP Core ou em seu controlador APB não afetaria os demais blocos presentes na plataforma.

Os sinais do barramento APB estão listados na Tabela 4.1 (baseado em ARM LIMITED, 1999; 2010).

Tabela 4.1: Sinais do barramento APB. Adaptado de ARM LIMITED (2010).

Nome	Descrição
PCLK	Relógio. A borda de subida do sinal PCLK sincroniza todas as transferências no barramento.
PRESETn	Reset. O sinal está ativo quando BAIXO e o sinal é normalmente conectado diretamente ao sinal <i>reset</i> do sistema.
PADDR	Endereço. Sinal de endereçamento no barramento APB, com até 32 bits.
PSELx	Seleção. Sinal selecionador do periférico conectado ao barramento. Sinal individual para cada periférico.

<b>PENABLE</b>	Habilitação. Indica o segundo e subsequentes ciclos de transferência de dados.
<b>PWRITE</b>	Direção. Sinal de direcionamento dos dados. Um sinal ALTO indica acesso de escrita, um sinal BAIXO indica acesso de leitura.
<b>PWDATA</b>	Escrita. Os dados em PWDATA são carregados quando o sinal PWRITE está ALTO. Pode ter até 32 bits.
<b>PRDATA</b>	Leitura. Os dados em PRDATA são carregados quando o sinal PWRITE está BAIXO. Pode ter até 32 bits.

A Figura 4.5 apresenta um diagrama de estados do APB, representando a atividade no barramento.

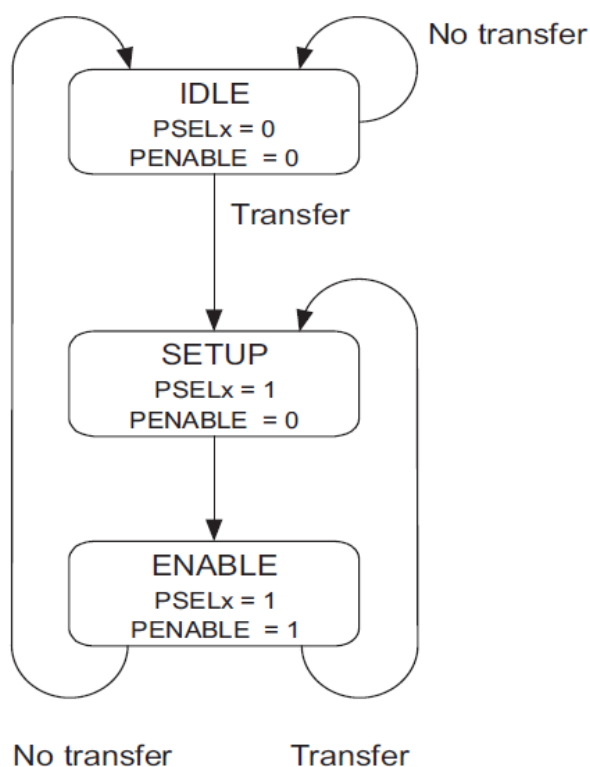


Figura 4.5: Diagrama de estados do módulo controlador da interface APB desenvolvido. Adaptado de ARM LIMITED (2010).

A transição de estados do controlador APB é apresentada a seguir:

- *IDLE*: estado padrão APB.
- *SETUP*: quando uma transferência é requisitada no barramento, o controlador passa a este estado, e o sinal selecionador PSELx é ativado. O controlador permanece neste estado por apenas um ciclo de relógio, passando no próximo ciclo para o estado *ACCESS*.
- *ACCESS*: neste estado o sinal habilitador é ativado. Os sinais PADDR, PWRITE, PSELx e PWDATA são mantidos estáveis durante a transição do *SETUP* para *ACCESS*. A saída deste estado ocorre ao fim de uma de

transferência, voltando ao estado *IDLE*, ou então ao estado *SETUP*, no caso de ocorrer outra transferência APB ao mesmo periférico.

Com exceção do circuito ASIC da SMDH, todos os componentes eletrônicos comerciais que foram apresentados como candidatos a cargas-úteis do satélite continham interfaces padrões. Ressalta-se a recorrência das interfaces I<sup>2</sup>C e SPI, e também protocolos comuns de comunicação e controle de memórias. A seguir são pormenorizados os IP Cores que foram utilizados no desenvolvimento da PTC.

#### 4.1.1 CoreI2C – Interface I<sup>2</sup>C

O barramento I<sup>2</sup>C – *Inter-Integrated Circuit*, desenvolvido pela Philips a mais de três décadas, é um barramento bidirecional simples. Usado na conexão circuitos de baixa velocidade, contém apenas 2 fios, um de dados e outro de sincronização: SDA – *Serial Data Line*, e SCL – *Serial Clock Line*. Um exemplo de barramento I2C é demonstrado na Figura 4.6.

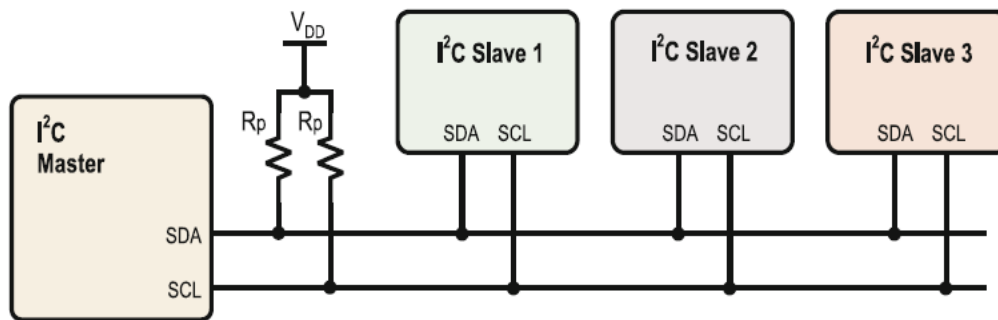


Figura 4.6: Diagrama exemplificando um barramento I<sup>2</sup>C. No exemplo, o dispositivo da esquerda atua como o mestre do barramento, e os demais dispositivos atuam como seus escravos (JIMÉNEZ, PALOMERA, COUVERTIER; 2014).

Cada dispositivo conectado nesse barramento é endereçável de forma única. O I<sup>2</sup>C aplica o modelo mestre-escravo, podendo o mestre atuar como mestre-transmissor ou mestre-receptor. Havendo múltiplos mestres, utiliza-se um sistema de detecção de colisão e arbitramento para prevenir a corrupção dos dados. Esse barramento, orientado a 8 bits, opera no modo bidirecional de 100kbit/s a 3.4Mbit/s, podendo chegar a 5Mbit/s no modo unidirecional. (NXP SEMICONDUCTOR, 2012).

O CoreI2C é o IP Core que implementa uma interface serial I<sup>2</sup>C, em conformidade com as especificações da versão 2.1, no formato de 7 bits de endereçamento e taxas de transmissão de dados de 100 e 400kbit/s. O formato de envio dos bits de endereçamento e dos bits de dados é apresentado na Figura 4.7.

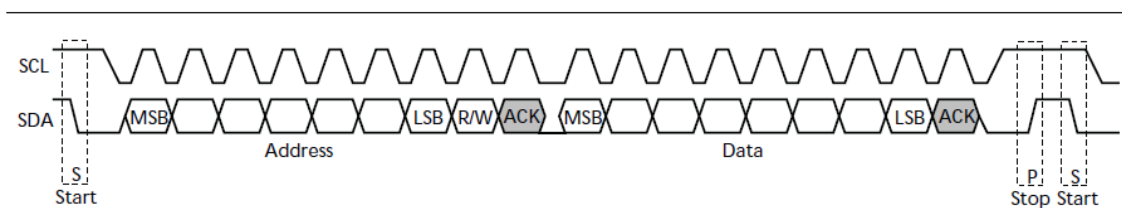


Figura 4.7: Formato de envio de bits de endereçamento e de dados implementado no CoreI2C, conforme a especificação da versão 2.1. O início da comunicação se dá pelo envio de 7 bits de endereço para seleção do escravo, seguido de 8 bits de dados (ACTEL CORP., 2011-b).



Através de vários parâmetros VHDL selecionáveis na tela de configuração (Figura 4.8), diferentes modos de operação permitem minimizar a área ocupada para uma dada aplicação.

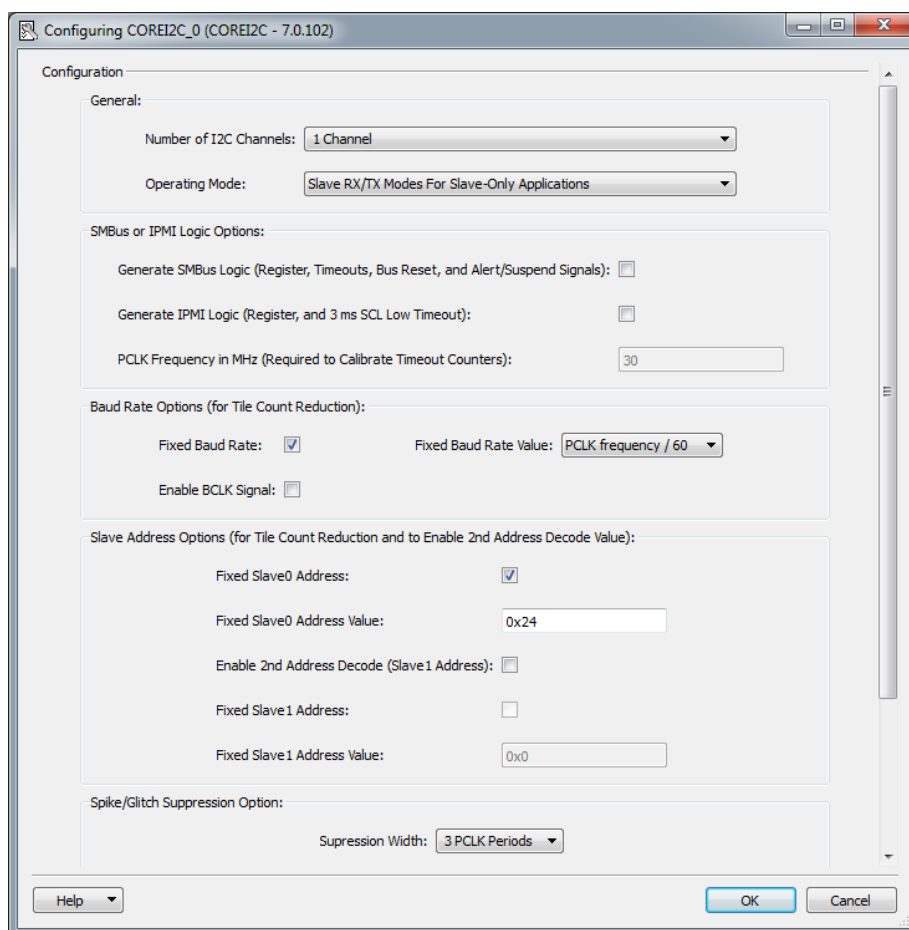


Figura 4.8: Tela para criação e configuração de uma instância do CoreI2C. Diversos parâmetros determinam a forma de operação deste IP Core, sendo os mais gerais: número de canais I<sup>2</sup>C gerados e o modo de operação.

Com o uso de múltiplos canais I<sup>2</sup>C, o CoreI2C consegue reutilizar a lógica implementada através dos canais para reduzir o número de VersaTiles necessários ao funcionamento (ACTEL CORP., 2011-b). Entretanto, ao utilizar-se uma instância CoreI2C para cada periférico controlado, obtém-se o isolamento da lógica entre os diferentes circuitos. Impede-se assim que uma falha em um controlador I<sup>2</sup>C afete a comunicação de outro periférico presente neste barramento, visto que não há interação da lógica entre os circuitos. Em contrapartida, como não há reutilização da lógica, mais recursos são consumidos no FPGA. A comunicação e controle deste IP Core ocorre através da interface APB.

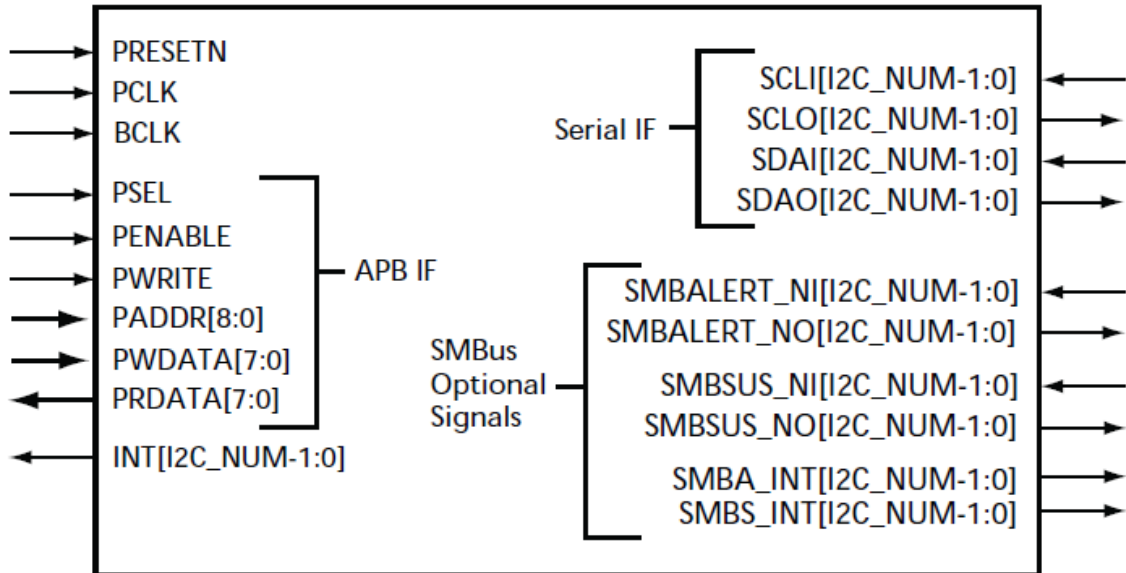


Figura 4.9: Diagrama dos sinais de E/S do CoreI2C.

O diagrama dos sinais de E/S do CoreI2C é mostrado na Figura 4.9. Os sinais do barramento APB, identificados por “APB IF” (juntamente com os sinais PRESETN e PCLK), estão descritos na Tabela 4.1. Os demais sinais da interface do CoreI2C são descritos na Tabela 4.2.

Tabela 4.2: Sinais de E/S do CoreI2C. Baseado em ACTEL CORP. (2011-b).

Nome	Descrição
INT	Interrupção. Sinal de interrupção, monitora a atividade nos registradores da interface APB e sinaliza a ocorrência de determinados eventos.
“SERIAL IF”	Interface serial I <sup>2</sup> C. Composto por quatro sinais, dois de entrada e dois de saída, são os dois pinos físicos bidirecionais conectados ao periférico através de 2 pinos de E/S do FPGA <b>SCLi</b> e <b>SCLo</b> – sinal de relógio do barramento I <sup>2</sup> C <b>SDAi</b> e <b>SDAo</b> – sinal de dados do barramento I <sup>2</sup> C
SMBus Optional Signals	Sinais SMBus. São sinais opcionais utilizados quando o barramento está configurado como <i>System Management Bus</i> (barramento de gerenciamento de sistema). É um protocolo derivado do I <sup>2</sup> C, com pequenas alterações elétricas e lógicas, realizando, por exemplo, alocações dinâmicas de endereço.
BCLK	Sinal de relógio opcional. Quando esta opção está ativada, este sinal ( <i>baud clock</i> ) determinará a velocidade de transmissão do sinal SCL.

#### 4.1.2 CoreSPI – Interface SPI

O *Serial Peripheral Interface* é outra interface de comunicação de dados serial e síncrona entre microcontroladores e dispositivos periféricos, no modelo mestre-escravo. A interface foi desenvolvida pela Motorola e tornou-se um padrão *de facto*. Por isso, falta normatização, refletindo-se em uma variedade de opções.

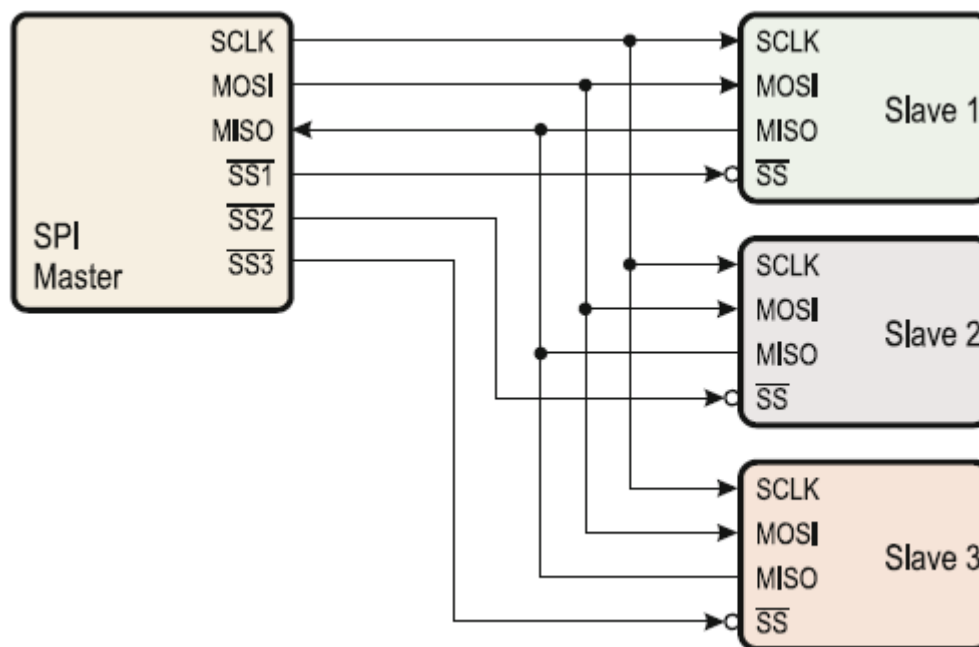


Figura 4.10: Diagrama exemplificando um barramento SPI. No exemplo, o dispositivo da esquerda atua como o mestre do barramento, e os demais dispositivos atuam como seus escravos (JIMÉNEZ, PALOMERA, COUVERTIER; 2014).

Contudo, há basicamente quatro sinais presentes neste protocolo, cada um possuindo uma direção fixa e definida, como demonstrado na Figura 4.10. Mestre e escravo geralmente podem transmitir e receber dados simultaneamente, em modo *full-duplex* (JIMÉNEZ, PALOMERA, COUVERTIER; 2014). A Tabela 4.3 pormenoriza os sinais presentes no barramento SPI.

Tabela 4.3: Sinais de E/S do SPI. Baseado em ACTEL CORP. (2008).

Nome	Descrição
<b>SCLK</b>	Relógio serial. Sinal de referência de relógio, fornecido pelo mestre ao(s) escravo(s).
<b>MOSI</b>	Saída serial de dados do mestre. Sinal de dados fornecido serialmente do mestre para o escravo. Acrônimo para <i>Master-Out Slave-In</i> .
<b>MISO</b>	Entrada serial de dados do mestre. Sinal de dados fornecido serialmente do escravo para o mestre. Acrônimo para <i>Master-In Slave-Out</i> .
<b>SS</b>	Seletor de escravo. Sinal de seleção que habilita determinado escravo conectado ao barramento para a comunicação com o mestre. O escravo está habilitado quando este sinal está em nível lógico baixo. Acrônimos para <i>Slave Select</i> .

O CoreSPI é o IP Core da Microsemi que implementa uma interface SPI, podendo operar como mestre e/ou como escravo. A Figura 4.11 apresenta a tela de configuração do CoreSPI. Operando em modo escravo, o sinal de relógio da interface serial é amostrado e sincronizado com o relógio do sistema. Quando opera em modo mestre, o

o sinal SCLK é gerado pelo CoreSPI, dentro do FPGA. Neste modo, até 8 linha de seleção de escravos (SS) podem ser fornecidas por instância de CoreSPI.

Assim como no CoreI2C, a utilização de uma instância desse IP Core para cada dispositivo periférico conectado ao FPGA permite o aumento da tolerância a falhas, e, em contrapartida, o aumento da lógica utilizada. A comunicação e controle deste IP Core também é realizada através da interface APB. Algumas definições sobre o dispositivo controlado, como por exemplo a sua polaridade do relógio (CPOL – *Clock Polarity*), sua fase do relógio (CPHA – *Clock Phase*) e a ordem para transferência dos dados são configuradas no CoreSPI pelo barramento APB.

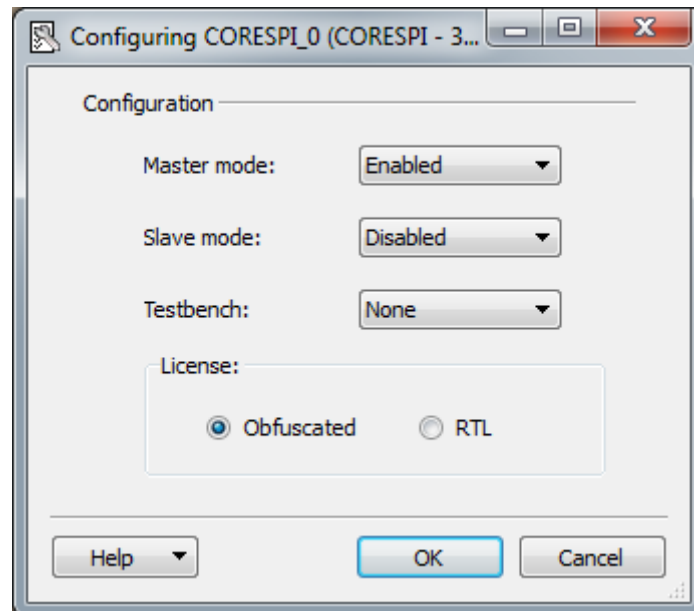


Figura 4.11: Tela para criação e configuração do CoreSPI.

Um diagrama de sinais de E/S do CoreSPI é apresentado na Figura 4.12.

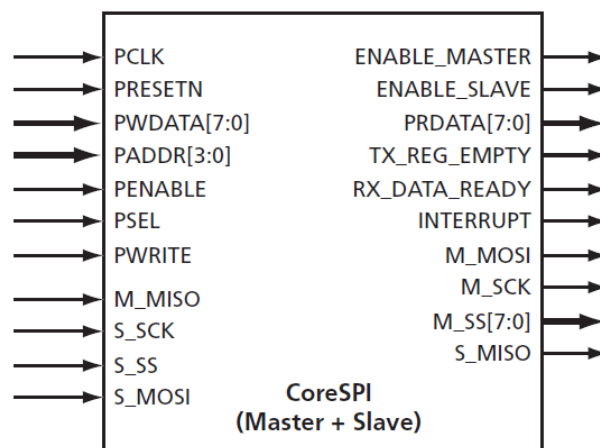


Figura 4.12: Diagrama completo de sinais de E/S do CoreSPI, incluindo sinais presentes tanto no modo mestre quando no modo escravo.

Além dos sinais APB apresentados na Tabela 4.1, esse IP Core contém também os sinais descritos na Tabela 4.4.

Tabela 4.4: Sinais de E/S do CoreSPI. Baseado em ACTEL CORP. (2008).

<b>Nome</b>	<b>Descrição</b>
<b>ENABLE_MASTER</b>	Modo mestre. Sinal estático, que, quando ativo, indica que o CoreSPI opera em modo mestre.
<b>ENABLE_SLAVE</b>	Modo escravo. Sinal estático, que, quando ativo, indica que o CoreSPI opera em modo escravo.
<b>TX_REG_EMPTY</b>	Interrupção de registro de transmissão vazio. Esse sinal se torna ativo quando o registrador de envio de dados está vazio, informando que o próximo caractere a ser transmitido já pode ser enviado ao IP Core
<b>RX_DATA_READY</b>	Interrupção de recebimento de dado. Esse sinal se torna ativo quando o registrador de recebimento de dados já pode ser lido, pois o recebimento do caractere atual já foi concluído
<b>INTERRUPT</b>	Interrupção. Esse pino torna-se ativo toda vez que TX_REG_EMPTY ou RX_DATA_READY é ativado.
<b>M_SCK</b>	Modo Mestre
<b>M_MOSI</b>	Esses sinais são utilizados quando o CoreSPI está opera em modo mestre. Quando o Core opera em modo escravo, estes sinais são inutilizados. As funções de cada E/S estão descritas na Tabela 4.3.
<b>M_MISO</b>	
<b>M_SS</b>	
<b>S_SCK</b>	
<b>S_MOSI</b>	Esses sinais são utilizados quando o CoreSPI opera em modo escravo. Quando o Core opera em modo mestre, estes sinais são inutilizados. As funções de cada E/S estão descritas na Tabela 4.3.
<b>S_MISO</b>	
<b>S_SS</b>	

#### 4.1.3 Memórias

O acesso a memória RAM dos FPGAs ProASIC3E da Microsemi é possibilitado pelo SmartDesign de duas formas. A primeira é através do CoreAPBSRAM, utilizando o barramento APB para acessar a SRAM. Esse IP Core é utilizado em um sistema microcontrolado, compatível com a arquitetura AMBA (ACTEL CORP., 2009-c).

A segunda forma é, através de uma tela de configuração no SmartDesign (Figura 4.13, lado esquerdo), alocar um espaço de memória, baseando-se nas diretivas apontadas em MICROSEMI CORP. (2013-b). O SmartDesign gera automaticamente um bloco com os sinais de E/S para a conexão com o circuito que fará uso desta memória (Figura 4.13, lado direito).

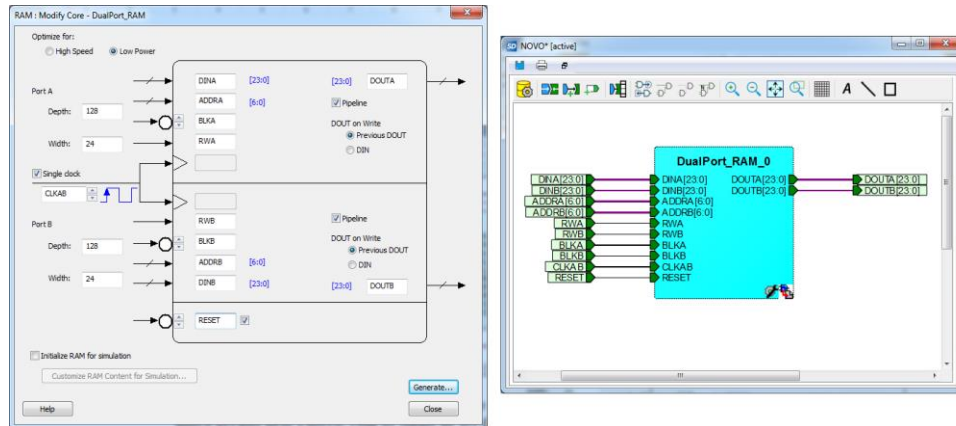


Figura 4.13: Tela para criação e configuração de um espaço de memória RAM (lado esquerdo). Bloco com os sinais de E/S e a instância de memória RAM gerada no Libero pela ferramenta SmartDesign (lado direito).

O Libero automaticamente cascadeia os blocos de memória RAM para criar memórias com maior largura e profundidade, escolhendo automaticamente a relação de aspecto mais eficiente, dependendo da opção definida pelo usuário entre otimização de velocidade ou redução de consumo. A memória RAM pode ser configurada como *dual-port* RAM (Figura 3.14, bloco da esquerda), e neste formato há acesso de escrita e leitura em ambas as portas; ou como *two-port* RAM (Figura 3.14, bloco do centro), na qual uma porta permite a escrita e a outra porta permite a leitura de dados.

Há algumas opções disponíveis na tela de configuração do SmartDesign como, por exemplo, sinais de relógios independentes para cada a porta e polaridade na amostragem do sinal de relógio.

Uma forma simplificada de escrever os dados na memória FlashROM é criar uma instância da FlashROM através do catalogo de IP Cores do Libero, pela tela gráfica SmartDesign apresentada na Figura 4.14. Diferentes regiões da memória Flash podem ser especificamente ocupadas pelos dados, dependendo da proposta de projeto.

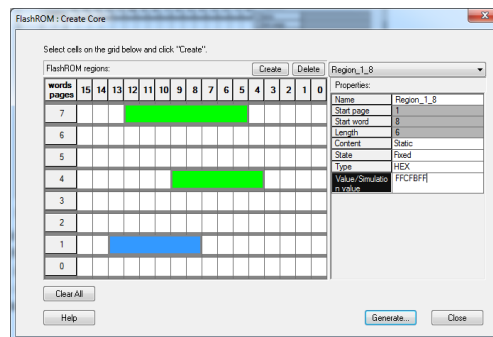


Figura 4.14: Tela para configuração de escrita de dados da FlashROM.

Também é possível realizar o preenchimento da memória FlashROM diretamente em VHDL.

## 4.2 Desenvolvimento da Plataforma

Com base no trabalho em Guareschi et al. (2013-a) e nos dispositivos da Figura 3.11, foi desenvolvida uma Plataforma de Teste e Controle de cargas-úteis tendo como dispositivo de controle central o FPGA A3PE1500 da Microsemi. No desenvolvimento

desta plataforma, os IP Cores apresentados na subseção anterior foram utilizados para realizar o controle, gerenciamento e comunicação de cargas-úteis. Um diagrama de blocos desta plataforma é apresentado na Figura 4.15.

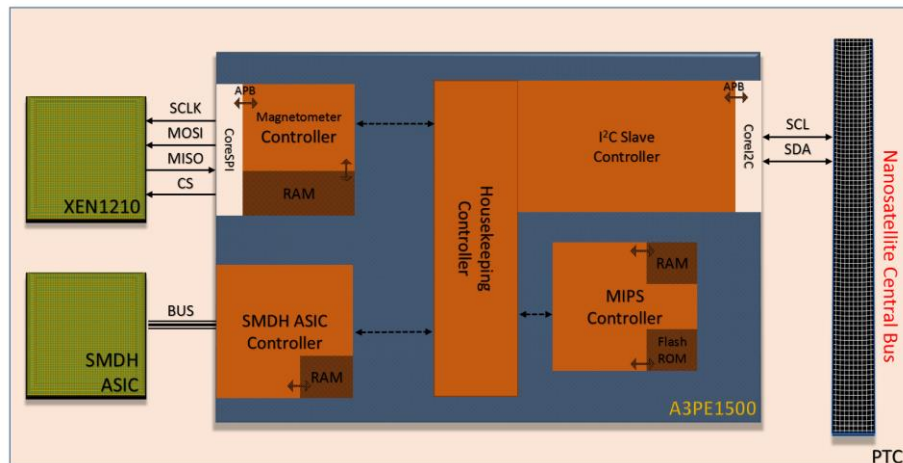


Figura 4.15: Diagrama de blocos dos circuitos implementados na Plataforma de Teste e Controle de cargas-úteis.

A PTC contém cinco unidades funcionais: o processador MIPS, o circuito controlador do ASIC da SMDH, o circuito controlador do magnetômetro, o circuito controlador de comunicação com o OBC e o circuito de *Housekeeping*.

#### 4.2.1 Controlador do Magnetômetro

O módulo controlador da comunicação com o magnetômetro implementa uma interface SPI utilizando o CoreSPI. Para o controle desse IP Core, foi utilizado o módulo APB baseado na especificação ARM LIMITED (2010) e descrito na seção 4.1. Esse controlador contempla um espaço de memória RAM para o armazenamento das amostras recebidas do magnetômetro. A Figura 4.16 apresenta o diagrama SmartDesign com os blocos presentes no controlador do magnetômetro: bloco CoreSPI, controlador APB do CoreSPI e a memória RAM alocada.

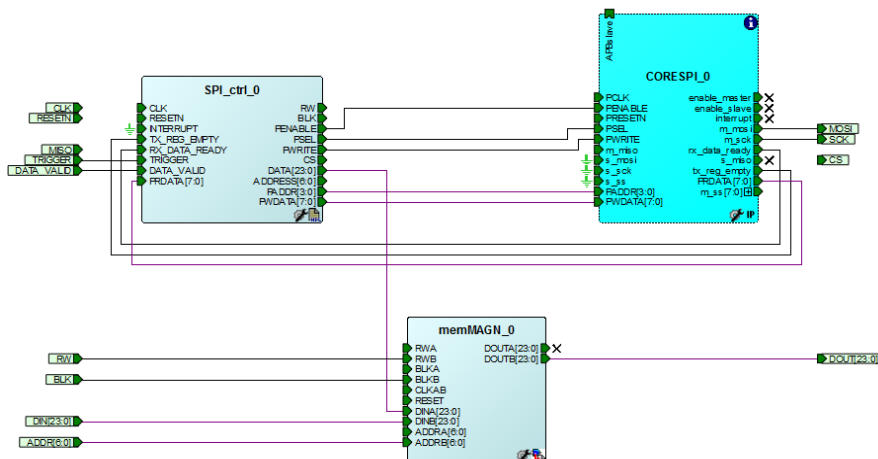


Figura 4.16: Diagrama SmartDesign do módulo controlador do magnetômetro. O bloco da esquerda implementa um controlador APB para o CoreSPI, apresenta a direita na imagem. No centro abaixo está a memória RAM para armazenamento dos dados sensoriais recebidos do XEN1210.

Segundo as especificações do magnetômetro (Xensor, 2011), o circuito interno do XEN1210 funciona na faixa de frequência de 0.8 a 5MHz. Para obtenção de amostragens com o menor nível de ruído, a taxa de amostragem deve ser de 15.3Hz. A obtenção desta taxa de amostragem ocorre sincronizando-se o circuito interno do XEN1210 com um sinal de relógio de 1MHz, fornecido pelo PLL do FPGA.

A interface de comunicação serial opera na frequência típica de 400kHz, no modo CPOL=0 e CPHA=1, que significa respectivamente que o valor base do relógio serial é 0, e que os dados seriais são capturados na borda de descida de relógio e propagados na borda de subida. Essa configuração do modo de operação do CoreSPI é feita pelo controlador através do barramento APB.

As transmissões SPI deste magnetômetro sempre ocorrem em múltiplos de 3 bytes, com ordem de transferência dos bits MSB (*Most Significant Bit first*), ou seja, o bit mais significativo é enviado por primeiro. As amostras são codificadas em complemento de dois. O magnetômetro também é programado através do envio de comandos codificados em 3 bytes, pelo barramento SPI. O primeiro byte define os comandos da operação desejada. O 2 últimos bytes definem as configurações de controle de velocidade do conversor analógico-digital interno, e, conseqüentemente, a velocidade de amostragem e a taxa de ruído.

#### 4.2.2 Comunicação com OBC e circuito de *housekeeping*

A comunicação entre o OBC e o PLB ocorre somente pelo barramento I<sup>2</sup>C. Para a PTC, desenvolveu este módulo, que implementa uma interface I<sup>2</sup>C em modo escravo com o CoreI2C. Para o controle deste IP Core, um circuito APB similar ao utilizado no controlador do magnetômetro foi utilizado. Juntamente com o controlador da comunicação I<sup>2</sup>C com o OBC, neste módulo foi inserido o circuito de *Housekeeping*. A Figura 4.17 apresenta o diagrama SmartDesign deste módulo.

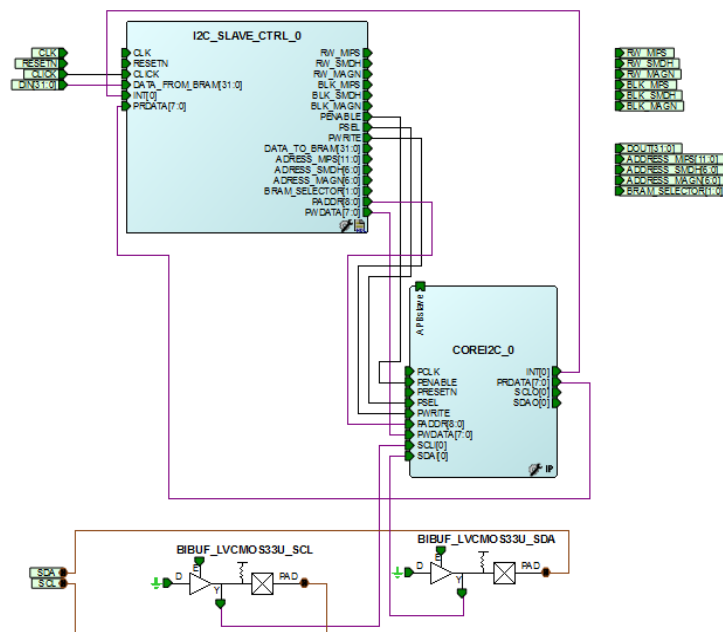


Figura 4.17: Diagrama SmartDesign do módulo controlador da interface de comunicação com o OBC. Na parte superior está o bloco de controle APB do CoreI2C, que funciona conjuntamente com o circuito de *Housekeeping*. No centro, à direita, está o CoreI2C. Na parte inferior, *buffers* bidirecionais para os sinais I<sup>2</sup>C.



Cada unidade funcional do FPGA é controlado e monitorado pelo circuito de *Housekeeping*. Este módulo recebe os telecomandos oriundos do OBC pela interface I<sup>2</sup>C e os repassa para a decodificação no *Housekeeping*. No sentido inverso, os dados de telemetria dos circuitos implementados no FPGA são lidos pelo controlador de *Housekeeping* e enviados ao OBC pelo barramento I<sup>2</sup>C. A Figura 4.18 demonstra a conexão lógica de dados e de controle desse módulo.

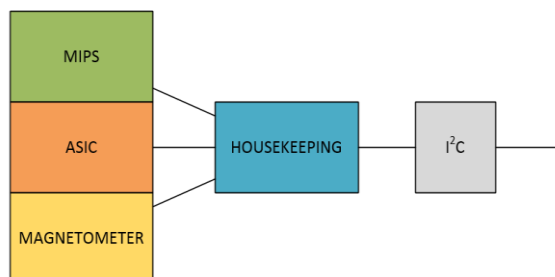


Figura 4.18: Conexão entre os blocos funcionais da plataforma.

Quando requisitado pelo OBC, os resultados das cargas-úteis armazenados nas memórias RAM são recuperados pelo *Housekeeping* e enviados ao controlador I<sup>2</sup>C para a transmissão.

#### 4.2.3 Controlador do circuito ASIC

Este módulo contém uma carga-útil que executa um algoritmo experimental operando em conjunto com o circuito ASIC desenvolvido pela SMDH. Este experimento resulta em dados que são armazenados na memória RAM deste módulo, totalizando 736 bits, compostos por 23 registradores de 32 bits. Esse algoritmo é executado cerca de 85 vezes por segundo.

A conexão entre o circuito ASIC e seu controlador demanda 38 pinos de E/S do FPGA. Durante o desenvolvimento da plataforma não havia disponibilidade do dispositivo físico criado pela SMDH. Portanto, um circuito emulador do funcionamento do ASIC foi desenvolvido e implementado juntamente no FPGA, contendo todas as conexões existentes e a funcionalidade do ASIC real. Dessa forma, foi possível realizar o teste funcional do algoritmo experimental. A Figura 4.19 apresenta o bloco emulador do ASIC e o bloco com o algoritmo experimental.

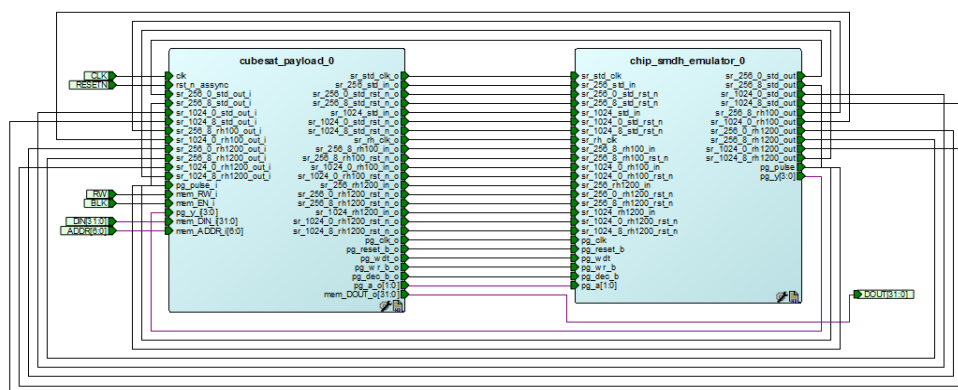


Figura 4.19: Diagrama SmartDesign do módulo de controle do circuito ASIC. A esquerda, o algoritmo experimental de controle do circuito ASIC. A direita, o bloco emulador do circuito ASIC implementado no FPGA. Todos os sinais do emulador são interligados ao bloco de controle.

#### 4.2.4 Microprocessador MIPS

A memória de programa deste microprocessador é armazenada na memória Flash do FPGA – FlashROM, removendo a necessidade de utilização de uma memória externa para este fim. A memória de dados totaliza 2624 bits na memória RAM embarcada, sendo composta por 82 registradores de 32 bits. Os sinais de E/S são apresentados na Figura 4.20

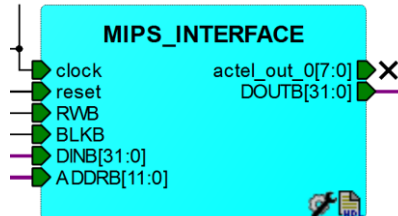


Figura 4.20: Diagrama SmartDesign demonstrando os sinais de E/S da carga-útil.

Este circuito contém na interface apenas os sinais de relógio, *reset* e de acesso a sua memória RAM. A comunicação entre o MIPS e o controlador de *Housekeeping* ocorre através da memória RAM.

#### 4.3 Programação e Teste Funcional

A programação da plataforma para os testes funcionais foi feita na placa de prototipação ProASIC3/E Starter Kit Board, modelo A3PE-A3P-EVAL-BRD1, que contém um FPGA A3PE1500-PQ208 embarcado. A Figura 4.21 apresenta a placa de prototipação utilizada.

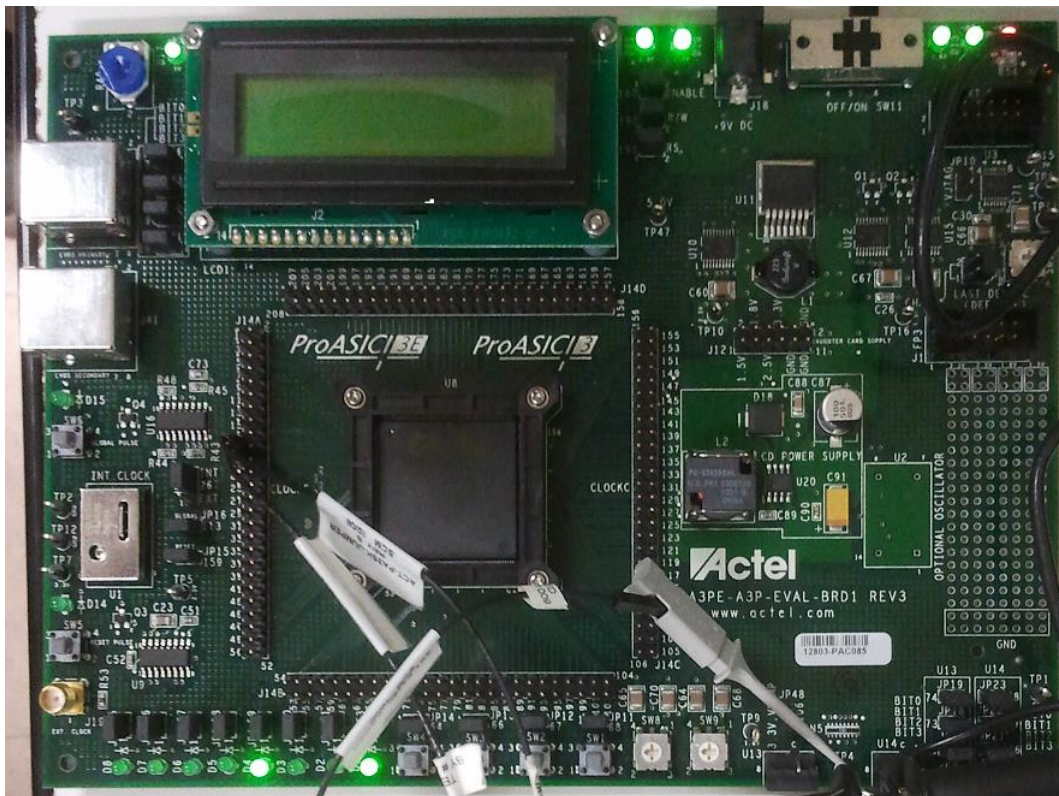


Figura 4.21: Placa de prototipação ProASIC3/E Starter Kit Board, utilizada para implementação da plataforma de testes no FPGA A3PE1500.

A ferramenta para síntese lógica utilizada no fluxo de desenvolvimento foi Synplify Pro ME, da empresa Synopsys, aplicando-se a biblioteca de macros para a tecnologia ProASIC3 (MICROSEMI CORP., 2012-c). Os resultados obtidos de consumo de área (VersaTiles) e de desempenho, através da síntese lógica, são apresentados individualmente para cada subsistema na Tabela 4.5.

Tabela 4.5: Resultado de síntese lógica (individual) para cada circuito da PTC.

<b>Circuito</b>	<b>Células Lógicas</b>	<b>Blocos RAM</b>	<b>Pinos de E/S</b>	<b>Frequência Máxima (Estimada)</b>
<b>Controlador do Magnetômetro (SPI)</b>	792 (2%)	3 (5%)	6	65.9MHz
<b>Comunicação (I2C) e Circuito de Housekeeping</b>	935 (2%)	-	2	46.6MHz
<b>Controlador do Circuito ASIC</b>	785 (2%)	4 (6%)	38	77.7MHz
<b>Microprocessador MIPS</b>	20523 (53%)	32 (53%)	0	22.6MHz
<b>Emulador ASIC</b>	12964 (34%)	0	0	129.7MHz

A síntese lógica da Plataforma com todos os circuitos implementados, descartando o circuito emulador do ASIC, resultou na utilização de 56% dos VersaTiles do A3PE1500 (21330 células), 39 blocos de memória RAM (65% dos blocos disponíveis).

Foram designados e assinados os Bancos 0, 3, 5, 6 e 7 de E/S. Os Bancos 0 e 7 foram assinados para suportar o padrão LVC MOS (*Low Voltage CMOS*) de 1.8V, utilizado na conexão dos 38 pinos do circuito ASIC da SMDH. O Banco 3 utilizou o padrão LVC MOS de 3.3V, para os 2 pinos bidirecionais do barramento I<sup>2</sup>C. O Banco 5 também utilizou o padrão de 3.3V, mas para a conexão com os 6 pinos do magnetômetro. Por fim, o Banco 6 utilizou o padrão LVTTTL (*Low Voltage Transistor-Transistor Logic*), e recebeu o sinal de relógio. No total, 47 pinos de E/S foram utilizados. Um sinal de relógio de 40MHz foi fornecido ao FPGA pelo cristal oscilador presente na placa de prototipação, sendo a frequência estipulada ao PLL interno do FPGA de 10MHz, conforme as especificações do projeto. O resultado de frequência máxima obtível pelo PLL, estimada pelo sintetizador lógico, foi de 15.5MHz.

As etapas de compilação e de posicionamento e roteamento de células foram concluídas com a ferramenta Designer, constante no fluxo do IDE Libero. As opções de roteamento e posicionamento incrementais foram desabilitadas, e a opção de leiaute com prioridade para temporização foi selecionada, assim, as metas e restrições de temporização deveriam ser alcançadas. O resultado do posicionamento global das células é apresentado na Figura 4.22.

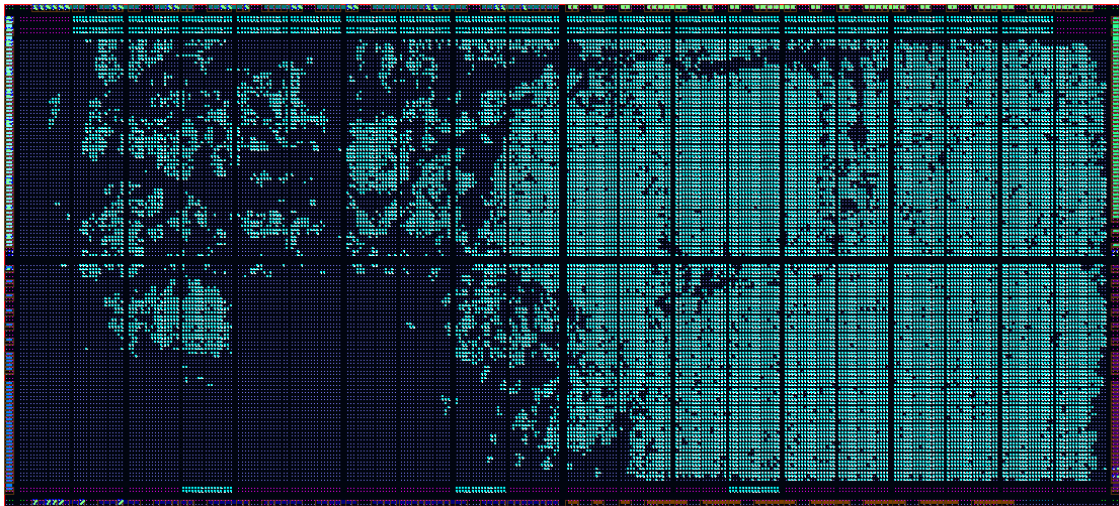


Figura 4.22: Posicionamento global das células lógicas e ocupação do FPGA pelo circuito da PTC, após a etapa de posicionamento e roteamento de células, realizado pela ferramenta Designer. Na região central, as células em azul claro representam os VersaTiles ocupados pelo circuito. Os blocos que estão na periferia do dispositivo, acima e abaixo do núcleo do FPGA, também em azul claro, são os blocos de memória RAM utilizados.

Da Figura 4.23 a Figura 4.26 são apresentados os posicionamentos das células e a ocupação de blocos de memória RAM para cada circuito da PTC.

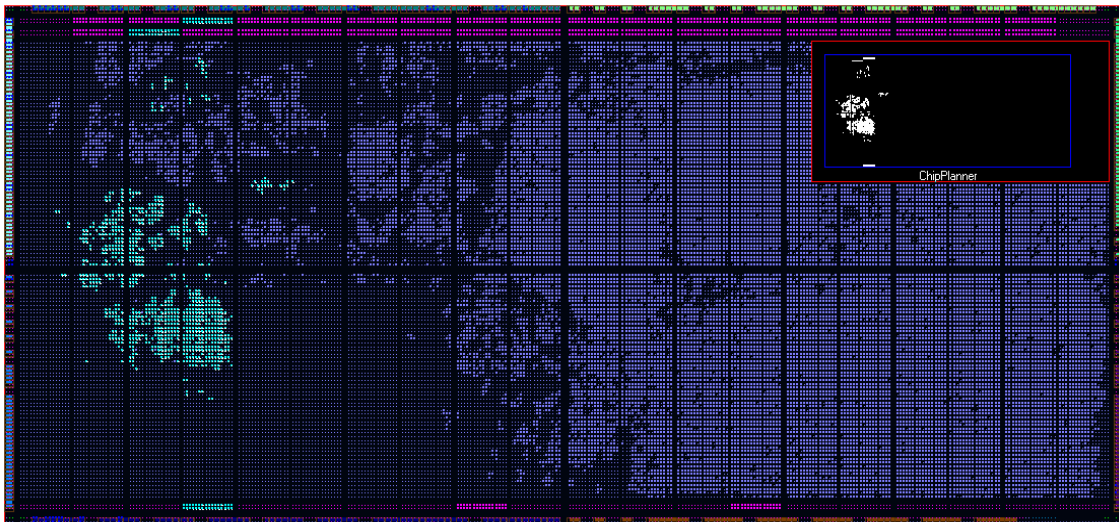


Figura 4.23: Posicionamento das células lógicas do circuito controlador do magnetômetro. Este circuito contém uma instância do CoreSPI em modo escravo, seu controlador APB e 3 blocos de memória RAM – 2 na parte superior do *floorplanning* e 1 na inferior.

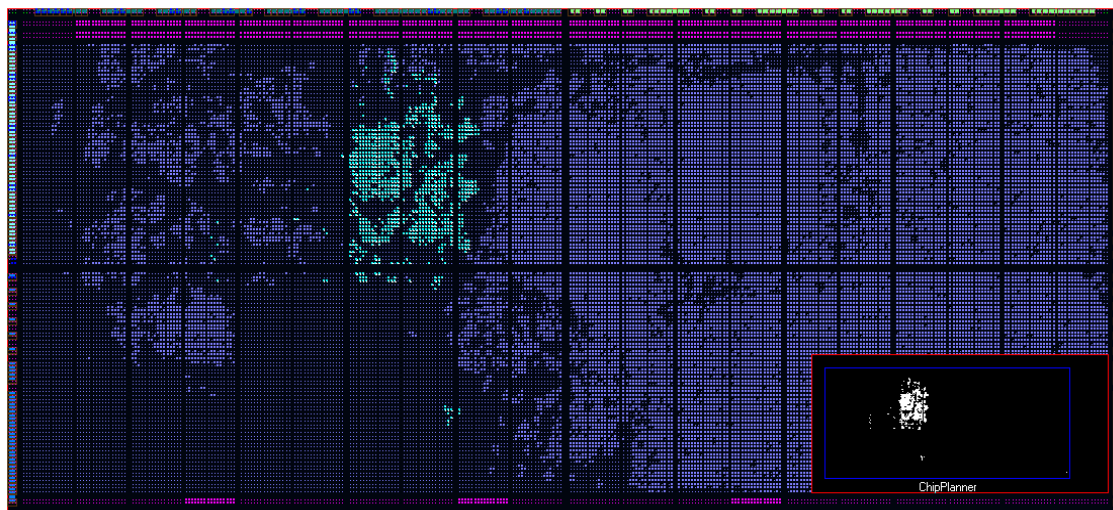


Figura 4.24: I<sup>2</sup>C: Posicionamento das células do circuito de comunicação com o OBC. Este módulo contém uma instancia do CoreI2C, seu controlador APB, assim como o circuito de *housekeeping*.

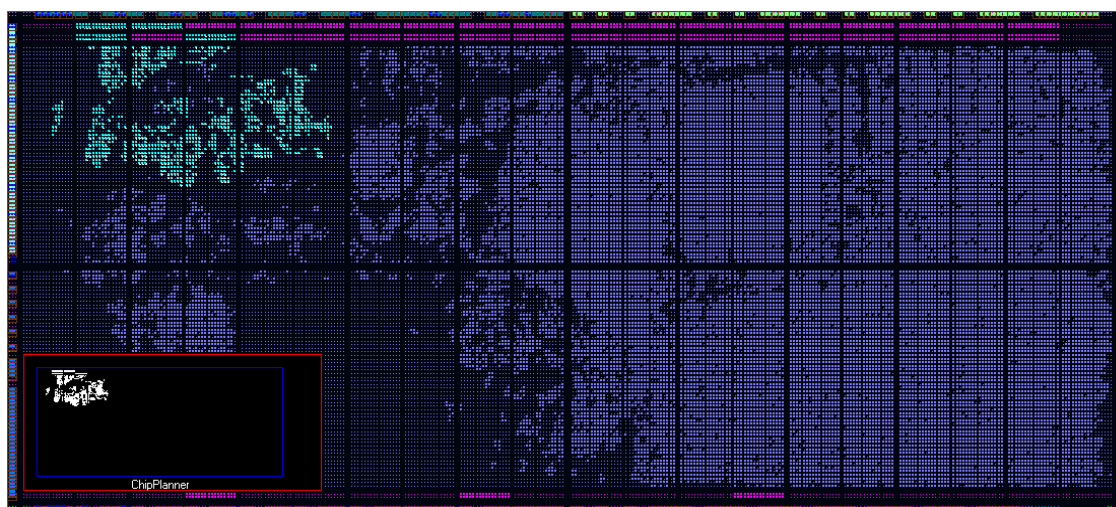


Figura 4.25: Posicionamento das células do circuito que implementa o algoritmo experimental de controle do dispositivo ASIC da SMDH. Além da lógica, este circuito também utiliza 4 blocos de memória RAM, todos presentes na parte superior do *floorplanning*.

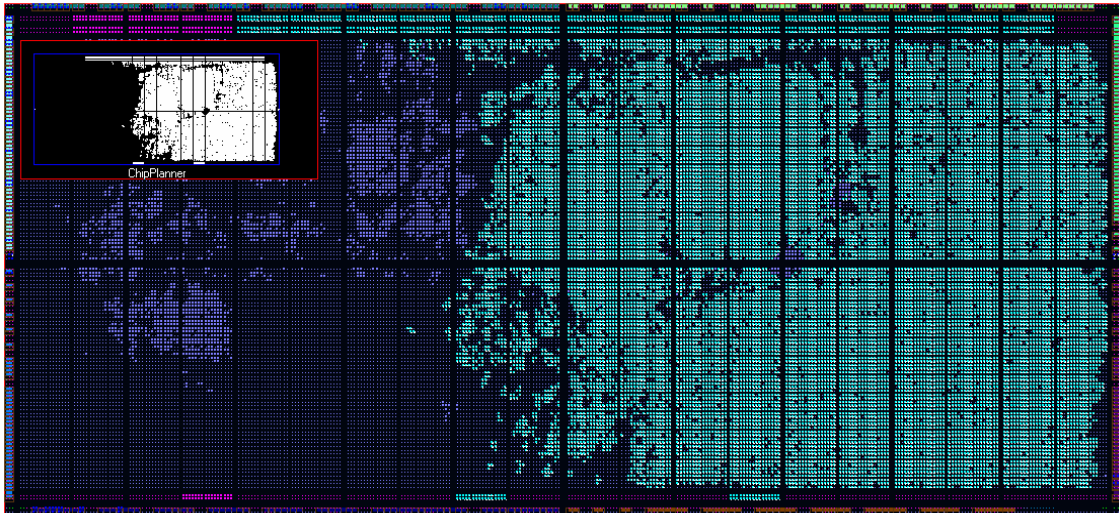


Figura 4.26: Posicionamento das células do circuito do microprocessador MIPS experimental. A maior ocupação do dispositivo pelo PTC é devido a este circuito. 32 blocos de memória RAM são utilizados, sendo 30 na parte superior e 2 na parte inferior do *floorplanning*.

A ferramenta SmartTime foi utilizada após a etapa de leiaute (posicionamento e roteamento das células), e realizou a análise estática de temporização em nível de porta. Ela apontou que, para todas as condições de operação no padrão do dispositivo A3PE1500 comercial (temperatura na faixa típica do dispositivo de 0 a 70°C e tensão do núcleo do FPGA entre 1,425V no melhor caso e 1,575V no pior caso), todas as restrições de temporização foram obtidas. A frequência máxima do domínio de relógio global resultou em 14.497MHz, e os piores caminhos e maiores atrasos dos sinais ocorreram no microprocessador MIPS, como já era esperado pelos resultados obtidos da ferramenta Synplify de síntese lógica.

Com a ferramenta SmartPower foram obtidos os resultados da análise de potência para o circuito PTC, de acordo com modos funcionais e condições de operação pré-estabelecidos: caso típico, melhor caso e pior caso. No caso típico, com temperatura de 25°C, tensão de alimentação do núcleo de 1.5V e tensões de E/S de 1.8V e 3.3V, a estimativa de consumo no modo ativo (todos sinais de E/S e de relógio ligados, transicionando) resultou em 89.821mW, sendo 18.15mW de consumo estático e 71.671mW de consumo dinâmico. No melhor caso, onde a temperatura é 0C, e as tensões de alimentação, de E/S de 1.8V e de 3.3V são, respectivamente, 1.425V, 1.7V e 3V, o consumo no modo ativo ficou em 81.791mW, divididos entre 17.2mW de consumo estático e 64.591mW de consumo dinâmico. Por fim, no pior caso, à temperatura de 70°C, com tensões de 1.575V para alimentação do núcleo, e 1.9V e 3.6V para os sinais de E/S típicos de 1.8V e 3.3V, respectivamente, o consumo estimado do circuito foi de 180.143mW, sendo 101.02mW de consumo estático e 79.123mW de consumo dinâmico.

Para uma análise do consumo do circuito numa condição mais realista de operação, foi realizada uma simulação com a ferramenta Modelsim, no qual a Plataforma foi condicionada a operar com todos seus circuitos ativos, realizando transações I<sup>2</sup>C e SPI, comunicando-se com o dispositivo ASIC e realizando computações no microprocessador MIPS, simultaneamente. O resultado da simulação gerou um arquivo no formato VCD (*Value-Change Dump*) com informações sobre a atividade de

chaveamento de todos os sinais. Com a simulação foi possível obter anotação de 100% do chaveamento dos sinais da árvore de relógio, das redes *set/reset*, das entradas primárias e dos pinos, 99.9% das saídas dos registradores e 99.98% das saídas combinacionais. Esse arquivo permitiu a uma nova análise de potência na ferramenta SmartPower. No pior caso, com temperatura de 70°C, tensão de alimentação do FPGA de 1.575V e tensões de E/S de 1.9V e 3.6V, o qual apresenta o maior consumo possível, resultou num consumo total de potência de 151.937mW, sendo 101.02mW de consumo estático e 50.917mW de consumo dinâmico.

A Tabela 4.6 sumariza os resultados obtidos da síntese lógica da PTC. É apresentado também a quantidade de pinos de E/S utilizados e a tecnologia empregada nestes pinos, assim como as frequências máximas estimadas pelas ferramentas e as análises de consumo de potência.

Tabela 4.6: Resultado de síntese lógica (individual) para cada circuito da PTC.

<b>Células Lógicas</b>	21330 (56%)		
<b>Blocos RAM</b>	39 (65%)		
<b>Frequência (Synplify)</b>	15.5MHz		
<b>Frequência (SmartTime)</b>	14.497MHz		
<b>E/S (Alimentação)</b>	<b>(1.8V)</b>	38 pinos	
	<b>(3.3V)</b>	2 pinos	
	<b>(3.3V)</b>	6 pinos	
	<b>(LVTTL)</b>	1 pino	
<b>Consumo (SmartPower)</b>	<b>Melhor caso</b>	81.791mW	<b>Estático:</b> 17.2mW <b>Dinâmico:</b> 64.591mW
	<b>Caso típico</b>	89.821mW	<b>Estático:</b> 18.15mW <b>Dinâmico:</b> 71.671mW
	<b>Pior caso</b>	180.143mW	<b>Estático:</b> 101.02mW <b>Dinâmico:</b> 79.123mW
<b>Consumo (SmartPower, VCD)</b>	<b>Pior caso</b>	151.937mW	<b>Estático:</b> 101.02mW <b>Dinâmico:</b> 50.917mW

Para a realização do teste funcional da PTC e dos componentes apresentados na subseção anterior seria necessário conectar a PTC com o subsistema de OBC. Entretanto, a equipe de desenvolvimento do nanossatélite não havia desenvolvido o *software* do OBC que controlaria a PLB e demais subsistemas conectados ao barramento I<sup>2</sup>C do nanossatélite.

Para possibilitar o teste funcional, foi então implementado um circuito com outro dispositivo da empresa Microsemi, o SOC SmartFusion, de forma a controlar a Plataforma sugerida neste trabalho, emulando a funcionalidade do OBC. O SmartFusion

é um sistema em chip contendo internamente um FPGA baseado na arquitetura do ProASIC3, um microprocessador dedicado Cortex-M3 de 32 bits da ARM e um circuito analógico programável. Foi utilizado o mesmo IDE Libero para programação do SmartFusion. Para organização do trabalho, esse circuito foi nomeado OBC-Board.

Um módulo de controle I<sup>2</sup>C foi implementado no OBC-Board, utilizando-se o CoreI2C, atuando como o mestre do barramento. Este circuito ficou responsável pelo envio dos comandos e requisições à Plataforma, e o recebimento dos dados das cargas-úteis.

A Figura 4.27 apresenta o *setup* inicial dos testes funcionais da comunicação entre a Plataforma e a OBC-Board. Num primeiro momento, os dados trafegando no barramento I<sup>2</sup>C foram capturados e analisados analiticamente com um osciloscópio.

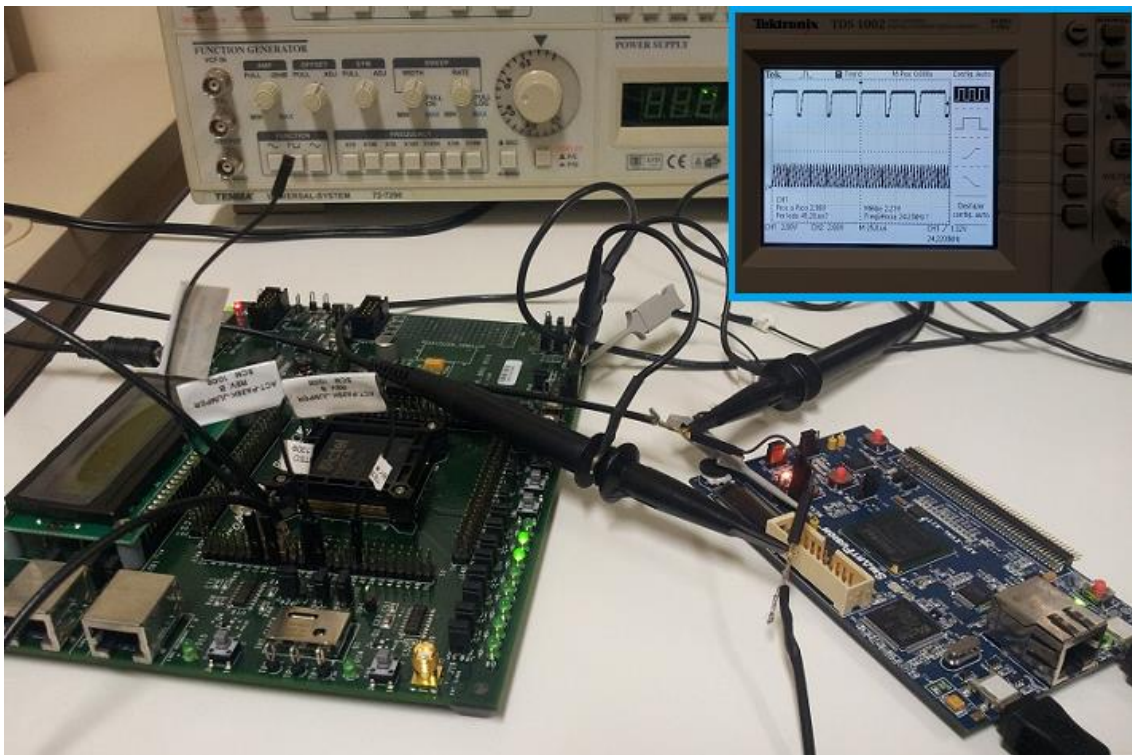


Figura 4.27: *Setup* inicial dos testes funcionais da Plataforma conectada ao OBC-Board. A esquerda, a Plataforma. A direita, a OBC-Board conectada através do barramento I<sup>2</sup>C. Os sinais do barramento I2C foram capturados e analisados, inicialmente, utilizando-se um osciloscópio.

Para possibilitar o registro e facilitar a posterior conferência da informação coletada, os dados foram retransmitidos a um computador através de uma interface UART (*Universal Asynchronous Receiver/Transmitter*), utilizando-se uma conexão USB (*Universal Serial Bus*). O controlador UART, presente no MSS (*Microcontroller Subsystem*) da ARM, foi programado utilizando-se linguagem C, e um terminal serial no computador recebeu os dados enviados pelo USB e os armazenou. Posteriormente, esses dados puderam ser comparados com modelos prévios dos dados de cada carga-útil, e as amostras do magnetômetro puderam ser comparadas com valores obtidos do ambiente de teste. A Figura 4.28 apresenta o diagrama SmartDesign do circuito desenvolvido no SOC SmartFusion.



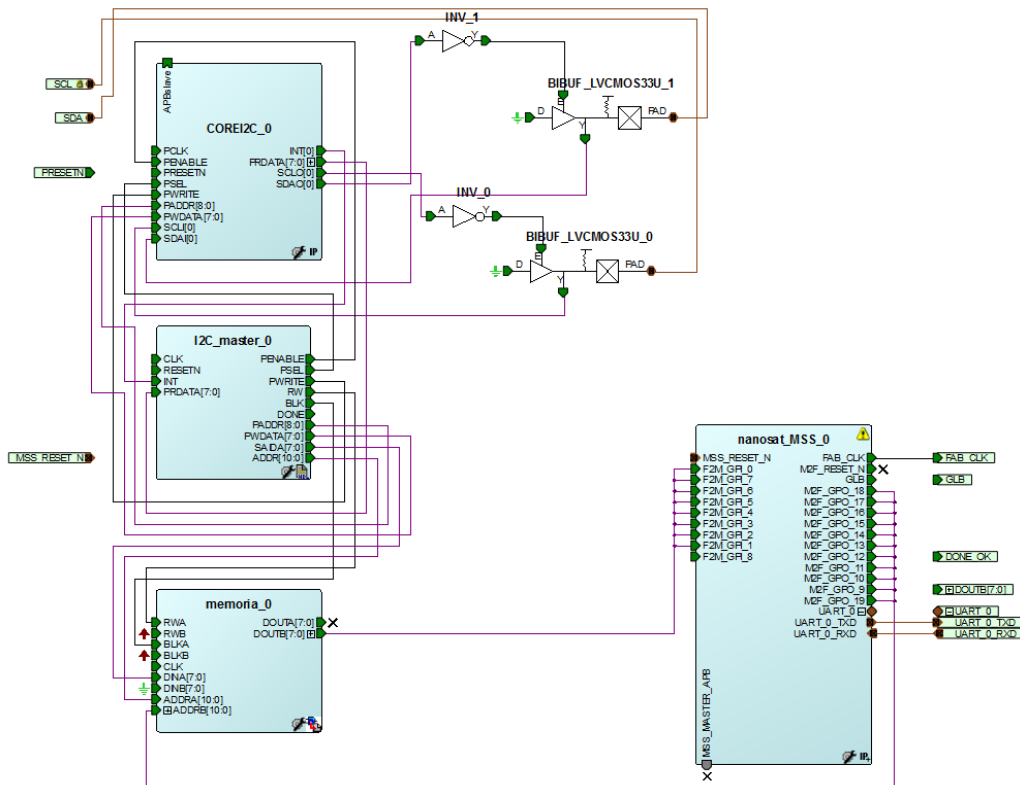


Figura 4.28: Diagrama SmartDesign do circuito presente no OBC-Board. Os três blocos à esquerda compreendem, respectivamente, o CoreI2C, o controlador da interface I<sup>2</sup>C mestre e a memória RAM. O bloco da direita é o MSS Cortex-M3, que neste circuito é responsável pela comunicação da OBC-Board com o computador.

A Figura 4.29 apresenta um esquema dos blocos constantes em cada dispositivo e suas conexões.

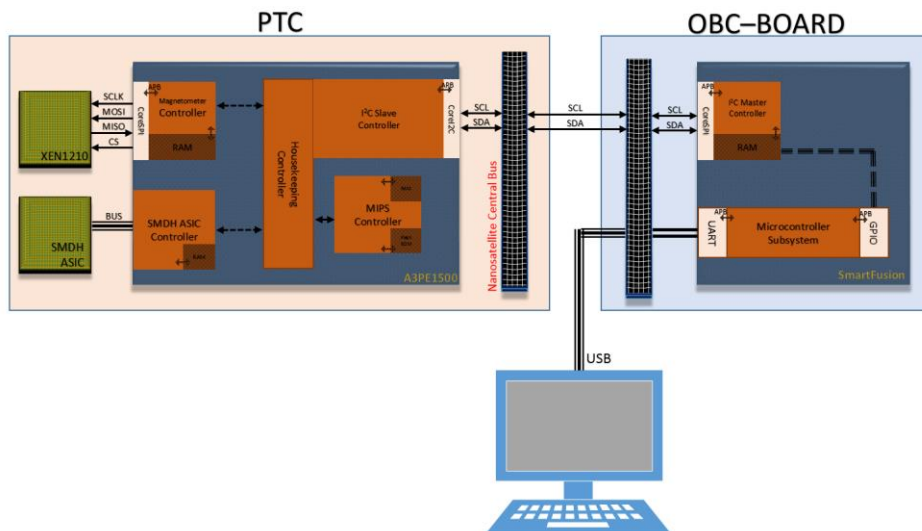


Figura 4.29: Diagrama da configuração dos dispositivos utilizados no teste funcional da PTC. À esquerda, a PTC com suas cargas-úteis, que se comunica com o OBC-Board (à direita). Abaixo, um computador foi utilizado para registrar os dados coletados do OBC-Board.

A Figura 4.30 apresenta o setup final dos testes funcionais contendo o controle do magnetômetro através do barramento SPI, a comunicação com o OBC-Board pelo I<sup>2</sup>C e o registro dos dados no computador pela UART do OBC-Board.

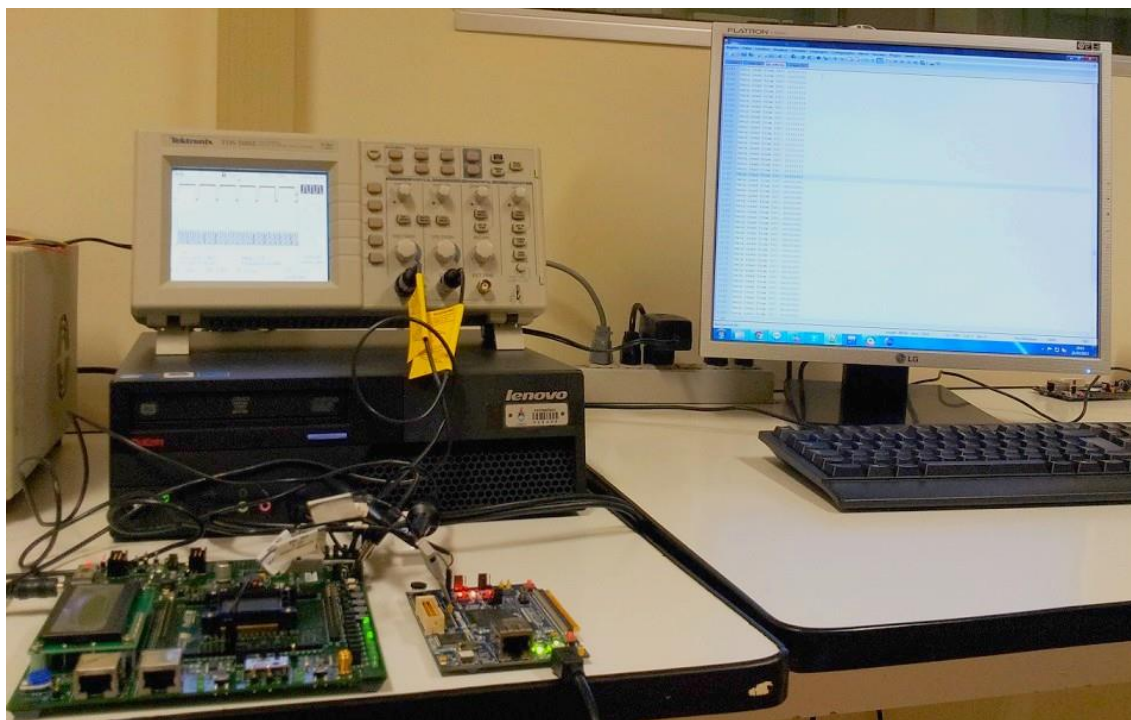


Figura 4.30: *Setup* final dos testes funcionais da Plataforma de testes.

Utilizando-se esse emulador de OBC, foi possível testar todos os blocos presentes na Plataforma de Controle e Testes proposta e valida-la, e juntamente testar e validar parte dos dispositivos presentes no NanoSatC-BR1.

O próximo capítulo apresentará as conclusões obtidas neste trabalho, assim como os possíveis trabalhos futuros.

## 5 CONCLUSÕES

Este trabalho consistiu no estudo da aplicação de dispositivos programáveis para aplicações espaciais. Inicialmente foi feita uma revisão teórica acerca do ambiente radiativo espacial, as principais fontes de radiação que atingem o globo e a órbita terrestre. A partir deste embasamento teórico, partiu-se para uma investigação sobre os efeitos que as radiações podem causar nos componentes e dispositivos eletrônicos: efeitos cumulativos ou de longo prazo e efeitos singulares.

Os dispositivos de lógica programável existentes foram pesquisados, dando especial atenção à classe de dispositivos programáveis em campo – FPGAs. As diferentes tecnologias utilizadas no desenvolvimento dos FPGAs foram percorridas, assim como suas características e peculiaridades, os campos de aplicação destes circuitos e, por fim, os principais efeitos da radiação constatados nesses dispositivos. Desta forma, esses capítulos iniciais, juntamente com o apêndice, apresentam uma revisão abrangente sobre o tema aplicação de dispositivos programáveis em sistemas espaciais. Além disso, devido a pesquisa apresentada no apêndice, foi possível definir-se uma opção viável de dispositivo programável comercial para aplicação em sistemas embarcados espaciais, e serve de referência para projetistas de satélites que possam cogitar adotar essa espécie de dispositivo em seus projetos.

No terceiro capítulo foi apresentado o padrão Cubesat e o projeto do nanossatélite NanoSatC-BR1, que serviu de alicerce para o desenvolvimento da plataforma de teste e controle sugerida neste trabalho. Projetos como este, de pequeno porte, apresentam baixo risco visto que demandam um investimento muito reduzido quando comparado com projetos de grandes satélites. Neste capítulo foram apresentados todos os subsistemas do NanoSatC-BR1, que, apesar das dimensões reduzidas, são similares a qualquer outro satélite, independente do porte e função. Na maior parte do capítulo foi explorado o subsistema de carga-útil do nanossatélite, responsável pela execução das missões científicas e tecnológicas do projeto, apresentando todos os circuitos integrantes.

No capítulo quatro abordou-se o desenvolvimento da Plataforma de Teste e Controle de Cargas-Úteis, foco principal deste trabalho. As ferramentas utilizadas no decorrer da implementação dos circuitos desta plataforma foram demonstradas e a forma como a plataforma de teste foi desenvolvida foi apresentada. Com esta plataforma foi possível progredir nas etapas de desenvolvimento do projeto do satélite, partindo-se das definições iniciais das cargas-úteis do satélite, e graças à flexibilidade do dispositivo utilizado, conseguiu-se realizar alterações necessárias de forma hábil para adequar-se à troca de componentes, chegando-se enfim à integração final e definitiva das cargas-úteis.

Ao final do capítulo quatro foi apresentada a programação (desde a síntese lógica) dos módulos desenvolvidos e as análises de consumo de área, atraso e consumo de potência. Esses são os três fatores (apresentados no início do capítulo três) que poderiam desvalorizar o emprego de FPGAs em aplicações espaciais. Os resultados obtidos, entretanto, demonstraram que a sua utilização real seria viável para o projeto do nanossatélite NanoSatC-BR1, tanto em termos de desempenho quanto em termos de consumo de potência das baterias. O desempenho esperado segundo as especificações indicadas pela equipe do projeto era de 10MHz. O circuito que consumiu a maior área do FPGA e também apresentou o maior atraso foi o microprocessador MIPS, e mesmo assim, obteve como resultado de temporização o dobro da frequência exigida. Quanto ao consumo de potência, os resultados mais realistas foram obtidos com a análise que considera os atrasos obtidos com a simulação dos módulos do FPGA. Com este método de análise, obteve-se um valor médio esperado de 150mW para o pior caso, que ocorre quando todos os circuitos implementados no FPGA estão concorrentemente computando e/ou transmitindo dados através das interfaces. Esse consumo foi analisado pela equipe do projeto, e, em conjunto com o consumo dos demais subsistemas do nanossatélite, estão dentro dos requisitos necessários para operação com o subsistema de potência (painéis de células fotovoltaicas e grupo de baterias) escolhido e sob as condições orbitais determinadas para o nanossatélite.

Assim, os resultados apresentados demonstram a viabilidade de utilizar este dispositivo programável com a PTC desenvolvida neste trabalho não somente nas etapas de teste e integração de cargas-úteis, mas possivelmente em um modelo de voo. As análises de consumo de área e de potência na seção final do capítulo quatro, apesar de apresentarem valores para o caso específico do projeto NanoSatC-BR1, sugerem que outros projetos de satélites poderiam aproveitar-se ou basear-se na plataforma desenvolvida. Ainda mais considerando a redução do tempo de desenvolvimento, combinado com a facilidade de implementação dos controladores para as cargas-úteis e a flexibilidade alcançada com a utilização dos IP Core pré-implementados.

Como trabalhos futuros serão testados novos IP Cores e serão implementadas novas interfaces. Também se adequará a PTC aos dispositivos programáveis mais atuais, tais como os SOCs FPGAs, que contêm a lógica programável embarcada no chip juntamente com microprocessadores comerciais e diversos outros recursos. Um exemplo deste tipo de dispositivo é o SmartFusion, que tem o seu circuito programável em campo baseado na tecnologia Flash utilizada no ProASIC3. Espera-se assim abranger a aplicação desta plataforma a novos satélites do programa NanoSatC-BR, e até mesmo contribuir com outros projetos nacionais de pequenos satélites, facilitando-se o acesso de novos projetistas ao setor aeroespacial, e aumentando quantitativamente e qualitativamente os recursos humanos. Como nova abordagem, pretende-se utilizar o conhecimento adquirido neste projeto para iniciar o desenvolvimento de um circuito ASIC para controle de cargas-úteis, mantendo, tanto quanto possível, a flexibilidade de um FPGA e a robustez contra radiação da tecnologia Flash, mas agregando as vantagens de um circuito para aplicação específica, como menor consumo de potência e área e, em menor grau, o desempenho de operação.

Os trabalhos relacionados a esta dissertação geraram três publicações em anais de eventos (GUARESCHI et al., 2012; GUARESCHI et al., 2013-a; GUARESCHI et al., 2013-b).

## REFERÊNCIAS

- ACTEL CORP. **Actel HDL Coding Style Guide**. [S.l.], v.9, jul. 2009-b.
- ACTEL CORP. **Core8051s v2.4 Handbook**. [S.l.], v.2, set. 2010-b.
- ACTEL CORP. **CoreABC v3.3 Handbook**. [S.l.], v.6, fev. 2011-a.
- ACTEL CORP. **CoreAPBSRAM v2.0 Handbook**. [S.l.], v.2.0, jan. 2009-c.
- ACTEL CORP. **CoreI2C v7.0 Handbook**. [S.l.], v.5, jun. 2011-b.
- ACTEL CORP. **CoreSPI v3.0 Handbook**. [S.l.], v.2.1, jan. 2008.
- ACTEL CORP. **Design Constraints User's Guide for Software v9.1**. [S.l.], v9.1, nov. 2010-a.
- ACTEL CORP. Endereço eletrônico. Disponível em <<http://www.actel.com/>>. Acesso em: set. 2013.
- ACTEL CORP. **HiRel SX-A Family FPGAs Datasheet**. [S.l.], v.2.0, nov. 2006.
- ACTEL CORP. **ProASIC3E Flash Family FPGAs with Optional Soft ARM Support Datasheet**. [S.l.], v.9, ago. 2009-a.
- ACTEL CORP. **RTSX-S RadTolerant FPGAs Datasheet**. [S.l.], v.2.2, nov. 2004.
- ADAMS, L. et al. A Verified Proton Induced Latch-up in Space. 1992. **IEEE Transactions on Nuclear Science**, New York, v.39, n.6, p. 1804 – 1808, dez. 1992.
- AGELET, F. et al. HUMSAT: Nanosatellite Constellation Applied to Humanitarian Support. In: International Astronautical Congress, 61, 2010, **Proceedings...** Praga: International Astronautical Federation, out. 2010.
- AGÊNCIA ESPACIAL BRASILEIRA. Representantes do projeto espacial QB50 visitam a AEB. **AEB**, Brasília, maio 2013. Disponível em <<http://www.aeb.gov.br/2013/05/representantes-do-projeto-espacial-qb50-visitam-a-aeb/>>. Acesso em: set. 2013.
- ALTERA CORP. **CPLDs vs. FPGAs Comparing High-Capacity Programmable Logic**. San Jose: v.1, fev. 1995.
- ALTERA CORP. Endereço eletrônico. Disponível em <<http://www.altera.com/>>. Acesso em: set. 2013.
- ALTERA CORP. **SV5V1 – Stratix V Device Handbook – Device Interfaces and Integration**. San Jose: v.1, jan. 2014.
- ARM LIMITED. **AMBA® AHB-Lite Protocol V. 2.0 Specification**. [S.l.], v.1.0, jun. 2006.

ARM LIMITED. **AMBA<sup>®</sup> APB Protocol Version 2.0 Specification**. [S.l.], v.1.0, abr. 2010.

ARM LIMITED. **AMBA<sup>™</sup> Specification**. [S.l.], v.1.0, mai. 1999.

AZAMBUJA, J. R. et al. Detecting SEEs in Microprocessors Through a Non-Intrusive Hybrid Technique. 2001. **IEEE Transactions on Nuclear Science**, New York, v.58, n.3, p. 993 – 1000, jun. 2011.

BAGATIN, M. et al. Single Event Effects in 1Gbit 90nm NAND Flash Memories under Operating Conditions. In: International On-Line Testing Symposium, 13, 2007, **Proceedings...** Creta: IEEE, p. 146 – 151, jul. 2007.

BALEN, T. R. **Efeitos de Radiação em Dispositivos Analógicos Programáveis (FPAAs) e Técnicas de Proteção**. 2010, 206f. Tese (Doutorado em Engenharia Elétrica) – Departamento de Engenharia Elétrica, UFRGS, Porto Alegre.

BARTH, J. Applying Computer Simulation Tools to Radiation Effects Problem – Modeling Space Radiation Environments. In: IEEE Nuclear and Space Radiation Effects Conference, **Proceedings...** [S.l]: IEEE Publishing Services, p. I1 – I83, jul. 1997.

BATTEZZATI, N.; STERPONE, L.; VIOLANTE, M. **Reconfigurable Field Programmable Gate Arrays for Mission-Critical Applications**. New York: Springer, 2011.

BAUMANN, R. C. Soft Errors in Advanced Semiconductor Devices – Part I: The Three Radiation Sources. **IEEE Transactions on Device and Materials Reliability**, New York, v.1, n.1, p.17 – 22, mar. 2001.

BAXTER, E.; LEVETT, B. TopSat: Lessons Learned from a Small Satellite Mission. In: SANDAU, R.; RÖSER, H.P.; VALENZUELA, A. **Small Satellite For Earth Observation**. [S.l]: Springer, 2008. p. 377-384.

BAYLAKOGLU, I.; HUDAVERDI, M. Reliability Concerns of Radiation Effects on Space Electronics. In: International Conference of Space Technology, 1, 2009, **Proceedings...** Thessaloniki, Greece: [s.n.], v.52, ago. 2009.

BENEDETTO, J. M. et al. Digital Single Event Transient Trends With Technology Node Scaling. **IEEE Transactions on Nuclear Science**, New York, v.53, n.6, p. 3462 – 3465, dez. 2006.

BOBDA, C. **Introduction to Reconfigurable Computing – Architectures, Algorithms and Applications**. Dordrecht: Springer, 2007.

BOUDENOT, J.-C. Radiation Space Environment. In: VELAZCO, R.; FOUILLAT, P.; REIS, R. **Radiation Effects on Embedded Systems**. Dordrecht: Springer, p.1 – 10, 2007.

BREWER, J. E. Introduction to Nonvolatile Memory. In: BREWER, J. E.; GILL, M. **Nonvolatile Memory Technologies with Emphasis on Flash: A Comprehensive Guide to Understanding and Using NVM Devices**. Hoboken: Wiley-IEEE Press, p. 1 – 18, 2008.

BROWN, S.; ROSE, J. FPGA and CPLD Architectures - A Tutorial. **IEEE Design and Test of Computers**, v.13, n.2, p. 42-57, 1996.

BRUHN, F. C. et al. QuadSat/PnP: A Space-Plug-and-play Architecture (SPA) Compliant Nanosatellite. In: Infotech@Aerospace, 2011, **Proceedings...** Saint Louis, MO: AIAA Press, mar. 2011.

CALIFORNIA POLYTECHNIC STATE UNIVERSITY. **Cubesat Design Specification**. San Luis Obispo, v. 13, fev. 2014-a.

CALIFORNIA POLYTECHNIC STATE UNIVERSITY. **Cubesat Specification Drawing**. San Luis Obispo, v. 12, ago. 2009.

CALIFORNIA POLYTECHNIC STATE UNIVERSITY. **Poly Picosatellite Orbital Deployer Mk. III Rev. E User Guide**. San Luis Obispo, v. 1.0, abr. 2014-b.

CARTER, W. et al. A User Programmable Reconfiguration Gate Array, IEEE Custom Integrated Circuits Conference, **Proceedings...** p 233 – 235, mai. 1986.

CAYWOOD, J. M.; PRICKETT, B. L. Radiation-Induced Soft Errors and Floating Gate Memories. In: Annual IEEE International Reliability Physics Symposium, 21. 1983, **Proceedings...** Phoenix: IEEE Electron Devices Society, p. 167 – 172, 1983.

CESCHIA, M. et al. Ion beam testing of Altera APEX FPGAs. In: Radiation Effects Data Workshop, 2002, **Proceedings...** Piscataway: IEEE, p. 45 – 50, 2002.

CHUGG, A. M. Ionising Radiation Effects: A Vital Issue for Semiconductor Electronics. **Engineering Science and Education Journal**, [S.l.], v.3, n.3, p.123 – 130, jun. 1994.

CLAEYS, C.; SIMOEN, E. **Radiation Effects in Advanced Semiconductor Materials and Devices**. Berlim: Springer, 2002.

COSMUS OPEN SOURCE SCIENCE OUTREACH. **AIRES Cosmic Ray Showers**. Department of Astronomy and Astrophysics, University of Chicago, Chicago. Disponível em <<http://astro.uchicago.edu/cosmus/projects/aires/>>. Acesso em set. 2013.

COSTA, L. **Projeto de um Aplicativo de Bordo para Missão NanoSatC-BR**. Relatório final de projeto de iniciação científica PIBIC/INPE – CNPq/MCT. Santa Maria, jul. 2011.

CUBESAT. The Cubesat Program – Pictures webpage. San Luis Obispo, 2014. Disponível em <<http://www.cubesat.org/index.php/media/pictures>>. Acesso em: fev. 2014.

DAWOOD, A.; BERGMANN, N. An Adaptive Instrument Module (AIM) For Satellite Systems. In: International Symposium on Signal Processing and its Applications, ISSPA, 5, 1999, **Proceedings...** Australia: Queensland University of Technology, p. 677 – 681, aug. 1999.

DIRECTORATE OF DEFENSE TRADE CONTROLS. The International Traffic in Arms Regulations. U.S. Department of State. Washington. Disponível em <[http://www.pmdtc.state.gov/regulations\\_laws/itar.html](http://www.pmdtc.state.gov/regulations_laws/itar.html)>. Acesso em: dez. 2012.

DODD, P. et al. Impact of Ion Energy on Single-Event Upset. **IEEE Transactions on Nuclear Science**, New York, v.45, n.6, p.2483 – 2491, dez. 1998.

ECOFFET, R. In-flight Anomalies on Electronic Devices. In: VELAZCO, R.; FOUILLAT, P.; REIS, R. **Radiation Effects on Embedded Systems**. Dordrecht: Springer, p. 31 – 68, 2007.

ETO, A. et al. Impact of neutron flux on soft errors in MOS memories. **International Electron Devices Meeting**, San Francisco, p. 367 – 370, dez. 1998.

EUROPEAN SPACE AGENCY. **The Radiation Design Handbook**. Noordwijk: ESA Publications Division, maio 1993.

FACCIO, F. Design Hardening Methodologies for ASICs. In: VELAZCO, R.; FOUILLAT, P.; REIS, R. **Radiation Effects on Embedded Systems**. Dordrecht: Springer, p. 143 – 160, 2007.

FACCIO, F.; CERVELLI, G. Radiation-Induced Edge Effects in Deep Submicron CMOS Transistors. **IEEE Transactions on Nuclear Science**, New York, v.52, n.6, p.2413 – 2420, dez. 2005.

FULLER, E. et al. Radiation test results of the Virtex FPGA and ZBT SRAM for Space Based Reconfigurable Computing. In: Military and Aerospace Programmable Logic Devices Conference, 2, 1999, **Proceedings...** Laurel: 1999.

GAILLARD, R. Single Event Effects: Mechanisms and Classification. In: NICOLAIDIS, M. **Soft Errors in Modern Electronic Systems**. New York: Springer, p.27 – 54, 2011.

GALLIAND, C. Study of the Small: Potential for Operational Military Use of Cubesats. In: Conference on Small Satellites, 24, 2010, **Proceedings...** [S.l.]: AIAA/USU, 2010.

GOKHALE, M.; GRAHAM, P.S. **Reconfigurable Computing - Accelerating Computation with Field-Programmable Gate Arrays**. Dordrecht: Springer, 2005.

GOMSPACE. **NanoMind A702B/A712B Datasheet**. Aalborg, v.2.1, mar. 2011-a.

GOMSPACE. **NanoPower P-series P10u and P30u V6.1 Datasheet**. Aalborg, v.3.0.2, mar. 2011-c.

GOMSPACE. **NanoPower Solar 100U Datasheet**. Aalborg, v.1.4, jan. 2011-b.

GUARESCHI, W et al. A Configurable Test Bed Platform for Test and Validation of Payloads for Nanosatellites. In: Workshop on the Radiation Effects on Electronics and Photonic Devices for Aerospace Applications, 4, 2012, **Proceedings...** São José dos Campos: Instituto de Estudos Avançados, v. 1, p. 18–21, out. 2012.

GUARESCHI, W et al. Configurable Test Bed Design for Nanosats to Qualify Commercial and Customized Integrated Circuits. In: IEEE Aerospace Conference, 35, **Proceedings...** Big Sky: IEEE Aerospace & Electronic Systems Society, mar. 2013-a.

GUARESCHI, W et al. Projeto de uma Plataforma para Teste e Qualificação de Circuitos Integrados para Satélites. In: Workshop Iberchip, 19, **Proceedings...** Cusco: IEEE Circuits and Systems Society, mar. 2013-b.

GUARESCHI, W. et al. Analysis of Field Programmable Gate Array Alternatives for Use in Nanosatellites. In: International Astronautical Congress, 61, **Proceedings...** Praga: International Astronautical Federation, out. 2010-a.

GUARESCHI, W. Implementação de Células de Memória e Simulações de Single Event Effects. 2010-b, 64f. Trabalho de Graduação (Bacharel em Ciência da Computação) – Centro de Tecnologia, UFSM, Santa Maria.



GUENZER, C. S.; WOLICKI, E. A.; ALLAS, R. G. Single Event Upset of Dynamic RAMs by Neutrons and Protons. **IEEE Transactions on Nuclear Science**, New York, v.26, n.6, p. 5048 – 5052, dez. 1979.

HAMDY, E. et al. Dielectric Based Antifuse for Logic and Memory ICs. **International Electron Devices Meeting**, San Francisco, p. 786 – 789, dez. 1988.

HARTMANN, G. **A Anomalia Magnética do Atlântico Sul: Causas e Efeitos**. 2005, 154f. Dissertação (Mestrado em Ciências Geofísicas) – Instituto de Astronomia, Geofísica e Ciências Atmosféricas, USP, São Paulo.

HEIJMEN, T. Soft Errors from Space to Ground: Historical Overview, Empirical Evidence, and Future Trends. In: NICOLAIDIS, M. **Soft Errors in Modern Electronic Systems**. New York: Springer, p.1 – 26, 2011.

INNOVATIVE SOLUTIONS IN SPACE. Satellite ADS-B. **ISIS**, Delft, maio 2013. Disponível em <<http://www.isispace.nl/cms/index.php/projects/s-ads-b>>. Acesso em: set. 2013.

INNOVATIVE SOLUTIONS IN SPACE. TRITON Missions. **ISIS**, Delft, maio 2013. Disponível em <<http://www.isispace.nl/cms/index.php/projects/triton-missions>>. Acesso em: set. 2013.

JAPANESE AEROSPACE EXPLORATION AGENCY. JEM Small Satellite Orbital Deployer (J-SSOD). **JAXA**, Chofu, nov. 2013. Disponível em <<http://iss.jaxa.jp/en/kiboexp/jssod/>>. Acesso em: fev. 2014.

JILETE, B.; MUÑOS, P. Earth Observation Microsatellite Constellation For Disaster Monitoring In Africa. In: International Astronautical Congress, 62, 2010, **Proceedings...** Cape Town: International Astronautical Federation, out. 2010.

JIMÉNEZ, M.; PALOMERA, R; COUVERTIER, I. **Introduction to Embedded Systems – Using Microcontrollers and the MSP430**. New York: Springer, 2014.

KASTENSMIDT, F. **Designing Single Event Upset Mitigation Techniques for Large SRAM-Based FPGA Components**. 2003, 157f. Tese (Doutorado em Ciência da Computação) – Instituto de Informática, UFRGS, Porto Alegre.

KASTENSMIDT, F.; CARRO, L.; REIS, R. **Fault-Tolerance Techniques for SRAM-Based FPGAs**. Dordrecht: Springer, 2006.

KUON, I.; ROSE, J. Measuring the gap between FPGAs and ASICs. **IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems**, v. 26, n. 2, p. 203 – 215, 2007.

KUON, I.; TESSIER, R.; ROSE, J. FPGA Architecture: Survey and Challenges. In: MARCALESCU, R (Ed.). **Foundations and Trends in Electronics Design Automation**. Vol. 2, No. 2. Hanover: Now Publishers Inc., p. 135 – 253, 2008.

KUWAHARA, T. **FPGA-based Reconfigurable On-board Computing Systems for Space Applications**. 2010, 200f. Tese (Doutorado em Engenharia de Ciências) – Faculdade de Engenharia Aeroespacial e Geodésia, Instituto de Ciências Espaciais, Universidade de Stuttgart, Stuttgart, Alemanha.

LAPEDUS, M. Microsemi buys Actel for \$430 million. **EE Times**, San Jose, abril 2010. Disponível em <[http://www.eetimes.com/document.asp?doc\\_id=1257518](http://www.eetimes.com/document.asp?doc_id=1257518)>. Acesso em: set. 2013.

LARSON, W. J.; WERTZ, J. R. **Space Mission Analysis and Design**. 2<sup>nd</sup> ed. [S.l.]: Microcosm Inc. e Kluwer Academic Publishers, 1992.

LÜHR, H.; MAUS, S.; ROTHER, M. The Noon-Time Equatorial Electrojet: Its Spatial Features as Determined by The Champ Satellite. **Journal of Geophysical Research**, [S.l.], v.109, n.A1, jan. 2004.

MAVIS, D. G.; EATON, P. H. SEU and SET Modeling and Mitigation in Deep Submicron Technologies. In: Annual IEEE International Reliability Physics Symposium, 45, 2007, **Proceedings...** Phoenix: IEEE Electron Devices Society, p. 293 – 305, 2007.

MCGRATH, D. Analyst: Altera to catch Xilinx in 2012. **EE Times**, San Francisco, set. 2011. Disponível em <[http://www.eetimes.com/document.asp?doc\\_id=1258887](http://www.eetimes.com/document.asp?doc_id=1258887)>. Acesso em: set. 2013.

MICROSEMI CORP. Endereço eletrônico. Disponível em <<http://www.microsemi.com/>>. Acesso em: set. 2013.

MICROSEMI CORP. **IGLOO, ProASIC3, SmartFusion and Fusion Macro Library Guide for Software v10.1**. Aliso Viejo, nov. 2012-c.

MICROSEMI CORP. **Libero SOC v11.4 User's Guide**. Aliso Viejo, set. 2014.

MICROSEMI CORP. **ProASIC3E FPGA Fabric User's Guide**. Aliso Viejo, rev.1, jun. 2011.

MICROSEMI CORP. **Radiation-Tolerant ProASIC3 Low Power Spaceflight Flash FPGAs with Flash\*Freeze Technology Datasheet**. Aliso Viejo, rev.5, set. 2012-b.

MICROSEMI CORP. **RTAX-S/SL and RTAX-DSP Radiation-Tolerant FPGAs Datasheet**. Aliso Viejo, rev.16, jan. 2013-a.

MICROSEMI CORP. **RTSX-SU Radiation-Tolerant FPGAs (UMC) Datasheet**. Aliso Viejo, rev.9, mar. 2012-a.

MICROSEMI CORP. **SmartGen Cores Reference Guide for Software v11.2**. Aliso Viejo, rev.16, jan. 2013-b.

NATIONAL AERONAUTICS AND SPACE ADMINISTRATION. Cubesats Released From Space Station. **NASA**, Washington, nov. 2013. Disponível em <<http://www.nasa.gov/content/cubesats-released-from-space-station-0>>. Acesso em: fev. 2014.

NXP SEMICONDUCTORS. **I2C-bus specification and user manual**. [S.l.], v.4.0, fev. 2012.

PAVLOV, A.; SACHDEV, M. **CMOS SRAM Circuit Design and Parametric Test in Nano-Scaled Technologies**. Netherlands: Springer, 2008.

QUINN, H. et al. Radiation-induced multi-bit upsets in SRAM-based FPGAs. **IEEE Transactions on Nuclear Science**, New York, v.52, n.6, p. 2455 – 2461, dez. 2005.

REZGUI, S et al. New Reprogrammable and Non-Volatile Radiation Tolerant FPGA: RTA3P. In: IEEE Aerospace Conference, 33, 2008, **Proceedings...** Big Sky: IEEE Aerospace & Electronic Systems Society, mar. 2008.

REZGUI, S. et al. Comprehensive SEE Characterization of 0.13 $\mu$ m Flash-Based FPGAs by Heavy Ion Beam Test. In: European Conference on Radiation and Its Effects on Components and Systems, 9, 2007, **Proceedings**... Deauville: IEEE, p. 1 – 6, 2007.

REZGUI, S. et al. TID characterization of 0.13- $\mu$ m flash-based FPGAs. In: Radiation and Its Effects on Components and Systems Workshop, 8, 2008, **Proceedings**... Jyväskylä: IEEE Nuclear and Plasma Sciences Society, set. 2008.

ROOSTA, R. **A Comparison of Radiation-Hard and Radiation-Tolerant FPGAs for Space Applications**. California: Jet Propulsion Laboratory California Institute of Technology, dez. 2004.

SANDOR, M. et al. **Field Programmable Gate Arrays: Evaluation Report for Space-Flight Application**. Califórnia: Jet Propulsion Laboratory California Institute of Technology, set. 1992.

SCARPULLA, J.; YARBROGH, A. What Could Go Wrong? The Effects of Ionizing Radiation on Space Electronics. **Crosslink**, Los Angeles, v.4, n.2, p. 15 – 19, 2003.

SCHRIMPF, R.D. Radiation Effects in Microelectronics. . In: VELAZCO, R.; FOUILLAT, P.; REIS, R. (Eds.). **Radiation Effects on Embedded Systems**. Dordrecht: Springer, p. 11 – 30, 2007.

SCHUCH, N. et al. Progress In The NanosatC-BR. In: International Astronautical Congress, 62, **Proceedings**... Cape Town: International Astronautical Federation, out. 2011.

SCHWANK, J.R. et al. Radiation Effects in MOS Oxides. **IEEE Transactions on Nuclear Science**, New York, v.55, n.4, p.1833 – 1853, ago. 2008.

SHEA, M. A.; SMART, D. F. The Effect of Solar Activity on The Cosmic Ray Intensity at Solar Minimum. In: PROTHEROE, R. J. (Ed.). International Cosmic Ray Conference, 21, 1991, **Proceedings**... Adelaide: Department of Physics and Mathematical Physics, University of Adelaide, vol.6, p.13 – 17, jan. 1991.

SHOGA, M.; BINDER, D. Theory of Single Event Latchup in Complementary Metal-Oxide Semiconductor Integrated Circuits. **IEEE Transactions on Nuclear Science**, New York, v.33, n.6, p. 1714 – 1717, 1986.

SROUR, J. R, PALKO, J. W. Displacement Damage Effects in Irradiated Semiconductor Devices. **IEEE Transactions on Nuclear Science**, New York, v.60, n.3, p.1740 – 1766, jun. 2013.

STASSINOPOULOS, E. G.; RAYMOND, J. P. The Space Radiation Environment for Electronics. In: IEEE, 76., 1988, **Proceedings**... [S.l.:s.n.]: p. 1423 – 1442, nov. 1988.

STEENKAMP, N. L. **Development of the On Board Computer Flight Software for SUNSAT 1**. 2009. 199f. Dissertação (Mestrado em Engenharia Elétrica) – Universidade de Stellenbosch, Stellenbosch, África do Sul.

SWARTWOUT, M. A Brief History of Rideshares (and Attack of The CubeSats). In: IEEE Aerospace Conference, 36, 2011, **Proceedings**... Big Sky: IEEE Aerospace & Electronic Systems Society, jan. 2011.

TARRILLO, J. et al. Analyzing the Effects of TID in an Embedded System Running in a Flash-Based FPGA. **IEEE Transactions on Nuclear Science**, New York, v.58, n.6, p. 2855 – 2862, dez. 2011.

TUROWSKI, M.; RAMAN, A.; SCHRIMPF, R.D. Nonuniform Total-Dose-Induced Charge Distribution in Shallow-Trench Isolation Oxides. **IEEE Transactions on Nuclear Science**, New York, v.51, n.6, p.3166 – 3171, dez. 2004.

TWIGGS, B.; MALPHRUS, R.; MUYLAERT, J. The QB50 Program, the First CubeSat Constellations Doing Science. In: Conference on Small Satellites, 24, **Proceedings...** [S.l.]: AIAA/USU, 2010.

WAHLSTROM, S. E. Programmable Logic Arrays – Cheaper by the Millions. **Electronics**, v.40, p. 90 – 95, 1967.

WALL, M. U.S. Army Wants Tiny Satellites as Orbital Spies. **SPACE.com**, Huntsville, maio 2011. Disponível em < <http://www.space.com/11771-military-space-army-tiny-spy-satellites.html>>. Acesso em: set. 2013.

WANG, J. et al. Total Ionizing Dose Effects on Flash-based Field Programmable Gate Array. **IEEE Transactions on Nuclear Science**, New York, v.51, n.6, p. 3759 – 3766, dez. 2004.

WANG, J. Radiation Effects in FPGAs. In: Workshop on Electronics for LHC Experiments, 9, 2003, **Proceedings...** Amsterdam, p. 34 – 43, out. 2003.

XENSOR INTEGRATION. **Magnetic Sensor XEN-1210 Datasheet**. Netherlands, out. 2011.

XILINX INC. **DS192: Radiation-Hardened, Space-Grade Virtex-5QV Family Overview – Product Specification**. [S.l.:s.n.], v.1.3, mar. 2012.

XILINX INC. **DS653: Space-Grade Virtex-4QV Family Overview – Product Specification**. [S.l.:s.n.], v.2.0, abr. 2010.

XILINX INC. Endereço eletrônico. Disponível em <<http://www.xilinx.com/>>. Acesso em: set. 2013.

## ANEXO A – DISPOSITIVOS DE LÓGICA PROGRAMÁVEL

Um Dispositivo Lógico Programável ou PLD (*Programmable Logic Device*) é um tipo de dispositivo de silício pré-fabricado que atuar praticamente com a função de qualquer tipo de sistema ou circuito digital. Eles proporcionam uma série de vantagens sobre as tecnologias de Circuito Integrado de Aplicação Específica (ASIC), que tem uma função fixa. Enquanto os ASICs levam meses para serem projetados e fabricados e custam de centenas a milhões de dólares para que se obtenha o primeiro dispositivo, os PLDs podem ser configurados em pouco tempo e custam na faixa de alguns dólares a algumas centenas de dólares. Porém, um contraponto à flexibilidade apresentada pelos FPGAs está no seu significativo aumento nos aspectos referentes à área, atraso e consumo de potência. Segundo Kuon e Rose (2007), um FPGA requer aproximadamente 20 a 35 vezes mais área que um célula padrão ASIC, com um desempenho em termos de velocidade de 3 a 4 vezes menor, e consumindo cerca de 10 vezes mais potência dinâmica.

Um FPGA, que pode ser traduzido para Arranjo de Portas Programáveis em Campo, é um tipo de PLD que começou a ser fabricado na década de 1980. Este dispositivo tem a possibilidade de realizar virtualmente qualquer função lógica, e essa personalização é possibilitada pela tecnologia utilizada no dispositivo, sendo realizada pelo próprio usuário ou projetista. Enquanto nos primeiros PLDs, que continham células lógicas que eram programadas via metalização (durante a manufatura) para implementar uma função lógica de duas entradas, com os FPGAs tornou-se possível a mudança do comportamento do circuito pós-fabricação, também chamado “em campo” (livre tradução do termo em inglês *Field*, em FPGA) (KUON; TESSIER; ROSE, 2008).

Na literatura, outra nomenclatura encontrada para PLD é Dispositivo Programado em Campo ou FPD (*Field Programmable Device*). Historicamente, o termo PLD é utilizado para outros dispositivos, relativamente simples. Alguns tipos de FPDs são: Matriz Lógica Programável (*Programmable Logic Array*) e Lógica de Matriz Programável (*Programmable Array Logic*); PLD Simples (*Simple PLD*); PLD Complexo (*Complex PLD*, ou CPLD) e PLD Melhorado (*Enhanced PLD*); e PLD de Alta-Capacidade (*High Capacity PLD*), que engloba tanto os CPLDs quanto os FPGAs (BROWN; ROSE, 1996).

O diagrama da Figura 1 apresenta as categorias de dispositivos de lógica programável.

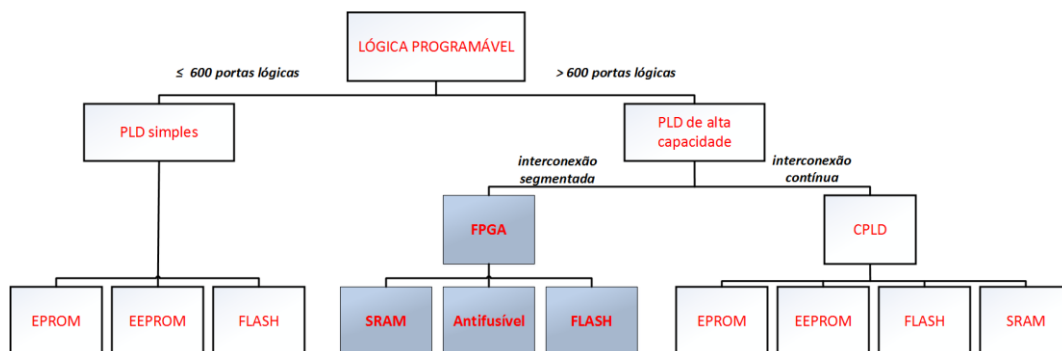


Figura 1: Categorização de dispositivos lógicos programáveis e principais tecnologias utilizadas na fabricação dos seus elementos de armazenamento e configuração (ALTERA CORP., 1995).

Em geral, um FPGA consiste de três partes: um grupo de *células lógicas programáveis* também chamadas de *blocos lógicos* ou *blocos lógicos configuráveis* CLB, uma *rede de interconexão programável* e um grupo de *células de entrada e saída* (comumente é usado o acrônimo I/O ou E/S) que ficam ao redor do dispositivo. Uma função, ao ser implementada em um FPGA, é particionada em módulos, de forma que cada módulo possa ser configurado em um bloco lógico. Os blocos lógicos são então conectados usando-se a rede de interconexão programável.

Os três componentes básicos de um FPGA (CLB, interconexão e bloco de entrada e saída) – Figura 2 – são configurados pelo usuário através de uma linguagem específica de descrição de *hardware*, podendo ser programados uma ou mais vezes, a depender da tecnologia (BOBDA, 2007).

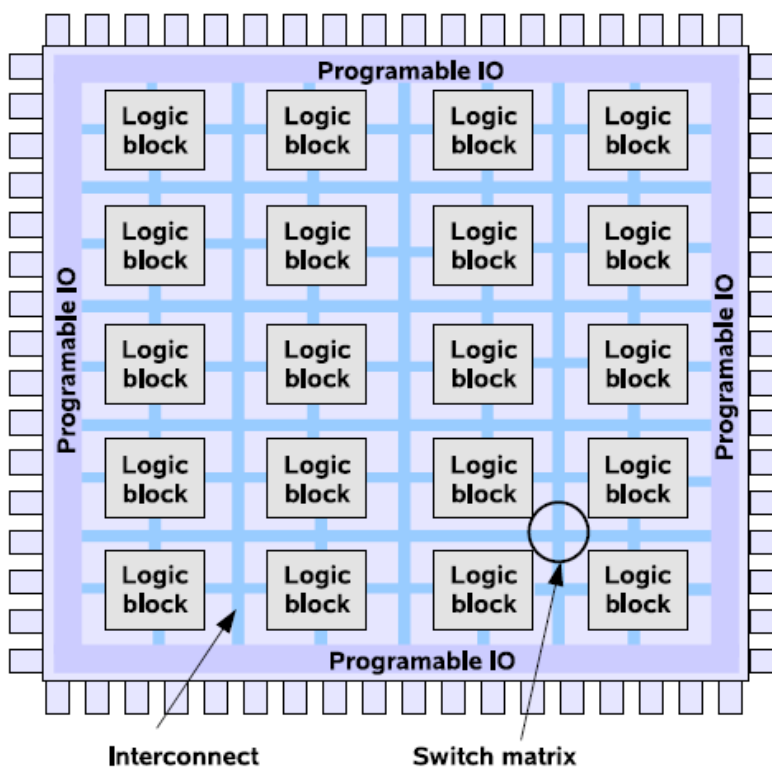


Figura 2: Estrutura básica de um dispositivo programável do tipo FPGA: blocos lógicos, interconexões e blocos de E/S (BOBDA, 2007).

Ao longo do tempo, a arquitetura dos FPGAs evoluiu com a adição de blocos com funções especializadas. Esses blocos – como memórias embarcadas, blocos de lógica aritmética, células de E/S de alta velocidade e microprocessadores embarcados – foram adicionados devido à necessidade de mais recursos dentro dos sistemas. Como resultado, temos atualmente FPGAs com uma mistura heterogênea de recursos (GOKHALE; GRAHAM, 2005).

As seções a seguir apresentarão os principais FPGAs disponíveis no mercado e caracterizarão as diferentes tecnologias empregadas na fabricação.

## 1 Tecnologias de FPGAs

Há basicamente dois tipos de circuitos para fabricação de FPGAs: memórias e antifusível. Classificam-se os que se enquadram na primeira categoria entre os baseados em células de memória do tipo SRAM (*Static RAM*) e os baseados em células de memória do tipo Flash. A nomenclatura usada neste trabalho será SRAM-FPGA, Flash-FPGA e Antifusível-FPGA. Ainda que haja outras tecnologias para fabricação de dispositivos com lógica programável – como por exemplo baseado em fusível – essas tecnologias não são utilizadas nos FPGAs comerciais e não serão, portanto, abordadas neste trabalho.

### 1.1 Antifusível-FPGA

Um antifusível é originalmente um circuito aberto com altíssima resistência, construído através de uma camada dielétrica ou de uma camada de silício amorfo. Aplicando-se uma alta corrente neste circuito aberto, cria-se permanentemente um caminho eletricamente condutivo de baixa resistência. O conceito de antifusível data da década de 50, porém este circuito passou a ser utilizado como base para dispositivos programáveis quando possibilitou-se sua fabricação em tecnologia CMOS. Este tipo de circuito ocupa uma área menor e apresenta significativa redução de resistência e capacitâncias parasíticas quando comparado aos transistores (HAMDY, 1988). Assim sendo, a maior vantagem deste tipo de FPGA em relação aos demais reside na sua dimensão reduzida (BATTEZZATI; STERPONE; VIOLANTE, 2011). Na Figura 3 estão apresentados os dois principais modelos de antifusíveis utilizados em FPGAs.

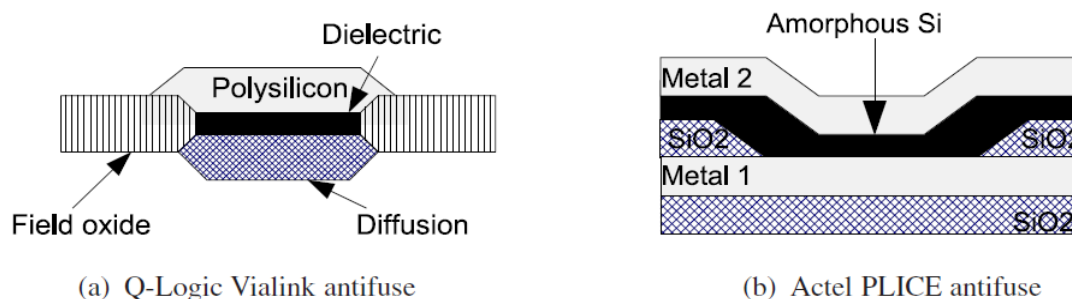


Figura 3: Corte transversal dos dois principais circuitos antifusíveis utilizados em Antifusível-FPGAs. (a) antifusível desenvolvido com uma camada dielétrica; (b) antifusível desenvolvido com uma camada de silício amorfo (BOBDA, 2007).

Nos FPGAs, os antifusíveis ficam posicionados entre dois fios da rede de interconexão, criando assim três camadas: no topo e na base estão os condutores e no meio está o isolante (Figura 4). Ao ser programado, esse isolante se rompe e um

caminho elétrico é permanentemente criado, permitindo a conexão entre dois ou mais blocos que estavam originalmente isolados.

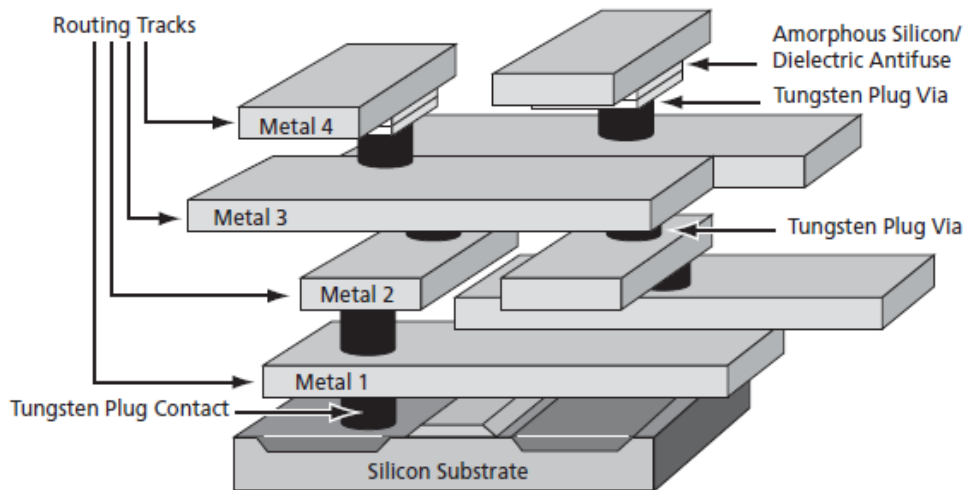


Figura 4: Elementos de interconexão de um Antifusível-FPGA. Identificam-se as trilhas de roteamento dos condutores, e o no meio destas o posicionamento dos antifusíveis (ACTEL CORP., 2006).

## 1.2 SRAM-FPGA

O primeiro FPGA baseado em memória foi proposto em 1967. Tal arquitetura permitiu que tanto a lógica quanto a interconexão dos blocos fosse configurável através de um fluxo de bits de configuração, transmitido ao dispositivo de uma forma mais simplificada (WAHLSTROM, 1967 apud KUON; TESSIER; ROSE, 2008). Um diagrama esquemático de uma célula de memória SRAM é apresentado na Figura 5.

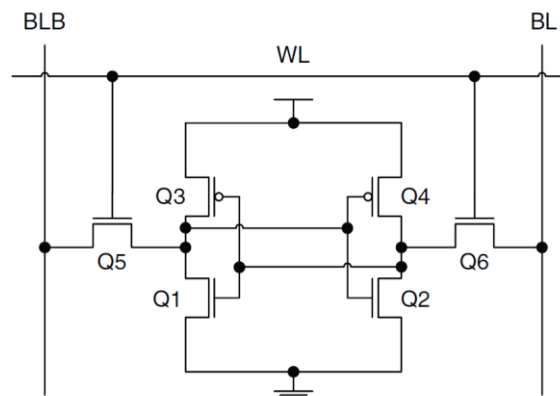


Figura 5: Diagrama esquemático de uma célula de memória SRAM de seis transistores, em tecnologia CMOS (PAVLOV; SACHDEV, 2008)

Apesar da ideia datar da década de 60, somente em 1984 a empresa Xilinx introduziu no mercado o primeiro SRAM-FPGA. Este continha 64 CLBs posicionados em uma matriz, com 58 E/S (CARTER et al., 1986). Desde então, a complexidade dos FPGAs cresceu enormemente. Neste tipo de dispositivo, as células de memória estática ficam distribuídas pelo FPGA, sendo que os dois usos majoritários das memória SRAM são: a maior parte é usada selecionar as linhas dos multiplexadores que guiam os sinais e interconecta-os, e a maioria das células SRAM restantes são usadas para armazenar



dados em tabelas LUT, que tipicamente implementam funções lógicas (Figura 6) (KUON; TESSIER; ROSE, 2008).

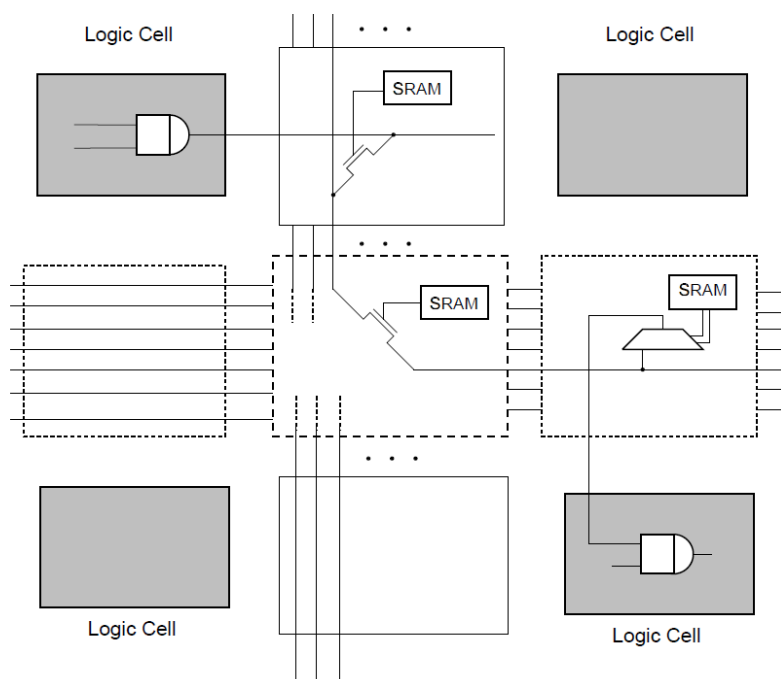


Figura 6: Exemplo de duas aplicações de células de memória SRAM: controle das portas dos transistores de passagem dos switches e controle das linhas de seleção dos multiplexadores que carregam as entradas do bloco lógico (BROWN; ROSE, 1996).

As células de memória SRAM são voláteis, e nos FPGAs, elas têm tanto a função de programação do circuito quanto de armazenamento de dados do usuário. Portanto, um SRAM-FPGA necessita de um mecanismo externo para reprogramação toda vez que é ligado. Essa é uma restrição relevante, uma vez que se torna mandatório a adoção de elementos de memória externa permanente, como PROM (*Programmable Read Only Memory*), ou um sistema baseado em microprocessador que permita a programação da memória de configuração do FPGA (BATTEZZATI; STERPONE; VIOLANTE, 2011). Uma das grandes vantagens desta tecnologia é o fato de, teoricamente, poder reprogramar-se infinitas vezes o FPGA, o que para uma aplicação espacial pode ser atrativo.

### 1.3 Flash-FPGA

As células de memórias Flash são baseadas na tecnologia de memória EEPROM (*Electrically-Erasable PROM*). Essas memórias fazem uso da carga armazenada em um *floating-gate* (Figura 7) para retenção do dado. A quantidade de carga armazenada no *floating-gate* determinará se o transistor está ou não conduzindo. O fato do *floating-gate* estar cercado por isolante permite que ele retenha sua carga por um longo período de tempo, mesmo quando o circuito é desprovido de tensão de alimentação, sendo, portanto, não-volátil. Dentro dos FPGAs, as células Flash ficam inseridas tanto na parte da lógica do circuito quanto nos recursos de roteamento de sinais. A aplicação da tecnologia de memória Flash em FPGAs comerciais é algo relativamente novo (BREWER, 2008; BATTEZZATI; STERPONE; VIOLANTE, 2011).

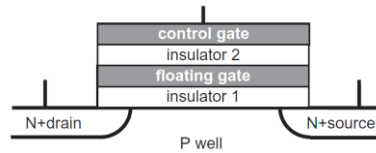


Figura 7: Elementos de uma célula de memória do tipo Flash. Adaptado de (BREWER, 2008).

Uma ilustração da estrutura de um *switch* utilizado nos Flash-FPGAs da empresa Microsemi, é apresentada na Figura 8. A estrutura consiste de dois transistores *floating-gate* do tipo NMOS (conforme Figura 7): o transistor *switch* liga/desliga o caminho de dados e o transistor *program/sense* programa o *floating-gate* e detecta a corrente durante a medida do limiar de tensão (*threshold voltage*). Os transistores compartilham a mesma porta (*gate*) de controle e o *floating-gate*. A modulação do limiar de tensão liga ou desliga o transistor *switch*, e esse limiar é determinado pela carga armazenada no *floating-gate* (WANG et al., 2004). O *floating-gate* no estado de baixa tensão liga o *switch*, e no estado de alta tensão desliga-o.

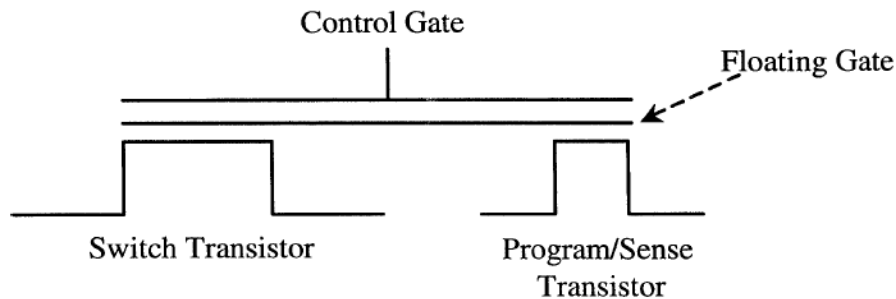


Figura 8: Desenho esquemático da estrutura física de um switch nas arquiteturas dos Flash-FPGA da Microsemi (WANG et al., 2004).

Entre as vantagens desta tecnologia, Battezzati, Sterpone e Violante (2011) destacam que a maior é a não-volatilidade. Diferentemente da tecnologia utilizada nos SRAM-FPGAs, nesta tecnologia não há necessidade de qualquer mecanismo de memória externo ao núcleo do FPGA para armazenamento da programação do circuito.

As principais características das tecnologias de FPGAs pesquisados estão discriminadas na Tabela 1.

Tabela 1: Características das tecnologias de dispositivos programáveis FPGAs.

Característica	SRAM	Flash	Antifusível
Volatilidade?	Sim	Não	Não
Reprogramabilidade?	Sim	Sim	Não
Área (elemento de armazenamento)	Elevada (6 transistores)	Moderada (1 transistor)	Baixa (0 transistor)
Processo	CMOS padrão	Processo Flash	Processo especial
Programação “em campo”?	Sim	Sim	Programador especial
Resistência ( <i>switch</i> )	~500 – 1000Ω	~500 – 1000Ω	20 – 100Ω

<b>Capacitância (switch)</b>	~1 – 2fF	~1 – 2fF	<1fF
<b>Programabilidade total (yield)</b>	100%	100%	>90%

Adaptado de: KUON; TESSIER; ROSE, 2008. p. 150.

## 2 Principais famílias de FPGAs

A empresa Xilinx é a maior fornecedora de dispositivos programáveis do mundo, seguida pela empresa Altera, sendo que, para ambas, o nicho principal de mercado são os SRAM-FPGAs (MCGRATH, 2011). A Actel (atualmente Microsemi) é a maior fornecedora de Antifusível-FPGAs e Flash-FPGAs, assim como maior fornecedora de FPGAs de sinal misto e tolerantes à radiação para o mercado aeroespacial e de defesa (LAPEDUS, 2010).

Pela flexibilidade, mais alta integração e maior lógica embarcada, os SRAM-FPGAs costumam ser os candidatos escolhidos para implementar algoritmos de controle de satélites, pois estes requerem alta complexidade computacional e reconfigurabilidade. Porém, há opções de Flash-FPGAs atuais com dimensões da lógica programável e desempenho atrativos para determinadas aplicações espaciais. A Tabela 2 apresenta as principais famílias de FPGAs das empresas líderes de mercado, acima mencionadas.

Tabela 2: Famílias de FPGAs das principais fabricantes.

<b>FPGA</b>	<b>Xilinx</b>	<b>Altera</b>	<b>Microsemi</b>
<b>SRAM-FPGA</b>	<ul style="list-style-type: none"> <li>▪ Spartan</li> <li>▪ Virtex</li> </ul>	<ul style="list-style-type: none"> <li>▪ Stratix</li> <li>▪ Arria</li> <li>▪ Cyclone</li> </ul>	–
<b>Flash-FPGA</b>	–	–	<ul style="list-style-type: none"> <li>▪ IGLOO</li> <li>▪ ProASIC</li> </ul>
<b>Antifusível-FPGA</b>	–	–	<ul style="list-style-type: none"> <li>▪ Axcelerator</li> <li>▪ SX-A, eX</li> <li>▪ MX</li> </ul>

Dentre as famílias apresentadas acima, as seguintes versões de dispositivos apresentam tolerância à radiação: Virtex-4QV e Virtex-5QV; RT ProASIC3E, RTAX (baseado na tecnologia do Axcelerator) e RTSX (baseado na tecnologia do SX-A) (XILINX INC., 2010, 2012; MICROSEMI CORP., 2012-a, 2012-b, 2013-a; ACTEL CORP., 2004, 2006). A empresa Altera não disponibiliza FPGAs com tolerância à radiação para uso aeroespacial, porém nos seus dispositivos Stratix-V ela dispõe de um circuito interno de detecção de erros que pode ser usado para mitigação de algumas falhas singulares provocadas pela radiação ionizante (ALTERA CORP., 2014).

Os dispositivos reconfiguráveis acima mencionados são muito mais insensíveis aos efeitos induzidos pela abundante radiação ionizante espacial do que dispositivos

comerciais comuns, e as fabricantes usam diferentes técnicas para mitigação de falhas de radiação, levando em conta as características da arquitetura de seus produtos. Diversos relatórios de qualificação espacial estão presentes na literatura, os quais apresentam maiores ou menores níveis de tolerância aos diferentes efeitos radiativos, sendo a grande maioria relacionado aos produtos da Xilinx e da Microsemi, o que pode ser verificado no anais das principais conferências da área, tais como: MAPLD (*Military and Aerospace Programmable Logic Devices*), NSREC (*Nuclear and Space Radiation Effects*), RADECS (*Radiation Effects on Components and Systems*) e FPGA Symposium (KASTENSMIDT; CARRO; REIS, 2006).

### 3 Campos de Aplicação

Os FPGAs são atualmente os dispositivos lógicos programáveis mais densos existentes. Eles possibilitam que desenvolvedores implementem grandes projetos digitais em um dispositivo a qualquer momento e em qualquer local. Entre as vantagens dos FPGAs estão sua alta densidade, alto desempenho computacional, rápido retorno do investimento e baixo custo de implementação por projeto. Entre os campos de aplicação estão a prototipação de circuitos ASIC, o processamento de imagens, o processamento de sinais digitais, tais como as Transformadas Rápidas de Fourier FFT (*Fast Fourier Transformation*), criptografia, visão computacional, etc. De fato, FPGAs podem ser especialmente aplicados em qualquer área que faça uso de paralelismo em massa. Nos campos de aplicação terrestre, FPGAs são largamente empregados em quase todas as possíveis utilizações de semicondutores. Já em aplicações espaciais, FPGAs reconfiguráveis ainda não são tão comuns devido aos efeitos radiativos (KUWAHARA, 2010).

Na definição da tecnologia de FPGAs e da família do dispositivo a ser aplicada em determinado campo de aplicação, deve-se ponderar o seu custo, confiabilidade, desempenho e funções. Segundo Roosta (2004), para ser utilizado em aplicações espaciais, o FPGA idealmente deve pertencer a Classe V da QML (*Qualified Manufacturing Line*), com um nível de garantia de endurecimento contra radiação RHA (*Radiation Hardness Assurance*), o que cria mais um critério a ser considerado na escolha do dispositivo. Todos outros dispositivos fora desta classificação contém um ou mais processos não controlados, o qual apresentam riscos para uso aeroespacial. Como depende-se, é comum que a aceitação de novas tecnologias em aplicações espaciais seja lenta, e as características tecnológicas dos FPGAs contribuem para sua menor aceitação em missões críticas (BATTEZZATI; STERPONE; VIOLANTE, 2011).

#### 3.1 FPGAs em aplicações espaciais

Apesar do posicionamento de Battezzati, Sterpone e Violante (2011), a comunidade científica do ramo espacial tem ativamente avaliado os efeitos radiativos sobre cada novo FPGA que entra em linha de produção, visto que as características destes dispositivos são extremamente atrativas para aplicações de satélites (WANG, 2003).

Os primeiros FPGAs a serem aceitos para aplicações espaciais foram os Antifusível-FPGAs (SANDOR et al., 1992). Após algum tempo, os SRAM-FPGAs começaram a ganhar certa visibilidade do segmento aeroespacial, e isso só foi possível graças à solução dos problemas de SEL (DAWOOD; BERGMANN, 1999). Nos últimos anos, os Flash-FPGAs têm entrado na gama de dispositivos que tem apresentado interesse para aplicações espaciais, em especial após a introdução no mercado de versões que não

apresentavam os efeitos de SEL. Para Roosta (2004), da linha de FPGAs reprogramáveis, os dispositivos baseados em memória não volátil – Flash-FPGAs – seriam preferíveis aos SRAM-FPGAs, se eles pudessem atender aos requisitos de resistência à radiação (à época deste trabalho, os Flash-FPGAs ainda não haviam sido extensamente testados em ambiente radiativo).

Apesar das vantagens da reprogramabilidade presentes nos SRAM-FPGAs e nos Flash-FPGAs, os Antifusível-FPGAs ainda hoje assumem importante papel na área aeroespacial, mesmo sendo apenas um substituto para os ASICs mais antigos e não contribuindo para sistemas reconfiguráveis no espaço.

#### 4 Efeitos da Radiação em FPGAs

O trabalho de Kastensmidt, Carro e Reis (2006) aborda a alta suscetibilidade dos SRAM-FPGAs aos SEUs. Devido à grande quantidade de elementos de memória em suas estruturas, esses devem ser fortemente protegidos para evitar erros durante o funcionamento no ambiente espacial. As duas principais metodologias de proteção contra os efeitos de SEUs baseiam em descrição de *hardware* em alto-nível e em nível arquitetural. A proteção por uma descrição de *hardware* em alto-nível, entretanto, não é uma técnica tão simples de se aplicar, pois tanto a lógica combinacional quanto sequencial do FPGA são implementadas por células de memória SRAM, suscetíveis aos efeitos radiativos, como representado na Figura 9.

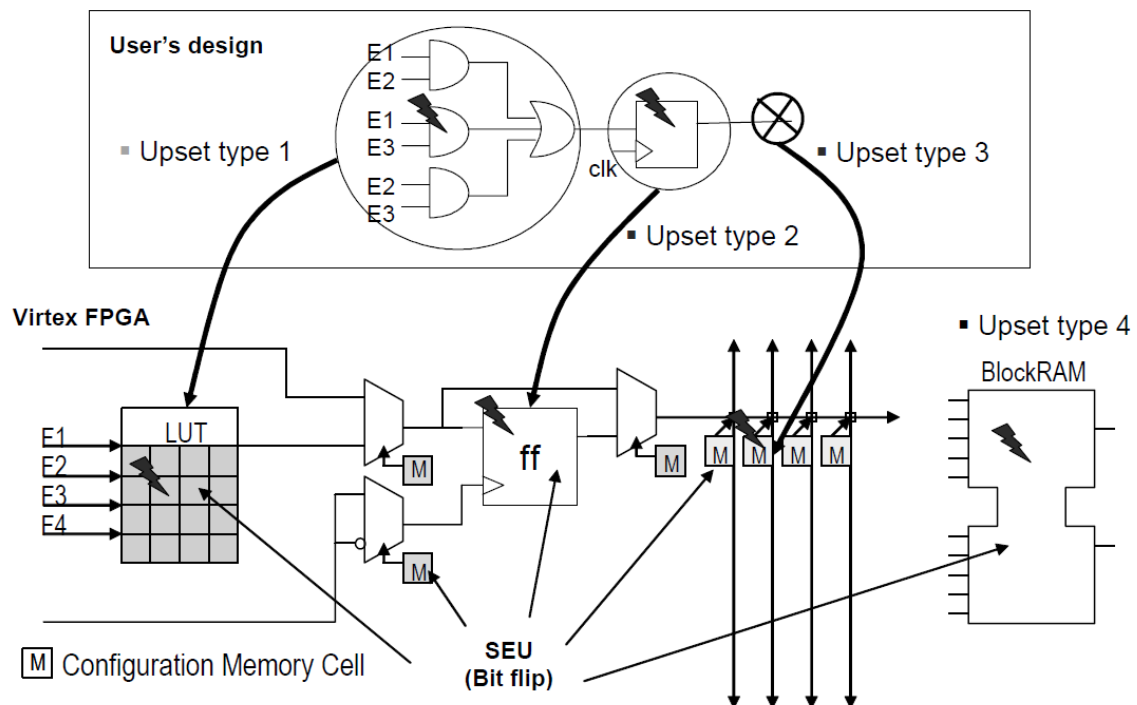


Figura 9: Comparação entre os efeitos de SEUs causados em um ASIC – parte superior da figura – e em um FPGA com arquitetura baseada em células de memória SRAM – parte inferior da figura (KASTENSMIDT; CARRO; REIS, 2006).

Por exemplo, um SEU na lógica combinacional do FPGA corresponde a um *bit-flip* em uma das células LUT ou em uma das células que controlam o roteamento. Um SEU em uma célula LUT modifica a lógica implementada neste FPGA (Figura 10.a). Um

SEU em uma célula de roteamento pode conectar ou desconectar um fio na matriz de roteamento do FPGA, e seu efeito pode ser mapeado como uma abertura ou um curto-circuito da lógica combinacional implementada (Figura 10.b). Em ambos os casos a falha é permanente, sendo necessária, portanto, a reprogramação do FPGA para a devida correção (KASTENSMIDT, 2003).

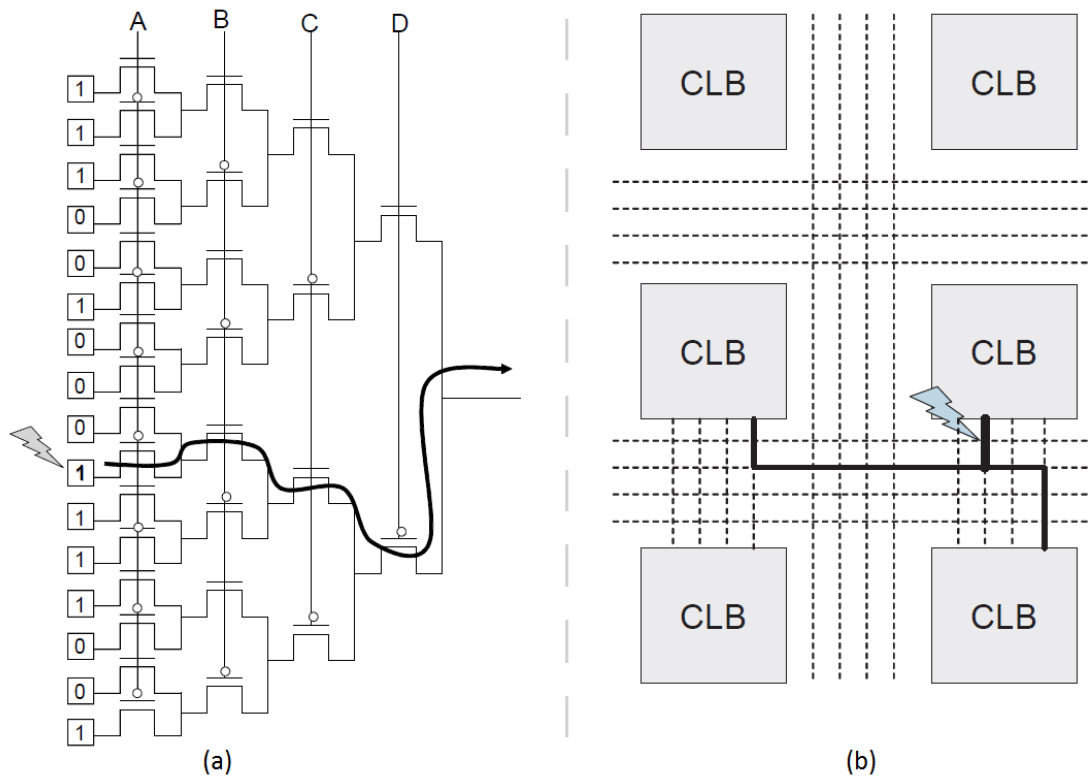


Figura 10: Bit-flip causado por um SEU em estruturas da lógica combinacional de um SRAM-FPGA: (a) quando ocorre em uma célula LUT, pode alterar a lógica do circuito. (b) quando ocorre em uma célula de roteamento, pode realizar uma conexão indesejada dos blocos lógicos (KASTENSMIDT, 2003).

As principais soluções em descrição de *hardware* em alto-nível propostas são métodos de replicação dos blocos internos dos SRAM-FPGAs e métodos de detecção de ocorrência de falhas e recuperação. Outras soluções sugeridas são novas topologias de arquiteturas usando células de memória SRAM especialmente projetadas com endurecimento contra radiação, novas tecnologias de fabricação, com diferentes materiais e processos, e inovações nas estruturas de roteamento (KASTENSMIDT; CARRO; REIS, 2006). Trabalhos como o de Fuller et al. (1999), Ceschia et al. (2002) e Quinn et al. (2005) também demonstram a grande sensibilidade a radiação dos SRAM-FPGAs.

Os SRAM-FPGAs utilizados em projetos aeroespaciais contêm uma ou mais das soluções apresentadas acima, e assim sendo, são qualificados como de uso militar e aeroespacial (seção Principais famílias de FPGAs). Como tais, são classificados pelo ITAR, Regulamento sobre o Tráfico Internacional de Armas), que é administrado pelo Diretório de Controle de Comercialização de Artigos de Defesa do Departamento de Estado dos Estados Unidos e regula a exportação de artigos de defesa e tecnologia relacionada (DIRECTORATE OF DEFENSE TRADE CONTROLS, 2012).

As memórias Flash, por outro lado, são insensíveis à perda de dados por *soft errors* induzidos por radiação (BREWER, 2008). Resultados de testes em tecnologias Flash mais antigas relatam a não ocorrência de SEUs em memórias Flash ou outros *floating-gates*. Um destes testes demonstrou a insensibilidade a SEUs devido a partículas alfa em uma exposição equivalente a dois milhões de anos; outro teste demonstrou a insensibilidade devido a nêutrons de GCRs em uma exposição equivalente a 20 mil anos de operação (CAYWOOD; PRICKETT, 1983; ETO et al., 1998). Entretanto, estes resultados já não condizem com as tecnologias de memórias Flash mais atuais, que podem apresentar certa sensibilidade aos SEUs (BAGATIN et al., 2007). Porém, as células Flash utilizadas nas memórias de configuração dos FPGAs não têm dimensões tão reduzidas quanto aquelas utilizadas nas memórias das unidades de armazenamento em massa apresentadas no trabalho de Bagatin et al. (2007), e, portanto, ainda não é observado SEUs nos Flash-FPGAs. No futuro, segundo Battezzati, Sterpone e Violante (2011), com o menor dimensionamento das células Flash dos FPGAs, talvez os SEUs comecem a ser observados.

Com relação aos efeitos de TID, , baseados nos resultados de Wang (2004), afirmam que a tecnologia dos Flash-FPGAs apresenta maior suscetibilidade que outras tecnologias endurecidas contra radiação, e por essa razão os Flash-FPGAs deveriam ser usados em aplicações de missões críticas em ambientes com baixa dose radiativa ou em missões de curta-duração. Porém, há que se destacar que no trabalho de Wang (2004) foram realizados testes em um Flash-FPGA da família ProASIC<sup>Plus</sup>, fabricado em tecnologia de 220nm. Testes com Flash-FPGAs mais recentes, da família ProASIC3, fabricado em tecnologia de 130nm, apresentam resultados mais promissores.

Tarrillo et al. (2011) realizaram testes de TID com um FPGA comercial de 130nm da família ProASIC3, demonstrando a eficiência deste dispositivo para uso em sistemas embarcados, suportando doses acumuladas de 47 krads, coincidindo com os resultados obtidos por Rezgui et al. (2008).

Rezgui et al. (2007, 2008) apresentam a caracterização da SEEs no núcleo de Flash-FPGAs ProASIC3 de 130nm, e também nas suas subestruturas: circuitos de E/S, memórias SRAM e Flash embarcadas e PLL (*Phased Locked Loop*). Não foram percebidos erros na memória de configuração e na memória Flash embarcada, portanto, este segmento do dispositivo seria imune a efeitos radiativos (diferentemente do que ocorre nos SRAM-FPGAs). Também não ocorreu nenhum dano permanente por SEE. Entretanto, a lógica combinacional e sequencial são sensíveis à SET e SEU/SET, respectivamente. Os autores sugerem que a aplicação de técnicas de mitigação, como redundância e filtro de SET, capacitaria esse dispositivo para uso aeroespacial. Além disso, sugerem que para projetos com frequências superiores a 50MHz, a triplicação e a separação das entradas e saídas em 3 bancos de E/S diferentes seria mandatário para imunidade completa contra SEEs. Por fim, cabe destacar que as versões RT (*Radiation Tolerant*) da família ProASIC3, qualificadas para utilização aeroespacial e militar, são derivadas das versões comerciais, utilizando inclusive os mesmos projetos e processos de fabricação em 130nm.

## **ANEXO B – ARTIGO**

Um artigo, relacionado ao tema da dissertação, é apresentado neste anexo. O artigo intitulado *Configurable Test Bed Design for Nanosats to Qualify Commercial and Customized Integrated Circuits*, foi publicado no IEEE Aerospace Conference no ano de 2013.



# Configurable Test bed Design for Nanosats to Qualify Commercial and Customized Integrated Circuits

William Guareschi, José Azambuja,  
Fernanda Kastensmidt,  
Ricardo Reis  
UFRGS  
PGMICRO - PPGC  
Av. Bento Gonçalves 9500  
Porto Alegre, RS – Brazil  
{wnguareschi, jrfazambuja, fglima,  
reis}@inf.ufrgs.br

Otavio Durão<sup>1</sup>, Nelson Schuch<sup>2</sup>  
Instituto Nacional de Pesquisas  
Espaciais  
<sup>1</sup>Av. dos Astronautas 1758  
São José dos Campos, SP – Brazil  
<sup>2</sup>Av. Roraima 1000, INPE-CRS  
Santa Maria, RS – Brazil  
durao@dir.inpe.br,  
njschuch@lancesm.ufsm.br

Gustavo Dessbesel  
Santa Maria Design House  
Av. Roraima 1000, INPE-CRS  
Santa Maria, RS – Brazil  
gustavo.dessbesel@smdh.org

**Abstract**—The use of small satellites has increased substantially in recent years due to the reduced cost of their development and launch, as well to the flexibility offered by commercial components. The test bed is a platform that allows components to be evaluated and tested in space. It is a flexible platform, which can be adjusted to a wide quantity of components and interfaces. This work proposes the design and implementation of a test bed suitable for test and evaluation of commercial circuits used in nanosatellites. The development of such a platform allows developers to reduce the efforts in the integration of components and therefore speed up the overall system development time. The proposed test bed is a configurable platform implemented using a Field Programmable Gate Array (FPGA) that controls the communication protocols and connections to the devices under test. The Flash-based ProASIC3E FPGA from Microsemi is used as a control system. This adaptive system enables the control of new payloads and softcores for test and validation in space. Thus, the integration can be easily performed through configuration parameters. It is intended for modularity. Each component connected to the test bed can have a specific interface programmed using a hardware description language (HDL). The data of each component is stored in embedded memories. Each component has its own memory space. The size of the allocated memory can be also configured. The data transfer priority can be set and packaging can be added to the logic, when needed. Communication with peripheral devices and with the Onboard Computer (OBC) is done through the pre-implemented protocols, such as I2C (Inter-Integrated Circuit), SPI (Serial Peripheral Interface) and external memory control. In loco primary tests demonstrated the control system's functionality. The commercial ProASIC3E FPGA family is not space-flight qualified, but tests have been made under Total Ionizing Dose (TID) showing its robustness up to 25 krad(Si). When considering proton and heavy ions, flash-based FPGAs provide immunity to configuration loss and low bit-flips susceptibility in flash memory. In this first version of the test bed two components are connected to the controller FPGA: a commercial magnetometer and a hardened test chip. The embedded FPGA implements a Single Event Effects (SEE) hardened microprocessor and few other soft-cores to be used in space. This test bed will be used in the NanoSatC-BR1, the first Brazilian Cubesat scheduled to be launched in mid-2013.

## TABLE OF CONTENTS

1. INTRODUCTION .....	1
2. THE DEVELOPED CONFIGURABLE TEST BED DESIGN.....	2
3. THE NANOSATC-BR1 MISSION AND THE PAYLOAD DEVELOPMENT DESCRIPTION.....	3
4. CURRENT DEVELOPMENT STATUS OF NANOSATC-BR1 .....	4
SUMMARY AND FUTURE WORK.....	5
ACKNOWLEDGMENT .....	5
REFERENCES.....	6
BIOGRAPHIES.....	6

## 1. INTRODUCTION

The use of small satellites has increased substantially in past years due to the reduced cost of their development and launch, as well to the flexibility offered by commercial components. Furthermore, the standardization of Cubesat systems and the development of devices that are easier to integrate, such as the Space Plug-and-play Architecture (SPA) set of circuits, are decreasing significantly the time of spacecraft development [1]. The use of Field Programmable Gate Arrays (FPGAs) in nanosatellite design contributes to save time and costs, due to their flexibility and reprogrammability, either for the test and validation stages or for the satellite flight. In addition, modern high performance FPGAs can implement a complete system for spacecraft onboard computation. A System-On-Chip (SOC), composed of hard microprocessors, high density embedded memories, analog and digital components can be mapped in the programmable architecture of a FPGA, benefiting the subsystems integration and reducing design complexity. Another benefit is that FPGAs are a less expensive option than traditionally utilized devices such as Application Specific Integrated Circuits (ASICs) [2] in small series.

This work aims at reducing the complexity of the validation of new custom integrated circuits and to make easier the integration and the control of new commercial devices in the payload board. In order to achieve this goal a configurable

test bed platform, based in a flexible FPGA architecture, is proposed.

It is well known that FPGAs working in space are affected by damages due to long term ionizing and by transient ionization, due to their interaction with the spectrum of radioactive particles [3,4]. The options of protected devices for space application are several times more expensive than Commercial Off The Shelf (COTS) components, which sometimes are unavailable for purchase. Protected devices are expensive for using in nanosatellites. Considering the radiation dose that satellites operating at Low Earth Orbit are facing [5,6], in many cases it is possible to use robust prequalified COTS circuits and radiation hardening techniques.

This work is designed and implemented in a configurable test bed platform, using a commercial Flash-based ProASIC3E FPGA Family from Microsemi. This FPGA family is not space-flight qualified, but tests have been made under Total Ionizing Dose (TID) showing its robustness up to 25 krads (Si) [7]. When considering neutron and alpha particle hitting, Flash-based FPGAs provide immunity to configuration loss due to Single Event Effects (SEE) [8].

The test bed platform allows components to be evaluated and tested in space and is a flexible system. It can be adjusted to a wide quantity of components and interfaces, suitable for test and evaluation of different commercial circuits for use in nanosatellite missions. The development of such a platform allows developers to reduce their efforts in the integration of components and therefore speed up overall system development time.

This adaptive system eases the control of new payloads and softcores for test and validation in space, and integration can be readily performed, through configuration parameters and modularity. Each component connected to the test bed can have a specific interface programmed using a hardware description language (HDL). The data for component is stored in embedded memory and each component has its own memory space. The size of the allocated memory can be also configured. The data transfer priority can be set and packaging can also be added to the logic, when needed. Communication with peripheral devices and the onboard computer is done through pre-implemented protocols, such as I2C, SPI and external memory control.

In the first application of the test bed, two components were connected to the controller FPGA: a commercial magnetometer and a hardened test chip. The FPGA has embedded a microprocessor and a few other soft cores to be used in space. This test bed will be used in the NanoSatC-BR1, the first Brazilian Cubesat scheduled to be launched in mid-2013.

## 2. THE DEVELOPED CONFIGURABLE TEST BED DESIGN

The ProASIC3E from Microsemi is a Flash-based family of FPGAs, which offer a low-power and low-cost COTS solution. This FPGA is based on a nonvolatile technology that is far less susceptible to radiation-induced failures than Static Random Access Memories (SRAM) based FPGAs. Several studies demonstrated the vulnerabilities of SRAM-based FPGAs, such as the highly used Xilinx Virtex-4 FPGA, when applied in space applications [9]. Moreover, the Flash-based devices retain their configuration when power is removed from the FPGA, whilst the SRAM-based lose their data and configuration and need to be reprogrammed during power-up. Despite the configuration retaining of the ProASIC3E FPGA, it has some blocks of radiation unhardened embedded SRAM available for user applications. For this reason fault detection techniques were applied to some cores implemented inside the device.

### *Test Bed Adaptability*

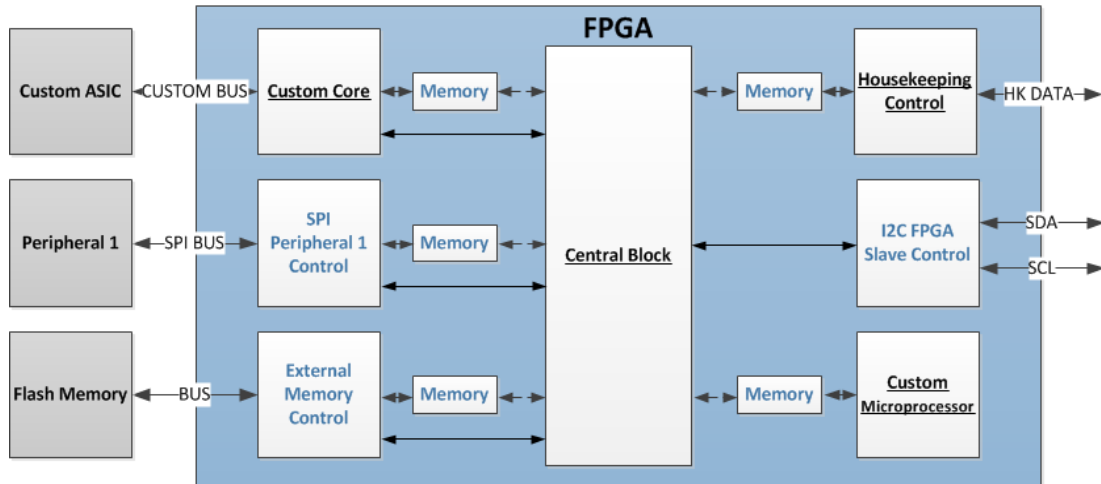
The Microsemi Corporation provides some IP (Intellectual Property) Cores within their Libero IDE development tool which implements different features, like bus interface controllers, clock management, digital signal processors (DSP), memory controllers, error detection and correction (EDAC) blocks, peripheral communication protocols, soft processors, etc.

Some of the Microsemi IP Cores were implemented for the control, management and communication with different commonly used nanosatellite payloads. Customized cores can be incorporated into the FPGA to test and validate new payloads before flight. By applying these Microsemi IP Cores and the implemented configurable blocks, modularity is achieved, since the functionality configuration of each module is done through parameters, and can be altered to comply with new project objectives.

The FPGAs has its structure adaptable, and with the use of IP Cores and the blocks developed to control the Microsemi Cores and interfaces with other payloads, it is possible to attach almost every electronic device (e.g. sensors) in the test bed board. These devices are easily controlled with common communication protocols already implemented, or by developing a specific control for a payload with a specific interface.

### *Memory Space Allocation*

Several modules perform different tasks, and memory spaces can be configured for each module. The size of the memory is configurable (within the range of available SRAM) from module to module. The reading and writing of data can be done either by the module or by a central control. Memory space division improves the reliability of the system, so that a transient fault in one module's memory should not affect other modules.



**Figure 1 - An example of the configurable test bed platform**

*Handling With the Integration of Various Components*

The central block controls and communicates with the remaining modules present in the FPGA. The changing of functionalities or addition of new payloads to the project is done by altering these configuration parameters, in the top module of the circuit and in the central block. Occasionally some features are added into the specific modules (Fig. 1).

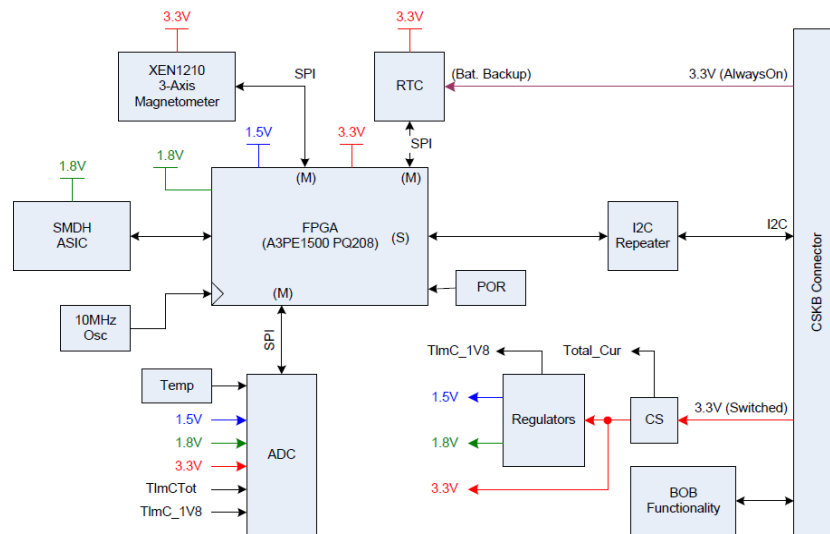
In next section, the development of the NanoSatC-BR1 payload will be described. The payload contains various devices and IP Cores. Different teams were commissioned with the development the payloads, and at the moment of the development of the configurable test bed platform, not all the devices and Cores were completely described. In the first phase of the design, were defined the main functionalities of the payloads. When a payload was designed and integrated to the platform, changes were

necessary in former implementations. The attachment could be more easily done, since just few parameters needed to be altered in the controller FPGA.

**3. THE NANOSATC-BR1 MISSION AND THE PAYLOAD DEVELOPMENT DESCRIPTION**

The NANOSATC-BR is the first Brazilian Scientific Nanosatellite. The goal is to monitor in real time, the Geospace, the particle precipitation and the disturbances at the Earth's magnetosphere over the Brazilian Territory, and the determination of their effects on regions such as the South Atlantic Magnetic Anomaly (SAMA) and the Brazilian sector of the Ionosphere Equatorial Electrojet [10].

In order to monitor the disturbances at the SAMA region,



**Figure 2 – The NanoSatC-BR1 functional blocks and payload board interconnections**

the satellite's first payload will consist of a magnetometer, the XEN1210 from Xensor Integration (Fig. 2). It is expected to create a global magnetic profile. The magnetometer control interface is digital. It performs the readout and programming via SPI protocol.

The second payload will consist of a Brazilian radiation-hardened test chip, entirely designed by Santa Maria Design House (SMDH). It is intended to both validate the in-flight functional correctness and to check the sensitivity of this specific circuit to TID and SEEs. After the validation of this circuit, it will be used in other Brazilian satellites.

Finally, the last payload in the flight model to be mentioned is the ProASIC3E, the FPGA from Microsemi. The FPGA will centralize the control of other payloads, configuring the test bed design for such end.

The payload board contains some other circuits: sensors for housekeeping, electrical connection regulators, analog to digital converters and a clock generator.

Besides the previously cited payloads and circuits present onboard, the FPGA will also embed a fault-tolerant MIPS (Microprocessor without Interlocked Pipeline Stages) softcore for in-flight validation. This custom softcore is a 32-bit microprocessor adapted version of the well-known MIPS architecture, with a non-intrusive hybrid fault detection approach that combines hardware and software techniques to detect transient faults in the microprocessor. Fault injection tests show the efficiency of this method in detecting 100% of faults, as well as minimal memory area and execution time overhead compared to original MIPS architecture [11].

The detailed modules of the FPGA are presented in Fig. 3.

#### 4. CURRENT DEVELOPMENT STATUS OF NANOSATC-BR1

The case study payload test bed for NanoSatC-BR1 was partially developed and synthesized for the part A3PE1500-PQ208, and includes the controllers for magnetometer, SMDH ASIC, MIPS and I2C slave interface. It resulted in the occupation of 21,281 Versatiles (55% available in this part, which implement approximately 831,269 equivalent logic gates), 51 user Inputs/Outputs (34.7% of available IOs), 1 PLL (out of 2 Phase-Locked Loops) and 39 blocks of embedded SRAM (from 60 4,608-bit blocks).

A clock source of 10MHz for the payload is supplied and it is compliant with the NanoSatC-BR1 requisites. Nevertheless, a maximum frequency of more than 20MHz is achievable for the entire payload system. But this higher frequency is not necessary and not desired for the sake of energy reserve.

The post-place and route simulation was performed through Modelsim, with a simulation model emulating a OBC requisition and I2C data transmissions, magnetometer readouts, MIPS computations and SMDH ASIC transactions, all running in parallel. The generated vsim file was used as input into the SmartPower tool, to calculate the power consumed by the device. The result is 152mW of total power consumption with a temperature of 70 degrees Celsius.

##### Downlink Bandwidth

The launch is still under negotiation and it is expected that the NanoSatC-BR1 will be deployed at an orbital height of 700km with a declination angle of 98 degrees. In this condition, the nanosatellite will do an average of 14 orbits per day. For a low data volume case is considered a downlink rate of 1.2kbps and a reasonable 25% of overhead protocol losses and will result in 0.09MB data volume per

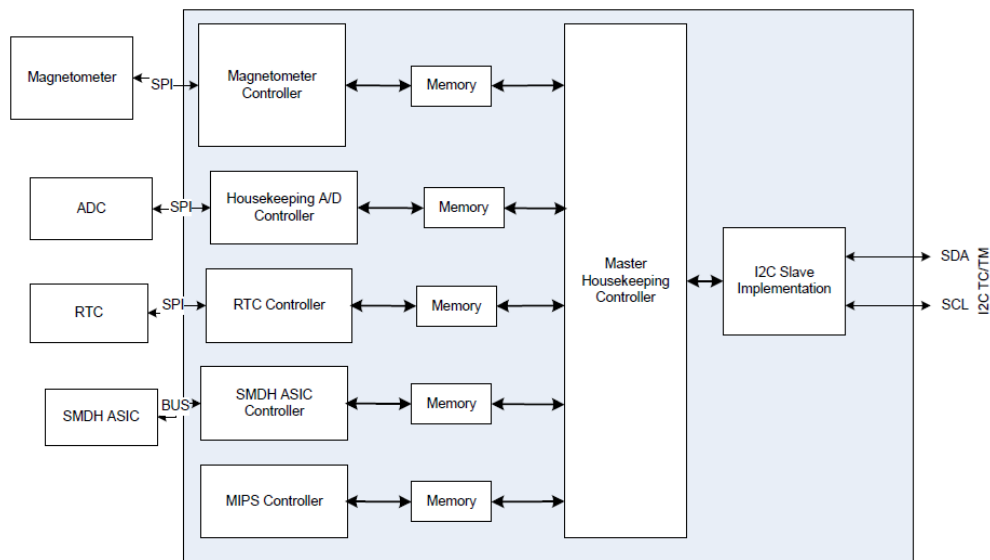
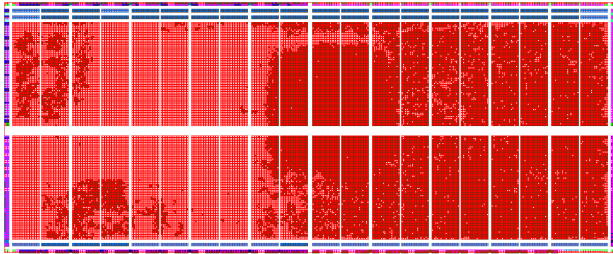


Figure 3 – The ProASIC3E Cores and interfaces implemented for NanoSatC-BR1

day. As a high data volume case, a downlink rate of 9.6 kbps and a 25% of overhead protocol losses, resulting in 1.96MB of data volume per day, is considered.

Analysis of battery capacities and mission data volume requisites are still needed for the sake of energy saving and downlink bandwidth. The preliminary results are not consistent in this moment, since other subsystems power consumption analysis is not available so far.

The complete placement and floorplanning of the designed payload is illustrated in the Fig. 4.



**Figure 4 – The ProASIC3E complete placement and floorplanning for the NanoSatC-BR1 payload**

## 5. SUMMARY AND FUTURE WORK

The test bed platform operation was demonstrated by using a prototype board. Several functional tests were performed connecting the test bed platform to the magnetometer payload, and interfacing the ProASIC3E test bed to other FPGA through I2C bus. The second FPGA simulates the NanoSatC-BR1 onboard computer. The SMDH ASIC behavior was emulated inside the ProASIC3E (since the test chip was not available during the test setup). The FPGA OBC requested data from FPGA slave (test bed platform) through I2C bus, the same way the NanoSatC-BR1 OBC

will request the data when its development is completed. After the request acknowledgment, the ProASIC3E starts to send data from MIPS, SMDH ASIC tests and magnetometer measurements, following a prescribed priority.

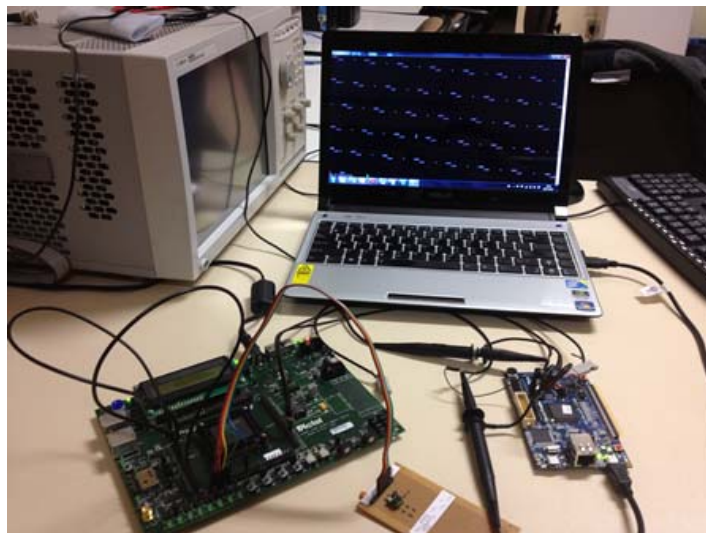
The data are received in the FPGA OBC and sent back to a computer, and logged for later analysis (Fig. 5). The results from MIPS and SMDH ASIC are conformed to the golden model, while the readouts from the magnetometer are compared to other measured sensors in the same environment. These were equivalent during all test conditions.

As near future work, the missing modules will be implemented to control the housekeeping circuits. New functional tests need to be performed with the real OBC and the SMDH test chip, and new consumption analysis needs to be remade, considering orbital patterns and battery capacities.

A more generic central block is intended to simplify the integration, configuration and control of new payloads and soft cores. The inclusion of different power modes can optimize battery capabilities and/or increase performance. A second nanosatellite mission project is under analysis, and the application of the test bed platform is been considered since the initial stages, to facilitate the partial integration of the payloads, and even to be embedded in the flight model.

## ACKNOWLEDGMENTS

The authors acknowledges the Brazilian Institutions: Coordenação de Aperfeiçoamento de Pessoal de Nível Superior – CAPES/MEC (for the scholarship), the Microelectronics Graduate Program of Universidade Federal do Rio Grande do Sul – PGMICRO/UFRGS, for financial support, and the Brazilian Space Agency.



**Figure 3 – The experimental setup hardware**

## REFERENCES

- [1] C. Kief et al., "The Advent of the PnP Cube Satellite", IEEE Aerospace Conference, March 2012.
- [2] M. Berg et al., "A Comprehensive Methodology for Complex Field Programmable Gate Array Single Event Effects Test and Evaluation", IEEE Transactions on Nuclear Science, vol. 56, no. 2, pp. 366-374, April 2009.
- [3] T. Oldham, F. McLean, "Total Ionizing Dose Effects in MOS Oxides and Devices," IEEE Transactions on Nuclear Science, vol. 50, no. 3, pp. 483-498, December 2003.
- [4] H. Barnaby, "Total-Ionizing-Dose Effects in Modern CMOS Technologies", IEEE Transactions on Nuclear Science, vol. 53, no. 6, pp. 3103-3121, December 2006.
- [5] J. Barth, "Modeling Space Radiation Environments", IEEE Nuclear and Space Radiation Effects Conference, Short Course, July 1997.
- [6] E. Stassinopoulos, "Radiation Environment in Space", IEEE Nuclear and Space Radiation Effects Conference, Short Course, 1990.
- [7] J. Tarrillo et al., "Analyzing the Effects of TID in an Embedded System Running in a Flash-Based FPGA", IEEE Transactions on Nuclear Science, vol. 58, no. 6, pp. 2855-2862, December 2011.
- [8] Microsemi Corp., "FPGA Reliability and the Sunspot Cycle", white paper, September 2011.
- [9] H. Quinn et al., "Flight Experience of the Xilinx Virtex-4 FPGA", Proceedings of the RADECS 2012, September 2012.
- [10] N. Schuch et al., "Progress in the NanoSatC-Br – Cubesats Development", 62nd International Astronautical Congress, October 2011.
- [11] J. Azambuja et al., "Detecting SEEs in Microprocessors Through a Non-Intrusive Hybrid Technique," IEEE Transactions on Nuclear Science, vol. 58, no. 3, pp. 993-1000, December 2011.

## Biographies



**William Guareschi** received a B.S. in Computer Science from Universidade Federal de Santa Maria, Santa Maria in 2011. He is a M.S. candidate in Microelectronics at UFRGS, Porto Alegre. His main research interests are FPGAs, computer architectures, fault tolerant systems and small nanosatellites systems. William is an IEEE student member, participating in the Circuits and Systems Society.



**José Rodrigo Azambuja** received a B.S. in Computer Engineering and M.S. in Computer Science from Universidade Federal do Rio Grande do Sul, Porto Alegre in 2008 and 2010. He is a Ph.D. candidate at the UFRGS. His main research interests are computer architectures and fault tolerant systems.



**Fernanda Kastensmidt** received a B.S. in Electrical Engineering and M.S. and Ph.D. in Computer Science from Universidade Federal do Rio Grande do Sul, Porto Alegre, in 1997, 1999 and 2003, respectively. She joined the Instituto de Informática faculty as a professor in 2005. Her current research focuses on soft error mitigation techniques for SRAM-based FPGAs and integrated circuits, such as microprocessors, memories and network-on-chips (NoCs), and the analysis and modeling of radiation effects in those circuits. She currently advises M.S. and Ph.D. theses at the Computer Science Graduation Program (PPGC) and at the Microelectronics Program (PGMICRO). Fernanda has published the book *Fault-Tolerance Techniques for SRAM-based FPGAs* in 2006. She is an IEEE member.



**Ricardo Reis** received a B.S. in Electrical Engineering (1978) and M.S. in Computer Science (1979) from Universidade Federal do Rio Grande do Sul, Porto Alegre. He received a DEA in Electronics and Radio communications and Ph.D. in Informatics at Institut National Polytechnique (INPG), Grenoble, in 1980 and 1983. His Postdoctoral work was at Laboratoire TIM3-IMAG/INPG, 1986. He is a professor at UFRGS and the Graduate Program in Microelectronics Coordinator. His main areas of research are Microelectronics, CAD, Physical Design, VLSI Design, VLSI CAD and radiation tolerant ASIC projects. Ricardo is a former IEEE Circuits

and Systems Society Vice-President and former Brazilian Computer Society President. He is an IEEE Senior Member.



**Otavio Durão** received a B.S. in Civil Engineering from Universidade Católica do Rio de Janeiro, Rio de Janeiro, in 1974, M.S. in Industrial Automation and Operational Research (1980) and Ph.D. in Industrial Automation (1986) from Pennsylvania State

University. At INPE, he is the Deputy Planning Coordinator, the former Head of the Space Mechanics and Control Division, and Engineer since 1986. Otavio is also the coordinator of the Space Politics Committee from Brazilian Aerospace Association, and a founding member of the Association. Committee member at Brazilian Space Agency representing INPE for two R&D programs. He is currently engaged in projects of development of small satellite in cooperation with Brazilian universities.



**Nelson Schuch** received a Lic.es Sci. in Physics from Universidade Federal de Santa Maria, Santa Maria, in 1972, M.S. in Astrophysics from Universidade Presbiteriana Mackenzie, São Paulo, in 1975, Ph.D. (1979) and Pos Doctor (1980) in Physics –

Astrophysics from University of Cambridge, England. He is the mentor of the actions for the development and construction of the INPE's Southern Regional Space Research Center and the Southern Space Observatory. His activities are related to high energy astrophysics, Sun-Earth interactions, space weather, geomagnetic storms and spatial geophysics. He leads nanosatellite developments project. Nelson is consultant and counselor of Brazilian Aerospace Association.



**Gustavo Dessbesel** received a B.S. in Computer Science from Universidade Federal de Santa Cruz do Sul, Santa Cruz do Sul, in 2003, and M.S. in Electrical Engineering from Universidade Federal de Santa Maria, Santa Maria, in 2008. His work is related

to electronic circuits, and the main topics are FPGAs, image processing, computational view, digital filters, embedded systems and digital ASICs design. Gustavo is currently an ASIC designer and Project Leader at Santa Maria Design House.