

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL
INSTITUTO DE INFORMÁTICA
PROGRAMA DE PÓS-GRADUAÇÃO EM MICROELETRÔNICA

MARCO ANTÔNIO DE SOUZA MADEIRA TERRES

**Arquiteturas de Conversores de Tensão
para Circuitos com Múltiplas Tensões de
Alimentação ajustadas de Forma Dinâmica**

Dissertação apresentada como requisito parcial para
a obtenção do grau de Mestre em Microeletrônica

Orientador: Prof. Dr. Ricardo Augusto da Luz Reis

Porto Alegre
2016

CIP — CATALOGAÇÃO NA PUBLICAÇÃO

Terres, Marco Antônio de Souza Madeira

Arquiteturas de Conversores de Tensão para Circuitos com Múltiplas Tensões de Alimentação ajustadas de Forma Dinâmica / Marco Antônio de Souza Madeira Terres. – Porto Alegre: PGMICRO da UFRGS, 2016.

73 f.: il.

Dissertação (mestrado) – Universidade Federal do Rio Grande do Sul. Programa de Pós-Graduação em Microeletrônica, Porto Alegre, BR-RS, 2016. Orientador: Ricardo Augusto da Luz Reis.

1. Microeletrônica. 2. CMOS. 3. VLSI. 4. Baixo consumo. 5. Potência Dinâmica. 6. Múltiplas Tensões de Alimentação. 7. Multiple Dynamic Supply Voltage. 8. Conversores de tensão. I. Reis, Ricardo Augusto da Luz. II. Título.

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL

Reitor: Prof. Carlos Alexandre Netto

Vice-Reitor: Prof. Rui Vicente Oppermann

Pró-Reitor de Pós-Graduação: Prof. Vladimir Pinheiro do Nascimento

Diretor do Instituto de Informática: Prof. Luis da Cunha Lamb

Coordenador do PGMICRO: Prof. Fernanda Gusmão de Lima Kastensmidt

Bibliotecária-chefe do Instituto de Informática: Beatriz Regina Bastos Haro

*“If I have seen farther than others,
it is because I stood on the shoulders of giants.”*

— SIR ISAAC NEWTON

AGRADECIMENTOS

Agradeço aos pais por me fornecerem todo suporte às minhas escolhas, pelo carinho e a educação que me deram.

Agradeço aos meus colegas de laboratório pelos momentos de ajuda, descontração e apoio.

Agradeço ao Guilherme Bontorin e à Cristina Meinhardt, que me ajudaram com ideias, revisões e me apoiaram nos momentos mais difíceis durante o mestrado.

Agradeço ao meu orientador, Ricardo Reis, pelo suporte e pela orientação que me forneceu.

Agradeço à minha namorada, Sheila, por todo suporte e paciência necessária.

RESUMO

Algumas técnicas foram criadas com o objetivo de reduzir o consumo de potência, dentre elas o uso de Múltiplas Tensões de Alimentação ajustadas de Forma Dinâmica (*Multiple Dynamic Supply Voltage* - MDSV). Essa técnica visa reduzir o consumo dinâmico utilizando pelo menos três tensões de alimentação diferentes dentro do chip. Para isso, é necessário que circuitos especiais de proteção sejam adicionados ao chip. Os conversores de tensão tem como objetivo aumentar ou diminuir o nível de tensão do sinal de entrada.

O custo de introduzir os conversores de tensão, em circuitos que utilizam a técnica MDSV, é alto. Uma vez que isso causa aumento da área total e altera a temporização do chip. Com base nisso, esse trabalho propõem adicionar um caminho alternativo para a corrente, desviando e desligando os conversores de tensão enquanto eles não são necessários. Cabe salientar que alguns conversores de tensão ficam sem utilidade por causa da característica dinâmica dos circuitos contruídos usando MDSV.

Com isso, neste trabalho é proposta uma nova construção para os conversores de tensão utilizados em conjunto com o MDSV. Nas simulações elétricas, os circuitos contendo essa nova construção apresentaram redução no tempo de propagação de até 13%, em comparação aos circuitos tradicionalmente utilizados para conversão de tensão. Além da redução no tempo de atraso, foram alcançadas reduções no consumo de potência na ordem de 14%.

Palavras-chave: Microeletrônica. CMOS. VLSI. Baixo consumo. Potência Dinâmica. Múltiplas Tensões de Alimentação. *Multiple Dynamic Supply Voltage*. Conversores de tensão.

Architectures using Level Shifters for circuits with Multiple Dynamic Supply Voltage

ABSTRACT

Some techniques have been created with the purpose of reducing power consumption, among them the Multiple Dynamic Supply Voltage (MDSV). This technique aims to reduce the dynamic consumption using at least three different supply voltages inside the chip. Therefore, it is necessary that special protection circuits to be added to the chip. Level shifter aims to increase or decrease the voltage level of the input signal.

The cost of introducing the voltage converters in circuits using the MDSV technique is high. As this causes increased total area and changes the timing of the chip. Based on this, this paper proposes to add an alternate path for current, deflecting off and the voltage converters as they are not required. It should be noted that some voltage converters are useless because of the dynamic characteristic of contruidos circuits using MDSV.

Thus, this work proposes a new construction for the voltage converters used in conjunction with MDSV. In electric simulations, the circuit containing this new construction decreased to 13% in the propagation time in comparison to the circuits traditionally used for voltage conversion. In addition to reducing the delay time, reductions were achieved in the power consumption on the order of 14%.

Keywords: Microelectronics, Complementary Metal - Oxide Semiconductor, Very Large Scale Integration, Low Power, Dynamic Power, Multiple Supply Voltage, Multiple Dynamic Supply Voltage, Level Shifters.

LISTA DE ABREVIATURAS E SIGLAS

ADB	<i>Adjustable Delay Buffer</i>
BFS	<i>Breadth-First Search</i>
CVS	<i>Clustered Voltage Scaling</i>
CTS	<i>Clock Tree synthesis</i>
CMOS	<i>Complementary Metal - Oxide Semiconductor</i>
DCVS	<i>Differential Cascode Voltage Switch</i>
DCVSL	<i>Differential Cascode Voltage Switch Logic</i>
DIBL	<i>Drain-Induced Barrier Lowering</i>
DRC	<i>Design Rule Checking</i>
DVS	<i>Dynamic Voltage Scaling</i>
DVFS	<i>Dynamic Voltage and Frequency Scaling</i>
ECVS	<i>Extended - Clustered Voltage Scaling</i>
EDA	<i>Electronic Design Automation</i>
GPS	<i>Global Positioning System</i>
HDMI	<i>High-Definition Multimedia Interface</i>
IP	<i>Intellectual Property</i>
ITRS	<i>Internacional Technology Roadmap for Semiconductors</i>
ISPD	<i>International Symposium on Phycical Design</i>
LCFF	<i>Level Converting Flip-Flop</i>
MHL	<i>Mobile High Definition Link</i>
MSV	<i>Multiple Supply Voltage</i>
MDSV	<i>Multiple Dynamic Supply Voltage</i>
MOS	<i>Metal - Oxide Semiconductor</i>
MUX	Multiplexador

MTCMOS *Multi-Threshold CMOS*

NFC *Near Field Communication*

PDP *Power-Delay Product*

PG *Power Gating*

RRPS *Row by Row optimized Power Supply*

RSMT *Rectilinear Steiner Minimal Tree*

RTL *Register Transfer Level*

SO *Operating System*

SoC *System on Chip*

TG *Transmission Gate*

VLSI *Very Large Scale Integration*

LISTA DE FIGURAS

Figura 1.1 Fluxo da síntese de projeto VLSI.	2
Figura 1.2 Corrente de curto-circuito em um inversor CMOS.	8
Figura 1.3 Previsão do consumo de potência.	9
Figura 2.1 Diferentes configurações de utilização do <i>Power Gating</i> aplicados em um inversor CMOS.	14
Figura 2.2 Tipos de topologias de <i>Power Gating</i>	16
Figura 2.3 Uso de duas técnicas para reduzir o consumo de potência.	17
Figura 2.4 Uma solução para o problema de interface entre domínio de potência.	18
Figura 2.5 Uso de uma porta complexa para realizar a função mostrada na Equação 2.1.	19
Figura 2.6 Exemplo de Clock Gating.	20
Figura 2.7 Particionamento linha-por-linha.	22
Figura 2.8 Particionamento na-linha.	23
Figura 2.9 Resultado do particionamento.	24
Figura 2.10 Resultado do particionamento área-por-área.	24
Figura 2.11 Exemplo de um <i>Clustered Voltage Scaling Structure</i>	26
Figura 2.12 Exemplo de um <i>Extended - Clustered Voltage Scaling Structure</i>	27
Figura 2.13 Diferenças entre os circuitos gerados pelos algoritmos CVS e ECVS.	29
Figura 2.14 Tensão de alimentação em diferentes modos de operação.	32
Figura 2.15 Exemplo de roteamentos.	33
Figura 2.16 Circuito de um Conversor de tensão que utiliza como base a lógica diferencial.	36
Figura 2.17 Circuito de um Conversor de tensão apresentado por Puri et al.	37
Figura 3.1 Utilização do módulo de conversão MDSV.	42
Figura 3.2 Proposições desse trabalho. Elas acrescentam um caminho alternativo para corrente fluir.	43
Figura 3.3 Circuitos utilizando o Multiplexador.	45
Figura 3.4 Circuitos finais utilizando o Transistor de Passagem	46
Figura 4.1 Forma de onda das entradas dos circuitos.	48
Figura 4.2 Circuitos utilizados durante as simulações elétricas.	48
Figura 4.3 Curva da potência em uma região alimentada pela tensão reduzida (V_{ddL}) e em uma região alimentada pela tensão nominal (V_{ddH}).	50
Figura 4.4 Gráfico contendo os resultados do atraso de propagação.	50
Figura 4.5 Consumo de potência nas regiões envolvidas na conversão de tensão.	51
Figura 4.6 Resultados do atraso de propagação t_{phl} da simulação dos conversores de tensão.	52
Figura 4.7 Resultados do atraso de propagação t_{plh} da simulação dos conversores de tensão.	53
Figura 4.8 Resultados da potência consumida pelos conversores de tensão.	53
Figura 4.9 Potência consumida pela região alimentada pela tensão reduzida (V_{ddL}).	54
Figura 4.10 Tempo de propagação da simulação com o circuito contendo os transistores dimensionados.	55
Figura 4.11 Resultados sobre a potência consumida pelo circuito durante a simulação.	56
Figura 4.12 Tempo de propagação da simulação com o circuito contendo os conversores de tensão utilizando a arquitetura proposta.	57
Figura 4.13 Potência consumida pelo conversor de tensão com as arquiteturas propostas.	57
Figura 4.14 Valores de PDP do circuito de teste.	58
Figura 4.15 Tempo de propagação da simulação elétrica.	59
Figura 4.16 Potência consumida pelas duas regiões do circuito de teste.	60

Figura 4.17 Potência extraída de cada uma das fontes de tensão que alimentaram os conversores de tensão do circuito de teste.	61
--	----

LISTA DE TABELAS

Tabela 1.1	Tabela com a porcentagem correspondente à redução do consumo de potência.....	4
Tabela 1.2	Tabela contendo os fatores que contribuem para que os circuitos ASIC's (típico e excelente) consumam mais do que o <i>Custom</i>	5
Tabela 2.1	Resultado das reduções no consumo de potência entre circuitos originais e circuitos que utilizam os algoritmos CVS e GECVS.....	31
Tabela 2.2	Tabela comparativa entre as técnicas de baixo consumo.....	32
Tabela 3.1	Número de conversores de tensão inseridos pela ferramenta.....	40
Tabela 3.2	Tabela com casos de uso da proposição	43
Tabela 4.1	Dimensionamento do circuito DCVS (HELLER et al., 1984).....	54
Tabela 4.2	Dimensionamento do circuito introduzido por (PURI et al., 2003).....	54
Tabela 4.3	Tabela contendo as tensões de alimentação utilizadas nas simulações elétricas	59
Tabela B.1	Dados da tabela contendo as transições NAND-NAND.....	70
Tabela B.2	Dados da tabela contendo as transições NAND-DCVS-NAND.....	71
Tabela B.3	Dados da tabela contendo as transições NAND-Puri-NAND.....	71
Tabela B.4	Dados da tabela contendo as transições NAND-DCVS-NAND dimensionados...	71
Tabela B.5	Dados da tabela contendo as transições NAND-Puri-NAND dimensionados.....	72
Tabela B.6	Dados da tabela contendo as transições NAND-DCVS.MUX-NAND dimensionados.....	72
Tabela B.7	Dados da tabela contendo as transições NAND-DCVS.TG-NAND dimensionados.....	72
Tabela B.8	Dados da tabela contendo as transições NAND-DCVS-NAND dimensionados...	73
Tabela B.9	Dados da tabela contendo as transições NAND-DCVS.TG-NAND dimensionados.....	73

SUMÁRIO

1 INTRODUÇÃO	1
1.1 Fluxo da Síntese de Circuitos VLSI	1
1.2 Potência	5
2 REVISÃO DAS TÉCNICAS DE REDUÇÃO DE CONSUMO	11
2.1 Técnicas de redução do consumo estático	11
2.1.1 <i>Reverse Body Bias</i>	11
2.1.2 <i>Dynamic Voltage Scaling</i>	12
2.1.3 <i>Multi-Vih Cell Swapping</i>	12
2.1.4 <i>MTCMOS Power Gating</i>	13
2.1.5 Problemas com <i>Power Gating</i>	14
2.1.5.1 Topologias	15
2.1.5.2 Dimensionamento dos transistores de desligamento	15
2.1.5.3 Granularidade	15
2.1.5.4 Outros problemas	16
2.2 Técnicas de redução de consumo dinâmico	20
2.2.1 <i>Multiple Supply Voltage</i>	21
2.2.1.1 <i>Clustered Voltage Scaling</i>	23
2.2.1.2 <i>Extended - Clustered Voltage Scaling</i>	26
2.2.1.3 <i>Greedy Extended - Clustered Voltage Scaling</i>	27
2.2.2 <i>Multiple Dynamic Supply Voltage</i>	31
2.2.2.1 Inserção de <i>Buffers</i>	33
2.2.3 Conversores de Tensão	35
3 CONVERSORES DE TENSÃO PARA USO COM O MDSV	39
3.1 Nova proposta de arquitetura de conversores de tensão para MDSV	41
3.2 Implementação da arquitetura proposta	43
4 RESULTADOS	47
4.1 Metodologia	47
4.2 Simulação de Referência	49
4.3 Conversores de tensão tradicionais	50
4.4 Conversores de tensão tradicionais dimensionados	53
4.5 MUX e TG	56
4.6 Arquitetura Proposta	58
5 CONCLUSÕES	62
5.1 Trabalhos Futuros	63
REFERÊNCIAS	64
APÊNDICE A — PUBLICAÇÕES	69
APÊNDICE B — TABELAS	70

1 INTRODUÇÃO

A constante redução de tamanho dos transistores MOS permitiu que muitos dispositivos tenham um aumento das funcionalidades integradas. Dispositivos como celulares, computadores portáteis, relógios de pulso e dispositivos médicos em geral apresentam cada vez mais novos recursos. Dentre eles podemos citar: bluetooth, *Near Field Communication* (NFC), saídas de vídeo (*High-Definition Multimedia Interface* (HDMI), *Mobile High Definition Link* (MHL)), circuitos para acompanhar sinais vitais, *Global Positioning System* (GPS), dentre outros.

Para acompanhar a crescente demanda de novas funcionalidades, o número de transistores presentes nesses dispositivos tem aumentado consideravelmente, provocando um aumento na energia necessária para alimentar esses dispositivos. Por serem dispositivos portáteis, o tamanho é um item importante. Essa restrição de tamanho levou a problemas relacionados à densidade de transistores por área, sendo esse um problema que causa aquecimento e consumo excessivo.

O alto consumo de energia pode causar problemas de duração em baterias, de confiabilidade e de aquecimento em circuitos. Dentre esses problemas, o aquecimento pode causar aumento do custo final do projeto, uma vez que será necessário um encapsulamento especial para o circuito.

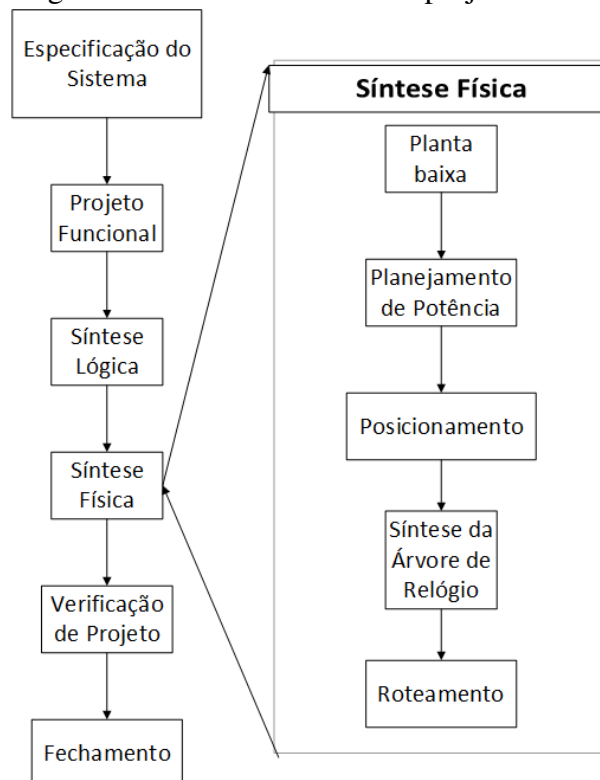
A necessidade de aumentar o número de transistores e de aumentar a frequência de operação dos circuitos faz com que diversas técnicas para reduzir o consumo venham sendo propostas ao longo dos anos. Estas técnicas são propostas visando tratar a potência desde as etapas iniciais do fluxo de síntese de circuitos integrados, até os níveis mais baixos do processo de projeto dos dispositivos.

1.1 Fluxo da Síntese de Circuitos VLSI

A Figura 1.1 apresenta uma visão de um fluxo de síntese, segundo (SHERWANI, 1993), composto pela especificação inicial, pelo projeto funcional, pela síntese lógica, síntese física, verificação do projeto até a fabricação.

Durante a especificação do sistema é feita uma descrição de todas as funcionalidades que o projeto necessita. Além disso, são passadas restrições do projeto, tais como a máxima área a ser utilizada pelo circuito, a máxima potência que esse circuito pode dissipar e as especificações dos IP's que vão ser utilizados no projeto do circuito. Junto com essa especificação, pode ser criado também um modelo comportamental do sistema. Esse modelo geralmente é escrito em

Figura 1.1: Fluxo da síntese de projeto VLSI.



Fonte: (SHERWANI, 1993)

alguma linguagem de programação com um alto nível abstração de dados, tais como C, C++, Java e entre outras.

Antes de passar para a síntese lógica, essa especificação e/ou programa devem ser codificados em uma linguagem de descrição de *hardware*. Durante a síntese lógica são levantadas as funções lógicas descritas em linguagem de descrição de *hardware* e essas funções lógicas são estruturadas de uma maneira otimizada em funções de menor complexidade, considerando as restrições de projeto escritas pelo projetista. Levando em consideração um projeto com células padrão, é durante a síntese lógica onde as bibliotecas de células, disponibilizadas pelas fábricas de circuitos integrados, são lidas. E, durante o passo de *technology mapping* essas células são selecionadas para compor o circuito que resulta da saída da síntese lógica. Esse circuito contém todas células e as conexões entre as células do circuito. Neste ponto, já é possível ter uma estimativa do tamanho do circuito, potência que ele dissipa e se a frequência de operação descrita no passo de especificação pode ou não ser alcançada.

Na síntese física, como destaca a Figura 1.1, são feitos cinco passos: o planejamento da planta baixa, o planejamento de potência, o posicionamento, a síntese da rede de relógio e a roteamento das conexões.

O planejamento da planta baixa consiste em organizar os macro blocos que fazem parte

do circuito e provavelmente foram criados ainda na fase de codificação pela equipe de projetistas. Nesse momento, é feita a escolha de onde cada módulo vai ser posicionado dentro da área do chip. Além disso, durante o planejamento da planta baixa são passadas algumas restrições que vão ser levadas em conta nos próximos passos da síntese física. Tais restrições podem influenciar desde o planejamento da distribuição das conexões de energia até o roteamento das conexões de sinais.

O planejamento de potência tem como objetivo fazer a correta distribuição da alimentação para cada uma das células dentro do circuito. Durante esse passo são projetados os anéis de alimentação e, se necessário, as linhas de reforço de sinal. Em módulos que possuem como característica o alto consumo de energia, é necessária a criação de anéis de alimentação específicos para fazer a alimentação desse módulo.

O posicionamento tem o objetivo de posicionar as células dentro da área do chip. O posicionamento visa reduzir ao máximo a área do chip, para isso, um dos focos dos algoritmos utilizados é reduzir o comprimento total das conexões. Contudo, o maior objetivo do posicionamento é gerar um circuito em que todas as conexões possam ser roteadas.

A síntese da rede de relógio é a etapa do fluxo de projeto que trata da construção da rede de relógio. Essas árvores são montadas utilizando *buffers* e inversores, que são inseridos para melhorar o sinal de relógio. Como esse sinal é muito importante e necessita chegar em quase todas as partes do circuito, é dada a precedência de roteamento para esse sinal. Ou seja, o roteamento da árvore de relógio é feito com total liberdade, portanto, sem nenhuma restrição aplicada ao roteamento. Por isso, essa etapa é realizada antes do roteamento global e do roteamento detalhado.

O roteamento é a etapa dentro da síntese física onde são criadas as conexões físicas entre as células. Para que o resultado do roteamento seja satisfatório, é necessário que o posicionamento tenha sido bem feito. Se uma conexão que liga duas células for muito grande, pode causar problemas de precisão no sinal e de aumento do tempo atraso, que podem ser identificados durante a análise de integridade de sinal e de temporização.

A verificação do projeto pode ser dividida em três fases: a verificação da especificação, lógica e física. É um processo que acompanha todo o fluxo de projeto do circuito. Durante a fase de especificação, a verificação tem como objetivo avaliar se o modelo comportamental segue a especificação do sistema. Ao final da síntese lógica, é feita uma verificação lógica para avaliar se a síntese lógica não alterou a função lógica do circuito. E, finalmente, na verificação física são avaliados possíveis problemas de *Design Rule Checking* (DRC). Qualquer violação de DRC, pode causar uma série de defeitos físicos no circuito.

Tabela 1.1: Tabela com a porcentagem correspondente à redução do consumo de potência.

Técnica	Redução
Síntese voltada ao baixo consumo	15%
<i>Clock Gating</i>	8%
Mudanças na arquitetura/lógica	45%
Redução da alimentação	32%

Fonte: (BRENNAN et al., 1998)

Durante a finalização do projeto é gerado o conjunto de arquivos que contém as formas geométricas dos transistores. Esses arquivos são gerados apenas quando o circuito passou por todas as etapas de verificação e, durante essas etapas, nenhuma falha foi encontrada.

Os melhores resultados na redução do consumo de potência são alcançados nas fases iniciais do projeto, como é sugerido por (BRENNAN et al., 1998). A Tabela 1.1, (BRENNAN et al., 1998) mostra a parcela que cada uma das etapas do fluxo voltado ao baixo consumo. Segundo (BRENNAN et al., 1998), as mudanças aplicadas na lógica e na arquitetura do circuito resultaram em 45% do total da redução da potência. Seguido pela redução da tensão de alimentação, que foi responsável por 32%. As outras técnicas aplicadas durante o fluxo, foram responsáveis pelos outros 23%. Essa tabela apresentada, demonstra que mudanças feitas ainda durante o início do projeto são as mais efetivas. Também cabe ressaltar, a importância da redução da tensão de alimentação para a dissipação da potência.

Outro trabalho, (CHINNERY; KEUTZER, 2007) avaliou o impacto de diferentes níveis de síntese. E segundo (CHINNERY; KEUTZER, 2007), existem vários fatores que pesam contra o consumo de potência em circuito ASIC perante os circuitos produzidos de forma customizada. A tabela 1.2 apresenta uma relação entre cada umas das etapas destacadas por (CHINNERY; KEUTZER, 2007). Nela foi utilizada a nomenclatura de "ASIC excelente" para aqueles circuitos que foram projetados utilizando ferramentas voltadas para baixo consumo e alto desempenho.

Os resultados apresentados na Tabela 1.2 comprovam que mudanças na micro arquitetura potencializam a redução de consumo. Técnicas como *pipeline*, possibilitam que a temporização requerida pela especificação do circuito seja atingida e que outras técnicas de redução de consumo sejam aplicadas. O *pipeline* de maneira isolada causa aumento no número de registradores e, por consequência, gera um aumento no consumo dinâmico do circuito. Essa penalidade é irrelevante visto os grandes ganhos que são alcançados por outras técnicas como o uso de várias tensões de alimentação, que visam a redução do consumo do potência.

Tabela 1.2: Tabela contendo os fatores que contribuem para que os circuitos ASIC's (típico e excelente) consumam mais do que o *Custom*.

Fator Contribuinte	ASIC Típico	ASIC Excelente
Micro arquitetura	5,1x	1,9x
<i>Clock Gating</i>	1,6x	1,0x
Estilo da Lógica	2,0x	2,0x
Design Lógico	1,2x	1,0x
Mapeamento Tecnológico	1,4x	1,0x
Dimensionamento de célula e fio	1,5x	1,1x
<i>Voltage Scaling</i>	4,0x	1,0x
Planejamento da Planta-baixa e Posicionamento	1,5x	1,1x
Processo Tecnológico	1,6x	1,0x
Variação do Processo	2,0x	1,3x

Fonte: (CHINNERY; KEUTZER, 2007)

1.2 Potência

A potência de um circuito em tecnologia *Complementary Metal - Oxide Semiconductor* (CMOS) pode ser dividido em dois fatores: potência estática e potência dinâmica. Sendo essa última dividida ainda em: potência de carga e descarga e potência de curto circuito (CHANDRAKASAN; SHENG; BRODERSEN, 1992). A equação 1.1 apresenta a composição da P_{total} em função desses dois fatores. Já a equação 1.4 mostra as componentes da potência dinâmica.

$$P_{total} = P_{estatica} + P_{dinamica} \quad (1.1)$$

O consumo estático existe por causa da existência de duas correntes: a de fuga no *gate* e a de *subthreshold* nos transistores MOS. Essa última corrente ocorre quando a tensão de *gate-source* é menor do que a tensão de limiar (V_{th}), isso causa uma variação na concentração de cargas minoritárias que estão no canal do MOSFET. Essa variação acaba gerando uma corrente de difusão entre *drain* e *source*. Existe um modelamento dessa corrente proposto em (CHANDRAKASAN; BOWHILL; FOX, 2000):

$$I_{subthresholdleakage} = c\mu \frac{\varepsilon_{ox}}{t_{ox}} \frac{W}{L_{eff}} \left(\frac{kT}{q} \right)^2 e^{\frac{q(V_{GS} - V_{th0} - \gamma V_b + \eta V_{DS})}{mkT}} \left(1 - e^{-\frac{qV_{DS}}{kT}} \right) \quad (1.2)$$

Onde:

c é uma constante;

k é a constante de Boltzmann;

q é a carga de um elétron;

T é a temperatura;

V_{DS} é a tensão de *drain* para *source*;

V_{GS} é a tensão de *gate* para *source*;

V_{th0} é a tensão de limiar zero *bias*;

V_b é a tensão de *bias* de corpo;

γ é o coeficiente de efeito de corpo;

m é o coeficiente de variação de *subthreshold*;

η é o coeficiente de *Drain-Induced Barrier Lowering* (DIBL).

Já a corrente de fuga do *gate* é causada por um alto campo elétrico existente no óxido de *gate*, gerando um tunelamento de elétrons pelo óxido de *gate* do transistor (ROY; MUKHOPADHYAY; MAHMOODI-MEIMAND, 2003). A corrente de tunelamento pode ser modelada da seguinte forma, segundo (LEE; BLAAUW; SYLVESTER, 2004):

$$I_{ox} = aL_{eff}e^{bV_{GS}-ct_{ox}^{-2,5}} + aL_{eff}e^{bV_{GD}-ct_{ox}^{-2,5}} \quad (1.3)$$

Onde:

a, b e c são constantes;

L_{eff} é o comprimento efetivo do canal;

V_{GS} é a tensão de *gate* para *source*;

V_{GD} é a tensão de *gate* para *drain*;

t_{ox} é a espessura do óxido de *gate*.

A corrente de *subthreshold* aumenta quando a tensão de limiar (V_{th}) é reduzida e quando a temperatura aumenta. Em contraponto, corrente de fuga do *gate* apresenta um aumento exponencial quando a espessura do óxido do *gate* (t_{ox}) é diminuída. Ambas correntes variam de maneira significativa dependendo do nível lógico aplicado na entrada (*gate*). A corrente de *subthreshold* aumenta de maneira considerável quando existe apenas um transistor no caminho entre o V_{dd} e a GND . Do mesmo modo que a corrente de *gate* é máxima quando existe uma igualdade entre as tensões V_{GS} , V_{GD} e V_{dd} .

Nos processos de fabricação menores do que 90 nm, a parcela do consumo correspondente à potência estática varia entre 10% e 30% do consumo total enquanto o circuito está ativo (CHINNERY; KEUTZER, 2007). Esses valores podem aumentar quando são consideradas aplicações de baixo desempenho, onde o circuito permanece longos tempos em estado de

espera. A escolha da tensão de alimentação e da tensão de limiar (V_{th}) são dois fatores a serem considerados.

A $P_{dinamica}$ é a composição entre potência de carga e descarga das capacitâncias e a potência de curto circuito. Como mostra a equação 1.4:

$$P_{dinamica} = P_{cargaedescarga} + P_{curtocircuito} P_{dinamica} = \alpha \cdot C \cdot f \cdot V_{dd}^2 \quad (1.4)$$

Onde:

α é a atividade de chaveamento;

C é a capacitância de carga;

f é a frequência de operação do célula ;

V_{dd} é a tensão de alimentação da célula.

A potência dinâmica é diretamente proporcional à frequência de chaveamento do circuito e quadraticamente proporcional a tensão de alimentação, como mostra a equação 1.4. A atividade de chaveamento do circuito é um fator muito importante no consumo geral do circuito, ainda mais quando o circuito é muito afetado por *glitches*. Sendo eles, responsáveis por 15% a 20% da atividade dos circuitos CMOS. Esse consumo de potência acontece pela carga e descarga das capacitâncias (C), que podem ser divididas em capacitâncias internas e externas do transistor *Metal - Oxide Semiconductor* (MOS).

Existe ainda a potência de curto circuito, que é a potência consumida pela ocorrência da ligação "direta" entre a V_{dd} e GND , e será dependente da corrente de curto circuito ($I_{curtocircuito}$), como mostra a equação 1.6. A potência de curto circuito contribui com cerca de 10% do consumo dinâmico de um circuito (CHINNERY; KEUTZER, 2007).

$$I_{cc} = c\mu \frac{\varepsilon_{ox}}{t_{ox}} \frac{W}{L_{eff}} \frac{1}{V_{dd}} (V_{dd} - 2V_{th})^3 s_{in} \quad (1.5)$$

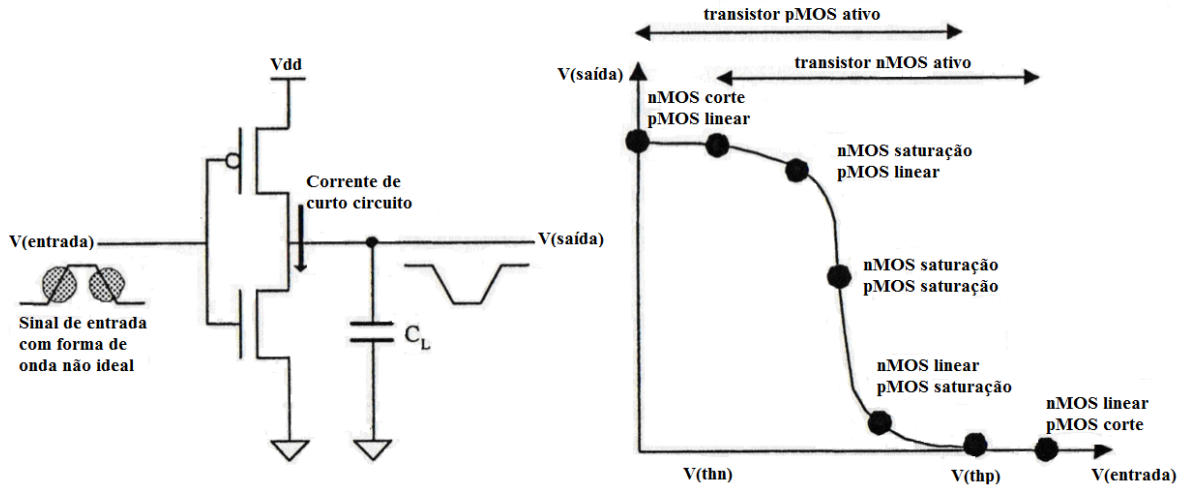
Onde:

c é uma constante;

s_{in} é a inclinação do sinal de entrada.

No caso de um inversor CMOS a corrente de curto-circuito aparece quando os transistores NMOS e PMOS estão permitindo a passagem de corrente pelos seus canais (Figura 1.2). Isso ocorre por causa da inclinação da reta (*slew rate*) das ondas de entrada. Essa inclinação influi diretamente no tempo que a onda leva para, saindo do nível baixo chegar no nível alto, ou vice e versa. Ainda, (VEENDRICK, 1984) analisando o circuito da Figura 1.2 sem a carga de

Figura 1.2: Corrente de curto-circuito em um inversor CMOS.



Fonte: (SOUDRIS; PIGUET; GOUTIS, 2002)

saída e assumindo que $\alpha = 2$, modelou a corrente de curto circuito da seguinte maneira:

$$P_{curtocircuito} = I_{curtocircuito} \cdot V_{dd} \quad (1.6)$$

A existência das capacitâncias internas e externas ao transistor também afetam o tempo de propagação do sinal. Existe um modelo matemático que descreve o atraso em função da corrente de saturação do dreno que foi modelada utilizando as tensões de entrada e de limiar (SAKURAI; NEWTON, 1991):

$$I_{saturacao\ do\ dreno} = c \mu \frac{\epsilon_{ox}}{t_{ox}} \frac{W}{L_{eff}} (V_{in} - V_{th})^\alpha \quad (1.7)$$

$$d = C \frac{V_{dd}}{I_{saturacao\ dreno}} = k \frac{CV_{dd}}{W(V_{dd} - V_{th})^\alpha} \quad (1.8)$$

Onde:

c é uma constante;

μ é a mobilidade da carga portadora;

ϵ_{ox} é a permissividade elétrica;

t_{ox} é a espessura do óxido de gate;

L_{eff} é o comprimento efetivo do canal;

W é a largura do transistor;

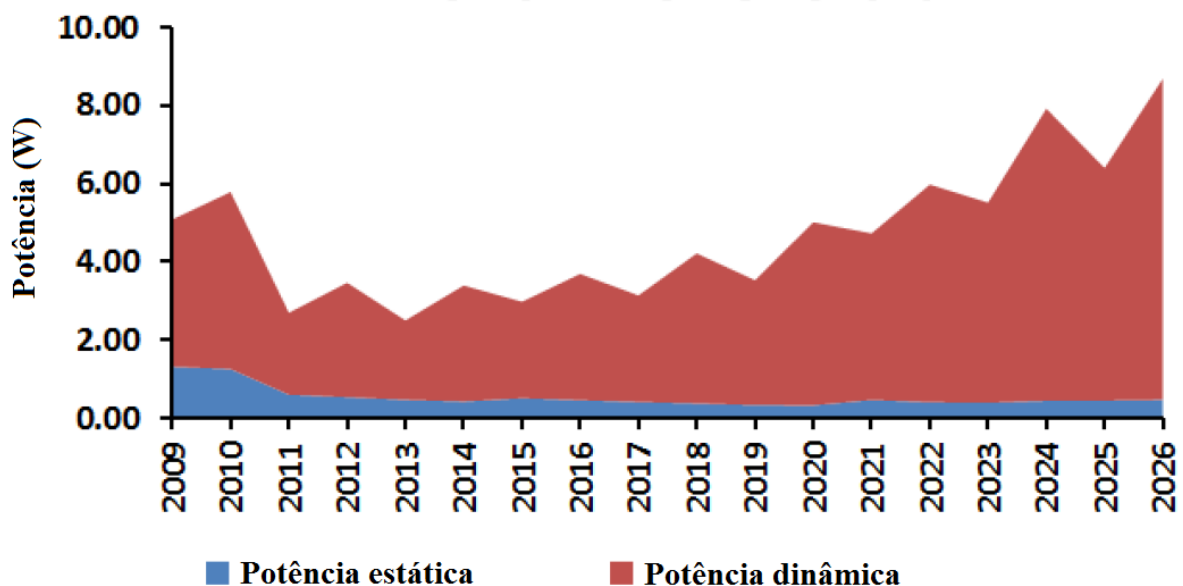
V_{in} é a tensão de entrada do transistor NMOS;

V_{th} é a tensão de limiar;

α é a velocidade de saturação.

A Figura 1.3 mostra a projeção feita em 2011 pela *Internacional Technology Roadmap for Semiconductors* (ITRS) sobre o consumo de potência estática e dinâmica nos próximos anos, destacando como a componente principal do consumo de potência a potência dinâmica. Vale ressaltar que a parcela do consumo estático na tecnologia CMOS é muito pequena considerando apenas tecnologias maiores que 100 nm. Na busca de bons resultados na redução do consumo, o foco principal das pesquisas é o consumo dinâmico.

Figura 1.3: Previsão do consumo de potência.



Fonte: ITRS 2011

Algumas técnicas foram desenvolvidas para tentar reduzir o consumo de energia. Dentre essas técnicas, destaca-se o uso de mais de uma tensão para alimentar o circuito. A tensão de alimentação reduzida é atribuída através de critérios que levam em conta as restrições de temporização das células lógicas. Quando as células conseguem realizar a operação lógica em menos tempo do que o previsto, a tensão de alimentação é reduzida.

Contudo, a interface entre as células alimentadas pela tensão original e as células alimentadas pela tensão reduzida, apresentou um conjunto de problemas. Esses problemas tem relação com o atraso e o consumo dinâmico excessivos. Para resolver tais problemas, foram adicionados circuitos de proteção, chamados conversores de tensão. Os conversores de tensão devem ser acrescentados entre os caminhos das células alimentadas por tensões diferentes, uma vez isso feito, os problemas de atraso e consumo são reduzidos.

Entretanto, o MDSV surgiu e levou o uso de múltiplas tensões de alimentação para um

novo patamar. Além de reduzir a tensão de alimentação das células com tempo de sobra, o MDSV adicionou a possibilidade de desligar porções do circuito quando essas porções não estão sendo utilizadas. Com isso, o MDSV adicionou novo desafio na inserção de *buffers* e conversores de tensão. As inserções de *buffers* devem acontecer dentro das áreas onde as células lógicas não serão desconectadas da linha de alimentação. Do mesmo jeito que, em determinados instantes, os conversores de tensão podem ser desviados e também desligados. Com isso, é possível reduzir ainda mais as penalidades de atraso e consumo existentes nas interfaces entre as regiões alimentadas por tensões diferentes.

Nesse contexto, esse trabalho tem como objetivo:

- Encontrar soluções para diminuir o consumo de potência dinâmica e estática;
- Identificar soluções para circuitos conversores de tensão;
- Propor uma nova arquitetura para os conversores de tensão que leve em consideração a forma dinâmica de alterar a tensão de alimentação do circuito.

Esse trabalho está organizado da seguinte maneira: o Capítulo 2 discute sobre o estado da arte nas técnicas que visam reduzir o consumo de potência em circuitos VLSI, informa também sobre os circuitos de conversores de tensão pesquisados durante esse trabalho. No Capítulo 3 foram apresentados os conceitos utilizados e que resultaram os circuitos de conversores de tensão propostos por esse trabalho. O Capítulo 4 apresenta os resultados das simulações elétricas dos circuitos propostos comparados com os circuitos que foram apresentados como estado da arte. E, finalmente, o Capítulo 5 mostra as considerações finais sobre esse trabalho, assim como os trabalhos futuros relacionados com esse trabalho.

2 REVISÃO DAS TÉCNICAS DE REDUÇÃO DE CONSUMO

Esse capítulo aborda o estado da arte, iniciando com uma discussão sobre técnicas que visam reduzir o consumo estático e, logo após, o consumo dinâmico em circuitos. O funcionamento dessas técnicas é detalhado e mostra as diferentes características da construção de circuitos utilizando cada uma delas. Foram feitas avaliações sobre os dois circuitos que são utilizados como conversores de tensão. Os conversores de tensão são inseridos entre as células lógicas alimentadas por diferentes tensões. A inserção deles serve como medida de proteção contra problemas de alto consumo e de prevenção de possíveis falhas no funcionamento ideal do circuito.

2.1 Técnicas de redução do consumo estático

O consumo estático não era o foco das pesquisas até que foram alcançadas as tecnologias com dimensões menores que um micrometro (CHINNERY; KEUTZER, 2007). A partir desse momento, os esforços dos pesquisadores se dividiram entre os dois fatores do consumo de potência nos circuitos: a potência dinâmica e a potência estática. Essa seção tem como objetivo mostrar algumas técnicas que são utilizadas para reduzir o consumo estático, técnicas que já foram citadas na seção 1.1.

2.1.1 *Reverse Body Bias*

Uma vez que o consumo estático é uma função da tensão de limiar (V_{th}), aumentando o V_{th} a potência estática diminui. Uma forma de controlar a tensão de limiar é usar o *Reverse Body Bias* (RBB), que consiste em polarizar o substrato ou o corpo do transistor a fim de aumentar o V_{th} . Contudo existe uma penalidade ligada à técnicas que aumentam a tensão de limiar, pois essa medida acaba por fazer com que o transistor tenha transições mais lentas. Uma forma de equilibrar isso é variar a polarização de acordo com o estado lógico da célula em questão. Ou seja, quando a célula está desativada é proveitoso que o RBB seja ativado. Enquanto a célula lógica está ativa e necessitando que saída tenha uma resposta rápida em relação à entrada, o RBB deve ser desativado.

Outra desvantagem dessa técnica, é que ela necessita de um gerador de polarização. E esse gerador de polarização vai consumir potência dinâmica, por isso é importante fazer uma

avaliação da especificação funcional do circuito para saber se adicionar tal técnica vai melhorar ou piorar o consumo total.

2.1.2 *Dynamic Voltage Scaling*

O *Dynamic Voltage Scaling* surgiu com o objetivo de ajudar o circuito a apresentar um bom desempenho aliado com bom consumo de energia. Essa técnica vem sendo bastante aplicada para reduzir a dissipação de potência dinâmica (KAVOUSIANOS et al., 2012) (BURD; BRODERSEN, 2000) e potência estática (CHINNERY; KEUTZER, 2007). O DVS consegue esses ganhos, reduzindo a tensão de alimentação durante períodos de baixo atividade do circuito. Como penalidade, o atraso de execução de uma determinada atividade é aumentado.

O uso do DVS, geralmente, é aplicado em conjunto com o particionamento do circuito em áreas, isso tem como foco proporcionar um aumento na redução de energia necessário para fazer o circuito operar. Cada uma dessas áreas possui uma tensão de alimentação diferente, essa alimentação pode variar de acordo com a necessidade de desempenho da atividade que está sendo executada no momento (LACKEY et al., 2002) (PURI et al., 2003) (PURI; KUNG; STOK, 2005).

A maioria dos trabalhos relacionados a DVS abordam a escolha da tensão de alimentação e frequência corretas para a execução de uma determinada tarefa (KIM, 2006). Em (YAO; DEMERS; SHENKER, 1995), foi proposto um algoritmo de escolha de tensão que leva em consideração o tempo de chegada, o tempo limite de execução e o número de ciclos de CPU necessários para executar a tarefa. A técnica proposta em (YAO; DEMERS; SHENKER, 1995), computa a velocidade de execução, determinando o tempo de começo e fim de cada uma das tarefas. Outra forma de resolver o problema da escolha de tensão foi proposto em (SHIN; KIM; LEE, 2001), onde a tensão é escolhida durante a execução da tarefa, ou seja, o número de ciclos de CPU necessários para executar a tarefa pode mudar durante a execução da mesma.

A principal desvantagem do uso do DVS é a necessidade de um circuito para monitorar/prever a carga do sistema/região, além de precisar de um regulador de tensão dinâmico.

2.1.3 *Multi-Vth Cell Swapping*

O *Multi-Vth Cell Swapping* é outra técnica que altera o valor do V_{th} para reduzir o consumo de potência estática. Contudo, essa técnica se diferencia do RBB por fazer a escolha do

valor da tensão de limiar em tempo de síntese. Ou seja, durante a síntese é escolhido um transistor com o valor apropriado de V_{th} para aquela determinada célula lógica conseguir cumprir as regras de temporização impostas durante a especificação do circuito.

Geralmente as *foundries* disponibilizam bibliotecas com transistores com três tipos de V_{th} : alto- V_{th} , padrão- V_{th} e baixo- V_{th} . Os transistores de alto- V_{th} , que possuem uma baixa corrente de fuga, são alocados nos caminhos em que as células lógicas possuem uma certa folga quanto as restrições de temporização, visto que são transistores de resposta mais lenta aos estímulos de entrada. Os transistores com baixo- V_{th} , que possuem uma alta corrente de fuga, são utilizados nos caminhos grandes restrições de temporização, porque são transistores com resposta mais rápida.

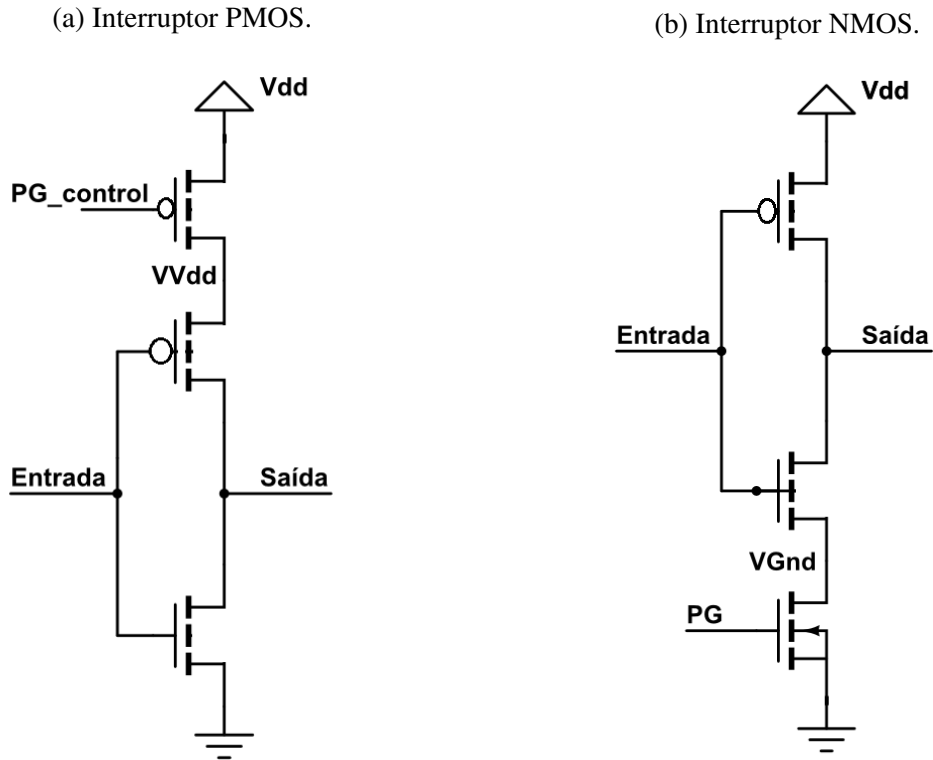
2.1.4 MTCMOS Power Gating

Dentre as técnicas que visam combater o consumo estático apresentadas até o momento abordaram soluções ligadas ao V_{th} , trocando o valor da tensão de limiar em tempo de execução ou em tempo de síntese. No entanto, o aumento das funções integradas em um mesmo *die* aumentou a capacidade de processamento de dados desses circuitos, impactando no uso dessas funções durante o tempo de atividade do circuito. Com isso, muitas regiões dentro desse circuito podem permanecer em longos períodos de inatividade e mesmo assim continuar a contribuir com o consumo de potência.

Tendo esse problema para resolver, o *Power Gating* foi criado com a finalidade de desconectar as células lógicas das linhas de alimentação e, por consequência, reduzindo a potência estática. MTCMOS *Power Gating* é uma técnica que adiciona um transistor especial em série com a célula lógica. Esse transistor tem como objetivo desconectar a linha de alimentação e criar linhas virtuais de alimentação (virtual V_{dd} e GND). A Figura 2.1 mostra as configurações de *Power Gating* em um inversor CMOS: na Figura 2.1a foi adicionado um transistor PMOS (*header*) entre a linha de V_{dd} e a célula lógica, criando uma alimentação virtual chamada de VV_{dd} ; na Figura ?? foi adicionado um transistor NMOS (*footer*) entre a célula lógica e linha de GND , criando uma linha de terra virtual chamada de $VGnd$.

O processo *Multi-Threshold* CMOS (MTCMOS) é fundamental na redução do consumo estático, uma vez que é necessário que sejam atribuídos valores específicos para as tensões de limiar dos transistores para serem utilizados com o *Power Gating*. É desejável que os transistores que fazem parte da célula lógica sejam de baixo- V_{th} e que os transistores utilizados como chaves do *Power Gating* sejam de alto- V_{th} . Por questões de desempenho, a maioria dos

Figura 2.1: Diferentes configurações de utilização do *Power Gating* aplicados em um inversor CMOS.



Fonte: Autor

circuitos que utilizam o *Power Gating* usam a configuração com o transistor NMOS sendo a chave de desligamento. Além de cortar a alimentação, os transistores de desligamento também aumentam o número de transistores ligados em série o que reduz o V_{GS} , reduzindo também a corrente de *subthreshold*.

O *Power Gating* pode ser aplicado em conjunto com as outras técnicas apresentadas. Quando aplicado em circuitos de maneira isolada, o *Power Gating* conseguiu alcançar de 10x a 100x de redução do consumo estático. Esses valores aumentaram quando o *Power Gating* foi combinado com o RBB (KOSONOCKY et al., 2001).

2.1.5 Problemas com *Power Gating*

Apesar de ser uma técnica que apresenta resultados bem consistentes, o *Power Gating* possui alguns problemas de projeto, tais como a escolha da topologia, o dimensionamento dos transistores de desligamento, a granularidade e outros.

2.1.5.1 Topologias

Existem três tipos de topologias para implementar o *Power Gating*: a global, a local e a celular. Essas três topologias diferem entre si pela maneira como o transistor de desligamento está ligado à célula lógica.

A topologia global utiliza vários transistores de desligamento ligados juntos para formar a linha virtual, Figura 2.2a, dessa maneira uma grande rede de terra é compartilhada entre os blocos escolhidos. Essa topologia é efetiva em blocos grandes, onde todas as células lógicas dentro dele serão desconectadas ao mesmo tempo.

Quando o circuito apresenta blocos menores e com controles de *Power Gating* mais complexos, a topologia mais efetiva é a local. Nessa topologia, cada transistor de desligamento controla um bloco, como pode ser visto na Figura 2.2b. Dessa maneira, a topologia local diminui a complexidade do planejamento de planta-baixa e do posicionamento, uma vez que é flexível para se adaptar a blocos menores.

Outra abordagem bastante flexível é a topologia celular, que consiste em ligar um transistor de desligamento em cada célula lógica do circuito, abordagem destacada na Figura 2.2c. Essa topologia tem a vantagem de apresentar um cálculo do atraso fácil. Por outro lado, como desvantagens apresenta: o aumento de área; o aumento do consumo dinâmico, por causa do aumento da atividade de chaveamento.

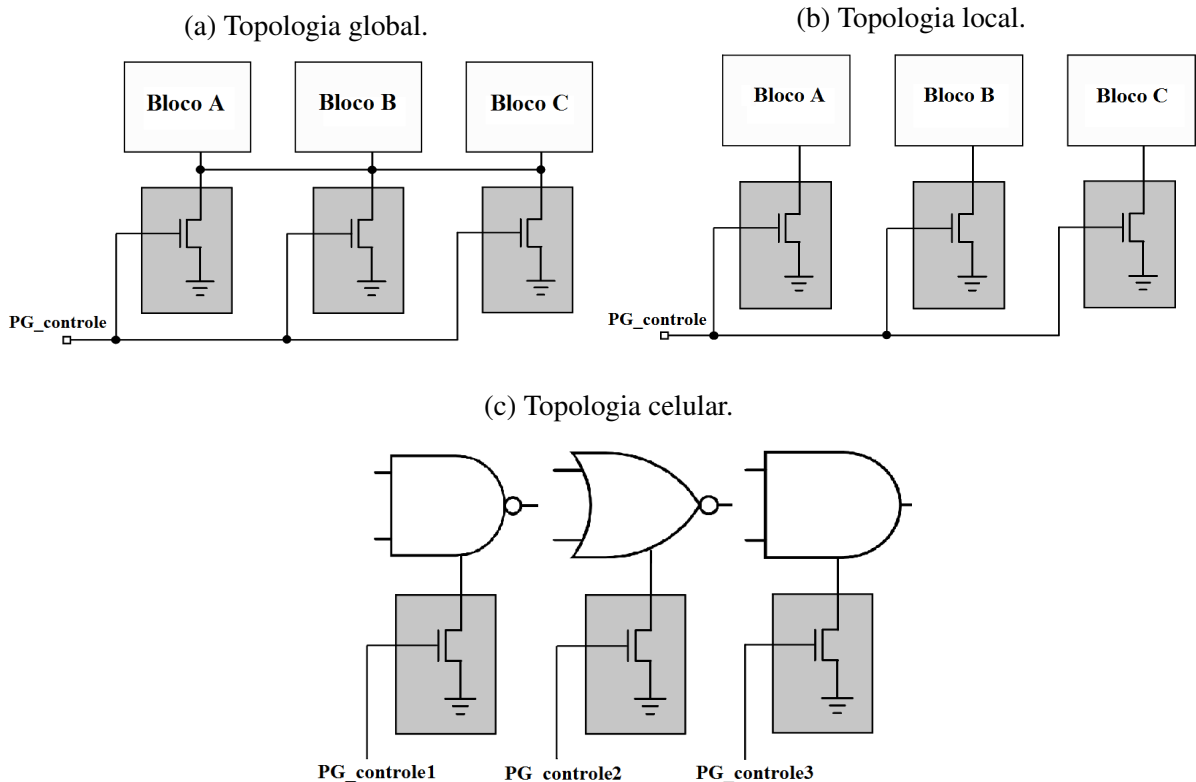
2.1.5.2 Dimensionamento dos transistores de desligamento

Todas as topologias apresentadas na seção anterior apresentam um problema de equilíbrio do dimensionamento, todas elas buscam o dimensionamento que minimize a penalidade de área imposta pela adição dos transistores de desligamento.

A principal regra para o dimensionamento dos transistores de desligamento é que eles devem ter o maior tamanho possível para reter a tensão de alimentação virtual. Entretanto, para manter uma baixa resistência, é necessário que eles sejam fisicamente grandes. Os modelos de transistores mostram que quanto maior a dimensão, menor é a redução no consumo estático (CHOI; XU; SAKURAI, 2005) (KOSONOCKY et al., 2001).

2.1.5.3 Granularidade

A escolha de qual granularidade usar impacta em fatores lógicos e físicos. Considere dois circuitos: um que possui apenas um controle para desligamento e todas as células lógicas estão ligadas nele; e um que possui vários transistores de desligamento e cada um desses transis-

Figura 2.2: Tipos de topologias de *Power Gating*.

Fonte: (CHINNERY; KEUTZER, 2007)

tores controla alguma unidade de processamento. O primeiro circuito possui uma granularidade do tipo simples e o segundo, possui uma granularidade do tipo fina.

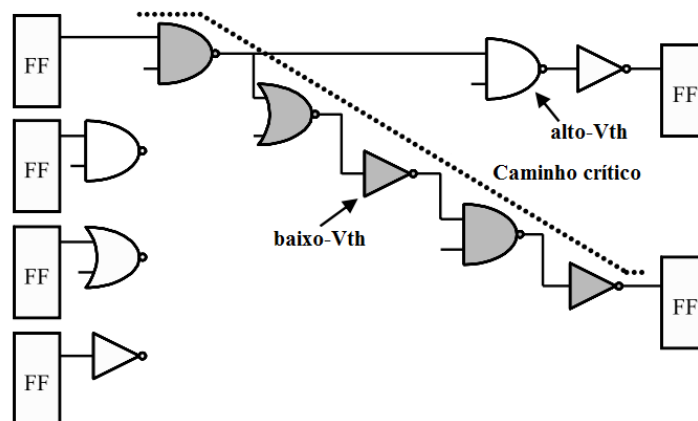
Circuitos que possuem granularidade fina tem como característica diminuir a corrente de *subthreshold*, ou seja, reduzem o consumo de potência durante o período em que a célula lógica está ativa. Enquanto os circuitos com granularidade simples visam diminuir o consumo durante os períodos de inatividade das células lógicas, sem alterar o consumo enquanto a célula lógica está ativa.

Outro tipo de granularidade existe quando é considerado se o *Power Gating* vai ser aplicado em todo o circuito ou em apenas algumas regiões (seletivo). Portanto, quando é utilizado o *Power Gating* seletivo, automaticamente a granularidade fina será utilizada para controlar aquela porção do circuito e o Multi-V_{th} poderá ser aplicado para potencializar a redução no consumo de potência, como mostra a Figura 2.3.

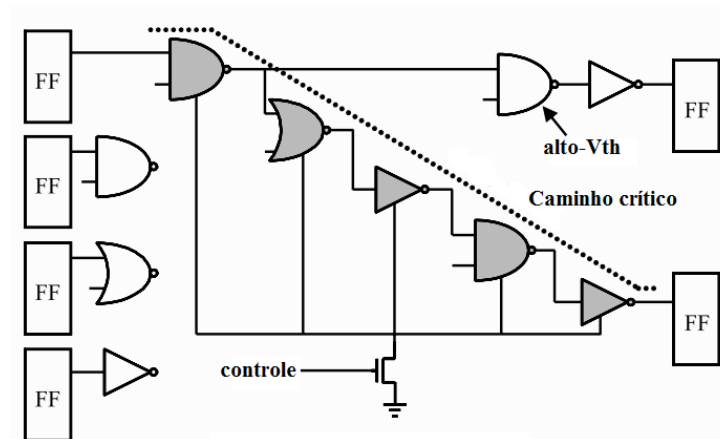
2.1.5.4 Outros problemas

Existem ainda outros problemas que envolvem o uso de *Power Gating* e que devem ser considerados no projeto de circuito elétrico.

Figura 2.3: Uso de duas técnicas para reduzir o consumo de potência.
(a) Uso do *Multi-Vth*.



(b) Implementação do *Power Gating*.



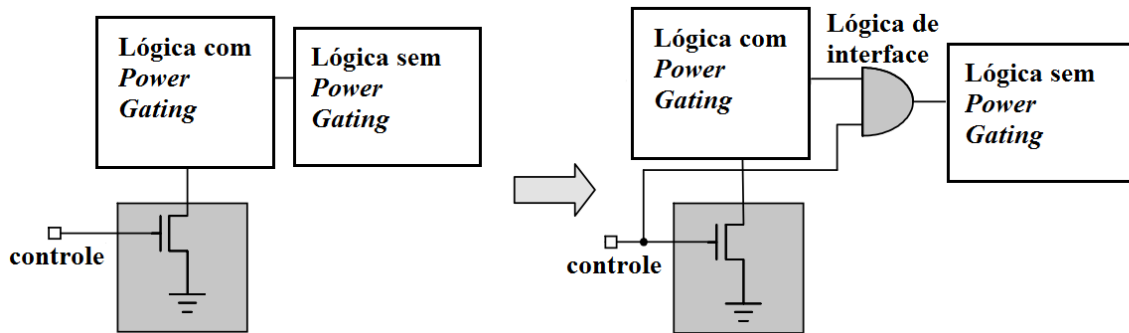
Fonte: (CHINNERY; KEUTZER, 2007)

Cálculo de atraso e análise de temporização As discussões sobre o dimensionamento dos transistores de desligamento trata sobre as diferentes quedas de tensão provocadas por eles. Segundo (CHINNERY; KEUTZER, 2007), existem dois métodos que são utilizados para fazer o cálculo do atraso em circuitos que usam o *Power Gating*: o convencional, que não considera o uso de *Power Gating*; e o que usa restrições nas tensões de alimentação virtual.

Retenção do estado lógico Esse problema ocorre quando o *Power Gating* é aplicado a registradores. Esses circuitos devem manter o valor que foi registrado na última borda de relógio. Quando o registrador é forçado a desligar, esse estado lógico pode ser perdido e isso pode causar problemas funcionais no circuito.

Interface entre os domínios de potência Esse problema surge quando apenas algumas regiões do circuito recebem o *Power Gating* e as células lógicas localizadas nessas regiões desligadas são conectadas à células lógicas em regiões que não possuem o *Power Gating*.

Figura 2.4: Uma solução para o problema de interface entre domínio de potência.



Fonte: (CHINNERY; KEUTZER, 2007)

Quando as células lógicas são desconectadas das linhas de alimentação, o sinal de saída não fica estável, como o desejável. Essa instabilidade no sinal pode causar problemas nas células lógicas conectadas à essas saídas. Existe um circuito que visa proteger as células lógicas desses sinais, como pode ser visto na Figura 2.4.

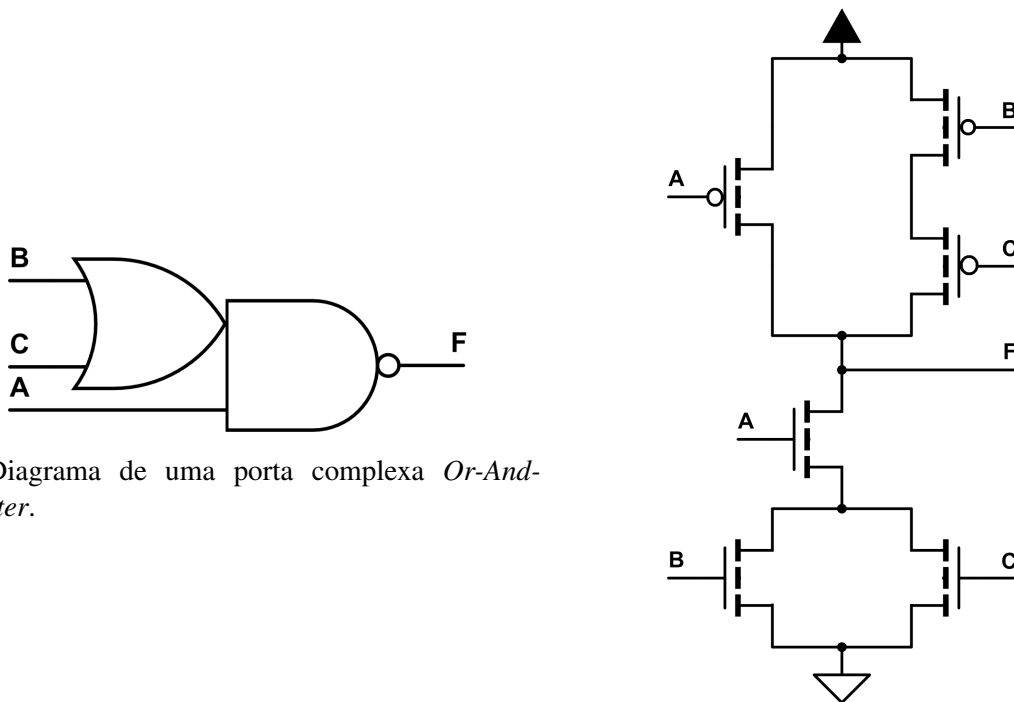
Além das técnicas apresentadas, existem outras técnicas que são aplicadas durante a síntese lógica e que também reduzem o consumo.

Otimizações lógicas A otimização lógica é uma técnica que simplifica as funções lógicas. De maneira que o número de *gates* necessários para implementar essas funções seja reduzido. Com a redução do número de *gates*, o tempo necessário para executar a operação é reduzido, assim como o consumo de potência estática e dinâmica também são reduzidos. Dentre uma das otimizações lógicas, está usar portas complexas ao invés de usar *gates* separados para realizar a mesma função. Existem duas construções de portas complexas: *And-Or-Inverter* e *Or-And-Inverter*. As duas construções são implementadas usando apenas um nível de transistores (TINDER, 2000). A função mostrada na Equação 2.1 pode ser construída com *gates* separados, ficando com o total de 10 transistores. Entretanto, se for utilizado uma porta complexa como a mostrada na Figura 2.5, o número de transistores cai para 6 (Figura 2.5b).

$$F = \overline{(A)} \cdot \overline{(B + C)} \quad (2.1)$$

Reorganização dos transistores A reorganização dos transistores é uma técnica utilizada para otimizar o consumo e o desempenho do circuito CMOS (CARLSON; CHEN, 1993) (PRASAD; ROY, 1995) (TAN; ALLEN, 1994) (De Angel; SWARTZLANDER, 1996). Essa técnica usa como base o conceito que a potência dissipada por um circuito depende da ordem que os sinais chegam no circuito. Logo, uma forma desordenada de chegada de

Figura 2.5: Uso de uma porta complexa para realizar a função mostrada na Equação 2.1.



(a) Diagrama de uma porta complexa *Or-And-Inverter*.

(b) Uma porta complexa usando transistores MOS.

Fonte: Autor

sinais em um circuito, pode causar um aumento na dissipação de potência. Como exemplo, é possível usar um somador completo desenvolvido em CMOS, onde existe uma diferença entre o tempo para gerar o sinal de "vai um" e gerar o sinal da soma. Como o resultado da soma leva mais tempo para chegar, esse sinal deve ficar próximo da saída.

Dimensionamento do transistor A definição do tamanho do transistor é um ajuste que também interfere na dissipação de potência de um circuito CMOS (TAN; ALLEN, 1994) (BORAH; OWENS; IRWIN, 1995) (De Angel; SWARTZLANDER, 1996). Uma vez que, a capacitância de saída é um dos fatores que influi na potência dinâmica (carga e descarga). O problema de dimensionamento explora o *tradeoff* entre o consumo e o desempenho. Isso acontece por que aumentando as dimensões do transistor, também aumentamos a capacitância de carga que o transistor anterior deve carregar, ou seja, aumenta a dissipação de potência. Em suas pesquisas, (TAN; ALLEN, 1994) mostrou que na maioria dos casos se o transistor mais próximo da saída é o que recebe o sinal mais atrasado, uma redução na potência e uma melhora no desempenho podem ser alcançados aumentando as dimensões desse transistor.

2.2 Técnicas de redução de consumo dinâmico

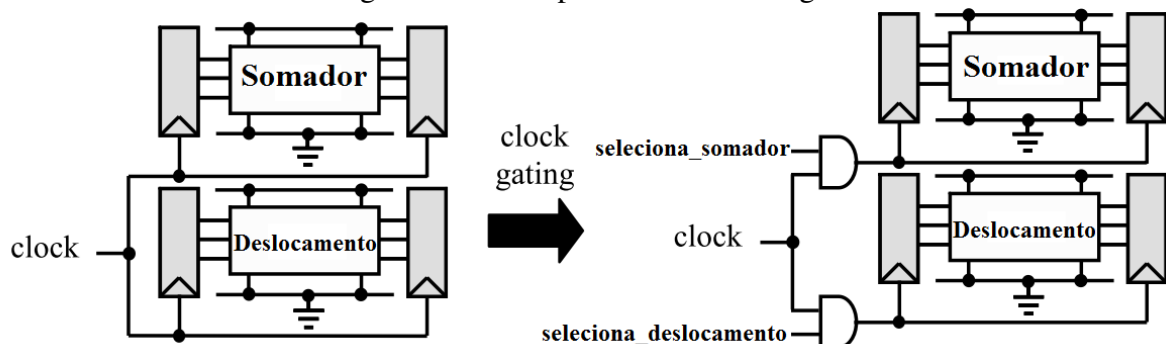
O maior fator do consumo de potência nos circuitos CMOS continua sendo a potência dinâmica, considerando-se que esse consumo existe, principalmente, por causa da carga e descarga das capacitâncias e possui uma relação direta com o chaveamento do circuito.

Tirando vantagem desse fator, o *Clock gating* surgiu para reduzir o consumo dinâmico dos registradores. Uma vez que, grande fatia do consumo de potência acontece nos circuitos sequenciais, podendo chegar a ser responsável por até 50% do consumo ativo do circuito (PEDRAM, 1996) (WU; PEDRAM; WU, 2000). O sinal de relógio é o sinal que apresenta maior atividade dentro de um circuito, e ele é uma das entradas dos circuitos sequenciais. Junta-se a isso, o fato que o sinal de relógio tem muitos *buffers* e inversores pelo caminho, aumentando a capacitância da rede de relógio. O *clock gating* consiste em selecionar apenas os registradores que necessitam receber o sinal do *clock*. Normalmente, é utilizado um circuito que consiste de uma porta AND, Figura 2.6.

Depois de aplicar o *clock gating*, permanecerá apenas o consumo estático dos circuitos sequenciais (CHINNERY; KEUTZER, 2007). E com foco em reduzir o consumo estático, várias abordagens que podem citadas: desconectar a alimentação usando transistores específicos para essa tarefa; aumentar o V_{th} polarizando o substrato do transistor, diminuindo a corrente de *subthreshold*; e assinalar estados lógicos que reduzem as correntes de fuga.

Por causa da dependência quadrática com o V_{dd} , a maioria das técnicas apresentam soluções que envolvem reduzir a tensão de alimentação, ou seja, o uso do escalonamento da tensão de alimentação. Os ganhos alcançados com o escalonamento da tensão de alimentação variam entre duas e quatro vezes, segundo (BHAVNAGARWALA et al., 2000).

Figura 2.6: Exemplo de Clock Gating.



Fonte: (CHINNERY; KEUTZER, 2007)

2.2.1 Multiple Supply Voltage

Em (CHANDRAKASAN; SHENG; BRODERSEN, 1992) são propostas algumas técnicas para redução do consumo de energia, dentre elas o escalonamento da tensão de alimentação. Durante a pesquisa, várias técnicas foram encontradas, todas elas usam como base a ideia proposta por (CHANDRAKASAN; SHENG; BRODERSEN, 1992). Essa ideia surgiu da análise da equação da potência dinâmica, como pode ser visto na equação 1.4, a potência dinâmica tem dependência quadrática com a tensão de alimentação. Todas as técnicas buscam melhorar o *trade-off* entre a energia consumida e o desempenho do circuito. A ideia básica de circuitos que utilizam técnica de redução de consumo de energia, é o uso de duas ou três tensões de alimentação diferentes. No caso de três tensões diferentes, uma delas representa $0V$, ou seja, o circuito desligado. Assim, adotaremos as três nomenclaturas definidas abaixo, tais nomenclaturas foram citadas em (USAMI et al., 1996):

- V_{ddH} - tensão normal de alimentação
- V_{ddL} - tensão reduzida de alimentação
- V_{off} - tensão de alimentação igual a $0V$

Essas tensões de alimentação são distribuídas para as células de maneira que as células que fazem parte dos caminhos críticos são alimentadas com uma tensão nominal (V_{ddH}) e as células que não fazem parte dos caminhos críticos são alimentadas por uma tensão reduzida (V_{ddL}). Do mesmo jeito, as células que não estão sendo utilizadas podem ser associadas ao estado de desligamento provocado pela aplicação de uma tensão neutra (V_{off}) de alimentação.

O uso do escalonamento da tensão de alimentação em conjunto com o Multi-Vth maximiza os ganhos na redução do consumo de potência. Por exemplo, atribuir para os transistores das células lógicas que não estão sobre uma restrição de temporização severa uma tensão de alimentação baixa e uma tensão de limiar mais elevada, com essa estratégia, é alcançada a máxima redução de potência. Em outro cenário, seriam atribuídas tensões de alimentação mais elevada e tensões de limiar mais baixa para os transistores das células lógicas que estão com restrições de temporização críticas.

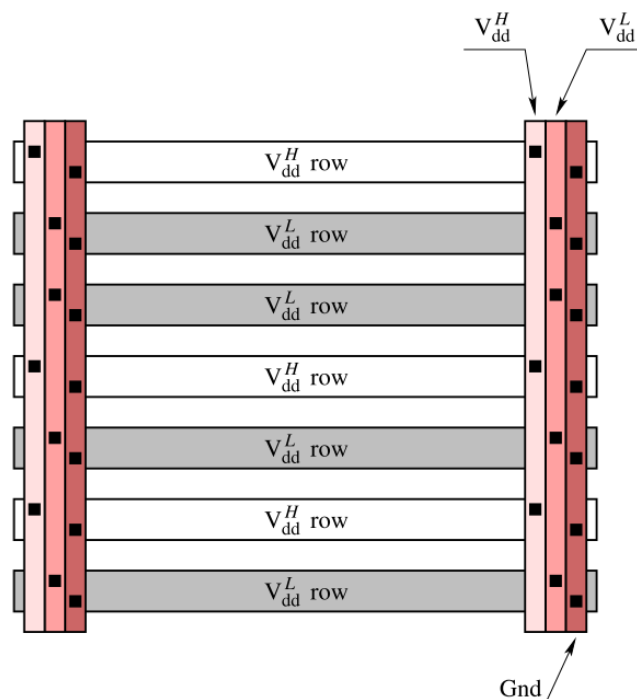
Por causa do uso de pelo menos duas tensões de alimentação, é necessário o uso de conversores de nível de alimentação. Sem eles, o consumo de energia seria aumentado por causa da corrente de curto-circuito. Além disso, o circuito pode apresentar problemas nas inclinações dos sinais de entrada, o que pode causar um aumento de consumo de potência dinâmica. A inserção dos conversores de tensão serve para minimizar as penalidades de tempo e consumo nas inter-

faces dos domínios de potência. Contudo, o número desses conversores deve ser minimizado, por causa de três razões: restrições de área, potência e de atraso.

Diferentes formas de agrupamento de células e de organização das linhas de alimentação foram criadas na tentativa de reduzir o número de conversores de tensão. Nessa pesquisa foram encontrados três maneiras diferentes, cada uma com características diferentes entre si e todas com o objetivo agrupar as células que possuem a mesma tensão de alimentação.

Na forma de organização linha-por-linha, as células que compartilham a mesma tensão de alimentação são posicionadas nas mesmas linhas de alimentação. Assim as linhas de alimentação são montadas de forma que cada linha possui uma tensão de alimentação, como mostra a Figura 2.7. O trabalho de (IGARASHI; USAMI, 1997) apresentou a técnica chamada de RRPS (*Row by Row optimized Power Supply*). O RRPS foi a maneira encontrada pelo autor para distribuir as células pelo circuito, uma idéia que até então não havia sido abordada pela academia.

Figura 2.7: Particionamento linha-por-linha.



Fonte: (POPOVICH; MEZHIBA; FRIEDMAN, 2008)

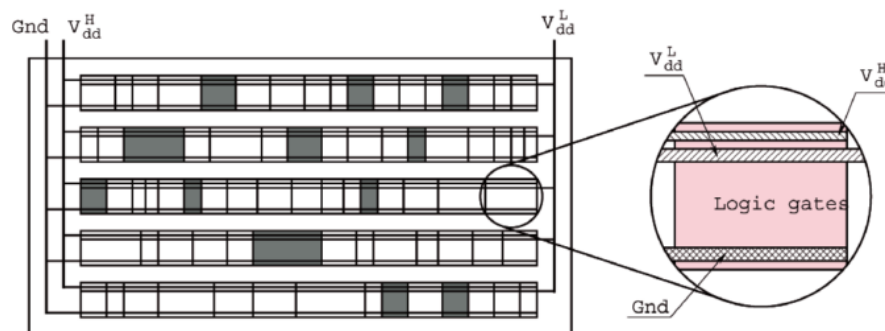
Em um trabalho recente, (XIANG et al., 2014) apresentou um novo fluxo de projeto contendo modificações ao fluxo apresentado por (SHERWANI, 1993). Em seu trabalho, (XIANG et al., 2014) mostra novas estruturas e algoritmos para lidar com o problema de particionar e posicionar circuitos que usam técnicas que permitem o uso de mais de uma tensão de alimentação. Além disso, esses algoritmos são aplicados para que o particionamento das células alimentadas

por diferentes tensões seja feito por linhas.

De forma a reduzir as interconexões, o método na-linha surgiu como uma forma otimizada e mais complexa do linha-por-linha. Para realizar o particionamento na-linha são necessárias mudanças na estrutura das células. Enquanto no linha-por-linha apenas uma linha de alimentação era necessária, agora duas linhas de alimentação são utilizadas, detalhadas na Figura 2.8. Contudo, essa mudança possibilita uma considerável redução no comprimento das conexões do circuito. Essa redução acontece por causa da flexibilização do posicionamento das células, uma vez que as células alimentadas por tensões diferentes podem ser posicionadas mais perto uma da outra.

Segundo (POPOVICH; MEZHIBA; FRIEDMAN, 2008) organizar as células por área é a maneira mais usual. Dividir as células área-por-área é forma mais explorada nos trabalhos encontrados por essa pesquisa. Nessa técnica as células são agrupadas de acordo com a tensão de alimentação que foi determinada anteriormente, formando as ilhas de tensão pelo circuito.

Figura 2.8: Particionamento na-linha.



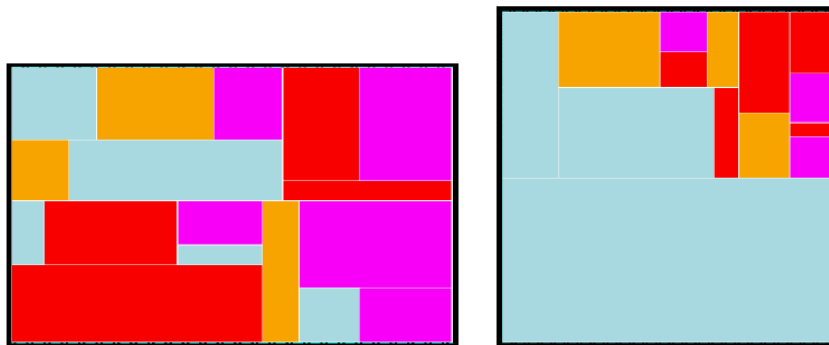
Fonte: (POPOVICH; MEZHIBA; FRIEDMAN, 2008)

Em seu trabalho, (WU; LIU, 2005), utilizou uma restrição que fixa o formato da ilhas de tensão. Todas as ilhas de tensão devem ter o formato retangular, como mostra a Figura 2.9 e a Figura 2.10. Para (CHING et al., 2006) essa restrição de usar ilhas de tensão em formato retangular era desnecessária. A inclusão dessa restrição ocasionou um aumento na complexidade no algoritmo. Isso causou um aumento no tempo de execução, quando comparados os algoritmos utilizando os mesmos problemas, a solução apresentada por (CHING et al., 2006) apresentou resultados melhores do que a solução de (WU; LIU, 2005).

2.2.1.1 Clustered Voltage Scaling

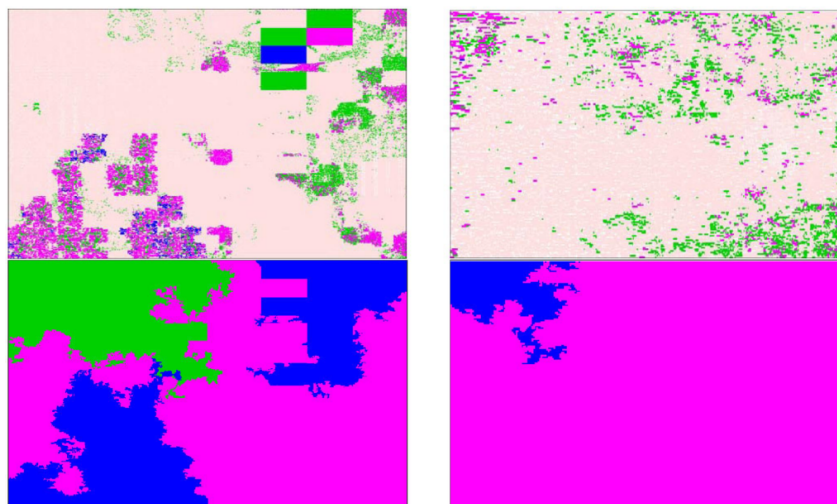
O escalonamento da tensão de alimentação é feito atribuindo-se uma tensão reduzida (V_{ddL}) para os transistores das células lógicas. Existem diferentes algoritmos utilizados para

Figura 2.9: Resultado do particionamento.



Fonte: (WU; LIU, 2005)

Figura 2.10: Resultado do particionamento área-por-área.



Fonte: (CHING et al., 2006)

atribuir a tensão de alimentação, dentre eles o *Clustered Voltage Scaling* (CVS). Esse algoritmo foi apresentado em (USAMI; HOROWITZ, 1995) e pode ser visto no Algorithm 1. Além de realizar a atribuição de tensão de alimentação, o algoritmo de Usami et al. também adiciona conversores de tensão específicos, chamados de *Level Converting Flip-Flop* (LCFF).

```

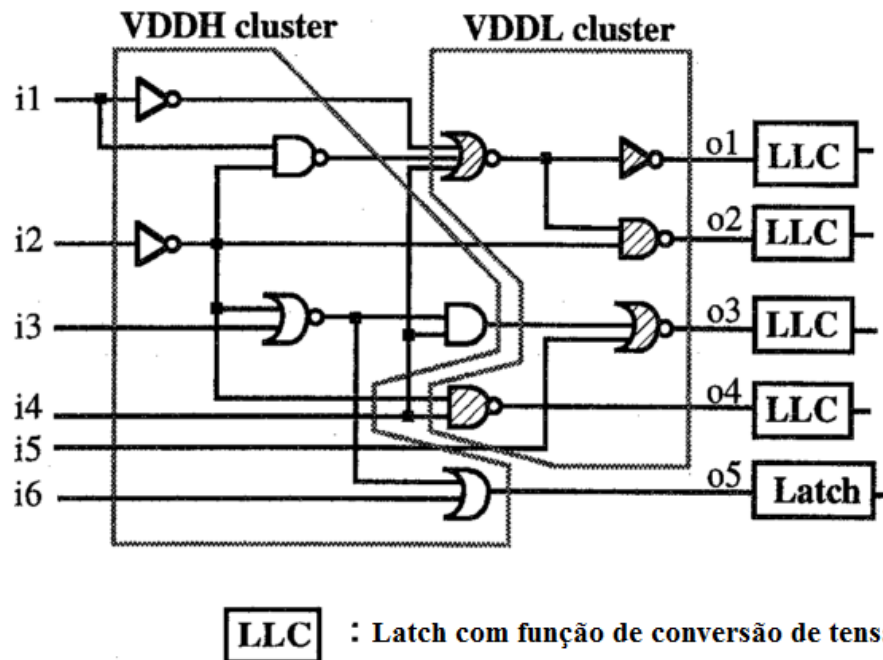
melhor.configuracao = todas células assinaladas com VDDH
menor.potencia.encontrada = potência inicial do circuito na
melhor.configuracao
L = células que apenas carregam as saídas primárias ;
while L não vazio do
    PASSO: "ATRIBUI VDDL";
    Seleciona candidato A de L ;
    Remove A de L ;
    Muda a tensão de alimentação de A para VDDL ;
    if A carrega uma saída primária then
        | Insere um LCFF ;
    end
    Verifica a temporização ;
    if circuito cumpre as restrições de tempo then
        | PASSO: "RESTRICÇÃO DE TOPOLOGIA- ;
        | Adiciona em L as células que carregam A e não carregam outras células
        | atribuídas à VDDH ;
        | Verifica o consumo de potência ;
        | if potncia < melhor_potncia_encontrada then
        | | melhor_potncia_encontrada = potncia ;
        | | melhor_configuracao = atual conjunto de tensões de alimentação ;
        | end
    else
        | Remove qualquer LCFF adicionado ;
        | Volta a tensão de alimentação de A para VDDH ;
    end
end

```

Algorithm 1: Algoritmo de atribuição do CVS.

O algoritmo do CVS parte de uma lista de células candidatas que podem ser assinaladas com a tensão reduzida (V_{ddL}), as células são ordenadas utilizando uma heurística. A primeira versão do algoritmo, a heurística utilizada se baseava na temporização de sobra das células. O passo de restrição de topologia garante que a principal regra do algoritmo é cumprida: nenhuma célula lógica alimentada por V_{ddL} pode carregar diretamente uma célula lógica alimentada por V_{ddH} . Essa estratégia visa reduzir o número de conversores de tensão adicionados no circuito.

Além disso, Usami et al. introduziu a ideia de criar *clusters* (regiões) que vão operar com determinadas tensões de alimentação. Com o problema da inserção dos conversores, (USAMI; HOROWITZ, 1995) usou a restrição topológica para reduzir a inserção de conversores de ten-

Figura 2.11: Exemplo de um *Clustered Voltage Scaling Structure*.

Fonte: (USAMI et al., 1996)

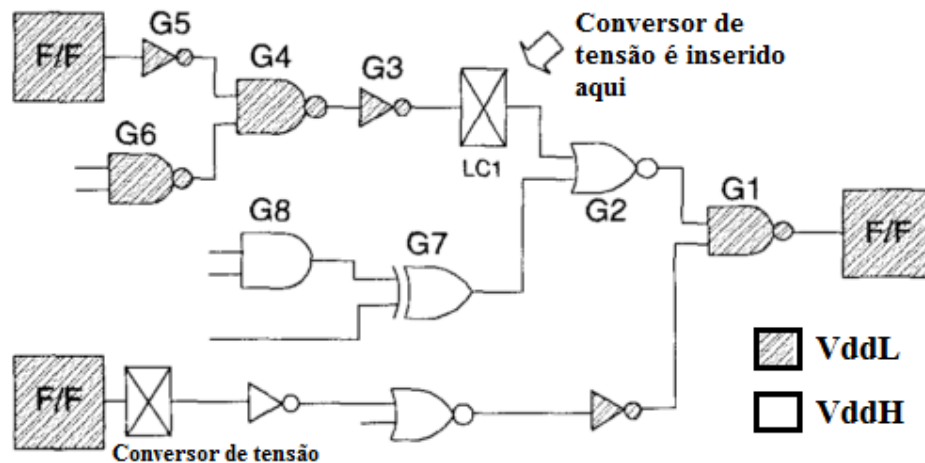
são. Essa estrutura consiste em agrupar as células da maneira como está apresentando na Figura 2.11. Ou seja, as células que são carregadas pelas entradas primárias, são alimentadas pela tensão nominal (V_{ddH}). Já as outras células, as que não possuem ligação com as entradas primárias, são alimentadas com a tensão reduzida (V_{ddL}) e as suas saídas são ligadas em conversores de níveis ligados nas saídas primárias.

2.2.1.2 *Extended - Clustered Voltage Scaling*

Em (USAMI et al., 1997) é apresentada uma técnica automatizada com foco na redução de consumo de potência. (USAMI et al., 1997) utiliza essa técnica para construir um processador de mídia. Uma das técnicas para redução de consumo que (USAMI et al., 1997) apresenta é um avanço ao CVS. Tal técnica foi chamada pelos autores de *Extended Clustered Voltage Scaling* (ECVS). O ECVS apresenta uma relaxação ao CVS, a restrição topológica não foi mais aplicada. O resultado dessa relaxação contribuiu para o aumento do número de conversores de nível, mas esse aumento não afetou na redução do consumo de potência. Na Figura 2.12 é mostrado um exemplo da estrutura do ECVS, sendo importante ressaltar que as células mais escuras são alimentadas com V_{ddL} .

A atribuição de tensão de alimentação para as células é uma área que apresenta desafios.

Figura 2.12: Exemplo de um *Extended - Clustered Voltage Scaling Structure*.



Fonte: (USAMI et al., 1997)

É relativamente fácil identificar os caminhos em que as especificações de temporização foram cumpridas. Contudo, é complexo atribuir uma tensão para essas células, uma vez que a alterar a alimentação afeta diretamente o atraso da célula. Essa alteração pode causar uma mudança no perfil desse caminho, o que pode desbalancear a temporização do circuito. O algoritmo do ECVS pode ser visto no Algorithm 2.

O algoritmo ECVS começa atribuindo a tensão reduzida (V_{ddL}) a partir das saídas primárias até as entradas primárias. A única diferença entre o algoritmo CVS e o ECVS é o passo de restrição de topologia. O resultado dessa alteração entre os algoritmos pode ser visto na Figura 2.13.

O trabalho de (PEDRAM, 1997) apresentou um algoritmo que utilizava a técnica de programação dinâmica para escolher qual seria a tensão de alimentação das células do circuito. No trabalho foi citado que o problema de escolher uma tensão de alimentação, como sendo um problema NP-difícil. Para fazer essa escolha, o trabalho considera a análise de atraso de cada caminho e, também, o acréscimo de área no circuito para a inserção do conversor de nível.

2.2.1.3 Greedy Extended - Clustered Voltage Scaling

Segundo (CHINNERY; KEUTZER, 2007), algoritmos como o ECVS são mais efetivos quando podem encontrar um grupo ou *clusters* de células lógicas conectadas e que podem ser assinaladas para tensão reduzida (V_{ddL}). Quando isso acontece, o número de conversores de tensão a serem inseridos é reduzido, o que potencializa a redução do consumo de potência. Uma vez que dentro de um grupo, um grande número de células foram assinaladas com V_{ddL} e existem poucas células que carregam células alimentadas por V_{ddH} , ou seja, poucos conversores

```

melhor.configuracao = todas células assinaladas com VDDH ;
menor.potencia.encontrada = potência inicial do circuito na
  melhor.configuracao ;
L = células que apenas carregam as saídas primárias ;
while L não vazio do
  | PASSO: "ATRIBUI VDDL- ;
  | Selecciona candidato A de L ;
  | Remove A de L ;
  | Muda a tensão de alimentação de A para VDDL ;
  | if A carrega uma saída primária then
  | | Insere um LCFF ;
  | end
  | foreach células B  $\in$  fanouts(A) do
  | | if a tensão de alimentação de B = VDDH then
  | | | Insere um ALC no caminho entre A e B ;
  | | end
  | end
  | Verifica a temporização ;
  | if circuito cumpre as restrições de tempo then
  | | PASSO: "NIVELADO- ;
  | | Adiciona em L as células ligadas a A e apenas as células que já foram
  | | consideradas ou são saídas primárias ;
  | | Verifica a potência ;
  | | if potência < menor.potencia.encontrada then
  | | | menor.potencia.encontrada = potência ;
  | | | melhor.configuracao = atual conjunto de tensões de alimentação ;
  | | end
  | else
  | | Remove os LCFF's ou ALC's ;
  | | Volta a tensão de alimentação de A para VDDH ;
  | end
end

```

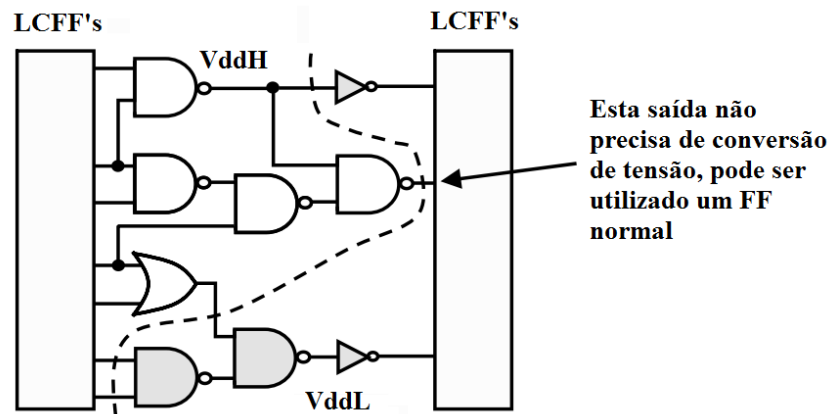
Algorithm 2: Algoritmo de atribuição do ECVS.

de tensão são adicionados.

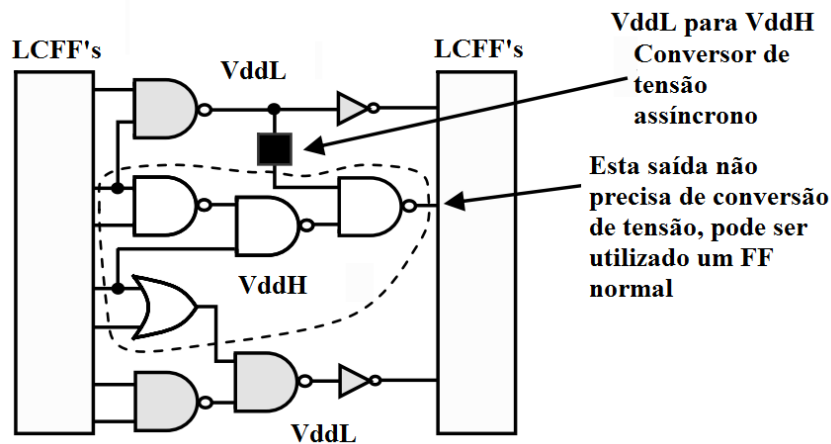
O *Greedy Extended - Clustered Voltage Scaling* (KULKARNI; SRIVASTAVA; SYLVESTER, 2004) tem como principal característica a possibilidade de gerar grupos de células desde o início do caminho, característica que não existia nos algoritmos anteriores. Os algoritmos de atribuição CVS e ECVS tendem a criar a maioria dos grupos (*clusters*) mais próximos às saídas primárias do circuito, o que pode reduzir os ganhos da técnica, visto que as células lógicas posicionadas perto das saídas primárias possuem uma atividade de chaveamento menor (NAJM, 1995).

Para fazer uma avaliação do estado atual do circuito perante a mudança de tensão de

Figura 2.13: Diferenças entre os circuitos gerados pelos algoritmos CVS e ECVS.
 (a) Exemplo de circuito com CVS.



(b) Exemplo de circuito com ECVS.



Fonte: (CHINNERY; KEUTZER, 2007)

alimentação de uma célula lógica, foi adicionado um passo de cálculo de sensibilidade que utiliza as informações sobre a folga das restrições de temporização e a potência do circuito antes das atribuições da tensão reduzida. Com esse procedimento, um dos problemas apresentados pelo algoritmo ECVS foi resolvido: que apenas avalia o circuito e faz a primeira mudança viável. Esse procedimento é executado a cada iteração do algoritmo, feito logo após a atualização da vizinhança. Isso acontece, porque a inserção ou remoção dos conversores de tensão feita durante a atualização de vizinhança pode alterar a distribuição de tempo do circuito, do mesmo jeito que a potência total do circuito também pode mudar.

Como citados acima, a sensibilidade considera a variação da potência (ΔP), a variação do tempo de chegada do sinal na célula de saída (ΔD) e a soma dos piores tempos de folga de subida e descida da célula, como pode ser visto na Equação 2.3. Esse tempo de folga é a diferença entre o tempo previsto ($t_{requiredatoutputj}$) e o tempo verdadeiro da chegada do sinal de entrada ($t_{arrivalatinputi}$) e é dado pela Equação 2.2.

$$Folga_{arcij} = (t_{requiredatoutputj} - t_{arrivalatinputi}) - d_{arcij} \quad (2.2)$$

Onde o arco temporal ($arcij$) é da célula lógica de entrada i para a célula lógica de saída j .

$$Sensibilidade(conjuntoV_{ddL}) = \frac{-\Delta P.Folga}{\Delta D} \quad (2.3)$$

melhor.configuracao = todas células assinaladas com VDDH ;

menor.potencia.encontrada = potência inicial do circuito na

melhor.configuracao ;

do

foreach célula VDDH *A* **do**

 Muda a tensão de alimentação de *A* para VDDL ;

if *A* carrega uma saída primária **then**

 | Insere um LCFF ;

end

 Atualiza a vizinhança() /* Insere ou remove ALC's quando necessário */

 Calcula a sensibilidade de *A* (Equação 2.3) ;

 Volta a tensão de alimentação de *A* para VDDH ;

 Atualiza a vizinhança /* Insere ou remove ALC's quando necessário */

end

 Seleciona a máxima sensibilidade da célula *B* que cumpre as restrições de temporização ;

 Verifica a potência ;

if potência < *menor.potencia.encontrada* **then**

 | *menor.potencia.encontrada* = potência ;

 | *melhor.configuracao* = atual conjunto de tensões de alimentação ;

end

while existe algum movimento possível(movimentos que cumpram as restrições de temporização);

Algorithm 3: Algoritmo de atribuição do GECVS.

As alterações apresentadas conseguiram melhorar os resultados da atribuição de tensão de alimentação, como pode ser visto na Tabela 2.1. Nessa tabela são apresentadas as reduções de consumo dos algoritmos contra o circuito original, onde todas as células lógicas são alimentadas por apenas uma tensão. Além disso, a (CHINNERY; KEUTZER, 2007) apresenta os resultados de consumo para duas tensões de alimentação reduzidas diferentes (0,6V e 0,8V).

Tabela 2.1: Resultado das reduções no consumo de potência entre circuitos originais e circuitos que utilizam os algoritmos CVS e GECVS.

Circuito	VddL = 0,6 V		VddL = 0,8 V	
	CVS	GECVS	CVS	GECVS
c432	1,0%	1,5%	0,8%	0,8%
c880	8,2%	10,3%	15,0%	21,3%
c1355	0,0%	0,0%	0,0%	1,0%
c1908	4,3%	7,7%	3,4%	8,4%
c2670	21,1%	25,5%	16,5%	25,0%
c3540	3,2%	8,3%	2,9%	9,7%
c5315	7,6%	19,0%	8,3%	22,0%
c7552	14,9%	20,2%	22,0%	28,8%
Huffman	6,6%	12,7%	6,7%	14,4%
Média	7,4%	11,7%	8,4%	14,6%

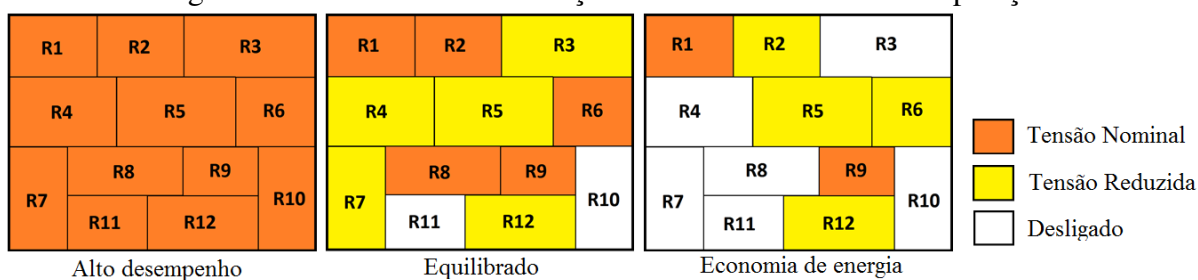
Fonte: (CHINNERY; KEUTZER, 2007)

2.2.2 Multiple Dynamic Supply Voltage

O MDSV surgiu com o objetivo de melhor aproveitar a potência consumida pelo sistema e melhorar a relação entre potência e desempenho. A diferença, quando comparado com as outras técnicas até então apresentadas, é o fato de que um circuito pode operar em diferentes arranjos de tensão de alimentação que podem ser mudados de maneira dinâmica, ou seja, em tempo de execução. Ou seja, o circuito é dividido em regiões (*area-by-area*), da mesma maneira que no CVS e ECVS, e é alimentado por diferentes tensões de alimentação. Dependendo do modo de operação selecionado para o circuito operar, diferentes tensões de alimentação são aplicadas para as regiões do circuito, como pode ser visto na Figura 2.14. Neste exemplo, o mesmo circuito opera em três modos. No primeiro modo (Modo 1) todas as regiões são alimentadas pela tensão nominal (V_{ddH}). Nesse modo de operação o circuito trabalha no máximo de desempenho. No Modo 2 algumas regiões foram desativadas e outras são alimentadas com a tensão reduzida (V_{ddL}), nesse modo o circuito opera para manter um nível razoável de processamento, mas também busca economizar alguma energia. Já no Modo 3, metade do circuito não está sendo alimentado (V_{off}), e apenas regiões críticas para o funcionamento estão alimentadas com a tensão mais alta (V_{ddH}). Ou seja, nessa configuração o circuito procura reduzir o consumo ao máximo. Esse modo de operação pode ser chamado também de *stand by*.

A troca de tensão de alimentação acontece de maneira dinâmica, ou seja, durante o funcionamento. Apenas duas técnicas pesquisadas fazem a troca da tensão de alimentação em tempo de execução: *Dynamic Voltage Scaling* (DVS) e MDSV. Contudo, o DVS opera apenas sobre a tensão de alimentação do circuito inteiro e não com regiões do circuito, como no MDSV

Figura 2.14: Tensão de alimentação em diferentes modos de operação.



Fonte: (TERRES et al., 2013)

Tabela 2.2: Tabela comparativa entre as técnicas de baixo consumo
Tabela comparativa entre as técnicas de baixo consumo

Especificação	CVS	ECVS	MDSV
Modo de agrupamento das células	linha-por-linha e área-por-área	linha-por-linha e área-por-área	área-por-área
Tensão varia entre as regiões?	Sim	Sim	Sim
Necessita de conversores de tensão?	Sim	Sim	Sim
Quantidade de conversores de tensão	Poucos	Muitos	Muitos
Troca de tensão de alimentação acontece em tempo de	Projeto	Projeto	Execução

Fonte: Autor

como pode ser visto na Tabela 2.2.

A possibilidade de mudar o modo de operação do circuito em tempo de execução, permitiu desligar regiões do circuitos, quando essas não precisam ser utilizadas. Até o momento desta pesquisa, MDSV é a única técnica que possibilita o desligamento de regiões do circuito. Por exemplo na Figura 2.14 nos Modos 2 e 3 as regiões em branco estão desativadas.

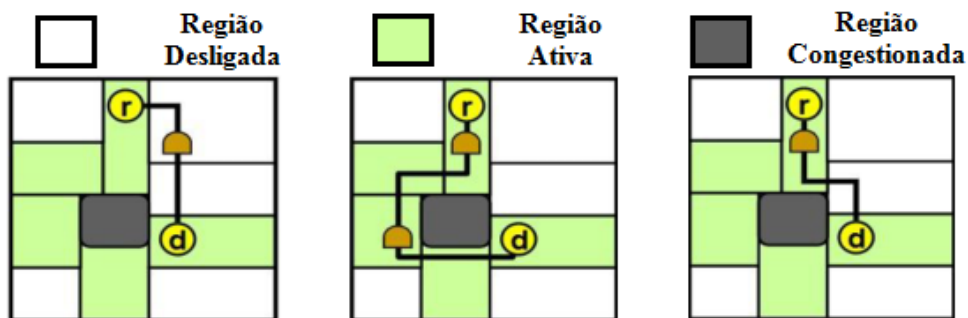
Essas novas condições adicionam alguns problemas para realizar o roteamento de tais circuitos, uma vez que regiões que são desativadas, em algum dos modos de operação, não podem conter *buffers*, com a exceção de alguns casos que vão ser abordados a seguir. A inserção de *buffers* nessas regiões pode causar problemas de confiabilidade na troca de sinais entre as células que compõem o circuito, visto que os *buffers* tem a função de restabelecer o sinal de conexões que precisam carregar capacitâncias maiores que o especificado na criação da célula. O roteador deverá evitar que esses *buffers* sejam colocados dentro dessas regiões que poderão ser desligadas.

2.2.2.1 Inserção de Buffers

Com foco nesse problema da restrição de regiões para a inserção dos *buffers*, (LIU; LI; CHAO, 2011) apresentou uma solução que até o presente momento é o estado da arte no tema. Em seu trabalho, (LIU; LI; CHAO, 2011) expõe uma nova formulação sobre as limitações no roteamento em circuitos com MDSV e foi dividida em dois itens pelo autor:

1. "O caminho não pode passar em qualquer domínio no qual o metal pode ser mudado sobre diferentes configurações de produto."
2. "Se o comprimento do fio do caminho ultrapassa um valor previamente determinado, *buffers* necessitam ser inseridos nesse caminho a ser roteado para prevenir uma degradação de sinal. Como a *net* está ativa, os *buffers* devem ser inseridos em domínios de tensão que não serão desligados."

Figura 2.15: Exemplo de roteamentos.



Fonte: (LIU; LI; CHAO, 2011)

Como exemplo, (LIU; LI; CHAO, 2011) mostrou três diferentes maneiras de ligar os pontos *r* e *d*, como mostra a Figura 2.15. Nessa Figura, a imagem mais a esquerda representa a forma que um roteador tradicional traçaria a conexão entre os dois pontos, entretanto o *buffer* foi inserido dentro de uma região que está desativada. No centro e na direita da Figura 2.15, são mostradas soluções apresentadas por um roteador que leva em consideração quais as regiões que estão desativadas para realizar o roteamento entre os dois pontos. De maneira visível, a imagem do centro utiliza mais recursos do que a imagem da direita, uma vez que o roteamento percorre um caminho maior, sendo necessário inserir um número maior de *buffers*. Observando as imagens da Figura 2.15 é possível perceber que o roteador não deve restringir a entrada do fio em regiões desativadas, contudo o roteador deve avaliar se aquele fio consegue percorrer essa distância sem a necessidade da inserção de *buffers*.

Existem duas restrições bastante relevantes para auxiliar o roteador na tarefa de procurar o melhor caminho possível para cada conexão em circuitos que utilizem a técnica MDSV:

Definição 1 *Repeater-free region (Região livre de buffers)* Em qualquer modo de operação de um projeto MDSV, se uma net n_i está ativa quando um domínio de potência p está desligado, p é uma região livre de buffers associada com a net n_i . Ou seja, outras regiões são regiões de não desligamento associadas com a net n_i , isso por que elas tem tensão de alimentação quando n_i está ativa. Os *buffers* de n_i podem ser inseridos nas regiões de não desligamento, mas não podem ser inseridos nas regiões livre de *buffers*.

Definição 2 *Driving length constraint (Restrição de comprimento)* O comprimento do fio que um *buffer* consegue carregar é o máximo comprimento de fio que pode ser carregado pelo *buffer* sem causar distorção no sinal ou violar os requisitos de temporização do projeto. O comprimento de fio que um *buffer* consegue carregar aumenta de maneira proporcional com o aumento da tensão de alimentação que alimenta o *buffer*. No caso onde a célula que carrega a net n_i está em um domínio de potência X e o domínio de potência Y é uma região de não desligamento para n_i , $V_x(Y)$ representa o menor nível de tensão de Y quando X está ativa, e $L_x(Y)$ representa o comprimento do fio que pode ser carregado por um *buffer* alimentado pela tensão de alimentação $V_x(Y)$. Se o caminho de n_i entra em uma região livre de *buffers* partindo do domínio de potência Y , o comprimento contínuo de fio em regiões livres de *buffers* não pode ultrapassar $L_x(Y)$.

Essas restrições ajudam a definir quais são as regiões de desligamento de cada uma das conexões a serem roteadas, e ajudam a definir o máximo comprimento do fio que pode estar dentro de uma região desativada do circuito.

Sobre o tema roteamento global, o trabalho de (LIU; LI; CHAO, 2011) é o único a apresentar os problemas em fazer o roteamento de circuitos com MDSV e, também é o único a apontar as soluções para esses problemas. Contudo seu trabalho não leva em consideração algumas restrições que podem aparecer na inserção dos *buffers*, tais como:

- Sobreposição de células;
- Aumento da densidade de células;
- Existência de regiões bloqueadas por algum *Hard IP*.

Considerando que a inserção de *buffers* ocorre após o posicionamento do circuito, a sobreposição de células acontece quando um *buffer* é inserido num espaço que já fora determinado para outra célula lógica. O aumento da densidade de uma região acontece em decorrência da inserção de um número considerável de *buffers* dentro de um certo espaço. O espaço ocupado e a localização de *Hard IP's* é uma informação importante para a inserção de *buffers*, visto que nenhuma célula lógica pode ser inserida nessa região.

Na literatura, existem ainda os trabalhos de (LIN; LIN; HO, 2011) e (LIN et al., 2012), que tem como objetivo apresentar soluções para os problemas relacionados a CTS, etapa do fluxo de projeto que trata da construção da árvore de relógio de circuitos com MDSV. A construção e o roteamento da árvore de relógio possui uma grande complexidade e por isso, essa etapa é realizada antes do roteamento global e do roteamento detalhado. Durante a CTS é feito o balanceamento da árvore de relógio, isso é feito com a inserção de *buffers* que tem como função ajustar o tempo de chegada do sinal de relógio em todos os *flip-flops* do circuito. Ao final da CTS, quando todos os requisitos de atraso foram alcançados, será realizado o roteamento da árvore de relógio.

2.2.3 Conversores de Tensão

Conversores de tensão são circuitos de proteção utilizados em circuitos que trabalham com mais de uma tensão de alimentação, são também conhecidos como *Level Shifters*. Além de servir como proteção para células, eles também são inseridos nos circuitos para combater o aumento da potência de curto circuito, algo que já foi discutido na introdução.

Em tecnologias que utilizam múltiplas tensões, o nível lógico baixo tem o mesmo potencial em todas as regiões. Entretanto, o nível lógico alto apresenta diferenças de potencial. Por exemplo, um inversor montado usando lógica complementar (CMOS). Quando um nível lógico alto alimentado por um V_{ddL} carrega um inversor que está sendo alimentado por V_{ddH} . A diferença de tensão entre *gate* e *source* fica da seguinte maneira:

$$PMOS : V_{GS}^{PMOS} = V_{ddL} - V_{ddH} < 0 \quad (2.4)$$

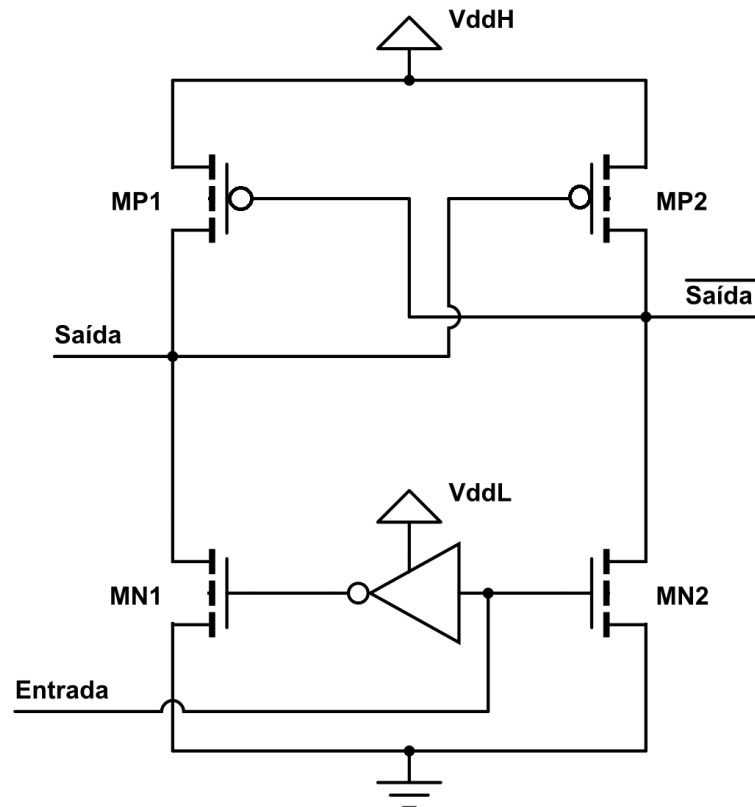
$$NMOS : V_{GS}^{NMOS} = V_{ddL} \gg 0 \quad (2.5)$$

As equações 2.4 e 2.5 mostram que o transistor NMOS está permitindo a passagem de corrente, mas o transistor PMOS não está completamente aberto, ou seja, ele ainda permite que tenha corrente fluindo pelo seu canal.

Os principais requisitos para a construção de conversores de tensão são:

- Ter uma rápida propagação de sinal;
- Consumir pouca potência;
- Necessitar de apenas uma linha de alimentação.

Figura 2.16: Circuito de um Conversor de tensão que utiliza como base a lógica diferencial.



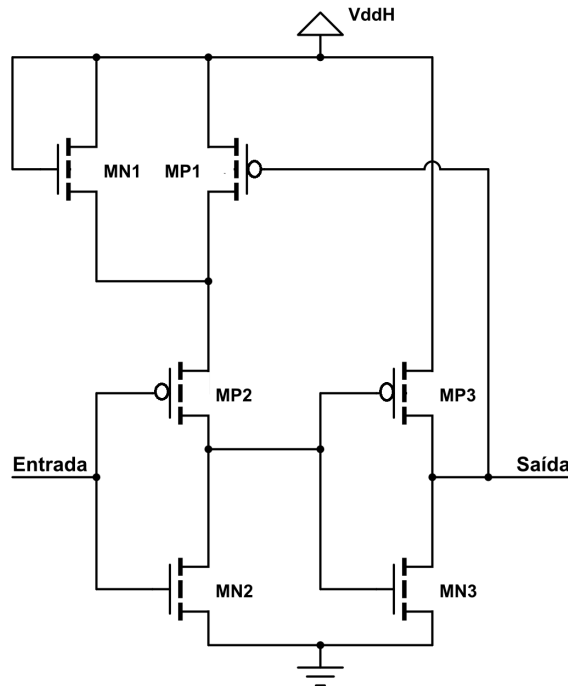
Fonte: (HELLER et al., 1984)

Esse trabalho aborda os conversores de tensão assíncronos, focando na explicação dos dois principais circuitos encontrados na literatura: *Differential Cascode Voltage Switch* (DCVS) (HELLER et al., 1984) (HENZLER, 2006) e Puri (PURI et al., 2003).

O DCVS (HELLER et al., 1984) é um conversor de tensão assíncrono e *Dual Rail*, ou seja, usa como entrada um sinal A e seu complemento \bar{A} (UYEMURA, 1999). Ele é considerado o estado da arte e é o mais citado dentre as proposições, mesmo que tenha sido desenvolvido em 1984. O circuito apresentado na Figura 2.16, corresponde a um inversor usando a topologia diferencial com geração local do sinal inverso da entrada. Constituído por apenas seis transistores, os sinais de entrada são ligados diretamente nos transistores NMOS. Como mostram as equações 2.4 e 2.5, o impacto de uma entrada em nível lógico alto não causa problemas de consumo e confiabilidade. O nível lógico alto é gerado pelo *feedback* da ligação cruzada dos transistores PMOS, gerando uma contenção entre o *pull-down* e o *feedback*.

Apesar de necessitar das duas linhas de alimentação chegando no circuito, o DCVS (HELLER et al., 1984) apresenta vantagens comuns à lógica complementar DCVSL (*Differential Cascode Voltage Switch Logic*), tais como (RABAEY; CHANDRAKASAN; NIKOLIC, 2003):

Figura 2.17: Circuito de um Conversor de tensão apresentado por Puri et al..



Fonte: (PURI et al., 2003)

- Reduz o número de transistores para construir lógicas mais complexas;
- Reduz o número de inversores;
- Gera o sinal complementar com o mínimo atraso.

Essas vantagens apresentadas, são atenuadas com duas desvantagens (RABAEY; CHANDRAKASAN; NIKOLIC, 2003):

- Aumento no número de conexões;
- Aumento no consumo de potência dinâmica.

A proposição de Puri et al. (PURI et al., 2003) é um conversor de tensão *Single Rail*, ou seja, usa apenas um sinal de entrada (UYEMURA, 1999). A topologia do circuito de Puri et al. apresenta seis transistores, mas o circuito possui uma topologia bastante diferente, como mostra a Figura 2.17. Nesse circuito, o sinal de entrada é ligado em um inversor composto pelos transistores MP2 e MN2. Quando temos sinal lógico baixo na entrada, a tensão no *source* do transistor MP2 é menor do que V_{ddH} . Uma queda de tensão causada pela inserção de um transistor NMOS (MN1) ligado em forma de diodo, foi a solução encontrada por Puri et al. para os problemas apresentados por transistores PMOS. Com isso, o sinal da entrada é invertido e passado para o inversor de saída (MP3 e MN3). O inversor de saída passa o nível lógico baixo para a saída do conversores de tensão, ativando o *feedback* composto pelo transistor MP1,

aprimorando o conjunto que recebe o sinal de entrada. A proposição de Puri et al. tem duas vantagens:

- Pode ser utilizado nas duas direções de conversão;
- Possui apenas uma linha de alimentação.

Ainda, na área de conversores de tensão, existem *flip-flop shifters* que são flip-flops complementados com um módulo para fazer a conversão de tensão.

3 CONVERSORES DE TENSÃO PARA USO COM O MDSV

Todas as técnicas de redução do consumo de potência dinâmica apresentadas no Capítulo anterior, necessitam da inserção de conversores de tensão, visto que todas visam diminuir o consumo da potência dinâmica com a redução da tensão de alimentação de certas áreas do circuito. Logo, o circuito vai apresentar configurações onde as células lógicas são alimentadas por diferentes níveis de tensão, o que gera penalidades de temporização e de consumo de potência nas regiões de interface entre os domínios de potência. Para reduzir o impacto dessas penalidades, os conversores de tensão são inseridos e possuem o objetivo de aumentar o potencial elétrico de um sinal lógico que tem origem em uma célula lógica posicionada dentro de um domínio de tensão reduzida. Entretanto, a inserção de conversores de tensão não anula a existência das penalidades de atraso e de consumo de potência, como também adiciona uma nova penalidade de área. Contudo, o uso do escalonamento de tensão de alimentação é uma técnica que apresenta resultados bastante satisfatórios.

Neste contexto, este trabalho propõe uma nova arquitetura para os conversores de tensão que são utilizados em circuitos que utilizam o MDSV. Esta nova arquitetura torna possível reduzir ainda mais as penalidades causadas pela inserção dos conversores de tensão, tornando possível potencializar os ganhos da técnica MDSV, aumentando a redução no consumo de potência e também reduzindo o atraso entre as células. Essa nova proposição toma vantagem de uma característica apresentada apenas na técnica MDSV. Como os circuitos que utilizam MDSV podem mudar a tensão de alimentação das células em tempo de execução, em algumas ocasiões o uso de conversores de tensão pode não ser necessário. As vantagens da técnica proposta neste trabalho são:

- Redução no atraso: as células estão sendo conectadas de forma direta, ou seja, passarão pelo conversor de tensão somente quando for necessário o ajuste de tensão;
- Redução na potência consumida: o conversor de tensão é desligado quando seu uso não é necessário.

O escalonamento de tensão é a técnica mais efetiva para reduzir o consumo de potência dinâmica e, também, o consumo de potência estática. Contudo, o uso de mais do que uma tensão de alimentação apresentou problemas localizados nas conexões entre as células lógicas alimentadas por tensões diferentes. Para reduzir esse impacto negativo nas interfaces, foram criados circuitos com característica de amplificação chamados de conversores de tensão. Entretanto, esses circuitos não conseguem anular as penalidades adicionadas aos circuitos por causa

Tabela 3.1: Número de conversores de tensão inseridos pela ferramenta.

Circuito	Número de nets	Número de conversores de tensão
Adaptec 1	219794	30155
Adaptec 2	260159	11566
Adaptec 3	466295	44053
Adaptec 4	515304	43953
Adaptec 5	867441	65925
Newblue 1	331663	10659
Newblue 2	463213	41514

Fonte: (LIU; LI; CHAO, 2011)

do escalonamento de tensão. Além disso, eles acabam por acrescentar mais uma penalidade de área. Todos esses fatores devem ser considerados durante a especificação do projeto, uma vez que aplicar as técnicas de redução de consumo, aumentam a complexidade da síntese do circuito.

O trabalho de Liu et al. (LIU; LI; CHAO, 2011) apresentou quantos conversores de tensão seriam necessários para os circuitos utilizados na competição de roteadores globais organizada durante o ISPD'2007. Cabe ressaltar que os circuitos disponibilizados para a competição não passaram pela etapa de atribuição de tensão de alimentação, ou seja, esses circuitos não apresentavam restrições quanto à inserção de conversores de tensão. Para que fosse possível fazer os testes, foi necessária a criação de domínios de potência e dos modos de operação. Feito isso, a ferramenta desenvolvida por (LIU; LI; CHAO, 2011) gerou o roteamento global, realizou a inserção dos conversores de tensão e dos *buffers*.

A Tabela 3.1 apresenta os resultados da inserção de conversores de tensão, Considerando a distribuição dos domínios de potência feita pela ferramenta de (LIU; LI; CHAO, 2011). A proporção entre o número de *nets* e o número de conversores varia entre 3,21% e 13,72%, obtendo uma média de 7,99%, esse número representa a quantidade de *nets* que tiveram a adição de um conversor de tensão.

Os circuitos que foram projetados com o MDSV, apresentam uma característica que cria a possibilidade de reduzir ainda mais as penalidades do escalonamento de tensão. Essa característica é a capacidade de mudar as tensões de alimentação das regiões durante a execução, sendo essas tensões de alimentação foram previamente selecionadas e agrupadas em modos de operação. Com isso, é aberta uma janela de tempo onde alguns dos conversores de tensão que foram corretamente inseridos pelos algoritmos de síntese, sejam desviados e desligados.

Resumindo, essa nova arquitetura reforça que o conversor de tensão seja utilizado apenas quando necessário, reduzindo o impacto da inserção dos mesmos em circuitos que utilizam o MDSV e por consequência aumentando as vantagens do uso dessa técnica de redução de

consumo de potência.

3.1 Nova proposta de arquitetura de conversores de tensão para MDSV

A nova arquitetura de conversor de tensão proposta nesse trabalho visa reduzir o consumo de potência e o atraso comparados aos circuitos de conversão tradicionais. Aproveitando as características dos circuitos que tiveram a técnica do MDSV aplicada durante a construção, é apresentada uma proposta que visa reduzir o atraso nos conversores de tensão introduzindo um caminho alternativo para a corrente fluir quando não é necessária a conversão de tensão. Com isso, os conversores de tensão que naquele momento são desnecessários podem ser evitados (TERRES et al., 2013). Essa estratégia permite:

1. Usar o conversores de tensão de maneira usual;
2. Evitar o conversor de tensão, quando esse não necessita ser usado.

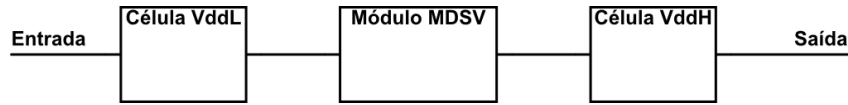
Para ilustrar o comportamento dinâmico dos circuito que utilizam o MDSV, algumas configurações são exploradas na Figura 2.14. Esse circuito de exemplo tem 12 domínios de potência (regiões) e as tensões de alimentações são atribuídas de forma dinâmica (TERRES et al., 2013). Com o MDSV, em um determinado momento, o circuito pode estar operando no modo de alto desempenho. Nesse modo de operação, todas as células são alimentadas com a tensão nominal e por consequência a frequência de operação desse modo de operação é maior. Depois de um certo tempo, se necessário, o modo de operação pode ser mudado para o equilibrado ou ainda para o economia de energia. Durante o período desses modos de operação vários blocos do circuito são alimentados por uma tensão reduzida ou até mesmo são desligados.

A Figura 3.1a mostra onde o módulo MDSV é inserido. Esse módulo é tradicionalmente composto apenas por um conversor de tensão. A Figura 3.1b apresenta um caso de estudo com células lógicas. Considere a situação inicial apresentada Figura 3.1b , onde as células posicionadas dentro da região 12 (R12) são conectadas em células posicionadas na região 2 (R2). Quando os modos de operação de alto desempenho e economia de energia estão ativos não é necessária a inclusão de um conversor de tensão nas *nets*, por que a tensão de alimentação em ambas regiões é igual. Entretanto, quando o circuito exemplo está com o *average mode* ativo, a região 12 (R12) é alimentado por uma tensão reduzida (V_{ddL}) e a região 2 (R2) está funcionando sendo alimentada pela tensão nominal (V_{ddH}). Então, nesse caso é necessário a inserção de um conversor de tensão.

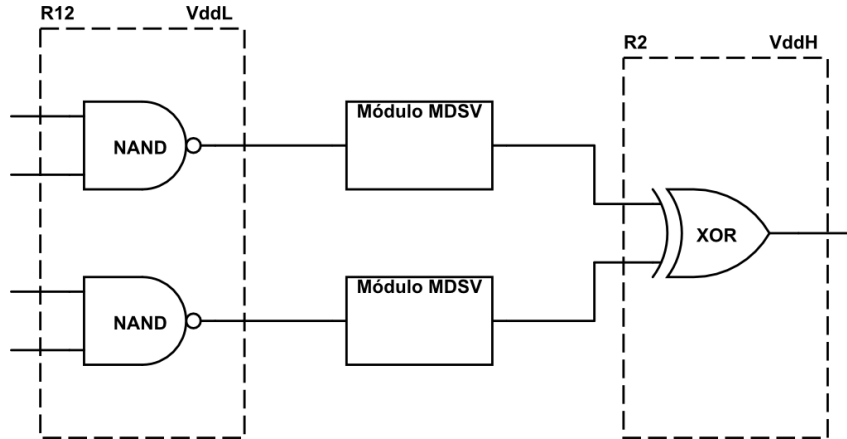
Tradicionalmente, os módulos MDSV são compostos por um conversor de tensão. Esse

Figura 3.1: Utilização do módulo de conversão MDSV.

(a) Exemplo de utilização de um módulo MDSV.



(b) Exemplo de regiões com diferentes tensões e a necessidade da inserção de módulo entre as duas regiões.



Fonte: Autor

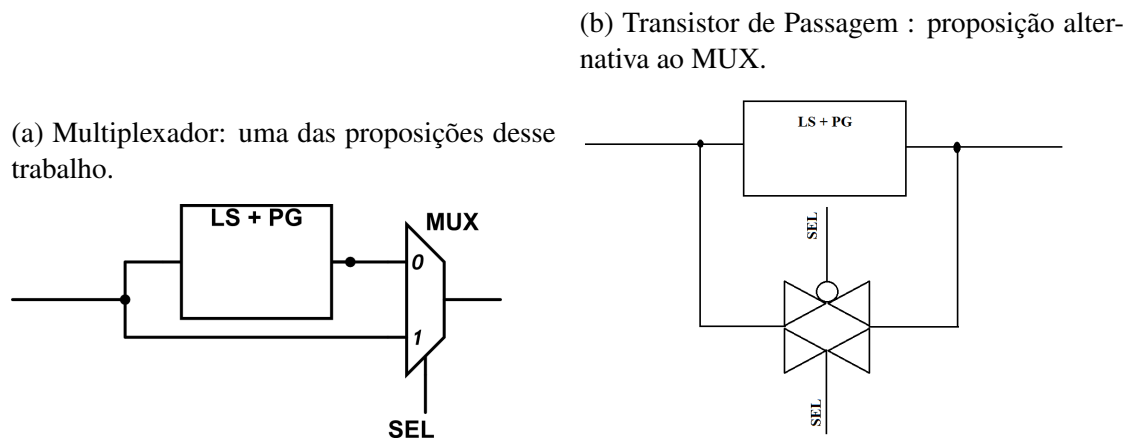
trabalho propõem duas arquiteturas para os circuitos que utilizam a técnica MDSV: multiplexador (3.2a) e Transistor de Passagem (*Transmission Gate* - TG) (3.2b). A primeira arquitetura combina um multiplexador com um conversor de tensão (TERRES et al., 2013) e vai ser referenciada a partir desse momento como sendo a arquitetura MUX/CT. A segunda arquitetura é composta por um caminho alternativo passando por um Transistor de Passagem (TERRES et al., 2014) e vai ser chamada de arquitetura TG/CT.

A tabela 3.2 analisa os possíveis casos de uso de uma célula carregando uma outra célula sendo alimentada com diferentes tensões. Ao todo são nove casos, mas excluindo os casos onde pelo menos uma das células está desligada, alcançando os quatro casos numerados na tabela. Aplicando a proposição foram atingidos bons resultados em três dos quatro casos. No caso onde a célula de origem é alimentada por uma tensão reduzida (V_{ddL}) e a célula destino alimentada por uma tensão nominal (V_{ddH}), a técnica apresenta uma pequena penalidade em atraso e potência.

Além da redução no atraso alcançado desviando o sinal para que ele evite passar pelo conversor de tensão, é possível conseguir redução da potência consumida por ele. Pois uma vez que o conversor está isolado do restante do circuito, torna-se viável desligá-lo da alimentação, diminuindo assim o consumo durante o período de inatividade a valores próximos a zero.

Com a finalidade de desconectar o conversor de tensão da linha de alimentação foram utilizados transistores de desligamento, apresentados na Seção 2.1. A técnica de *Power Gating*

Figura 3.2: Proposições desse trabalho. Elas acrescentam um caminho alternativo para corrente fluir.



Fonte: Autor

Tabela 3.2: Tabela com casos de uso da proposição

Casos MDSV onde a proposição apresenta redução do tempo de atraso e do consumo de potência

Caso	Célula de origem alimentada por	Célula destino alimentada por	Proposição apresenta ganhos comparada ao módulo tradicional
Caso I	Tensão Nominal	Tensão Reduzida	Sim
Caso II	Tensão Nominal	Tensão Nominal	Sim
Caso III	Tensão Reduzida	Tensão Reduzida	Sim
Caso IV	Tensão Reduzida	Tensão Nominal	Não

Fonte: Autor

(MAREK-SADOWSKA; NASSIF, 2005) (CHEN; LIN, 2009) foi utilizada na sua forma mais granular, o controle do desligamento aconteceu de célula em célula. Essa escolha foi tomada devido ao tamanho dos circuitos de testes que foram utilizados, em sua maioria esses circuitos contaram com poucas células lógicas, o que reduz a complexidade do controle de desligamento. Além disso, foi escolhido usar apenas transistor PMOS para realizar a desacopagem da linha de alimentação.

3.2 Implementação da arquitetura proposta

Os circuitos que implementam a arquitetura apresentada são compostos pelos conversores de tensão e os circuitos que fazem parte da proposição desse trabalho. Ao todo, este trabalho apresenta e compara seis diferentes circuitos que podem ser utilizados como o módulo descrito na Figura 3.1a, implementando alternativas de arquiteturas para o módulo MDSV:

1. Tradicional com o conversor de tensão DCVS (HELLER et al., 1984);

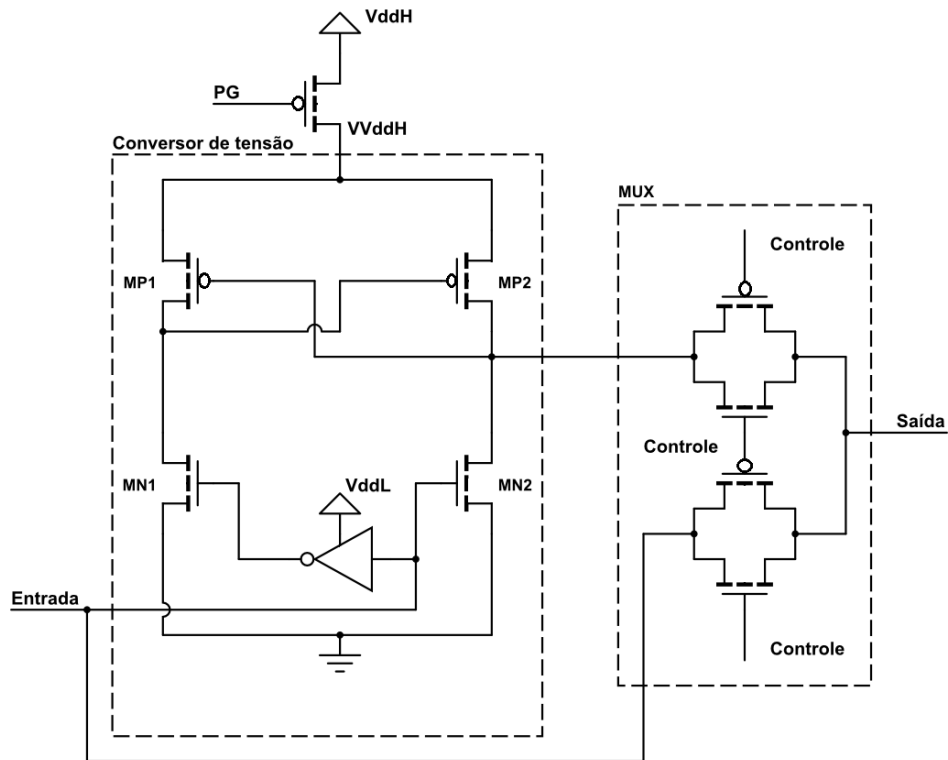
2. Tradicional com o conversor de tensão proposto por Puri et al. (PURI et al., 2003);
3. Proposta com o conversor de tensão com o Multiplexador acoplado, DCVS (HELLER et al., 1984) sendo usado como conversor de tensão.
4. Proposta com o conversor de tensão com o Multiplexador acoplado, Puri (PURI et al., 2003) sendo usado como conversor de tensão.
5. Proposta com o conversor de tensão com o *Transmission Gate* acoplado, DCVS (HELLER et al., 1984) sendo usado como conversor de tensão.
6. Proposta com o conversor de tensão com o *Transmission Gate* acoplado, Puri (PURI et al., 2003) sendo usado como conversor de tensão.

Os circuitos dos dois primeiros itens da lista apresentada já foram apresentados na Seção 2.2.3. Os circuitos propostos com a inclusão do MUX e do TG, são apresentados nas Figuras 3.3a, 3.3b, 3.4a e 3.4b.

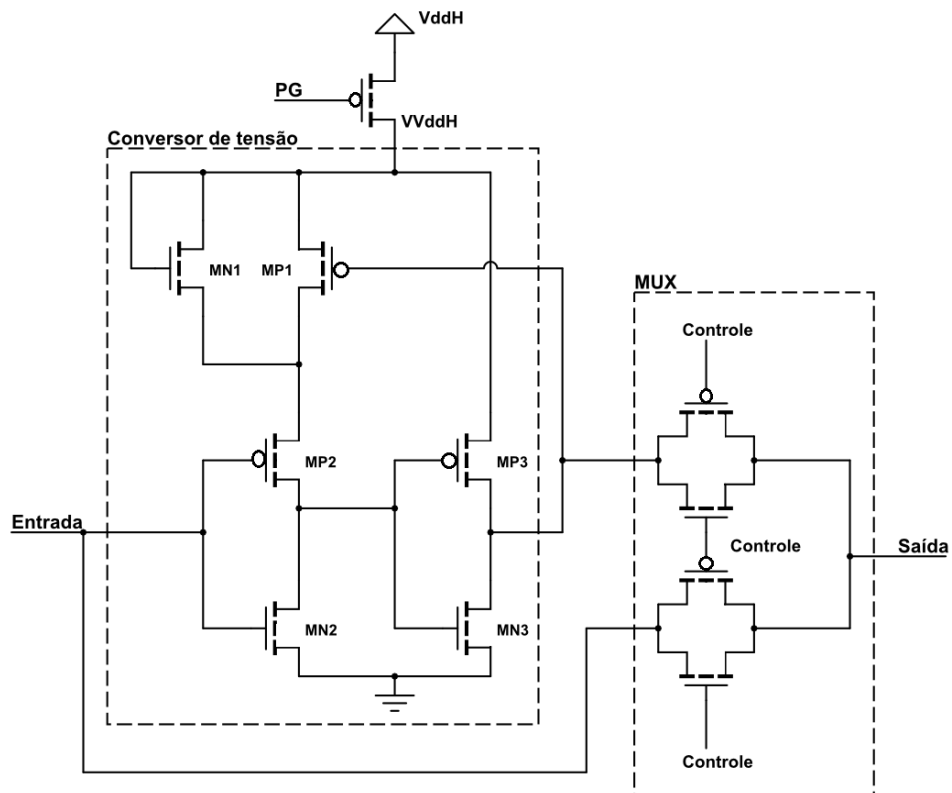
Analisando as Figuras 3.4a e 3.4b, foi utilizado um transistor PMOS para efetuar o desligamento do conversor de tensão. Nota-se a necessidade da inserção de dois transistores para realizar o desligamento da parte referente ao conversor de tensão nos circuitos que utilizam TG. Essa característica é apresentada para evitar problemas de curto circuito e falhas lógicas no circuito.

Figura 3.3: Circuitos utilizando o Multiplexador.

(a) Módulo MDSV composto pelo conversor de tensão DCVS (HELLER et al., 1984) e o MUX.



(b) Módulo MDSV composto pelo conversor de tensão proposto por Puri et al. (PURI et al., 2003) e o MUX.

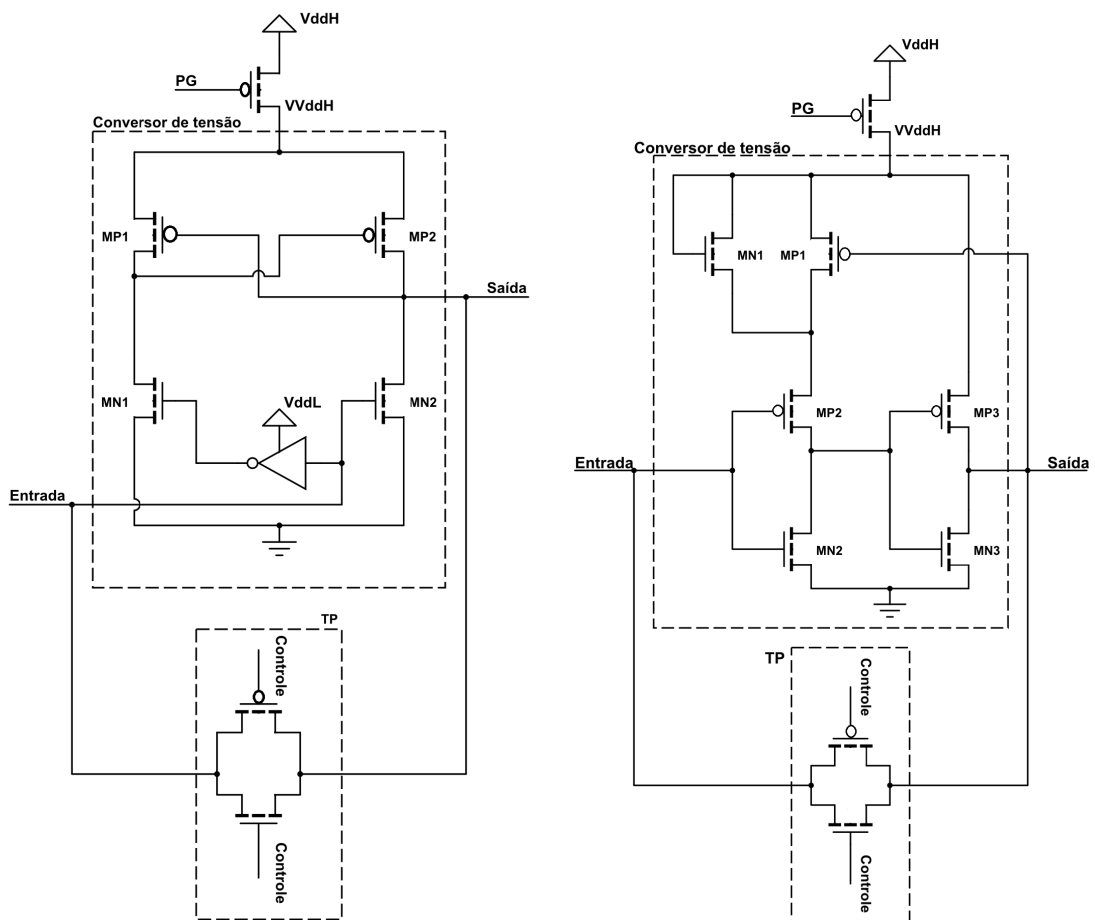


Fonte: Autor

Figura 3.4: Circuitos finais utilizando o Transistor de Passagem .

(a) Módulo MDSV composto pelo conversores de tensão DCVS (HELLER et al., 1984) e o TG.

(b) Módulo MDSV composto pelo conversores de tensão proposto por Puri et al. (PURI et al., 2003) e o TG.



Fonte: Autor

4 RESULTADOS

O objetivo principal deste trabalho é apresentar uma solução para o consumo dinâmico. Para isso, foi proposto a inclusão de um circuito auxiliar à conversão de tensão. Os resultados alcançados foram com base nos circuitos apresentados na Seção 3.2. A avaliação destes circuitos foi feita em nível elétrico, com os circuitos de teste usando células lógicas e os circuitos apresentados. Nessas simulações elétricas foram coletados dados de potência e atraso e tais dados foram comparados para validar a nossa nova arquitetura proposta. A arquitetura proposta por este trabalho tem como objetivo apresentar uma nova alternativa ao módulo MDSV, mostrado na Figura 3.1.

Os resultados são apresentados em três partes:

- Comparação dos dois conversores de tensão tradicionais;
- Comparação das duas opções apresentadas pela nova arquitetura do módulo MDSV: Multiplexador e Transistor de Passagem ;
- Comparação do estado da arte com a nova arquitetura do módulo MDSV.

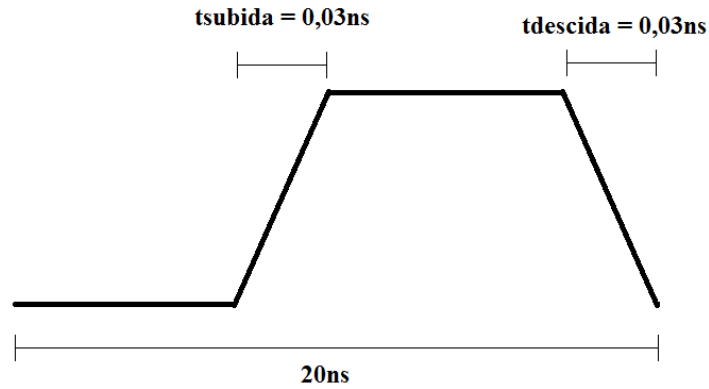
4.1 Metodologia

Para realizar as simulações foram utilizadas as ferramentas HSpice e CScope. A tecnologia adotada foi o nó tecnológico de 45 nm preditivo (CAO et al., 2000) (ZHAO; CAO, 2006) disponibilizado pela PTM, dentre as opções de transistores acessíveis no modelo foram escolhidos os de alto desempenho. Como tensão nominal (V_{ddH}) foi usado 1V e a tensão reduzida foi usada uma faixa de valores que começa em 0.5V e vai até o valor de 0.9V.

Para medir os tempo de atraso, foi utilizada a métrica do atraso de propagação. O tempo de propagação de um *gate* define o quão rápido ele responde quando o valor da entrada é alterado (RABAEY; CHANDRAKASAN; NIKOLIC, 2003). O tempo de atraso de propagação é calculado entre os pontos de 50% das entradas e saídas. Para as simulações, foi utilizada a forma de onda, escolhida de forma empírica, mostrada na Figura 4.1, nelas o tempo de subida e o tempo de descida utilizados são igual a $0,03ns$.

Como referência para os resultados, foi utilizada a simulação do circuito apresentado na Figura 4.2a composto por quatro NAND2, uma NAND4, um *buffer* e um capacitor, sendo essa configuração de circuito escolhida de forma empírica. O conjunto composto pelo *buffer* e o capacitor tem a função de caracterizar a capacitância de saída do circuito. Na simulação, a

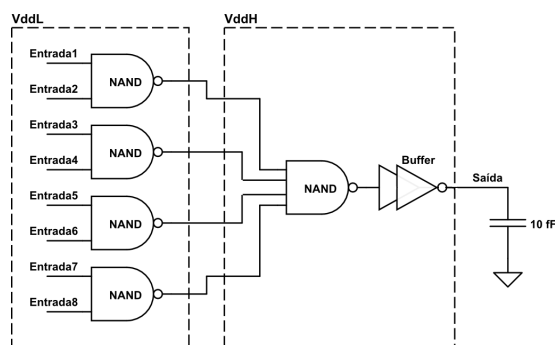
Figura 4.1: Forma de onda das entradas dos circuitos.



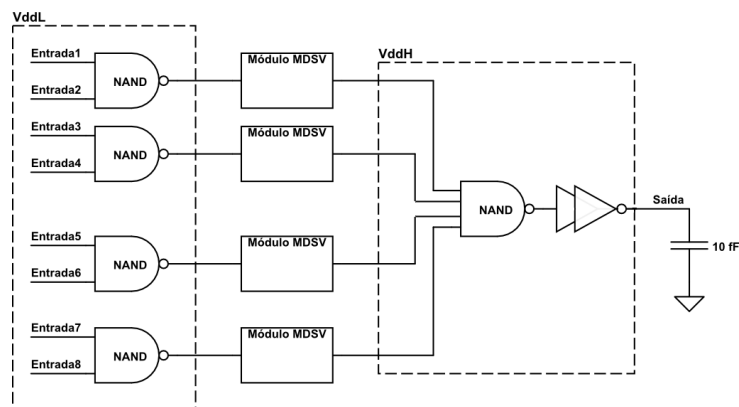
Fonte: Autor

Figura 4.2: Circuitos utilizados durante as simulações elétricas.

(a) Circuito utilizado como referência para as simulações posteriores.



(b) Circuito de teste composto por duas regiões alimentadas por tensões diferentes.



Fonte: Autor

tensão de alimentação das NAND2 foi variada, enquanto a NAND4 permanecia com a tensão de alimentação nominal. Essa simulação tem o objetivo de comprovar o aumento de consumo na região alimentada pela tensão nominal e sendo carregada por um conjunto de células alimentadas por uma tensão reduzida, assunto abordado na Seção 2.2.3.

O circuito utilizado na simulação de teste para os conversores de tensão é apresentado na Figura 4.2b. Ele é composto por três regiões: uma alimentada pela tensão reduzida (V_{ddL}) e que é composta por quatro NAND2; uma que tem a possibilidade de alimentada por ambas as tensões, reduzida (V_{ddL}) e nominal (V_{ddH}), e é composta pelo módulo MDSV; e por fim, uma região alimentada pela tensão nominal e é composta por uma NAND4, um *buffer* e um capacitor de 10fF. Esse circuito, comparado com o circuito apresentado na Figura 4.2a, possui como diferença apenas a inserção do módulo MDSV. Este módulo pode ser composto por: um conversor de tensão ou um conversor de tensão acrescido de um MUX ou TG, ou seja, um conversor de tensão que utiliza a técnica proposta por esse trabalho.

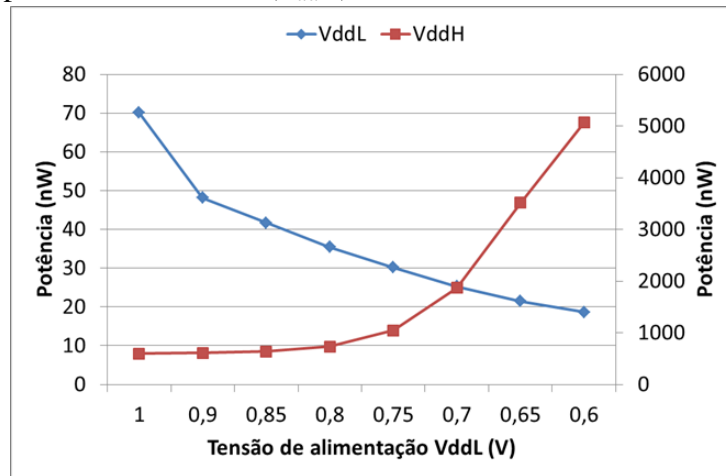
4.2 Simulação de Referência

A Figura 4.3 apresenta um gráfico comparativo entre a potência de cada uma das regiões apresentadas na Figura 4.2a. Nesse gráfico é apresentada a potência nos eixos verticais. Já no eixo horizontal é mostrada a tensão de alimentação da região com tensão reduzida (V_{ddL}), composta pelas quatro NAND2. Esse gráfico confirma a afirmação apresentada na Seção 2.2.3, que se refere ao aumento do consumo de potência de células alimentadas por tensão nominal (V_{ddH}) sendo carregadas por células alimentadas por tensão reduzida (V_{ddL}). Essa afirmação é confirmada pela curva de potência da "Região VddH" que apresenta um crescimento exponencial na medida que a tensão de alimentação da "Região VddL" é reduzida. Esse crescimento é interrompido quando o valor de 0,65V foi alcançado, momento em que a saída da NAND4 não conseguiu alcançar o valor lógico correto.

Durante essa simulação, a região alimentada pela tensão reduzida (V_{ddL}) consumiu 3 vezes menos potência. Enquanto a região alimentada pela tensão nominal apresentou um aumento de quase 6 vezes. Esses resultados comprovam que a diminuição da potência consumida por um circuito está relacionada à tensão de alimentação do mesmo e que a potência de curto-circuito é relevante quando estamos analisando circuitos que possuem mais de uma tensão de alimentação.

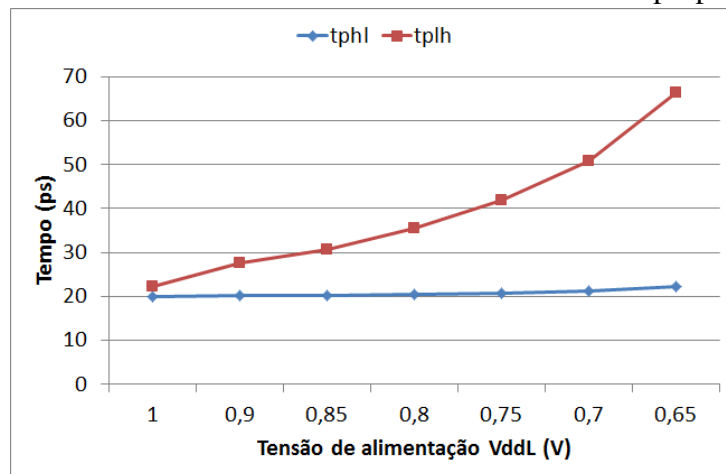
A Figura 4.4 apresenta os resultados de atraso apresentados pela simulação do circuito da Figura 4.2a. A simulação mostra o aumento do atraso com a redução da tensão de alimentação

Figura 4.3: Curva da potência em uma região alimentada pela tensão reduzida (V_{ddL}) e em uma região alimentada pela tensão nominal (V_{ddH}).



Fonte: Autor

Figura 4.4: Gráfico contendo os resultados do atraso de propagação.



Fonte: Autor

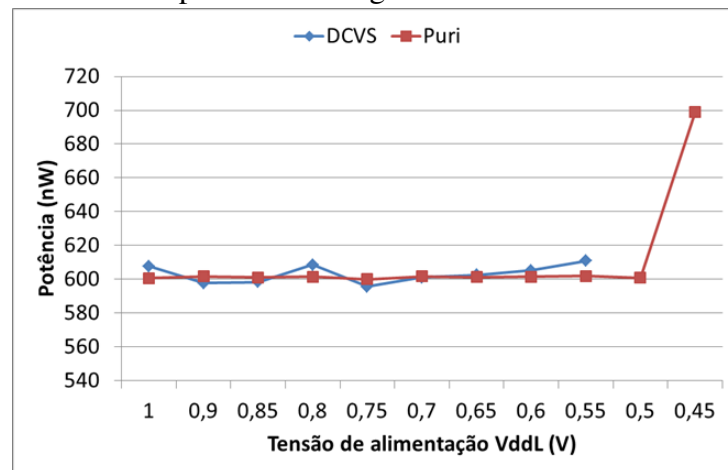
na região de tensão reduzida (V_{ddL}). Quando as entradas passam de nível lógico 0 para nível lógico 1, o atraso teve um aumento médio de 10%. No sentido contrário, quando as entradas trocaram de nível lógico 1 para nível lógico 0, o atraso foi aproximadamente 3 vezes maior em média. Analisando a Figura 4.4 é possível comprovar que o t_{plh} foi mais afetado pela redução de tensão.

4.3 Conversores de tensão tradicionais

Para esta comparação, foram utilizados os circuitos apresentados na Seção 2.2.3. A avaliação dos conversores de tensão tradicionais será feita em duas etapas:

1. Todos transistores serão dimensionados com o valor mínimo da tecnologia ($W=70\text{nm}$ e

Figura 4.5: Consumo de potência nas regiões envolvidas na conversão de tensão.



Fonte: Autor

$L=45\text{nm}$);

2. Todos transistores serão dimensionados com o objetivo de balancear os tempos de propagação .

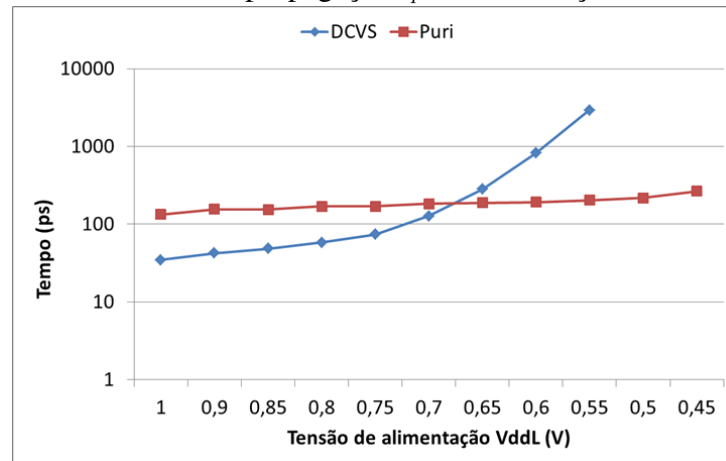
Com a inserção do conversor de tensão, torna-se interessante avaliar o consumo de potência de maneira distinta nos diferentes domínios de tensão do circuito de teste. Na Figura 4.5 é apresentado o resultado e, como esperado, a potência consumida pela região alimentada pela tensão nominal (V_{ddH}) não apresentou o mesmo crescimento mostrado na Figura 4.3. Durante as simulações, o circuito que foi montado utilizando o circuito DCVS apresentou dificuldades em cumprir as restrições de atraso quando a redução da tensão alcançou valores próximos a $0,6V$. Por isso os valores de potência consumida foram removidos. Com esses resultados foi provado a necessidade do uso de conversores de tensão em circuitos que operam com mais de uma tensão de alimentação.

Os dois conversores de tensão foram avaliados nos quesitos: de tempo de atraso, de potência consumida por cada um dos conversores de tensão, do produto entre o atraso e a potência consumida, além de avaliar a potência consumida pelas regiões adjacentes alimentadas pelas tensões reduzida (V_{ddL}) e nominal (V_{ddH}).

Os tempos de transição coletados durante a simulação elétrica podem ser vistos na Figura 4.6. Nesse gráfico são apresentados os tempo de atraso do circuito de teste para as transições de nível lógico 0 para nível lógico 1 das entradas do circuito. Para melhor visualização dos gráficos a escala do eixo y foi alterada para escala logarítmica na base 10. Os valores mostrados pelo gráfico são próximos e apresentam uma grande variação. Quando as duas regiões estão alimentadas pela mesma tensão, o circuito utilizando o DCVS executou a transição em aproximadamente 4 vezes menos tempo em comparação ao circuito utilizando a solução de Puri. A

vantagem do DCVS frente ao Puri permaneceu até quando foi alcançado o valor de $0,65V$ de tensão reduzida (V_{ddL}). Nesse ponto o circuito de Puri apresentou os melhores resultados, além de conseguir continuar funcionando até tensão mínima ($0,45V$) algo que o circuito DCVS não conseguiu alcançar, por causa do tempo limite de simulação que foi determinado ao circuito de teste.

Figura 4.6: Resultados do atraso de propagação t_{phl} da simulação dos conversores de tensão.



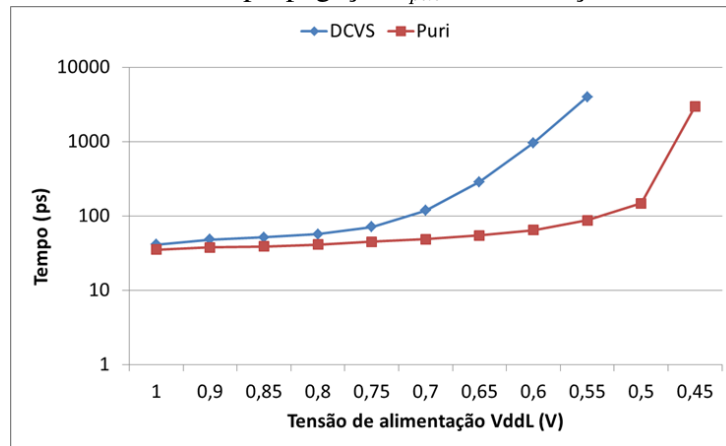
Fonte: Autor

A Figura 4.7 apresenta os resultados do tempo de propagação do circuito de teste para as transições de nível lógico 1 para nível lógico 0 das entradas do circuito. Do mesmo jeito do que na Figura 4.6, os gráficos são apresentados utilizando a escala logarítmica com base 10. Nessa situação os resultados foram inversos, o circuito que utilizava o conversor de tensão introduzido por Puri apresentou melhores resultados em todas as tensões analisadas. Desde a primeira interação onde alcançou 16% de vantagem até a última interação válida, apresentou uma larga vantagem, sendo em torno de 5 vezes mais rápido. Esse comportamento mostra a clara vantagem desse topologia diante de tensões mais próximas á tensão de *threshold*.

Para analisar a potência consumida por cada um dos conversores de tensão, foram utilizadas fontes de tensão independentes do restante do circuito com o objetivo de uma análise mais adequada. A Figura 4.8 que apresenta a potência consumida por cada um dos circuitos conversores de tensão comparados nesse trabalho. O circuito introduzido por Puri consegue gerenciar melhor o consumo, alcançando resultados bem melhores do que o DCVS. Puri conseguiu ter o consumo de até 24,61 vezes melhor quando comparado com o circuito DCVS e em média de 5,78 vezes. Esse resultado tem relação com o acoplamento cruzado dos transistores $M1$ e $M2$, o que acaba por causar um significativo aumento na potência consumida pelo conversor de tensão.

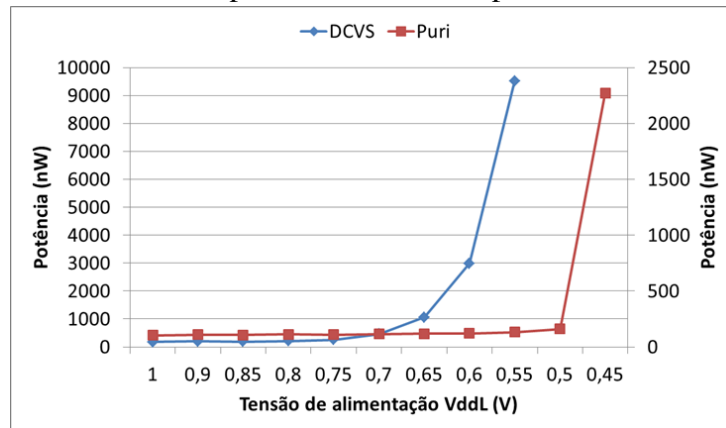
Mesmo com o uso dos conversores de tensão, a potência consumida pela região ali-

Figura 4.7: Resultados do atraso de propagação t_{plh} da simulação dos conversores de tensão.



Fonte: Autor

Figura 4.8: Resultados da potência consumida pelos conversores de tensão.

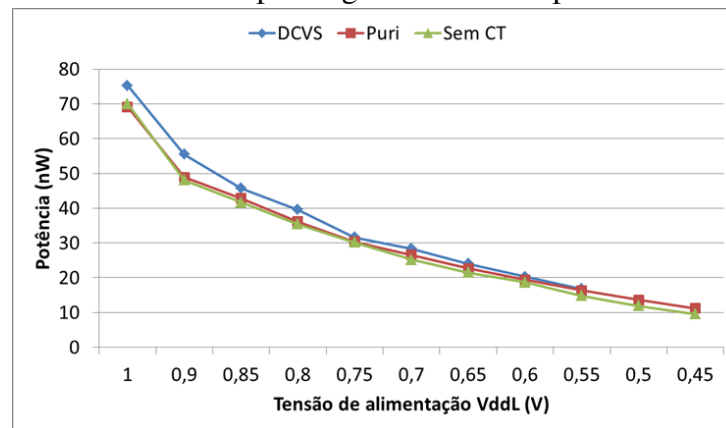


Fonte: Autor

mentada pela tensão reduzida (V_{ddL}) continuou a apresentar uma curva de redução na potência consumida. A Figura 4.9 compara a potência consumida nos três circuitos simulados: o DCVS, Puri e no circuito que não utiliza conversor de tensão. Nos resultados apresentados, o circuito de Puri mostrou um pequeno aumento na potência consumida pelo região alimentada pela tensão reduzida (V_{ddL}). Mas conseguiu obter melhores resultados em comparação ao circuito que utilizava o conversor de tensão DCVS. Este último chegou a consumir em média 7% mais potência do que o circuito que utilizava o conversor de tensão de Puri et al..

4.4 Conversores de tensão tradicionais dimensionados

Essa Seção apresenta os resultados dos dois circuitos de conversores de tensão dimensionados para alcançar os melhores resultados de tempo de atraso e também o equilíbrio entre os tempo de transição (subida e descida). Para realizar as simulações elétricas, foi utilizado o

Figura 4.9: Potência consumida pela região alimentada pela tensão reduzida (V_{ddL}).

Fonte: Autor

Tabela 4.1: Dimensionamento do circuito DCVS (HELLER et al., 1984).

Transistor	Largura
M1	70nm
M2	70nm
M3	170nm
M4	170nm
M5	70nm
M6	170nm

Fonte: Autor

circuito apresentado na Figura 4.2b. A única alteração apresentada é o dimensionamento dos transistores que fazem parte dos circuitos conversores de tensão.

As Tabelas 4.1 e 4.2 apresentam os dimensionamentos dos transistores utilizados para simular os circuitos DCVS e Puri et al., respectivamente. A numeração dos transistores apresentados nas Tabelas 4.1 e 4.2 são referentes às numerações dos transistores apresentados nas Figuras 2.16 e 2.17, apresentadas na Seção 2.2.3. O dimensionamento dos transistores foi feito utilizando instruções de otimização disponíveis na ferramenta Hspice.

Baseado na escolha de dimensionamento dos transistores da ferramenta Hspice, foram feitas novas simulações elétricas com o objetivo de concluir qual era o melhor conversor de ten-

Tabela 4.2: Dimensionamento do circuito introduzido por (PURI et al., 2003).

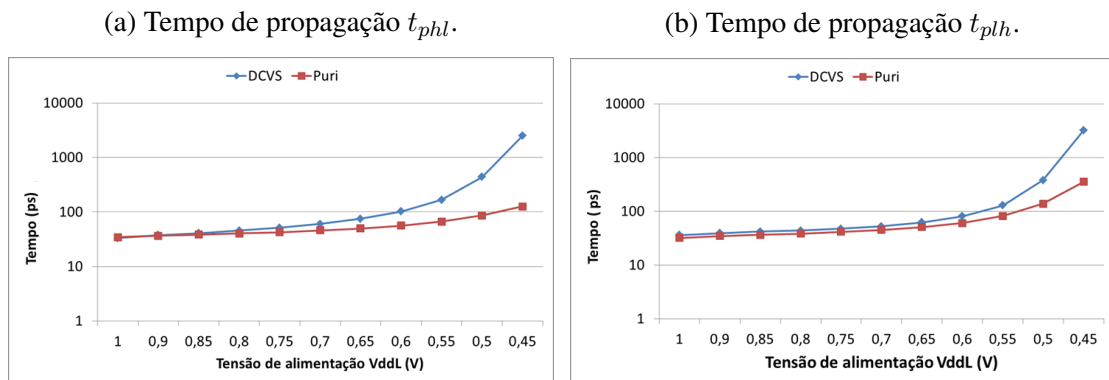
Transistor	Largura
M1	3620nm
M2	105nm
M3	115nm
M4	125nm
M5	115nm
M6	125nm

Fonte: Autor

são quanto ao desempenho e potência consumida. O circuito utilizado para realizar a simulação elétrica foi o mesmo apresentado na Figura 4.2b.

A Figura 4.10 apresenta os resultados das simulações elétricas do circuito da Figura 4.2b contendo os conversores de tensão com transistores dimensionados. Os gráficos mostram que o objetivo do dimensionamento foi alcançado: os tempos de propagação das transições foram bem próximos. Além do ajuste dos tempo de propagação, conseguiu-se reduzir o atraso nos circuitos conversores de tensão. Com o dimensionamento, o circuito introduzido por Puri et al. apresentou grande melhora no atraso de propagação das transições de subida, ou seja, quando a entrada transiciona do nível lógico 0 para o nível lógico 1. Para isso, o tamanho do transistor $M1$, que funciona como um diodo e reduz a tensão para o inversor constituído por $M3$ e $M4$, necessitou ser aumentado. Esse aumento é um fator que deve ser considerado na inserção de uma grande quantidade de conversores de tensão, uma vez que aumentaria de maneira considerável o tamanho final do circuito. Ainda mais quando é levado em conta a quantidade de conversores de tensão que necessitam ser inseridos em circuitos que possuem centenas de milhares de conexões, como os mostrados na Tabela 3.1 apresentada no Capítulo 3.

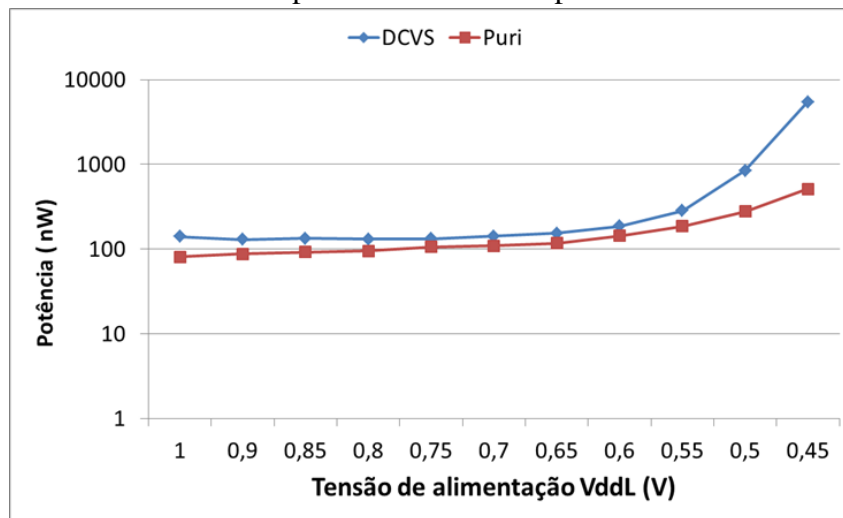
Figura 4.10: Tempo de propagação da simulação com o circuito contendo os transistores dimensionados.



Fonte: Autor

A Figura 4.11 mostra os resultados da potência consumida obtidos pela simulação elétrica do circuito de teste. Nesses gráficos constam as potências consumidas apenas pelos conversores de tensão, que foram ligados em fontes de tensão separadas ao restante do circuito. Os gráficos apresentam escalas na ordem logarítmica para uma melhor visualização. A situação apresentada na Seção 4.3 permaneceram e o conversor de tensão introduzido por (PURI et al., 2003) foi melhor quando foram analisados os resultados de potência consumida. Mesmo apresentando uma significativa melhora, o conversor de tensão DCVS consumiu em média 2,41 mais potência do que o circuito de Puri. Essa média foi bastante afetada pelo resultado da com-

Figura 4.11: Resultados sobre a potência consumida pelo circuito durante a simulação.



Fonte: Autor

paração da simulação do circuito usando a tensão de alimentação em $0,45V$, na simulação o circuito de Puri consumiu em torno de 10 vezes menos do o DCVS.

4.5 MUX e TG

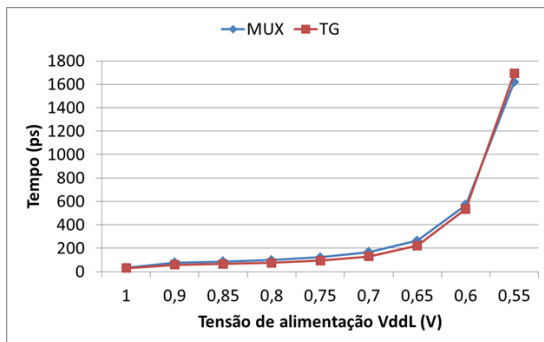
Até então os resultados apresentados tinham como objetivo encontrar o melhor circuito conversor de tensão, resultando com a escolha do circuito DCVS (HELLER et al., 1984). Nessa seção a proposta de módulo MDSV foi adicionada aos circuitos conversores de tensão, ou seja, foram colocados o multiplexador e o Transistor de Passagem ao circuito do conversor de tensão DCVS (HELLER et al., 1984) e as simulações elétricas foram refeitas.

Essa seção tem como objetivo comparar as duas proposições de arquitetura com o estado da arte dentre os conversores de tensão. Para isso, serão utilizados os circuitos de conversores de tensão que foram apresentados nas Figuras 3.3a e 3.4a da Seção 3.2. Além disso, foram utilizados os dimensionamentos apresentados na Tabela 4.1 da Seção 4.4.

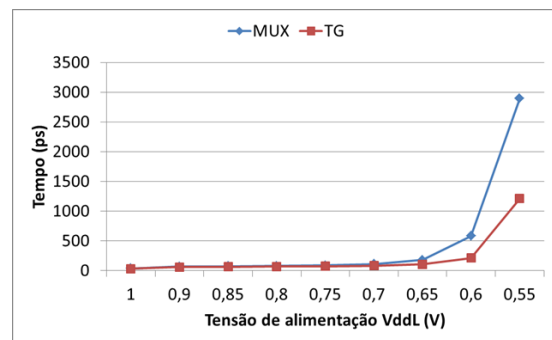
A Figura 4.12 apresenta os resultados do atraso das simulações elétricas que comparam os circuitos usando o multiplexador e o Transistor de Passagem. As simulações adotam o mesmo circuito conversor de tensão (DCVS), tendo como diferença apenas as arquiteturas proposta (MUX e TG). Por isso, os resultados do atraso de propagação das transições de subida foram bastante semelhantes, com a arquitetura que introduz um Transistor de Passagem alcançando uma média de 20% de vantagem à arquitetura que apresenta o multiplexador. Essa vantagem aumentou de forma considerável quando analisamos os tempos de atraso de propagação nas transições de descida, onde a arquitetura com o Transistor de Passagem apresentou

Figura 4.12: Tempo de propagação da simulação com o circuito contendo os conversores de tensão utilizando a arquitetura proposta.

(a) Tempo de propagação t_{phl} .



(b) Tempo de propagação t_{plh} .

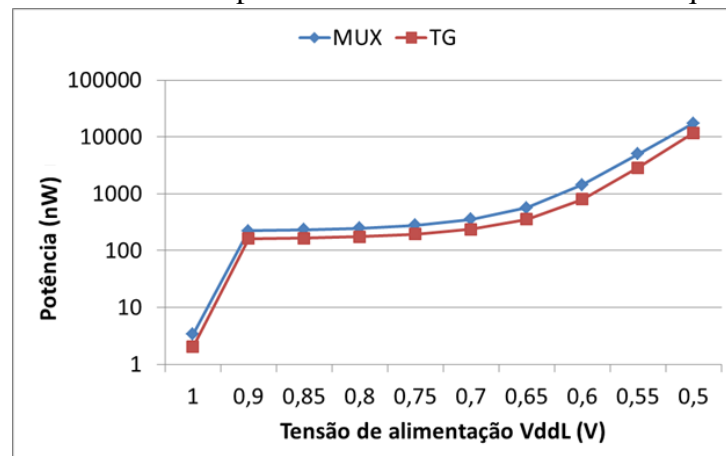


Fonte: Autor

tempos em média 53% menores do que a arquitetura que utilizava o multiplexador.

Os resultados que mostram a potência consumida nas regiões adjacentes não apresentaram valores similares, não havendo diferença no uso de uma ou outra arquitetura. Entretanto, o consumo interno do conversor de tensão apresentou grande variação com uso do Multiplexador. A Figura 4.13 apresenta esses resultados e, para uma melhor visualização dos dados, a escala do eixo y está em escala logarítmica na base 10. As simulações elétricas mostraram que o circuito utilizando o Transistor de Passagem consumiu em média 54% menos do que o circuito utilizando o multiplexador.

Figura 4.13: Potência consumida pelo conversor de tensão com as arquiteturas propostas.



Fonte: Autor

Por todos esses resultados apresentados, a arquitetura que introduz o Transistor de Passagem afetou menos o circuito quando comparado com o Multiplexador. Com a utilização do Transistor de Passagem, o conversor de tensão foi capaz de consumir menos potência. As simulações mostraram que o consumo de potência nos conversores de tensão é em sua maioria

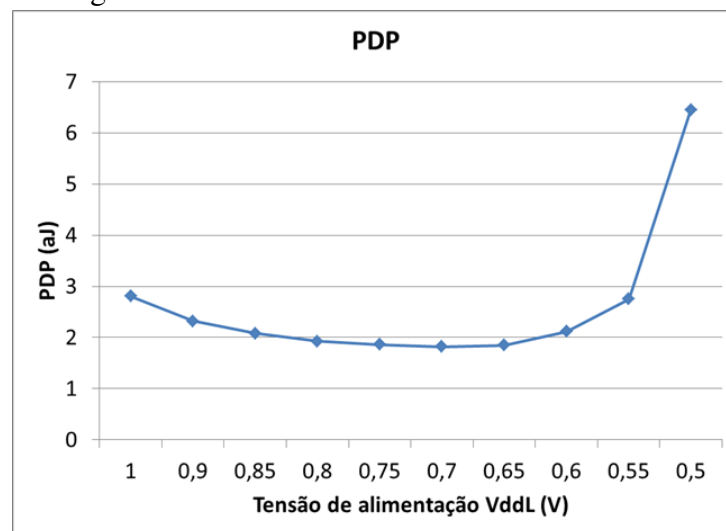
atribuído à rede de alimentação nominal (V_{ddL}), sendo nesse ponto onde a arquitetura que utiliza o *Transmission Gate* apresentou os melhores resultados.

4.6 Arquitetura Proposta

Essa Seção avalia os resultados da arquitetura proposta por esse trabalho comparados com o conversor de tensão que apresentou melhores resultados durante a Seção 4.3.

Para realizar as comparações foi necessário atribuir uma tensão de alimentação reduzida fixa. Essa decisão foi tomada com o objetivo de melhorar a apresentação dos resultados. A escolha dessa tensão de alimentação foi baseada pela análise nos valores do *Power Delay Product* (PDP), que leva em consideração a potência consumida e o tempo de propagação do sinal. A única região de tensão reduzida (V_{ddL}) é a única região que tem a possibilidade de variar as tensões de alimentação. Os resultados do PDP são apresentados na Figura 4.14. Analisando o gráfico da Figura 4.14, o menor valor de PDP é alcançado quando a tensão de alimentação é igual a $0,70V$, ou seja, nessa tensão de alimentação o circuito apresenta um bom equilíbrio entre o atraso de propagação e a potência consumida.

Figura 4.14: Valores de PDP do circuito de teste.



Fonte: Autor

Com a definição das tensões de alimentação, as simulações elétricas usaram como base o circuito apresentado na Figura 4.2b. Nesse circuito, os módulos MDSV foram substituídos, primeiramente, pelo circuito conversor de tensão DCVS (Figura 2.16). Posteriormente, pelo circuito proposto por este trabalho (Figura 3.4a) e constituído por um conversor de tensão DCVS acrescido de um TG (TERRES et al., 2014). Em ambos circuitos, o conversor de tensão

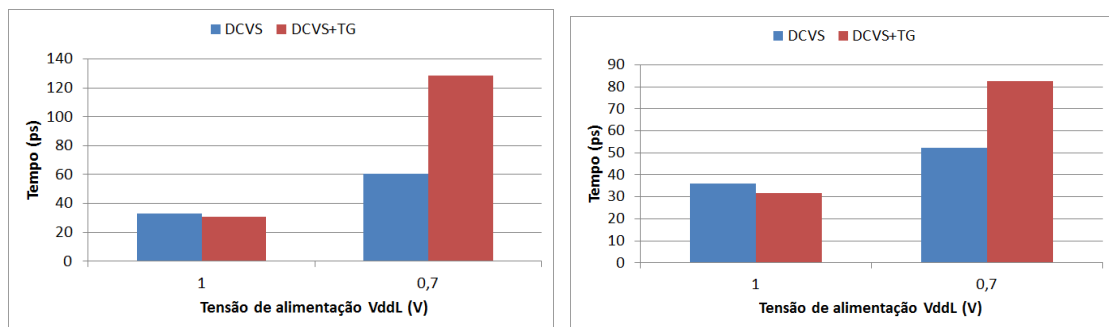
utilizado foi dimensionado com base na Tabela 4.1.

A Figura 4.15 apresenta os valores de atraso capturados durante a simulação elétrica dos circuitos. Vale ressaltar que o domínio de potência foi alimentado pela tensão nominal (V_{ddH}) foi fixada em 1,0V e que o outro domínio de potência foi alimentado por dois valores de tensão, apresentados na Tabela 4.3.

Figura 4.15: Tempo de propagação da simulação elétrica.

(a) Tempo de propagação t_{phl} .

(b) Tempo de propagação t_{plh} .



Fonte: Autor

Tabela 4.3: Tabela contendo as tensões de alimentação utilizadas nas simulações elétricas

Região	Tensão de alimentação
V_{ddH}	1.0V
V_{ddL}	0.7V

Fonte: Autor

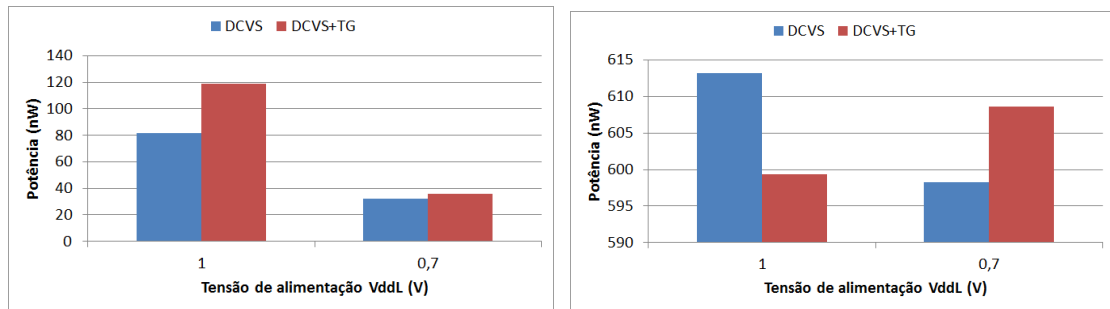
Durante as simulações, os circuitos que utilizavam a arquitetura proposta por este trabalho, conseguiram reduzir o tempo de atraso das transições de subida em 7%, alcançando pico de 9%. Tal ganho foi alcançado, ultrapassando o conversor de tensão utilizando o TG. Em contra partida, quando o conversor de tensão era necessário, ou seja, quando existia uma diferença entre as tensões de alimentação, a arquitetura proposta por este trabalho acrescentou uma penalidade que dobra o tempo de atraso das transições de subida, como pode ser visto na Figura 4.15a.

A Figura 4.15b mostra que o impacto da nova arquitetura nos tempos de atraso das transições de descida apresentou uma pequena variação. Quando existia a possibilidade de desligar o conversor de tensão, a arquitetura apresentou uma média de 13% de redução do atraso, chegando até 16%. Entretanto, quando a corrente necessitava passar pelo conversor de tensão, a arquitetura adicionou em média 58% no tempo de atraso.

Analisando a Figura 4.17, que contém as potências consumidas pelas regiões de tensão, foi notado um aumento no consumo na região alimentada pela tensão reduzida (V_{ddL}).

Figura 4.16: Potência consumida pelas duas regiões do circuito de teste.

(a) Potência consumida pela região alimentada pela tensão reduzida (V_{ddL}). (b) Potência consumida pela região alimentada pela tensão nominal (V_{ddH}).



Fonte: Autor

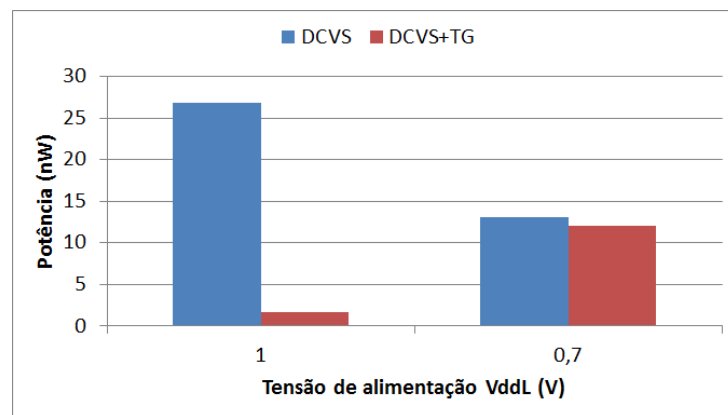
O aumento de consumo é presente nas duas situações, como mostra a Figura 4.16a: quando o conversor de tensão é contornado e quando ele não é. Esse aumento de consumo se deve ao aumento da capacitância de carga. Entretanto, os resultados de potência consumida pela região alimentada pela tensão nominal (V_{ddH}) apresentaram valores equilibrados, alcançando uma pequena redução no consumo quando o caminho alternativo estava ativo, 2%. E quando o caminho alternativo está desativado, houve um aumento no consumo na ordem de 2%, valores apresentados na Figura 4.16b.

A Figura 4.17 apresenta os valores de potência que os conversores de tensão consumiram durante as simulações elétricas do circuito de teste. Quando foi feita a análise dos valores de potência consumida através da fonte de alimentação de tensão reduzida, a nova arquitetura alcançou redução nos dois casos. Graças ao desligamento do conversor de tensão, o corte no consumo de potência chegou a 16,9 vezes. Quando o conversor de tensão não pode ser desligado, o uso do Transistor de Passagem possibilitou a redução do consumo em 9% comparado ao circuito que contava com o DCVS padrão, ou seja, sem a arquitetura proposta por este trabalho.

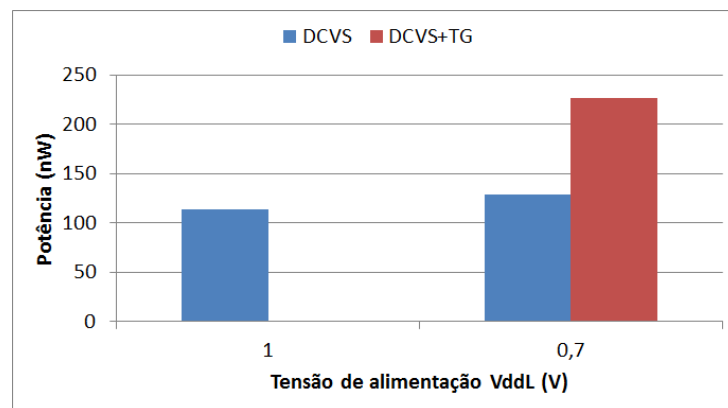
Os resultados da potência consumida através da fonte de alimentação de tensão nominal apresentaram uma redução, que chegou a aproximadamente 99% quando os conversores de tensão podiam ser desligados. Em contra partida, quando não era possível desligar os conversores a nova arquitetura apresentou uma adição de 75% consumo de potência quando foi necessário fazer a conversão de tensão.

Figura 4.17: Potência extraída de cada uma das fontes de tensão que alimentaram os conversores de tensão do circuito de teste.

(a) Potência extraída da fonte de alimentação nominal pelos conversores de tensão.



(b) Potência extraída da fonte de alimentação reduzida pelos conversores de tensão.



Fonte: Autor

5 CONCLUSÕES

Um dos principais problemas no desenvolvimento de circuitos VLSI é o consumo de potência. Foi apresentado um fluxo da síntese de um circuito VLSI e foram citadas algumas técnicas de redução de consumo que são aplicadas durante esse fluxo. Dentre essas técnicas, foram destacadas aquelas técnicas que visam reduzir o consumo de potência dinâmica, reduzindo a tensão de alimentação de algumas áreas do circuito. O uso de mais de uma tensão de alimentação em circuitos aumenta a complexidade do projeto, uma vez que é necessário adicionar circuitos de proteção, conhecidos como conversores de tensão.

A particular característica da técnica *Multiple Dynamic Supply Voltage* (MDSV) de poder mudar dinamicamente a tensão das regiões que compõem o circuito. O uso dessa técnica adicionou uma nova condição de projeto, onde o conversor de tensão adicionado no circuito pode permanecer em estado de espera, ou seja, não precisa ser utilizado. Essa condição acontece quando as regiões conectadas são alimentadas pela mesma tensão. Considerando essa situação, este trabalho apresenta uma nova arquitetura, que tem como objetivo conseguir reduzir o atraso nas conexões que necessitam da inclusão de conversores de tensão. Para isso foi acrescentado a possibilidade de evitar os conversores de tensão, adicionando um caminho alternativo para que a corrente possa fluir. Além disso, foi aproveitado o fato que o conversor de tensão foi isolado do circuito para desconectar ele da rede de alimentação, utilizando a técnica chamada *Power Gating*. Com o uso dessa arquitetura, além da redução no atraso, foi alcançado também a redução no consumo de potência. No Capítulo 3 a Tabela 3.2 que analisa os casos onde a arquitetura proposta por este trabalho apresenta os melhores resultados.

Analisando os resultados das simulações elétricas, foi concluído que o circuito apresentado em (PURI et al., 2003) possui o menor atraso de propagação e também consome menos do que o circuito apresentado em (HELLER et al., 1984). Essa afirmação é baseada nos dois tipo de simulações em que foram comparadas os conversores de tensão: na simulação em que ambos circuitos foram montados utilizando apenas transistores com tamanho mínimo do nó tecnológico; e na simulação em que ambos circuitos foram montados utilizando os transistores dimensionados conforme as Tabelas 4.1 e 4.2. Durante as simulações com os transistores mínimos, (PURI et al., 2003) mostrou melhores resultados quando a tensão de alimentação se aproximava da tensão de *threshold*. Além disso, Puri potencializou a redução no consumo de potência na região que efetua a carga do conversor, ou seja, na região alimentada pela tensão reduzida (V_{ddL}). Mesmo quando os transistores foram dimensionados, Puri continuou sendo mais rápido e consumindo menos do que o DCVS. Contudo, mesmo possuindo o mesmo número de

transistores, o circuito do Puri acabou ficando aproximadamente 5,8 maior do que o circuito DCVS. Por esse motivo o DCVS foi escolhido para realizar as simulações seguintes.

A arquitetura proposta por este trabalho foi simulada utilizando o DCVS como circuito de conversão de tensão. E nessas simulações, os resultados comprovam que o uso da arquitetura gerou ganhos nos quesitos de atraso de propagação e no consumo de potência. Analisando os resultados de atraso de propagação quando as entradas mudaram de nível lógico 0 para o nível lógico 1, o circuito de teste contendo o conversor de tensão com a arquitetura foi 7% mais rápido do que o circuito de teste composto apenas pelo conversor de tensão. No sentido oposto, ou seja, quando a entrada mudou de nível lógico 1 para o nível lógico 0, os resultados da arquitetura foi ligeiramente melhor, chegando a 13% de vantagem diante do circuito sem a arquitetura. Contudo, a arquitetura apresentou uma penalidade quando era necessário fazer a conversão de tensão.

Quanto ao consumo de potência, a arquitetura apresentou grande impacto. Durante as simulações, o circuito que possuía a arquitetura conseguiu reduzir o consumo de potência em 14% analisando as quatro fontes de alimentação juntas, quando era necessária a conversão de tensão houve um aumento no consumo de potência na ordem de 14%.

5.1 Trabalhos Futuros

Como trabalhos futuros baseados nesta pesquisa, vê-se possibilidades de trabalhos nas seguintes direções:

- Fazer uma análise sobre o impacto dessa adição do Transistor de Passagem nos conversores de tensão. Principalmente, em circuitos maiores do que os que foram apresentados nesse trabalho. Por exemplo, o uso de *benchmarks* utilizados em conferências como o ISPD'2007;
- Analisar alternativas para redução das penalidades no atraso de propagação e no consumo de potência da inserção do Transistor de Passagem em circuitos;
- Analisar o impacto do aumento de consumo nas regiões envolvidas na conversão de tensão;
- Integrar a opção de gerar um conversor de tensão contendo o Transistor de Passagem na ferramenta de geração de leiaute automático Astran (JR et al., 2014);

REFERÊNCIAS

- BHAVNAGARWALA, A. J. et al. A minimum total power methodology for projecting limits on cmos gsi. **VERY LARGE SCALE INTEGRATION (VLSI) SYSTEMS, IEEE TRANSACTIONS ON, IEEE**, p. 235–251, 2000.
- BORAH, M.; OWENS, R. M.; IRWIN, M. J. Transistor sizing for minimizing power consumption of cmos circuits under delay constraint. In: **PROCEEDINGS OF THE 1995 INTERNATIONAL SYMPOSIUM ON LOW POWER DESIGN**. [S.l.]: ACM, 1995. p. 167–172.
- BRENNAN, J. P. et al. Low power methodology and design techniques for processor design. In: **LOW POWER ELECTRONICS AND DESIGN, 1998. PROCEEDINGS. 1998 INTERNATIONAL SYMPOSIUM ON**. [S.l.]: IEEE, 1998. p. 268–273.
- BURD, T. D.; BRODERSEN, R. W. Design issues for dynamic voltage scaling. In: **PROCEEDINGS OF THE 2000 INTERNATIONAL SYMPOSIUM ON LOW POWER ELECTRONICS AND DESIGN - ISLPED '00**. New York, New York, USA: ACM Press, 2000. p. 9–14.
- CAO, Y. et al. New paradigm of predictive MOSFET and interconnect modeling for early circuit simulation. In: **PROCEEDINGS OF THE IEEE 2000 CUSTOM INTEGRATED CIRCUITS CONFERENCE (Cat. No.00CH37044)**. [S.l.]: IEEE, 2000. p. 201–204.
- CARLSON, B. S.; CHEN, C. Performance enhancement of cmos vlsi circuits by transistor reordering. In: **PROCEEDINGS OF THE 30TH INTERNATIONAL DESIGN AUTOMATION CONFERENCE**. [S.l.]: ACM, 1993. p. 361–366.
- CHANDRAKASAN, A.; SHENG, S.; BRODERSEN, R. Low-power CMOS digital design. **IEEE JOURNAL OF SOLID-STATE CIRCUITS**, v. 27, n. 4, p. 473–484, abr. 1992. ISSN 00189200.
- CHANDRAKASAN, A. P.; BOWHILL, W. J.; FOX, F. **Design of high-performance microprocessor circuits**. [S.l.]: Wiley-IEEE press, 2000.
- CHEN, S.-h.; LIN, J.-y. Implementation and verification practices of DVFS and power gating. In: **2009 INTERNATIONAL SYMPOSIUM ON VLSI DESIGN, AUTOMATION AND TEST**. [S.l.]: IEEE, 2009. p. 19–22.
- CHING, R. et al. Post-Placement Voltage Island Generation. In: **2006 IEEE/ACM INTERNATIONAL CONFERENCE ON COMPUTER AIDED DESIGN**. [S.l.]: IEEE, 2006. p. 641–646. ISSN 1092-3152.
- CHINNERY, D.; KEUTZER, K. **Closing the Power Gap Between ASIC & Custom**. Boston, MA: Springer US, 2007.
- CHOI, K.-W.; XU, Y.; SAKURAI, T. Optimal zigzag (oz): An effective yet feasible power-gating scheme achieving two orders of magnitude lower standby leakage. In: **VLSI CIRCUITS, 2005. DIGEST OF TECHNICAL PAPERS. 2005 SYMPOSIUM ON**. [S.l.]: IEEE, 2005. p. 312–315.

- De Angel, E.; SWARTZLANDER, E. Survey of low power techniques for VLSI design. In: **1996 PROCEEDINGS. EIGHTH ANNUAL IEEE INTERNATIONAL CONFERENCE ON INNOVATIVE SYSTEMS IN SILICON**. Austin, Texas: IEEE, 1996. p. 159–169.
- HELLER, L. et al. Cascode voltage switch logic: A differential cmos logic family. In: **SOLID-STATE CIRCUITS CONFERENCE. DIGEST OF TECHNICAL PAPERS. 1984 IEEE INTERNATIONAL**. [S.l.: s.n.], 1984. p. 16–17.
- HENZLER, S. Logic with Multiple Supply Voltages. In: **Power Management of Digital Circuits in Deep Sub-Micron CMOS Technologies**. [S.l.]: Springer Netherlands, 2006, (Advanced Microelectronics, v. 25). chp. 2, p. 23–47.
- IGARASHI, M.; USAMI, K. A low-power design method using multiple supply voltages. **Proceedings of 1997 International Symposium on Low Power Electronics and Design**, p. 36–41, 1997.
- JR, A. Z. et al. A design flow for physical synthesis of digital cells with astran. In: **PROCEEDINGS OF THE 24TH EDITION OF THE GREAT LAKES SYMPOSIUM ON VLSI**. [S.l.]: ACM, 2014. p. 245–246.
- KAVOUSIANOS, X. et al. Test Schedule Optimization for Multicore SoCs: Handling Dynamic Voltage Scaling and Multiple Voltage Islands. **IEEE TRANSACTIONS ON COMPUTER-AIDED DESIGN OF INTEGRATED CIRCUITS AND SYSTEMS**, n. 11, p. 1754–1766, nov. 2012.
- KIM, T. Application-Driven Low-Power Techniques Using Dynamic Voltage Scaling. In: **12TH IEEE INTERNATIONAL CONFERENCE ON EMBEDDED AND REAL-TIME COMPUTING SYSTEMS AND APPLICATIONS (RTCSA'06)**. [S.l.]: IEEE, 2006. p. 199–206.
- KOSONOCKY, S. V. et al. Enhanced multi-threshold (mtcmos) circuits using variable well bias. In: **PROCEEDINGS OF THE 2001 INTERNATIONAL SYMPOSIUM ON LOW POWER ELECTRONICS AND DESIGN**. [S.l.]: ACM, 2001. p. 165–169.
- KULKARNI, S. H.; SRIVASTAVA, A. N.; SYLVESTER, D. A new algorithm for improved vdd assignment in low power dual vdd systems. In: **LOW POWER ELECTRONICS AND DESIGN, 2004. ISLPED'04. PROCEEDINGS OF THE 2004 INTERNATIONAL SYMPOSIUM ON**. [S.l.]: IEEE, 2004. p. 200–205.
- LACKEY, D. E. et al. Managing power and performance for system-on-chip designs using voltage islands. In: **COMPUTER AIDED DESIGN, 2002. ICCAD 2002. IEEE/ACM INTERNATIONAL CONFERENCE ON**. [S.l.]: IEEE, 2002. p. 195–202.
- LEE, D.; BLAAUW, D.; SYLVESTER, D. Gate oxide leakage current analysis and reduction for vlsi circuits. **VERY LARGE SCALE INTEGRATION (VLSI) SYSTEMS, IEEE TRANSACTIONS ON**, IEEE, p. 155–166, 2004.
- LIN, K.-Y.; LIN, H.-T.; HO, T.-Y. An efficient algorithm of adjustable delay buffer insertion for clock skew minimization in multiple dynamic supply voltage designs. In: **16TH ASIA AND SOUTH PACIFIC DESIGN AUTOMATION CONFERENCE (ASP-DAC 2011)**. [S.l.]: IEEE, 2011. p. 825–830.

LIN, K.-Y. et al. Load-balanced clock tree synthesis with adjustable delay buffer insertion for clock skew reduction in multiple dynamic supply voltage designs. **ACM TRANSACTIONS ON DESIGN AUTOMATION OF ELECTRONIC SYSTEMS**, ACM, n. 3, p. 1–22, jun. 2012.

LIU, W.-H.; LI, Y.-L.; CHAO, K.-Y. High-quality global routing for multiple dynamic supply voltage designs. **2011 IEEE/ACM INTERNATIONAL CONFERENCE ON COMPUTER-AIDED DESIGN (ICCAD)**, IEEE, p. 263–269, nov. 2011.

MAREK-SADOWSKA, M.; NASSIF, S. Benefits and costs of power-gating technique. In: **2005 INTERNATIONAL CONFERENCE ON COMPUTER DESIGN**. [S.l.]: IEEE Comput. Soc, 2005. p. 559–566.

NAJM, F. N. Towards a high-level power estimation capability. In: **PROCEEDINGS OF THE 1995 INTERNATIONAL SYMPOSIUM ON LOW POWER DESIGN**. [S.l.]: ACM, 1995. p. 87–92.

PEDRAM, M. Power minimization in ic design: principles and applications. **ACM TRANSACTIONS ON DESIGN AUTOMATION OF ELECTRONIC SYSTEMS (TODAES)**, ACM, n. 1, p. 3–56, 1996.

PEDRAM, M. Energy minimization using multiple supply voltages. **IEEE TRANSACTIONS ON VERY LARGE SCALE INTEGRATION (VLSI) SYSTEMS**, p. 436–443, dec. 1997.

POPOVICH, M.; MEZHIBA, A. V.; FRIEDMAN, E. G. Multiple On-Chip Power Supply Systems. In: **Power Distribution Networks with On-Chip Decoupling Capacitors**. Boston, MA: Springer US, 2008. chp. 14, p. 305–322.

PRASAD, S.; ROY, K. Circuit optimization for minimisation of power consumption under delay constraint. In: **VLSI DESIGN, 1995., PROCEEDINGS OF THE 8TH INTERNATIONAL CONFERENCE ON**. [S.l.]: IEEE, 1995. p. 305–309.

PURI, R.; KUNG, D.; STOK, L. Minimizing power with flexible voltage islands. In: **CIRCUITS AND SYSTEMS, 2005. ISCAS 2005. IEEE INTERNATIONAL SYMPOSIUM ON**. [S.l.]: IEEE, 2005. p. 21–24.

PURI, R. et al. Pushing ASIC performance in a power envelope. In: **PROCEEDINGS OF THE 40TH CONFERENCE ON DESIGN AUTOMATION - DAC '03**. New York, New York, USA: ACM Press, 2003. p. 788.

RABAEY, J.; CHANDRAKASAN, A.; NIKOLIC, B. **Digital Integrated Circuits: A Design Perspective**. [S.l.]: Pearson Education, 2003. (Prentice Hall electronics and VLSI series).

ROY, K.; MUKHOPADHYAY, S.; MAHMOODI-MEIMAND, H. Leakage current mechanisms and leakage reduction techniques in deep-submicrometer cmos circuits. **PROCEEDINGS OF THE IEEE**, IEEE, n. 2, p. 305–327, 2003.

SAKURAI, T.; NEWTON, A. R. Delay analysis of series-connected mosfet circuits. **SOLID-STATE CIRCUITS, IEEE JOURNAL OF**, IEEE, n. 2, p. 122–131, 1991.

SHERWANI, N. A. **Algorithms for VLSI physical design automation**. [S.l.]: Kluwer Academic Publishers, 1993.

SHIN, D.; KIM, J.; LEE, S. Intra-task voltage scheduling for low-energy, hard real-time applications. **IEEE DESIGN & TEST OF COMPUTERS**, IEEE Computer Society, Sponsored by the IEEE Circuits and Systems Society, n. 2, p. 20–30, 2001.

SOUDRIS, D.; PIGUET, C.; GOUTIS, C. **Design CMOS Circuits for Low Power**. [S.l.]: Springer, 2002.

TAN, C. H.; ALLEN, J. Minimization of power in vlsi circuits using transistor sizing, input ordering, and statistical power estimation. In: **PROCEEDINGS OF THE 1994 INTERNATIONAL WORKSHOP ON LOW POWER DESIGN**. [S.l.: s.n.], 1994. p. 75–80.

TERRES, M. et al. A novel approach to reduce power consumption in level shifter for Multiple Dynamic Supply Voltage. In: **2013 IEEE 20TH INTERNATIONAL CONFERENCE ON ELECTRONICS, CIRCUITS, AND SYSTEMS (ICECS)**. [S.l.]: IEEE, 2013. p. 715–718.

TERRES, M. et al. Exploring more efficient architectures for Multiple Dynamic Supply Voltage designs. In: **2014 IEEE 5TH LATIN AMERICAN SYMPOSIUM ON CIRCUITS AND SYSTEMS**. Santiago, CH: IEEE, 2014. p. 1–4.

TINDER, R. F. **Engineering Digital Design: Revised Second Edition**. [S.l.]: Academic Press, 2000.

USAMI, K.; HOROWITZ, M. Clustered voltage scaling technique for low-power design. In: **PROCEEDINGS OF THE 1995 INTERNATIONAL SYMPOSIUM ON LOW POWER DESIGN - ISLPED '95**. New York, New York, USA: ACM Press, 1995. p. 3–8.

USAMI, K. et al. Low-power design technique for ASICs by partially reducing supply voltage. In: **PROCEEDINGS NINTH ANNUAL IEEE INTERNATIONAL ASIC CONFERENCE AND EXHIBIT**. [S.l.]: IEEE, 1996. p. 301–304.

USAMI, K. et al. Automated low-power technique exploiting multiple supply voltages applied to a media processor. In: **PROCEEDINGS OF CICC 97 - CUSTOM INTEGRATED CIRCUITS CONFERENCE**. [S.l.]: IEEE, 1997. p. 131–134.

UYEMURA, J. P. **CMOS logic circuit design**. [S.l.]: Springer Science & Business Media, 1999.

VEENDRICK, H. J. Short-circuit dissipation of static cmos circuitry and its impact on the design of buffer circuits. **SOLID-STATE CIRCUITS, IEEE JOURNAL OF**, IEEE, p. 468–473, 1984.

WU, H.; LIU, I.-m. Post-placement voltage island generation under performance requirement. **COMPUTER-AIDED DESIGN, ...**, p. 309–316, 2005.

WU, Q.; PEDRAM, M.; WU, X. Clock-gating and its application to low power design of sequential circuits. **Circuits and Systems I: Fundamental Theory and Applications, IEEE Transactions on**, IEEE, n. 3, p. 415–420, 2000.

XIANG, H. et al. Row Based Dual-VDD Island Generation and Placement. **PROCEEDINGS OF THE THE 51ST ANNUAL DESIGN AUTOMATION CONFERENCE ON DESIGN AUTOMATION CONFERENCE - DAC '14**, ACM Press, New York, New York, USA, p. 1–6, 2014.

YAO, F.; DEMERS, A.; SHENKER, S. A scheduling model for reduced cpu energy. In: **FOUNDATIONS OF COMPUTER SCIENCE, 1995. PROCEEDINGS., 36TH ANNUAL SYMPOSIUM ON.** [S.l.]: IEEE, 1995. p. 374–382.

ZHAO, W.; CAO, Y. New generation of predictive technology model for sub-45 nm early design exploration. **ELECTRON DEVICES, IEEE TRANSACTIONS ON,** IEEE, v. 53, n. 11, p. 2816–2823, 2006.

APÊNDICE A — PUBLICAÇÕES

SIM 2013 Multiple Dynamic Supply Voltage Benchmarks Generaton.

ICECS 2013 A novel approach to reduce power consumption in level shifter for Multiple Dynamic Supply Voltage.

LASCAS 2014 Exploring more efficient architectures for Multiple Dynamic Supply Voltage designs.

PATMOS 2015 Energy-Efficient Level Shifter Topology

APÊNDICE B — TABELAS

Tabela B.1: Dados da tabela contendo as transições NAND-NAND.

Tensão (V)		Tempo (ps)		Potência (nW)	
V_{ddL}	V_{ddH}	$t_{pLH_{med}}$	$t_{pHL_{med}}$	V_{ddL}	V_{ddH}
1,00	1,00	20,05	22,20	70,04	597,85
0,90	1,00	20,30	27,61	48,09	606,36
0,85	1,00	20,26	30,72	41,67	635,13
0,80	1,00	20,37	35,42	35,42	733,05
0,75	1,00	20,63	41,85	30,15	1042,60
0,70	1,00	21,25	50,87	25,23	1864,90
0,65	1,00	22,13	66,40	21,45	3512,00

Fonte: Autor

Tabela B.2: Dados da tabela contendo as transições NAND-DCVS-NAND.

Tensão (V)		Tempo (ps)		Potência (nW)			
V_{ddL}	V_{ddH}	$t_{pLH_{med}}$	$t_{pHL_{med}}$	V_{ddL}	V_{ddH}	CTV_{ddL}	CTV_{ddH}
1,00	1,00	34,64	40,95	75,25	607,79	21,44	151,81
0,90	1,00	42,48	47,91	55,43	597,76	18,12	181,27
0,85	1,00	48,31	51,43	45,72	598,32	14,23	176,26
0,80	1,00	57,87	56,88	39,59	608,58	15,01	195,87
0,75	1,00	73,92	70,72	31,65	595,60	8,58	247,44
0,70	1,00	127,69	117,44	28,39	601,06	8,33	450,41
0,65	1,00	281,02	287,60	23,97	602,58	7,30	1056,00
0,60	1,00	823,20	956,06	20,34	605,29	6,30	2984,60
0,55	1,00	2940,55	3968,20	16,81	610,80	5,17	9498,90

Fonte: Autor

Tabela B.3: Dados da tabela contendo as transições NAND-Puri-NAND.

Tensão (V)		Tempo (ps)		Potência (nW)			
V_{ddL}	V_{ddH}	$t_{pLH_{med}}$	$t_{pHL_{med}}$	V_{ddL}	V_{ddH}	CTV_{ddL}	CTV_{ddH}
1,00	1,00	133,16	35,15	69,11	600,68	0,00	104,97
0,90	1,00	155,28	37,69	48,91	601,74	0,00	110,77
0,85	1,00	153,79	38,92	42,86	601,07	0,00	106,67
0,80	1,00	168,75	41,21	36,14	601,49	0,00	111,06
0,75	1,00	170,12	44,71	30,35	600,08	0,00	110,18
0,70	1,00	182,48	48,29	26,55	601,66	0,00	115,42
0,65	1,00	187,46	54,43	22,68	601,33	0,00	117,42
0,60	1,00	192,80	64,13	19,40	601,41	0,00	121,23
0,55	1,00	203,41	87,02	16,36	601,82	0,00	132,89

Fonte: Autor

Tabela B.4: Dados da tabela contendo as transições NAND-DCVS-NAND dimensionados.

Tensão (V)		Tempo (ps)		Potência (nW)			
V_{ddL}	V_{ddH}	$t_{pLH_{med}}$	$t_{pHL_{med}}$	V_{ddL}	V_{ddH}	CTV_{ddL}	CTV_{ddH}
1,00	1,00	33,03	36,04	81,36	613,24	26,80	114,03
0,90	1,00	37,51	38,97	60,61	606,66	20,28	108,82
0,85	1,00	40,85	41,77	50,43	601,81	18,03	115,64
0,80	1,00	45,33	43,77	43,19	596,50	15,84	115,57
0,75	1,00	51,37	47,19	37,77	604,94	13,47	118,45
0,70	1,00	60,32	52,36	32,36	598,30	13,01	129,35
0,65	1,00	75,11	61,97	26,95	595,48	10,04	144,32
0,60	1,00	101,60	80,42	23,26	570,86	9,44	177,06
0,55	1,00	166,43	128,41	18,67	613,85	7,29	277,12
0,50	1,00	437,61	379,62	15,78	606,64	6,15	841,48
0,45	1,00	2498,40	3169,00	12,70	617,90	5,07	5448,90

Fonte: Autor

Tabela B.5: Dados da tabela contendo as transições NAND-Puri-NAND dimensionados.

Tensão (V)		Tempo (ps)		Potência (nW)			
V_{ddL}	V_{ddH}	$t_{pLH_{med}}$	$t_{pHL_{med}}$	V_{ddL}	V_{ddH}	CTV_{ddL}	CTV_{ddH}
1,00	1,00	34,50	31,88	71,28	599,53	0,00	81,10
0,90	1,00	36,58	34,56	50,81	599,29	0,00	87,32
0,85	1,00	38,18	36,38	43,35	596,06	0,00	92,38
0,80	1,00	40,20	38,35	37,13	602,43	0,00	95,47
0,75	1,00	42,37	41,29	31,00	586,88	0,00	105,90
0,70	1,00	45,65	45,06	26,82	572,61	0,00	109,57
0,65	1,00	49,80	50,92	24,18	606,00	0,00	117,32
0,60	1,00	56,11	60,34	20,22	599,78	0,00	142,70
0,55	1,00	66,33	81,48	17,13	593,11	0,00	185,93
0,50	1,00	85,94	137,57	14,46	602,46	0,00	277,84
0,45	1,00	126,21	351,83	11,93	611,35	0,00	510,24

Fonte: Autor

Tabela B.6: Dados da tabela contendo as transições NAND-DCVS.MUX-NAND dimensionados.

Tensão (V)		Tempo (ps)		Potência (nW)			
V_{ddL}	V_{ddH}	$t_{pLH_{med}}$	$t_{pHL_{med}}$	V_{ddL}	V_{ddH}	CTV_{ddL}	CTV_{ddH}
1,00	1,00	31,93	32,82	121,70	599,13	1,56	1,79
0,90	1,00	77,42	66,54	66,07	599,93	20,90	203,33
0,85	1,00	86,35	70,22	57,10	600,36	18,68	214,60
0,80	1,00	99,66	76,26	49,05	600,76	16,24	233,27
0,75	1,00	121,54	86,56	42,24	601,31	13,87	264,60
0,70	1,00	166,32	107,98	36,23	603,40	12,02	343,92
0,65	1,00	263,91	180,49	31,03	605,84	10,30	552,75
0,60	1,00	570,53	580,03	25,90	608,23	8,83	1418,10
0,55	1,00	1618,33	2892,63	21,70	615,70	7,40	4966,60
0,50	1,00	5586,60	15270,70	17,58	627,21	6,11	17420,90

Fonte: Autor

Tabela B.7: Dados da tabela contendo as transições NAND-DCVS.TG-NAND dimensionados.

Tensão (V)		Tempo (ps)		Potência (nW)			
V_{ddL}	V_{ddH}	$t_{pLH_{med}}$	$t_{pHL_{med}}$	V_{ddL}	V_{ddH}	CTV_{ddL}	CTV_{ddH}
1,00	1,00	30,83	31,81	119,20	599,35	1,59	0,43
0,90	1,00	58,38	59,96	66,53	600,03	21,12	141,78
0,85	1,00	65,26	62,23	56,95	600,46	18,69	146,76
0,80	1,00	76,09	66,81	48,46	601,82	16,18	160,40
0,75	1,00	93,44	72,27	42,16	602,48	13,98	181,09
0,70	1,00	128,64	82,57	36,10	608,62	11,99	226,57
0,65	1,00	222,72	105,83	30,96	627,08	10,27	347,05
0,60	1,00	534,07	212,71	25,88	657,79	8,77	790,13
0,55	1,00	1693,58	1207,48	21,95	678,48	7,38	2865,00
0,50	1,00	6145,05	8138,65	17,73	686,89	6,11	11683,60

Fonte: Autor

Tabela B.8: Dados da tabela contendo as transições NAND-DCVS-NAND dimensionados.

Tensão (V)		Tempo (ps)		Potência (nW)			
V_{ddL}	V_{ddH}	$t_{pLH_{med}}$	$t_{pHL_{med}}$	V_{ddL}	V_{ddH}	CTV_{ddL}	CTV_{ddH}
1,00	1,00	33,03	36,04	81,36	613,24	26,80	114,03
0,70	1,00	60,32	52,36	32,36	598,30	13,01	129,35

Fonte: Autor

Tabela B.9: Dados da tabela contendo as transições NAND-DCVS.TG-NAND dimensionados.

Tensão (V)		Tempo (ps)		Potência (nW)			
V_{ddL}	V_{ddH}	$t_{pLH_{med}}$	$t_{pHL_{med}}$	V_{ddL}	V_{ddH}	CTV_{ddL}	CTV_{ddH}
1,00	1,00	30,83	31,81	119,20	599,35	1,59	0,43
0,70	1,00	128,64	82,57	36,10	608,62	11,99	226,57

Fonte: Autor