

Moacir Fernandes Cortinhas Monteiro

**Projeto de Circuitos CMOS Analógico-Digitais
para Amplificação e Conversão de Sinais
Eletromiográficos**

Porto Alegre, Rio Grande do Sul

2015

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL
INSTITUTO DE INFORMÁTICA
PROGRAMA DE PÓS-GRADUAÇÃO EM MICROELETRÔNICA

Moacir Fernandes Cortinhas Monteiro

**Projeto de Circuitos CMOS Analógico-Digitais para
Amplificação e Conversão de Sinais Eletromiográficos**

Dissertação apresentada como requisito
parcial para a obtenção do grau de Mestre
em Microeletrônica.

Orientador: Prof. Dr. Sergio Bampi

Co-orientador: Prof. Dr. Hamilton Klimach

Porto Alegre, Rio Grande do Sul

2015

Dedico este trabalho à minha família e a todos que, de algum modo, me ajudaram a superar mais esta etapa em minha vida.

AGRADECIMENTOS

Agradeço ao Arthur Liraneto e ao Oscar Mattia pelo excelente trabalho na coordenação no *tape-out* do Circuito Integrado RFAMS2014, no qual tive a oportunidade de fabricar a primeira versão de meu projeto. Agradeço ainda ao Oscar Mattia pela sugestão de *buffer* utilizando transistores de depleção, ideia original que resultou em uma considerável simplificação no projeto do amplificador de bio-sinais.

Agradeço ao Israel Sperotto de Mello pela valiosa ajuda com o *layout* do modulador $\Delta\Sigma$, e ao Luís Henrique Rodovalho, não apenas por me apresentar à arquitetura de filtro CIC, mas também pelas longas discussões sobre projeto de circuitos, que muito me ajudaram a refinar minhas escolhas de projeto.

Agradeço ao professor Dr. Alexandre Balbinot pela sugestão do tema deste trabalho e pelo auxílio na definição dos requerimentos do canal de aquisição. Agradeço também aos membros da banca examinadora, professores Dr. Eric Ericson Fabris, Dr. André Luiz Aita e Dr. Tiago Roberto Balen, pelas valiosas sugestões que, certamente, elevaram a qualidade deste texto.

Agradeço ainda ao PGMICRO pela oportunidade de realizar o mestrado, e à Fundação CAPES, pelo suporte financeiro durante esse período. Agradeço também à MOSIS pela oportunidade de prototipação dos circuitos desenvolvidos e ao programa CI Brasil pela disponibilização das ferramentas de projeto.

Um agradecimento especial aos professores, meu orientador Dr. Sergio Bampi e meu co-orientador Dr. Hamilton Duarte Klimach, não apenas pelo empenho em orientar meu desenvolvimento, mas também pela paciência que sempre demonstraram comigo e com minhas peculiaridades.

Por fim, um agradecimento muito especial à minha família, pelo apoio incondicional que sempre me foi dado e sem o qual eu jamais teria chegado até aqui.

RESUMO

Neste trabalho é apresentado o projeto de uma interface analógico-digital para a aquisição de sinais eletromiográficos. O circuito consiste em um amplificador passa-banda, projetado para ter elevada linearidade e baixo nível de ruído e apropriado para o interfaceamento com eletrodos de bio-sinais, seguido por um conversor analógico-digital do tipo $\Delta\Sigma$.

O amplificador de bio-sinais consiste em um filtro passa-banda ativo com um polo passa-altas em uma frequência muito baixa. A faixa de frequências do amplificador se estende de 21 mHz a 9,25 kHz com ganho programável de 40 dB (100 V/V) e 34 dB (50 V/V). O valor simulado para o ruído total dentro da banda de 0,5 Hz a 500 Hz é de $1,45 \mu\text{V}_{\text{RMS}}$ e para a linearidade é de 81,1 dB ou 0,0088%, para um sinal de entrada senoidal de 5 Hz e $20 \text{ mV}_{\text{pp}}$. O circuito opera com tensões de 1,5 V a 3,3 V, tendo um consumo de corrente CC de apenas $13,5 \mu\text{A}$. O amplificador ocupa uma área de apenas $0,07 \text{ mm}^2$.

O conversor $\Delta\Sigma$ opera com taxa de amostragem de 256 kS/s no modulador e entrega os dados na saída a uma taxa de 2 kS/s. O circuito apresenta um consumo de corrente CC de $7,2 \mu\text{A}$ no modulador e um consumo médio de $28,3 \mu\text{A}$ no filtro decimador para uma tensão de alimentação de 1,2 V. O conversor completo ocupa ocupa uma área de $0,042 \text{ mm}^2$. A SNDR simulada é de 83 dB na saída do modulador, sem considerar o efeito de ruído interno do modulador. Considerando-se o ruído, a SNDR estimada por simulações é cerca de 82 dB.

A interface de aquisição como um todo ocupa uma área aproximada de $0,112 \text{ mm}^2$, consome $49 \mu\text{A}$ e apresenta precisão estimada por simulação de cerca de 12 bits.

Palavras-chave: eletromiografia, eletromiografia de superfície, amplificador de bio-sinais, conversor de dados, EMG, sEMG, prótese, protética.

ABSTRACT

This work presents the design of an analog-to-digital interface for acquisition of electromyographic signals. The circuit comprises a band pass amplifier designed for high linearity and low noise, and proper to interface non-invasive biosignal electrodes, that is followed by a $\Delta\Sigma$ analog-to-digital converter.

The biosignal amplifier is a band pass active filter with very low high pass cutoff frequency. The passband of the biosignal amplifier ranges from 21 mHz to 9.25 kHz, with a programmable gain of 40 dB (100 V/V) and 34 dB (50 V/V). The simulated total noise integrated between 0.5 Hz and 500 Hz is $1.45 \mu\text{V}_{\text{RMS}}$. The linearity achieved in simulations was 81.1 dB or 0.0088%, for a sinusoidal input signal of 5 Hz and $20 \text{ mV}_{\text{pp}}$. The amplifier works properly with supply voltages between 1.5 V and 3.3 V, has a DC current consumption of $13.5 \mu\text{A}$ and covers an area of just 0.07 mm^2 .

The $\Delta\Sigma$ converter works with an input sampling rate of 256 kS/s in the modulator and delivers the data in the output at a rate of 2 kS/s. The modulator shows a DC current consumption of $7.2 \mu\text{A}$ and the digital decimation filter shows a DC current consumption of $28.3 \mu\text{A}$ with a power supply of 1.2 V. The entire converter covers an area of 0.042 mm^2 . The simulated SNDR is 83 dB at the modulator output, without considering the effect of modulator internal noise. Considering it, the estimated SNDR achieved is about 82 dB.

The complete biosignal acquisition interface consumes about 0.112 mm^2 of silicon area and $49 \mu\text{A}$ of current and has an estimated accuracy of about 12 bits.

Keywords: electromyography, surface electromyography, biosignal amplifier, data converter, EMG, sEMG, prosthesis, prosthetics.

LISTA DE ABREVIATURAS E SIGLAS

ADC	Analog to Digital Converter
BJT	Bipolar Junction Transistor
CA	Corrente Alternada
CAPES	Coordenação de Aperfeiçoamento de Pessoal de Nível Superior
CC	Corrente Contínua
CI	Circuito Integrado
CIC	Cascaded Integrator-Comb Filter
CMFB	Common-Mode Feedback
CMOS	Complementary Metal-Oxide-Semiconductor transistor
CMRR	Common-Mode Rejection Ratio
DAC	Digital to Analog Converter
ECG	Eletrocardiograma
EEG	Eletroencefalograma
EMG	Eletromiograma
ENOB	Effective Number of Bits
FIR	Finite Impulse Response
GBW	Gain-Bandwidth Product
HD-sEMG	High Density Surface Electromyography
HEMG	Histogram EMG
IAD-SEMG	Interace Analógico-Digital para Eletromiografia de Superfície
ICMR	Input Common-Mode Range
IIR	Infinite Impulse Response
INA	Instrumentation Amplifier

I/O	Input/Output
MiM	Metal - Insulator - Metal Capacitor
MMNF	Modified Mean Frequency
MoM	Metal - Field Oxide - Metal Capacitor
MOS	Metal-Oxide-Semiconductor Transistor
MOSFET	Metal-Oxide-Semiconductor Field Effect Transistor
NEF	Noise Efficiency Factor
nEMG	Needle Electromyography
NMOS	N-type Metal-Oxide-Semiconductor Transistor
NTF	Noise Transfer Function
OSR	Oversampling Ratio
OTA	Operational Transconductance Amplifier
PGA	Programmable Gain Amplifier
PGMICRO	Programa de Pós-Graduação em Microeletrônica
PMOS	P-type Metal-Oxide-Semiconductor Transistor
PSD	Power Spectral Density
PSRR	Power Supply Rejection Ratio
RMS	Root Mean Square
sEMG	Surface Electromyography
SENIAM	Surface ElectroMyoGraphy for the Non-Invasive Assessment of Muscles
SNDR	Signal to Noise and Distortion Ratio
SNR	Signal to Noise Ratio
SR	Slew Rate
STF	Signal Transfer Function
THD	Total Harmonic Distortion
UFRGS	Universidade Federal do Rio Grande do Sul

UFSM	Universidade Federal de Santa Maria
UICM	Unified Current Control Model
VHDL	VHSIC Hardware Description Language
VHSIC	Very High Speed Integrated Circuits
WAMP	Willison Amplitude
WL	Waveform Length

LISTA DE ILUSTRAÇÕES

Figura 1.1 – A HD-sEMG aplicada no estudo de biomecânica e da função neuromuscular.	33
Figura 1.2 – A IAD-sEMG como parte de um sistema portátil de leitura de biosinais para aplicações em clínica médica, treinamento esportivo e reabilitação física.	34
Figura 1.3 – Controle de próteses de mãos usando HD-sEMG. (a) Posicionamento de 32 eletrodos diferenciais sobre o antebraço. (b) Testes de reconhecimento de intenções de movimento usando simuladores de próteses virtuais.	36
Figura 1.4 – Identificação de intenção de movimento de um indivíduo com os braços amputados usando HD-sEMG. (a) Posicionamento da matriz de eletrodos (acima) e zonas de inervação criadas cirurgicamente (abaixo). (b) Padrões de ativação das regiões sob os eletrodos (valor RMS das leituras) para quatro diferentes intenções de movimentos.	36
Figura 1.5 – IAD-sEMG como parte de um sistema de controle de uma prótese de mão.	37
Figura 1.6 – Estrutura de blocos da IAD-sEMG.	38
Figura 2.1 – Leitura de sinais de sEMG em modo diferencial.	42
Figura 2.2 – Posicionamento dos eletrodos de superfície em relação ao músculo observado.	42
Figura 2.3 – Esquema de medida de velocidade de propagação de potenciais de ação.	43
Figura 2.4 – Dimensões de eletrodos para sEMG.	46
Figura 2.5 – Modelo de impedância de sistemas eletrodo-eletrólito-tecido para diferentes tipos de eletrodos. O modelo mais geral, mostrado à esquerda, ilustra a correspondência entre os parâmetros do circuito e as camadas da pele e dos eletrólitos de acoplamento. A direita são mostrados os modelos específicos para cada tipo de eletrodo usado em medidas de biosinais.	48
Figura 2.6 – Modelos simplificados para a impedância de eletrodos. (a) e (b) Modelos TCM. (c) Modelo equivalente para baixas frequências.	48
Figura 2.7 – Módulo da impedância em função da frequência para eletrodos do tipo Ag/AgCl com gel eletrólito. (a) Curva conceitual para o modelo TCM. (b) Valores de impedância medidos.	49
Figura 2.8 – Faixa de frequências e de amplitudes de diferentes tipos de biosinais.	50

Figura 2.9 – Tensões de <i>offset</i> de 17 eletrodos do tipo Ag/AgCl medidas em relação à referência de terra.	51
Figura 2.10 – Ruído em sinais de eletromiografia de superfície para diferentes tipos de eletrodos e preparações da pele. (a) Medida de ruído gerado na interface eletrodo-eletrólito. (b) Ruído RMS da interface eletrodo-eletrólito em função do tempo. (c) Ruído medido com os eletrodos posicionados sobre a pele. (d) Relação entre nível de ruído e impedância da pele.	52
Figura 2.11 – Modelo elétrico de um sistema de leitura de sEMG alimentado por bateria para análise de interferência da rede elétrica.	56
Figura 3.1 – Transistor PMOS operando como um pseudo-resistor. (a) Com $V_a > V_b$ o dispositivo opera como um MOSFET conectado como diodo. (b) Com $V_a < V_b$ o dispositivo opera como um BJT com dois coletores.	66
Figura 3.2 – Características medidas de um pseudo-resistor PMOS. Em (a) é mostrada a curva de corrente $I(\Delta V)$ e em (b) a curva de resistência incremental $R_{inc}(\Delta V)$	66
Figura 3.3 – Comparação entre curvas de corrente e resistência calculadas e simuladas, para um pseudo-resistor PMOS conectado com diodo.	68
Figura 3.4 – Pseudo-resistores simétricos formados pela associação de transistores PMOS.	69
Figura 3.5 – Pseudo-resistor PMOS simétrico com linearidade e resistência ajustáveis. (a) Esquemático mostrando o esquema de polarização dos transistores. (b) Curvas $I \times V$ para diferentes correntes de polarização.	69
Figura 3.6 – Amplificador de transcondutância operacional. (a) Símbolo convencional. (b) Esquemático elétrico simples usando um par diferencial com carga ativa. (c) Curvas normalizadas de corrente de saída e transcondutância em função da tensão de entrada normalizada para diferentes valores de i_{f0} (nível de inversão do par diferencial no ponto quiescente).	70
Figura 3.7 – Linearização de amplificadores de transcondutância usando cancelamento de termos não lineares.	71
Figura 3.8 – Linearização por partes. (a) Esquemático elétrico. (b) Diagrama de blocos. (c) Curvas de correntes normalizadas parciais e total, com os transistores operando em nível de inversão 20, e com o <i>offset</i> normalizado ($V_{OS}/n\phi_t$) ajustado para 11,09. (d) Curvas de transcondutâncias normalizadas.	72
Figura 3.9 – Esquema de linearização usando <i>floating gate</i> . (a) Par diferencial simples com <i>floating gate</i> e múltiplas entradas. (b) Capacitâncias de acoplamento com a porta do transistor.	74

Figura 3.10 – Esquema de linearização usando <i>floating gate</i> e <i>bump linearization</i> para o cancelamento do termo de terceira ordem.	74
Figura 3.11 – Linearização através de <i>bulk-driven</i> . (a) Par diferencial simples controlado pelo terminal de corpo. (b) OTA usando <i>bulk-driven</i> com degeneração de fonte e <i>bump linearization</i>	75
Figura 3.12 – Técnica de atenuação ativa empregando um circuito auto-cascode NMOS em inversão forte.	75
Figura 3.13 – Linearização de transcondutâncias através de degeneração de fonte.	76
Figura 3.14 – Par diferencial com degeneração de fonte usando difusores MOS. (a) Difusor simétrico. (b) Difusor simples.	77
Figura 3.15 – Amplificador de transcondutância sub-nanosiemens usando espelhos de corrente série-paralelo e degeneração de fonte.	78
Figura 3.16 – Amplificador de biossinais empregando um filtro passa-altas em cascata com um amplificador não inversor. (a) Esquemático elétrico. (b) Módulo do ganho em função da frequência.	79
Figura 3.17 – Amplificador com filtro passa-altas usando um integrador na malha de realimentação. (a) Implementação teórica. (b) Implementação prática do integrador utilizando um amplificador de transcondutância e um capacitor.	79
Figura 3.18 – Amplificador de corrente para biossinais usando um amplificador operacional como integrador. (a) Esquemático elétrico. (b) Funções de transferência de OP_2 e do sistema.	80
Figura 3.19 – Estruturas básicas de amplificadores de biossinais empregando pseudo-resistores para filtragem do nível DC do sinal de entrada.	81
Figura 3.20 – Amplificadores de biossinais utilizando pseudo-resistores polarizados com tensão constante.	81
Figura 3.21 – Amplificador de biossinais empregando <i>current steering</i> para estabelecer um polo de baixa frequência.	82
Figura 3.22 – Amplificador de biossinais empregando um pseudo-resistor e uma rede de atenuação passiva na malha de realimentação para estabelecer um polo em baixa frequência com elevadas linearidade e excursão de saída.	89
Figura 3.23 – Transistor NMOS isolado utilizando o poço N como <i>driven guard</i> para minimizar a fuga de cargas para o substrato.	91
Figura 3.24 – Pseudo-resistor usando um único NMOS com <i>driven guard</i> . (a) Esquemático. (b) Curvas conceituais de corrente normalizada em relação à I_S (corrente de saturação reversa) em função da tensão normalizada.	91
Figura 3.25 – Pseudo-resistores simétricos usando dois transistores NMOS isolados com <i>driven guard</i>	92

Figura 3.26 – Curvas simuladas de corrente e resistência incremental para os pseudo-resistores simétricos da Figura 3.25. Os transistores usados possuem $W = L = 4 \mu\text{m}$	93
Figura 3.27 – Pseudo-resistor PMOS com circuito de polarização para reduzir a condutividade do dispositivo. (a) Esquemático. (b) Resistência incremental em função da diferença de potencial entre os terminais do dispositivo.	93
Figura 3.28 – Amplificador de biossinais proposto.	94
Figura 3.29 – Estruturas de pseudo-resistores para a comparação.	95
Figura 3.30 – Função de transferência para o ruído gerado pelo pseudo-resistor no amplificador da Figura 3.28. κ é o fator de atenuação dado pela equação (3.31).	95
Figura 3.31 – Banco de capacitores.	98
Figura 3.32 – Circuito equivalente de pequenos sinais para o sistema eletrodo-PAD-capacitor de entrada (equivalente <i>single-ended</i>).	98
Figura 3.33 – Esquemático do amplificador operacional empregado.	99
Figura 3.34 – Curvas de W_1 em função de L_1 para diferentes tensões de polarização de M_1	101
Figura 3.35 – <i>Layout</i> em configuração centroide comum de um par de transistores. L é o comprimento de canal dos transistores, W_d é a largura mínima da região de difusão, W é a largura do canal e F é o número de partes iguais em que os transistores M_{1a} e M_{1b} serão divididos.	102
Figura 3.36 – Curvas de área total ($M_1 + C_c$) e corrente em função de L_1 para diferentes tensões de polarização de M_1	102
Figura 3.37 – Curvas de área, L_2 e W_2 em função da tensão de polarização de M_2	104
Figura 3.38 – Polarização dos transistores do primeiro estágio do amplificador.	105
Figura 3.39 – Espelhos de corrente do amplificador operacional.	105
Figura 3.40 – Esquemático do <i>buffer</i> empregado.	107
Figura 3.41 – Esquemático do amplificador de erro do circuito de CMFB.	108
Figura 3.42 – Circuito de <i>start-up</i> de modo comum do amplificador operacional. (a) Chaves e circuito de controle. (b) Esquemático do circuito <i>Schmitt trigger</i>	109
Figura 3.43 – Vista de <i>layout</i> do amplificador de biossinais projetado.	110
Figura 3.44 – Curvas de resposta do <i>buffer</i> . (a) Ganho em função da frequência. (b) Característica de transferência CC.	111
Figura 3.45 – Resultados de simulação do amplificador operacional projetado. (a) Curvas de módulo e fase da resposta em frequência em modo diferencial. (b) Histograma da tensão de <i>offset</i> referida à entrada.	111

Figura 3.46 – Densidade espectral de potência para o ruído referido à entrada do amplificador operacional.	112
Figura 3.47 – Curvas de módulo e fase da resposta em frequência em malha aberta do amplificador de biossinais. (a) Modo diferencial. (b) Modo comum.	112
Figura 3.48 – Saída em modo comum do amplificador de biossinais em resposta a variações na tensão de referência de modo comum.	113
Figura 3.49 – Curvas de módulo e fase da resposta em frequência do amplificador de biossinais nas duas configurações de ganho.	113
Figura 3.50 – Curvas simuladas de (a) PRSS e (b) CMRR para o amplificador de biossinais. As curvas mostradas representam os dois piores casos obtidos em simulações de Monte Carlo com 100 amostras.	114
Figura 3.51 – Tensão de <i>offset</i> referida à saída do amplificador de biossinais. (a) Modo diferencial. (b) Modo comum.	114
Figura 3.52 – Curvas de densidade espectral de potência para o ruído referido à entrada e à saída para o amplificador de biossinais.	115
Figura 3.53 – Resposta do amplificador de biossinais a uma senoide de 20 mV _{pp} e 5 Hz. À esquerda, sinais de saída em função do tempo. À direita, espectro de amplitudes normalizados dos sinais de saída. Os resultados mostram três condições de alimentação do amplificador: (a) 1,2 V, (b) 1,5 V e (c) 3,3 V.	116
Figura 3.54 – Fotografia do amplificador de biossinais fabricado.	118
Figura 4.1 – Modelo em Simulink [®] do modulador $\Delta\Sigma$ de segunda ordem projetado.	123
Figura 4.2 – Magnitude máxima da NTF (superior) e curvas obtidas em Simulink [®] para a SNDR (inferior) em função da posição dos polos do sistema e para diferentes taxas de <i>oversampling</i> . O ruído de quantização foi integrado no intervalo de 0 a 1 kHz.	124
Figura 4.3 – Módulo da NTF e espectro de amplitudes do sinal de saída do modulador $\Delta\Sigma$ simulado em Simulink [®] . Foi utilizada uma OSR de 128 e uma entrada senoidal de 17,5 Hz e 1 V _{pp}	125
Figura 4.4 – Sinais em função do tempo, simulados em Simulink [®] após o processo de <i>dynamic range scaling</i> . As curvas mostram o sinal de entrada do modulador $\Delta\Sigma$ (em cima), com frequência de 17,5 Hz e amplitude de 1 V _{pp} , o sinal de saída do primeiro integrador (no meio) e o sinal de saída do segundo integrador (em baixo).	127
Figura 4.5 – Espectros de amplitude do modulador $\Delta\Sigma$ para diferentes filtros decimadores. (a) Filtro IIR Butterworth de 4 ^a ordem. (b) Filtro CIC de 3 ^a ordem com filtro de compensação. (c) Filtro FIR inverse-sinc de ordem 741.	128

Figura 4.6 – Multiplexação no tempo do conversor A/D entre dois canais.	129
Figura 4.7 – Circuito esquemático de moduladores $\Delta\Sigma$ de primeira ordem empregando (a) um integrador de tempo contínuo e (b) um integrador de tempo discreto.	131
Figura 4.8 – Efeito do erro de ganho sobre a saída do integrador. (a) Integrador não inversor. (b) Fase de amostragem. (c) Fase de amplificação.	132
Figura 4.9 – Efeito do ganho finito dos amplificadores operacionais sobre a NTF do modulador de segunda ordem.	133
Figura 4.10 – Efeito da tensão de <i>offset</i> sobre a saída do integrador da Figura 4.8(a). (a) Fase de amostragem. (b) Fase de integração.	134
Figura 4.11 – Efeito da tensão de <i>offset</i> sobre a estabilidade do modulador.	134
Figura 4.12 – Efeito da largura de banda finita do amplificador operacional sobre a performance do integrador. (a) Modelo de pequenos sinais do integrador não inversor durante a fase de integração. (b) Sinal de saída em função do tempo para um ciclo de integração.	135
Figura 4.13 – <i>Aliasing</i> de ruído térmico pelo processo de amostragem. (a) PSD do ruído antes da amostragem. (b) PSD do ruído após a amostragem.	138
Figura 4.14 – Fontes de ruído em cada fase de operação do integrador não inversor. (a) Na fase ϕ_1 a fonte de sinal e as chaves S_1 e S_3 injetam ruído em C_1 . (b) Na fase ϕ_2 o ruído é injetado pelas chaves S_2 e S_4 , além do amplificador operacional.	139
Figura 4.15 – Fontes de erro em um modulador $\Delta\Sigma$ de segunda ordem.	141
Figura 4.16 – Características de transferência para as fontes de erro em um modulador $\Delta\Sigma$ de segunda ordem.	142
Figura 4.17 – Esquemático do modulador $\Delta\Sigma$ empregado.	144
Figura 4.18 – Circuito gerador de sinais de controle sem sobreposição de transição. Os sinais grafados com apóstrofo são aqueles sem limitação da taxa de transição.	145
Figura 4.19 – Sinais de controle e sinais internos do circuito gerador.	145
Figura 4.20 – Circuito gerador de sinais de controle com limitação de taxa de transição. (a) Circuito de polarização. (b) Gerador de sinais complementares com limitação de corrente.	146
Figura 4.21 – Inclusão do ramo de subtração no modelo do circuito durante a fase de integração. (a) Circuito completo. (b) Circuito equivalente composto pela associação paralela entre os resistores e os capacitores.	148
Figura 4.22 – Esquemático elétrico do amplificador operacional utilizado.	151
Figura 4.23 – Circuito de CMFB a capacitor chaveado adotado.	151
Figura 4.24 – Esquemático do circuito comparador adotado.	156
Figura 4.25 – Esquemático do conversor digital-analógico de 1 bit adotado no projeto.	158

Figura 4.26 – <i>Layout</i> final do conversor A/D. (a) Modulador $\Delta\Sigma$. (b) Filtro decimador.	159
Figura 4.27 – Curvas de ganho do amplificador operacional. (a) Ganho e fase em função da frequência. (b) Ganho CC em função da tensão de saída diferencial.	159
Figura 4.28 – Sinais de saída do amplificador operacional durante o período de estabilização da tensão de modo comum.	160
Figura 4.29 – Tensão de <i>offset</i> do amplificador operacional.	160
Figura 4.30 – Curvas de tensão em função do tempo demonstrando a operação e a sensibilidade do circuito comparador.	161
Figura 4.31 – Tensão de <i>offset</i> do circuito comparador.	161
Figura 4.32 – Resultados da análise de pequenos sinais para circuitos de tempo discreto. (a) Ganho CA do integrador. (b) PSD do ruído referido à entrada do integrador.	162
Figura 4.33 – Sinais de tensão durante a operação do modulador $\Delta\Sigma$. No gráfico do topo são mostrados os sinais de entrada. No centro são mostrados os sinais de saída do primeiro integrador. Abaixo, os sinais de saída do segundo integrador.	163
Figura 4.34 – Espectro de amplitudes do sinal de saída do modulador $\Delta\Sigma$	163
Figura 4.35 – Sinal de saída do filtro decimador para um sinal de entrada senoidal com frequência de 125 Hz e amplitude de $2V_{pp}$. (a) Amplitude normalizada do sinal em função do tempo. (b) Espectro de amplitudes do sinal.	164
Figura 5.1 – Estrutura típica de um canal de aquisição de sinais.	167
Figura 5.2 – Estrutura de blocos da IAD-sEMG.	168
Figura 5.3 – Efeito da amostragem sobre o ruído gerado pelo amplificador de biosinais. Acima é mostrada a PSD do ruído do amplificador, referido à saída. No gráfico está indicada a parcela do ruído acima de $f_s/2$, a qual sofre <i>aliasing</i> durante o processo de amostragem. Abaixo são comparadas as PSDs antes e após o <i>aliasing</i>	169
Figura 5.4 – Espectro de amplitudes do sinal de saída da IAD-sEMG (saída do modulador), para uma entrada senoidal com frequência de 125 Hz e amplitude de 20 mV_{pp}	170
Figura 5.5 – Sinal de saída do amplificador de biosinais mostrando o <i>ripple</i> gerado pelo chaveamento do modulador $\Delta\Sigma$	171
Figura B.1 – Vias de transporte através da membrana celular e seus mecanismos básicos de transporte.	177

Figura B.2 – Transporte de íons de sódio e potássio através das proteínas-canais. (a) Proteínas-canais com permeabilidade seletiva. (b) Canais de extravasamento.	178
Figura B.3 – Transporte ativo de íons através da bomba de sódio e potássio.	179
Figura B.4 – Estabelecimento do potencial de repouso da membrana nas fibras nervosas e musculares.	180
Figura B.5 – Eventos do potencial de ação em uma fibra nervosa. (a) Potencial de membrana e condutâncias da membrana aos íons de sódio e potássio ao longo do potencial de ação. (b) Propagação do potencial de ação ao longo da fibra.	181
Figura B.6 – Unidades motoras em um músculo.	182
Figura C.1 – Efeito do processo de <i>oversampling</i> sobre o espectro do ruído de quantização do conversor. (a) Redução do piso de ruído em função do aumento da frequência de amostragem f_s . (b) Aplicação de filtro digital passa-baixas para melhorar a SNR na saída conversor. (c) Espectro do sinal digitalizado após a decimação para $f_s = f_N$, onde f_N é a frequência de Nyquist.	185
Figura C.2 – Diagrama de blocos de um conversor $\Delta\Sigma$. (a) Arquitetura geral do sistema. (b) Modelo linear do modulador, assumindo o quantizador como uma fonte de ruído e (c) funções de transferência STF e NTF.	187
Figura C.3 – Modulador $\Delta\Sigma$ de primeira ordem. (a) Diagrama esquemático. (b) Modelo linear de tempo discreto.	188
Figura C.4 – Modelo linear de tempo discreto de um modulador $\Delta\Sigma$ de segunda ordem.	189
Figura C.5 – Modelo linear de tempo discreto de um modulador $\Delta\Sigma$ de segunda ordem com parâmetros de ajuste (ganhos α , β e γ).	189
Figura C.6 – Curvas do módulo da NTF para um modulador $\Delta\Sigma$ mostrando o efeito do deslocamento dos polos do sistema. Ω_N representa a frequência de Nyquist normalizada.	191
Figura C.7 – Curvas conceituais ilustrando as amplitudes dos sinais em um modulador $\Delta\Sigma$	192
Figura C.8 – Resposta em frequência de um filtro FIR de média simples.	195
Figura C.9 – Diagrama de blocos de um filtro CIC.	196
Figura D.1 – Ejeção de carga durante a transição de estado de uma chave NMOS. (a) Esquemático de teste. (b) Carga ejetadas pela chave simulada (sim) e estimada (est) em função da tensão de entrada.	199

- Figura D.2 – Ejeção de carga durante a transição de estado de uma chave CMOS. (a) e (c) Mostram as curvas de carga em função de v_i e a curva linear de menor erro para a carga total. (b) e (d) Mostram a parcela não linear obtida pela diferença entre as curvas de carga linear e total. . . . 201
- Figura D.3 – Arquiteturas de integradores a capacitores chaveados. (a) Integrador inversor simples. (b) Integrador inversor simples com injeção de cargas independente v_i . (c) Integrador não inversor insensível a parasitas. (d) Integrador inversor insensível a parasitas. (e) Integrador não inversor insensível a parasitas diferencial. (f) Sinais de controle. . . . 204
- Figura D.4 – Dependência da injeção de carga com a resistência da chave S_1 . (a) Circuito de teste. (b) Resistência $R_{on(s1)}$ em função da tensão de entrada v_i . (c) Amplitude da carga injetada em C_1 em função de v_i para dois valores de T_{fall} 205
- Figura D.5 – Injeções de cargas no circuito da Figura D.3 (e). (a) Cargas individuais injetadas por S_3 em C_1 e por S'_3 em C'_1 . (b) Erro em modo diferencial gerado por injeções de cargas. A curva “*” representa o erro nas cargas armazenadas em C_1 e C'_1 no final da fase ϕ_1 . A curva contínua mostra o erro nas cargas armazenadas em C_2 e C'_2 no final da fase ϕ_2 206
- Figura D.6 – Resultados da simulação de Monte Carlo (processo e descasamento) para o erro em modo diferencial nas cargas de C_1 e C'_1 ao final da fase ϕ_1 (Figura D.3 (e)). Os histogramas do erro de carga ΔQ mostram (a) a parcela CC e (b) o valor pico a pico. 206

LISTA DE TABELAS

Tabela 1.1 – Especificações de requerimentos da IAD-sEMG.	38
Tabela 2.1 – Valores típicos de resistências e capacitâncias para os modelos de impedância de diferentes tipos de eletrodos.	47
Tabela 3.1 – Requerimentos do amplificador de biosinais.	60
Tabela 3.2 – Características de alguns amplificadores de transcondutância discutidos na seção 3.2.2.2.	85
Tabela 3.3 – Resumo das características de alguns amplificadores de biosinais encontrados na literatura.	87
Tabela 3.4 – Comparação de linearidade entre os circuitos apresentados na Tabela 3.3 usando a THD expressa em dB e ENOB.	88
Tabela 3.5 – Comparação entre resultados de simulação do amplificador para três estruturas de pseudo-resistores. Para cada estrutura, as linhas superior e inferior representam as condições de maior e menor condutividade, respectivamente.	97
Tabela 3.6 – Dimensões e pontos de operação dos transistores do amplificador operacional e dos espelhos de corrente (considerando-se uma tensão de alimentação de 1,2 V).	106
Tabela 3.7 – Dimensões e pontos de operação dos transistores do <i>buffer</i> (considerando-se uma tensão de alimentação de 1,2 V).	107
Tabela 3.8 – Dimensões dos transistores do circuito de <i>start-up</i>	109
Tabela 3.9 – Resumo das características do amplificador de biosinais projetado. Os dados referem-se às condições típicas de processo e temperatura ambiente e para uma corrente de polarização do pseudo-resistor de 100 nA.	117
Tabela 4.1 – Requerimentos do conversor $\Delta\Sigma$	121
Tabela 4.2 – Parâmetros finais do modulador $\Delta\Sigma$	126
Tabela 4.3 – Dimensões dos transistores utilizados no gerador de sinais de controle.	146
Tabela 4.4 – Capacitores do modulador $\Delta\Sigma$	150
Tabela 4.5 – Dimensões dos transistores utilizados no amplificador operacional.	155
Tabela 4.6 – Dimensões dos transistores utilizados no comparador.	157
Tabela 4.7 – Resultados obtidos para o conversor $\Delta\Sigma$	164
Tabela B.1 – Concentrações de íons sódio e potássio nos líquidos intra e extracelular.	179

Tabela B.1 – Parâmetros tecnológicos dos transistores.	217
Tabela B.2 – Parâmetros de projeto do modelo UICM.	217
Tabela B.3 – Parâmetros de ruído.	217
Tabela B.4 – Parâmetros de descasamento dos transistores.	218
Tabela B.5 – Parâmetros tecnológicos dos resistores.	218
Tabela B.6 – Parâmetros de descasamento dos resistores.	218
Tabela B.7 – Parâmetros tecnológicos dos capacitores.	219
Tabela B.8 – Parâmetros de descasamento de capacitores.	219

SUMÁRIO

Lista de ilustrações	15
Lista de tabelas	25
Sumário	27
1 Introdução	31
1.1 Aplicações clínicas	32
1.2 Aplicação em prótese	34
1.3 Descrição do projeto	37
1.3.1 Estrutura do sistema	37
1.3.2 Requerimentos	38
1.3.3 Organização do trabalho	39
2 Eletromiografia de superfície	41
2.1 Métodos de aquisição	41
2.2 Eletrodos	43
2.2.1 Meia-célula e a dupla camada elétrica	43
2.2.2 Tipos de eletrodos	44
2.2.2.1 Eletrodos de contato úmido	45
2.2.2.2 Eletrodos secos	45
2.2.2.3 Eletrodos capacitivos	45
2.2.3 Eletrodos para sEMG	46
2.2.4 Modelos e parâmetros	47
2.3 Características dos sinais eletromiográficos	49
2.3.1 Largura de banda e amplitude	49
2.3.2 Tensão de <i>offset</i>	50
2.3.3 Ruído	51
2.3.4 Artefatos	54
2.3.5 Interferência	54
2.4 Conclusão	57
3 Amplificador de Biossinais	59
3.1 Requerimentos	60
3.1.1 Largura de banda	60
3.1.2 Saída unipolar ou diferencial	60

3.1.3	Ganho e excursão de saída	61
3.1.4	Rejeição a sinais de modo comum	62
3.1.5	Linearidade e ruído	62
3.2	Arquiteturas de amplificadores de biossinais	64
3.2.1	Componentes passivos integrados	64
3.2.2	Dispositivos ativos de baixa condutividade	65
3.2.2.1	Pseudo-resistores	65
3.2.2.2	Amplificadores de transcondutância	69
3.2.3	Amplificadores de biossinais encontrados na literatura	78
3.2.4	Comparação entre arquiteturas de amplificadores	83
3.3	Projeto do amplificador de biossinais	88
3.3.1	Realimentação usando rede T	89
3.3.2	Estruturas melhoradas de pseudo-resistores	90
3.3.3	Projeto elétrico	93
3.3.3.1	Pseudo-resistor	94
3.3.3.2	Banco de capacitores	97
3.3.3.3	Amplificador operacional	98
3.3.3.4	Estágio de saída	106
3.3.3.5	Controle da tensão de modo comum	107
3.3.3.6	<i>Layout</i>	110
3.4	Resultados de simulação	110
3.5	Conclusão	116

4 Conversor A/D 119

4.1	Requerimentos	120
4.2	Modelo e simulações em MATLAB	121
4.3	Aspectos práticos de projeto	128
4.3.1	Latência de conversão	128
4.3.2	Modulador de tempo discreto ou de tempo contínuo	130
4.3.3	Fontes de erro	130
4.3.3.1	Ganho finito do amplificador operacional	131
4.3.3.2	Tensão de <i>offset</i> do amplificador operacional	133
4.3.3.3	Limitação da velocidade de resposta	134
4.3.3.4	Injeção de carga pelas chaves	136
4.3.3.5	Ruído	137
4.3.4	Impacto das fontes de erro	141
4.4	Projeto elétrico	142
4.4.1	Modulador	143
4.4.1.1	Chaves e sinais de controle	144

4.4.1.2	Integradores	147
4.4.1.3	Amplificadores Operacionais	150
4.4.1.4	Comparador	156
4.4.1.5	Conversor Digital-Analógico	157
4.4.2	Filtro decimador	158
4.4.3	Layout	158
4.5	Resultados de simulações	158
4.6	Conclusão	164
5	Interface de aquisição de sinais	167
5.1	Estrutura da IAD-sEMG	167
5.2	Resultados de simulações	170
5.3	Conclusão	171
6	Conclusão	173
	APÊNDICE A Publicações	175
	APÊNDICE B Origens fisiológicas dos sinais elétricos musculares	177
B.1	Transporte de íons pela membrana celular	177
B.2	Potencial de membrana	179
B.3	Potenciais de ação	180
B.4	Unidades motoras	182
	APÊNDICE C Conceitos básicos de conversores $\Delta\Sigma$	183
C.1	Resolução de um $\Delta\Sigma$ -ADC	183
C.2	Conversores de <i>oversampling</i>	184
C.3	Conversores $\Delta\Sigma$	186
C.3.1	Modulador de primeira ordem	187
C.3.2	Modulador de segunda ordem	188
C.3.3	Sequência de projeto	191
C.3.4	Filtro decimador	194
C.3.4.1	Filtros IIR	194
C.3.4.2	Filtros FIR	195
	APÊNDICE D Injeção de cargas em circuitos chaveados	199
D.1	Técnicas de redução de erros	203
D.2	Erro em integradores insensíveis a parasitas	205
	APÊNDICE E Filtro decimador	209
E.1	Arquivo <i>filtro_top.vhd</i>	209

E.2	Arquivo <i>filtro.vhd</i>	210
E.3	Arquivo <i>counter6b.vhd</i>	211
E.4	Arquivo <i>filtro_tb.vhd</i>	212
ANEXO A	Modelo UICM	215
A.1	Equações básicas do modelo	215
A.2	Equações de projeto	215
A.3	Cargas	216
A.4	Capacitâncias	216
ANEXO B	Dados da tecnologia	217
B.1	Transistores	217
B.2	Resistores	218
B.3	Capacitores	219
Referências	221

1 INTRODUÇÃO

Sinais originados de processos fisiológicos, ou biossinais, constituem uma rica fonte de informações sobre as condições físicas, de saúde e até mesmo emocionais de um indivíduo. Obtendo-se esses sinais, é possível realizar diagnósticos médicos, monitorar pacientes e controlar dispositivos úteis à vida diária de pessoas com algum tipo de limitação física. Essas possibilidades têm direcionado um grande volume de pesquisas para o campo da instrumentação biomédica nas últimas décadas, com o objetivo de acelerar seu desenvolvimento e disponibilizar equipamentos cada vez mais úteis e confiáveis às ciências médicas e outras áreas relacionadas à saúde e bem-estar.

Há muitas aplicações para sistemas de leitura e interpretação de biossinais que podem ser encontrados no dia a dia. Como um exemplo, pode-se citar o monitoramento de pacientes em leitos hospitalares, no qual as condições de saúde do indivíduo são estimadas por meio da observação de sinais eletrocardiográficos (ECG) e eletroencefalográficos (EEG), dados do ritmo cardíaco, da pressão arterial e tantos outros. Outros exemplos já consolidados e conhecidos popularmente são a leitura do nível de glicose no sangue, essencial no controle da diabetes, e o uso de monitores cardíacos portáteis por atletas durante suas atividades físicas.

Existem ainda outros tipos de biossinais cuja a aplicabilidade é atualmente matéria de grande interesse, tanto por profissionais de saúde quanto por profissionais de engenharia elétrica e biomédica. Esse é o caso da eletromiografia, que encontra aplicação em muitas áreas, dentre as quais estão a clínica médica, a reabilitação, a biomecânica (treinamento esportivo, análise de movimento e outros) e a ergonomia (FLORIMOND, 2010). Sinais eletromiográficos também podem ser utilizados no controle de próteses mecânicas de membros amputados ou outros tipos de dispositivos de assistência motora.

Interesse ainda maior tem sido demonstrado pela eletromiografia de superfície, ou sEMG (*surface* EMG), por tratar-se de uma metodologia não invasiva de aquisição de biossinais. A razão para esse interesse é que, em muitas aplicações, há a necessidade de realizar a leitura de sinais fisiológicos de forma não invasiva e não restritiva, a fim de evitar privar o indivíduo observado de sua liberdade de movimento. Um exemplo desse tipo de situação ocorre quando se deseja monitorar um paciente durante a realização de suas atividades cotidianas. Além disso, os riscos à saúde inerentes às metodologias de aquisição invasivas (EMG de agulha, dispositivos implantáveis, etc.), como infecções e traumas físicos, tornam necessária a presença de um profissional de saúde especializado para conduzir os procedimentos de inserção e remoção dos eletrodos e/ou a operação dos dispositivos.

O interesse por metodologias de leitura não invasivas de sinais eletromiográficos traz consigo a necessidade de instrumentos capazes de realizá-las de modo eficiente e otimizado. Nesse contexto, foi idealizado o projeto de um canal para a aquisição de sinais de sEMG, o qual deve realizar as tarefas de condicionamento e conversão desses sinais por meio de um único circuito integrado (CI) com baixo consumo de energia, facilitando sua utilização em sistemas portáteis aquisição de bio-sinais. O canal de aquisição recebeu o nome de **Interface Analógico-Digital para Eletromiografia de Superfície**, ou **IAD-sEMG**, como será referido daqui para frente.

A seguir serão discutidas algumas das possíveis aplicações para a IAD-sEMG em áreas nas quais a sEMG já é usada com sucesso ou demonstra potencial para isso e, ao final, serão apresentadas as especificações de requerimentos do canal de aquisição, cujo projeto será o tema central deste trabalho.

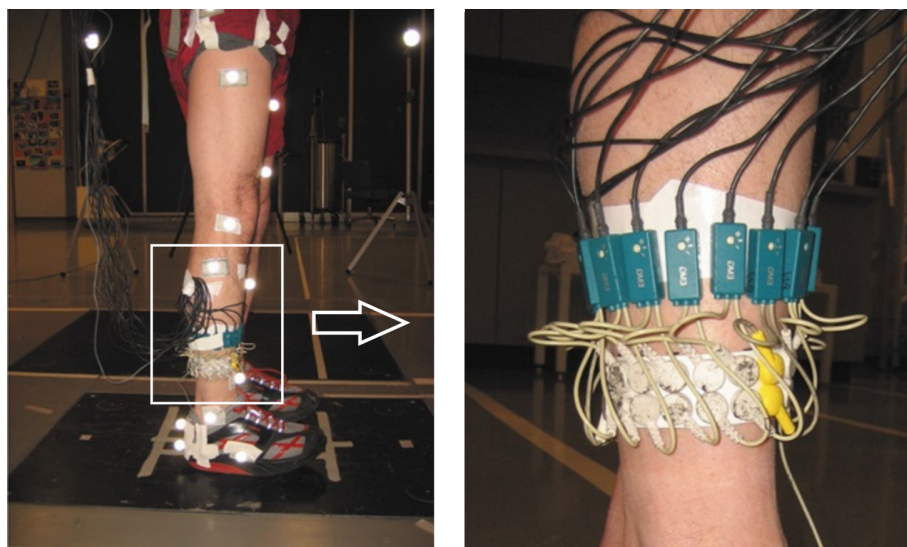
1.1 Aplicações clínicas

Em clínica médica, a sEMG tem sido utilizada na elaboração de diagnósticos há mais de 40 anos. Porém, na maioria dos casos, esta assume apenas um papel secundário em um conjunto de análises das funções neuromusculares (MORAES et al., 2010). Isso se deve principalmente à pouca concordância sobre seu valor como ferramenta de diagnóstico, o que tem motivado estudos e publicações procurando demonstrar que a sEMG pode ser utilizada de modo confiável na identificação de distúrbios neuromusculares.

Estudos publicados por Pullman et al. (2000) apontam a sEMG como uma ferramenta aceitável em estudos de cinesiologia e distúrbios do controle motor, sendo de grande utilidade na identificação de distúrbios de movimento como tremores, mioclonia e distonia. Zwarts, Drost e Stegeman (2000) mostram que a sEMG é capaz de identificar mudanças fisiológicas em unidades motoras, fornecendo informações complementares às da EMG de agulha (nEMG) no diagnóstico de doenças neuromusculares. Como exemplo, com a utilização simultânea de dois canais de sEMG em série, é possível medir a velocidade de condução das fibras musculares (MFCV), parâmetro útil na identificação de algumas miopatias caracterizadas por perturbações funcionais das membranas celulares.

Pesquisas mais recentes têm demonstrado que com três ou mais canais de leitura sobre um único músculo (High Density sEMG ou HD-sEMG) é possível obter informações que, até então, eram de domínio absoluto da EMG de agulha como, por exemplo, dados sobre a morfologia de unidades motoras (tamanho, zonas de inervação, etc.) e sua localização espacial. Além disso, com HD-sEMG há a possibilidade de realizar a decomposição dos sinais de sEMG em seus trens de MUAPs (*Motor Unit Action Potential*) constituintes. Essas informações têm importantes aplicações no estudo de distúrbios neuromusculares como, por exemplo, na diferenciação de MUAPs neurogênicas daquelas de

Figura 1.1 – A HD-sEMG aplicada no estudo de biomecânica e da função neuromuscular.



Fonte: <http://lermagazine.com/article/unstable-shoe-designs-functional-implications>.

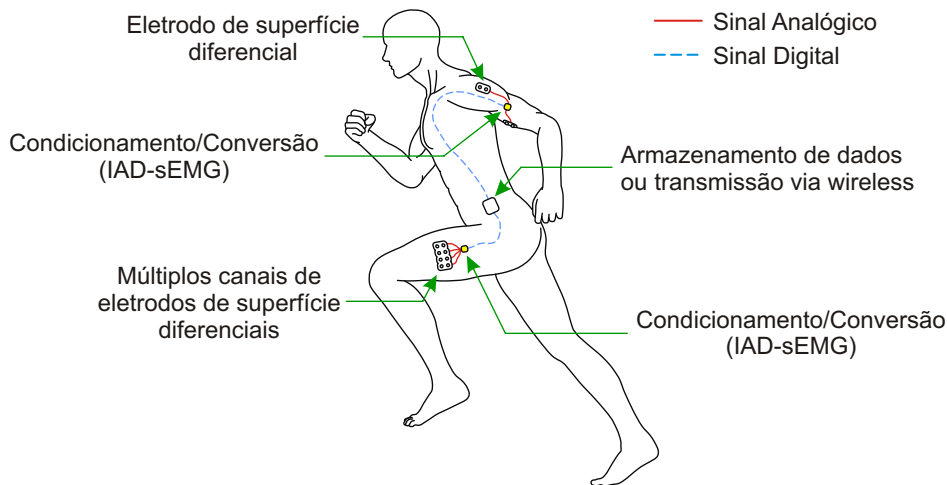
indivíduos saudáveis e no diagnóstico de patologias que resultam em mudanças no tamanho de MUs (Motor Units), as quais, por sua vez, estão relacionadas a processos de desnervação-reinervação e distrofia muscular. Outra potencial aplicação para a HD-sEMG é a análise da sensibilidade de **variáveis da sEMG**¹ à localização dos eletrodos, o que pode ser usado para a padronização de técnicas de medidas de sEMG (MERLETTI; FARINA; GAZZONI, 2003; DROST et al., 2006).

Fora do ambiente médico, em pesquisas de reabilitação, de biomecânica e de ergonomia, a sEMG é usada para determinar o momento de ativação dos músculos, isto é, os momentos em que a excitação muscular começa e termina. É usada também para estimar a força produzida pelos músculos e para avaliar níveis de fadiga muscular (LUCA, 2002). Como exemplo, a Figura 1.1 mostra um arranjo linear de eletrodos aplicado na leitura de sinais de sEMG para avaliar mudanças biomecânicas e neuromusculares em indivíduos usando **sapato instável** (*unstable shoe*), enquanto permanecem parados em pé ou durante uma caminhada (LANDRY, 2011).

Como foi mostrado, há uma ampla variedade de aplicações clínicas para a sEMG e a HD-sEMG, mostrando que ainda há espaço para o desenvolvimento de novos dispositivos e sistemas destinados a ler e/ou processar esses sinais. A Figura 1.2 ilustra como seria possível aplicar a IAD-sEMG em um sistema portátil de monitoramento de sinais mioelétricos. O sistema hipotético consiste em um conjunto de eletrodos (utilizados em pares e/ou em arranjos multi-dimensionais) posicionados sobre diferentes músculos,

¹ São chamadas variáveis da sEMG (ou *features* na literatura em inglês) as informações numéricas extraídas a partir de uma amostra do sinal de sEMG e que representam alguma característica particular desse sinal, como valor RMS (Root Mean Square), frequência média, etc. (FERREIRA; GUIMARÃES; SILVA, 2010).

Figura 1.2 – A IAD-sEMG como parte de um sistema portátil de leitura de biosinais para aplicações em clínica médica, treinamento esportivo e reabilitação física.



Fonte: O próprio autor.

proximamente conectados aos dispositivos IAD-sEMG. Durante a operação, sinais já digitalizados seriam enviados a um controle central que os armazenaria em uma memória (caso funcione como um *data logger*) ou os transmitiria via rádio para uma estação de processamento.

1.2 Aplicação em protética

No Brasil, estima-se que ocorram cerca de 40 mil amputações todos os anos devido a doenças como o diabetes e a acidentes de trânsito e de trabalho (REIS; JÚNIOR; CAMPOS, 2012). Dados do censo de 2000 mostram que, naquele ano, haviam quase 480 mil pessoas com deficiências físicas caracterizadas pela ausência de algum membro ou de parte de um membro (IBGE, 2000).

As limitações motoras devido à amputação de um membro, e seu impacto negativo na qualidade de vida de indivíduos com este tipo de limitação, têm motivado pesquisas voltadas ao desenvolvimento de próteses que respondam aos estímulos elétricos do corpo e que executem movimentos semelhantes àqueles do membro real. A utilização de sinais mioelétricos no controle de próteses, por exemplo, já é estudada desde a década de 60 (YAZAMA et al., 2004).

Mesmo com a amputação de uma parte do corpo, sinais elétricos de músculos remanescentes da amputação (ou de parte deles), e que eram os responsáveis pelo movimento da região ausente, podem ser usados para controlar próteses mecânicas com elevado grau de perícia nos movimentos (TENORE et al., 2007). Esse é o caso, por exemplo, das mãos, em que a maior parte dos músculos que controlam os movimentos do punho e dos dedos localiza-se no antebraço.

É interessante ressaltar que próteses mecânicas com um grande número de graus de liberdade já são disponíveis comercialmente e não representam nenhuma novidade tecnológica atualmente. O maior problema encontrado no uso dessas próteses de alta precisão é o seu controle pelo paciente. O controle de movimentos complexos e, especialmente, da força exercida ainda não podem ser feitos naturalmente (CASTELLINI; SMAGT, 2009). Na melhor das hipóteses, esse nível de controle requer um longo período de aprendizagem, muitas vezes desestimulando o uso da prótese pelo paciente, principalmente nos casos em que este ainda preserva um membro semelhante útil.

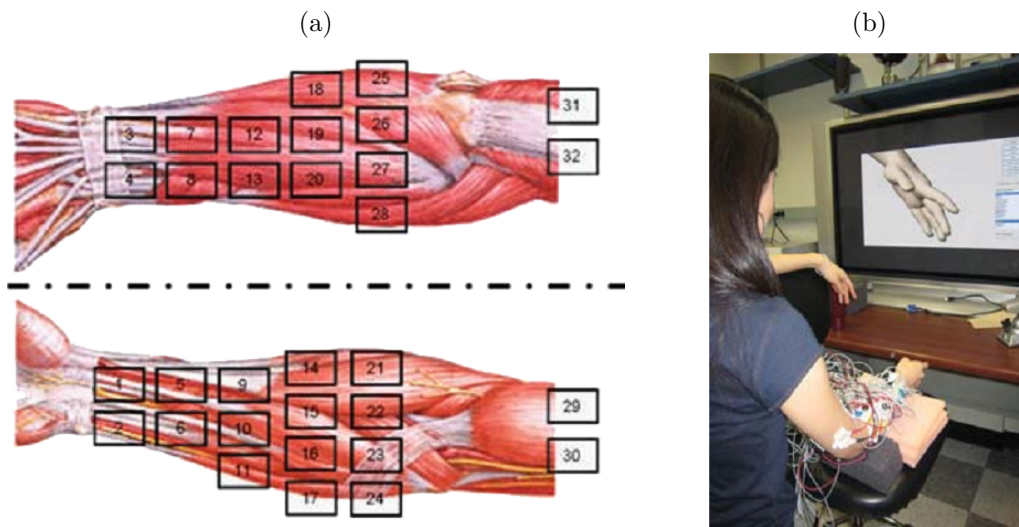
A capacidade de controle preciso dos movimentos de uma prótese por meio de sinais de sEMG necessita que muitos pontos de leitura sejam usados simultaneamente e exige elevada acurácia no reconhecimento de intenções de movimento. Por isso, muitos estudos relatados nos últimos anos foram dedicados à comprovação da viabilidade do uso de sEMG para esse propósito. Em trabalhos publicados por Phinyomark, Limsakul e Phukpattaranont (2008, 2009) foi investigada a eficácia de diversas variáveis da sEMG no reconhecimento de intensões de movimento em função do nível de ruído contido no sinal, tendo sido obtida uma precisão de até 96% com o uso combinado das técnicas WAMP (*Willison Amplitude*), HEMG (*Histogram EMG*) e MMNF (*Modified Mean Frequency*).

Em outro estudo, Tenore et al. (2007) avaliaram a classificação de 10 movimentos de dedos individualmente e 2 movimentos de grupos de dedos por meio de um arranjo de 32 eletrodos posicionados sobre o antebraço, mostrado na Figura 1.3. O estudo usou as variáveis no domínio do tempo de média do valor absoluto, variância, WAMP e WL (*Waveform Length*) e realizou a classificação dos dados por meio de redes neurais, alcançando mais que 98% de precisão para todas as variáveis testadas. Resultados igualmente bons também foram relatados por Lee, Kim e Oh (2012) e Young et al. (2013), apenas para citar alguns.

Mesmo em um caso severo de amputação, como o apresentado por Zhou et al. (2005), no qual o indivíduo teve ambos os braços amputados até a região dos ombros, a HD-sEMG foi capaz de extrair sinais representativos das intenções de movimento do braço, da mão e do pulso. Para que isso fosse possível, diversos pontos de inervação foram criados cirurgicamente sob a pele, permitindo o acesso aos sinais neuro-musculares. O arranjo usado para a leitura dos sinais é mostrado na Figura 1.4(a) e consiste em uma matriz de 127 eletrodos monopolares que permitem captar sinais na região reinervada enquanto o indivíduo tenta executar movimentos de mãos, resultando nos padrões de ativação mostrados na Figura 1.4(b).

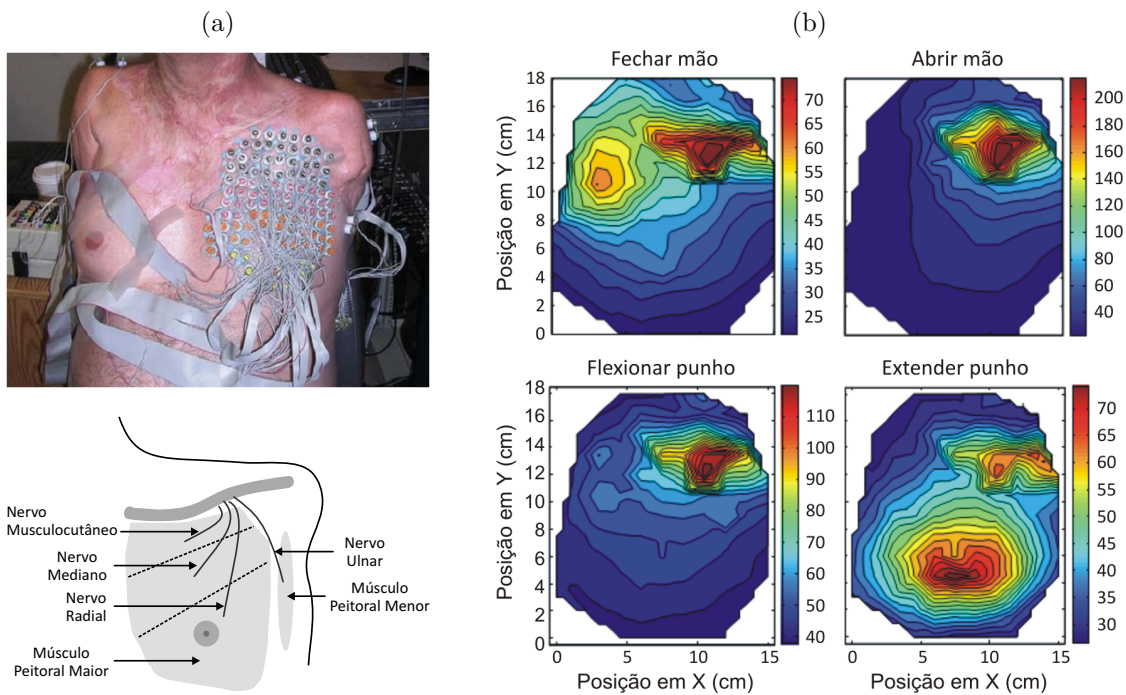
Os estudos apresentados mostraram ser factível o controle de próteses com alto grau de destreza utilizando sinais de sEMG. A Figura 1.5 ilustra uma possível aplicação do IAD-sEMG em um sistema de leitura de sinais para o controle de uma prótese de mão. Há certamente muitas vantagens na adoção de um circuito integrado com múltiplos

Figura 1.3 – Controle de próteses de mãos usando HD-sEMG. (a) Posicionamento de 32 eletrodos diferenciais sobre o antebraço. (b) Testes de reconhecimento de intenções de movimento usando simuladores de próteses virtuais.



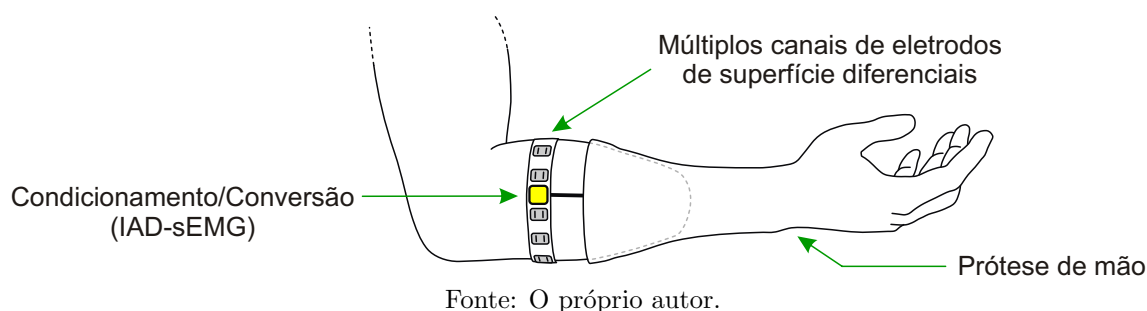
Fonte: Tenore et al. (2007)

Figura 1.4 – Identificação de intenção de movimento de um indivíduo com os braços amputados usando HD-sEMG. (a) Posicionamento da matriz de eletrodos (acima) e zonas de inervação criadas cirurgicamente (abaixo). (b) Padrões de ativação das regiões sob os eletrodos (valor RMS das leituras) para quatro diferentes intenções de movimentos.



Fonte: Zhou et al. (2005)

Figura 1.5 – IAD-sEMG como parte de um sistema de controle de uma prótese de mão.



canais para a realização do processamento e da conversão dos sinais. Uma delas é a redução do volume e do peso dos equipamentos. Também se elimina a necessidade de uma grande quantidade de fios e cabos, que não apenas limitam os movimentos, como também comprometem a qualidade do sinal adquirido, inserindo artefatos de movimento e interferência da rede de alimentação.

1.3 Descrição do projeto

Este trabalho descreve o desenvolvimento de uma interface analógico-digital para a aquisição de sinais de eletromiografia de superfície, a IAD-sEMG. O dispositivo destina-se a aplicações portáteis de leitura de biossinais e deverá ser usado em testes clínicos e em estudos na área de fisioterapia e reabilitação. Poderá também atuar como uma interface homem-máquina no controle de próteses mecânicas de membros amputados, ou em outros dispositivos de assistência motora que empreguem esta classe de biossinais.

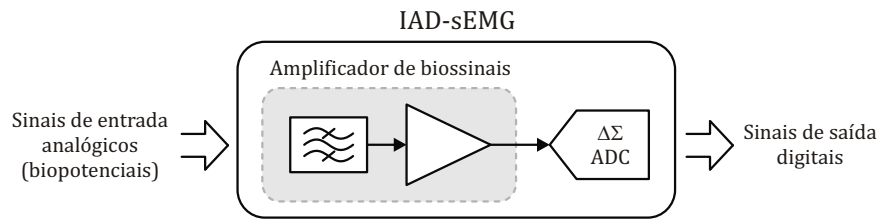
1.3.1 Estrutura do sistema

A estrutura de blocos do canal de aquisição de biossinais (IAD-sEMG) é mostrada na Figura 1.6. Este é composto por um amplificador de biossinais, que também realiza a função de filtragem, e por um conversor analógico-digital (ADC).

O amplificador possui ganho programável, para que este possa ser adaptado a diferentes condições de medida. A filtragem, acoplada ao amplificador, consiste em um filtro passa-faixa, com o polo de baixa frequência na faixa de milihertz e o de alta frequência na faixa de centenas de hertz. A atenuação em baixas frequências é destinada à remoção do *offset* CC gerado pelos eletrodos, e a atenuação em altas frequências tem a função de evitar o fenômeno de *aliasing* no processo de conversão do sinal para o domínio digital.

O ADC consiste em um conversor $\Delta\Sigma$, o qual compreende um modulador $\Delta\Sigma$ de tempo discreto e um filtro decimador. A escolha de um conversor $\Delta\Sigma$ é importante para o projeto, pois algumas simplificações feitas na estrutura do canal de aquisição se devem

Figura 1.6 – Estrutura de blocos da IAD-sEMG.



Fonte: O próprio autor.

Tabela 1.1 – Especificações de requerimentos da IAD-sEMG.

Parâmetro	Valor desejado
Tensão de alimentação	1,2 V a 3,3 V (típica de 1,5 V)
Consumo médio de corrente	< 100 μ A
Resolução	12 bits
Máxima excursão de entrada	20 mV _{pp}
Faixa de frequências de interesse	5 Hz a 500 Hz
Taxa de dados na saída (<i>throughput</i>)	2 kS/s

Fonte: O próprio autor.

ao fato de este tipo de conversor operar com uma taxa de amostragem muito acima da mínima requerida. Isso será explicado em detalhes ao longo deste trabalho.

1.3.2 Requerimentos

As especificações de requerimentos do circuito a ser projetado são apresentadas na Tabela 1.1. Como foi previamente discutido, a IAD-sEMG destina-se a aplicações com múltiplos canais de leitura, o que implica que o projeto deve visar obter um consumo de energia baixo e ocupar uma pequena área de silício.

A escolha da tensão de alimentação vem da necessidade de o sistema ser alimentado por uma pilha ou bateria de pequeno porte, cujos valores nominais são normalmente iguais ou menores que 3,3 V. A tensão de alimentação padrão do circuito foi estabelecida em 1,5 V. A tensão mínima de 1,2 V foi escolhida para que o circuito opere adequadamente mesmo com a redução da tensão da bateria devido ao uso, assumindo-se que a alimentação nesse caso é feita por uma pilha padrão de 1,5 V. O limite superior de 3,3 V é definido pela tecnologia CMOS empregada. O limite do consumo de corrente foi fixado de modo a permitir que um sistema utilizando múltiplos canais IAD-sEMG opere por várias horas sem a necessidade de troca de bateria ou de recarga. Um dos objetivos de projeto, no entanto, será minimizar esse consumo.

A resolução escolhida para o ADC foi de 12 bits, como é sugerido por Konrad (2006, p. 14). Maiores detalhes sobre a escolha dessa resolução, bem como sobre a taxa de dados na saída do canal (*throughput*), serão apresentados na seção 4.1, no capítulo que trata do projeto do ADC. As informações sobre a amplitude do sinal de entrada e sobre a faixa de frequências do sinal de sEMG foram extraídas da literatura e são explicadas em detalhes na seção 2.3.1.

1.3.3 Organização do trabalho

Este texto está organizado da seguinte forma. No Capítulo 2 são apresentadas as características dos sinais de sEMG e dos eletrodos empregados em sua leitura. No Capítulo 3 são revisadas algumas das arquiteturas de amplificadores para biosinais encontradas na literatura e são apresentados a proposta e os detalhes do desenvolvimento de uma nova arquitetura de amplificador. No Capítulo 4 é apresentado o desenvolvimento do conversor analógico-digital. No Capítulo 5 é discutida a arquitetura completa da IAD-sEMG e são apresentadas as motivações que levaram às simplificações realizadas em sua estrutura. A conclusão finaliza este trabalho resumindo os principais resultados e avanços obtidos, além das expectativas para trabalhos futuros.

No Apêndice A são enumeradas as publicações feitas durante o período de desenvolvimento deste trabalho. Aos interessados em conhecer de forma mais aprofundada o tema, o Apêndice B apresenta uma revisão sobre as origens fisiológicas dos sinais eletromiográficos. Para o leitor menos familiarizado com os conceitos de *oversampling* e conversores $\Delta\Sigma$, o Apêndice C traz um resumo teórico do assunto. No Apêndice D é apresentado um estudo detalhado dos erros gerados pela injeção de cargas em integradores a capacitores chaveados, necessário no projeto do conversor A/D. O Apêndice E traz a descrição em VHDL do filtro decimador utilizado neste trabalho. Por fim, as equações do modelo UICM, utilizadas ao longo de todo o trabalho, são resumidas no Anexo A, e os parâmetros da tecnologia adotada no projeto são dados no Anexo B.

2 ELETROMIOGRAFIA DE SUPERFÍCIE

Eletromiografia de superfície, ou sEMG, é o registro dos sinais elétricos gerados pela atividade muscular por meio de eletrodos posicionados sobre a pele. A relativa facilidade de acesso a esses sinais, aliada a um grande número de ferramentas de processamento, os torna interessantes para muitas aplicações, entre as quais encontram-se o estudo de distúrbios musculares e neuromusculares, além de prótese e reabilitação, tal como foi exposto no capítulo anterior.

Os fenômenos envolvidos nos processos de geração e captação de sinais elétricos musculares influenciam diretamente as características dos sinais obtidos, definindo sua magnitude, largura de banda, tensão de *offset* e também os níveis de ruído e de sinais interferentes. A compreensão desses fenômenos tem grande importância no desenvolvimento de um dispositivo de aquisição, especialmente no caso de um dispositivo totalmente integrado, pois o conhecimento das características dos sinais de interesse permite que alcance um elevado nível de otimização no produto final.

Para os leitores interessados, o Apêndice B traz um resumo a respeito das origens fisiológicas dos sinais elétricos musculares. Neste capítulo serão discutidos alguns aspectos práticos da eletromiografia de superfície, como os eletrodos utilizados, seu modelo elétrico e as metodologias de aquisição dos sinais. Ao final, serão descritas algumas das principais características dos sinais de sEMG, as quais servirão de base para a especificação dos requerimentos dos sub-circuitos da IAD-sEMG nos capítulos que se seguirão.

2.1 Métodos de aquisição

A aquisição de sinais eletromiográficos é feita por meio de eletrodos inseridos nos músculos ou posicionados sobre a pele, próximos aos músculos que se deseja observar. Neste trabalho, porém, o interesse é exclusivamente em métodos de aquisição não invasivos, utilizando eletrodos de superfície.

Na maior parte das aplicações de sEMG, os sinais são lidos de forma diferencial, ou seja, medindo-se a diferença entre os potenciais de dois eletrodos posicionados a uma certa distância. Neste tipo de leitura, há ainda a necessidade de um terceiro eletrodo, cuja função é estabelecer um ponto de referência comum entre o corpo e o dispositivo de leitura de sinais. Este eletrodo deve ser posicionado em um ponto da pele sobre uma região de pouca atividade muscular (ou “ponto ósseo”) ou que seja “eletricamente não correlacionada” ao ponto de leitura, a fim de evitar a contaminação dos sinais com interferentes. A Figura 2.1 ilustra o procedimento usual de leitura para sEMG.

Figura 2.1 – Leitura de sinais de sEMG em modo diferencial.

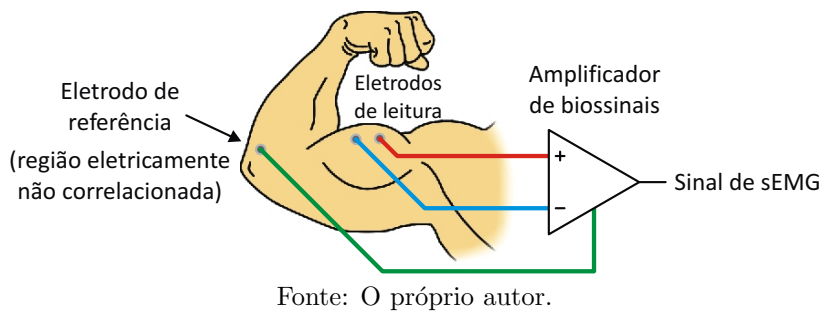
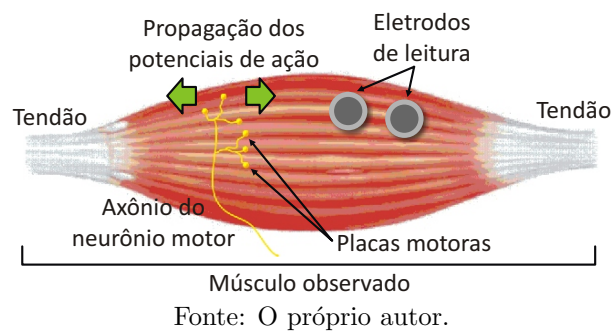


Figura 2.2 – Posicionamento dos eletrodos de superfície em relação ao músculo observado.

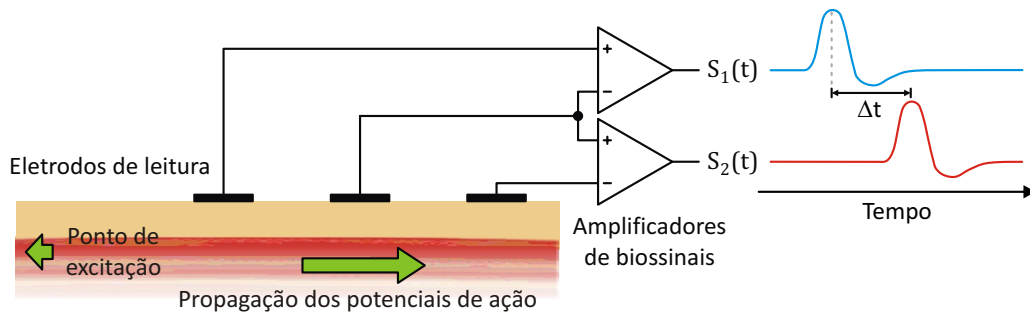


Durante o posicionamento dos eletrodos, deve-se garantir que ambos estejam dispostos ao longo das fibras musculares, em um mesmo lado em relação à placa motora, ou região de inervação, como ilustrado na Figura 2.2. Esse procedimento visa evitar o fenômeno de cancelamento de sinais, que resulta em interpretações erradas dos dados obtidos. Preferencialmente, eletrodos devem ser posicionados no ponto médio entre a zona de inervação e o tendão. Se muito próximo à região do tendão, podem ocorrer problemas de interferência, gerando também interpretações incorretas dos sinais. Interferência também pode ocorrer quando os eletrodos são posicionados nas proximidades de músculos vizinhos ou parcialmente sobre eles.

Quando se deseja medir a velocidade de propagação dos potenciais de ação ao longo das fibras musculares, três eletrodos são posicionados em linha reta ao longo de uma fibra muscular, e os sinais são medidos diferencialmente entre os pares de eletrodos, como ilustrado na Figura 2.3. A medida de velocidade é obtida calculando-se a diferença de tempo entre a ocorrência do pulso em cada par. Arranjos maiores de eletrodos em linha podem ser usados para estudar a morfologia de unidades motoras, permitindo detectar a localização de pontos de inervação nas fibras musculares (MERLETTI; FARINA; GAZZONI, 2003).

Em algumas aplicações há a necessidade de conhecer o músculo de origem dos sinais elétricos. Nesses casos, múltiplos eletrodos podem ser usados em diferentes posições sobre a região estudada para fornecer a resolução espacial nos dados medidos. Essa técnica

Figura 2.3 – Esquema de medida de velocidade de propagação de potenciais de ação.



Fonte: O próprio autor.

é chamada HD-sEMG (*High Density Surface EMG*) (DROST et al., 2006). A HD-sEMG pode empregar tanto pares de eletrodos diferenciais quanto eletrodos monopolares. Neste último, os sinais são medidos em relação ao eletrodo de referência do sistema (ZHOU et al., 2005). Exemplos de leitura de sinais usando HD-sEMG já foram apresentados no capítulo anterior, quando foi comentada a aplicação de sEMG em prótese (seção 1.2).

2.2 Eletrodos

Em tecidos vivos, o fluxo de corrente é estabelecido através do movimento iônico, e o eletrodo utilizado deve converter este movimento de íons em um fluxo de elétrons. O eletrodo é, portanto, um transdutor eletroquímico. A estrutura básica de um eletrodo consiste em uma lâmina de metal (eletrodo em si) imersa em um eletrólito. Na interface metal-eletrólito, trocas de elétrons entre os íons do eletrólito e os átomos da lâmina de metal, através de reações de oxidação e redução, permitem a propagação de sinais elétricos de um meio para outro (HUIGEN, 2000, p. 3).

2.2.1 Meia-célula e a dupla camada elétrica

O princípio de funcionamento de um transdutor eletroquímico é semelhante ao de uma pilha ou bateria (célula galvânica) e, tal como em uma bateria, cada sistema eletrodo-eletrólito é chamado de meia-célula. O potencial elétrico típico de uma meia-célula, chamado potencial de meia-célula (ou *half-cell potential*), corresponde à diferença de potencial observada entre uma dada meia-célula e um eletrodo padrão de hidrogênio. Em uma pilha eletroquímica, uma diferença de potencial é gerada desde que haja diferença entre as energias livres nas duas meias-células que a compõe (metais diferentes, eletrólitos diferentes, concentrações de eletrólitos diferentes, etc.). Nessas condições, se duas meias-células são ligadas de modo a criar uma malha fechada, cargas elétricas se deslocarão ao longo da malha no sentido de minimizar as energias livres nos dois lados do sistema (FELTRE, 2004, p. 282-332)

Como efeito do deslocamento de cargas na meia-célula, uma **dupla camada** (*electrical double layer*) é formada na interface eletrodo-eletrólito. O processo de formação da dupla camada se inicia no momento em que o eletrodo entra em contato com o eletrólito, estabilizando-se após algum tempo. A velocidade de estabilização é fortemente dependente da concentração de íons do mesmo metal do eletrodo contidos na solução de eletrólito. Quando essa concentração é baixa, a dupla camada demanda um longo tempo para se estabilizar, gerando sinais transitórios de longa duração e de amplitudes relativamente elevadas, se comparadas à amplitude do sinal de interesse. Em soluções saturadas de íons, por outro lado, a dupla camada rapidamente se estabiliza, resultando apenas em um potencial elétrico constante (HUIGEN, 2000, p. 5).

Os conceitos de potencial de meia-célula e a dupla camada são importantes para a compreensão de fenômenos inerentes ao processo de leitura de sinais de sEMG, como ruído, tensão de *offset* e artefatos de movimento. Além disso, esses conceitos possuem um papel fundamental na modelagem elétrica do sistema eletrodo-eletrólito-tecidos, como será mostrado.

2.2.2 Tipos de eletrodos

Há muitas formas de classificar os diferentes tipos de eletrodos de superfície usados atualmente e duas delas serão apresentadas aqui. A primeira baseia-se nos materiais que constituem o eletrodo. Eletrodos de superfície geralmente são produzidos com metais nobres como prata, ouro e platina, devido a estes metais serem resistentes à corrosão e à oxidação. São também produzidos utilizando-se ligas metálicas como aço inox e lata. Outro tipo de eletrodo muito utilizado para a leitura de biossinais é o eletrodo composto de prata e cloreto de prata (Ag/AgCl), que consiste em uma placa de prata (metal) coberta com uma camada de cloreto de prata (eletrólito).

As características elétricas dos eletrodos variam em função dos materiais constituintes. Eletrodos feitos de ouro e platina, por exemplo, apresentam um comportamento fortemente capacitivo, sendo comumente chamados de “eletrodos polarizáveis” (FARINA; JENSEN; AKAY, 2013, p. 118). Isso também se aplica aos eletrodos de ligas metálicas mencionados acima. O processo de polarização de um eletrodo é descrito por Huigen (2001) e, em resumo, ocorre quando o eletrodo se encontra imerso em um eletrólito onde não há íons do mesmo metal que o compõe. Normalmente, o fenômeno da polarização não tem grande importância na leitura de biossinais. Contudo, eletrodos polarizáveis demandam muito tempo para a estabilização do potencial de meia-célula, processo esse descrito anteriormente como uma fonte de sinais transitórios indesejáveis.

É interessante notar que os eletrodos do tipo Ag/AgCl apresentam vantagens em relação aos demais no que diz respeito ao processo de polarização. Como a lâmina de metal se encontra envolta em uma solução saturada de íons do mesmo metal, os eletrodos

de Ag/AgCl estabelecem potenciais de meia-célula mais estáveis. Além disso, o cloreto de prata facilita a troca de íons entre o eletrólito e os géis comumente utilizados na preparação da pele.

A segunda forma de classificação é quanto ao tipo de contato estabelecido entre o eletrodo e a pele. Com base nesse critério, os termos mais comuns encontrados na literatura para classificar os eletrodos de superfície são: eletrodos de contato úmido (com gel eletrólito); eletrodos secos; e eletrodos capacitivos.

2.2.2.1 Eletrodos de contato úmido

Devido ao transporte iônico através da pele dar-se predominantemente por íons de potássio, sódio e cloro, uma camada de eletrólito com abundância desses íons é comumente usada para reduzir a impedância da interface com a pele e aumentar a sensibilidade do eletrodos aos sinais bioelétricos (HUIGEN, 2001, p. 8). O termo usado para referir-se a esse tipo de eletrodo na literatura em inglês é *wet* (úmido). O gel eletrólito pode ser aplicado no momento da colocação do eletrodo ou pode vir depositado no eletrodo desde sua fabricação. A este último dá-se o nome de *pre-gelled*. Por permanecerem mais tempo com o metal imerso no eletrólito, eletrodos *pre-gelled* são, eletricamente, os mais estáveis que existem.

2.2.2.2 Eletrodos secos

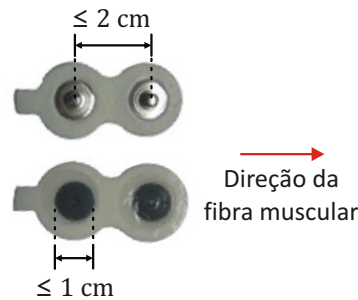
Géis eletrólitos podem causar irritações na pele e produzir reações alérgicas. Além disso, há o inconveniente desconforto da preparação da pele (abrasão e limpeza), necessária para assegurar um bom contato entre a pele e o eletrodo. Com isso, o uso de eletrodos secos (ou *dry* na literatura em inglês) tem sido apresentado como uma alternativa aos eletrodos de contato úmido. Em aplicações como sistemas vestíveis¹, monitoramento médico prolongado ou protética, o uso de eletrodos secos simplificaria a implementação prática do sistema de leitura, não requerendo a aplicação de gel eletrólito ou até mesmo dispensando a presença de um profissional especializado para a colocação dos eletrodos. Esses eletrodos são, no entanto, menos estáveis, apresentando maior impedância e maior susceptibilidade a artefatos de movimento (LAFERRIERE; LEMAIRE; CHAN, 2011).

2.2.2.3 Eletrodos capacitivos

Embora eletrodos secos dispensem a aplicação de gel, na prática, o suor acumulado entre o eletrodo e a pele pode assumir a função do gel eletrólito. Esse processo causa instabilidade do potencial de meia-célula e gera um grande descasamento entre as características dos eletrodos, afetando a rejeição a sinais de modo comum. Para evitar esse

¹ Sistemas de monitoramento acoplados a peças de vestuário.

Figura 2.4 – Dimensões de eletrodos para sEMG.



Fonte: O próprio autor.

problema, eletrodos capacitivos, constituídos de uma placa condutiva coberta por uma camada isolante, podem ser usados. Estes eletrodos apresentam as mesmas vantagens dos eletrodos de contato ôhmico seco com a adição de que, em princípio, não são afetados pelo suor. Contudo, é conhecido que reações químicas na interface entre a pele e o isolante podem causar a ruptura do dielétrico, dependendo do material empregado (POTTER; MENKE, 1970).

2.2.3 Eletrodos para sEMG

Eletrodos usualmente empregados em aplicações médicas utilizam o princípio do contato ôhmico, ou seja, uma placa de metal diretamente em contato com um eletrólito. O SENIAM² recomenda o uso de eletrodos Ag/AgCl para a leitura de sinais eletromiográficos, preferencialmente os do tipo *pre-gelled*, devido às vantagens deste tipo de eletrodo apresentadas na seção anterior.

A distância entre os eletrodos e suas áreas também são fatores a serem considerados, pois influenciam as características do sinal adquirido. Ambas, distância e área, estão diretamente relacionadas com a amplitude do sinal e com a sua qualidade em termos de nível de ruído e de interferentes captados. Porém, a melhor combinação de dimensões depende do músculo sob observação. Quanto menor o músculo observado, menores devem ser as áreas dos eletrodos e a distância entre eles. Naturalmente, os sinais adquiridos em músculos pequenos terão sempre amplitudes mais baixas, se comparados com sinais extraídos de músculos maiores (MORAES et al., 2010). De acordo com o SENIAM, o diâmetro dos eletrodos na direção das fibras musculares deve ser menor ou igual a 1 cm, e a distância entre eles deve ser menor ou igual a 2 cm (MERLO; CAMPANINI, 2010), como ilustrado na Figura 2.4.

² O consórcio europeu SENIAM (*Surface ElectroMyoGraphy for the Non-Invasive Assessment of Muscles*) visa a interação entre as áreas de saúde e programas de pesquisa biomédica dentro da União Europeia, a fim de facilitar a troca de dados e experiências clínicas e estabelecer padrões para a medida e processamento de sinais de eletromiografia de superfície. As recomendações do SENIAM podem ser acessadas no endereço <http://www.seniam.org/>.

Tabela 2.1 – Valores típicos de resistências e capacitâncias para os modelos de impedância de diferentes tipos de eletrodos.

Tipo de eletrodo	Valores por camada		
	<i>Stratum corneum</i>	Gel	Isolamento
Úmido	100 k Ω // 10 nF	< 1 k Ω *	-
Seco	1 M Ω // 10 nF	-	-
Capacitivo	1 M Ω // 10 nF	-	1 nF – 10 nF

* Apenas o módulo da impedância é informado na literatura.

Fonte: Chi, Jung e Cauwenberghs (2010)

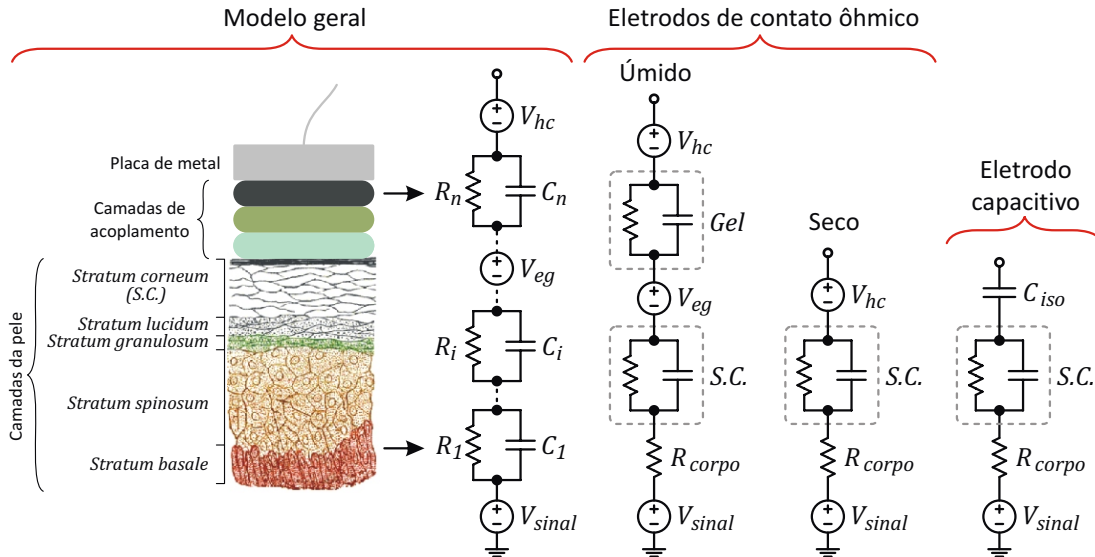
2.2.4 Modelos e parâmetros

O modelo elétrico utilizado para descrever o comportamento do sistema eletrodo-eletrólito(s)-tecidos consiste em uma série de unidades, cada uma composta por um resistor e um capacitor conectados em paralelo (R_i e C_i), como ilustrado na Figura 2.5. Cada unidade $R_i//C_i$ representa uma camada do sistema. A fonte de tensão V_{signal} modela a fonte do sinal de sEMG. O potencial de meia-célula é modelado como uma fonte de tensão em série, denotada por V_{hc} . No modelo dos eletrodos úmidos, V_{eg} denota a tensão elétrica entre a epiderme e o eletrólito, resultante da diferença de concentração iônica entre o gel e a camada superficial da pele (FARINA; JENSEN; AKAY, 2013, p. 114).

O modelo elétrico a ser empregado depende do tipo de eletrodo utilizado, geralmente havendo a predominância de alguns elementos do modelo, de modo que o comportamento do conjunto pode ser aproximado por um circuito mais simples. Os tecidos internos (camadas mais internas da pele e músculos), por exemplo, são geralmente representados como um elemento puramente resistivo, simbolizado por R_{corpo} na Figura 2.5. Eletrodos úmidos são dominados pela impedância do *Stratum corneum* (*S.C.*), que é a camada mais externa da pele, juntamente com a impedância do gel eletrólito. Eletrodos secos não apresentam camadas de eletrólitos entre o eletrodo e a pele (exceto na presença de suor), portanto seu modelo é mais simples que o do eletrodo úmido. Os modelos de impedância de eletrodos capacitivos apresentam uma capacitância em série, C_{iso} , devido à presença da camada de dielétrico, indicando que nenhuma tensão de *offset* se desenvolve no sistema (CHI; JUNG; CAUWENBERGHS, 2010). Valores típicos para os parâmetros dos modelos apresentados são dados na Tabela 2.1.

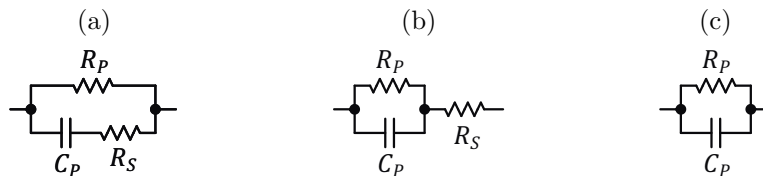
Para facilitar a análise de circuitos utilizando modelos de **impedância da pele** (termo mais simples para se referir à impedância do sistema eletrodo-eletrólito-tecidos), pode-se lançar mão de alguns modelos simplificados encontrados na literatura. Dois deles, descritos como TCM (*Three Component Model*) (SEARLE; KIRKUP, 1999), são mostrados nas Figuras 2.6 (a) e (b). O módulo da impedância para esses modelos é ilustrado na

Figura 2.5 – Modelo de impedância de sistemas eletrodo-eletrólito-tecido para diferentes tipos de eletrodos. O modelo mais geral, mostrado à esquerda, ilustra a correspondência entre os parâmetros do circuito e as camadas da pele e dos eletrólitos de acoplamento. À direita são mostrados os modelos específicos para cada tipo de eletrodo usado em medidas de bio-sinais.



Fonte: Chi, Jung e Cauwenberghs (2010), Farina, Jensen e Akay (2013)

Figura 2.6 – Modelos simplificados para a impedância de eletrodos. (a) e (b) Modelos TCM. (c) Modelo equivalente para baixas frequências.

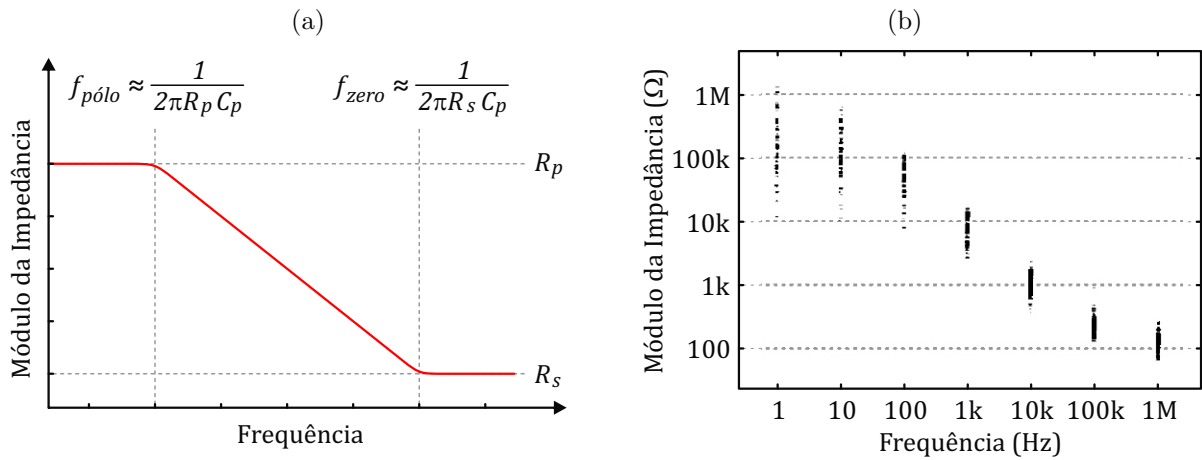


Fonte: Hewson, Duchene e Hogrel (2001), Hary, Bekey e Antonelli (1987)

Figura 2.7(a). Para fins de comparação, na Figura 2.7(b) são mostrados dados medidos em diversos pacientes e localizações do corpo para eletrodos Ag/AgCl com aplicação de gel (ROSELL et al., 1988). Com base no gráfico, os seguintes valores podem ser obtidos: $R_S = 80 \Omega$ a 120Ω , $C_P = 10 \text{ nF}$ a 40 nF e $R_P = 10 \text{ k}\Omega$ a $1 \text{ M}\Omega$.

Para a faixa de frequências de interesse em sEMG, é suficiente um modelo de impedância contendo apenas os elementos R_P e C_P , como mostrado na Figura 2.6 (c) (HARY; BEKEY; ANTONELLI, 1987). É interessante acrescentar que os parâmetros do modelo de impedância (completo ou simplificado) não são capacitâncias e resistências constantes, mas são de fato, em maior ou menor escala, não lineares, dependentes da frequência de operação e variantes no tempo. São também dependentes da área de superfície e do tipo de eletrodo, além de poderem ser afetados por fatores externos, como a força aplicada sobre o eletrodo. Essas questões, no entanto, estão além do escopo deste trabalho.

Figura 2.7 – Módulo da impedância em função da frequência para eletrodos do tipo Ag/AgCl com gel eletrólito. (a) Curva conceitual para o modelo TCM. (b) Valores de impedância medidos.



Fonte: Rosell et al. (1988).

2.3 Características dos sinais eletromiográficos

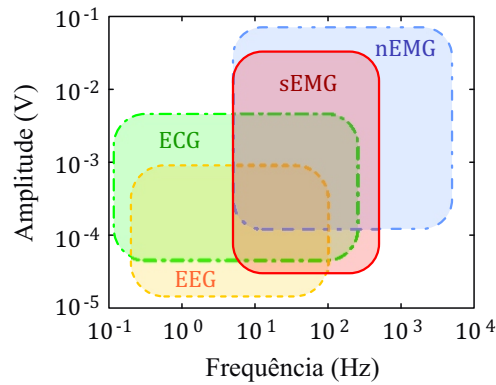
Os sinais eletromiográficos possuem características próprias, que os distinguem de outras classes de biossinais e que devem ser consideradas no projeto de uma interface de aquisição para estes sinais. Também é importante ter conhecimento das diferentes fontes sinais de erro associadas com o processo de captação de sinais eletromiográficos, as metodologias adequadas para lidar com elas e seus respectivos impactos na qualidade do sinal adquirido. Estas questões serão abordadas ao longo desta seção.

2.3.1 Largura de banda e amplitude

As informações de largura de banda e amplitude dos sinais são necessárias para o correto dimensionamento de filtros, para a escolha da taxa de amostragem utilizada e para a escolha do ganho a ser aplicado no sinal. A Figura 2.8 ilustra as faixas de frequências e de amplitudes comumente encontradas na literatura para diferentes tipo de biossinais. Sinais eletromiográficos, como outros biossinais, possuem banda estreita, geralmente abrangendo a faixa de unidades de hertz a até algumas unidades de kilohertz. Sinais eletromiográficos medidos sobre a pele apresentam faixa de frequências ainda menor, devido ao efeito de filtragem imposto pelos tecidos vivos e outras estruturas presentes entre a fonte de sinal e o eletrodo.

A faixa de frequências normalmente assumida para sEMG se estende de 5 Hz a 500 Hz (SPULBER et al., 2012; KONRAD, 2006), contudo, é comum encontrar na literatura situações nas quais se utilizam faixas de frequências diferentes desta. Em (XIAODONG; HAOJIE, 2007), por exemplo, a largura de banda assumida se estende de 20 Hz a 500 Hz,

Figura 2.8 – Faixa de frequências e de amplitudes de diferentes tipos de biossinais.



Fonte: Yazicioglu et al. (2009), Zou et al. (2009).

com a maior parte da potência do sinal restrita ao intervalo entre 50 Hz e 150 Hz. Em (GANG; MIN; KIM, 2012) a faixa de frequências de sEMG é ainda mais estreita, abrangendo a faixa entre 0 Hz e 100 Hz, com predominância da faixa de 30 Hz a 100 Hz.

As amplitudes dos sinais de sEMG geralmente variam entre centenas de microvolts e unidades de milivolts. Em (XIAODONG; HAOJIE, 2007), por exemplo, a faixa de amplitudes assumida vai de menos de $100 \mu V$ a $5 mV$, enquanto que em (ZOU et al., 2009) a faixa de amplitudes assumida se estende até algumas dezenas de milivolts.

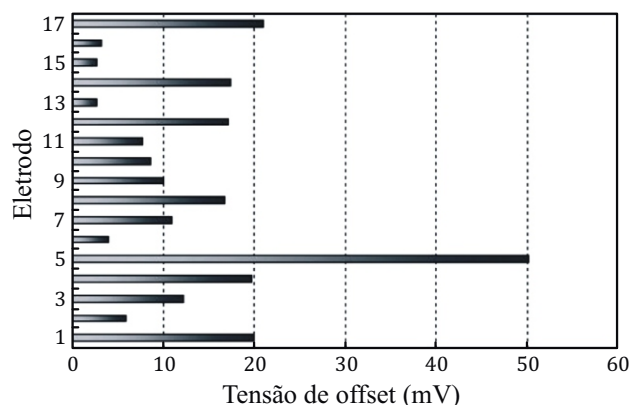
Relembrando o que foi exposto nas seções 2.1 e 2.2, fatores como a área dos eletrodos e a distância entre eles, a distância entre os eletrodos e a fonte do sinal e o tipo de preparação realizada sobre a pele antes da aplicação dos eletrodos podem alterar as características de largura de banda e amplitude do sinal detectado (MORAES et al., 2010; MERLO; CAMPANINI, 2010).

2.3.2 Tensão de *offset*

Em sistemas usando pares de eletrodos do mesmo tipo, idealmente, nenhuma diferença de potencial elétrico deve se desenvolver entre os eletrodos. Isso também se aplica aos géis eletrólitos. Contudo, diferenças mínimas nos eletrodos ou nas concentração iônicas nos eletrólitos podem gerar pequenas diferenças de potencial elétrico, resultando em uma tensão de *offset* adicionada aos sinais de sEMG (HUIGEN, 2001, p. 7).

A Figura 2.9 mostra valores medidos de tensão de *offset* para eletrodos do tipo Ag/AgCl, extraídos de (YAZICIOGLU; MERKEN; HOOFF, 2005). Uma tensão de *offset* da ordem de grandeza mostrada na figura, unidades a dezenas de milivolts, representa um problema no processo de aquisição, devendo ser apropriadamente atenuada ou eliminada por meio de filtragem antes da amplificação do sinal, para evitar que ocorra a saturação do amplificador.

Figura 2.9 – Tensões de *offset* de 17 eletrodos do tipo Ag/AgCl medidas em relação à referência de terra.



Fonte: Yazicioglu, Merken e Hoof (2005)

2.3.3 Ruído

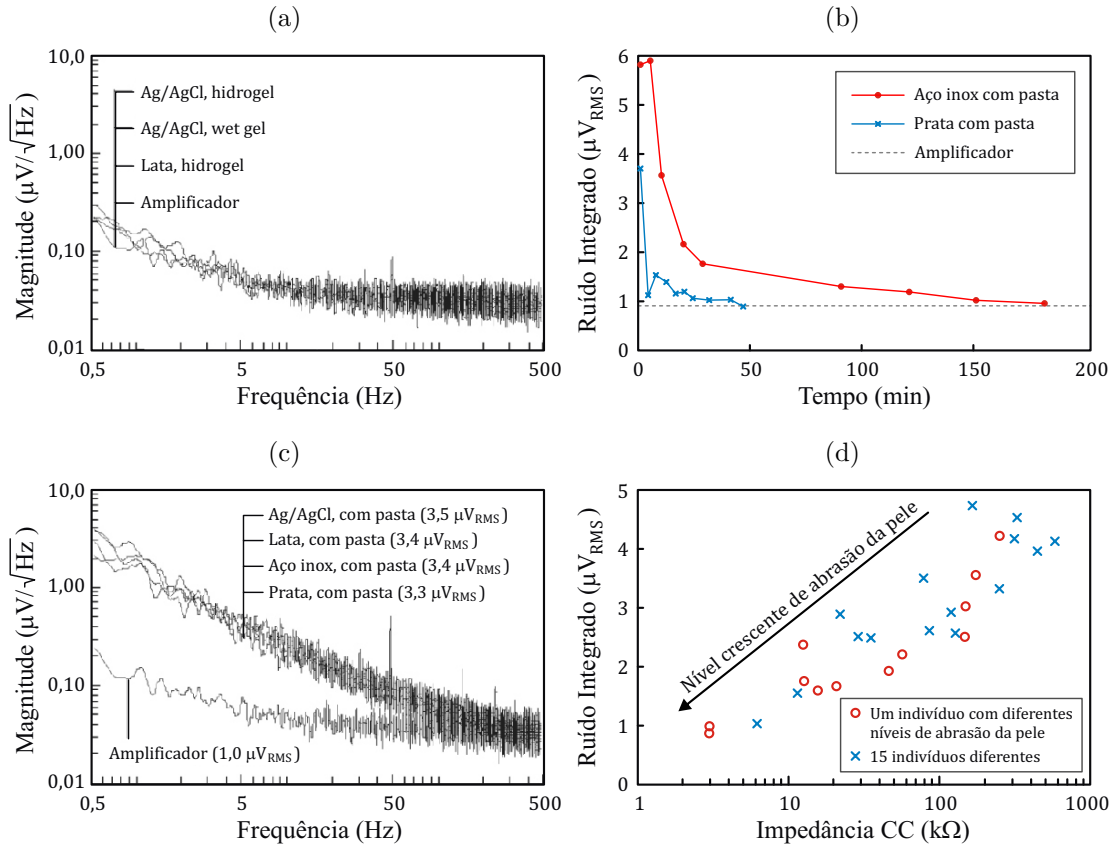
O termo ruído é usado para descrever flutuações aleatórias de tensão e/ou corrente que se somam aos sinais de interesse e que são originadas nos tecidos vivos, eletrodos e componentes eletrônicos do circuito de leitura. O ruído limita a mínima amplitude de sinal que pode ser lida com qualidade aceitável (RAZAVI, 2002, p. 201), visto que a parcela de ruído presente na faixa de frequências do sinal de interesse não pode ser atenuada por meio de filtragem.

Na perspectiva do projeto de circuitos de aquisição, o nível de ruído determina a máxima precisão possível para a parcela de interesse do sinal adquirido, consequentemente definindo a resolução apropriada para o conversor A/D a ser empregado. Na perspectiva do processamento dos dados, o ruído altera os valores das variáveis extraídas dos sinais de sEMG, comprometendo a confiabilidade dos dados obtidos e/ou gerando erros de interpretação dos mesmos. Como exemplo, Hewson et al. (2003) mostram que a adição de diferentes potências de ruído branco a um sinal de sEMG altera significativamente o valor da frequência mediana (ou MDF), uma variável de sEMG comumente utilizada na interpretação de dados eletromiográficos.

Na Figura 2.10 (a) são mostradas medidas de ruído da interface eletrodo-eletrólito para diferentes tipos de eletrodos, obtidas posicionando-se os eletrodos face a face, juntamente com o ruído do amplificador empregado. Todos os eletrodos utilizados são do tipo *pre-gelled* com diferentes géis eletrólitos. Nas curvas, nenhuma diferença pode ser observada entre os diferentes tipos de eletrodos e eletrólitos, havendo claramente a predominância do ruído do amplificador.

Quando não é possível o uso de eletrodos *pre-gelled*, como no caso de reuso dos eletrodos, uma camada de eletrólito é aplicada sobre os eletrodos imediatamente antes de pô-los em contato com a pele. Nessas condições, o comportamento do ruído mostrado

Figura 2.10 – Ruído em sinais de eletromiografia de superfície para diferentes tipos de eletrodos e preparações da pele. (a) Medida de ruído gerado na interface eletrodo-eletrólito. (b) Ruído RMS da interface eletrodo-eletrólito em função do tempo. (c) Ruído medido com os eletrodos posicionados sobre a pele. (d) Relação entre nível de ruído e impedância da pele.



Fonte: Huigen, Peper e Grimbergen (2002).

na Figura 2.10 (a) verifica-se apenas após decorrido tempo suficiente para a estabilização dos potenciais de meia-célula nas interfaces eletrodo-eletrólito. Isso pode ser confirmado pela Figura 2.10 (b), onde são mostradas curvas do valor RMS do ruído para eletrodos posicionados face a face, integrados na faixa de 0,5 Hz a 500 Hz, em função do tempo decorrido após o contato. No experimento foram utilizados eletrodos de aço inox e prata, nos quais foi adicionado eletrólito em pasta imediatamente antes de iniciar as medidas. Vê-se que o nível de ruído gerado pelos eletrodos tende a diminuir, e, após algum tempo, se observa apenas o ruído do amplificador. As curvas mostram também que o nível ruído decai mais rapidamente para o eletrodo de prata do que para o eletrodo de aço inox. Medidas realizadas com eletrodos do tipo Ag/AgCl (não mostradas) apresentaram tempo de estabilização inferior a 1 minuto, confirmando o que foi exposto na seção 2.2.2.

A Figura 2.10 (c) mostra curvas do espectro de magnitudes do ruído medidas para diferentes tipos de eletrodos posicionados sobre a pele. O contato do eletrodo com a pele foi feito com uma esponja embebida em eletrólito (pasta Redux, Hewlett Packard), com

área de contato de 3,1 cm². Para fins de comparação, o espectro de magnitudes do ruído do amplificador também é mostrado na figura. Todas as medidas foram realizadas em um único indivíduo e mostram não haver diferença significativa entre os níveis de ruído medidos com diferentes eletrodos. Além disso, as curvas mostram uma clara diferença entre o ruído do amplificador e o ruído captado pelos eletrodos, indicando que a origem do ruído não está ligada aos fatores investigados anteriormente (amplificador e interface eletrodo-eletrólito) mas sim às interfaces do sistema eletrólito-tecidos.

Para todos os eletrodos avaliados, os espectros de magnitude do ruído mostram uma dependência $1/f^\alpha$ ³, com α próximo de 2. A hipótese mais frequentemente encontrada na literatura a respeito da origem do ruído dos eletrodos é a de que este está associado com a parte real da impedância da pele. O ruído térmico gerado pela impedância seria então filtrado pela associação dos elementos resistivos e capacitivos das interfaces eletrodo-eletrólito-tecidos, resultando na dependência $1/f^\alpha$ observada. Entretanto, as tentativas de estimar o nível de ruído por meio de modelos teóricos envolvendo a impedância da pele não têm alcançado resultados aceitáveis (FERNANDEZ; PALLAS-ARENY, 1992), exceto quando se mede o ruído de eletrodos posicionados face a face, ou seja, apenas o ruído gerado pelo sistema eletrodo-eletrólito (NOVAKOV, 1997).

Outros resultados apresentados por Huigen, Peper e Grimbergen (2002) mostram haver uma relação (embora apenas qualitativa) entre o nível de ruído e a impedância da pele. Isso pode ser verificado na Figura 2.10 (d), onde são mostradas medidas de ruído RMS, integrado na faixa entre 0,5 Hz e 500 Hz, em função da impedância CC da pele (parte real da impedância). Um conjunto de medidas foi obtido de um mesmo indivíduo submetido a diferentes níveis de abrasão da pele, enquanto o outro conjunto corresponde à medidas realizadas em 15 indivíduos diferentes.

A relação observada na Figura 2.10 (d) sugere que a interface entre o eletrólito e camada mais externa da pele (*Stratum corneum*) é a mais relevante na geração do ruído, visto que a abrasão da pele afeta precisamente esta interface. Os resultados sugerem ainda que o nível de ruído pode ser significativamente reduzido com a realização de um tratamento adequado à pele, antes da aplicação dos eletrodos.

Outra importante confirmação experimental do trabalho de Huigen, Peper e Grimbergen (2002) trata da relação inversa entre a área do eletrodo e a potência de ruído captado. Como é esperado que a potência lida de um sinal gerado por uma fonte relativamente distante do eletrodo seja independente da área deste, este resultado contradiz a hipótese de outros autores (FERNANDEZ; PALLAS-ARENY, 1992; GODIN; PARKER; SCOTT, 1991; GONDRAN et al., 1996) de que a elevada potência de ruído captado se deve ao *crosstalk* (interferência) de sinais originados pela atividade de músculos próximos.

³ Não confundir com a representação $1/f$ usada para referir-se à dependência com a frequência da **densidade espectral de potências** do ruído *flicker*.

2.3.4 Artefatos

O movimento relativo entre o eletrodo e o eletrólito perturba o equilíbrio da dupla camada iônica na interface entre eles e é requerido algum tempo, que depende do tipo de eletrodo utilizado, para que um novo equilíbrio seja estabelecido. Esse processo, em que a dupla camada iônica se desfaz e se regenera, é responsável pela ocorrência de sinais transitórios indesejados que podem comprometer a qualidade do sinal de sEMG, conhecidos como **artefatos de movimento** (HUIGEN, 2001, p. 8).

Por serem provocados por movimentos mecânicos, os artefatos de movimento usualmente ocupam a faixa mais baixa do espectro de frequência nos sinais de sEMG. Artefatos em frequências tão baixas quanto 1 Hz a 3 Hz, por exemplo, são atribuídos ao movimento do corpo durante atividades físicas (GANG; MIN; KIM, 2012). Outro tipo de artefato de movimento pode resultar do movimento dos fios dos eletrodos em relação a campos magnéticos presentes no ambiente.

Usualmente, os artefatos de movimento são eliminados dos sinais lidos por meio de filtragem passa-altas, com frequências de corte entre 10 Hz e 20 Hz (MERLO; CAMPANINI, 2010). Caso não se deseje filtrar as baixas frequências do sinal de sEMG, algumas práticas podem ser adotadas para minimizá-los como, por exemplo, evitar que os fios dos eletrodos permaneçam soltos enquanto o indivíduo observado se movimenta. Também é possível utilizar eletrodos especiais para reduzir artefatos de movimento, tais como eletrodos de forma côncava (presos à pele por sucção) ou eletrodos com uma camada de cerdas imersas em gel eletrólito (proposto em (ZHANG et al., 2011)).

Outros dois tipos de sinais contaminantes que são frequentemente referidos como artefatos são os sinais resultantes da atividade neural e cardíaca, chamados artefatos de EEG e ECG, respectivamente. Como esses sinais se encontram na mesma faixa de frequências que os sinais de sEMG, apenas técnicas digitais, explorando a periodicidade dos sinais ou alguma outra característica particular deles, permitem detectá-los em meio aos sinais de sEMG (LEE; LEE, 2013; HU; KWOK; TSE, 2013).

2.3.5 Interferência

A interferência ocorre quando um sinal indesejado e de característica não aleatória soma-se àquele que se deseja observar. Um caso comum de interferência foi comentado na seção 2.1 e referia-se à contaminação dos sinais de sEMG de um músculo em particular por outros sinais gerados por músculos próximos.

Outro tipo de interferência muito comum em sEMG é aquela gerada pelo acoplamento capacitivo e/ou indutivo da rede elétrica nas proximidades com o corpo do indivíduo observado e com os equipamentos do sistema de leitura (eletrodos, cabos, etc.) (CHIMENE; PALLAS-ARENY, 2000). Como a frequência da rede é fixa (50 Hz ou 60 Hz, dependendo

do país), essa interferência se apresenta como picos no espectro do sinal que ocorrem na frequência da rede e em suas harmônicas, o que é frequentemente um aborrecimento, pois ocorrem dentro da faixa de interesse dos sinais de sEMG, dificultando consideravelmente sua remoção.

Uma forma frequentemente empregada para remover sinais de interferência da rede elétrica do sinal de sEMG consiste em usar um filtro rejeita-faixa na mesma frequência da rede (XIAODONG; HAOJIE, 2007; PISKOROWSKI, 2012). Esse método, contudo, elimina parte do sinal de interesse e envolve compromissos entre a largura da faixa de rejeição do filtro e o tempo de resposta do mesmo. Outro método consiste em explorar a característica periódica da interferência da rede elétrica, continuamente monitorando o sinal adquirido e subtraindo o interferente deste (IDER; KOYMEN, 1990).

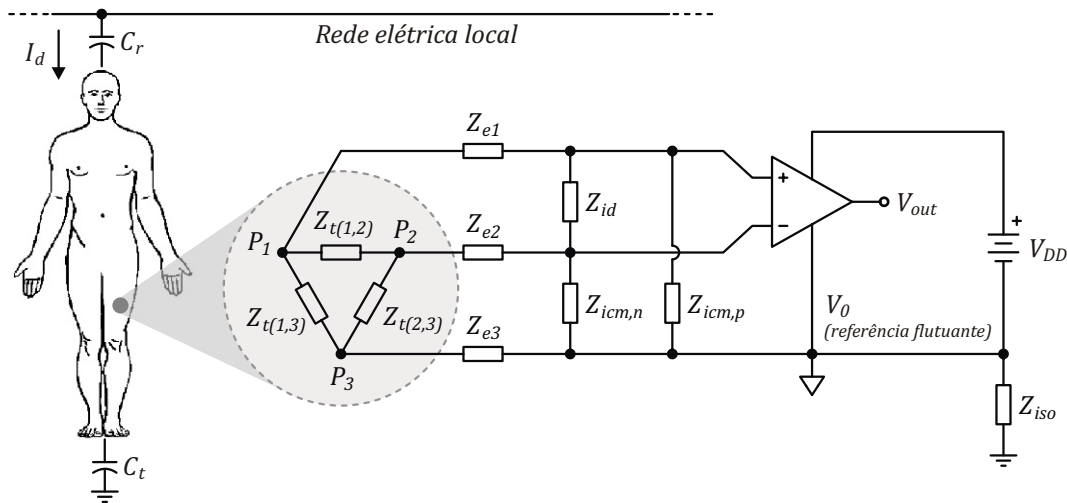
Também é conhecido que valores elevados de impedância da interface eletrodo-pele podem levar a grandes descasamentos entre eletrodos. Um efeito indesejado que tende a introduzir interferência da rede elétrica no sistema (LAFERRIERE; LEMAIRE; CHAN, 2011). Nesse caso, um método de balanceamento das impedâncias de entrada do amplificador pode ser empregado, como o descrito em (SILVA, 2003).

Muitos meios pelos quais a interferência é adicionada aos sinais podem ser evitados ou mesmo ignorados, dependendo da aplicação. Em sistemas de medida de ECG, por exemplo, Huhta e Webster (1973) identificaram quatro fontes relevantes de interferência:

- indução magnética nos fios ligados aos eletrodos;
- acoplamento capacitivo entre os fios dos eletrodos e a rede elétrica;
- sinais diferenciais diretamente gerados pelo deslocamento de cargas no corpo do indivíduo observado;
- sinais de modo comum gerados pelo deslocamento de cargas no corpo e posteriormente convertidos em sinais diferenciais devido à insuficiente rejeição do amplificador a sinais de modo comum.

As duas primeiras possuem grande relevância em sistemas nos quais o indivíduo observado é ligado a instrumentos por meio de longos fios, e podem ter seu efeito minimizado tomando-se algumas precauções na escolha e durante a instalação dos equipamentos. Por outro lado, nenhuma abordagem permite minimizar ou eliminar o deslocamento de cargas no corpo do indivíduo observado. O diagrama elétrico mostrado na Figura 2.11 ilustra o efeito do deslocamento de cargas em um paciente ligado a um sistema de leitura de biopotenciais alimentado por bateria (sistema isolado). As impedâncias $Z_{t(i,j)}$ representam as impedâncias dos tecidos vivos entre os eletrodos localizados nos pontos P_1 , P_2 e P_3 . As impedâncias Z_{e1} , Z_{e2} e Z_{e3} modelam as impedâncias das interfaces eletrodo-eletrólito-pele

Figura 2.11 – Modelo elétrico de um sistema de leitura de sEMG alimentado por bateria para análise de interferência da rede elétrica.



Fonte: O próprio autor.

e as impedâncias Z_{id} e Z_{icm} representam as impedâncias de entrada em modo diferencial e em modo comum do amplificador, respectivamente. Z_{iso} é a impedância de isolamento entre a referência flutuante do amplificador e o potencial da terra.

É possível lançar mão de algumas hipóteses para simplificar o modelo da Figura 2.11. Primeiramente, a impedância de isolamento Z_{iso} , que no caso de um sistema portátil alimentado por bateria se deve unicamente ao acoplamento capacitivo do dispositivo de leitura com a terra, é alta o bastante para que a tensão no nó de referência flutuante siga a tensão no nó P_3 (eletrodo de referência). Em outras palavras, a “tensão de modo isolado” é muito baixa (RIJN; PEPER; GRIMBERGEN, 1991), resultando em uma maior rejeição à interferências da rede elétrica, em comparação com um sistema que usa referência aterrada (PALLAS-ARENY, 1988).

Em segundo lugar, as impedâncias de entrada do amplificador são essencialmente reatâncias capacitivas, cujo módulo alcança valores na faixa de centenas de megaohms na frequência da rede elétrica. Foi visto na seção 2.2.4 que a impedância dos eletrodos, como os do tipo Ag/AgCl, situa-se na faixa de centenas de kiloohms, sendo ainda menores quando algum tipo de tratamento é realizado na pele sob os eletrodos. Assim, se for assumido que nenhuma corrente é induzida nos nós internos do sistema, é possível afirmar que a única fonte de interferência relevante é aquela relacionada com o fluxo de cargas induzido no indivíduo.

A corrente de deslocamento induzida nos tecidos do corpo, denotada por I_d , se deve aos acoplamentos capacitivos do corpo com os fios da rede e com o plano de terra, e são modeladas pelas capacitâncias C_r e C_t , respectivamente. Valores normalmente encontrados na literatura para C_r estão na casa de unidades de picofarads, enquanto para

C_t , estão na casa de centenas de picofarads, sendo a relação C_t/C_r tipicamente maior que 100 (PALLAS-ARENY, 1988). Assumindo-se que a tensão da rede elétrica é $127 V_{\text{RMS}}$ (ou cerca de $360 V_{\text{pp}}$) e sua frequência é 60 Hz, a corrente de deslocamento resultante é aproximadamente $400 \text{ nA}_{\text{pp}}$.

Em uma situação de pior caso, no qual toda a corrente I_d atravessa a impedância do tecido $Z_{t(1,2)}$ entre os pontos P_1 e P_2 , uma tensão diferencial igual a $I_d \cdot Z_{t(1,2)}$ é gerada. Como as resistividades em baixas frequências dos diferentes tipos de tecidos vivos encontram-se na faixa de unidades a poucas centenas de miliohms (RODRIGUES, 2010, p. 17), e as distâncias entre eletrodos em sEMG são de apenas alguns poucos centímetros, não se espera que a tensão diferencial V_{id} gerada alcance a casa de unidades de microvolts pico a pico.

Uma situação um pouco diferente pode ocorrer com sinais de modo comum gerados por I_d , uma vez que o eletrodo de referência em um arranjo de leitura não estará necessariamente próximo aos eletrodos diferenciais. Novamente, usando-se uma análise de pior caso, pode ser assumido que as impedâncias $Z_{t(1,3)}$ e $Z_{t(2,3)}$ alcançam valores da ordem de dezenas de ohms. Como resultado, a tensão de modo comum V_{icm} pode alcançar a faixa de dezenas de microvolts pico a pico. Combinando-se o resultado anterior com este último, pode-se estimar a tensão de interferência total referida à entrada por meio da expressão

$$V_{\text{int}} = V_{\text{id}} + \frac{V_{\text{icm}}}{\text{CMRR}}, \quad (2.1)$$

onde CMRR é a razão de rejeição a sinais de modo comum do amplificador. Para um leitor de sEMG com resolução de 12 bits e amplitude de entrada de $20 \text{ mV}_{\text{pp}}$, e usando as magnitudes estimadas anteriormente para V_{id} e V_{icm} , vê-se que V_{int} pode ser feito menor que $V_{\text{LSB}}/2$ (cerca de $2,4 \mu\text{V}$) mesmo se o amplificador usado não tiver um valor elevado de CMRR. Assim, esse resultado sugere que um sistema de leitura de sinais de sEMG alimentado com bateria é muito pouco afetado por interferências da rede elétrica.

2.4 Conclusão

Neste capítulo, foi mostrado que as interfaces do sistema eletrodo-eletrólito-pele constituem importantes fontes de erros na leitura de sinais eletromiográficos, como tensão de *offset*, ruído e artefatos de movimento, os quais podem influenciar tanto no processo de captação, quanto no processamento e na interpretação dos dados obtidos. A tensão de *offset*, por exemplo, pode causar a saturação do amplificador e invalidar completamente os dados adquiridos, enquanto o ruído pode gerar alterações nos valores de algumas variáveis de sEMG comumente utilizadas na interpretação dos sinais. Também foi mostrado que a impedância do eletrodo apresenta uma relação direta com o nível de ruído gerado e que a adoção de algumas práticas, como a preparação da pele, a escolha apropriada dos

eletrodos e a aplicação destes de acordo com protocolos padronizados, permitem reduzir alguns destes efeitos indesejados a níveis aceitáveis.

Os dados apresentados permitiram concluir que um instrumento de aquisição portátil para sinais de sEMG apresenta grande imunidade a interferências da rede elétrica, podendo-se até mesmo desprezar sua influência. Pôde-se concluir também que o processo de filtragem, intrinsecamente realizado pelas camadas de tecidos vivos, limita a faixa de frequências dos sinais captados pelos eletrodos, e que a PSD (*Power Spectral Density*) do ruído em baixas frequências tem dependência aproximada de $1/f^2$, enquanto que em altas frequências o ruído total é dominado pela contribuição do amplificador de biossinais. Esses resultados têm grande importância neste trabalho e serão usados para especificar os requerimentos do sistema de leitura sinais de sEMG, cujo desenvolvimento é o tema dos capítulos seguintes.

3 AMPLIFICADOR DE BIOSSINAIS

A aquisição de sinais muito fracos, como os sinais de sEMG, requer um amplificador especial, o qual deve ter baixo ruído, ganho elevado e suficiente linearidade para amplificar o sinal adquirido sem comprometer sua integridade, antes de entregá-lo às etapas de processamento que se seguirão. Devido à crescente demanda por dispositivos portáteis para aplicações biomédicas, diversas topologias de circuitos amplificadores têm sido apresentadas na literatura, visando atender aos requisitos de baixo consumo de energia e reduzida área de silício, de modo que eles possam ser encapsulados em um único circuito integrado.

A necessidade de integração impõe algumas restrições ao projeto de circuitos analógicos, tais como a ausência de componentes passivos de precisão e a dificuldade de obter resistências e capacitâncias de valores elevados. Na maioria dos processos de fabricação CMOS que dispõem de componentes passivos de qualidade razoável, as capacitâncias são limitadas a algumas poucas centenas de picofarads, enquanto as resistências são limitadas a algumas unidades de megaohms. Ainda assim, capacitâncias e resistências nessas faixas de valores já representam um custo significativo de área de silício para sua implementação. Em aplicações biomédicas, onde os sinais de interesse estão na faixa entre fração de hertz e poucos kilohertz, a limitação dos componentes passivos integrados traz consigo a necessidade da criação de novas soluções para a realização de filtros, fazendo uso de estruturas ativas de baixa condutividade como pseudo-resistores e amplificadores de transcondutância.

O projeto de amplificadores de baixo ruído é uma dificuldade adicional em tecnologias CMOS. Transistores MOS são inerentemente mais ruidosos que transistores de junção bipolar (BJT) e normalmente requerem grandes áreas para reduzir o ruído a um nível aceitável para uma dada aplicação. Isso porque há a predominância de ruído *flicker* (ou $1/f$) em baixas frequências, o qual é significativamente mais elevado em transistores MOS do que em transistores de junção bipolar (ALLEN; HOLBERG, 2002, p. 402-406).

Ao longo deste capítulo, algumas das muitas estruturas de circuitos amplificadores para biossinais disponíveis na literatura serão apresentadas e analisadas. Em seguida, será apresentada uma nova arquitetura de amplificador para sinais de sEMG, desenvolvida para alcançar elevada linearidade e baixo ruído a um custo mínimo de área e de consumo de energia. Ao final, dados de simulações serão apresentados e os resultados serão comparados àqueles encontrados na literatura.

3.1 Requerimentos

Em adição às especificações do sistema já apresentadas na seção 1.3.2 e resumidas na Tabela 1.1, serão especificados aqui os requerimentos do amplificador de biossinais juntamente com as discussões sobre as escolhas realizadas, as quais serão apresentadas ao longo desta seção. O resumo dos requerimentos do amplificador é dado na Tabela 3.1.

Tabela 3.1 – Requerimentos do amplificador de biossinais.

Parâmetro	Valor desejado
Tensão de alimentação	1,2 V a 3,3 V (típica de 1,5 V)
SNDR	> 74 dB
Ruído referido à entrada	< 1,411 μV_{RMS}
Largura de banda	0,5 Hz a 5 kHz
Ganho	40 dB
Excursão de saída	2 V_{pp} (diferencial)

Fonte: O autor.

3.1.1 Largura de banda

A banda de sinal definida para o sistema compreende o intervalo entre 5 Hz e 500 Hz, posto que esta é a faixa de frequências mais utilizada na literatura (seção 2.3.1). Contudo, a fim de minimizar o efeito de distorção linear (amplitude e fase) sobre o sinal de interesse, uma banda de sinal mais extensa será utilizada, abrangendo o intervalo de frequências entre 0,5 Hz e 5 kHz (uma década acima e abaixo da banda do sinal).

Com o aumento da banda de sinal, variáveis de sEMG baseadas na forma do sinal no domínio do tempo, como dados obtidos da envoltória (ou envelope) do sinal retificado, não serão afetadas pelo processo de filtragem. Outro motivo para estender a banda de sinal é a variabilidade dos parâmetros que definem os polos do sistema. Será mostrado mais adiante que esses parâmetros podem sofrer grandes variações em função do processo de fabricação e das condições de operação, especialmente no caso do polo de baixa frequência.

Um possível efeito indesejado do aumento da banda de sinal é a elevação do nível de ruído adicionado ao sinal. Entretanto, esse problema é minimizado pelo processo de amostragem seguida de uma filtragem digital seletiva, realizados no conversor analógico-digital discutido no próximo capítulo.

3.1.2 Saída unipolar ou diferencial

É bem conhecido que amplificadores diferenciais apresentam algumas vantagens em relação às suas contrapartes unipolares (ou *single-ended*). Por exemplo, amplificadores

diferenciais possuem uma rejeição maior a sinais de erro de modo comum, como sinais presentes nas trilhas de alimentação, gerados por circuitos digitais integrados no mesmo substrato (GRAY; MEYER, 1990, p. 810).

Um amplificador com saída diferencial também pode ter o dobro da excursão de sinal de saída, se comparado com um amplificador unipolar equivalente, o que é uma característica útil quando se deseja projetar circuitos alimentados com tensões baixas (GRAY; MEYER, 1990, p. 808). O cancelamento de harmônicos de ordem par também confere aos amplificadores diferenciais uma melhor linearidade (RAZAVI, 2002, p. 452).

Uma das desvantagens de amplificadores diferenciais é que estes necessitam de um circuito de controle da tensão de modo comum (*Common-Mode Feedback* ou CMFB). Outras desvantagens podem surgir em função da arquitetura de amplificador utilizada. Tomando-se como exemplo o amplificador de dois estágios com compensação Miller, projetar sua versão diferencial, com características semelhantes às da versão unipolar (GBW, margem de fase, etc.), requer que o segundo estágio e a capacitância de compensação sejam duplicados, o que pode representar um incremento significativo na área ocupada pelo circuito e no consumo de energia.

Dentre as vantagens da arquitetura diferencial citadas acima, a rejeição a sinais das linhas de alimentação do circuito, ou PSRR (*Power Supply Rejection Ratio*), será assumida como a questão de maior relevância para esta aplicação em particular, pois o sistema de aquisição é composto por circuitos analógicos contínuos, analógicos chaveados e digitais. Embora a PSRR de um amplificador unipolar possa ser melhorada através de projeto elétrico e *layout* cuidadosos, é muito difícil prever por meio de simulações a quantidade de interferência gerada pelos circuitos digitais e analógicos chaveados. Isso porque as simulações do sistema completo em nível elétrico, após a extração de parasitas do *layout*, irá requerer um tempo muito longo, tornando essa abordagem inviável. Assim, a arquitetura diferencial parece ser a escolha mais adequada para o amplificador.

3.1.3 Ganho e excursão de saída

A escolha do ganho do amplificador depende de algumas questões de projeto, como a linearidade do amplificador em si e o nível de ruído dos circuitos que o sucedem no sistema de aquisição. Evidentemente, não há sentido em implementar ganhos elevados se a linearidade for comprometida e/ou se não houver vantagem significativa em termos de área ou consumo de energia no projeto dos demais circuitos do sistema.

Será mostrado na seção 3.2.3 que a maior parte dos amplificadores de biossinais encontrados na literatura operam ganhos em torno de 40 dB (ou 100 V/V). Assim, será adotado inicialmente um ganho de 40 dB, e a tarefa de otimizar seu valor será deixada para futuras melhorias no projeto.

Com a amplitude do sinal de sEMG na entrada do amplificador podendo chegar a dezenas de milivolts, como foi mostrado na seção 2.3.1, o ganho de 40 dB resulta em uma amplitude de saída de até algumas unidades de volts. Então, assumindo que a amplitude de entrada seja limitada a 20 mV_{pp} , o amplificador deve ter excursão de saída de, pelo menos, 2 V_{pp} . É conveniente, porém, que o amplificador possua alguma forma de controle de ganho, visto que o intervalo de variações de amplitude para sinais de sEMG não é bem definido na literatura e depende das características do acoplamento elétrico entre o eletrodo e o corpo do indivíduo.

3.1.4 Rejeição a sinais de modo comum

A rejeição a sinais de modo comum ou CMRR (*Common-Mode Rejection Ratio*) é frequentemente vista em aplicações biomédicas como uma das mais importantes características do amplificador de biosinais. Isso se deve ao fato de que, em muitos casos, os dispositivos de leitura de sinais possuem a terra como referência. Assim, sinais de modo comum surgem nos eletrodos como resultado do acoplamento capacitivo entre a rede elétrica local e o corpo do indivíduo.

Como foi mostrado na seção 2.3.5, o efeito causado por esse acoplamento é muito pouco perceptível em um sistema de aquisição alimentado por bateria, especialmente em casos onde os eletrodos de sinal e o de referência encontram-se proximamente posicionados. Nesse caso, o amplificador não necessita ter uma CMRR elevada e por isso esta não será considerada uma questão relevante no projeto.

3.1.5 Linearidade e ruído

A linearidade de um sistema informa o grau de independência de sua característica de transferência com a amplitude do sinal em sua entrada. Tal independência é importante para a qualidade do sinal processado, uma vez que, ao passar por um sistema não linear, o espectro do sinal é modificado pela inserção de componentes harmônicas e produtos de intermodulação. Nesse caso, o sinal resultante não representará fielmente o processo sob observação, podendo levar a erros na interpretação dos dados obtidos.

A medida da linearidade de um sistema pode ser expressa pelo parâmetro THD (*Total Harmonic Distortion*), sendo este a relação entre o valor RMS total das componentes harmônicas produzidas devido à distorção e o valor RMS da componente fundamental do sinal de saída, considerando-se uma entrada senoidal com determinada frequência e amplitude. A THD é dada pela equação

$$\text{THD} = \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + \dots V_N^2}}{V_1} \quad (3.1)$$

onde V_1 é a amplitude da componente fundamental, V_2 a V_N são as amplitudes das componentes harmônicas de segunda até a N -ésima ordem e N é o número de componentes harmônicas consideradas, sendo geralmente cinco ou menos (KESTER, 2008). A THD de um sistema pode ainda ser expressa em decibéis, usando-se a equação

$$\text{THD(dB)} = -20 \log(\text{THD}). \quad (3.2)$$

O ruído consiste em sinais de característica aleatória, gerados espontaneamente em sistemas físicos por diversos mecanismos relacionados à natureza discreta da matéria, e sobre os quais se tem pouco ou nenhum controle. Especificamente em sistemas eletrônicos construídos em tecnologia MOS, há dois tipos predominantes de ruído: o ruído térmico e o ruído *flicker* (ou $1/f$). O ruído térmico é inerente a qualquer condutor e surge do movimento aleatório de cargas devido à energia térmica. O ruído *flicker*, predominante em baixas frequências, é usualmente associado com defeitos nos materiais e com imperfeições do processo de fabricação (WILAMOWSKI; IRWIN, 2011, p. 11.1), que resultam em “armadilhas” na estrutura do material onde cargas são aleatoriamente presas e liberadas.

O ruído de um sistema é geralmente representado por sua potência total ou por seu valor RMS. Estes valores são geralmente referidos à entrada do sistema, a fim de proporcionar uma comparação direta entre sistemas sem que seja necessário o conhecimento das características particulares de cada um. O parâmetro SNR (*Signal to Noise Ratio*) é utilizado para expressar a relação entre as magnitudes do sinal de interesse e do ruído de um sistema, e este é dado pela equação

$$\text{SNR(dB)} = 10 \log (P_s/P_n) = 20 \log (V_s/V_n), \quad (3.3)$$

onde P_s e V_s são a potência e a tensão RMS do sinal e P_n e V_n são a potência e a tensão RMS do ruído, respectivamente.

No processo de aquisição de sinais, o primeiro estágio de amplificação geralmente define as características do sistema inteiro, estabelecendo a máxima precisão que este pode alcançar. Essa informação é usualmente resumida em um parâmetro que combina a SNR e a THD chamado SNDR (*Signal to Noise and Distortion Ratio*) ou SINAD (KESTER, 2008). O nível de ruído e a linearidade requeridos para o amplificador devem ser coerentes com a resolução escolhida para o canal de aquisição, descrita pelo número de bits das palavras digitais na saída do canal. Assim, a SNDR necessária para o amplificador deve ser calculada por meio da equação

$$\text{SNDR(dB)} \geq N_{\text{bits}} \cdot 6,02 \text{ dB} + 1,76 \text{ dB}, \quad (3.4)$$

que, para N_{bits} igual a 12 bits (ver Tabela 1.1), resulta em $\text{SNDR} \geq 74\text{dB}$. Inversamente, pode-se calcular o número efetivo de bits ou ENOB alcançado com base na SNDR obtida para o circuito por meio da equação

$$\text{ENOB} = \frac{\text{SNDR(dB)} - 1,76 \text{ dB}}{6,02 \text{ dB}}. \quad (3.5)$$

A máxima tensão de ruído referida à entrada do amplificador pode ser calculada por meio da equação (3.3) assumindo-se $\text{SNR} = \text{SNDR}$ (ignorando-se a distorção) como

$$V_{\text{ni(max)}} \leq V_{\text{si}} \cdot 10^{-\text{SNR}/20}, \quad (3.6)$$

onde V_{si} é o valor RMS de um sinal de referência senoidal, com a amplitude máxima de pico permitida na entrada, a qual foi estabelecida na seção 3.1.3 como sendo 10 mV (ou 20 mV_{pp}). Assim, para obter $\text{SNR} \geq 74$ dB, a tensão de ruído referida à entrada do amplificador de biossinais deve ser limitada a 1,411 μV_{RMS} , dentro da faixa de frequências de interesse, ou, de modo equivalente, 141,1 μV_{RMS} referido à saída, considerando-se o ganho do amplificador igual a 40 dB.

3.2 Arquiteturas de amplificadores de biossinais

Amplificadores de biossinais são encontrados na literatura em uma grande variedade de arquiteturas. As mais comuns incorporam também a função de filtragem passa-altas, necessária para eliminar a componente CC do sinal (*offset* do eletrodo).

Embora o projeto de filtros para aplicações biomédicas seja uma tarefa trivial quando se trata de circuitos discretos, em circuitos integrados esta representa a questão de maior importância, pois o projeto de um filtro convencional requer componentes passivos de valores elevados, quase sempre impraticáveis na forma integrada. O problema da filtragem é o ponto central do projeto de um amplificador de biossinais, e as soluções práticas existentes têm relação direta com a qualidade do sinal processado. Essas questões, assim como algumas das arquiteturas de amplificadores de biossinais já publicadas, serão apresentadas e discutidas ao longo desta seção.

3.2.1 Componentes passivos integrados

Muitas *foundries*¹ disponibilizam uma gama de dispositivos eletrônicos passivos que podem ser utilizados no projeto de circuitos analógicos. Como a maioria desses dispositivos não é nativa em tecnologia CMOS tradicional, sua produção exige recursos especiais, aumentando assim os custos de fabricação. No Anexo B são mostrados alguns dos componentes passivos disponíveis na tecnologia CMOS 130 nm empregada neste trabalho.

O capacitor MOS, que é nativo em tecnologias CMOS, apresenta a camada isolante mais fina disponível (óxido de porta) e, por isso, possui a máxima capacitância por unidade de área. Entretanto, esse tipo de capacitor é altamente não linear, não sendo apropriado para aplicações de processamento de sinais analógicos como esta (causa distorção harmônica). Capacitâncias de valores elevados e de alta linearidade podem ser

¹ Uma *foundry* é uma companhia que opera uma ou mais fábricas, também chamadas fabs (plantas de fabricação), onde circuitos integrados são produzidos.

obtidas empilhando-se pares de camadas de metal (MiM e MoM) e de polissilício (poly-poly), separadas por camadas finas de isolante. Estes são os melhores capacitores que podem ser produzidos na forma integrada.

Indutores integrados, invariavelmente, apresentam indutâncias muito baixas para qualquer aplicação de processamento de sinais de baixas frequências, dificilmente ultrapassando a faixa de nanohenrys, sendo utilizados apenas em circuitos que operam em frequências da ordem de megahertz ou superiores.

Resistores, em contraste aos anteriores, geralmente são disponibilizados em uma variedade maior de tipos. Podem ser construídos em metal, polissilício e regiões de difusão do tipo P e N. Destes, os resistores de polissilício de alta resistividade são os de maior interesse, pois alcançam valores elevados de resistência com o menor custo de área, além de terem linearidade elevada.

3.2.2 Dispositivos ativos de baixa condutividade

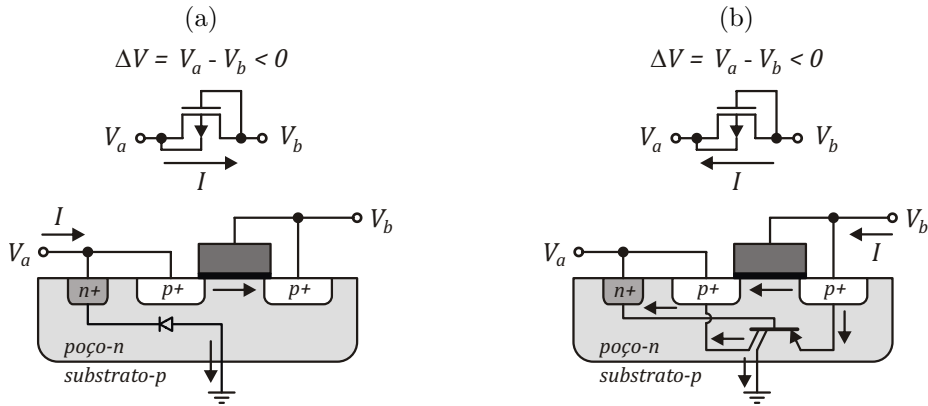
Filtros para aplicações envolvendo frequências menores que unidades de hertz geralmente requerem capacitâncias da ordem de nanofarads ou resistências da ordem de gigaohms. Por exemplo, para projetar um filtro passa-altas com frequência de corte f_p em 0,5 Hz usando um capacitor de 1 pF, será necessário um resistor de $318 \text{ G}\Omega$, de modo que a igualdade $RC = 1/2\pi f_p$ seja satisfeita. Ainda que se pudesse produzir componentes passivos integrados desta ordem de grandeza, o custo em termos de área de circuito seria proibitivo. Em casos como este, o mais apropriado é projetar circuitos ativos que simulam resistências de valores elevados, fazendo uso de amplificadores de transcondutância ou pseudo-resistores.

3.2.2.1 Pseudo-resistores

Pseudo-resistores consistem em um ou mais dispositivos semicondutores (MOS-FETs, BJTs ou diodos), polarizados de modo que a condutância resultante seja muito baixa. Devido à característica $I \times V$ dos transistores e diodos ser extremamente não linear, a condutância obtida é igualmente não linear, e sua utilização em um filtro pode causar uma degradação significativa da qualidade dos sinais adquiridos, resultando em um sistema de aquisição de sinais com baixa precisão.

Pseudo-resistores frequentemente são construídos utilizando transistores PMOS, pois o isolamento proporcionado pelo poço limita as correntes de fuga no dispositivo. Correntes de fuga para o substrato em transistores NMOS podem representar uma parcela significativa da corrente total no dispositivo quando este opera em níveis de inversão muito baixos. Por isso, normalmente não são empregados transistores NMOS para esse propósito.

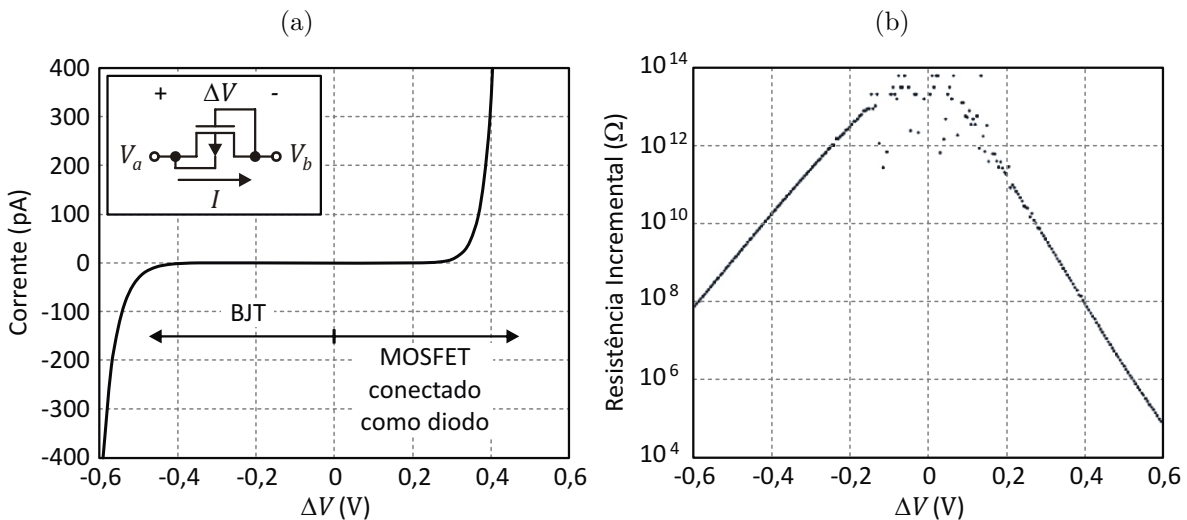
Figura 3.1 – Transistor PMOS operando como um pseudo-resistor. (a) Com $V_a > V_b$ o dispositivo opera como um MOSFET conectado como diodo. (b) Com $V_a < V_b$ o dispositivo opera como um BJT com dois coletores.



Fonte: O próprio autor.

A Figura 3.1 ilustra um pseudo-resistor composto por um simples transistor PMOS conectado como diodo. Este foi proposto originalmente por Delbruck e Mead (1994) como um dispositivo adaptativo para aplicação em um circuito foto-receptor. Dependendo da polaridade e da amplitude da tensão aplicada, o pseudo-resistor pode funcionar como um transistor MOS conectado como diodo (Figura 3.1 (a)) ou como um transistor bipolar com dois coletores (Figura 3.1 (b)). Sua característica de transferência é altamente não linear e sua condutividade é baixa apenas para pequenas excursões de sinal em torno de 0 V, como mostrado na Figura 3.2.

Figura 3.2 – Características medidas de um pseudo-resistor PMOS. Em (a) é mostrada a curva de corrente $I(\Delta V)$ e em (b) a curva de resistência incremental $R_{inc}(\Delta V)$.



Fonte: Harrison e Charles (2003)

Por simplicidade, será assumido que a corrente de fuga do diodo inversamente polarizado, formado entre o poço e o substrato, é desprezível. Usando-se as equações do modelo UICM (resumidas no Anexo A) e assumindo-se que o dispositivo MOS do pseudo-resistor opera sempre na condição de inversão fraca ($\Delta V \ll V_{TH0}$), os níveis de inversão de fonte e dreno podem ser descritos pelas equações

$$i_f = 2e \left(\frac{\Delta V - V_{TH0}}{n\phi_t} + 1 \right) \quad (3.7)$$

e

$$i_r = 2e \left(\frac{(1-n)\Delta V - V_{TH0}}{n\phi_t} + 1 \right), \quad (3.8)$$

e a corrente através do canal P pode ser calculada usando-se a equação (A.3), resultando em

$$I_{MOSFET}(\Delta V) = 2I_{SQ} \left(\frac{W}{L} \right) e^{\left(\frac{\Delta V - V_{TH0}}{n\phi_t} + 1 \right)} \left(1 - e^{\left(\frac{-\Delta V}{\phi_t} \right)} \right). \quad (3.9)$$

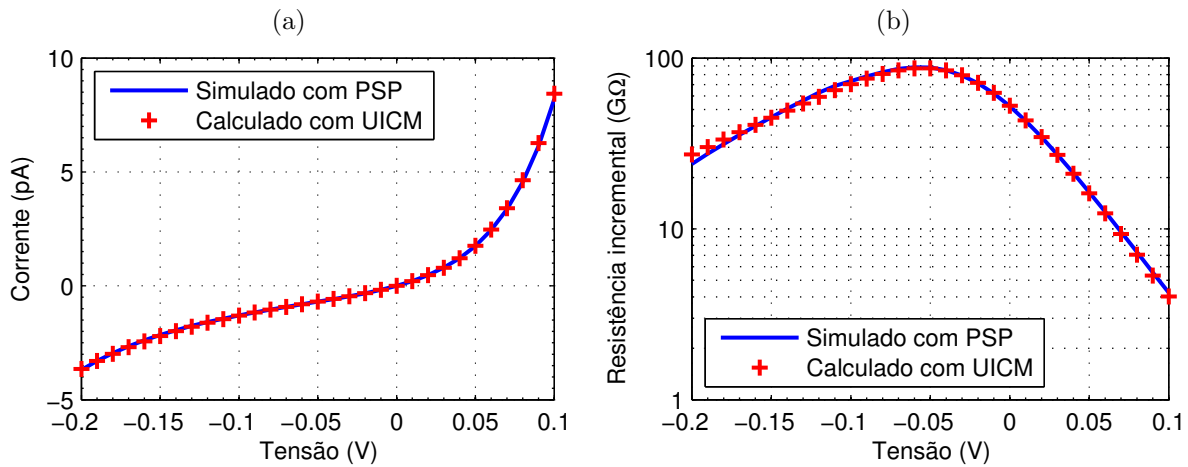
Para avaliar a contribuição do BJT na condutividade do pseudo-resistor (condição em que $V_a < V_b$) é interessante notar que, apesar de ser fisicamente um transistor bipolar, na prática, a junção base-emissor será polarizada com uma tensão muito baixa, a fim de manter a resistividade do dispositivo elevada, e por isso a operação de um BJT não será observada. Assim, o modelo pode ser simplificado para apenas um diodo polarizado diretamente, representando a junção PN entre as regiões de dreno e poço, e um diodo polarizado inversamente, representando a fuga de corrente através da junção NP entre poço e substrato. Desprezando-se novamente a corrente de fuga, a relação $I \times V$ para o pseudo-resistor nessa condição será dada pela equação de Shockley

$$I_{Diodo}(\Delta V) = I_S \left(e^{\left(\frac{\Delta V}{\eta\phi_t} \right)} - 1 \right), \quad (3.10)$$

onde I_S é a corrente de saturação reversa do diodo de junção entre dreno e poço, e η é um fator de ajuste empírico, dependente do processo de fabricação, podendo assumir valores entre 1 e 2 (SEDRA; SMITH, 2007). Deve-se deixar claro que a equação acima pode não representar o comportamento da corrente de forma adequada se o dispositivo estiver submetido a uma tensão muito baixa (poucas unidades de ϕ_t). Nessa condição, predominam na junção os fenômenos de geração e recombinação, e a corrente resultante pode diferir bastante da estimada pela equação de Shockley (SZE; NG, 2006, p. 96).

A condutividade do pseudo-resistor pode ser obtida somando-se as contribuições de corrente $I_{MOSFET}(\Delta V)$ e $I_{Diodo}(\Delta V)$ e derivando-se a equação resultante. Medidas da resistência incremental de um pseudo-resistor PMOS, apresentadas por Harrison e Charles (2003), são mostradas na Figura 3.2 (b). O comportamento da resistência, tal como previsto pelas equações, é exponencial em ambos os sentidos de condução e, portanto, fortemente não linear. Além disso, os fatores escalares são diferentes devido às duas equações descreverem fenômenos físicos distintos, resultando em condutividades diferentes nas condições de polarização direta e reversa.

Figura 3.3 – Comparação entre curvas de corrente e resistência calculadas e simuladas, para um pseudo-resistor PMOS conectado com diodo.



Fonte: O próprio autor.

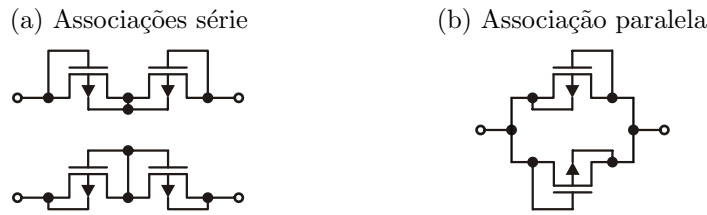
A concordância entre o modelo teórico e os resultados de simulação usando o modelo PSP² pode ser verificada pelas curvas mostradas na Figura 3.3, as quais foram calculadas e simuladas para um transistor PMOS conectado como diodo, como na Figura 3.1. O dispositivo avaliado é um transistor PMOS 2v5 (ver Anexo B) com $W = L = 4 \mu\text{m}$. Vê-se pelas curvas que os valores calculados para a corrente e para a resistência incremental são muito próximos àqueles obtidos por simulação. Este resultado mostra que mesmo para $\Delta V < 0$ a condutividade do dispositivo é dominada pela condutividade do canal, pois a curva calculada foi obtida utilizando apenas o modelo UICM, e não leva em consideração a corrente através do diodo de junção do dreno.

Embora não haja garantias de que o modelo do transistor fornecido pela *foundry* gere resultados de simulação confiáveis em condições de operação tão atípicas, a convergência entre os resultados obtidos com dois modelos físicos, UICM (cálculo manual) e PSP (simulação), é uma indicação de que as simulações podem representar uma estimativa ao menos aproximada da condutividade do dispositivo.

Em transistores de baixo V_{TH0} e alto I_{SQ} , como o do exemplo anterior, a corrente através do dispositivo é essencialmente a corrente no canal em ambos os sentidos de polarização, sendo sempre controlada pelo terminal de porta. Nesse caso, o ponto de máxima resistência é deslocado para a esquerda, como mostrado na Figura 3.3(b). O inverso também pode ocorrer, caso o transistor tenha V_{TH0} elevado e baixo I_{SQ} . A assimetria da relação $I \times V$ aumenta a não linearidade do dispositivo, mesmo para pequenas excursões de sinal. Para contornar esse problema, é possível utilizar pseudo-resistores em associação

² PSP é um modelo compacto de MOSFET desenvolvido pela NXP e baseado no potencial de superfície, o qual contém todos os efeitos físicos relevantes necessários para modelar tecnologias *bulk* CMOS (Informações obtidas em <http://www.nxp.com/models/mos-models/model-psp.html>).

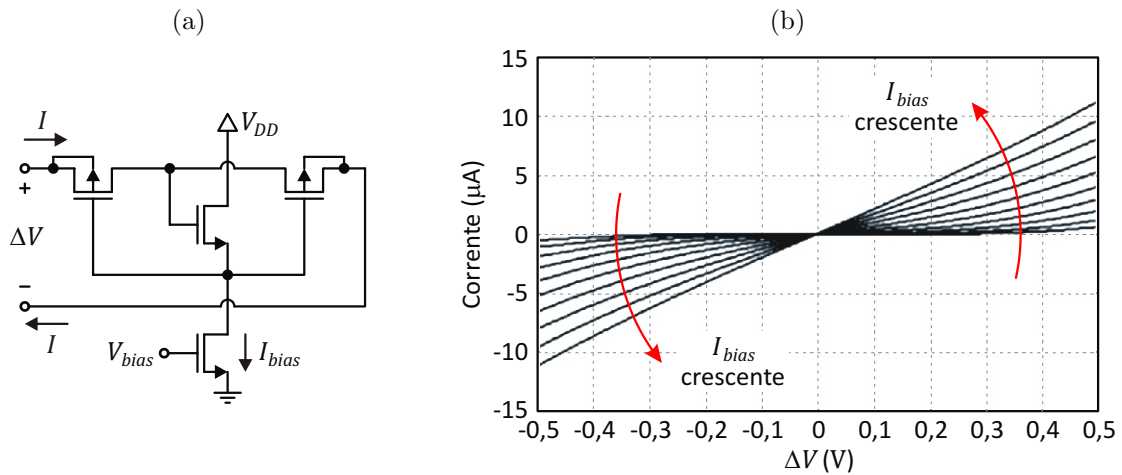
Figura 3.4 – Pseudo-resistores simétricos formados pela associação de transistores PMOS.



Fonte: O próprio autor.

Figura 3.5 – Pseudo-resistor PMOS simétrico com linearidade e resistência ajustáveis.

(a) Esquemático mostrando o esquema de polarização dos transistores. (b) Curvas $I \times V$ para diferentes correntes de polarização.



Fonte: Tajalli, Leblebici e Brauer (2008)

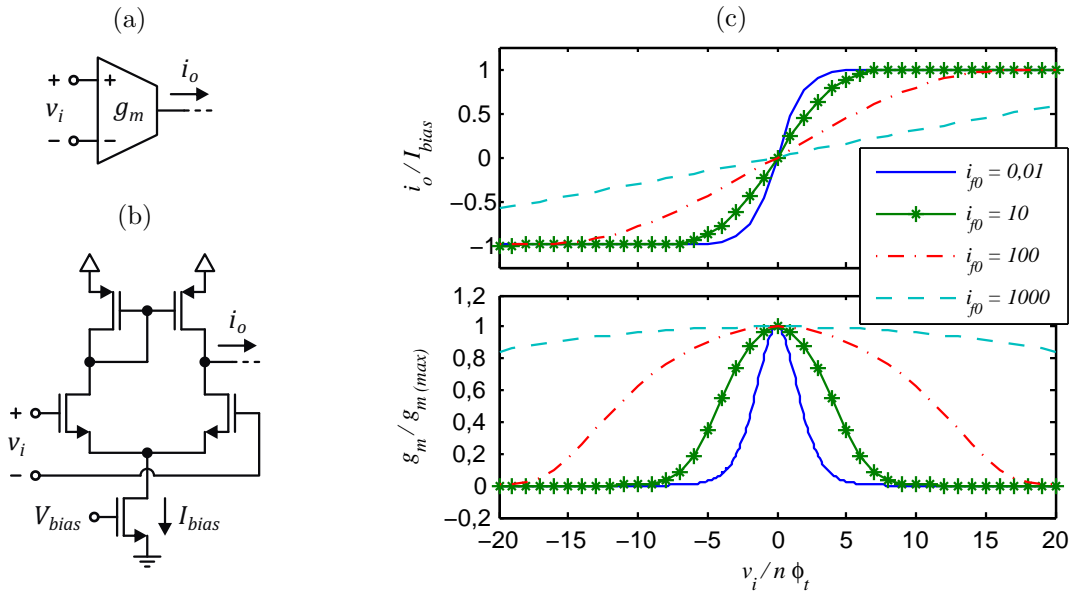
série ou paralela como mostrado na Figura 3.4, de modo que se obtenha uma estrutura simétrica em relação à tensão de polarização ΔV .

Além do uso de estruturas simétricas, a linearidade do pseudo-resistor pode ser melhorada através da polarização apropriada dos transistores. O circuito mostrado na Figura 3.5(a) (TAJALLI; LEBLEBICI; BRAUER, 2008) consiste em um pseudo-resistor PMOS, polarizado por um *level shifter* NMOS operando em inversão fraca. O custo da melhoria da linearidade neste circuito é a necessidade de elevação do nível de inversão dos transistores PMOS, a fim de assegurar sua controlabilidade. Como resultado, a máxima resistência equivalente obtida fica restrita a dezenas ou centenas de megaohms (Figura 3.5 (b)), sendo insuficiente para a construção de um filtro integrado com polo abaixo de 1 Hz.

3.2.2.2 Amplificadores de transcondutância

Um amplificador operacional de transcondutância (OTA) pode ser especialmente projetado para fornecer uma transcondutância de valor muito baixo, da ordem de nanosiemens ou até mesmo picosiemens, permitindo que este possa ser empregado na construção

Figura 3.6 – Amplificador de transcondutância operacional. (a) Símbolo convencional. (b) Esquemático elétrico simples usando um par diferencial com carga ativa. (c) Curvas normalizadas de corrente de saída e transcondutância em função da tensão de entrada normalizada para diferentes valores de i_{f0} (nível de inversão do par diferencial no ponto quiescente).



Fonte: O próprio autor.

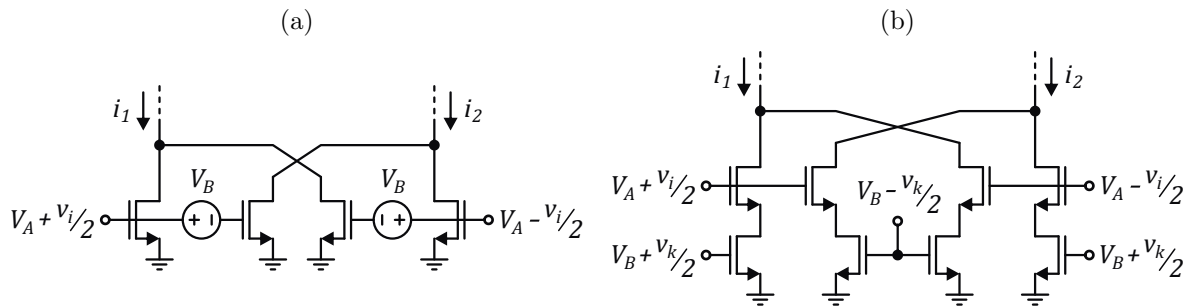
de filtros para baixas frequências. Sua estrutura básica, um par diferencial com carga ativa, é mostrada na Figura 3.6(b).

As curvas normalizadas da corrente de saída e da transcondutância (independentes do processo de fabricação e do dimensionamento do circuito) são mostradas na Figura 3.6(c). Pode-se ver que, para uma dada corrente de polarização I_{bias} , a transcondutância será menor e mais linear na medida em que o nível de inversão do par diferencial for incrementado. O efeito de saturação da mobilidade (não ilustrado aqui) também contribui para a melhoria da linearidade. O aumento do nível de inversão, porém, pode resultar em tensões V_{CB} demasiadamente altas, limitando a excursão de entrada.

Várias metodologias podem ser empregadas para reduzir a transcondutância de OTAs e aumentar sua linearidade e sua excursão de entrada. A maioria dos métodos encontrados na literatura pode ser classificada em um dos três tipos básicos: cancelamento de termos não lineares, atenuação e degeneração de fonte (realimentação negativa) (SÁNCHEZ-SINENCIO; SILVA-MARTÍNEZ, 2000).

O método de cancelamento de termos não lineares normalmente se baseia na soma ou na subtração de correntes geradas por transistores com diferentes pontos quiescentes, de modo que os termos não lineares sejam atenuados ou cancelados. Duas metodologias são ilustradas na Figura 3.7. Na primeira (ALMAZAN; LEON, 2010), uma diferença V_B entre as tensões de polarização DC de um par de transistores é obtida por meio

Figura 3.7 – Linearização de amplificadores de transcondutância usando cancelamento de termos não lineares.



Fonte: (a) Almazan e Leon (2010). (b) Liu e Hwang (1994).

de *level shifters*. Desde que todos os transistores estejam em inversão forte, a corrente de saída pode ser descrita por

$$i_o(v_i) = i_1 - i_2 = v_i \left(\frac{\mu C'_{ox}}{n} \frac{W}{L} V_B \right). \quad (3.11)$$

O circuito da Figura 3.7(b) (LIU; HWANG, 1994) baseia-se no uso de um multiplicador de sinais no qual um dos sinais (v_k , por exemplo) é um valor constante. Os transistores inferiores devem ser mantidos na condição de triodo enquanto os superiores devem estar sempre em saturação. Nessas condições, a corrente de saída pode ser aproximada pela expressão

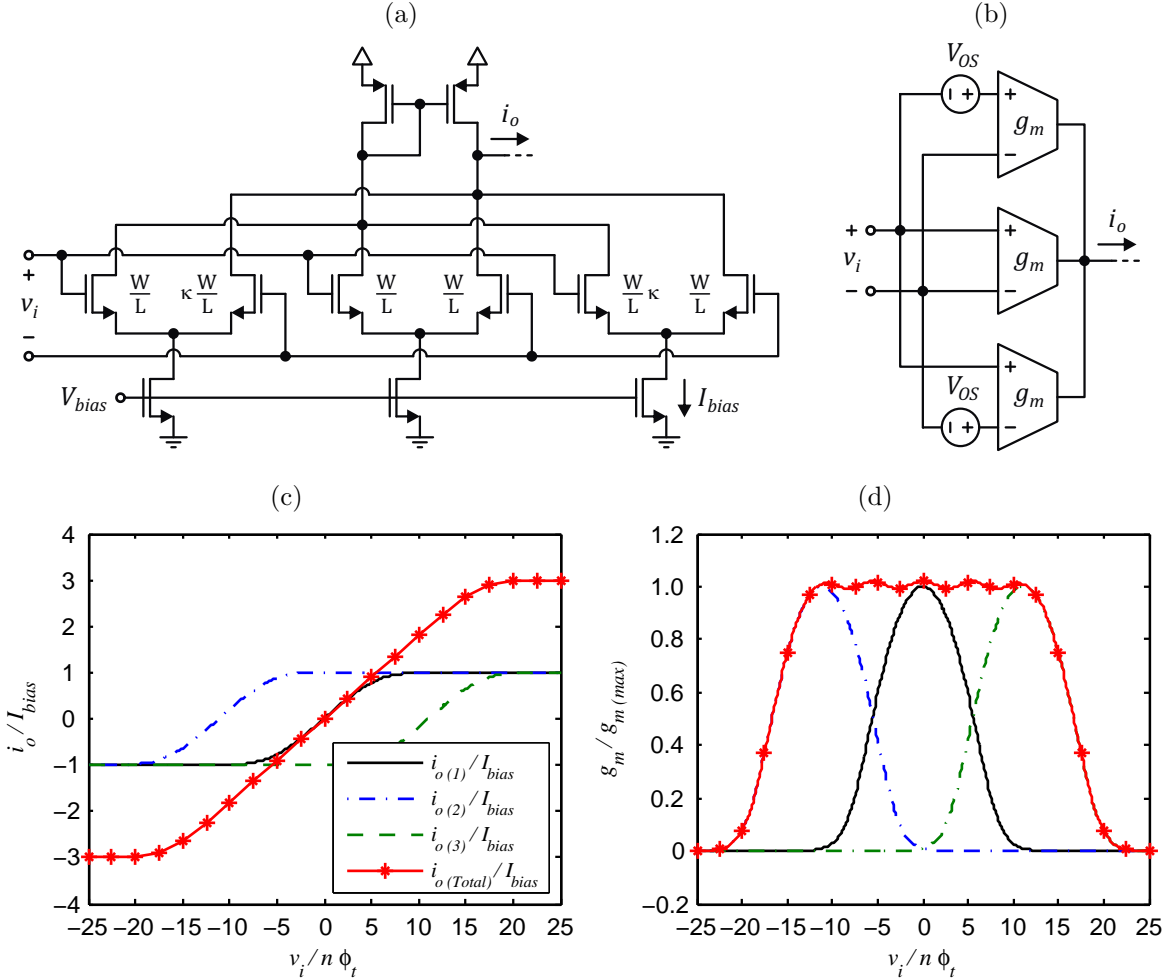
$$i_o(v_i) = i_1 - i_2 \approx v_i \left(\mu C'_{ox} \frac{W}{L} v_k \right), \quad (3.12)$$

onde as dimensões W e L referem-se aos transistores inferiores. Mais exemplos de circuitos multiplicadores podem ser encontrados em Han e Sánchez-Sinencio (1998), e outros exemplos de cancelamento de termos não lineares envolvendo somas de correntes são apresentados em (SZCZEPAŃSKI; KOZIEL, 2004) e (BAHMANI; SÁNCHEZ-SINENCIO, 2004).

Um aspecto comum destas técnicas é que sua aplicação é restrita a pequenas excursões do sinal de entrada. Além disso, na maior parte dos casos, o cancelamento total de termos não lineares não é alcançado. Linearização por partes (*piecewise linearization*) pode ser empregada para estender a região de operação linear de circuitos fortemente não lineares, como pares diferenciais operando em condição de inversão fraca. Esta técnica baseia-se no uso de transcondutâncias em paralelo apropriadamente desbalanceadas, de modo que cada transcondutância opera em sua região mais linear em um pequeno intervalo da excursão do sinal de entrada (GILBERT, 1998), como ilustrado na Figura 3.8.

O método da atenuação, como o nome sugere, consiste em reduzir a amplitude efetiva do sinal na entrada de um OTA, de modo a utilizar apenas a região mais linear de sua curva de transferência. Tomando-se como exemplo a curva de $i_o(v_i/n\phi_t)$ para um par diferencial em **inversão fraca**, mostrada na Figura 3.6(c), pode ser mostrado que esta

Figura 3.8 – Linearização por partes. (a) Esquemático elétrico. (b) Diagrama de blocos. (c) Curvas de correntes normalizadas parciais e total, com os transistores operando em nível de inversão 20, e com o *offset* normalizado ($V_{OS}/n\phi_t$) ajustado para 11,09. (d) Curvas de transcondutâncias normalizadas.



Fonte: O próprio autor.

tem a forma de uma função do tipo tangente hiperbólica, cuja série de Taylor é dada por

$$\begin{aligned}
 i_o \left(\frac{v_i}{n\phi_t} \right) &= I_{bias} \cdot \tanh \left(\frac{v_i}{n\phi_t} \right) \\
 &= I_{bias} \left[\frac{v_i}{n\phi_t} - \frac{1}{3} \left(\frac{v_i}{n\phi_t} \right)^3 + \frac{2}{15} \left(\frac{v_i}{n\phi_t} \right)^5 - \frac{17}{315} \left(\frac{v_i}{n\phi_t} \right)^7 + \dots \right], \quad (3.13)
 \end{aligned}$$

válida para $|v_i/n\phi_t| < \pi/2$. A multiplicação do sinal de entrada v_i por um fator κ menor que um (fator de atenuação) resulta em uma multiplicação, pelo mesmo fator, da componente linear da corrente de saída, enquanto os termos de ordem mais elevada são multiplicados por κ^3 , κ^5 , κ^7 e assim por diante. Portanto, introduzir um atenuador antes da entrada do OTA torna a transcondutância efetiva do circuito total mais baixa e sua característica de transferência mais linear.

A atenuação aplicada pode ser do tipo passiva ou ativa. O método mais simples de atenuação passiva consiste em utilizar um divisor de tensão resistivo antes da entrada do OTA. Em tecnologias CMOS, contudo, outros esquemas são mais comumente empregados, tais como o *floating gate* e o *bulk-driven*. *Floating gate* (porta flutuante) consiste em acoplar os sinais aos transistores do par diferencial por meio de capacitores, como mostrado na Figura 3.9(a). A tensão na porta flutuante, v_{FG} , é obtida a partir da Figura 3.9(b), sendo dada pela expressão

$$v_{FG} = \frac{C_1 v_I + C_2 V_A + C_{gd} v_D + C_{gs} v_S + C_{gb} v_B}{C_1 + C_2 + C_{gd} + C_{gs} + C_{gb}}, \quad (3.14)$$

e o fator de atenuação resultante é dado por

$$\kappa = \frac{C_1}{C_1 + C_2 + C_{gd} + C_{gs} + C_{gb}}. \quad (3.15)$$

O emprego de uma entrada adicional V_A permite reduzir a tensão de *threshold* efetiva do transistor, característica útil no projeto de circuitos para baixas tensões. Obviamente, deve-se atentar para a questão do nível de ruído, uma vez que o ruído referido à entrada do OTA será multiplicado por $1/\kappa$. Além disso a capacitância de porta dos transistores é fortemente não linear, especialmente na condição de inversão moderada, tornando o fator de atenuação dependente do sinal.

A Figura 3.10 ilustra um OTA usando *floating gate*, apresentado por Mourabit, Lu e Pittet (2005). Este faz uso ainda do método de *bump linearization*, que consiste em incluir um terceiro ramo em paralelo com o par diferencial controlado pela tensão de modo comum da entrada, o qual permite o cancelamento do termo de terceira ordem da corrente de saída. Para este circuito, pode ser mostrado que a corrente de saída é dada por

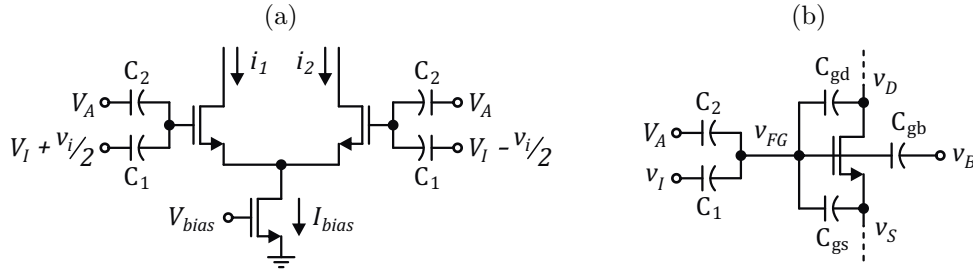
$$\begin{aligned} i_o(v_i) &= i_1 - i_2 = I_{bias} \cdot \frac{\sinh\left(\frac{\kappa v_i}{2 n\phi_t}\right)}{\cosh\left(\frac{\kappa v_i}{2 n\phi_t}\right) + \frac{A}{2}} \\ &= \left(\frac{1}{1 + A/2}\right) I_{bias} \left[\frac{\kappa v_i}{2 n\phi_t} + \left(\frac{1}{6} - \frac{1}{2(1 + A/2)}\right) \left(\frac{\kappa v_i}{2 n\phi_t}\right)^3 + \dots \right], \end{aligned} \quad (3.16)$$

onde A é a relação entre as razões de aspecto dos transistores $M_{1,2}$ e M_3 . Para tornar a transcondutância mais linear, faz-se $A = 4$, de modo que o termo de terceira ordem seja anulado.

O método *bulk-driven* (controlado pelo corpo) consiste em aplicar o sinal de entrada no terminal de corpo do transistor em vez de aplicá-lo à porta. A estrutura básica do circuito é ilustrada na Figura 3.11(a). Considerando-se os transistores do par diferencial em inversão fraca, pode-se mostrar que a corrente de saída é dada pela expressão

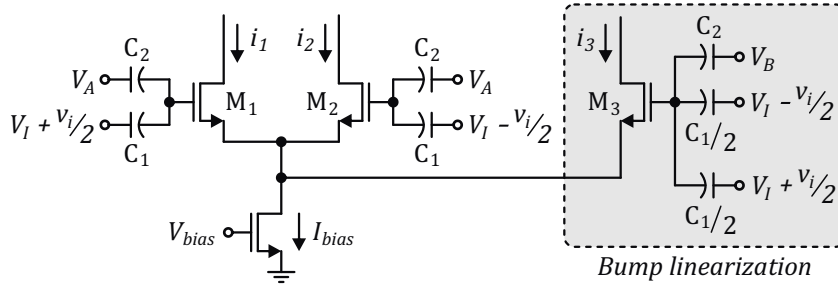
$$i_o\left(\frac{v_i}{n\phi_t}\right) = I_{bias} \cdot \tanh\left(\frac{v_i}{n\phi_t} \frac{n-1}{2}\right), \quad (3.17)$$

Figura 3.9 – Esquema de linearização usando *floating gate*. (a) Par diferencial simples com *floating gate* e múltiplas entradas. (b) Capacitâncias de acoplamento com a porta do transistor.



Fonte: O próprio autor.

Figura 3.10 – Esquema de linearização usando *floating gate* e *bump linearization* para o cancelamento do termo de terceira ordem.



Fonte: Mourabit, Lu e Pittet (2005).

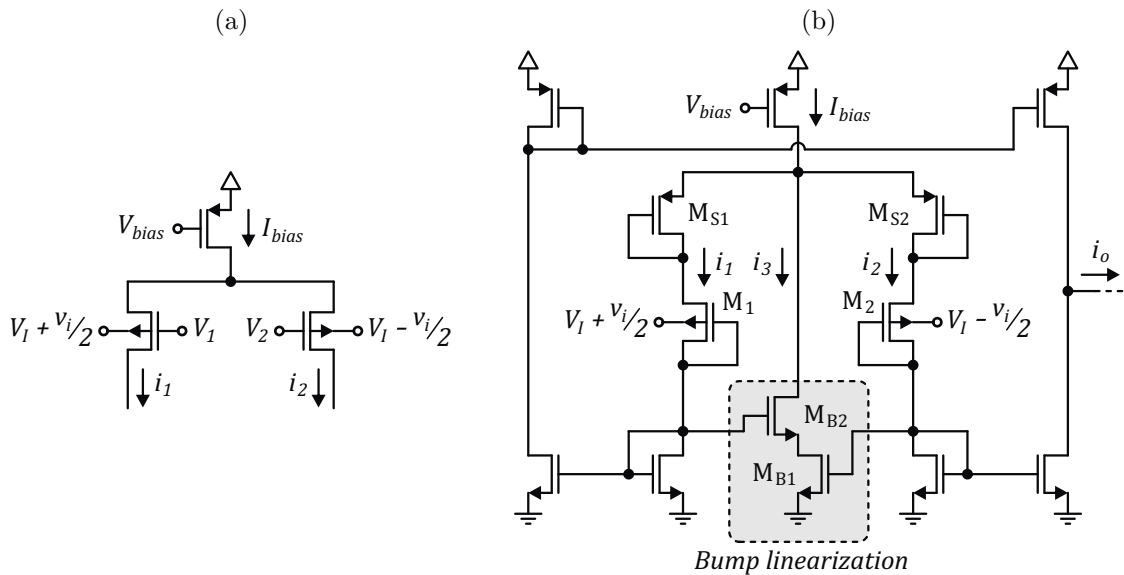
a qual, se comparada com a equação (3.13), apresenta um fator de atenuação κ igual a $(n - 1)/2$ sobre o sinal de entrada.

A Figura 3.11(b) mostra um esquema de linearização usando *bulk-driven* apresentado por Sarpeshkar, Lyon e Mead (1997). Tal como no circuito da Figura 3.10, o esquema de *bump linearization* (transistores M_{B1} e M_{B2}) foi simultaneamente empregado a fim de realizar o cancelamento do termo não linear de terceira ordem e melhorar um pouco mais a linearidade. Também foi empregado o esquema de degeneração de fonte (transistores M_{S1} e M_{S2}), o qual será discutido mais adiante.

O método de atenuação ativa faz uso de transistores para reduzir a amplitude de um sinal. Um exemplo de atenuador ativo foi apresentado em (KULSHRESHTHA; BHADARIA, 2010) e é mostrado na Figura 3.12. Para que o circuito opere apropriadamente, o transistor M_1 deve estar em saturação enquanto M_2 deve operar na região de triodo. Ambos, M_1 e M_2 , devem operar em inversão forte. Nessas condições, o fator de atenuação será definido unicamente pelas relações de aspecto dos transistores e será dado por

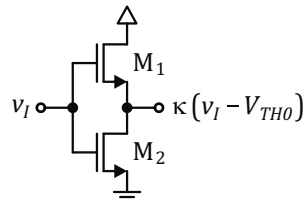
$$\kappa = \frac{1}{n} \left(1 - \sqrt{\frac{W_2/L_2}{W_1/L_1 + W_2/L_2}} \right). \quad (3.18)$$

Figura 3.11 – Linearização através de *bulk-driven*. (a) Par diferencial simples controlado pelo terminal de corpo. (b) OTA usando *bulk-driven* com degeneração de fonte e *bump linearization*.



Fonte: Sarpeshkar, Lyon e Mead (1997).

Figura 3.12 – Técnica de atenuação ativa empregando um circuito auto-cascode NMOS em inversão forte.



Fonte: Kulshreshtha e Bhadauria (2010).

O método da degeneração de fonte consiste no emprego de realimentação negativa para melhorar a linearidade da transcondutância. Em um par diferencial, a técnica consiste em incluir um elemento resistivo entre os terminais de fonte dos transistores de uma das duas formas ilustradas na Figura 3.13. Com a degeneração de fonte, a transcondutância efetiva do par diferencial passa a ser dada pela equação

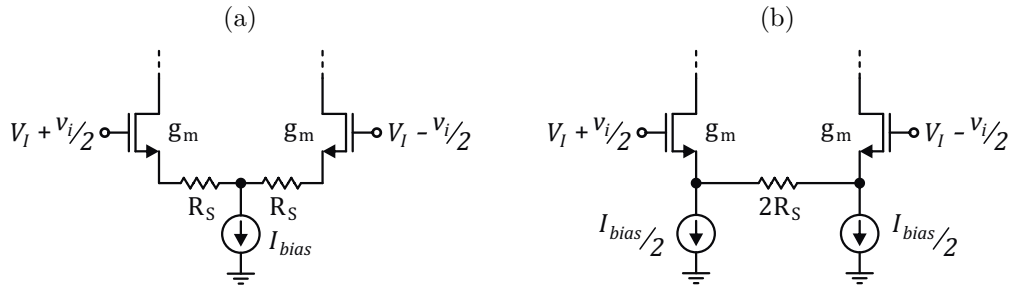
$$G_M = \frac{g_m}{1 + g_m R_S}, \quad (3.19)$$

e deve-se garantir que o termo $g_m R_S$ no denominador seja muito maior que a unidade, de modo que a transcondutância efetiva do par diferencial possa ser aproximada pela equação

$$G_M \approx \frac{1}{R_S}, \quad (3.20)$$

ou seja, a linearidade do circuito passa a ser determinada pela linearidade da resistência R_S empregada.

Figura 3.13 – Linearização de transcondutâncias através de degeneração de fonte.



Fonte: O próprio autor.

Embora os circuitos das Figuras 3.13(a) e (b) tenham a mesma transcondutância equivalente, cada um apresenta vantagens e desvantagens em relação ao outro. Enquanto no circuito da Figura 3.13(a) a excursão de entrada e o ICMR (*Input Common-Mode Range*) são reduzidos devido à queda de tensão sobre os resistores, no circuito da Figura 3.13(b) o ruído gerado pelas fontes de corrente age como um sinal diferencial, aumentando o ruído total do OTA.

Como atualmente a maior parte das aplicações requer baixo consumo de energia e baixa tensão de alimentação, circuitos operando em *sub-threshold* são a escolha mais natural de projeto. Nessa condição, porém, a transcondutância de um par diferencial tem seu comportamento mais não linear, e o emprego de resistores lineares para a degeneração de fonte requer uma grande área de silício devido à corrente de polarização reduzida.

A Figura 3.14 ilustra dois esquemas de OTAs com degeneração de fonte usando apenas transistores MOS, indicadas para aplicações em *sub-threshold* (FURTH; ANDREOU, 1995). A corrente de saída de um OTA utilizado degeneração de fonte por difusor simétrico (Figura 3.14(a)) é dada pela equação

$$i_o = I_{bias} \cdot \tanh \left(\frac{v_i}{2n\phi_t} - \tanh^{-1} \left[\frac{1}{4m+1} \tanh \left(\frac{v_i}{2n\phi_t} \right) \right] \right), \quad (3.21)$$

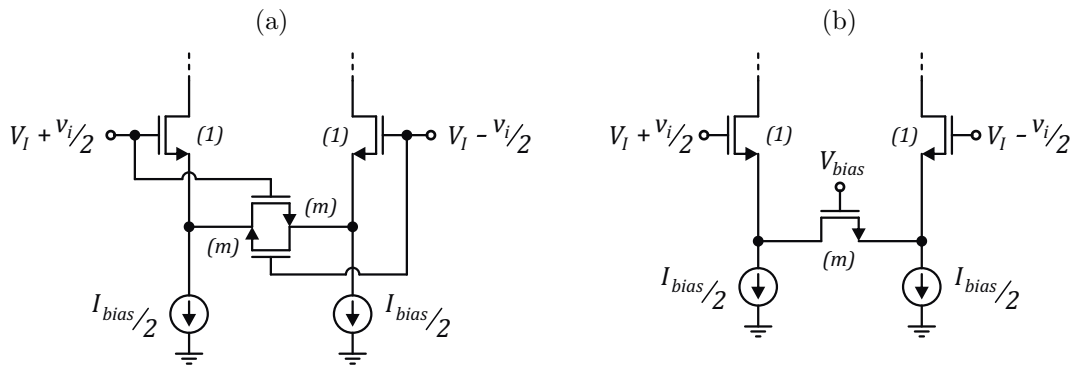
onde m , indicado na figura, representa a relação entre as razões de aspecto dos transistores do difusor e do par diferencial. A linearidade mais elevada de i_o é obtida fazendo sua terceira derivada igual a zero, o que resulta em $m = 0,5$.

Para o circuito com degeneração por difusor simples (Figura 3.14(b)), e assumindo que a tensão V_{bias} que polariza o difusor é exatamente a tensão de modo comum da entrada, a expressão da corrente de saída é dada por

$$i_o = I_{bias} \cdot \tanh \left(\frac{v_i}{2n\phi_t} - \tanh^{-1} \left[\frac{\sinh \left(\frac{v_i}{2n\phi_t} \right)}{2m + \cosh \left(\frac{v_i}{2n\phi_t} \right)} \right] \right), \quad (3.22)$$

onde se iguala a terceira derivada de i_o a zero para obter a máxima linearidade da transcondutância, o que resulta em $m = 0,25$. Nas mesmas condições, o método de degeneração

Figura 3.14 – Par diferencial com degeneração de fonte usando difusores MOS. (a) Difusor simétrico. (b) Difusor simples.



Fonte: Furth e Andreou (1995).

usando difusor simples apresenta o dobro do intervalo linear se comparado com o circuito usando difusor simétrico.

Até este ponto discutiu-se apenas a questão da linearização de transcondutâncias. Um OTA destinado ao projeto de filtros para baixas frequências, abaixo de 1 Hz neste caso em particular, deve ter também uma transcondutância muito baixa, da ordem de nanosiemens ou menor, a fim de minimizar o valor da capacitância empregada no filtro.

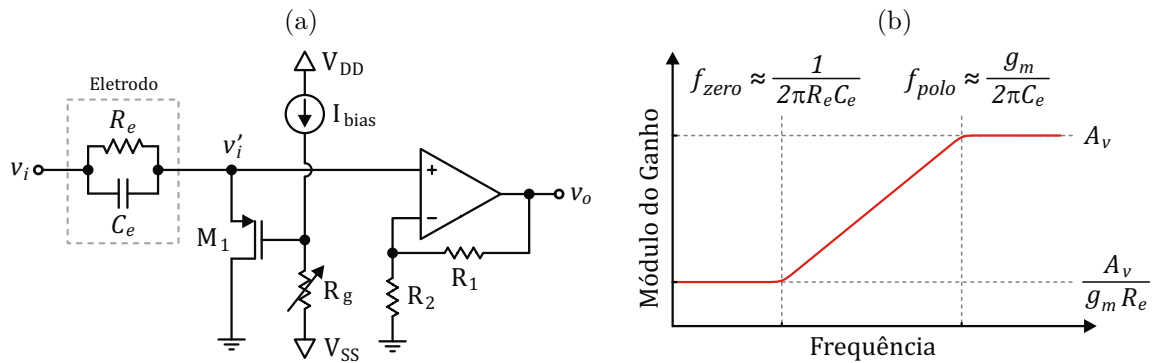
Nas técnicas de linearização mostradas, a transcondutância é quase sempre uma moeda de troca e por isso essas técnicas podem também ser utilizadas para reduzir a transcondutância de OTA. Diferentes combinações dessas técnicas foram avaliadas por Veeravalli, Sánchez-Sinencio e Silva-Martínez (2002) para a construção de OTAs de baixa transcondutância. Em alguns casos, transcondutâncias tão baixas quanto 10 nS foram obtidas.

Para a obtenção de transcondutâncias abaixo da escala de nanosiemens é necessário utilizar outras técnicas, como o esquema de espelhos de corrente série-paralelo (ou SP), proposto por Arnaud, Fiorelli e Galup-Montoro (2006). O circuito é ilustrada na Figura 3.15. O OTA emprega também o esquema de degeneração de fonte por difusor simétrico da Figura 3.14(a) e sua transcondutância equivalente é dada pela equação

$$G_{m(\text{SP})} = \frac{G_m}{S \cdot P}, \quad (3.23)$$

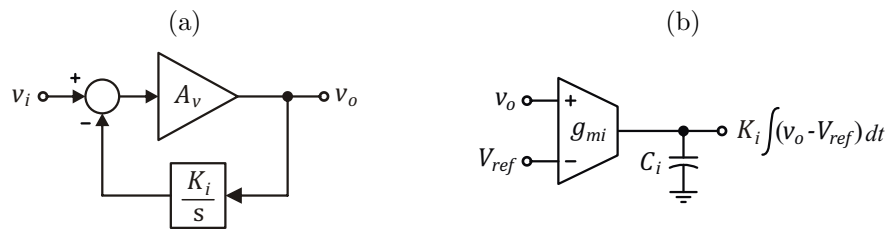
onde G_m é a transcondutância equivalente do par diferencial, a qual pode ser obtida derivando-se (3.21), e S e P representam o número de transistores unitários dispostos em série e em paralelo nos espelhos de corrente, respectivamente. Resultados medidos apresentados mostraram transcondutâncias de até 33 pS aplicando-se um fator $S \cdot P$ igual a 4900, além de um intervalo linear de entrada de cerca de ± 500 mV, adotando-se um critério de 5% de erro na curva da transcondutância.

Figura 3.16 – Amplificador de biossinais empregando um filtro passa-altas em cascata com um amplificador não inversor. (a) Esquemático elétrico. (b) Módulo do ganho em função da frequência.



Fonte: Mohseni e Najafi (2004).

Figura 3.17 – Amplificador com filtro passa-altas usando um integrador na malha de realimentação. (a) Implementação teórica. (b) Implementação prática do integrador utilizando um amplificador de transcondutância e um capacitor.



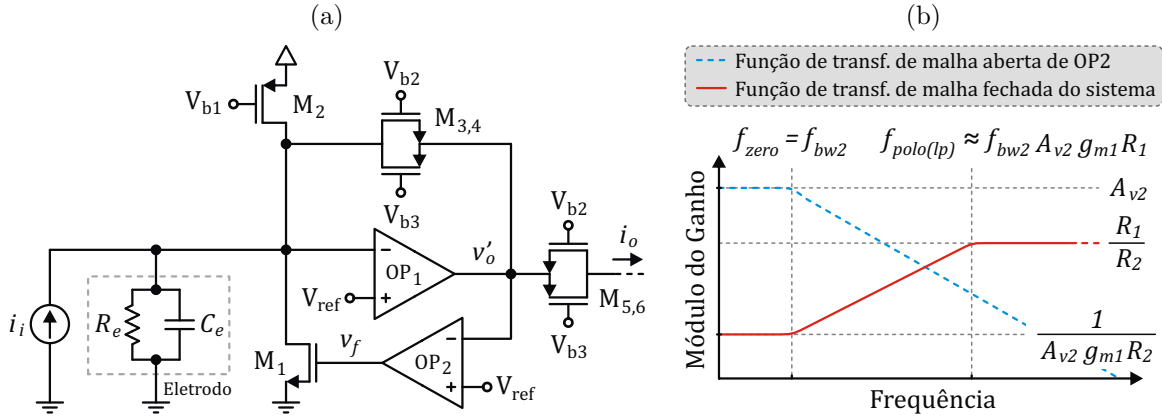
Fonte: O próprio autor.

Figura 3.17(b) é mostrado o esquema em blocos da implementação elétrica mais comum para o integrador, onde o ganho de integração é dado pela relação g_{mi}/C_i .

Como primeiro exemplo prático do uso de integradores pode-se citar o amplificador de sinais biomédicos proposto por Steyaert e Sansen (1987) para a faixa de frequências de 0,5 Hz a 500 Hz. Neste circuito, a frequência de corte baixa do filtro passa-altas foi conseguida usando-se um capacitor externo de 10 nF. Outro exemplo foi apresentado por Hsu et al. (2009) e emprega um OTA de baixa transcondutância para gerar um polo passa-altas na frequência de 0,2 Hz, permitindo que o amplificador seja totalmente integrado.

Um terceiro exemplo de filtro usando integrador foi proposto por Wu, Chen e Kuo (2013) e está ilustrado na Figura 3.18(a). Trata-se de um amplificador de corrente, no qual o *offset* do sinal de entrada é atenuado através da corrente fornecida pelo transistor M_1 . Neste caso, o papel do integrador é desempenhado por um amplificador operacional de dois estágios (OP_2), o qual tira proveito do efeito Miller e de cascodes para obter uma largura de banda extremamente baixa (0,24 mHz), como ilustrado pela curva tracejada na Figura 3.18(b). O zero do sistema é dado pelo polo dominante de OP_2 (f_{bw2}) enquanto

Figura 3.18 – Amplificador de corrente para biossinais usando um amplificador operacional como integrador. (a) Esquemático elétrico. (b) Funções de transferência de OP₂ e do sistema.



Fonte: Wu, Chen e Kuo (2013).

o polo de baixa frequência do sistema ($f_{p(\text{HPF})}$) é dado por

$$f_{p(\text{HPF})} = f_{bw2} \cdot A_{v2} \cdot g_{m1} \cdot R_1, \quad (3.26)$$

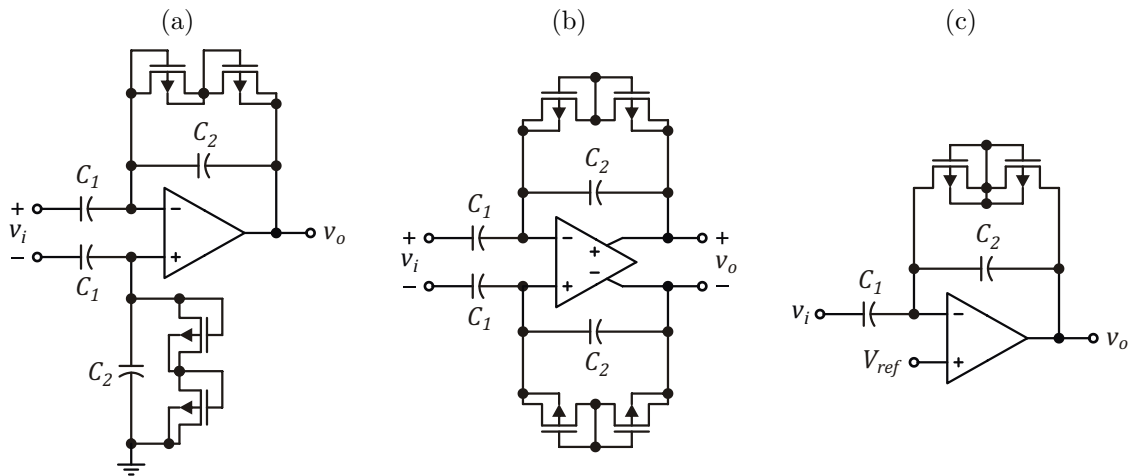
sendo A_{v2} o ganho DC de malha aberta de OP₂ e g_{m1} a transcondutância de M₁. A função de transferência do sistema é representada pela curva contínua na Figura 3.18(b). As tensões de polarização V_{b2} e V_{b3} são usadas para controlar a condutividade dos transistores M_{3,5} e M_{4,6}, respectivamente. O ganho de corrente do sistema é definido pela relação entre as resistências R_1 e R_2 , correspondentes às resistências dreno-fonte das associações de transistores M_{3,4} e M_{5,6}, respectivamente.

Entre as topologias de circuitos que realizam processamento em tempo contínuo sobre os sinais, as mais frequentemente utilizadas para a realização de filtros para baixas frequências são aquelas que empregam pseudo-resistores. Devido à sua simplicidade e tamanho reduzido, os pseudo-resistores permitem realizar a filtragem de sinais a um custo mínimo de área. O circuito mostrado na Figura 3.19(a) apresenta uma típica aplicação de pseudo-resistores, proposta por Harrison e Charles (2003). O ganho dentro da banda passante é dado pela relação C_1/C_2 e o polo de do filtro passa-altas é dado por

$$f_{p(\text{HPF})} = \frac{1}{2\pi R_{\text{PR}} C_2}, \quad (3.27)$$

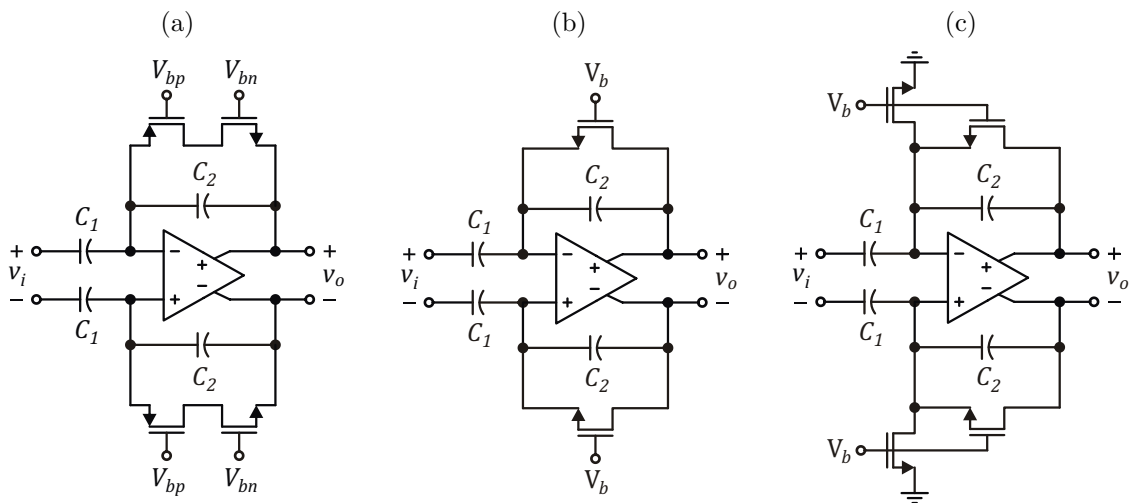
onde R_{PR} é a resistência de pequenos sinais do pseudo-resistor, cujo valor está ilustrado na Figura 3.2(b). Neste circuito foram usados dois pseudo-resistores em série a fim de aumentar a resistência equivalente e a excursão de saída do amplificador. Estruturas semelhantes foram propostas por Wattanapanitch, Fee e Sarpeshkar (2007), Zhang, Holleman e Otis (2012), sendo a segunda do tipo totalmente diferencial e com um esquema de pseudo-resistores simétrico, ilustrada na Figura 3.19(b). Outro exemplo de um ampli-

Figura 3.19 – Estruturas básicas de amplificadores de bio-sinais empregando pseudo-resistores para filtragem do nível DC do sinal de entrada.



Fonte: (a) Harrison e Charles (2003), (b) Zhang, Holleman e Otis (2012) e (c) Lim e Teo (2006).

Figura 3.20 – Amplificadores de bio-sinais utilizando pseudo-resistores polarizados com tensão constante.

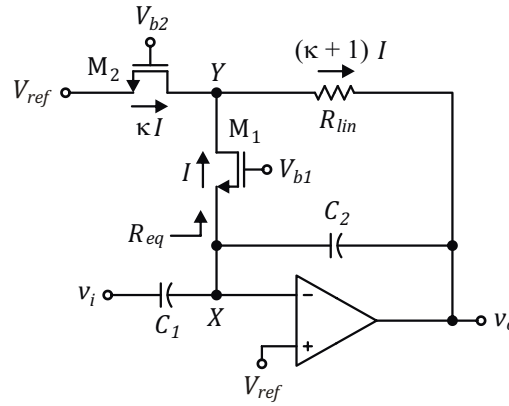


Fonte: (a) Yin e Ghovanloo (2007), (b) Chae et al. (2009) e (c) Chaturvedi e Amrutur (2011).

ficador de bio-sinais utilizando um pseudo-resistor com estrutura simétrica foi proposto por Lim e Teo (2006) e é mostrado na Figura 3.19(c).

Em muitos casos, pseudo-resistores usando esquemas de polarização ajustáveis são empregados para o controle de largura de banda, especialmente o polo de baixas frequências. Isso permite o ajuste do circuito para a leitura de diferentes classes de bio-sinais, além de fornecer um meio para lidar com a variabilidade do processo de fabricação e das condições de operação na performance do amplificador. Um exemplo desse tipo de circuito está ilustrado na Figura 3.20(a) e foi extraído de (YIN; GHOVANLOO, 2007). A operação do circuito consiste em polarizar o par NMOS-PMOS em condição de inversão muito

Figura 3.21 – Amplificador de biossinais empregando *current steering* para estabelecer um polo de baixa frequência.



Fonte: Li, Zhang e Wang (2012).

fraca, porém, mantendo-se o controle sobre a condutividade dos dispositivos. Outros dois exemplos de circuitos empregando este método foram apresentados por Chae et al. (2009) e Chaturvedi e Amrutur (2011) e são mostrados nas Figuras 3.20 (b) e (c), respectivamente.

A última estrutura que será avaliada foi apresentada por Li, Zhang e Wang (2012) e é mostrada na Figura 3.21. O método aplicado, aqui para criar um polo em frequências muito baixas, consiste em utilizar um esquema do tipo *current steering* na malha de realimentação para gerar um efeito multiplicativo sobre a resistência R_{lin} , que pode ser um resistor linear de polissilício, por exemplo. Uma vez que o potencial no nó X é aproximadamente V_{ref} , os transistores M_1 e M_2 estão submetidos à mesma tensão V_{DS} e, desse modo, um fator multiplicativo κ de valor elevado pode ser obtido através do ajuste das relações de aspecto de M_1 e M_2 e das tensões de polarização V_{b1} e V_{b2} . A resistência equivalente, vista em paralelo com C_2 , é dada por

$$R_{eq} = R_{lin} \left(1 + \frac{R_{DS(M1)}}{R_{DS(M2)}} \right) + R_{DS(M1)} = R_{lin}(1 + \kappa) + R_{DS(M1)}, \quad (3.28)$$

com κ dado pela expressão

$$\kappa = \frac{\left(\frac{W}{L}\right)_2 (\sqrt{1 + i_{r2}} - 1)}{\left(\frac{W}{L}\right)_1 (\sqrt{1 + i_{r1}} - 1)}, \quad (3.29)$$

onde i_{r1} e i_{r2} são os níveis de inversão de dreno dos transistores M_1 e M_2 , respectivamente. A expressão para R_{DS} (ou $1/gm_d$) usando o modelo UICM é dada pela equação (A.5) do Anexo A. O polo de baixa frequência é dado pela equação

$$f_{p(HPF)} = \frac{1}{2\pi R_{eq} C_2}. \quad (3.30)$$

As equações acima mostram que uma resistência equivalente de valor elevado e com linearidade dependente quase exclusivamente de R_{lin} pode ser conseguida fazendo-se $R_{lin}(1 + \kappa) \gg R_{DS(M1)}$.

Para concluir, é importante ressaltar que há ainda uma grande variedade de arquiteturas de amplificadores chaveados que poderiam ser incluídas nesta seção de revisão, como amplificadores a capacitores chaveados e amplificadores *chopper*. Entretanto, neste trabalho arbitrou-se não utilizar circuitos chaveados na construção do amplificador de biosinais. Portanto, esta seção de revisão ficará limitada apenas aos circuitos de tempo contínuo já discutidos.

3.2.4 Comparação entre arquiteturas de amplificadores

Na seção 3.2.1 foram discutidas as principais dificuldades na construção de filtros analógicos para baixas frequências, fazendo uso de dispositivos passivos integrados. Tendo em vista que não se pode contar com capacitores maiores que algumas dezenas de picofarads, ou com resistores maiores que algumas unidades de megaohms, o projeto de filtros para EMG fica restrito à utilização de estruturas ativas para simular dispositivos de baixa condutividade. A seguir, as estruturas de amplificadores da seção anterior serão avaliadas em maiores detalhes, para que se possa definir qual a mais apropriada para ser usada neste trabalho.

A estrutura com filtro e amplificador em série, mostrada na Figura 3.16(a), utiliza os parâmetros de capacitância e resistência do próprio eletrodo. Com base nos valores de parâmetros apresentados na seção 2.2.4, a capacitância C_e é, normalmente, ordens de grandeza maior que qualquer capacitância disponível na forma integrada, o que permite obter um filtro razoavelmente linear (pois a excursão de sinal é pequena) e com polo em uma frequência muito baixa sem a necessidade de uma resistência de valor elevado.

Para essa abordagem, a expressão aproximada da função de transferência, dada pela equação (3.24), mostra que há um compromisso entre estabelecer um nível elevado de atenuação em CC e conseguir um polo em uma frequência baixa o suficiente para aplicações biomédicas. Além disso, necessário que o valor de g_m seja ajustável, pois os parâmetros do modelo do eletrodo são fortemente dependentes das características das interfaces eletrodo-eletrólito-pele e apresentam um larga margem de variação. Na arquitetura mostrada na Figura 3.16(a), o ajuste de g_m é feito por *trimming a laser* do resistor R_g .

É evidente que um sistema de aquisição que necessite de ajuste a cada vez que os eletrodos forem posicionados em um paciente é inconveniente. Porém, há a possibilidade de utilização dessa estrutura em conjunto com pseudo-resistores, o que permitiria obter um polo em baixa frequência a despeito das variações nas características dos componentes.

A alternativa seguinte, ilustrada na Figura 3.17, consiste em um filtro passa-altas ativo que faz uso de um integrador na malha de realimentação do amplificador de biosinais. A função de transferência desse tipo de circuito, dada na equação (3.25), mostra que o polo é definido pelo produto $A_v K_i$.

O fato de o polo ser uma função do ganho do amplificador A_v , torna necessário um ganho de integração K_i muito baixo, o que, por sua vez, requer uma das duas abordagens: o uso de um capacitância C_i de valor muito elevado; ou uma transcondutância g_{mi} muito baixa. A primeira pode ser conseguida com o uso de um capacitor externo ao CI. Entretanto, será descartada aqui a possibilidade do uso de componentes passivos externos, pois sua inclusão torna o dispositivo final maior e mais pesado e, portanto, menos apropriado para aplicações portáteis. Assim, a segunda abordagem é mais indicada.

Para esta aplicação, o OTA a ser utilizado no integrador deverá ter linearidade tão alta quanto aquela requerida para o amplificador de biossinais como um todo, uma vez que o integrador recebe em sua entrada um sinal de amplitude elevada (o sinal de saída do amplificador). Portanto, o OTA deve ter baixa transcondutância e linearidade elevada, o que pode ser obtido por meio de alguma das técnicas de linearização e/ou redução de transcondutância apresentadas na seção 3.2.2.2.

Um aspecto comum das técnicas de linearização e redução da transcondutância apresentadas é que elas resultam quase sempre em circuitos muito grandes, e algumas delas são restritas a pequenas excursões de sinal (poucas centenas de milivolts), como já foi comentado. A Tabela 3.2 traz um resumo das características dos amplificadores de transcondutância apresentados na seção 3.2.2.2. Vê-se pela tabela que a construção de um OTA de baixa transcondutância é uma abordagem bastante onerosa em termos de área, especialmente quando se busca uma transcondutância da ordem de unidades picosiemens. Além disso, o amplificador de biossinais requer ainda a capacitância de integração e o amplificador operacional, o que torna o custo de área ainda maior, especialmente se for considerado o problema do ruído *flicker*, cuja redução se faz pelo incremento da área dos transistores.

O único método de linearização de transcondutância não mostrado na Tabela 3.2 é o de linearização por partes, proposto por Gilbert (1998). Isso porque o artigo em questão não apresenta nenhum dado de fabricação. Entretanto, é fácil perceber que, para essa aplicação em particular, o valor necessário da transcondutância requer a utilização de um grande número de pares diferenciais operando em inversão fraca, de modo que o intervalo linear alcance algumas centenas de milivolts. Nesse caso, controlar precisamente o *offset* dos pares diferenciais irá requerer uma área considerável de transistores, a fim de minimizar o *offset* aleatório devido a descasamentos entre dispositivos.

A abordagem adotada para construir o amplificador de corrente mostrado na Figura 3.18 apresenta o mesmo problema de não linearidade discutido anteriormente. Isso porque, apesar de o ganho ser definido pela razão entre relações de aspecto de transistores que definem as resistências equivalentes R_1 e R_2 , a elevada excursão de sinal na entrada da malha de realimentação causa a redução da linearidade do conjunto. Vale notar que o integrador, neste caso, foi substituído por um amplificador operacional com largura de

Tabela 3.2 – Características de alguns amplificadores de transcondutância discutidos na seção 3.2.2.2.

Referência	Metodologia	Tensão de alimentação	Transcondutância	Excursão linear	Medida de linearidade	Área	Tecnologia	Aplicação
Almazan e Leon (2010)	Cancelamento	1 V	150 μ S	100 mV _{pp}	THD ₂ ^a de 40 dB em 1 kHz	-	90 nm	Filtros para WiMax
Mourabit, Lu e Pittet (2005)	<i>Floating gate</i>	1,5 V	0,46 nS a 82 nS	1,2 V _{pp}	Desvio de 1 % em G _m	0,04 mm ²	0,8 μ m	Filtros para baixas frequências
Veeravalli, Sánchez-Sinencio e Silva-Martínez (2002)	<i>Floating gate</i>	$\pm 1,35$ V	9,2 nS	330 mV _{pp}	THD ₃ ^b de 1 %	4,62 mm ²	1,2 μ m	Filtros para baixas frequências
Sarpeshkar, Lyon e Mead (1997)	<i>Bulk driven</i>	-	716 pS	2,8 V _{pp}	THD de 4 %	0,016 mm ²	2 μ m	Filtros para baixas frequências
Veeravalli, Sánchez-Sinencio e Silva-Martínez (2002)	<i>Bulk driven</i>	$\pm 1,35$ V	9,4 nS	900 mV _{pp}	THD ₃ ^b de 0,9 %	0,22 mm ²	1,2 μ m	Filtros para baixas frequências
Kulshreshtha e Bhadauria (2010)	Atenuação ativa	1,8 V	73 μ S	640 mV _{pp} 1,66 V _{pp}	THD de 74 dB em 5 MHz THD de 40 dB em 5 MHz	-	0,18 μ m	Amplificadores pseudo-diferenciais
Furth e Andreou (1995) ^c	Degeneração de fonte	-	-	133 mV _{pp} 58 V _{pp}	Desvio de 1 % em G _m	-	1,2 μ m	-
Veeravalli, Sánchez-Sinencio e Silva-Martínez (2002)	Degeneração de fonte	$\pm 1,35$ V	9,3 nS	162 mV _{pp}	THD ₃ ^b de 0,9 %	1,44 mm ²	1,2 μ m	Filtros para baixas frequências
Arnaud, Fiorelli e Galup-Montoro (2006) ^d	Espelhos de corrente SP e degeneração de fonte	-	2,4 nS a 2,6 nS 33 pS a 35 pS 2,4 nS a 2,8 nS 89 pS a 100 pS	320 mV _{pp} 320 mV _{pp} 1,1 V _{pp} 1 V _{pp}	Desvio de 5 % em G _m	0,04 mm ² 0,09 mm ² 0,15 mm ² 0,15 mm ²	0,8 μ m	Filtros para baixas frequências e integradores

Fonte: O próprio autor.

^a Considera apenas a componente harmônica de segunda ordem.

^b Considera apenas a componente harmônica de terceira ordem.

^c O primeiro caso utiliza o esquema de difusor simples e o segundo o esquema de difusor simétrico. Neste artigo, a transcondutância dos circuitos não foi informada, pois para a técnica utilizada a linearidade é independente do valor da transcondutância. As áreas totais dos circuitos também não foram informadas, porém, alguns dos transistores mostrados possuem W da ordem de milímetros.

^d O artigo apresenta quatro amplificadores de transcondutância nomeados como G_{m1}, G_{m2}, G_{m3} e G_{m4} (contados de cima para baixo na tabela). Os OTAs G_{m1} e G_{m2} utilizam pares diferenciais simples e os OTAs G_{m3} e G_{m4} utilizam pares diferenciais com degeneração de fonte por difusor simétrico.

banda extremamente reduzida, o que confere a esse circuito uma maior economia de área se comparado com os anteriores.

Melhor linearidade para o amplificador como um todo poderia ser alcançada reduzindo-se a largura de banda do amplificador operacional na malha de realimentação. Porém, isso acarretaria um aumento no custo de área. Além disso, uma vez que tanto o polo de baixas frequências quanto a atenuação em CC são dependentes do produto $A_{v2} g_{m1} R_1$, há claramente um compromisso entre aumentar a atenuação imposta ao *offset* do sinal de entrada e reduzir a frequência do polo $f_{p(\text{HPF})}$.

Entre as arquiteturas de amplificadores apresentadas na seção anterior, aquelas utilizando pseudo-resistores são as que permitem obter polos em frequências abaixo de 1 Hz com o menor custo de área. Em (HARRISON; CHARLES, 2003), por exemplo, cada transistor PMOS utilizado como pseudo-resistor possuía dimensões de apenas $4\mu/4\mu$.

A principal desvantagem de amplificadores de biossinais usando pseudo-resistores é sua baixa linearidade, descrita na seção 3.2.2.1, e que é uma característica intrínseca do transistor MOS. Os circuitos mostrados nas Figuras 3.19 e 3.20, por exemplo, possuem um intervalo linear de apenas algumas centenas de milivolts para uma THD de aproximadamente 1 %. Além do mais, a linearidade desse tipo de circuito é fortemente dependente da frequência do sinal processado, diminuindo na medida em que a frequência do sinal se aproxima da frequência do polo passa-altas.

A utilização da estrutura de pseudo-resistor proposta por Tajalli, Leblebici e Brauer (2008), e ilustrada na Figura 3.5, poderia minimizar o problema da não linearidade. Entretanto, a resistência obtida é algumas ordens de grandeza menor que as resistências obtidas com as estruturas das Figuras 3.1 e 3.4, fazendo-se necessária a utilização de grandes capacitores para manter o polo do amplificador em uma frequência baixa.

A última arquitetura de amplificador avaliada, mostrada na Figura 3.21, faz uso de um esquema de multiplicação de corrente para simular uma resistência de valor elevado. Foi mostrado que, fazendo-se $R_{\text{lin}}(1 + \kappa) \gg R_{\text{DS}(M1)}$, a linearidade da resistência equivalente passa a ser determinada principalmente pela linearidade de R_{lin} , a qual pode ser fabricada em polissício, resultando em um dispositivo razoavelmente linear.

Contudo, o fator κ será linear para grandes excursões de sinal apenas se a condição $i_{r1} = i_{r2}$ for verdadeira para todo valor de V_{DS} . Isso só ocorrerá se V_{b1} e V_{b2} forem iguais e, nesse caso, κ será definido apenas pela razão entre as relações de aspecto dos transistores M_2 e M_1 . Isso impõe alguma limitação ao uso dessa técnica, pois obter valores de κ elevados o bastante para alcançar uma resistência R_{eq} da ordem de centenas de gigaohms, apenas utilizando as relações de aspecto, resultaria em transistores impraticavelmente grandes. Se, por outro lado, diferentes tensões de polarização forem utilizadas, o fator κ será dependente da tensão V_{DS} dos transistores, degradando a linearidade do amplificador.

Tabela 3.3 – Resumo das características de alguns amplificadores de biosinais encontrados na literatura.

Referência	Tensão de alimentação	Consumo	Ganho	Freq. de corte (passa-altas)	Freq. de corte (passa-baixas)	Ruído referido à entrada	NEF	THD	Tecnologia	Área
Mohseni e Najafi (2004)	3 V	38,27 μ A	39,3 dB	< 50 Hz	9,1 kHz	7,8 μ V _{RMS} 0,1 Hz a 10 kHz	19,4	1,1 % $V_{out} = 460$ mV _{pp}	1,5 μ m	0,107 mm ²
Steyaert e Sansen (1987)	$\pm 2,5$ V	31 μ A	13,6 dB a 39,4 dB	500 mHz ou 15 Hz ^a	570 Hz	9,6 μ V _{RMS} ou 8,2 μ V _{RMS} ^a	87 ou 74 ^a	0,7 % $V_{out} = 500$ mV _{pp}	3 μ m	1,2 mm ²
Hsu et al. (2009)	1,8 V	76,7 μ A	45 dB	200 mHz	200 Hz	0,278 μ V _{RMS}	-	-	0,18 μ m	0,286 mm ²
Wu, Chen e Kuo (2013)	1 V	< 13 μ A	44,5 dB a 55,9 dB	300 mHz	1 kHz a 10 kHz	4,4 μ V _{RMS} ou 15,3 pA _{RMS} ^b	5,45 ou 0,1 ^b	1,03 % $I_{in} = 20$ nA _{pp}	0,18 μ m	0,04 mm ²
Harrison e Charles (2003) ^c	$\pm 2,5$ V	16 μ A	39,5 dB	25 mHz (sim. 130 mHz)	7,2 kHz	2,2 μ V _{RMS}	4,0	1 % $V_{in} = 16,7$ mV _{pp}	1,5 μ m	0,16 mm ²
Wattanapanitch, Fee e Sarpeshkar (2007)	$\pm 2,5$ V	180 nA	39,8 dB	14 mHz (sim. 2,2 Hz)	30 Hz	1,6 μ V _{RMS}	4,8	1 % $V_{in} = 12,4$ mV _{pp}	1,5 μ m	0,22 mm ²
Zhang, Holleman e Otis (2012) ^d	2,8 V	2,7 μ A	40,85 dB	45 Hz	5,32 kHz	3,06 μ V _{RMS}	2,67	1 % $V_{in} = 7,3$ mV _{pp}	0,5 μ m	0,16 mm ²
Lim e Teo (2006)	1 V	12,5 μ A	40,5 dB	400 mHz	8,5 kHz	3,2 μ V _{RMS}	4,5	1,5 % $V_{in} = 1$ mV _{pp}	0,13 μ m	0,047 mm ²
Yin e Ghovanloo (2007)	1 V	12,1 μ A	40 dB	50 mHz	10,5 kHz	2,2 μ V _{RMS}	2,9	1 % $V_{in} = 1$ mV _{pp}	0,13 μ m	0,072 mm ²
Chae et al. (2009)	0,9 a 1,4 V	0,7 μ A	13,97 dB	50 mHz	22 kHz	14 μ V _{RMS}	-	-	0,18 μ m	-
Chaturvedi e Amrutur (2011)	$\pm 1,7$ V	8 μ A	39,6 dB ou 45,6 dB	15 mHz a 700 Hz	40 Hz a 4 kHz	3,6 μ V _{RMS} 20 Hz a 10 kHz	4,9	1 % $V_{in} = 17,4$ mV _{pp}	1,5 μ m	0,201 mm ²
Li, Zhang e Wang (2012)	$\pm 1,65$ V	2 μ A	40 dB	100 mHz	20 kHz	4,9 μ V _{RMS}	-	-	1,5 μ m	-
	1,5 V	1 μ A	37 dB	5 Hz	7 kHz	5,5 μ V _{RMS}	2,58	1 % $V_{in} = 0,4$ mV _{pp}	0,13 μ m	-
	1,8 V	8,3 μ A	0,6 dB ^e	50 mHz	-	3,8 μ V _{RMS} 50 mHz a 250 Hz	-	0,01 % $V_{out} = 200$ mV _{pp}	0,18 μ m	0,037 mm ²

Fonte: O próprio autor.

- ^a O primeiro valor é obtido com um capacitor externo C_{ext} de 300 nF enquanto o segundo refere-se a C_{ext} de 10 nF.
- ^b O primeiro valor é referido ao nó de entrada do eletrodo enquanto o segundo é referido à entrada do amplificador de corrente. Ambos os valores de ruído são integrados no intervalo de 0,3 Hz - 10 kHz
- ^c Os dados na linha superior referem-se ao **amplificador neural** genérico e na linha inferior referem-se ao amplificador para EEG, projetado com uma largura de banda reduzida.
- ^d Nas linhas superior e inferior são apresentados os dados para o amplificador BPA1 e BPA3, respectivamente.
- ^e O circuito é um filtro passa-altas de ganho aproximadamente unitário.

Tabela 3.4 – Comparação de linearidade entre os circuitos apresentados na Tabela 3.3 usando a THD expressa em dB e ENOB.

Referência	Tipo	THD(dB)	ENOB	Condição
Mohseni e Najafi (2004)	Cascata filtro + amplificador	39,2	6,2	$V_{out} = 460 \text{ mV}_{pp}$
Steyaert e Sansen (1987)	Integrador	43,1	6,9	$V_{out} = 500 \text{ mV}_{pp}$
Wu, Chen e Kuo (2013)	Integrador	39,74	6,3	$I_{in} = 20 \text{ nA}_{pp}$
Harrison e Charles (2003) ^a	Pseudo-resistor ^b	40	6,35	$V_{out} = 1,58 \text{ V}_{pp}$
	Pseudo-resistor ^b	40	6,35	$V_{out} = 1,21 \text{ V}_{pp}$
Wattanapanitch, Fee e Sarpeshkar (2007)	Pseudo-resistor ^b	40	6,35	$V_{out} = 805 \text{ mV}_{pp}$
Zhang, Holleman e Otis (2012) ^c	Pseudo-resistor ^b	36,48	5,77	$V_{out} = 106 \text{ mV}_{pp}$
	Pseudo-resistor ^b	40	6,35	$V_{out} = 100 \text{ mV}_{pp}$
Yin e Ghovanloo (2007)	Pseudo-resistor ^d	40	6,35	$V_{out} = 1,66 \text{ V}_{pp}$
Chaturvedi e Amrutur (2011)	Pseudo-resistor ^d	40	6,35	$V_{out} = 28,3 \text{ mV}_{pp}$
Li, Zhang e Wang (2012)	<i>Current Steering</i>	80	13	$V_{out} = 200 \text{ mV}_{pp}$

a Os dados na linha superior referem-se ao **amplificador neural** genérico e na linha inferior referem-se ao amplificador para EEG, projetado com uma largura de banda reduzida.

b Pseudo-resistores conectados como diodo.

c Nas linhas superior e inferior são apresentados os dados para o amplificador BPA1 e BPA3, respectivamente.

d Pseudo-resistores polarizados com tensão constante.

Fonte: O próprio autor.

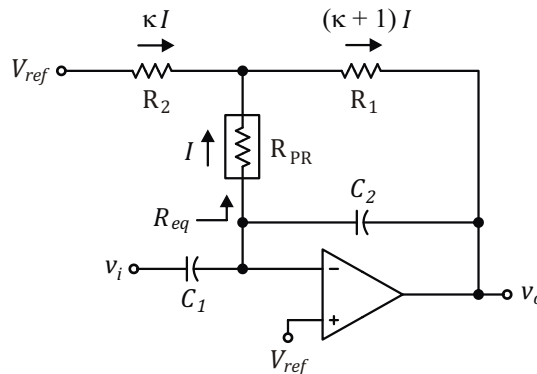
A Tabela 3.3 traz um resumo das características dos amplificadores avaliados. Com base nos dados da tabela e no que foi discutido, vê-se que nenhuma das arquiteturas avaliadas satisfaz completamente os requisitos do amplificador de biossinais desejado, tal como foi especificado na seção 3.1. Porém, o que foi apresentado até aqui servirá de base para o desenvolvimento do amplificador de biossinais deste trabalho.

3.3 Projeto do amplificador de biossinais

O ponto chave para a definição da topologia a ser adotada para o amplificador é sua linearidade e seu custo em área de silício. Para uma comparação mais apropriada das topologias de amplificadores apresentadas na seção anterior, a THD dos circuitos da Tabela 3.3, expressa em dB, é apresentada na Tabela 3.4. Quando expressa desse modo, a THD permite avaliar diretamente a precisão máxima que o canal de aquisição completo poderá ter em termos de número efetivo de bits, ou ENOB. Deve-se observar que as linearidades dos circuitos necessitam ser comparadas levando-se em conta também a excursão de sinal, visto que, na literatura, quase sempre é apresentada como métrica de linearidade a excursão de saída ou de entrada correspondente à THD de 40 dB (ou 1 %).

Vê-se na Tabela 3.4 que dentre as topologias discutidas na seção anterior, a última, utilizando *current steering* (Figura 3.21), é claramente a que possui a linearidade mais elevada. No entanto, sua excursão linear é limitada a uma pequena amplitude de sinal. O motivo é que o ajuste das razões de aspecto dos transistores M_1 e M_2 não é suficiente

Figura 3.22 – Amplificador de biossinais empregando um pseudo-resistor e uma rede de atenuação passiva na malha de realimentação para estabelecer um polo em baixa frequência com elevadas linearidade e excursão de saída.



Fonte: O próprio autor.

para obter valores elevados do fator κ , como já foi explicado. Para que a resistência equivalente alcance a faixa de centenas de gigaohms, os transistores devem operar em condições de inversão diferentes ($V_{b2} > V_{b1}$), resultando em um fator κ dependente da tensão de dreno de M_1 e M_2 e, conseqüentemente, do sinal de saída do circuito. Ainda assim, essa arquitetura de amplificador apresenta um grande potencial para melhorias e servirá de base para a arquitetura de amplificador proposta neste trabalho.

3.3.1 Realimentação usando rede T

O circuito mostrado na Figura 3.22 ilustra uma versão modificada do circuito da Figura 3.21. Aqui, o uso de um atenuador passivo (rede T) na malha de realimentação, e o uso de um pseudo-resistor na posição indicada, permitem obter duas características importantes do amplificador de biossinais. Primeiro, a resistência equivalente R_{eq} , que define o polo juntamente com C_2 , é igual à resistência do pseudo-resistor multiplicada por um fator κ , o qual é uma função da relação entre os resistores R_1 e R_2 , de acordo com a expressão

$$R_{eq} = R_1 + \left(1 + \frac{R_1}{R_2}\right) R_{PR} \approx \kappa \cdot R_{PR}, \quad (3.31)$$

onde R_{PR} é a resistência incremental do pseudo-resistor. Segundo, o pseudo-resistor está submetido a uma diferença de potencial v_{PR} de amplitude muito menor do que a amplitude de sinal na saída do amplificador. Essa amplitude também é definida pelo divisor resistivo formado por R_1 e R_2 e seu valor é dado por

$$v_{PR} = v_o \left(\frac{R_2}{R_1 + R_2} \right) = \frac{v_o}{\kappa}. \quad (3.32)$$

Deve-se notar que a divisão não é afetada pela corrente desviada pelo pseudo-resistor, pois esta é muito pequena em comparação com a corrente através de R_1 e R_2 .

Embora seja conhecido que a redução da excursão de sinal sobre um dispositivo torna sua relação $I \times V$ mais linear, o ganho na linearidade com o uso da rede T pode ser demonstrado expandindo-se uma função genérica $R_{PR} = R(v)$ em série de Taylor. A resistência incremental do pseudo-resistor em torno de $v = 0$, quando este é submetido à excursão total do sinal de saída do amplificador, é dada por

$$R_{PR} = R(v) = R(v)|_{v=0} + \left. \frac{dR(v)}{dv} \right|_{v=0} v + \left. \frac{d^2R(v)}{dv^2} \right|_{v=0} \frac{v^2}{2} + \left. \frac{d^3R(v)}{dv^3} \right|_{v=0} \frac{v^3}{6} + \dots \quad (3.33)$$

Agora, para o pseudo-resistor em conjunto com a rede T, a excursão de sinal a qual este está submetido é dada por $v' = v/\kappa$, e a resistência R'_{PR} pode ser descrita por

$$R'_{PR} = R(v') = R(v')|_{v'=0} + \left. \frac{dR(v')}{dv'} \right|_{v'=0} v' + \left. \frac{d^2R(v')}{dv'^2} \right|_{v'=0} \frac{v'^2}{2} + \left. \frac{d^3R(v')}{dv'^3} \right|_{v'=0} \frac{v'^3}{6} + \dots \quad (3.34)$$

Observando-se que

$$\left. \frac{d^jR(v)}{dv^j} \right|_{v=0} = \left. \frac{d^jR(v')}{dv'^j} \right|_{v'=0}, \text{ para } j = 0,1,2,3,\dots \quad (3.35)$$

resulta em

$$R'_{PR} = R(v/\kappa) = R(v)|_{v=0} + \left. \frac{dR(v)}{dv} \right|_{v=0} \frac{v}{\kappa} + \left. \frac{d^2R(v)}{dv^2} \right|_{v=0} \frac{v^2}{2\kappa^2} + \left. \frac{d^3R(v)}{dv^3} \right|_{v=0} \frac{v^3}{6\kappa^3} + \dots, \quad (3.36)$$

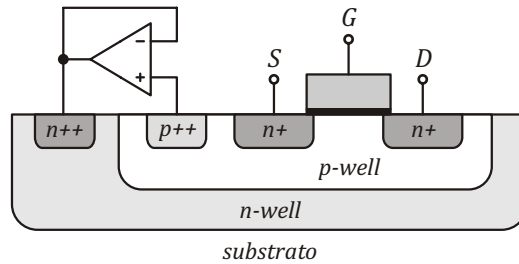
onde nota-se que os termos não lineares são atenuados pelos fatores $1/\kappa$, $1/\kappa^2$, $1/\kappa^3$, e assim por diante. Como esperado, a resistência do pseudo-resistor dada pela equação (3.36) é mais linear se comparada àquela descrita pela equação (3.33). É importante observar que, ao estabelecer uma malha de realimentação com ganho CC maior que 1, a tensão de *offset* na entrada do amplificador operacional aparecerá na saída multiplicada pelo fator κ . Portanto, o projeto do amplificador deve garantir tensão uma de *offset* baixa o suficiente para que esta não interfira no funcionamento do circuito.

3.3.2 Estruturas melhoradas de pseudo-resistores

O emprego de estruturas simétricas de pseudo-resistores em conjunto com a rede T descrita anteriormente permite obter um amplificador com linearidade mais alta. Assim, se a fuga de cargas através dos diodos parasitas no interior do pseudo-resistor for desprezível em comparação com a corrente nos canais dos MOSFETs, pode-se adotar uma das estruturas simétricas ilustradas na Figura 3.4. Porém, no caso de as fugas nos diodos parasitas não serem desprezíveis, essas estruturas simétricas são inadequadas, pois correntes de fuga em nós de alta impedância podem gerar uma tensão de *offset* adicional e fazer com que o amplificador opere fora da condição para a qual foi projetado.

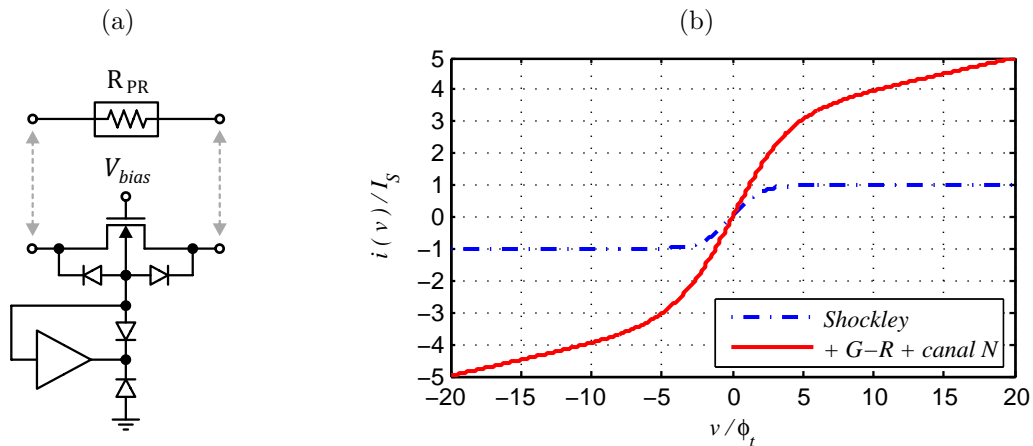
De qualquer modo, os dados obtidos por simulações para as corrente nos diodos inversamente polarizados são pouco confiáveis, já que os dispositivos (diodos e MOSFETs)

Figura 3.23 – Transistor NMOS isolado utilizando o poço N como *driven guard* para minimizar a fuga de cargas para o substrato.



Fonte: O próprio autor.

Figura 3.24 – Pseudo-resistor usando um único NMOS com *driven guard*. (a) Esquemático. (b) Curvas conceituais de corrente normalizada em relação à I_S (corrente de saturação reversa) em função da tensão normalizada.



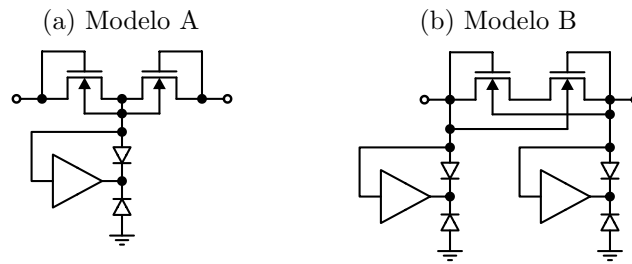
Fonte: O próprio autor.

não são apropriadamente modelados em condições de operação tão peculiares quanto as requeridas nesta aplicação. Portanto, não há meios de assegurar que uma das estruturas simétricas mencionadas anteriormente irá funcionar como esperado com base unicamente em resultados de simulações.

Uma forma de lidar com as fugas de corrente é por meio do uso de transistores NMOS isolados, disponíveis na tecnologia usada neste projeto. Com estes dispositivos, um esquema do tipo *driven guard* (RICH, 1983) pode ser adotado para minimizar a fuga de cargas para o substrato, como ilustrado na Figura 3.23. O método consiste em ler a tensão no poço P e aplicá-la ao poço N, de modo que a diferença de potencial entre os poços seja nula e nenhuma corrente flua através da junção entre eles.

Muitas topologias de pseudo-resistor podem ser usadas empregando o esquema de *driven guard*. A mais simples, mostrada na Figura 3.24 (a), utiliza um único transistor NMOS e a tensão V_{bias} é usada para controlar a condutividade através do canal. Curvas conceituais de corrente em função da tensão sobre o pseudo-resistor são ilustradas na

Figura 3.25 – Pseudo-resistores simétricos usando dois transistores NMOS isolados com *driven guard*.



Fonte: O próprio autor.

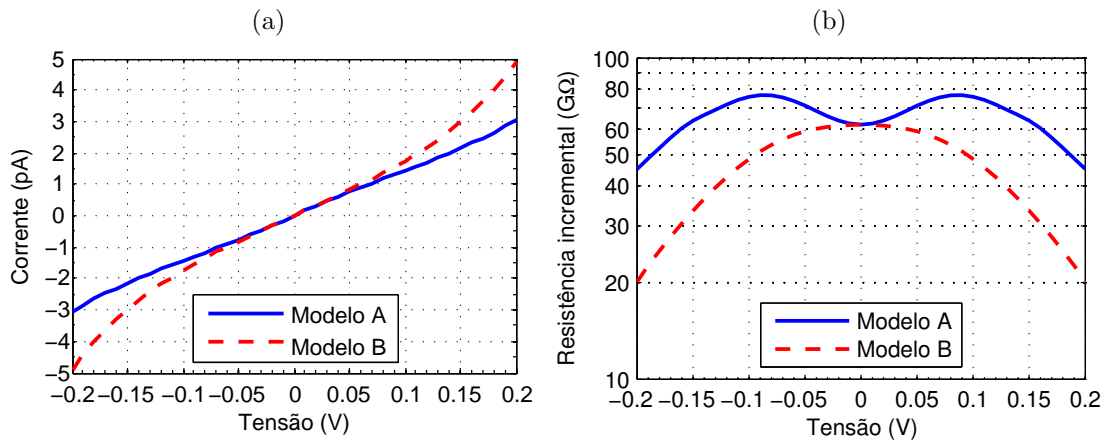
Figura 3.24 (b). A curva tracejada refere-se à relação $I \times V$ ideal dos diodos, descrita pela equação de Shockley. Sob baixas tensões de polarização (até poucas vezes ϕ_t), os fenômenos de geração e recombinação (G-R) dentro da região de depleção podem contribuir significativamente para a condutividade do diodo (SZE; NG, 2006, p. 96), o que, juntamente com a corrente de *sub-threshold* do NMOS, resulta em uma corrente real (linha contínua) maior do que aquela descrita pela relação ideal. Entretanto, os modelos de diodos para simulação, fornecidos pela *foundry* para essa tecnologia, não levam em consideração nenhum desses efeitos físicos. Assim, nenhum resultados de simulação confiável pode ser obtido com os modelos de diodos disponíveis.

Esquemas de pseudo-resistores com *driven guard* que não se baseiam na condutividade de diodos de junção são mostrados na Figura 3.25. Estes são essencialmente as versões usando transistores NMOS isolados do pseudo-resistor simétrico tipo série mostrado na Figura 3.4 (a). Nesse caso, desde que a curva $I \times V$ do conjunto seja dominada pelas condutividades de canal dos MOSFETs, será possível obter resultados mais confiáveis de simulações usando o modelo PSP, disponível na tecnologia utilizada. As curvas de corrente e resistência em função da tensão aplicada obtidas por simulação são mostradas na Figura 3.26.

O uso de transistores NMOS no esquema mostrado anteriormente garante melhor linearidade e simetria, contudo, reduz a resistência incremental. Isso é potencialmente problemático devido ao nível de ruído, neste caso especificamente, ser inversamente relacionado ao valor da resistência, como será mostrado adiante. Além disso, devido à elevada condutividade dos transistores desta tecnologia, mesmo um transistor PMOS conectado como diodo requer um canal muito longo para que seja obtida uma condutividade baixa o bastante para esta aplicação.

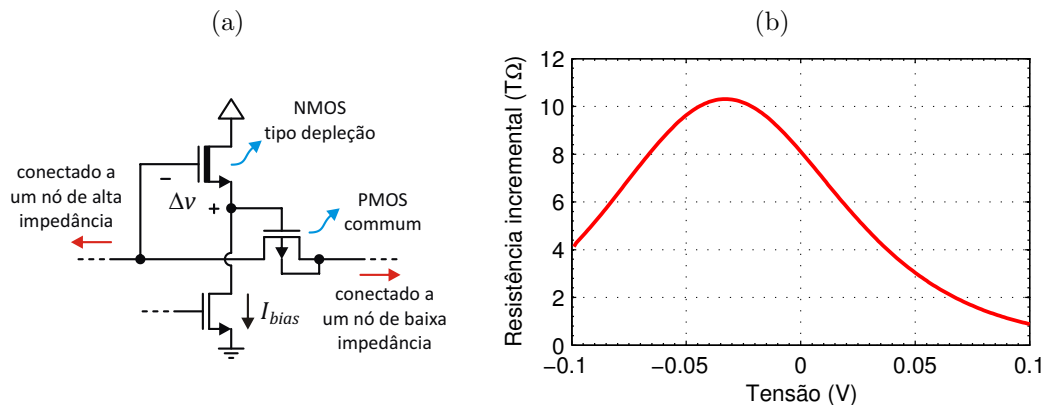
Um esquema melhorado de pseudo-resistor utilizando um transistor PMOS é mostrado na Figura 3.27(a). Este emprega um *level shifter* para controlar o nível de inversão do dispositivo condutor, de modo semelhante ao circuito da Figura 3.5. Um transistor NMOS de depleção (ver Anexo B) foi utilizado a fim de garantir um pequeno valor positivo

Figura 3.26 – Curvas simuladas de corrente e resistência incremental para os pseudo-resistores simétricos da Figura 3.25. Os transistores usados possuem $W = L = 4 \mu\text{m}$.



Fonte: O próprio autor.

Figura 3.27 – Pseudo-resistor PMOS com circuito de polarização para reduzir a condutividade do dispositivo. (a) Esquemático. (b) Resistência incremental em função da diferença de potencial entre os terminais do dispositivo.



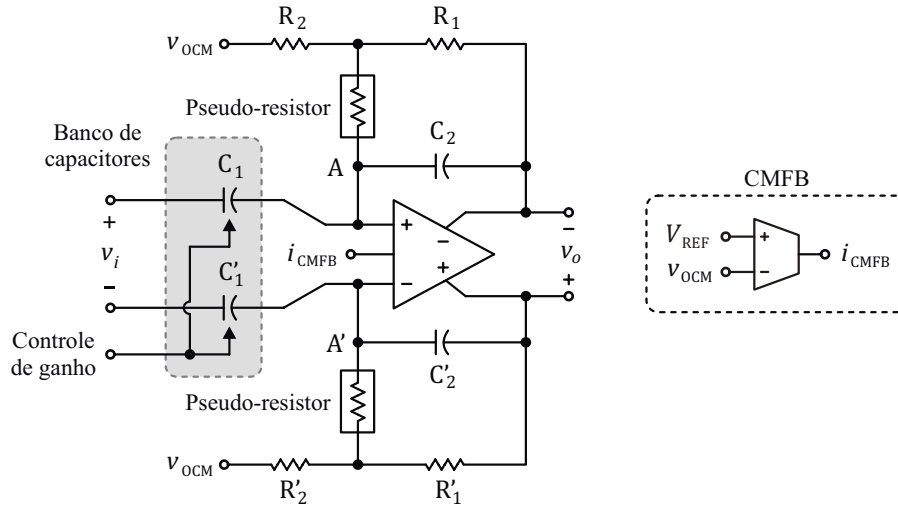
Fonte: O próprio autor.

para Δv . Além de não requerer nenhum recurso especial da tecnologia, esta estrutura tem a vantagem de poder ser ajustada por meio da corrente de polarização I_{bias} , para compensar o impacto das variações de processo e de temperatura sobre a resistência do dispositivo. Outra vantagem é que essa estrutura utiliza transistores menores, pois o comprimento de canal não é o único parâmetro de ajuste, o que reduz as capacitâncias parasitas e seu impacto sobre o ganho CA do amplificador.

3.3.3 Projeto elétrico

O amplificador de biossinais proposto é mostrado na Figura 3.28. Trata-se de uma versão totalmente diferencial do circuito proposto na seção 3.3.1. A arquitetura diferencial

Figura 3.28 – Amplificador de biossinais proposto.



Fonte: O próprio autor.

foi escolhida com base no que foi discutido na seção 3.1.2. A fim de economizar área, os resistores do atenuador na malha de realimentação são usados também para medir a tensão de modo comum da saída, v_{ocm} , usada pelo circuito de CMFB. A função de transferência do circuito é dada pela equação

$$H(s) = A_v \cdot \frac{s}{(s/\omega_{p1} + 1)(s/\omega_{p2} + 1)}, \quad (3.37)$$

onde A_v é o ganho do amplificador dentro da banda de passagem, dado pela relação

$$A_v = \frac{C_1}{C_2}, \quad (3.38)$$

ω_{p1} é o polo de baixa frequência que define o filtro passa altas, dado por

$$\omega_{p1} = \frac{1}{\kappa C_2 R_{PR}}, \quad (3.39)$$

e ω_{p2} é o polo de alta frequência que define o filtro passa baixas, dado por

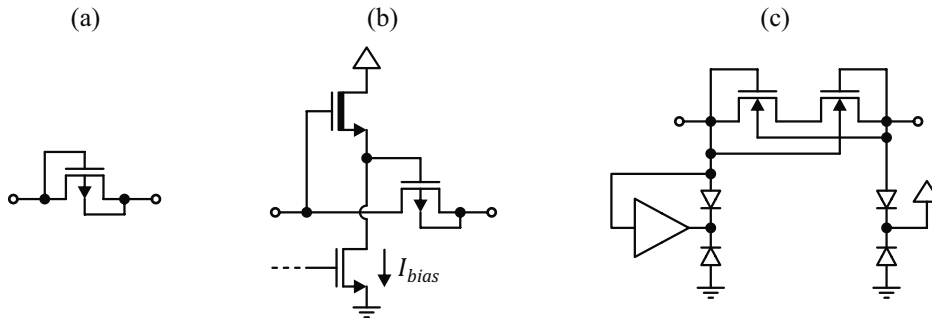
$$\omega_{p2} = \frac{2\pi \text{GBW}_{op}}{A_v}, \quad (3.40)$$

onde GBW_{op} é o produto ganho-largura de faixa do amplificador operacional. Os bancos de capacitores permitem o controle do ganho de malha fechada do amplificador através do ajuste da capacitância de entrada C_1 , como será mostrado mais adiante.

3.3.3.1 Pseudo-resistor

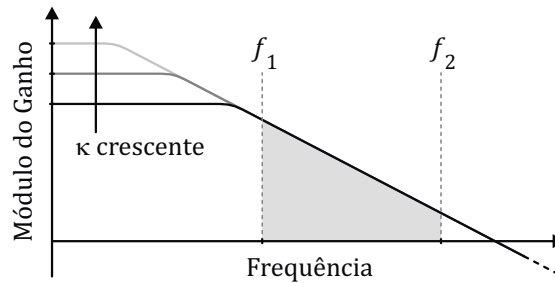
Três diferentes estruturas de pseudo-resistores foram avaliadas neste trabalho com o objetivo de encontrar aquela que resultasse no menor custo de área. As estruturas são mostradas na Figura 3.29. A estrutura simétrica com *driven guard* utiliza um único

Figura 3.29 – Estruturas de pseudo-resistores para a comparação.



Fonte: O próprio autor.

Figura 3.30 – Função de transferência para o ruído gerado pelo pseudo-resistor no amplificador da Figura 3.28. κ é o fator de atenuação dado pela equação (3.31).



Fonte: O próprio autor.

buffer devido a apenas um dos terminais do pseudo-resistor estar ligado a um nó de alta impedância no amplificador de biossinais proposto.

A escolha da topologia de pseudo-resistor foi feita com base no valor necessário para as capacitâncias C_1 e C_2 e no impacto do pseudo-resistor no ganho do amplificador. Para essa comparação, é interessante avaliar a contribuição do ruído gerado pelo pseudo-resistor no ruído total do amplificador de biossinais, pois ele irá ditar o dimensionamento tanto do pseudo-resistor em si quanto dos capacitores.

Pode ser mostrado que a função de transferência que relaciona o ruído na saída do amplificador com o ruído gerado por cada pseudo-resistor é dada pela equação

$$H_{n(\text{PR})}(s) = \frac{\kappa}{sC_2R_{\text{PR}}\kappa + 1}, \quad (3.41)$$

cujo módulo para diferentes valores de κ (fator de atenuação comentado anteriormente) é ilustrado na Figura 3.30. Vê-se que dentro da banda de interesse, acima da frequência de corte, a função de transferência do ruído é independente de κ , podendo ser aproximada pela equação

$$|H_{n(\text{PR})}(f)| = \frac{1}{2\pi f C_2 R_{\text{PR}}}. \quad (3.42)$$

Como a densidade espectral de ruído de um resistor é dada por

$$\overline{v_{n(\text{PR})}^2} = 4kTR_{\text{PR}}, \quad (3.43)$$

onde k é a constante de Boltzmann e T é a temperatura absoluta, a tensão RMS de ruído referida à saída, resultante dentro da banda de interesse do sinal, será

$$V_{\text{no(PR)}} = \frac{\sqrt{2kT}}{\pi C_2 \sqrt{R_{\text{PR}}}} \sqrt{\frac{1}{f_1} - \frac{1}{f_2}}, \quad (3.44)$$

onde f_1 e f_2 representam os limites inferior e superior da faixa de frequências de interesse, respectivamente, e o fator $\sqrt{2}$ deve-se à arquitetura diferencial possuir dois pseudo-resistores como fontes de ruído independentes. Esse resultado mostra que o nível de ruído possui uma relação inversa com a raiz quadrada da resistência incremental do pseudo-resistor. Isto significa que quanto menor a resistência incremental do pseudo-resistor, maior deverá ser a capacitância C_2 (e conseqüentemente C_1) necessária para manter o nível de ruído em um valor aceitável.

É importante notar que, nos cálculos anteriores, foi assumido que a densidade espectral de potência do ruído do pseudo-resistor tem uma característica de ruído térmico, tal como um resistor linear comum. Essa hipótese se baseia no fato de que a simulação de ruído, realizada para estimar o nível de ruído do amplificador, é executada para o circuito em um ponto de operação CC. Nessas condições, a diferença de potencial sobre o pseudo-resistor é zero, ele se encontra na região de triodo e nenhuma corrente flui através dele. Por isso, assim como na análise de ruído em circuitos chaveados, não se espera que o pseudo-resistor gere ruído do tipo *flicker*, uma vez que este está condicionado à existência de uma corrente pelo canal (Schneider, Marcio Cherem and Galup-Montoro, Carlos, 2010, p. 136). Resultados obtidos por meio de simulações confirmam esta hipótese.

Na prática, essa dependência do ruído com a corrente através do pseudo-resistor sugere a incômoda possibilidade de que o ruído do amplificador de biossinais irá variar em função do valor instantâneo do sinal na sua saída. A análise do ruído do pseudo-resistor nessas condições é, entretanto, demasiadamente complexa e vai está além do escopo deste trabalho.

A Tabela 3.5 mostra os resultados de simulações dos pseudo-resistores da Figura 3.29. As estruturas foram simuladas nas condições de processo de fabricação e temperatura que resultam na máxima e mínima condutividades. Para cada estrutura, o fator κ foi escolhido de modo que a THD resultante fosse superior a 74 dB ($< 0,02\%$). O comprimento de canal dos transistores e o valor de C_2 foram ajustados para alcançar o nível de ruído desejado na saída do amplificador, fixado aqui em cerca de $75 \mu V_{\text{RMS}}$ para a faixa de frequências entre 0,5 Hz e 500 Hz (este valor representa uma fração da máxima tensão RMS de ruído calculada na seção 3.1.5, de modo que há ainda uma margem de $120 \mu V_{\text{RMS}}$ para a inclusão do ruído do amplificador operacional). O valor de C_1 foi ajustado para satisfazer a condição $C_1/C_2 = 100$, tal que o ganho do amplificador seja 100 V/V.

Como se pode ver, o pseudo-resistor PMOS com *level shifter* requer menor comprimento de canal e, conseqüentemente, interfere menos no ganho final do amplificador.

Tabela 3.5 – Comparação entre resultados de simulação do amplificador para três estruturas de pseudo-resistores. Para cada estrutura, as linhas superior e inferior representam as condições de maior e menor condutividade, respectivamente.

Topologia	W/L	κ	C_2	Condição de processo ^a	Temp.	Ruído	THD	$f_p(\text{HPF})$	Ganho
Figura 3.29(a)	1/120	10,0	700	ff	40	80,2	74,4	47,4	96,8
				ss	0	6,32	112	0,34	96,9
Figura 3.29(b)	1/16 e 16/1 ^b	7,14	280	sf	40	71,5	74,7	20,8	98,9
				fs	0	9,23	103	0,49	98,9
Figura 3.29(c)	1/120	3,85	1000	ff	40	74,7	78,2	139	92,7
				ss	0	8,66	88,3	1,19	93,0
Unidade	$\mu\text{m}/\mu\text{m}$	-	fF	-	°C	μV_{RMS}	dB	mHz	V/V

a - As letras “f” e “s” indicam os *corners* de processo *fast* e *slow*, respectivamente. A primeira letra do par se refere aos transistores NMOS e a segunda aos transistores PMOS.

b - O segundo par W e L refere-se à dimensão do transistor NMOS de depleção usado como *buffer*, com uma corrente de polarização de 10 nA.

Fonte: O próprio autor.

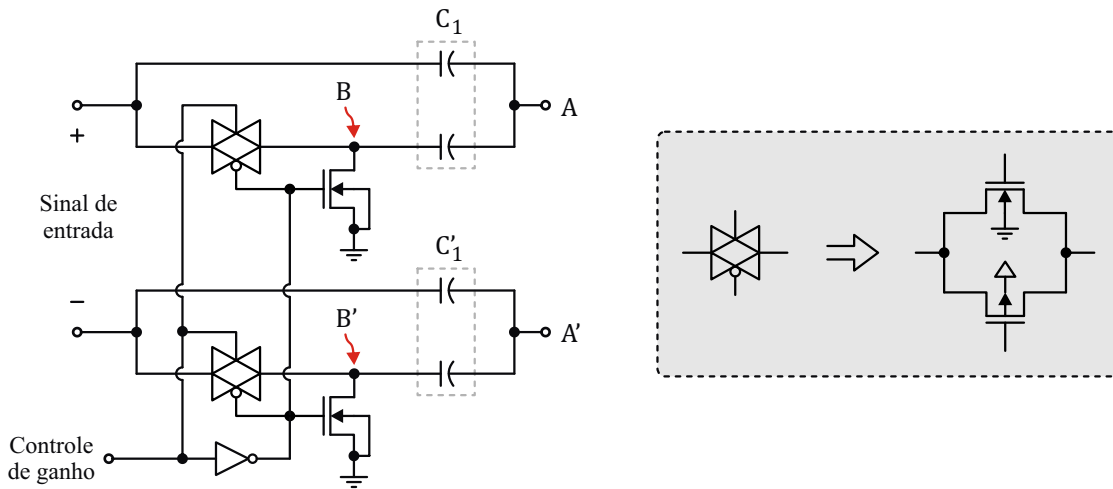
Requer também os menores capacitores C_1 e C_2 . A estrutura, contudo é bastante assimétrica e o ganho de linearidade com a rede T se deve mais ao aumento da resistência efetiva do que à redução da excursão em si. É evidente que se pode empregar o esquema de *level shifter* na estrutura simétrica com transistores NMOS isolados, aumentando a resistência com um custo menor de área. Porém, o circuito resultante seria demasiadamente complexo para a aplicação. Assim, será adotada a estrutura mostrada na Figura 3.29(b).

3.3.3.2 Banco de capacitores

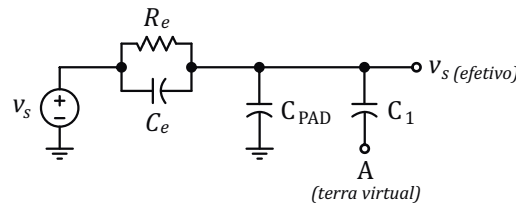
O esquema de banco de capacitores empregado está ilustrado na Figura 3.31. O valor da capacitância C_1 é programado por meio de chaves, conectando-se uma das placas do capacitor à entrada ou ao terra, de modo que o ganho possa ser definido com os valores de 50 V/V ou 100 V/V. A conexão ao terra é necessária para evitar que os nós B e B' se tornem nós de alta impedância quando o ganho for ajustado para o seu menor valor. Se isso não for feito, um par de polo e zero será criado em baixas frequências, modificando a resposta em frequência do amplificador de biossinais.

Para considerar a variação de processo do capacitores (cerca de $\pm 10\%$), os capacitores C_1 e C_2 foram ajustados para 310 fF e 31 pF, respectivamente. O capacitor C_1 foi dividido em dois pares de capacitores de 7,75 pF, para que cada par seja desenhado no *layout* em uma configuração do tipo centroide comum com o par correspondente do capacitor C'_1 . As chaves conectadas à entrada são do tipo complementar (*transmission gate*). As chaves conectadas ao terra usam apenas transistores NMOS. Todos os tran-

Figura 3.31 – Banco de capacitores.



Fonte: O próprio autor.

Figura 3.32 – Circuito equivalente de pequenos sinais para o sistema eletrodo-PAD-capacitor de entrada (equivalente *single-ended*).

Fonte: O próprio autor.

sistemas possuem dimensões de $5\ \mu\text{m}/1\ \mu\text{m}$. As dimensões foram escolhidas para garantir uma baixa resistência dreno-fonte (unidades de kilohms, no máximo).

O circuito equivalente total da entrada do amplificador, incluindo a capacitância parasita do PAD de entrada e a capacitância e resistência do eletrodo (seção 2.2.4), é ilustrado na Figura 3.32. A parcela do sinal que aparece entre os terminais de C_1 , dada pela equação

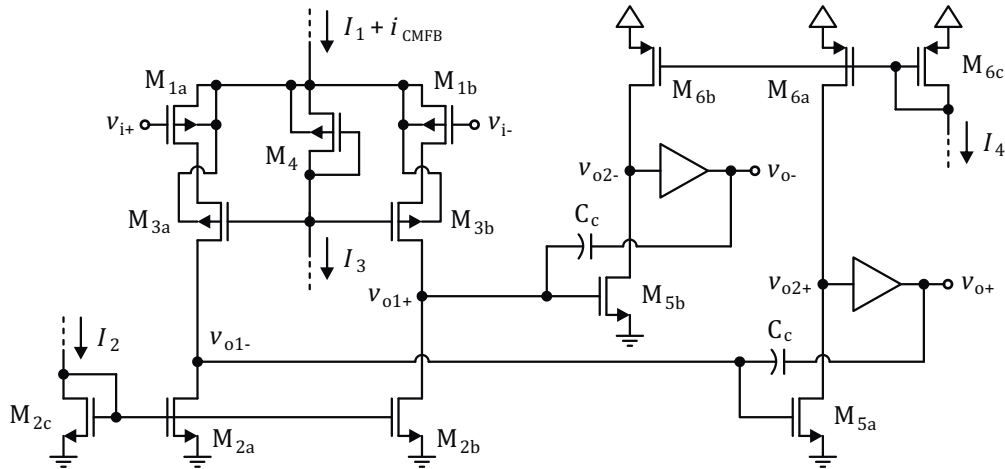
$$\frac{V_{s(\text{efetivo})}(s)}{V_s(s)} = \frac{sR_e C_e + 1}{sR_e(C_e + C_1 + C_{\text{PAD}}) + 1}, \quad (3.45)$$

corresponde ao sinal de entrada efetivo do sistema. Pode-se ver que, desde que a capacitância C_e seja muito maior que $C_1 + C_{\text{PAD}}$, a atenuação do sinal pelo divisor capacitivo pode ser desprezada. Isso de fato ocorre, visto que a capacitância C_e , dada na seção 2.2.4, é tipicamente da ordem de dezenas de nanofarads enquanto $C_1 + C_{\text{PAD}}$ se encontra na faixa de dezenas de picofarads.

3.3.3.3 Amplificador operacional

A Figura 3.33 mostra o esquemático do amplificador operacional usado. O circuito consiste em um amplificador de dois estágios com compensação Miller, o qual é o mais

Figura 3.33 – Esquemático do amplificador operacional empregado.



Fonte: O próprio autor.

apropriado para aplicações que necessitam de baixo ruído e excursão de saída elevada (RAZAVI, 2002, p. 314). Os *buffers* de saída empregados serão apresentados adiante.

Desde que seja garantido um ganho elevado no primeiro estágio do amplificador, o ruído total na saída será dominado pela contribuição dos transistores M_1 (M_{1a} e M_{1b}) e M_2 (M_{2a} e M_{2b}). A densidade espectral de ruído gerado por M_1 na saída do amplificador em malha fechada é dada por

$$\overline{v_{no1}^2} = \frac{1}{A_f^2} \left(2 \frac{4\gamma_1 kT}{g_{m1}} + 2 \frac{K_{f1}}{C'_{ox1} W_1 L_1 f^{m_{f1}}} \right), \quad (3.46)$$

onde γ é o fator de excesso de ruído térmico, k é a constante de Boltzmann, T é a temperatura absoluta, K_f é o coeficiente do ruído *flicker*, m_f é a inclinação da curva de densidade espectral do ruído *flicker*, quando esta é apresentada em escala logarítmica, C'_{ox1} é a capacitância por unidade de área da porta, g_m é a transcondutância do dispositivo e W e L são a largura e o comprimento de canal, respectivamente. O fator A_f é a atenuação na malha de realimentação. Para frequências acima da frequência do polo passa-altas do amplificador, A_f é dada por

$$A_f = \frac{C_2}{C_1 + C_2 + C_i}, \quad (3.47)$$

onde C_i é a capacitância de entrada do amplificador operacional. Como os capacitores do banco estão sempre conectados ao terra ou à entrada, a atenuação na realimentação é a mesma, independentemente do ganho programado.

Antes de iniciar o projeto elétrico é necessário obter as equações para o dimensionamento dos dispositivos. Integrando-se $\overline{v_{no1}^2}$ na faixa de frequências de f_1 a f_2 resulta na potência de ruído referida à saída

$$P_{no1} = \frac{1}{A_f^2} \left[2 \frac{4\gamma_1 kT (f_2 - f_1)}{g_{m1}} + 2 \frac{K_{f1} \left(f_2^{(1-m_{f1})} - f_1^{(1-m_{f1})} \right)}{C'_{ox1} W_1 L_1 (1 - m_{f1})} \right]. \quad (3.48)$$

Como foi feito para o ruído do pseudo-resistor, aos transistores do par diferencial será atribuída uma fração do ruído máximo calculado na seção 3.1.5. Assim

$$P_{\text{no1}} = V_{\text{no1}}^2 = \frac{V_{\text{no(max)}}^2}{2}. \quad (3.49)$$

Por meio das equações do modelo UICM (Anexo A), pode-se escrever a equação da transcondutância do par diferencial como

$$g_{m1} = \frac{2S_1 I_{SQP} \cdot i_{f1}}{n_p \phi_t (\sqrt{1 + i_{f1}} + 1)}, \quad (3.50)$$

e a expressão da capacitância de entrada do amplificador operacional como

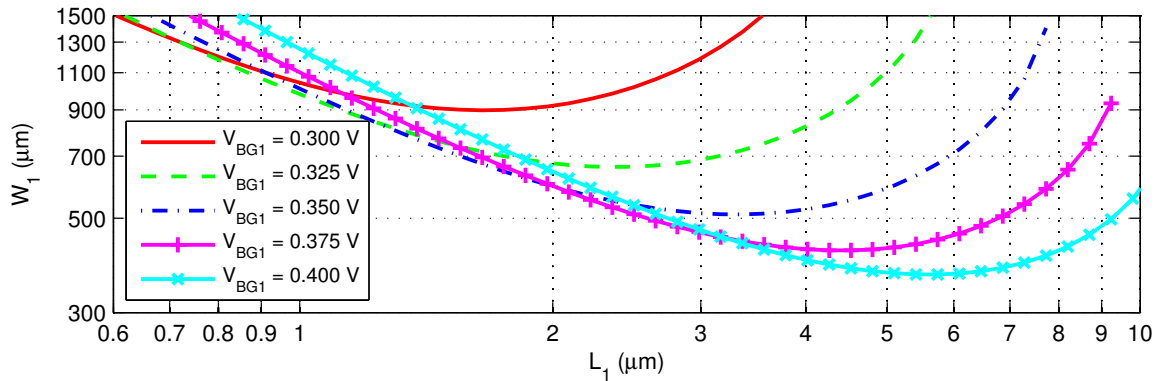
$$C_i = W_1 L_1 \left[C'_{\text{gb1}} + C'_{\text{gs1}} + \frac{C'_{\text{ov}}}{L_1} + \left(\frac{g_{m1}}{g_{m3}} + 1 \right) \left(C'_{\text{gd1}} + \frac{C'_{\text{ov}}}{L_1} \right) \right], \quad (3.51)$$

onde C'_{gb1} , C'_{gs1} e C'_{gd1} são as capacitância entre o terminal de porta e os terminais de corpo, fonte e dreno, respectivamente. O termo C'_{ov} é a capacitância de *overlap* por unidade de largura de canal e g_{m1}/g_{m3} é o ganho de tensão entre os terminais de porta e dreno de M_1 .

As equações (3.47) a (3.51) podem ser combinadas, de modo que restem apenas três variáveis indeterminadas: W_1 , L_1 e i_{f1} . O valor de g_{m3} , que também é indeterminado, pode ser escolhido arbitrariamente como sendo maior que g_{m1} , de modo que o efeito Miller sobre a capacitância porta-dreno de M_1 seja pequeno. Solucionando-se a equação resultante em função de L_1 para diferentes valores de i_{f1} obtém-se uma família de curvas de W_1 que satisfazem a condição de ruído imposta. As curvas são mostradas na Figura 3.34. As seguintes hipóteses foram assumidas nos cálculos:

- O circuito deve operar adequadamente com no mínimo 1,2 V de tensão de alimentação. Assim, para maximizar a excursão de sinal, a tensão de modo comum na entrada deve ser igual a $V_{DD}/2$.
- Para garantir pelo menos 200 mV de tensão fonte-dreno no transistor que gera I_1 , a máxima tensão V_{BG} em M_1 deve ser igual a 400 mV. Isso permite estabelecer um limite superior para o nível de inversão dos transistores do par diferencial.
- O ganho g_{m1}/g_{m3} é assumido ser suficientemente baixo para que C_{gd1} possa ser desprezado.
- $V_{\text{so(max)}} = 1 V_{pp}$ tal que a potência de sinal na saída do amplificador é igual a 0,5 W.
- A largura de banda considerada para o cálculo da potência total de ruído vai de $f_1 = 0,5 \text{ Hz}$ a $f_2 = 500 \text{ Hz}$.
- $V_{\text{no1(max)}} = 100 \mu V_{\text{RMS}}$ (ou $V_{\text{no(max)}}/\sqrt{2}$).

Figura 3.34 – Curvas de W_1 em função de L_1 para diferentes tensões de polarização de M_1 .



Fonte: O próprio autor.

A análise direta da variável W_1 , através das curvas dadas na Figura 3.34, não permite obter um ponto de projeto otimizado em termos de área e consumo de energia. O dimensionamento otimizado dos componentes é mais facilmente obtido por meio das curvas de área de dispositivos e de corrente de polarização do par diferencial, como será demonstrado a seguir.

Para o desenvolvimento que se seguirá é importante ressaltar que nenhum filtro *anti-aliasing* será utilizado entre o amplificador e o conversor A/D, de modo que o próprio amplificador deverá atuar como tal. Portanto, é interessante que a largura de banda do amplificador em malha fechada tenha seu valor mínimo limitado a aproximadamente 5 kHz. Isso implica que o valor de GBW deve ser 500 kHz, para um ganho de malha fechada de 40 dB.

Como margem para variabilidade de processo de resistores³ e capacitores, e para eventuais ajustes que podem levar à redução de GBW do amplificador operacional, como o aumento da capacitância de compensação para garantir a estabilidade, o GBW do amplificador operacional será estabelecido em 1 MHz. Conseqüentemente, a largura de banda do amplificador realimentado será de 10 kHz.

Também é importante considerar que a capacitância de compensação pode representar uma parcela considerável da área do amplificador operacional, de modo que, para obter um resultado verdadeiramente otimizado em termos de área, deve-se somar as áreas de M_1 e C_c . Para o cálculo da área do par diferencial, será estabelecido que os transistores M_{1a} e M_{1b} serão desenhados no *layout* em um padrão do tipo centroide comum, como ilustrado na Figura 3.35. Assim, pode-se estimar a área de M_1 por meio da equação

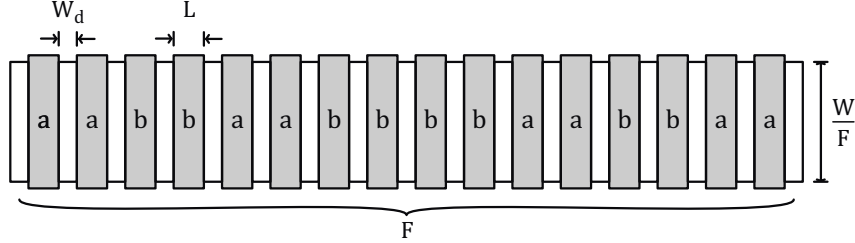
$$A_{M1} \approx 2 W_1 (L_1 + W_d). \quad (3.52)$$

O valor da capacitância é obtido por meio da equação

$$C_c = gm_1 / (2\pi GBW), \quad (3.53)$$

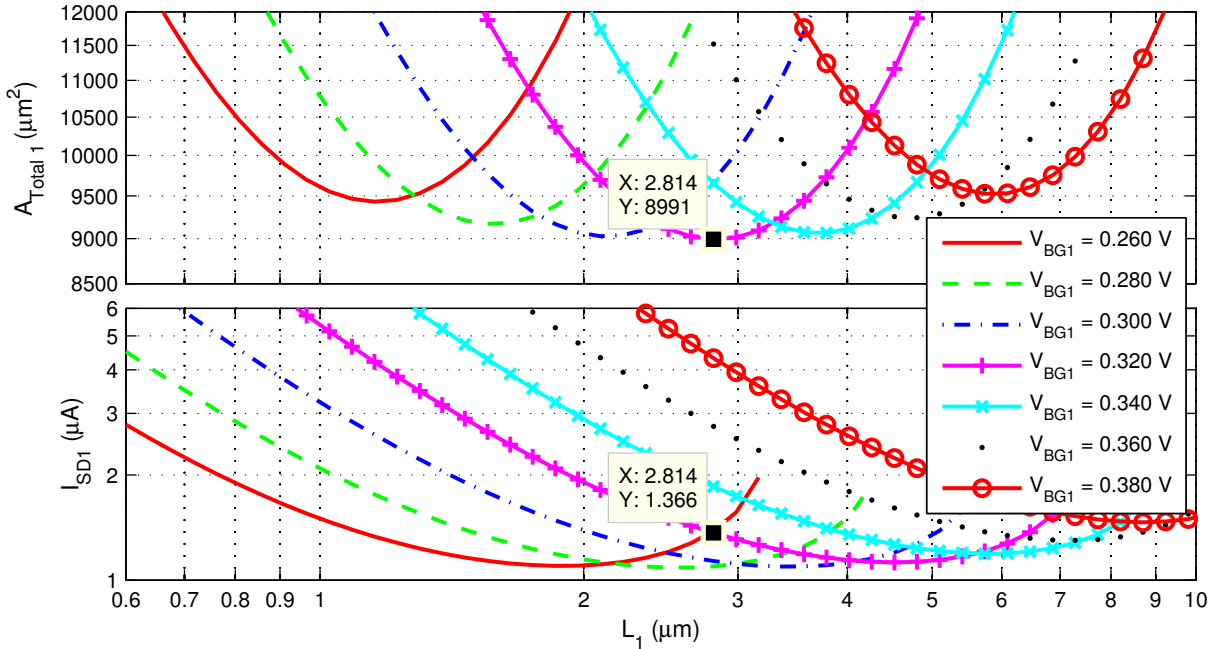
³ Resistores são necessários para a construção de circuitos de referência de corrente.

Figura 3.35 – *Layout* em configuração centroeide comum de um par de transistores. L é o comprimento de canal dos transistores, W_d é a largura mínima da região de difusão, W é a largura do canal e F é o número de partes iguais em que os transistores M_{1a} e M_{1b} serão divididos.



Fonte: O próprio autor.

Figura 3.36 – Curvas de área total ($M_1 + C_c$) e corrente em função de L_1 para diferentes tensões de polarização de M_1 .



Fonte: O próprio autor.

e a área do capacitor de compensação, A_{Cc} , deve ser obtida por meio da equação B.2, dada no Anexo B. Assim, somando-se a área dos transistores com a dos capacitores de compensação (há dois capacitores no circuito diferencial) resulta na primeira componente de área importante a ser minimizada no projeto do amplificador operacional, dada por

$$A_{Total1} \approx A_{M1} + 2A_{Cc}. \quad (3.54)$$

A Figura 3.36 mostra as curvas de A_{Total1} em função de L_1 para diferentes níveis de inversão, denotados pelo valor de V_{BG1} . Pode-se ver que há um ponto de menor área com $V_{BG1} \approx 320$ mV e $L_1 = 2,8$ μ m. Neste ponto, o valor de W_1 é 450 μ m e a corrente de polarização é aproximadamente $1,4$ μ A, como mostrado no gráfico inferior. A fim de

tornar a corrente um múltiplo inteiro de 500 nA e facilitar o espelhamento, escolheu-se um ponto próximo ao mínimo, com $L_1 = 2,5 \mu\text{m}$, $W_1 = 432 \mu\text{m}$ e $I_{SD1} = 1,5 \mu\text{A}$. A máxima capacitância de compensação que garante GBW maior ou igual 1 MHz é de 6,7 pF. Na implementação final foi utilizado $C_c = 6,2 \text{ pF}$.

O dimensionamento do espelho de corrente do primeiro estágio, composto por M_{2a} e M_{2b} , é feito de modo semelhante ao do par diferencial. Neste ponto, porém, já se conhece a corrente de polarização dos transistores, bem como os valores de g_{m1} e A_f . A contribuição de M_2 (M_{2a} e M_{2b}) para o ruído total do amplificador é dada pela equação

$$\overline{V_{\text{no2}}^2} = \frac{1}{A_f^2} \left(\frac{g_{m2}}{g_{m1}} \right)^2 \left(2 \frac{4\gamma_2 kT}{g_{m2}} + 2 \frac{K_{f2}}{C'_{\text{ox2}} W_2 L_2 f^{m_{f2}}} \right). \quad (3.55)$$

Integrando-se $\overline{V_{\text{no2}}^2}$ na faixa de frequências de f_1 a f_2 resulta na potência de ruído referida à saída

$$P_{\text{no2}} = \frac{1}{A_f^2} \left(\frac{g_{m2}}{g_{m1}} \right)^2 \left[2 \frac{4\gamma_2 kT (f_2 - f_1)}{g_{m2}} + 2 \frac{K_{f2} (f_2^{(1-m_{f2})} - f_1^{(1-m_{f2})})}{C'_{\text{ox2}} W_2 L_2 (1 - m_{f2})} \right]. \quad (3.56)$$

A potência de ruído gerada por M_2 , somada às contribuições do par diferencial e dos pseudo-resistores, não deve exceder $V_{\text{no(max)}}^2$. Assim,

$$P_{\text{no2}} = V_{\text{no2}}^2 = V_{\text{no(max)}}^2 - V_{\text{no(PR)}}^2 - V_{\text{no1}}^2, \quad (3.57)$$

ou seja, $V_{\text{no2}} = 57,6 \mu\text{V}_{\text{RMS}}$.

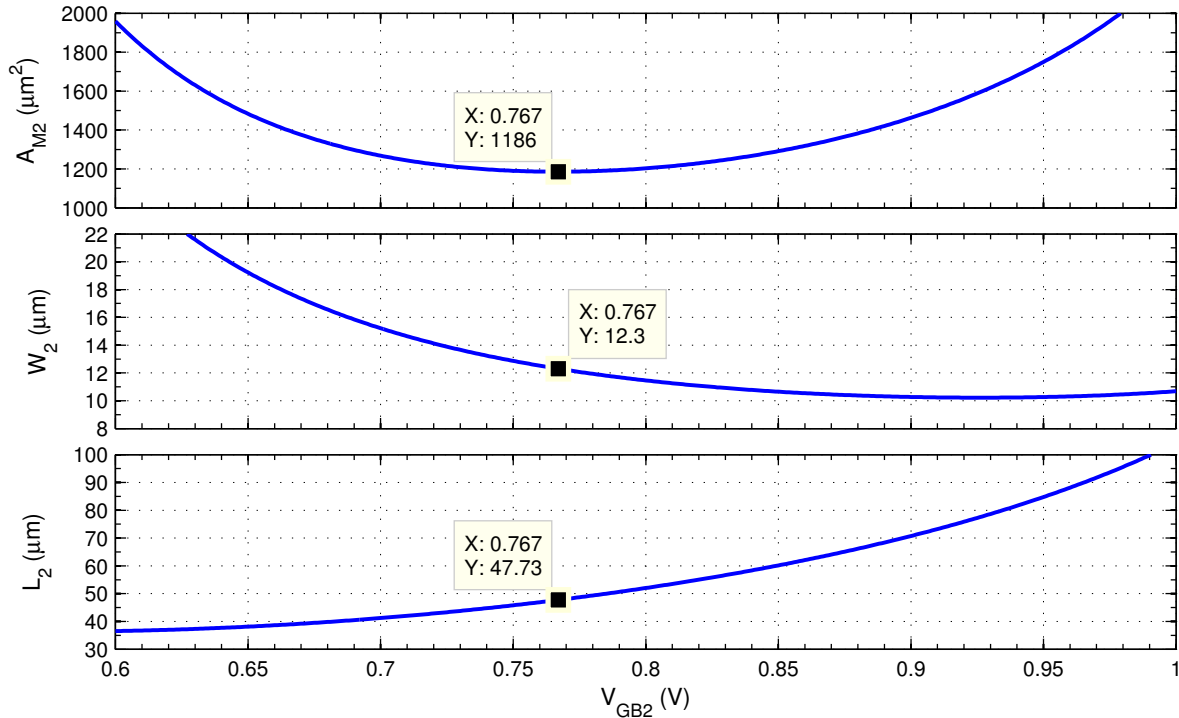
Expressando-se a largura de canal W_2 em função do comprimento de canal L_2 e do nível de inversão i_{f2} por meio da equação

$$W_2 = \frac{L_2 I_{DS2}}{I_{SQn} i_{f2}} \quad (3.58)$$

e a transcondutância g_{m2} em função de i_{f2} por meio da equação

$$g_{m2} = \frac{2 I_{DS2}}{n_n \phi_t (\sqrt{1 + i_{f2}} + 1)}, \quad (3.59)$$

e substituindo-se as equações (3.57) a (3.59) na equação (3.56), resulta em uma expressão com apenas duas variáveis indeterminadas: L_2 e i_{f2} . Solucionando-se L_2 em função de i_{f2} e calculando-se o valor de W_2 e da área dos transistores M_{2a} e M_{2b} no *layout*, obtém-se as curvas mostradas na Figura 3.37, com i_{f2} expresso em termos da tensão V_{GB} correspondente. Como indicado na figura, o ponto de área mínima ocorre em $V_{GB2} = 0,767 \text{ V}$, o que resulta em $L_2 = 47,7 \mu\text{m}$ e $W_2 = 12,3 \mu\text{m}$. Os valores finais foram ajustados para $L_2 = 60 \mu\text{m}$ e $W_2 = 9,6 \mu\text{m}$, a fim de obter nas simulações os níveis de inversão e de ruído calculados. O valor de I_2 na Figura 3.33 é 500 nA, tal que a razão W_{2a}/W_{2c} é igual a 3/1, com $L_{2a} = L_{2b} = L_{2c}$.

Figura 3.37 – Curvas de área, L_2 e W_2 em função da tensão de polarização de M_2 .

Fonte: O próprio autor.

Para o dimensionamento de M_3 (cascode de M_1 na Figura 3.33), foi estabelecido que a tensão V_{SD1} deve ser 200 mV, e que a tensão V_{BG} de M_3 deve ser mais baixa que a de M_1 , a fim de minimizar a relação g_{m1}/g_{m3} . A escolha de $V_{BG3} = 670$ mV garante uma margem de 250 mV no dreno do transistor que gera I_3 e, com a corrente $I_{SD3} = I_{SD1} = 1,5 \mu\text{A}$, resulta em $S_3 = 18,4$ e $g_{m1}/g_{m3} = 1,36$. Usando-se $L_3 = 1 \mu\text{m}$ obtém-se $W_3 = 18,4 \mu\text{m}$.

Para o transistor M_4 deve-se ter $V_{BG4} = V_{BG3}$. Escolhendo-se $I_{SD4} = 500$ nA (um divisor inteiro de I_{SD1}) resulta em $L_4 \approx 16 \mu\text{m}$ para $W_4 = W_3/4 = 4,6 \mu\text{m}$, de modo que os transistores M_3 e M_4 podem ser desenhados no *layout* com algum nível de casamento.

Com as polarizações definidas para M_2 e M_3 , a excursão de saída do primeiro estágio fica limitada ao intervalo de 380 mV a 620 mV. Assim, a tensão de modo comum na saída do primeiro estágio, V_{ocm1} , fica estabelecida em 500 mV, de modo que os transistores M_2 e M_3 tenham V_{DS} máximo e o ganho elevado do primeiro estágio seja garantido. A Figura 3.38 ilustra as tensões de polarização dos transistores do primeiro estágio.

O projeto do segundo estágio visa garantir a estabilidade e a máxima excursão de sinal na saída do amplificador operacional. Para os transistores M_{5a} e M_{5b} já se conhece a tensão V_{GB} , a qual foi estabelecida em 500 mV. O polo que surge na saída do segundo estágio do amplificador operacional é dado pela equação

$$|f_p| = \frac{g_{m5}}{2\pi C_{ib}}, \quad (3.60)$$

Tabela 3.6 – Dimensões e pontos de operação dos transistores do amplificador operacional e dos espelhos de corrente (considerando-se uma tensão de alimentação de 1,2 V).

Dispositivo	W/L (calc.)	W/L (ajust.)	$ V_{GB} $	$ V_{SB} $	$ I_{DS} $
M _{1a} e M _{1b}	432,0/2,5	-	0,32	0,00	1,50
M _{2a} e M _{2b}	12,0/48,0	9,6/60,0	0,76	0,00	1,50
M _{2c}	-	3,2/60,0	0,76	0,00	0,50
M _{3a} e M _{3b}	18,4/1,0	4 × 4,6/1,0	0,67	0,20	1,50
M ₄	4,6/16,4	4,6/(16 × 1,0)	0,67	0,00	0,50
M _{5a} e M _{5b}	4,0/12,8	-	0,50	0,00	0,25
M _{6a} , M _{6b} e M _{6c}	10,8/4,0	-	0,42	0,00	0,25
M _{7a} , M _{7c} , M _{7d} e M _{7e}	6,4/10,0	-	0,57	0,00	0,50
M _{7b}	4 × 6,4/10,0	-	0,57	0,00	3,50
M _{8a} e M _{8b}	4,6/16,3	-	0,58	0,00	0,50
M _{8c}	2,3/16,3	-	0,58	0,00	0,25
M _{8d}	2 × 4,6/16,3	-	0,58	0,00	0,50
M _{8e}	2,3/(2 × 16,3)	-	0,58	0,00	0,125
Unidade	$\mu\text{m}/\mu\text{m}$	$\mu\text{m}/\mu\text{m}$	V	V	μA

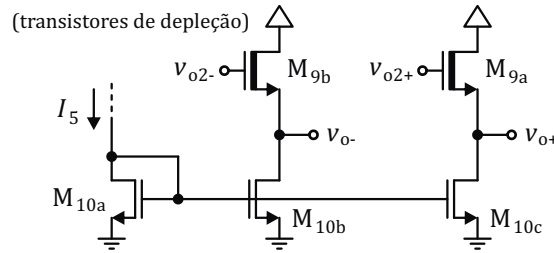
Fonte: O próprio autor.

casamento desejado para os transistores, o que, por sua vez, está relacionado com o erro de *offset* de modo comum que afeta o circuito de CMFB, como será mostrado na seção 3.3.3.5. Admitindo-se $\sigma(\Delta I/I) = 1\%$ (desvio padrão do erro de corrente dividido pela corrente nominal) para M_{7a}, resulta nos valores de W e L mostrados na Tabela 3.6. Um procedimento semelhante foi utilizado para o dimensionamento dos espelhos de corrente NMOS e o resultado também é mostrado na Tabela 3.6.

Por fim, resta observar que, assim como o ruído, o *offset* em modo diferencial na saída do amplificador é determinado pelo primeiro estágio do amplificador operacional. Contudo, uma vez que o projeto para alcançar o nível de ruído necessário resultou em transistores grandes, é esperado que o descasamento entre os dispositivos seja pequeno, de modo que o *offset* resultante pode ser ignorado no projeto. Isso será confirmado nos resultados simulados, mostrados mais adiante.

3.3.3.4 Estágio de saída

Para suprir a carga resistiva na malha de realimentação, foram utilizados os *buffers* mostrados na Figura 3.40. Estes consistem em um estágio do tipo dreno-comum utilizando transistores de depleção disponíveis na tecnologia (M_{9a} e M_{9b}), o que resulta em uma excursão de saída elevada, com máximo aproveitamento da tensão de alimentação.

Figura 3.40 – Esquemático do *buffer* empregado.

Fonte: O próprio autor.

Tabela 3.7 – Dimensões e pontos de operação dos transistores do *buffer* (considerando-se uma tensão de alimentação de 1,2 V).

Dispositivo	W/L (calc.)	W/L (ajust.)	V _{GB}	V _{SB}	I _{DS}
M _{9a} e M _{9b}	64/0,56	78/0,56	0,60	0,60	3,0
M _{10a}	-	10/1,5	-	0,00	0,5
M _{10b} e M _{10c}	-	60/1,5	-	0,00	3,0
Unidade	μm/μm	μm/μm	V	V	μA

Fonte: O próprio autor.

A carga total dos *buffers* é definida pelos dispositivos na malha de realimentação do amplificador, incluindo o circuito de CMFB em paralelo com impedância de entrada do modulador $\Delta\Sigma$. Porém, esta última pode ser ignorada, de modo que quanto maior o valor de $R_2 + R_1$ menor deverá ser o consumo de energia do *buffer*.

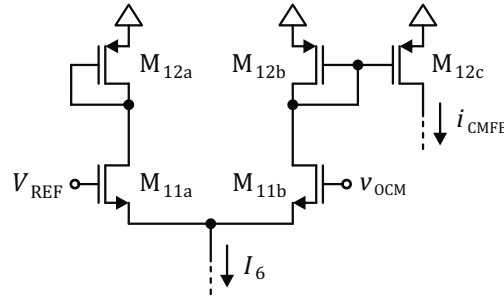
Na Tabela 3.7 são mostradas as dimensões calculadas para os transistores do *buffer* assim como as dimensões finais utilizadas, ajustadas com o auxílio de simulações para garantir $V_{GS9} \approx 0$. No projeto, assumiu-se que a resistência de saída do *buffer* deve ser menor que 10 kΩ, tal que o polo na saída esteja acima da frequência de ganho unitário do amplificador operacional para cargas capacitivas de até 10 pF.

3.3.3.5 Controle da tensão de modo comum

A primeira parte do circuito de CMFB consiste no circuito de medida da tensão de modo comum v_{OCM} , obtida dos sinais de saída do amplificador. Esta é realizada pelos resistores na malha de realimentação, os quais são também utilizados como atenuadores passivos no modo diferencial. Estes resistores devem ser grandes em comparação com a resistência de saída do amplificador operacional, a fim de evitar a redução do ganho do amplificador operacional e minimizar o consumo de corrente pelos *buffers*.

Como um compromisso entre o consumo de energia e a área de resistores requerida, utilizou-se $R_1 + R_2 = 500$ kΩ. Assim, adotando-se um valor de κ igual a 10 (um pouco maior que o valor na Tabela 3.5) obtém-se $R_1 = 450$ kΩ e $R_2 = 50$ kΩ.

Figura 3.41 – Esquemático do amplificador de erro do circuito de CMFB.



Fonte: O próprio autor.

O esquema de CMFB empregado consiste em estabelecer uma única malha de realimentação de modo comum, a fim de utilizar a compensação de frequência do caminho de sinal diferencial fornecida pela capacitância C_c , como mostrado em (ZHANG; HOLLEMAN; OTIS, 2012). O esquemático do amplificador de erro é mostrado na Figura 3.41. Este compara a tensão v_{OCM} com uma referência igual à metade da tensão de alimentação. A saída do amplificador é a corrente i_{CMFB} que, somada a I_1 , polariza o par diferencial do amplificador operacional.

Com apenas um circuito de CMFB em um amplificador de dois estágios, o ganho do amplificador de erro deve ser baixo, a fim de assegurar a estabilidade do circuito em modo comum. Pode ser mostrado que, sendo o amplificador estável em modo diferencial para a condição de realimentação unitária, se for garantido

$$GBW_{cm} \leq GBW_{dm} \quad (3.61)$$

será garantida também a estabilidade do circuito em modo comum, o que implica em

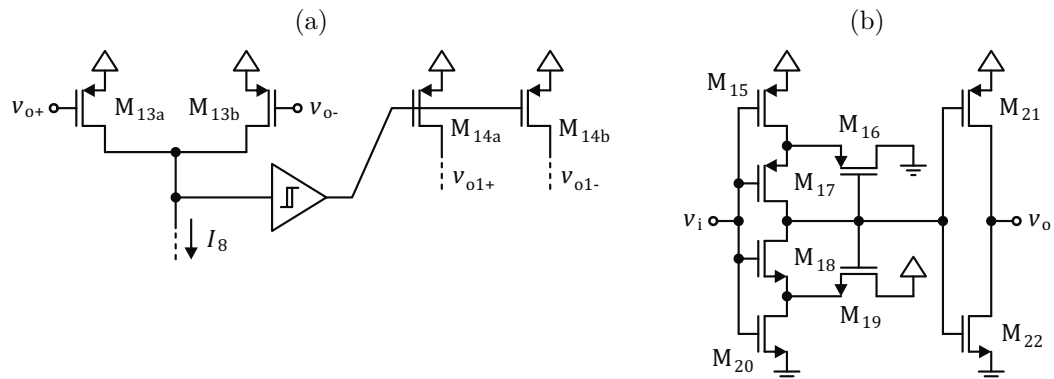
$$\frac{gm_{11} \cdot gm_{12c}}{2 \cdot gm_{12a}} = \frac{gm_{11} \cdot N}{2} \leq gm_1, \quad (3.62)$$

onde N é a razão entre as relações de aspecto de M_{12c} e M_{12a} , que representa o ganho no espelhamento de corrente.

Para garantir a condição acima é interessante que os transistores M_{11a} e M_{11b} operem em inversão moderada ou forte. Assim, a tensão V_{GS11} é estabelecida em 400 mV, a máxima possível para garantir que o transistor M_{8d} não entre na condição de triodo. Com $I_6 = 1 \mu A$ e $V_{REF} = V_{DD}/2 = 0,6 V$ (na condição de tensão de alimentação mínima), o valor de S_{11} resultante é 6,4.

Por fim, fazendo-se os transistores M_{12a} e M_{12b} iguais M_{7a} , o fator N igual 3 (definido por simulação) e $L_{11} = 4 \mu m$ o valor de W_{11} obtido é $25,6 \mu m$, o que resulta em $\sigma(V_{os})$ de aproximadamente 3 mV. As dimensões e pontos de operação dos transistores do amplificador de erro são mostradas na Tabela 3.8.

Figura 3.42 – Circuito de *start-up* de modo comum do amplificador operacional. (a) Chaves e circuito de controle. (b) Esquemático do circuito *Schmitt trigger*.



Fonte: O próprio autor.

Tabela 3.8 – Dimensões dos transistores do circuito de *start-up*.

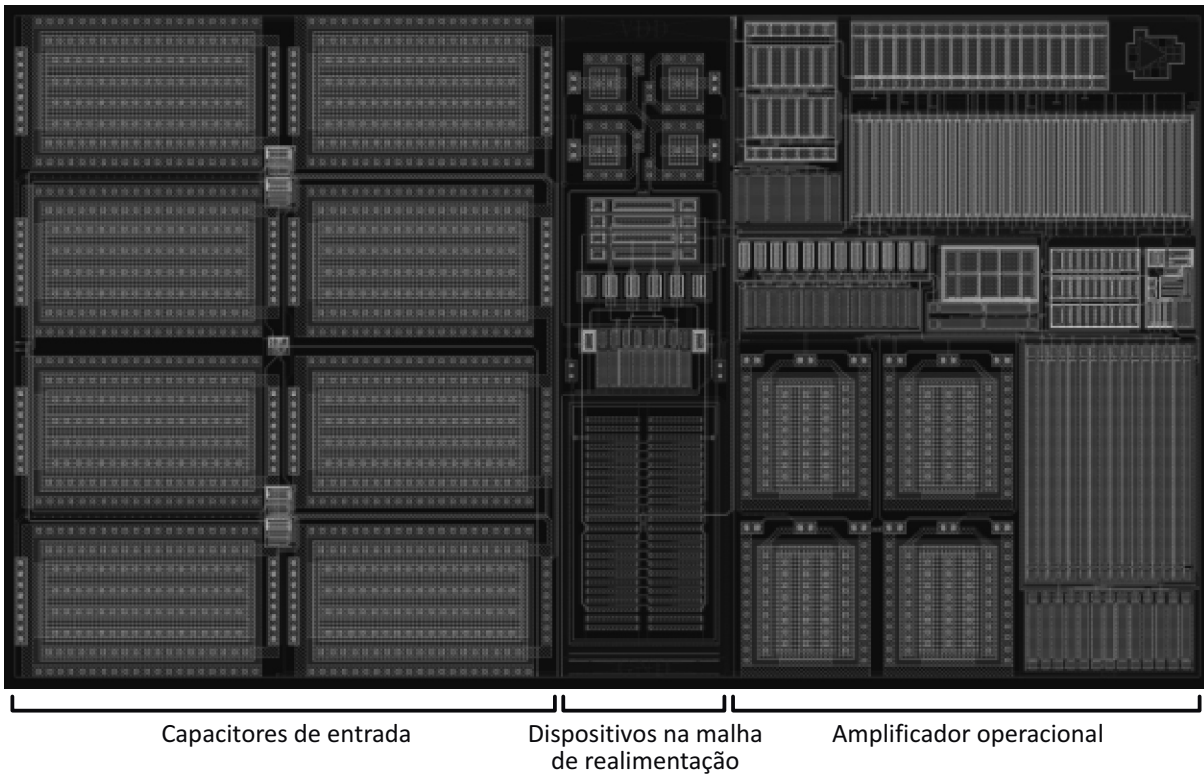
Dispositivo	W/L	Dispositivo	W/L
M _{11a} e M _{11b}	25,6/4,0	M ₁₇	0,5/3,0
M _{12a} e M _{12b}	6,4/10,0	M ₁₈	0,5/(2 × 5,0)
M _{12c}	3 × 6,4/10,0	M ₁₉	2 × 5,0/0,4
M _{13a} e M _{13b}	1,0/4,0	M ₂₀	0,5/(2 × 5,0)
M _{14a} e M _{14b}	0,5/0,4	M ₂₁	0,5/2,0
M ₁₅	0,5/3,0	M ₂₂	0,5/5,0
M ₁₆	4 × 3,0/0,4	-	-
Unidade	μm/μm		μm/μm

Fonte: O próprio autor.

Para concluir, deve-se observar que em um amplificador operacional de dois estágios, como o apresentado aqui, o efeito da tensão de modo comum da entrada sobre a tensão de dreno da fonte de corrente que polariza o par diferencial gera uma segunda malha de realimentação de modo comum, a qual possui ganho positivo e pode gerar problemas de estabilidade. Além do mais, se em algum momento durante a operação do amplificador, como na sua inicialização por exemplo, a tensão de modo comum da saída estiver em um nível elevado o suficiente para colocar os transistores M_{7b} e M_{12c} na condição de triodo, e reduzir o ganho da malha de CMFB, esse estado será reforçado pela realimentação positiva e fará com que o amplificador operacional se mantenha desligado.

Para lidar com este problema, foi adicionado ao amplificador operacional o circuito de *start-up* mostrado na Figura 3.42. Sua operação consiste em ler a tensão de modo comum da saída e, caso esta esteja próxima à V_{DD}, as chaves M_{15a} e M_{15b} serão fechadas, forçando a tensão de modo comum da saída a descer. As dimensões dos transistores do circuito de *start-up* também são dadas na Tabela 3.8.

Figura 3.43 – Vista de *layout* do amplificador de biossinais projetado.



Fonte: O próprio autor.

3.3.3.6 Layout

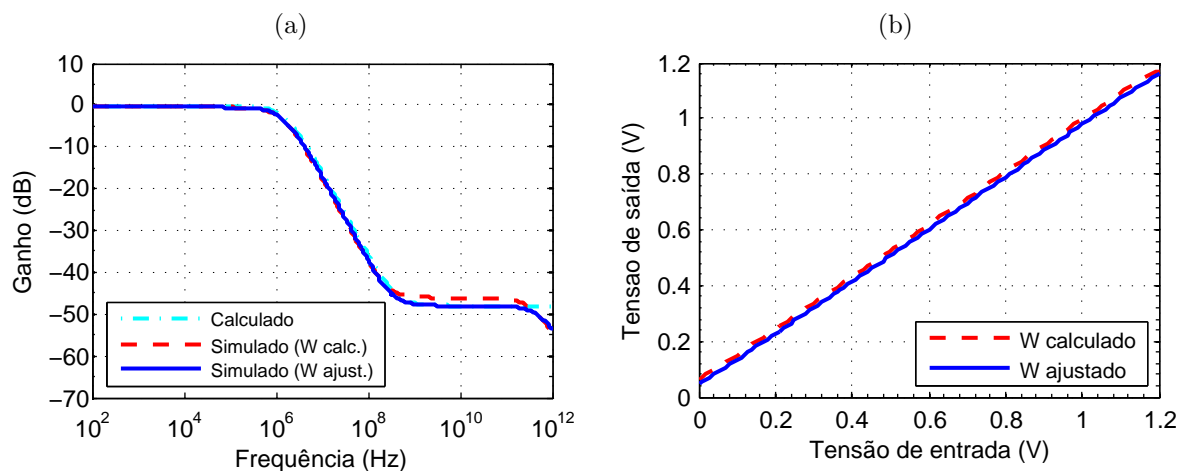
O *layout* do amplificador de biossinais completo é mostrado na Figura 3.43. A área total do circuito é $0,07 \text{ mm}^2$ ou $354,4 \mu\text{m} \times 197,5 \mu\text{m}$, sendo que cerca de metade da área do circuito é ocupada pelo banco de capacitores de entrada. Para o desenho dos dispositivos que requerem bom casamento, tais como os espelhos de corrente, os transistores do par diferencial e os capacitores C_1 e C_2 , foram adotadas as técnicas de interdigitação e centroide comum, além do uso de dispositivos *dummy*, no caso dos transistores.

3.4 Resultados de simulação

As curvas calculadas e simuladas do módulo de ganho do *buffer* em função da frequência, para uma carga de 10 pF , são mostradas na Figura 3.44(a). A frequência de -3 dB calculada foi $1,6 \text{ MHz}$ e o resultado obtido por simulação foi $1,5 \text{ MHz}$. O ganho CC simulado foi igual a $-0,54 \text{ dB}$ ou $0,94 \text{ V/V}$. A Figura 3.44(b) mostra a curva de transferência CC para a entrada variando entre 0 V e $1,2 \text{ V}$, onde se vê que o circuito é capaz de executar a excursão de 1 V_{pp} (unipolar), como era esperado.

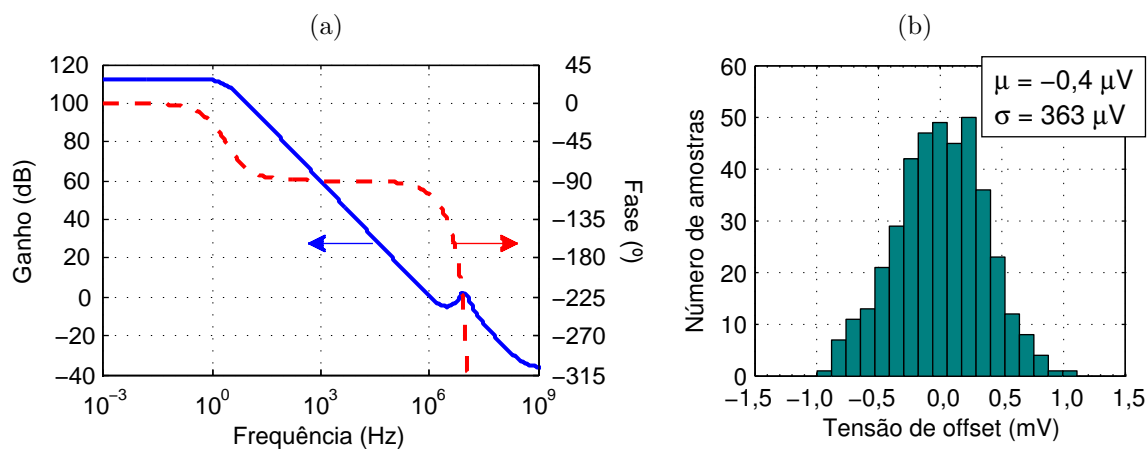
A Figura 3.45(a) mostra as curvas de ganho e de fase do amplificador operacional em função da frequência. A presença de zeros ou polos complexos torna o amplificador

Figura 3.44 – Curvas de resposta do *buffer*. (a) Ganho em função da frequência. (b) Característica de transferência CC.



Fonte: O próprio autor.

Figura 3.45 – Resultados de simulação do amplificador operacional projetado. (a) Curvas de módulo e fase da resposta em frequência em modo diferencial. (b) Histograma da tensão de *offset* referida à entrada.

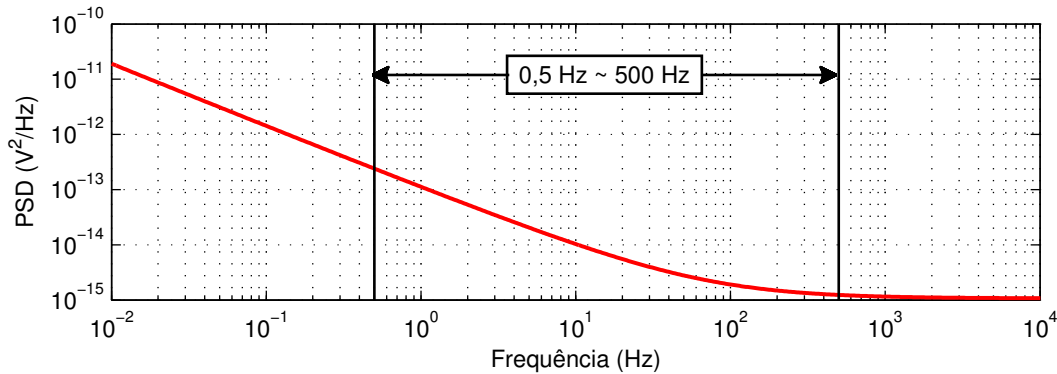


Fonte: O próprio autor.

potencialmente instável em realimentação unitária, o que não representa um problema prático devido à atenuação elevada imposta pela malha de realimentação, como será mostrado. O valor de GBW simulado para o amplificador operacional, o qual define a largura de banda do amplificador de biossinais, é 1,02 MHz, tal como esperado. O ganho CC obtido foi de 112,6 dB.

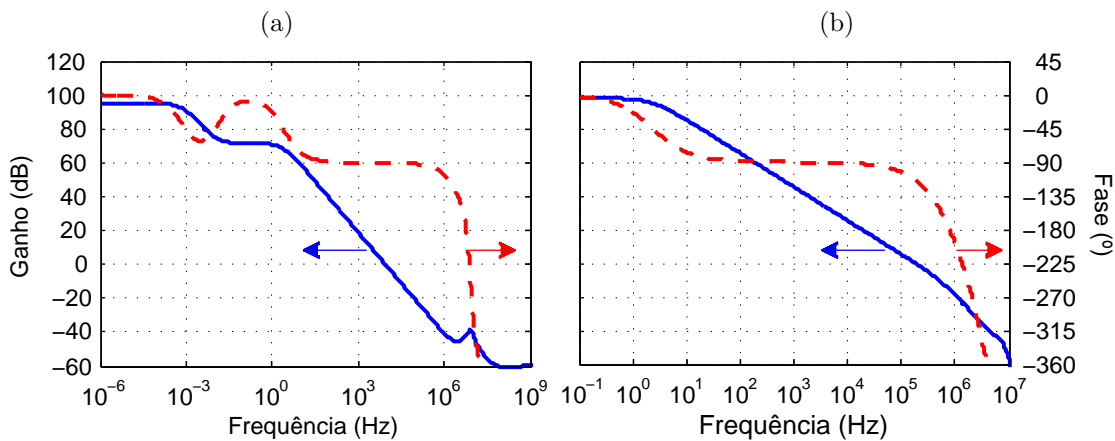
Os resultados de simulações de Monte Carlo da tensão de *offset* diferencial do amplificador operacional referida à entrada são mostrado na Figura 3.45(b). O desvio padrão resultante foi baixo, apenas $363 \mu V$. Isso se deve aos transistores do primeiro estágio serem grandes em razão do dimensionamento visando baixo ruído.

Figura 3.46 – Densidade espectral de potência para o ruído referido à entrada do amplificador operacional.



Fonte: O próprio autor.

Figura 3.47 – Curvas de módulo e fase da resposta em frequência em malha aberta do amplificador de biosinais. (a) Modo diferencial. (b) Modo comum.

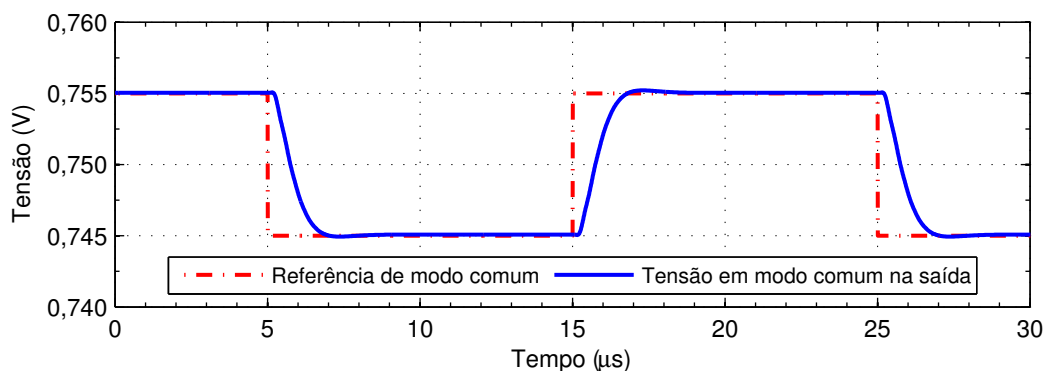


Fonte: O próprio autor.

A curva de densidade espectral de potência de ruído do amplificador operacional referida à entrada é apresentada na Figura 3.46. Como se pode ver, a faixa de frequências de sEMG (5 Hz a 500 Hz) é dominada pelo ruído *flicker*. A tensão RMS de ruído, integrado na faixa entre 0,5 Hz e 500 Hz, é $1,088 \mu\text{V}$ sendo, portanto, um pouco menor que o valor calculado de $1,15 \mu\text{V}$.

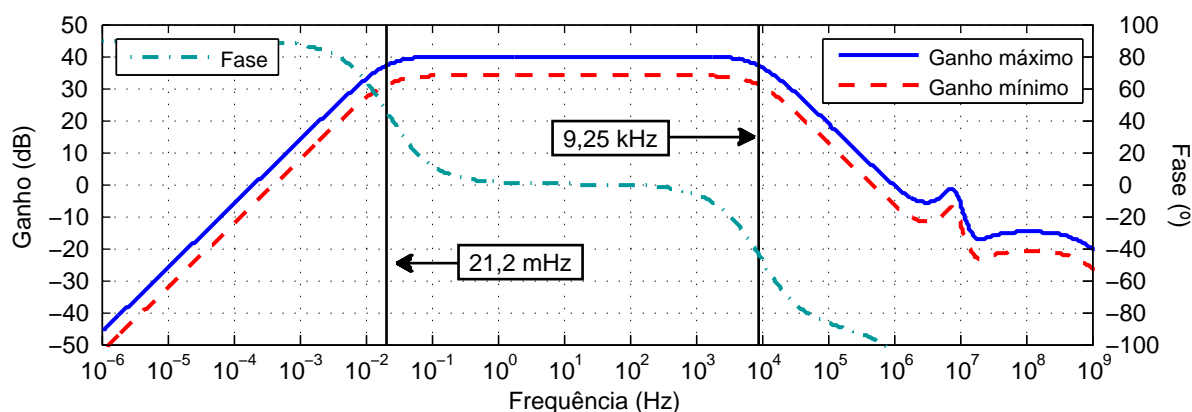
As simulações do amplificador de biosinais completo, mostrado na Figura 3.28, e utilizando o pseudo-resistor descrito na seção 3.3.3.1, permitem comprovar a funcionalidade do circuito projetado. As análises de pequenos sinais em malha aberta, para sinais em modo diferencial e em modo comum, são mostradas nas Figuras 3.47(a) e (b), respectivamente. A margem de fase em modo diferencial obtida é $89,9^\circ$ e em modo comum é $66,5^\circ$, o que comprova a estabilidade do amplificador em ambos os modos. A Figura 3.48 mostra a resposta a um degrau na referência de modo comum, a qual é coerente com a margem de fase obtida na análise de pequenos sinais.

Figura 3.48 – Saída em modo comum do amplificador de biosinais em resposta a variações na tensão de referência de modo comum.



Fonte: O próprio autor.

Figura 3.49 – Curvas de módulo e fase da resposta em frequência do amplificador de biosinais nas duas configurações de ganho.

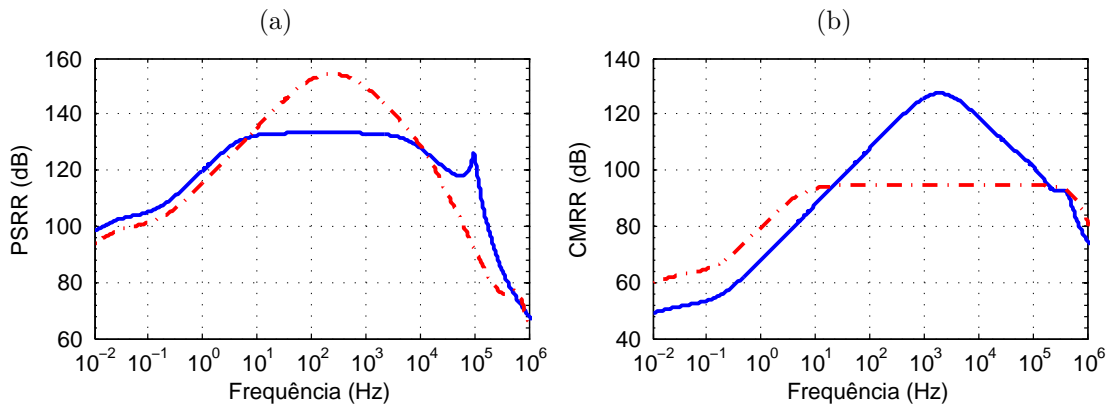


Fonte: O próprio autor.

As curvas de módulo e fase das funções de transferência do amplificador de biosinais em malha fechada, para as duas configurações possíveis de ganho, são mostradas nas Figuras 3.49(a) e (b). A largura de banda obtida (para parâmetros de processo típicos) abrange a faixa de frequências de 21,2 mHz a 9,25 kHz, com os pseudo-resistores operando com correntes de polarização de 100 nA. A largura da banda é a mesma nas duas configurações de ganho devido aos capacitores de entrada serem conectados à terra na configuração de menor ganho, mantendo o ganho de malha constante. O ganho obtido na banda de passagem do amplificador foi de 39,98 dB (ou 99,76 V/V), na configuração de ganho máximo, e 33,97 dB (ou 49,88 V/V), na configuração de ganho mínimo. O desvio de fase máximo na banda de frequências de interesse é de $-3,1^\circ$ em 500 Hz.

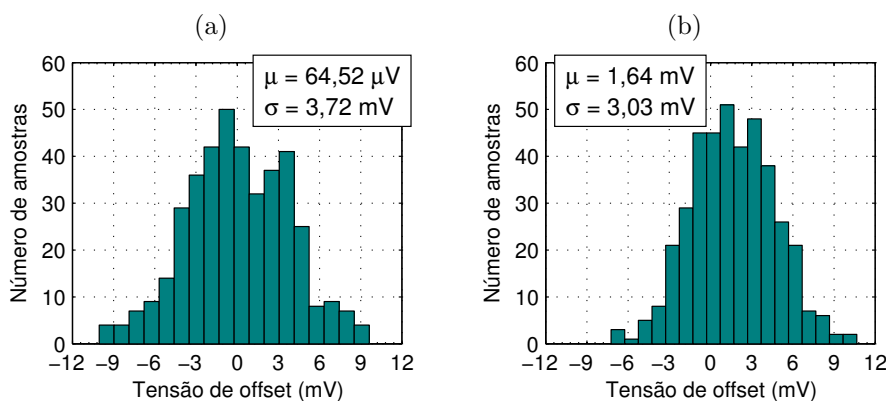
As Figuras 3.50 (a) e (b) mostram os módulos da resposta em frequência do amplificador para sinais da rede de alimentação do circuito e para sinais em modo comum, respectivamente. As curvas representam o pior de cada caso e foram obtidas por meio de simulações de Monte Carlo para descasamento de dispositivos, uma vez que o ganho do

Figura 3.50 – Curvas simuladas de (a) PRSS e (b) CMRR para o amplificador de biossinais. As curvas mostradas representam os dois piores casos obtidos em simulações de Monte Carlo com 100 amostras.



Fonte: O próprio autor.

Figura 3.51 – Tensão de *offset* referida à saída do amplificador de biossinais. (a) Modo diferencial. (b) Modo comum.

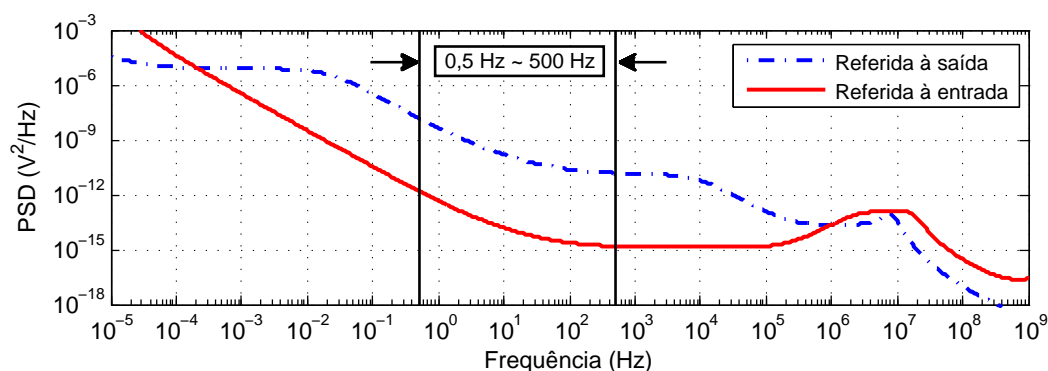


Fonte: O próprio autor.

amplificador diferencial para essas classes de sinais é, em tese, nulo na ausência de descasamento. Como se vê, mesmo na presença de descasamento, a operação diferencial ainda confere ao amplificador uma razoável imunidade a estes tipos de interferentes dentro da faixa de interesse do sinal de entrada.

Os histogramas das Figuras 3.51(a) e (b) mostram o *offset* referido à saída em modo diferencial e em modo comum, obtidos por simulações de Monte Carlo para descasamento. O valor do *offset* diferencial é maior que aquele obtido para o amplificador operacional (aproximadamente 10 vezes) devido ao ganho CC gerado pela malha de atenuação. O desvio padrão do *offset* em modo comum é cerca de 3 mV, tal como foi projetado. O valor médio deste *offset* se deve às diferenças entre tensões fonte-dreno dos transistores M_{7a} , M_{7b} , M_{12b} e M_{12c} , a qual é mais relevante para tensões de alimentação baixas, como na condição simulada.

Figura 3.52 – Curvas de densidade espectral de potência para o ruído referido à entrada e à saída para o amplificador de biossinais.



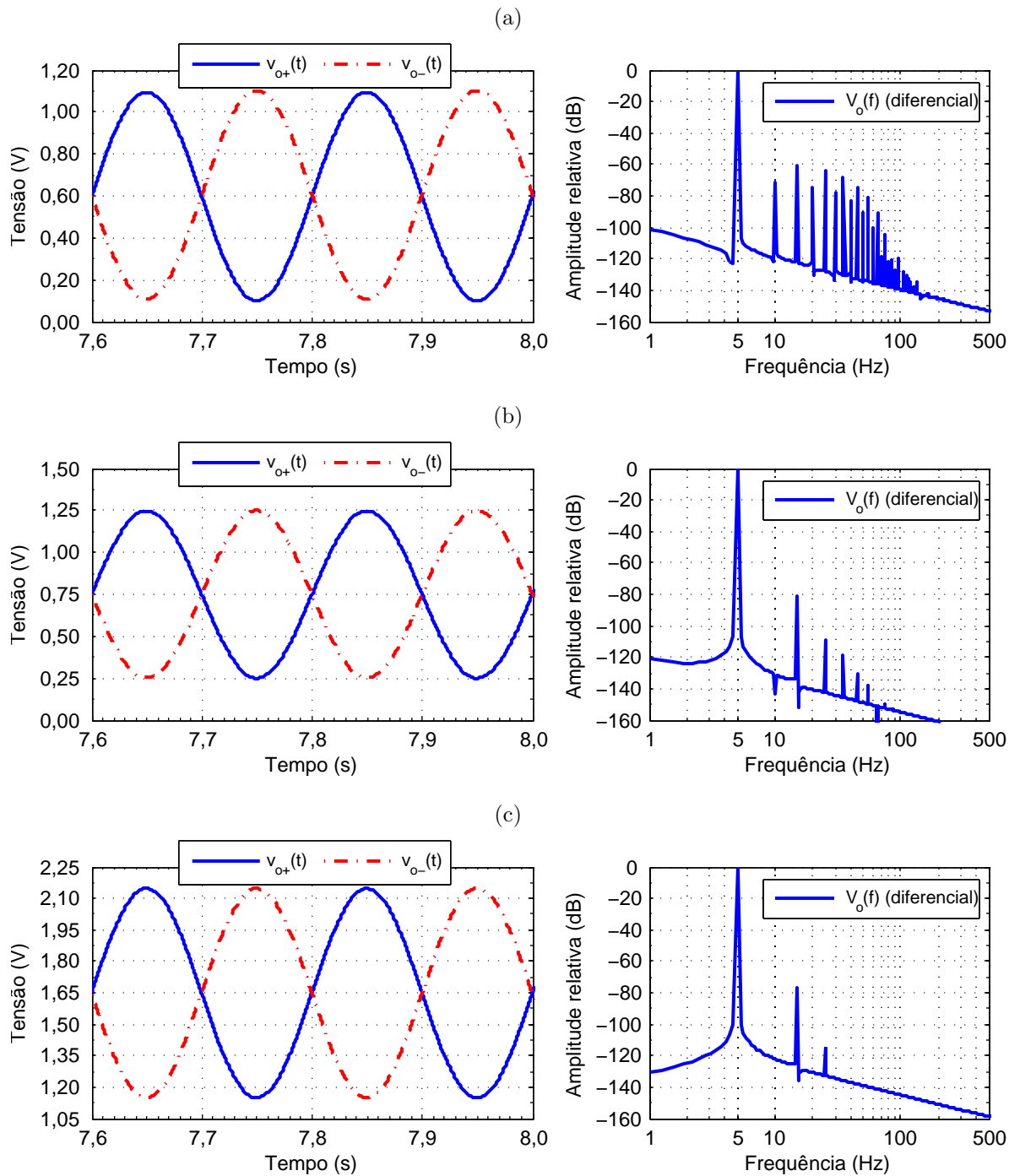
Fonte: O próprio autor.

As densidades espectrais de potência do ruído, referidas à entrada e à saída do amplificador de biossinais, são mostradas na Figura 3.52. O ruído total referido à entrada, integrado para a faixa de frequências de 0,5 Hz a 500 Hz, é $1,45 \mu\text{V}_{\text{RMS}}$ atendendo, portanto, aos requerimentos do projeto. Tal como foi observado para o amplificador operacional, há uma clara predominância de ruído dependente da frequência dentro da banda de interesse. Porém, a maior inclinação da PSD nas frequências mais baixas da faixa indicada, entre $1/f$ e $1/f^2$, sugere haver uma predominância do ruído do pseudo-resistor nessa região. Para frequências acima de cerca de 10 Hz a curva sugere a predominância do ruído do amplificador operacional.

A representação no domínio da frequência para o sinal de saída do amplificador, simulado com uma entrada senoidal em modo diferencial com amplitude de $20 \text{ mV}_{\text{pp}}$ e para três valores de tensão de alimentação, é mostrada na Figura 3.53. Mesmo no pior caso estabelecido, com tensão de alimentação de 1,2 V, o sinal de saída alcança a amplitude esperada de aproximadamente 2 V_{pp} . Os espectros de amplitudes da saída do amplificador para cada um dos casos também é mostrado na Figura 3.53, onde se pode ver que as amplitudes relativas das componentes harmônicas de ordem ímpar (as de ordem par são minimizadas pela operação diferencial) estão todas abaixo de -74 dB , tal como desejado. As THDs resultantes foram $58,1 \text{ dB}$ ($0,12\%$), $81,1 \text{ dB}$ ($0,0088\%$) e $76,5 \text{ dB}$ ($0,015\%$) para as tensões de alimentação de 1,2 V, 1,5 V e 3,3 V, respectivamente.

A THD obtida para alimentação de 1,2 V é menor que o esperado devido aos transistores M_{5a} e M_{5b} operarem em inversão forte. Isso faz com que eles entrem em triodo com o sinal de saída em seu nível mais baixo. Com a alimentação de 3,3 V a THD ficou mais baixa do que para a alimentação nominal. Isso ocorreu devido ao aumento do efeito de corpo sobre o transistor de depleção utilizado no *level shifter* do pseudo-resistor, o que resulta no aumento do nível de inversão do elemento resistivo e na conseqüente redução da linearidade do amplificador de biossinais. A Tabela 3.9 resume os resultados de simulações obtidos para o amplificador de biossinais projetado.

Figura 3.53 – Resposta do amplificador de bio-sinais a uma senoide de 20mV_{pp} e 5Hz . À esquerda, sinais de saída em função do tempo. À direita, espectro de amplitudes normalizados dos sinais de saída. Os resultados mostram três condições de alimentação do amplificador: (a) $1,2\text{V}$, (b) $1,5\text{V}$ e (c) $3,3\text{V}$.



Fonte: O próprio autor.

3.5 Conclusão

Neste capítulo foi apresentado um resumo das arquiteturas de amplificadores de bio-sinais encontrados na literatura. Também foi mostrado que, dentre as arquiteturas

Tabela 3.9 – Resumo das características do amplificador de biossinais projetado. Os dados referem-se às condições típicas de processo e temperatura ambiente e para uma corrente de polarização do pseudo-resistor de 100 nA.

Parâmetro	Valor
Alimentação	1,5 V a 3,3 V (mínimo de 1,2 V)
Corrente CC	13,5 μ A
Ruído referido à entrada	1,45 μ V _{RMS} *
THD	81,1 dB ou 0,0088% **
SNDR	\geq 74 dB ***
Frequência de corte (passa-altas)	21,2 mHz
Frequência de corte (passa-baixas)	9,25 kHz
Ganho	39,98 dB e 33,97 dB
Tecnologia	130 nm
Área	0,075 mm ²

* Integrado na faixa de frequências entre 0,5 Hz e 500 Hz.

** Para um sinal de entrada senoidal de 5 Hz e 20 mV_{pp}.

*** Exceto para alimentação de 1,2 V.

Fonte: O próprio autor.

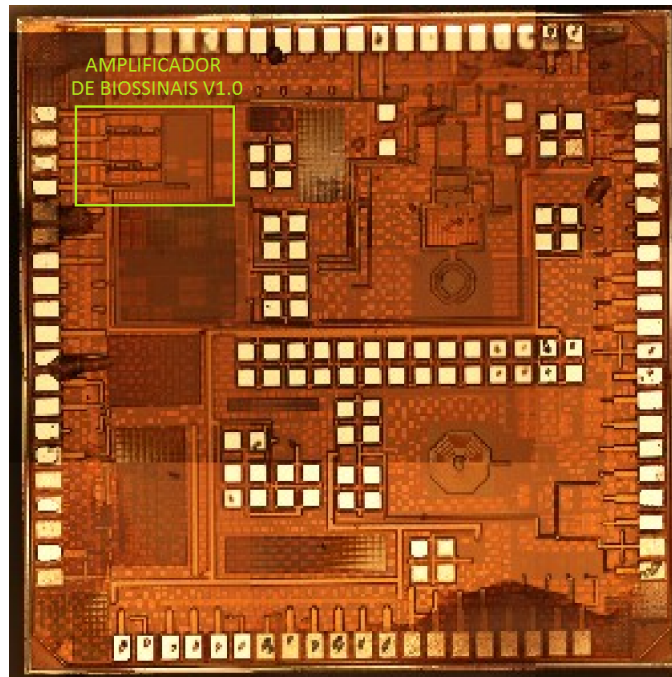
avaliadas, nenhuma atendia aos requisitos de linearidade desejados para a interface de leitura de biossinais pretendida.

Uma nova arquitetura de amplificador de biossinais foi proposta, a qual confere ao amplificador uma elevada linearidade, permitindo que execute as tarefas de amplificação e filtragem passa-altas dos sinais provenientes de eletrodos sem perdas notáveis na qualidade no sinal processado. O amplificador projetado atende a todos os requisitos discutidos na seção 3.1 e resumidos na Tabela 3.1.

Os resultados de simulações mostram que tanto a SNR quanto a THD são superiores a 74 dB (exceto para a condição de menor tensão de alimentação), indicando que a SNDR e, conseqüentemente, o ENOB do sistema até este ponto estão de acordo com o desejado. O consumo de corrente CC do amplificador é 13,5 μ A, o que representa uma potência média de 20,25 μ W na condição nominal de operação, com tensão de alimentação de 1,5 V. A área de 0,07 mm², ocupada pelo amplificador no *layout*, está entre as menores encontradas na literatura, como pode ser comprovado por meio da Tabela 3.3.

Com respeito ao valor mais baixo de linearidade obtido com a tensão de alimentação de 1,2 V, constatou-se que a redução ocorre devido aos transistores M_{5a} e M_{5b} operarem em inversão forte. Isso faz com que eles entrem em triodo quando o sinal de saída alcança seu valor mais baixo. A correção desse problema não foi abordada neste trabalho e será deixada para futuras modificações no projeto.

Figura 3.54 – Fotografia do amplificador de bioSSinais fabricado.



Fonte: O próprio autor.

Quanto à redução da THD para tensões de alimentação mais altas que 1,5 V, vale ressaltar que a THD do amplificador pode ser melhorada por meio do ajuste da corrente de polarização do pseudo-resistor. O mesmo se aplica à SNR do amplificador, que pode ainda ser melhorada em tempo de projeto, por meio de um incremento na capacitância C_2 , ao custo, é claro, do aumento da área ocupada pelo circuito. Além disso, o ruído integrado apenas dentro da banda de sEMG, que se estende de 5 Hz a 500 Hz, resulta em um valor consideravelmente menor, apenas $1,094 \mu V_{RMS}$. A decisão de adotar 0,5 Hz como início da faixa a ser considerada na integração do ruído baseia-se no fato de que etapas de filtragem passa-altas digital, as quais poderiam ser utilizadas para melhorar a SNR, podem inserir atrasos de muitas amostras no sinal, o que inviabilizaria seu emprego em sistemas de processamento em tempo real.

Por fim, por uma questão de espaço, apenas uma das estruturas de pseudo-resistores citadas na seção 3.3.2 teve seus resultados avaliados neste trabalho. Algumas das estruturas não utilizadas foram avaliadas em outras oportunidades. Um amplificador de bioSSinais empregando a topologia de pseudo-resistor com apenas um transistor PMOS conectado como diodo, foi apresentado em (MONTEIRO; KLIMACH; BAMPI, 2014). Outro amplificador, utilizando a estrutura simétrica com *driven guard* mostrada na Figura 3.24, e que não pôde ser utilizado aqui em razão da dificuldade de avaliar a estrutura por meio de simulações, foi projetado e fabricado, e se encontra atualmente em fase de preparação para a realização de medidas. A fotografia do circuito integrado contendo esse amplificador, indicado por V1.0, é mostrada na Figura 3.54.

4 CONVERSOR A/D

Um conversor Analógico-Digital (conversor A/D ou ADC) destinado à leitura de sinais bioelétricos pode ter muitas de suas exigências relaxadas, se comparado com conversores para outras aplicações de instrumentação. A conversão de biossinais, tais como EMG ou EEG, nos quais a parcela de *offset* do sinal não representa uma informação de interesse, naturalmente não exigirá um conversor com precisão em CC. O processo de normalização¹ dos sinais de sEMG, usado antes da extração de suas **variáveis** ou *features* (ERVILHA; DUARTE; AMADIO, 1998), também elimina a informação sobre a amplitude real do sinal e, juntamente com ela, qualquer informação a respeito do ganho aplicado pelo canal de aquisição.

Estas características, comuns aos sistemas de medidas de biossinais, resultam em duas grandes simplificações no projeto do conversor. Primeiramente, não idealidades do conversor que resultam em erro na componente CC da saída podem ser ignoradas. Em segundo lugar, não há a necessidade de uma referência de tensão precisa, pois a inexatidão na determinação do valor medido torna-se irrelevante após o processo de normalização. Assim, tal como o amplificador de biossinais já apresentado, as exigências mais importantes de um ADC para sinais biológicos são a linearidade e o nível ruído. Em adição a isso, a composição espectral dos sinais bioelétricos, predominantemente de baixas frequências (seção 2.3.1), permite que as taxas de amostragem usadas sejam também muito baixas, facilitando o desenvolvimento de um conversor de baixo consumo.

Outra importante questão a ser considerada sobre o conversor diz respeito ao filtro *anti-aliasing* necessário em sua entrada. O critério de Nyquist estabelece que a **mínima** frequência de amostragem é igual a duas vezes a largura de banda do sinal a ser amostrado. Um sistema prático, entretanto, requer uma taxa de amostragem maior devido à faixa de transição finita de um filtro real.

Um conversor com taxa de amostragem baixa, poucas vezes maior que a largura de banda do sinal de interesse, exige um filtro *anti-aliasing* com faixa de transição estreita, ou seja, um filtro de ordem elevada. Isso é particularmente problemático em sistemas integrados, pois filtros de ordem elevada para a faixa de frequências de sinais biológicos representam um grande custo em termos de área de silício para sua produção, mesmo com a utilização de arquiteturas G_m-C . Nesse caso, um conversor que utilize sobre-amostragem é o mais apropriado para ser usado, pois o filtro *anti-aliasing* requerido geralmente possui ordem baixa e frequência de corte elevada (JOHNS; MARTIN, 1997, p. 531).

¹ A necessidade de normalização decorre da grande quantidade de fatores que interferem no processo de medição de sinais biológicos e que dificultam sua reprodutibilidade e a comparação entre medidas, como foi discutido no Capítulo 2.

Este capítulo trata do projeto do conversor A/D destinado a um canal de aquisição de sinais sEMG e está organizado da seguinte forma: na seção 4.1 são resumidos os requerimentos básicos do conversor a ser projetado; na seção 4.2 é apresentado o projeto em nível de sistema do conversor, realizado em Matlab/Simulink; a seção 4.3 aborda as questões práticas mais importantes relacionadas ao projeto físico do conversor; na seção 4.4 são detalhados os projetos elétricos do modulador e do filtro decimador; na seção 4.5 são apresentados os resultados de simulação; por fim, a seção 4.6 conclui este capítulo.

4.1 Requerimentos

Com base no que foi discutido a respeito das características de um sistema de leitura de biosinais, um conversor do tipo $\Delta\Sigma$ se mostra o mais indicado para a aplicação em questão. Uma das vantagens de conversores $\Delta\Sigma$ é que estes são razoavelmente insensíveis às imprecisões dos seus componentes. Além disso, quando se emprega um quantizador de 1 bit, que é intrinsecamente linear, pode-se obter um conversor com elevada linearidade sem que seja necessário recorrer a um alto nível de casamento entre componentes do circuito ou mesmo a *trimming*. Adicionalmente, a sobre-amostragem transfere o problema da filtragem de sinais de baixas frequências para o domínio digital, simplificando o projeto no domínio analógico. Todas essas características podem resultar em um circuito com um custo muito baixo de área de silício e de consumo de energia.

Com respeito às características do conversor a ser projetado, grande parte dos sistemas de aquisição de sinais biológicos encontrados na literatura utiliza conversores com resolução entre 9 e 12 bits. Especificamente para aplicações de sEMG, Konrad (2006) sugere o uso de um conversor com resolução de 12 bits.

Embora a escolha da resolução tenha sido baseada exclusivamente nas recomendações encontradas em textos sobre eletromiografia de superfície, alguns dados apresentados na seção 2.3.3 ajudam a reforçar essa escolha. Na Figura 2.10 é mostrado que o ruído RMS total na faixa de 0,5 Hz a 500 Hz é aproximadamente $3,4 \mu\text{V}$ para qualquer tipo de eletrodo (ruído inerente ao sinal), desde que tenha havido tempo suficiente para que os potenciais de meia célula dos eletrodos se estabilizem. Considerando uma amplitude máxima de sinal na entrada de $20 \text{ mV}_{\text{pp}}$, como tem sido feito, a SNR resultante é 66,36 dB ou, equivalentemente, 10,73 bits efetivos, **se a qualidade do sinal adquirido for avaliada em termos de ENOB.**

Com o emprego de um conversor de 11 bits (na verdade o ENOB do sistema de aquisição como um todo), o ruído total, dado pela soma do ruído do sinal com o ruído do sistema, sobe para $4,42 \mu\text{V}$. Um acréscimo de 30% em relação ao ruído próprio do sinal e que corresponde a cerca de meio bit efetivo de perda na precisão do sinal obtido. Empregando-se um conversor de 12 bits, o ruído total sobe para $3,68 \mu\text{V}$, que corresponde

Tabela 4.1 – Requerimentos do conversor $\Delta\Sigma$.

Parâmetro	Valor
Tensão de alimentação (V_{DD})	1,2 V a 3,3 V (típica de 1,5 V)
Amplitude máxima do sinal de entrada	$2 V_{pp}$
Tipo de entrada	Diferencial
Máxima frequência interesse (f_0)	500 Hz
Taxa de dados na saída (<i>throughput</i>) (f_{sd})	2 kS/s
Resolução	12 bits

Fonte: O próprio autor.

a um acréscimo de apenas 8,3 % em relação ao ruído próprio do sinal. O sinal adquirido nesse caso terá precisão equivalente a 10,62 bits efetivos, o que representa uma perda de precisão consideravelmente menor do que a do caso anterior. Acréscimos adicionais na resolução não trarão benefícios significativos e, portanto, definir a resolução do conversor (ou do sistema de aquisição como um todo) em 12 bits parece de fato uma escolha razoável.

A máxima frequência de interesse do sinal de entrada, simbolizada por f_0 , já foi discutida nas seções anteriores, tendo sido estabelecida em 500 Hz. A taxa de dados na saída do conversor f_{sd} , resultante do processo de decimação, deve obedecer ao critério de Nyquist, devendo ser igual ou maior que $2 \times f_0$ ou 1 kS/s. Questões relacionadas ao processo de filtragem digital, mais especificamente o compromisso entre reduzir faixa de transição do filtro e aumentar a sua complexidade, tornam necessário que se empregue uma taxa de amostragem mais elevada que a mínima requerida. Assim, f_{sd} foi fixada inicialmente em 2 kS/s, podendo ser modificada para valores mais altos ou mais baixos ao longo do projeto, dependendo da necessidade.

Por fim, a tensão de alimentação foi definida na seção 1.3.2 e a máxima amplitude da entrada corresponde àquela estabelecida para a saída do pré-amplificador, ou seja, $2 V_{pp}$ diferencial. A Tabela 4.1 resume os requerimentos do conversor a ser projetado.

4.2 Modelo e simulações em MATLAB

A primeira etapa de projeto do conversor $\Delta\Sigma$ consiste no desenvolvimento de um modelo do mesmo em ambiente MATLAB[®]/Simulink[®], o que permite realizar simulações numéricas e antecipar os resultados mais importantes como a SNR do modulador, as amplitudes dos sinais internos e a eficácia dos filtros digitais. Aos leitores menos familiarizados com os princípios de funcionamento de um conversor $\Delta\Sigma$, o Apêndice C traz um pequeno resumo a respeito do assunto, além de algumas das equações que serão empregadas ao longo deste capítulo.

Na seção 3.1.5 foi mostrado que o valor da SNDR necessário para que o canal de aquisição tenha um ENOB de 12 bits é 74 dB, para um sinal de entrada senoidal com amplitude máxima admissível pelo modulador (*full scale*). Por ser mais abrangente, o parâmetro SNDR será usado para indicar a resolução/precisão do modulador e do conversor como um todo no desenvolvimento que se segue (no Apêndice C apenas a SNR foi usada). Deve-se atentar para o fato de que, no contexto do modelo em Simulink[®] do modulador, SNDR e SNR são indistintas e indicam a relação entre as potências do sinal e do ruído de quantização. Contudo, quando for tratado o circuito em nível elétrico, outros efeitos indesejáveis como ruído térmico e não linearidade estarão presentes, e o parâmetro SNDR se torna mais adequado para indicar a **precisão** do conversor.

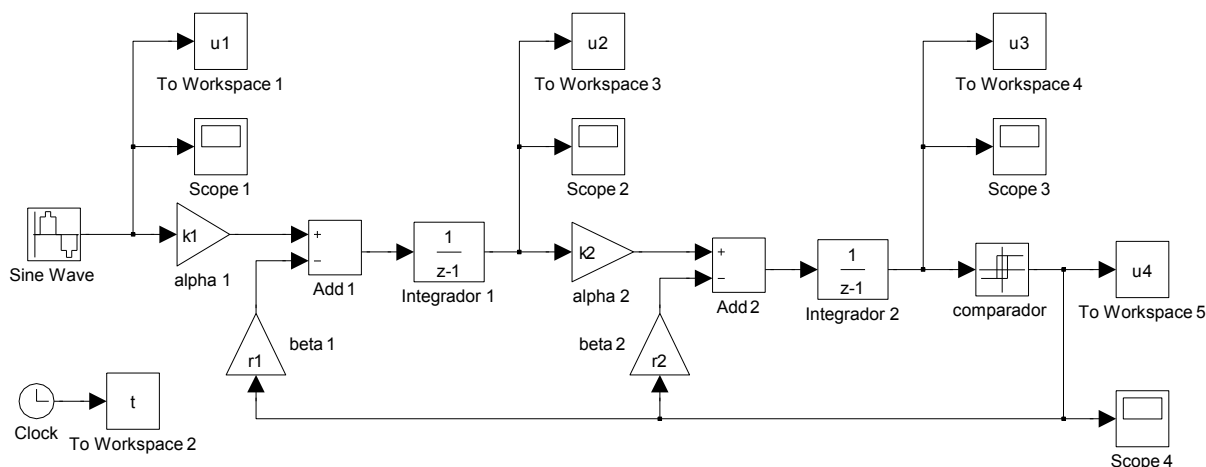
Antes de seguir com a descrição do projeto, algumas definições devem ser dadas. Como a taxa de dados na saída f_{sd} , ou *throughput*, do canal de aquisição foi estabelecida em 2 kS/s, a largura de banda do sinal de entrada efetivamente lida pelo canal é 1 kHz e não apenas 500 Hz (banda de interesse). A taxa de Nyquist f_N para o processo de aquisição em questão fica então estabelecida em 2 kHz. Isso é importante para a definição correta da taxa de *oversampling* OSR mais adiante. Para um dado valor de SNDR (ou de OSR), o aumento da banda de sinal efetiva para 1 kHz implica necessariamente em um aumento da taxa de amostragem do modulador, tornando-o menos eficiente em termos de consumo de energia. Contudo, esse aumento pode trazer vantagens em termos de economia de área e de energia para o conversor como um todo, pois o aumento da largura de banda do filtro decimador reduz a distorção linear dentro da banda de interesse do sinal de entrada o que, por sua vez, reduz a ordem do filtro de compensação necessário.

A SNDR esperada para o conversor será aumentada para 86 dB (incremento de 12 dB ou 2 bits) a fim de garantir alguma margem para outras fontes de erro não consideradas no modelo em Simulink[®] e que estarão presentes no circuito real, como ruído térmico e *flicker*, a não linearidade do modulador e o ruído presente no sinal de entrada.

Dada a SNDR requerida, pode-se comparar as OSR necessárias para um modulador de primeira e segunda ordens aplicando-se as equações (C.18) e (C.21), respectivamente, com N_B nas equações sendo igual a 1, indicando se tratar de um quantizador de 1 bit. Os valores de OSR obtidos são 604 para o modulador de primeira ordem e apenas 66 para o de segunda ordem. Taxas de *oversampling* ainda menores seriam obtidas com o emprego de moduladores de ordem mais elevada.

Os resultados acima mostram que há uma clara vantagem no uso de um modulador de segunda ordem em termos de consumo de energia, pois este opera com uma taxa de amostragem muito mais baixa. Entretanto, o modulador de primeira ordem é estruturalmente mais simples de construir e possui um comportamento facilmente previsível, não apresentando problemas relacionados à estabilidade, como pode acontecer com moduladores de ordem mais elevada.

Figura 4.1 – Modelo em Simulink[®] do modulador $\Delta\Sigma$ de segunda ordem projetado.



Fonte: O próprio autor.

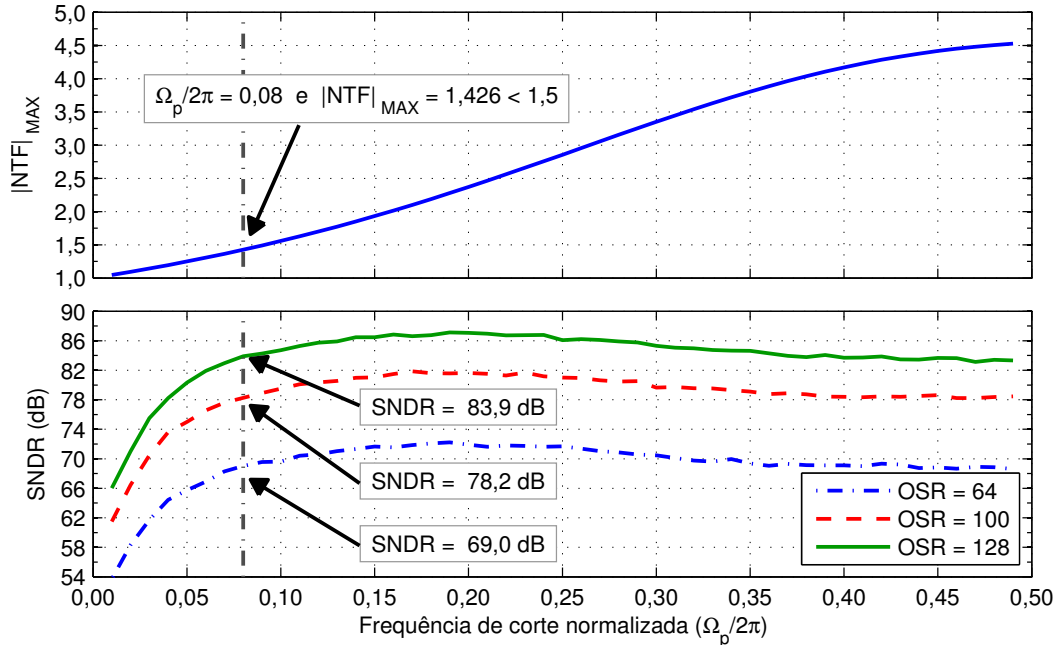
Apesar da simplicidade de um modulador de primeira ordem, as hipóteses feitas sobre as propriedades estatísticas do ruído de quantização se mostram uma aproximação pouco precisa da realidade. A elevada correlação existente entre o sinal de erro gerado pelo quantizador e o sinal de entrada pode resultar em uma diferença significativa entre o comportamento previsto com base no modelo linearizado e o comportamento real observado. Essas hipóteses, no entanto, conduzem a aproximações muito boas para moduladores de ordem mais elevada (ALLEN; HOLBERG, 2002, p. 701). Além disso, foi mostrado na seção C.3.2 que a estabilidade de um modulador pode ser melhorada através do posicionamento apropriado dos polos de sua NTF. Assim, como um compromisso entre a complexidade do circuito e o consumo de energia, um modulador de segunda ordem será utilizado neste projeto. O modelo em Simulink[®] do modulador é mostrado na Figura 4.1.

Definida a ordem do modulador, a etapa seguinte consiste em definir a forma da NTF do sistema. A escolha de um polinômio da forma Butterworth para o denominador da NTF permite maximizar a atenuação do ruído de quantização dentro da banda de sinal. O valor de Q , na equação (C.23), para que o denominador da NTF seja um polinômio do tipo Butterworth, deve ser $\sqrt{2}/2$.

A posição dos polos do sistema pode ser obtida por meio da equação (C.24), calculando-se o valor de seu módulo em $\Omega = \pi$ (frequência máxima) como uma função de Ω_p . A Figura 4.2 (superior) mostra a curva obtida do $|NTF|_{MAX}$ em função de $\Omega_p/2\pi$. Como uma medida para garantir a estabilidade do modulador, Johns e Martin (1997, p. 559-560) recomendam manter valor máximo do módulo da NTF abaixo de 1,5, ou $\Omega_p/2\pi \leq 0,091$ na curva. Assim, escolheu-se $\Omega_p/2\pi = 0,08$.

Pode-se agora aplicar a equação (C.27) para obter o valor da OSR correspondente à SNDR desejada de 86 dB, resultando na condição $OSR \geq 133$. Como pode ser observado, o custo da melhoria na estabilidade é o aumento da taxa de *oversampling*, o que se deve ao

Figura 4.2 – Magnitude máxima da NTF (superior) e curvas obtidas em Simulink® para a SNDR (inferior) em função da posição dos polos do sistema e para diferentes taxas de *oversampling*. O ruído de quantização foi integrado no intervalo de 0 a 1 kHz.



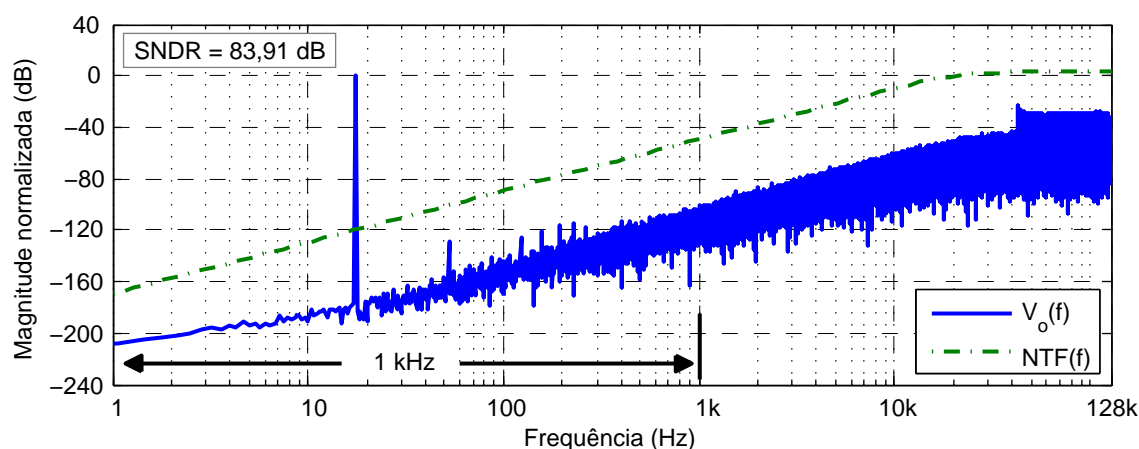
Fonte: O próprio autor.

fato de a equação (C.21) representar um modulador cuja NTF é um derivador de segunda ordem ideal. Ainda assim, o valor da OSR obtida é muitas vezes menor que a requerida por um modulador de primeira ordem.

É interessante observar que o resultado da equação (C.27) não é **necessariamente** verdadeiro e deve ser confirmado por meio de simulações, posto que a equação foi obtida a partir de hipóteses que representam apenas aproximações da realidade ou que não serão verificadas na prática, como a natureza aleatória do ruído de quantização e a máxima amplitude do sinal de entrada igual a $2V_{\text{LSB}}$ do quantizador. Esta última questão é abordada em detalhes na seção C.3.3.

Para simular o modelo em Simulink® é necessário ainda definir a amplitude do sinal de entrada e os níveis de saída do DAC. A amplitude do sinal de entrada corresponde à amplitude do sinal de saída do amplificador de biossinais, apresentado no capítulo anterior e dado na Tabela 4.1 como sendo $2V_{\text{pp}}$. Como o amplificador de biossinais é diferencial, cada entrada do modulador deve permitir uma excursão de sinal de $1V_{\text{pp}}$. Assim, para garantir a estabilidade do modulador, o valor de $1V_{\text{LSB}}$ do DAC deve ser maior que o sinal de entrada. Escolheu-se inicialmente uma relação de $2/3$ entre a amplitude do sinal e o valor de V_{LSB} , resultando em $V_{\text{LSB}} = 1,5\text{ V}$ e $V_{\text{DAC}}^+ = |V_{\text{DAC}}^-| = 0,75\text{ V}$. Esse valor pode ser revisto após uma primeira rodada de simulações, caso o modulador não apresente o comportamento esperado.

Figura 4.3 – Módulo da NTF e espectro de amplitudes do sinal de saída do modulador $\Delta\Sigma$ simulado em Simulink[®]. Foi utilizada uma OSR de 128 e uma entrada senoidal de 17,5 Hz e 1 V_{pp}.



Fonte: O próprio autor.

Os ganhos α , β e γ do sistema também necessitam ser definidos de modo que se obtenha a função de transferência escolhida para o modulador. Isso é feito encontrando-se um conjunto de parâmetros que satisfaça as equações (C.28) e (C.29). Como o objetivo nesta etapa do projeto é apenas avaliar a SNDR do modelo do modulador e encontrar o valor exato da OSR a ser empregada, qualquer conjunto de valores para α , β e γ que satisfaça as equações acima pode ser utilizado e alcançará o mesmo resultado, diferindo apenas na amplitude dos sinais nas saídas dos integradores. Mais adiante, o processo de *dynamic range scaling* será empregado para definir os valores finais desses parâmetros.

Simulações do modelo foram realizadas para diferentes valores de OSR em função de $\Omega_p/2\pi$, para uma entrada senoidal de 17,5 Hz e 1 V_{pp} (o modelo é unipolar). Os resultados são mostrados na Figura 4.2 (inferior). Pode-se ver na figura que para OSR = 128, na frequência escolhida anteriormente para Ω_p , o valor da SNDR obtida se aproxima bastante do valor desejado. Além disso, a escolha de uma potência de 2 para o valor da OSR apresenta vantagens na construção do filtro de decimação, que será discutido mais adiante. A Figura 4.3 mostra o espectro de amplitudes normalizado do sinal de saída do modulador $\Delta\Sigma$, obtido com o modelo em Simulink[®] utilizando uma OSR de 128. A SNDR obtida dentro da banda efetiva de sinal, de 0 Hz a 1 kHz, é de 83,91 dB, ou cerca de 13,6 bits efetivos. A figura também mostra o módulo da NTF projetada e pode-se ver claramente o efeito de *noise shaping* de segunda ordem sobre o ruído de quantização.

A última etapa do projeto em nível de modelo consiste em definir os ganhos de α , β e γ com base na máxima amplitude de sinal que se deseja ter nas saídas dos integradores. No Apêndice C, as equações (C.28) e (C.29) mostram que há infinitas possibilidades para a escolha desses ganhos. Entretanto, essa ambiguidade na escolha dos ganhos é eliminada no processo de *dynamic range scaling*, usado para definir as amplitudes dos sinais nos nós

Tabela 4.2 – Parâmetros finais do modulador $\Delta\Sigma$.

Parâmetro	Valor
OSR	128
f_N	2 kHz
f_s	256 kHz
α_1	0,1000
β_1	0,1000
α_2	0,6452
β_2	0,2500
$ V_{DAC}^- $ e V_{DAC}^+	0,75 V

Fonte: O próprio autor.

internos do modulador. Essas amplitudes são definidas com o objetivo de simplificar o projeto elétrico dos integradores, permitindo a utilização de arquiteturas mais simples de amplificadores operacionais e/ou a utilização de um mesmo amplificador operacional em ambos os integradores. Para o procedimento, foi estabelecido que a amplitude de sinal na saída de cada integrador não deve ultrapassar ± 300 mV, ou 600 mV_{pp}. Isso significa que quando V_{DD} estiver em seu menor valor, $1,2$ V apenas, restará ainda 300 mV de margem abaixo de V_{DD} e acima de 0 V (terra). Com isso, cascodes podem ser utilizados para aumentar o ganho CC dos amplificadores operacionais.

A metodologia de *dynamic range scaling* utilizada aqui é descrita na seção C.3.3 e consiste em um processo iterativo, cujo primeiro passo é escolher os ganhos do sistema para o sinal de entrada, ou módulos das STF, dados pelas equações (C.33) a (C.35). As relações obtidas, em combinação com as equações (C.28) e (C.29), resultam em um conjunto único de valores para α , β e γ . O modelo é então simulado e os ganhos das STF são novamente modificados em função dos resultados obtidos, até que a amplitude de sinal nas saídas dos integradores esteja de acordo com as expectativas. Após algumas iterações, foram obtidos os seguintes valores para os ganhos do sistema

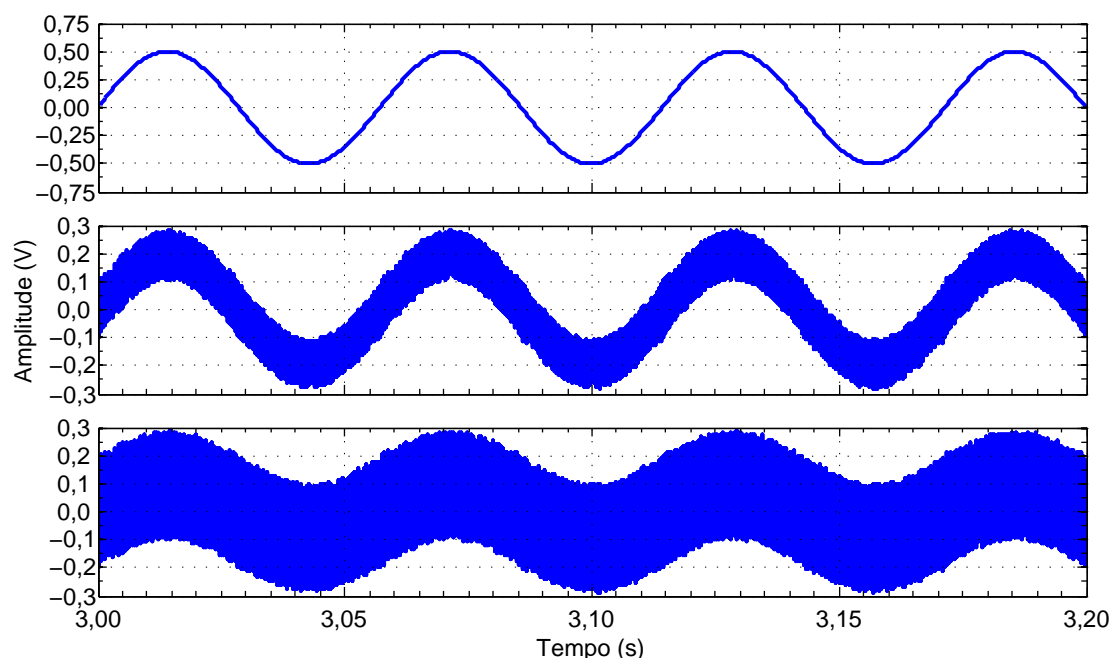
$$|STF_x(\Omega)| = 0,3874,$$

$$|STF_y(\Omega)| = 0,3644,$$

$$|STF_o(\Omega)| = 1,$$

e aplicando-se as relações obtidas nas equações (C.28) e (C.29) resulta em $\gamma = 2,744$, $\alpha_1 = \beta_1 = 0,1$, $\alpha_2 = 0,6465$ e $\beta_2 = 0,25$. A Tabela 4.2 mostra os parâmetros finais obtidos para o modulador. Os sinais internos do modulador, após o processo de *dynamic range scaling* são mostrados na Figura 4.4. Pode-se ver que todos os sinais estão dentro do intervalo desejado de ± 300 mV. Como a forma da NTF não foi alterada com o processo de

Figura 4.4 – Sinais em função do tempo, simulados em Simulink® após o processo de *dynamic range scaling*. As curvas mostram o sinal de entrada do modulador $\Delta\Sigma$ (em cima), com frequência de 17,5 Hz e amplitude de 1 V_{pp}, o sinal de saída do primeiro integrador (no meio) e o sinal de saída do segundo integrador (em baixo).



Fonte: O próprio autor.

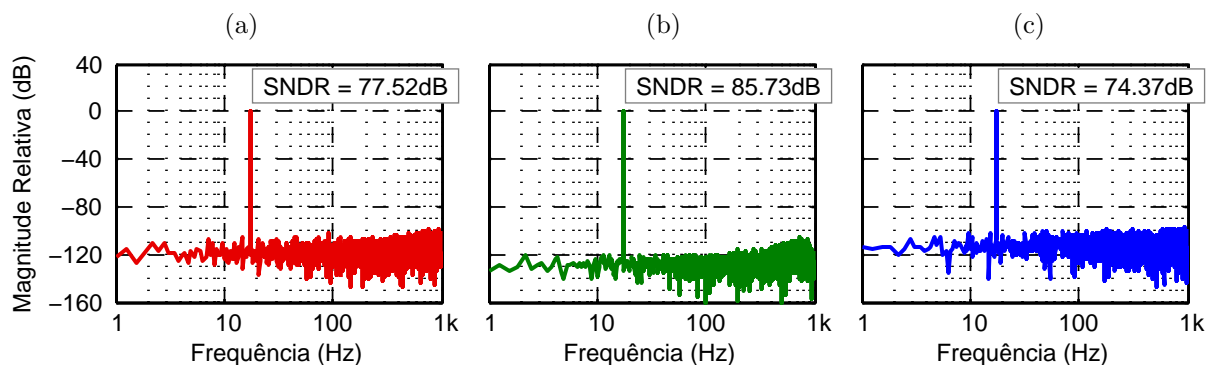
dynamic range scaling, o espectro de amplitudes da saída e a SNDR obtida permanecem iguais àqueles mostrados na Figura 4.3.

Três filtros decimadores foram testados na saída do modulador $\Delta\Sigma$ para avaliar as qualidade do sinal na saída do conversor, após a decimação de 256 kS/s para a taxa de saída de 2 kS/s. As seguintes arquiteturas foram simuladas:

- um filtro IIR passa-baixas Butterworth de 4^a ordem;
- um filtro FIR CIC de 3^a ordem com um filtro compensador de 8^a ordem na saída;
- um filtro FIR passa-baixas inverse-sinc de ordem 741.

A Figura 4.5 mostra os espectros de amplitude dos sinais de saída de cada filtro, com os valores de SNDR calculados em toda a banda de saída (0 Hz a 1 kHz). A entrada do modulador nas simulações é um sinal senoidal de 17,5 Hz e 1 V_{pp}. Em todos os casos, o número de bits de saída dos filtros foi feito muito superior ao ENOB esperado para o conversor, de modo que o piso de ruído mostrado deve-se ao *aliasing* de ruído de quantização no processo de decimação. Como pode ser visto, o filtro CIC foi aquele que impôs a maior atenuação ao ruído de quantização fora da banda de interesse e, por isso, apresentou a SNDR mais elevada, mesmo com a aplicação da filtragem de compensação. Esse resultado

Figura 4.5 – Espectros de amplitude do modulador $\Delta\Sigma$ para diferentes filtros decimadores. (a) Filtro IIR Butterworth de 4^a ordem. (b) Filtro CIC de 3^a ordem com filtro de compensação. (c) Filtro FIR inverse-sinc de ordem 741.



Fonte: O próprio autor.

é importante para o projeto do conversor, pois, como é mostrado no Apêndice C, um filtro CIC emprega apenas operações de soma, o que simplifica significativamente o projeto elétrico do filtro decimador. Com exceção do filtro CIC, os projetos dos filtros simulados foram inteiramente realizados com a ferramenta *fdatool* (*Filter Design and Analysis Tool*) do MATLAB®.

4.3 Aspectos práticos de projeto

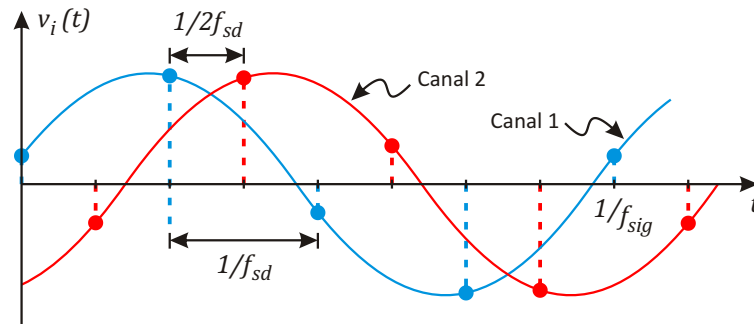
A escolha apropriada da topologia do conversor $\Delta\Sigma$ e dos componentes que o integram é de grande importância para a obtenção dos resultados esperados. Além disso, no desenvolvimento de um modulador em nível elétrico, surgem muitas fontes de erro, como ruído e não linearidade, e estas necessitam ser apropriadamente consideradas no projeto, a fim de alcançar a resolução desejada. Nesta seção serão discutidas algumas destas questões além das fontes de erro mais importantes em um modulador $\Delta\Sigma$, e estes resultados irão direcionar as escolhas de projeto na próxima seção.

4.3.1 Latência de conversão

Em sistemas com múltiplos canais de entrada, o uso compartilhado de um único conversor pode ter a vantagem de economizar espaço físico e de reduzir o custo de fabricação. Porém, no caso de um conversor $\Delta\Sigma$, mesmo para medidas de sinais de baixas frequências, essa prática requer conversores com resposta muito rápida, se comparada àquela requerida na condição do conversor amostrando um único canal ininterruptamente.

A latência de um conversor, ou seja, o intervalo de tempo entre o início da amostragem e a obtenção do valor correspondente estável na saída, pode ser medida em ciclos ou segundos. Latência de ciclo é o número de ciclos de dados completos entre o início da

Figura 4.6 – Multiplexação no tempo do conversor A/D entre dois canais.



Fonte: O próprio autor.

amostragem e a disponibilidade do dado de saída correspondente. O tempo de latência em segundos do conversor é obtido aplicando-se um degrau à sua entrada e medindo-se o tempo até que a saída convirja dentro de uma margem de erro aceitável. Assim, um conversor multiplexado entre vários canais deve ter latência de ciclo igual a zero ou, de modo equivalente, deve ter tempo de latência máximo igual ao intervalo de tempo durante o qual cada canal é amostrado (BAKER, 2007). O tempo de latência de um conversor $\Delta\Sigma$ depende principalmente da largura de banda do filtro decimador: quanto menor a largura de banda maior é o tempo de assentamento da resposta ao degrau do filtro.

A Figura 4.6 ilustra o processo de amostragem em um sistema com dois canais multiplexados em um mesmo conversor, onde f_{sd} é a taxa de amostragem final (após a decimação) para cada canal, e f_{sig} é a frequência do sinal de entrada. Devido à exigência de latência de ciclo igual a zero, a cada intervalo de aquisição, dado por

$$T_{aquisição} = \frac{1}{2f_{sd}}, \quad (4.1)$$

o modulador deve ter adquirido amostras suficientes de um canal para obter um dado estável na saída do filtro digital.

Considerando-se f_{sig} igual à máxima frequência de interesse em sEMG, comumente assumida ser 500 Hz, e escolhendo-se f_{sd} como $4f_{sig}$, o valor de $T_{aquisição}$ deve ser de apenas 250 μs . Em comparação, um filtro passa-baixas CIC de terceira ordem, como o utilizado na seção 4.2, possui uma resposta ao degrau com tempo de assentamento de cerca de 1,3 ms (para uma margem de erro de 1% em relação ao valor final). Nesse caso, para alcançar um tempo de latência menor ou igual a $T_{aquisição}$ deve-se estender a largura de banda do filtro decimador, o que, por sua vez, degrada o SNDR do conversor e traz a necessidade de um valor de OSR mais elevado, ou de um modulador de ordem mais alta, ou mesmo ambos.

Contudo, a desvantagem mais significativa da adoção de um conversor $\Delta\Sigma$ multiplexado diz respeito ao filtro *anti-aliasing* necessário na entrada do modulador: a já comentada possibilidade de relaxamento das especificações do filtro *anti-aliasing* pode

não ser aplicável neste caso, devido à necessidade de estender a largura de banda do filtro digital para atender à especificação de tempo de latência.

4.3.2 Modulador de tempo discreto ou de tempo contínuo

Apesar de as análises da seção anterior terem sido feitas utilizando-se modelos de tempo discreto para o modulador, é interessante observar que os resultados são igualmente válidos para integradores de tempo contínuo. A razão pela qual a arquitetura de tempo discreto foi escolhida pode ser explicada por meio dos exemplos de moduladores mostrados na Figura 4.7. A Figura 4.7(a) mostra o esquemático de um modulador de primeira ordem com um integrador de tempo contínuo, empregando resistores e capacitor. O modulador equivalente de tempo discreto da Figura 4.7(b) é obtido substituindo-se os resistores da Figura 4.7(a) por um circuito equivalente chaveado, do tipo insensível a parasitas (LIU, 2006, p. 29). As funções NTF para os moduladores contínuo e discreto são dadas pelas equações (4.2) e (4.3), respectivamente.

$$\text{NTF}(s) = \frac{s}{s + 1/RC_f} \quad (4.2)$$

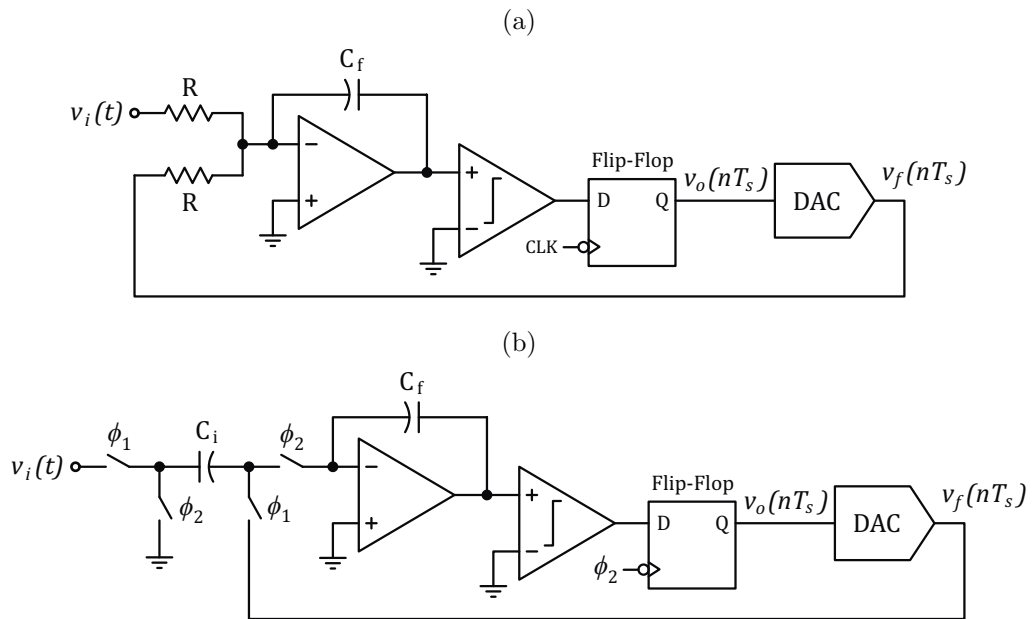
$$\text{NTF}(z) = \frac{1 - z^{-1}}{1 + (C_i/C_f - 1)z^{-1}}. \quad (4.3)$$

A equação (4.2) mostra que o polo da NTF de tempo contínuo é definido pelo produto RC_f e, portanto, depende dos valores absolutos dos componentes. Devido à baixa frequência de amostragem na qual um modulador para aplicações biomédicas deve operar, os valores requeridos das resistências e da capacitância são impraticavelmente altos. Por outro lado, a equação (4.3) mostra que o polo da NTF de tempo discreto é definido pela razão entre os capacitores C_i e C_f e não tem dependência com os valores absolutos destes componentes. Além do mais, o polo de uma função de tempo discreto é definido em termos de frequência normalizada, assumindo valores entre 0 e 0,5, de modo que, definida uma relação C_i/C_f , a frequência real do polo varia de acordo com a frequência de amostragem escolhida, permitindo que o mesmo circuito opere adequadamente em diferentes frequências de amostragem. A análise é igualmente válida para moduladores de ordem mais elevada, assim, um integrador de tempo discreto é a escolha natural para o modulador a ser projetado.

4.3.3 Fontes de erro

Nas análises realizadas na seção 4.2, todos os blocos eram ideais e não havia distinção entre a resolução e a precisão do conversor. Em sistemas reais, no entanto, erros devido a não idealidades de componentes e sub-circuitos adicionam perdas na precisão do conversor que devem ser consideradas durante a fase de projeto, a fim de não subdimensionar ou

Figura 4.7 – Circuito esquemático de moduladores $\Delta\Sigma$ de primeira ordem empregando (a) um integrador de tempo contínuo e (b) um integrador de tempo discreto.



Fonte: O próprio autor.

superdimensionar o circuito. Nesta seção serão revistas algumas das fontes de erro mais importantes dos integradores chaveados que irão compor o modulador e serão apresentadas expressões que auxiliarão no dimensionamento do circuito durante a fase de projeto.

4.3.3.1 Ganho finito do amplificador operacional

O efeito do ganho finito do amplificador operacional será avaliado usando-se o circuito integrador não inversor, mostrado na Figura 4.8(a). Devido ao erro de ganho do amplificador, o potencial no nó X é igual a $-v_o/A_v$ e a tensão no capacitor C_2 é dada por

$$v_{C2}(n) = v_o(n) \cdot \left(1 + \frac{1}{A_v}\right). \quad (4.4)$$

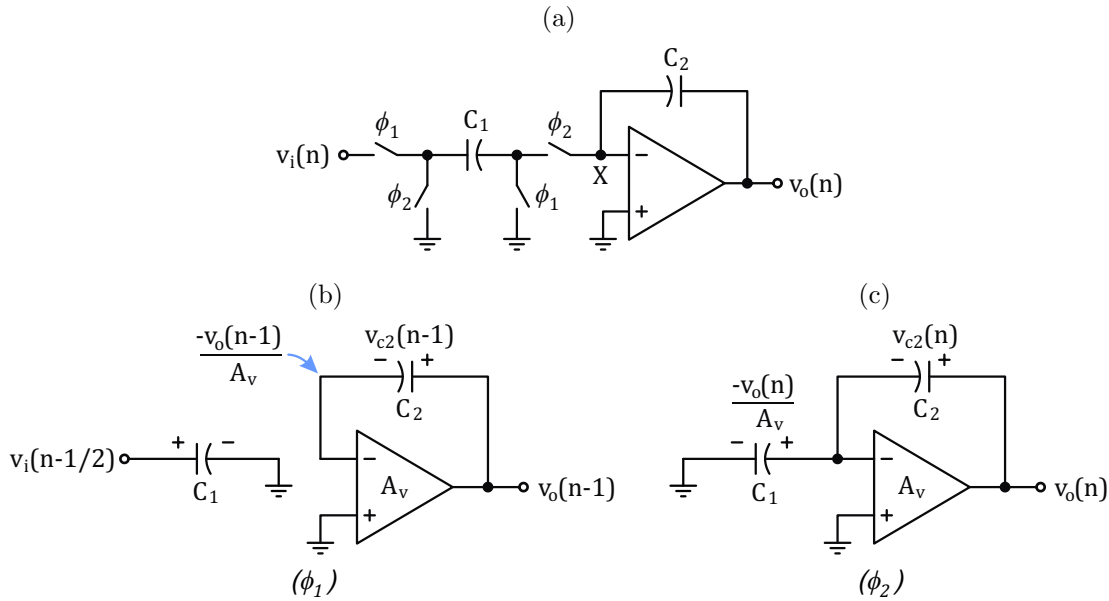
Durante a fase ϕ_1 , mostrada na Figura 4.8(b), o circuito está amostrando o sinal de entrada v_i , e a tensão no capacitor C_2 , armazenada no ciclo anterior, é dada pela equação

$$v_{C2}(n-1) = v_o(n-1) \cdot \left(1 + \frac{1}{A_v}\right). \quad (4.5)$$

Durante a fase ϕ_2 , mostrada na Figura 4.8(c), a carga injetada em C_2 , a qual deveria ser igual àquela previamente armazenada em C_1 , é reduzida por uma quantidade $C_1 \times v_o(n)/A_v$, e a tensão no capacitor C_2 , no final da fase ϕ_2 , é dada pela equação

$$v_{C2}(n) = v_{C2}(n-1) + K \cdot [v_i(n-1/2) - v_o(n)/A_v], \quad (4.6)$$

Figura 4.8 – Efeito do erro de ganho sobre a saída do integrador. (a) Integrador não inversor. (b) Fase de amostragem. (c) Fase de amplificação.



Fonte: O próprio autor.

onde K é o ganho do integrador dado pela relação C_1/C_2 . Por fim, combinando-se as equações (4.4), (4.5) e (4.6), e aplicando-se a transformada z à equação de diferenças resultante, chega-se à equação

$$\frac{v_o(z)}{v_i(z)} = \frac{\left(\frac{A_v K}{A_v + K + 1}\right) z^{-1/2}}{1 - \left(\frac{A_v + 1}{A_v + K + 1}\right) z^{-1}} \quad (4.7)$$

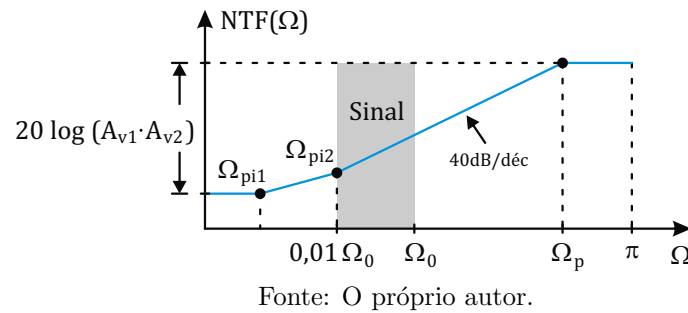
Observando-se a equação (4.7), vê-se que o efeito do ganho finito do amplificador operacional sobre a performance do integrador é o deslocamento do polo, da origem, para a frequência

$$\Omega_{pi} = K/A_v \quad (4.8)$$

e, como resultado, o integrador se comporta como um filtro passa-baixas com ganho CC elevado, cujo valor é igual ao próprio ganho CC do amplificador operacional. Como os polos de malha aberta (os polos dos integradores) tornam-se os zeros de malha fechada (os zeros da NTF), o impacto dessa mudança sobre o funcionamento de um modulador $\Delta\Sigma$ é o de limitar a atenuação do sinal de erro nas baixas frequências, como ilustrado na Figura 4.9, onde Ω_0 é a máxima frequência de interesse do sinal de entrada, normalizada e em radianos. Para garantir a máxima eficiência do processo de *oversampling* com *noise shaping*, Johns e Martin (1997, p. 564) estabelecem que o ganho de cada amplificador deve satisfazer à condição

$$A_v > \frac{100 \cdot \text{OSR} \cdot K}{\pi}, \quad (4.9)$$

Figura 4.9 – Efeito do ganho finito dos amplificadores operacionais sobre a NTF do modulador de segunda ordem.



a qual foi adaptada para o limite inferior da banda de interesse, já que este é conhecido. Essa abordagem, no entanto, pode ser demasiadamente pessimista, especialmente nos casos em que o piso de ruído de quantização dentro da banda for significativamente menor que o piso de ruído do sinal de entrada.

4.3.3.2 Tensão de *offset* do amplificador operacional

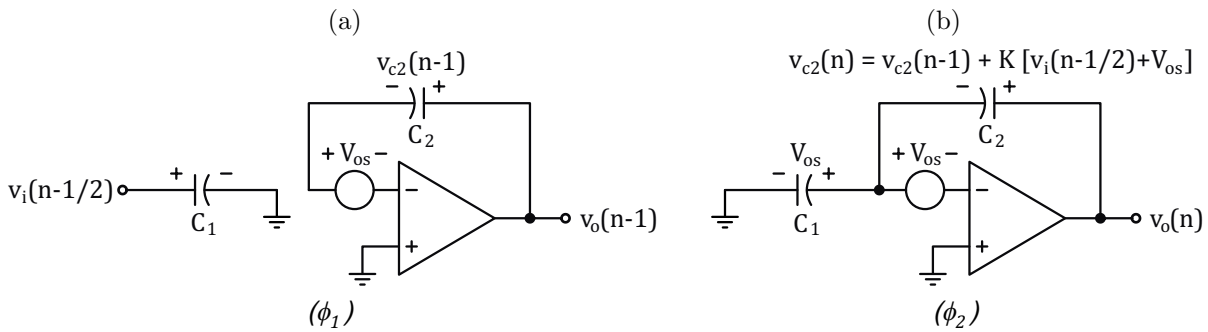
A Figura 4.10(a) mostra a fase ϕ_1 de um integrador não inversor (Figura 4.8(a)) com a inclusão da tensão do *offset* do amplificador operacional referida à sua entrada. Durante a fase ϕ_2 , mostrada na Figura 4.10(b), a tensão de *offset* modifica a carga injetada em C_2 por uma quantidade igual a $C_1 \times V_{os}$. A tensão final na saída do integrador após n ciclos é dada pela equação de diferenças

$$v_o(n) = V_{os} + K \sum_{m=0}^n [v_i(m - 1/2) + V_{os}], \quad (4.10)$$

a qual mostra que o efeito da tensão de *offset* é o de somar um nível CC aos sinais de entrada e saída do integrador. Será mostrado mais adiante que os erros somados aos sinais internos do modulador são fortemente atenuados pelo processo de *noise shaping*, portanto, a parcela realmente significativa do *offset* é aquela diretamente somada ao sinal de entrada.

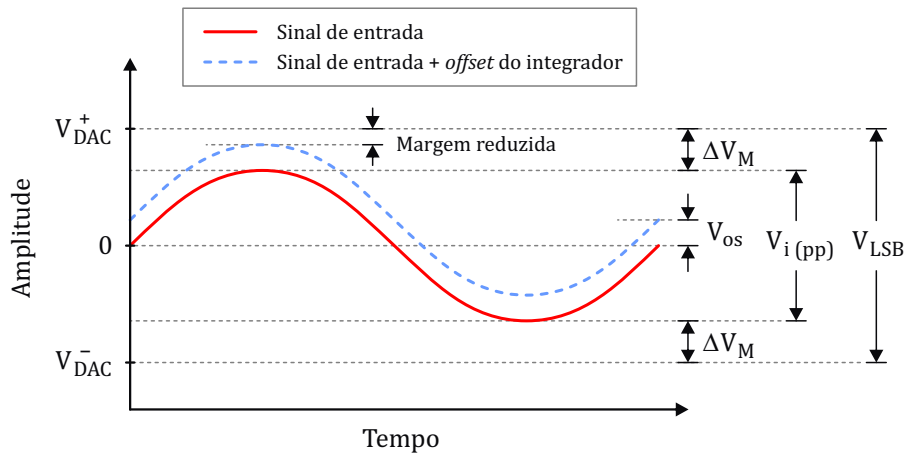
Como já foi argumentado no início deste capítulo, a precisão CC não é um requisito na aquisição de sinais eletromiográficos, de modo que o *offset* não afeta a resolução do sistema. Entretanto, como ilustrado na Figura 4.11, a adição do *offset* ao sinal de entrada implica em uma redução da margem de excursão ΔV_M , o que pode levar à redução da SNDR ou mesmo à instabilidade do modulador (seção C.3.3). Deve ser observado, porém, que essa é uma hipótese exageradamente pessimista na maior parte dos casos práticos, pois a tensão de *offset* de um amplificador operacional pode ser facilmente dimensionada para não ultrapassar a casa de unidades ou poucas dezenas de milivolts, enquanto que o valor definido para ΔV_M no projeto do modulador é usualmente da ordem de centenas de milivolts.

Figura 4.10 – Efeito da tensão de *offset* sobre a saída do integrador da Figura 4.8(a). (a) Fase de amostragem. (b) Fase de integração.



Fonte: O próprio autor.

Figura 4.11 – Efeito da tensão de *offset* sobre a estabilidade do modulador.



Fonte: O próprio autor.

4.3.3.3 Limitação da velocidade de resposta

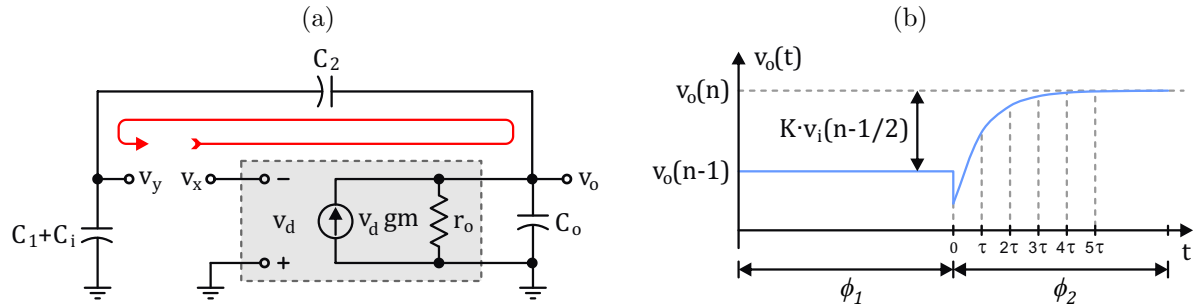
Em regime de operação linear, e usando-se uma aproximação de primeira ordem para o sistema, a velocidade de resposta do integrador é determinada pelo produto ganho-largura de banda (GBW) do sistema. Uma rápida análise da Figura 4.12(a) permite obter a expressão

$$GBW = \frac{1}{2\pi} \cdot \frac{g_m \cdot C_2}{C_2 C_o + (C_1 + C_i)(C_2 + C_o)}, \quad (4.11)$$

onde C_i é a capacitância de entrada do amplificador operacional (RAZAVI, 2002, p. 437).

O efeito da largura de banda finita do amplificador é ilustrado na Figura 4.12(b), onde é mostrada a tensão de saída do integrador em função do tempo durante o intervalo de um período de amostragem. A tensão $v_i(n-1/2)$ corresponde à tensão em C_1 no final da fase ϕ_1 e o fator K é o ganho do integrador. Como demonstrado por Martin e Sedra (1981), a função de transferência de tempo discreto do integrador pode ser aproximada

Figura 4.12 – Efeito da largura de banda finita do amplificador operacional sobre a performance do integrador. (a) Modelo de pequenos sinais do integrador não inversor durante a fase de integração. (b) Sinal de saída em função do tempo para um ciclo de integração.



Fonte: O próprio autor.

por

$$\frac{V_o(z)}{V_i(z)} = \frac{Kz^{-1/2}}{1-z^{-1}} \cdot \left[1 - \left(1 + \frac{k'}{K} \right) e^{-T_s/2\tau} \right] \quad (4.12)$$

onde $\tau \approx 1/2\pi\text{GBW}$ é a constante de tempo do sistema, $T_s/2$ é a duração da fase ϕ_2 e k' é dado por

$$k' = \frac{C_1 C_2}{C_2 C_o + (C_1 + C_i)(C_2 + C_o)}, \quad (4.13)$$

sendo o termo k'/K a amplitude do pico negativo no início da fase ϕ_2 , resultante da redistribuição inicial de cargas entre os capacitores no integrador. A equação (4.12) mostra que, devido à sua natureza linear, a característica de largura de banda finita do amplificador causa um erro de ganho no integrador, cuja magnitude depende também do período de amostragem adotado.

O erro de ganho em si não representa um problema para a aplicação em questão. É uma regra prática, contudo, dimensionar-se o amplificador operacional de modo que τ seja cerca de um décimo do período de amostragem, ou, de modo equivalente,

$$2\pi\text{GBW} \geq 10 \cdot f_s. \quad (4.14)$$

Assim, supondo-se um ciclo de trabalho de 50%, a fase ϕ_2 terá duração de cerca de 5τ , o suficiente para que o sinal de saída alcance um valor estável.

Quando a tensão de entrada do amplificador operacional é grande, este sai de sua operação aproximadamente linear, por efeito da saturação da transcondutância g_m do par diferencial, e passa a operar como uma fonte de corrente constante. Nessa condição, sua resposta não é mais proporcional à excitação na entrada. Essa característica é chamada de limitação de *slew rate* e, diferentemente da limitação de largura de banda, representa uma fonte de não linearidade no sistema. De acordo com Allen e Holberg (2002, p 531),

essa fonte de erro pode ser desprezada, desde que seja satisfeita a condição

$$SR_{\text{MAX}} \geq \frac{\Delta V_{\text{o(MAX)}}}{T_s/2}. \quad (4.15)$$

A largura de banda e o *slew rate* finitos do amplificador operacional limitam sua velocidade de resposta e, portanto, determinam a máxima taxa de amostragem permitida. Entretanto, se satisfeitas as condições para GBW e SR, o modelo será suficientemente preciso, e os resultados das simulações em nível de elétrico irão diferir muito pouco daqueles usando diagramas de blocos no Simulink[®].

4.3.3.4 Injeção de carga pelas chaves

A injeção de carga pelas chaves CMOS é um dos principais fatores limitantes da precisão e velocidade de circuitos chaveados, frequentemente requerendo técnicas elaboradas de chaveamento e grandes capacitores, para limitar seu impacto no sistema (RAZAVI, 2002; Schneider, Marcio Cherem and Galup-Montoro, Carlos, 2010, p. 423, p. 414). Um rápido estudo da magnitude do erro gerado por injeção de carga em diferentes topologias de integradores chaveados é apresentado no Apêndice D. Em resumo, a combinação do integrador a capacitores chaveados do tipo insensível a parasitas com a arquitetura totalmente diferencial, mostrada na Figura D.3(e), elimina quase totalmente os erros por injeção de cargas das chaves, restando apenas a parcela dependente do sinal de entrada, gerada por S_3 e S'_3 , somada a um *offset* CC diferencial, gerado pelos pares $S_3 - S'_3$ e $S_4 - S'_4$ como efeito do descasamento entre as chaves.

O impacto do erro gerado pela injeção de cargas sobre a precisão e, conseqüentemente, sobre o dimensionamento do integrador, deve levar em conta que, ao final de cada ciclo de integração, a carga total Q_{inj} (em modo diferencial), injetada pelas chaves ao longo das fases de integração, é somada à carga correspondente ao sinal de entrada, dada por

$$Q_i(nT_s) = v_i(nT_s) \cdot C_1, \quad (4.16)$$

afetando diretamente a SNDR do sistema. Desse modo, para o primeiro integrador de um modulador $\Delta\Sigma$, a capacitância C_1 , necessária para que o erro gerado permita uma resolução igual a N bits, deve satisfazer a condição

$$C_1 > \frac{Q_{\text{inj}} \cdot 2^{N+1}}{V_{\text{FS}}}, \quad (4.17)$$

a fim de garantir que a máxima amplitude do erro seja inferior a $1/2 V_{\text{LSB}}$, onde V_{FS} é a máxima amplitude pico-a-pico de sinal permitida na entrada do conversor.

Nos casos em que a capacitância C_1 exigida for demasiadamente grande, algumas técnicas podem ser utilizadas para minimizar a magnitude da injeção de cargas. A Figura D.4, dada no Apêndice D, mostra que a parcela da carga injetada dependente da tensão de

entrada é uma função aproximadamente linear da resistência da chave S_1 (ou S'_1). Então, uma técnica de linearização de R_{on} como a apresenta em (Schneider, Marcio Cherem and Galup-Montoro, Carlos, 2010, p. 412) poderia ser usada em S_1 para minimizar o erro de não linearidade gerado (o descasamento entre chaves continuaria a gerar erro de *offset CC*). Limitar a taxa de transição dos sinais de controle é também uma prática recomendada para reduzir a injeção de cargas (SHEU; SHIEH; PATIL, 1987).

Em projetos nos quais tanto a precisão do sistema quanto a economia de área de silício são importantes, pode-se fazer uso do cancelamento de cargas por meio de chaves *dummies*. Entretanto, o cancelamento é impreciso e depende de muitos parâmetros, como o casamento entre os dispositivos, as impedâncias nos terminais da chave e a velocidade de transição do sinal de controle. Os dois últimos são geralmente otimizado através ajustes orientados por simulações (LIU, 2006, p. 11). Como regra geral, usa-se chaves *dummies* com metade do tamanho da chave real e aplica-se um sinal de controle com transição rápida o bastante para distribuir a carga da chave igualmente entre a fonte e o dreno do transistor MOS (Schneider, Marcio Cherem and Galup-Montoro, Carlos, 2010, p. 416). Essa técnica, porém, não é tão eficiente com chaves complementares (ou CMOS), pois estas necessitam de sinais de controle simultâneos, o que torna o circuito sensível a atrasos ente os sinais de controle dos transistores NMOS e PMOS.

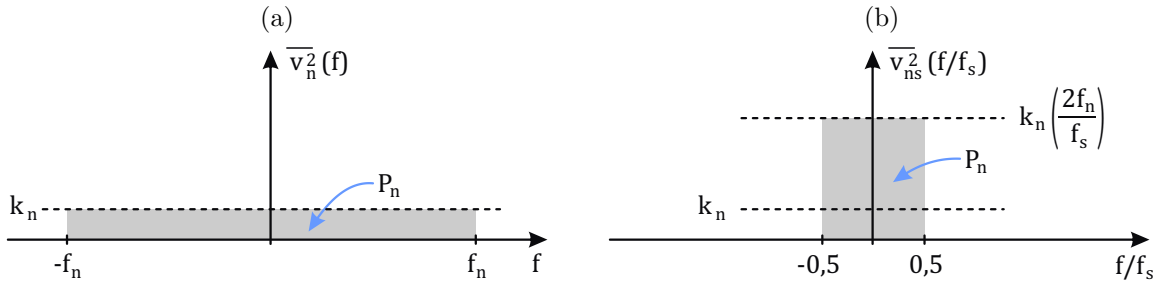
Independentemente do uso ou não de chaves *dummies*, os atrasos entre os sinais de controle complementares em chaves CMOS podem gerar erros com amplitudes imprevisíveis. Assim, outra boa prática de projeto consiste em equalizar os atrasos nos caminhos dos sinais, de forma que as chaves NMOS e PMOS sejam abertas simultaneamente (RAZAVI, 2002, p. 417).

4.3.3.5 Ruído

Uma fonte de erro potencialmente problemática, existente em circuitos analógicos de tempo discreto, é o fenômeno de *aliasing* de ruído térmico durante o processo de amostragem (SCHREIER et al., 2005, p. 2360). Se o ruído for gerado pelos próprios componentes do circuito, mais especificamente pelos amplificadores e chaves, este não poderá ser removido por um filtro *anti-aliasing*, tal como se faz com o ruído acoplado ao sinal de entrada e que se encontra fora da banda de interesse. Felizmente, as capacitâncias presentes no circuito limitam a largura de banda do ruído e permitem prever com razoável precisão seu impacto sobre a SNR do sistema.

A Figura 4.13 ilustra o processo de *aliasing* na amostragem do ruído a uma taxa f_s . O ruído é suposto ter densidade espectral de potência $\overline{v_n^2}(f)$, uniformemente distribuída dentro da faixa de frequências definida pela sua largura de banda efetiva f_n . Devido às propriedades estatísticas do ruído (μ e σ) não mudarem no processo de amostragem, a potência total de ruído presente no sinal amostrado, que compreende o intervalo de

Figura 4.13 – *Aliasing* de ruído térmico pelo processo de amostragem. (a) PSD do ruído antes da amostragem. (b) PSD do ruído após a amostragem.



Fonte: O próprio autor.

frequências de $-f_s/2$ a $+f_s/2$, é igual a potência total de ruído antes da amostragem. Desse modo, pode-se estabelecer que

$$\overline{v_{ns}^2}(f/f_s) = k_{ns} = \frac{P_n}{f_s}, \quad (4.18)$$

onde $\overline{v_{ns}^2}(f/f_s)$ é a densidade espectral de potência do ruído amostrado, e P_n é a potência total de ruído, dada pela área sob a curva de $\overline{v_{ns}^2}$ ou $\overline{v_n^2}$.

Integrando-se $\overline{v_{ns}^2}$ ao longo do intervalo entre $-f_0$ e $+f_0$, obtém-se a potência de ruído total que efetivamente se soma ao sinal de interesse e, no caso de *oversampling*, com $f_s = 2f_0 \text{OSR}$, a potência de ruído dentro da banda é dada por

$$P_{n0} = \frac{P_n}{\text{OSR}} \quad (4.19)$$

Esse é um resultado geral e deve ser aplicado a cada uma das fontes de ruído, a fim de estimar sua contribuição no valor total do ruído do integrador. A Figura 4.14 ilustra as fontes de ruído presentes em um integrador chaveado em cada uma das fases de integração. Dependendo da fase, as fontes e as funções de transferência para o ruído são diferentes, como mostrado a seguir.

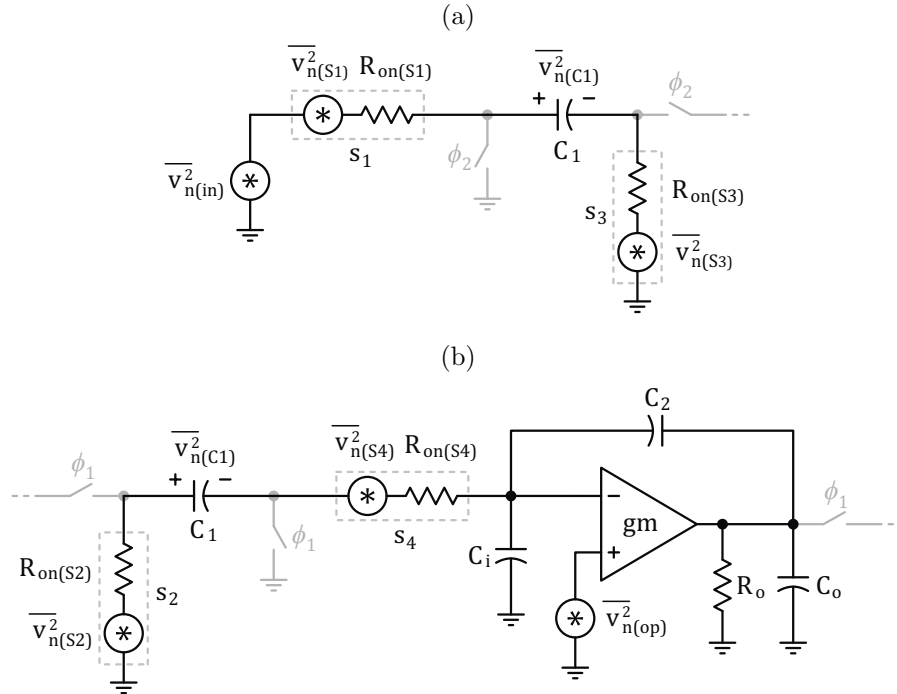
Fase ϕ_1 - Durante a fase ϕ_1 , mostrada na Figura 4.14(a), o capacitor C_1 está sendo carregado pelo circuito precedente através das chaves S_1 e S_3 . A largura de banda efetiva do ruído nessa fase é definida por

$$f_{n(\phi_1)} = \frac{1}{4 \cdot C_1 \cdot (R_{on(S1)} + R_{on(S3)})}, \quad (4.20)$$

a qual representa uma situação de pior caso por não levar em conta a resistência e a capacitância de saída da fonte de sinal na entrada. Usando-se a equação (4.19), a potência de ruído na banda de sinal é dada por

$$P_{n0(\phi_1)} = \left(\overline{v_{n(in)}^2} \cdot 2f_{n(\phi_1)} + \frac{kT}{C_1} \right) \frac{1}{\text{OSR}} \quad (4.21)$$

Figura 4.14 – Fontes de ruído em cada fase de operação do integrador não inversor. (a) Na fase ϕ_1 a fonte de sinal e as chaves S_1 e S_3 injetam ruído em C_1 . (b) Na fase ϕ_2 o ruído é injetado pelas chaves S_2 e S_4 , além do amplificador operacional.



Fonte: O próprio autor.

onde $\overline{v_{n(in)}^2}$ é a PSD do ruído da fonte de sinal na entrada (supostamente constante em todo o espectro), e $\frac{kT}{C_1}$ é a potência total de ruído térmico gerado pelas chaves, sendo k a constante de Boltzmann e T a temperatura absoluta (RAZAVI, 2002, p. 211).

Fase ϕ_2 - Nessa fase, mostrada na Figura 4.14(b), o ruído gerado pelas chaves S_2 e S_4 , além do ruído do amplificador operacional, é adicionado a C_1 e, conseqüentemente, aos sinais de entrada e de saída. A largura de banda nesse caso não é definida como na fase ϕ_1 , devido à presença do amplificador operacional realimentado. Pode ser mostrado que, nessa condição, a largura de banda efetiva do ruído é aproximadamente igual a

$$f_{n(\phi_2)} = \frac{A_f \cdot g_m}{4(C_o + C'_o)} \quad (4.22)$$

onde A_f é o ganho de tensão CC ao longo da malha de realimentação do integrador, dado por

$$A_f = \frac{C_2}{C_2 + C_1 + C_i}, \quad (4.23)$$

e C'_o é a capacitância equivalente vista da saída do amplificador operacional na direção de C_2 , dada pela equação

$$C'_o = \frac{C_2(C_1 + C_i)}{C_2 + C_1 + C_i}. \quad (4.24)$$

A expressão anterior se aplica bem apenas ao ruído do amplificador operacional, cuja função de transferência possui apenas dois polos. Para o ruído gerado pelas chaves, há um zero na função de transferência que pode elevar significativamente o valor da largura de banda efetiva. Pode ser mostrado que, para essa fonte de ruído, a largura de banda efetiva, incluindo o zero e o segundo polo, é dada pela equação

$$f_{n(\phi 2-Ron)} = \frac{C_1 \cdot g_m \cdot R'_{on} + C'_i}{4 \cdot C_1 \cdot R'_{on} [C_1 (g_m \cdot R'_{on} + 1) + C'_i]}, \quad (4.25)$$

onde

$$R'_{on} = R_{on(S2)} + R_{on(S4)} \quad (4.26)$$

e

$$C'_i = C_i + C_o + \frac{C_i \cdot C_o}{C_2}. \quad (4.27)$$

Desse modo, a potência total de ruído adicionada ao sinal nessa fase é dada por

$$P_{n0(\phi 2)} = \left[2 \cdot f_{n(\phi 2-op)} \cdot \overline{v}_{n(op)}^2 + 2 \cdot f_{n(\phi 2-Ron)} \left(\overline{v}_{n(S2)}^2 + \overline{v}_{n(S4)}^2 \right) \right] \frac{1}{OSR}, \quad (4.28)$$

onde $f_{n(\phi 2-op)}$ é a largura de banda efetiva para o ruído do amplificador operacional, dada na equação (4.22). Usando-se a expressão geral do ruído térmico de um transistor, apresentada em (RAZAVI, 2002, p. 338), e definindo-se o parâmetro $\gamma_{(op)}$ como um fator de escala, dependente da tecnologia, topologia e dimensionamento do amplificador operacional, resulta em

$$P_{n0(\phi 2)} = \left[\gamma_{(op)} \cdot \frac{A_f kT}{C_o + C'_o} + 2kT(R_{on(S2)} + R_{on(S4)}) \cdot 2f_{n(\phi 2-Ron)} \right] \frac{1}{OSR}. \quad (4.29)$$

Assumindo-se que, no bloco precedente ao integrador, a potência de ruído tenha sido apropriadamente limitada e a resistência de saída seja baixa comparada com R_{on} , a fonte de sinal não deverá afetar a SNR do integrador e, portanto, pode ser deixada de lado. Pode-se também definir $f_{n(\phi 2-Ron)}$ da mesma forma usada na fase ϕ_1 . O resultado dessas duas simplificações é uma expressão de mais fácil tratamento analítico para o ruído total dentro da banda de sinal no integrador, dada pela equação

$$P_{n0} = P_{n0(\phi 1)} + P_{n0(\phi 2)} = \left[\gamma_{(op)} \cdot \frac{A_f kT}{C_o + C'_o} + 2 \frac{kT}{C_1} \right] \frac{1}{OSR}. \quad (4.30)$$

Essa aproximação é razoavelmente precisa para valores elevados do produto $g_m \times R'_{on}$ e se torna uma abordagem pessimista na medida que este valor for reduzido. O impacto dessa aproximação deve, no entanto, ser avaliado caso a caso.

Esses resultados se aplicam unicamente a um integrador simples, ou seja, sem o esquema de subtração/adção de uma tensão de referência, como ocorre em um modulador. A análise dessa segunda fonte de ruído, embora semelhante a análise já executada, depende

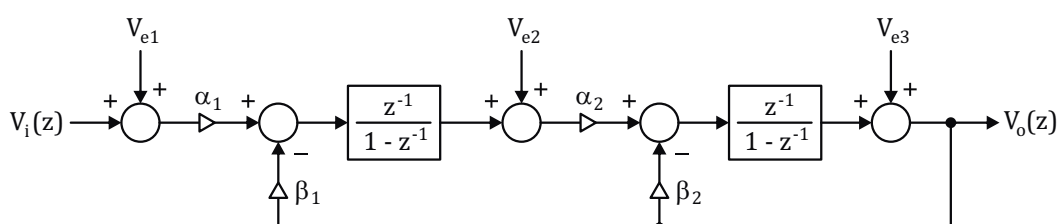
ainda do esquema de subtração do integrador e da forma como a referência é obtida, por isso será deixada para a seção de projeto elétrico.

Somado ao ruído térmico, há também o ruído *flicker*, gerado pelo amplificador operacional. Contudo o efeito de *aliasing* sobre esse tipo de ruído é desprezível, de modo que apenas sua parcela abaixo da frequência de amostragem contribui para o ruído total do integrador. O ruído *flicker* pode ser controlado tanto no projeto do amplificador, através do dimensionamento adequado dos transistores, quanto em nível de sistema, com o uso de técnicas como CDS (*Correlated Double Sampling*), por exemplo. Porém, tal técnica deve ser usada com cuidado uma vez que seu efeito sobre o ruído do amplificador operacional é de diferenciação, resultando em amplificação das componentes de ruído nas frequências mais altas.

4.3.4 Impacto das fontes de erro

Dependendo do ponto onde o erro é inserido no circuito, seu efeito pode ser percebido diretamente na SNDR do sistema ou pode ser fortemente atenuado pelo processo de *noise shaping*, o qual não se aplica apenas ao ruído de quantização mas também à outras fontes de erro, como ruído térmico, ruído *flicker*, *offset* e não linearidades. A Figura 4.15 ilustra as possíveis fontes de erro em um modulador $\Delta\Sigma$ de segunda ordem. Qualquer erro inserido no modulador pode ser modelado como sendo injetado em um dos três pontos indicados.

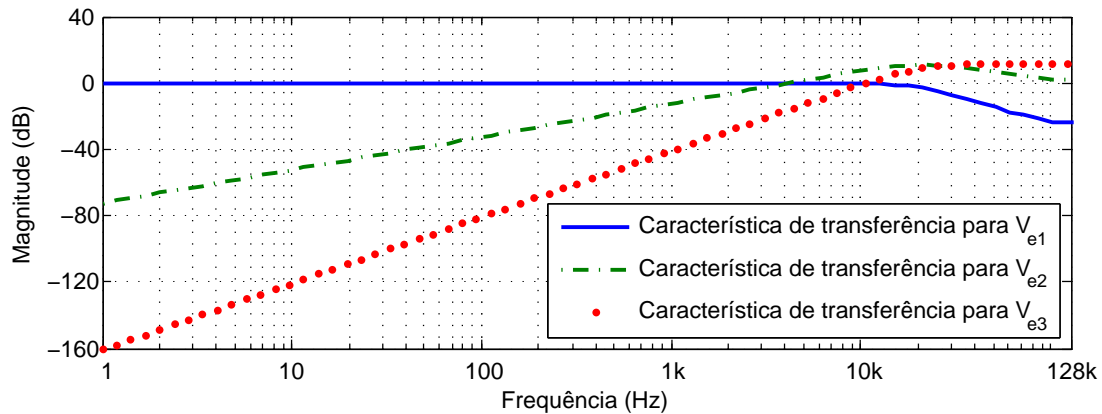
Figura 4.15 – Fontes de erro em um modulador $\Delta\Sigma$ de segunda ordem.



Fonte: O próprio autor.

As curvas de resposta em frequência do sistema acima, tomando-se cada uma das fontes de erro como entrada, são mostradas na Figura 4.16. De acordo com as curvas, sinais de erro que podem ser modelados como V_{e3} estão sujeitos a *noise shaping* de segunda ordem, exatamente da mesma forma que o ruído de quantização. As fontes de erro que compõem V_{e2} são menos atenuadas que aquelas que compõem V_{e3} , sofrendo apenas *noise shaping* de primeira ordem. Por fim, sinais de erro que podem ser modelados como fontes na entrada do modulador, representados por V_{e1} , são diretamente somados ao sinal de entrada, não sofrendo nenhuma atenuação pelo modulador.

Figura 4.16 – Características de transferência para as fontes de erro em um modulador $\Delta\Sigma$ de segunda ordem.



Pode-se concluir então que as fontes de erro são mais relevantes quando estão mais próximas à entrada do modulador (SCHREIER et al., 2005). Assim, inserindo-se um sinal de erro em cada um dos três pontos mostrados na Figura 4.15, e assumindo-se que o sinal de erro é um ruído térmico de potência total P_n , com espectro uniformemente distribuído ao longo da faixa de $-f_s/2$ a $+f_s/2$ (já considerando-se o efeito de *aliasing*), as potências resultantes de ruído dentro da banda do sinal na saída do modulador, serão dadas pelas equações

$$P_{o(e1)} = P_n \cdot \frac{1}{\text{OSR}}, \quad (4.31a)$$

$$P_{o(e2)} = P_n \cdot \frac{\pi^2}{3 \cdot \text{OSR}^3} \cdot \frac{\alpha_2^2}{\psi^2}, \text{ e} \quad (4.31b)$$

$$P_{o(e3)} = P_n \cdot \frac{\pi^4}{5 \cdot \text{OSR}^5} \cdot \frac{1}{\psi^2}, \quad (4.31c)$$

com o parâmetro ψ dado na equação (C.25).

Embora os resultados obtidos refiram-se ao ruído térmico, a análise pode facilmente ser estendida ao ruído *flicker*. Porém, sinais de erro que não podem ser modelados como um espectro contínuo são mais apropriadamente tratados por meio da atenuação mínima dentro da banda do sinal imposta a eles pelo modulador. A conclusão porém é a mesma: a magnitude do erro inserido diretamente na entrada é sempre maior que as magnitudes dos demais erros, sendo fortemente dominante na precisão do circuito.

4.4 Projeto elétrico

Até este ponto, todas as características importantes de um conversor $\Delta\Sigma$ e dos sub-circuitos que o compõe foram introduzidas e as principais fontes de erro que podem influenciar nas escolhas de projeto discutidas. O projeto em nível de sistema do modula-

dor foi executado em MATLAB, os requerimentos do modulador foram apresentados na Tabela 4.1 e as especificações finais do modulador (ganhos, OSR, etc.) foram resumidas na Tabela 4.2. Nesta seção serão descritos os projetos em nível elétrico do modulador $\Delta\Sigma$ e do filtro decimador, baseados nas especificações dadas. O objetivo primário do projeto é alcançar o desempenho estabelecido com a maior economia possível de área e de energia consumida.

4.4.1 Modulador

Devido à latência de conversão, discutida na seção 4.3.1, optou-se por utilizar um conversor para cada canal e, portanto, um dos requisitos impostos para o projeto do modulador é que este deve ocupar a menor área de silício possível. De acordo com a análise da seção 4.3.2, isto é mais facilmente conseguido empregando-se integradores de tempo discreto.

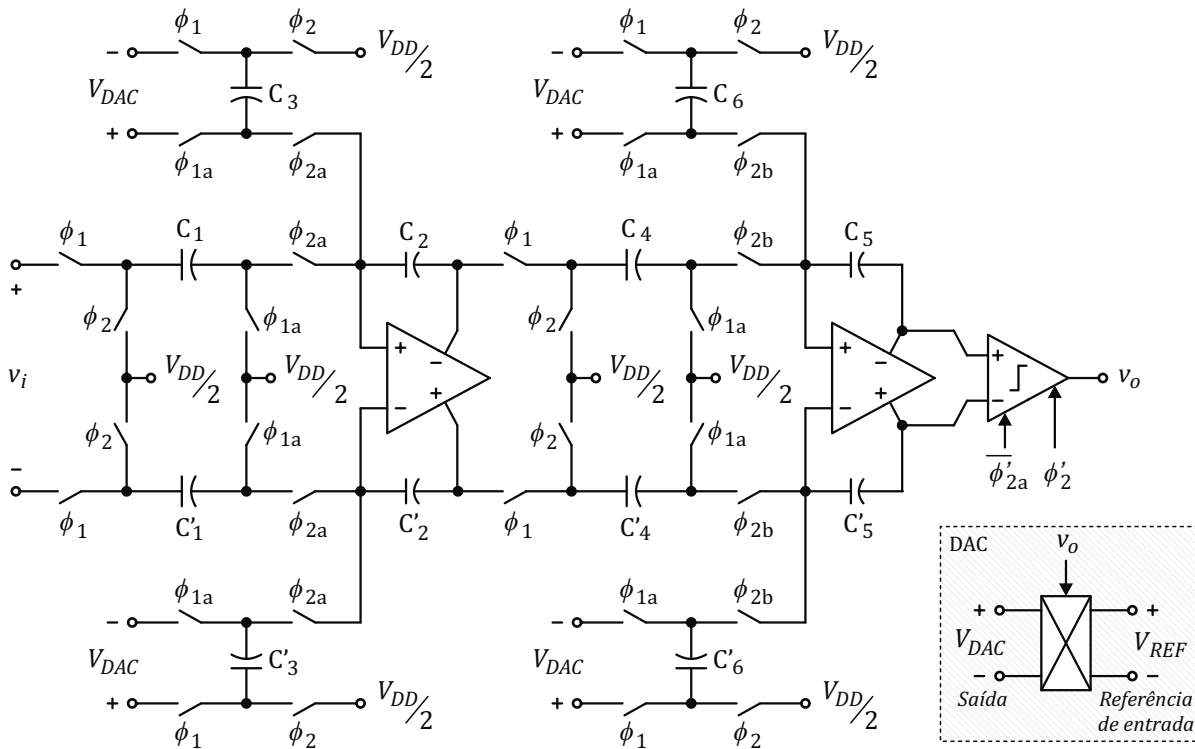
Com respeito à escolha de uma arquitetura de unipolar ou diferencial, na seção 3.1.2 e no Apêndice D são discutidas algumas das vantagens de um circuito diferencial com respeito às fontes de erros que se manifestam como sinais de modo comum, como a interferência da rede de alimentação e o *offset* CC provocado pela injeção de cargas durante o processo de chaveamento.

No que se refere à injeção de cargas, já foi observado anteriormente que erros CC não afetam a precisão do circuito nesta aplicação em particular. Assim, com base nos resultados mostrados no Apêndice D, nota-se que, mesmo em casos extremos de descasamento entre as chaves, situação na qual o *offset* CC terá seu maior valor, não há vantagem significativa que justifique o emprego da arquitetura diferencial.

Entretanto, a elevada rejeição a interferentes da rede de alimentação é uma característica particularmente interessante nesta aplicação, visto que o sistema que está sendo projetado também compreende uma parcela digital que pode “contaminar” a alimentação do circuito. Desse modo, e para estar em concordância com a topologia usada para o amplificador de biossinais, os integradores do modulador serão, também, diferenciais.

O esquemático do modulador $\Delta\Sigma$ empregado neste trabalho é mostrado na Figura 4.17 (JOHNS; MARTIN, 1997, p. 570). Os ganhos α_1 , β_1 , α_2 e β_2 , mostrados na Tabela 4.2, são definidos pelas relações C_1/C_2 , C_3/C_2 , C_4/C_5 e C_6/C_5 , respectivamente. A fim de obter o melhor desempenho dos amplificadores operacionais, mesmo com tensões de alimentação baixas (até 1,2 V), a tensão de referência de modo comum usada é a metade da tensão de alimentação ($V_{DD}/2$).

A tensão de referência V_{REF} utilizada no DAC (ou V_{DAC}^+ e $|V_{DAC}^-|$ mostrados na Tabela 4.2) foi reduzida de 0,75 V para 0,6 V, a fim de permitir que o circuito opere adequadamente com alimentação de 1,2 V. Seu valor deve ser constante durante a operação

Figura 4.17 – Esquemático do modulador $\Delta\Sigma$ empregado.

Fonte: O próprio autor.

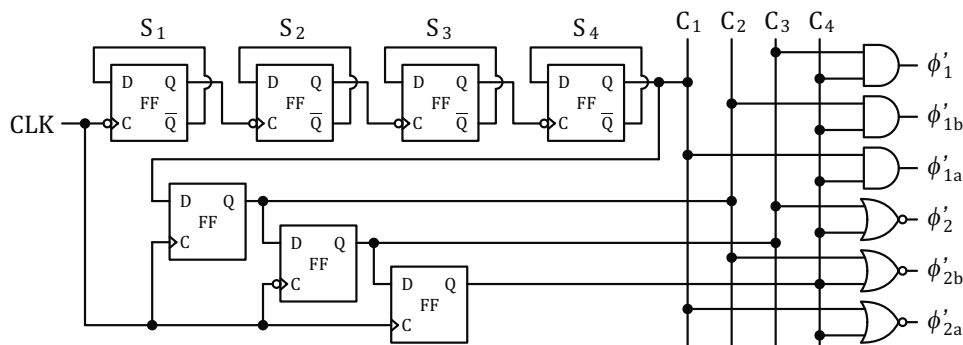
do circuito, devendo, portanto, ser independente da tensão de alimentação e da temperatura. Contudo, uma referência de precisão elevada não é requerida, visto que a aplicação não exige o conhecimento exato da amplitude do sinal medido, devido ao processo de normalização aplicado aos dados obtidos.

4.4.1.1 Chaves e sinais de controle

Embora a aplicação não exija um projeto elaborado das chaves empregadas, chaves complementares (*transmission gates*) serão usadas. Isto é necessário devido às elevadas amplitudes dos sinais de entrada e dos sinais internos do modulador, se comparadas à tensão de alimentação, especialmente quando a alimentação estiver em seu valor mais baixo. Todas as chaves do modulador empregam transistores de tamanho mínimo, já que os sinais de interesse são de baixa frequência, o que também ajuda a limitar os erros por injeção de cargas. Os transistores utilizados são os mesmos transistores de I/O de 3,3V já adotados no projeto do amplificador de biossinais.

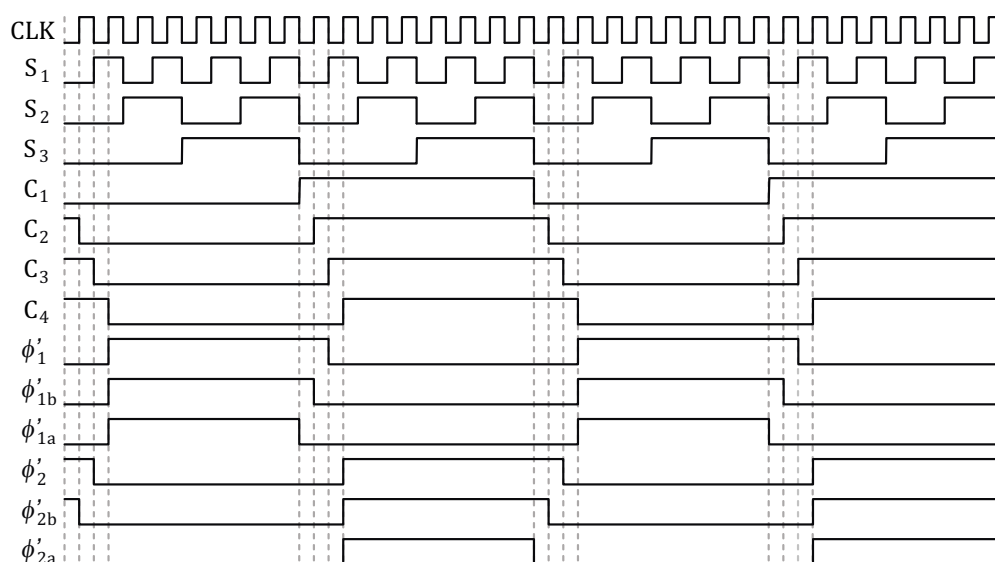
Os sinais de controle ϕ_1 , ϕ_{1a} , ϕ_{1b} , ϕ_2 , ϕ_{2a} e ϕ_{2b} , indicados nas Figuras 4.17 e 4.23, constituem um conjunto de sinais sem sobreposição de transição, necessários para minimizar os erros por injeções de cargas. Também será adotado um esquema de limitação de *slew rate* dos sinais de controle, embora os resultados simulados mostrados na Figura D.4 (c) indiquem haver pouca diferença entre a injeção de cargas resultante de uma transição

Figura 4.18 – Circuito gerador de sinais de controle sem sobreposição de transição. Os sinais grafados com apóstrofo são aqueles sem limitação da taxa de transição.



Fonte: O próprio autor.

Figura 4.19 – Sinais de controle e sinais internos do circuito gerador.

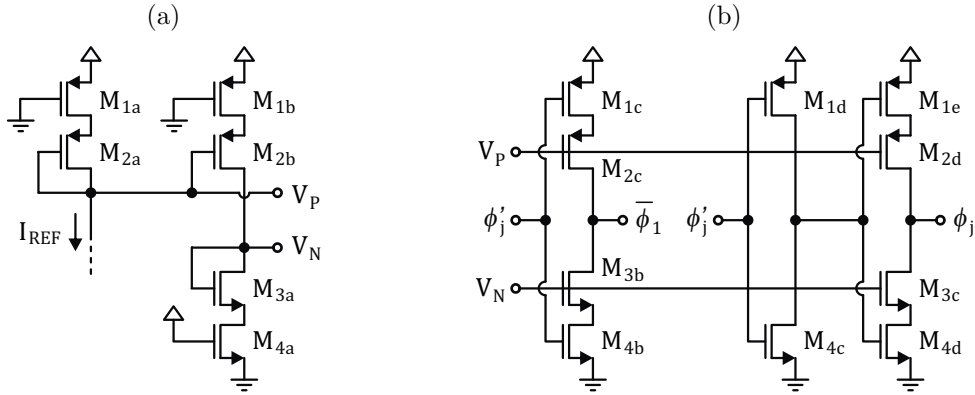


Fonte: O próprio autor.

rápida e aquela resultante de uma transição lenta. Essa limitação se faz necessária para garantir a máxima simultaneidade na transição dos sinais de controle complementares da chave CMOS.

O circuito responsável por gerar os sinais de controle do modulador é composto por dois sub-circuitos. O primeiro, mostrado na Figura 4.18, utiliza um sinal de *clock* com frequência de 4096 kHz para gerar os sinais de controle com frequência de 256 kHz e sem sobreposição de transição, ilustrados na Figura 4.19. O circuito consiste em um simples divisor de frequências assíncrono, utilizando flip-flops tipo D, seguido por um segundo conjunto de flip-flops que operam de modo síncrono para gerar os sinais com atrasos controlados. Cada atraso corresponde a 1/32 do período de amostragem. Os sinais de controle são obtidos por meio de uma lógica combinacional entre os sinais com diferentes atrasos, resultando em sinais de controle sem *glitches*.

Figura 4.20 – Circuito gerador de sinais de controle com limitação de taxa de transição.
 (a) Circuito de polarização. (b) Gerador de sinais complementares com limitação de corrente.



Fonte: O próprio autor.

Tabela 4.3 – Dimensões dos transistores utilizados no gerador de sinais de controle.

Dispositivo	W/L
M _{1a} , M _{1b} e M _{1d}	1,0/0,4
M _{1c} e M _{1e}	2 × 1,0/0,4
M _{2a} e M _{2b}	4,0/1,0
M _{2c} e M _{2d}	2 × 4,0/1,0
M _{3a}	4,0/2,0
M _{3b} e M _{3c}	2 × 4,0/2,0
M _{4a} e M _{4c}	0,5/0,4
M _{4b} e M _{4d}	2 × 0,5/0,4
Unidade	μm/μm

Fonte: O próprio autor.

O segundo sub-circuito, mostrado na Figura 4.20, é responsável pelo controle da taxa de transição dos sinais e consiste em inversores com limitadores de corrente (*current starved*). As versões invertidas dos sinais de controle são geradas por inversores comuns, sem a necessidade de equalização dos atrasos entre os sinais complementares, já que o atraso de um inversor é muito menor que o tempo de subida dos sinais com limitação de *slew rate*.

Nos espelhos de corrente foi utilizada uma corrente de referência I_{REF} de 500 nA e foram empregados transistores pequenos, a fim de garantir um consumo de corrente baixo e um sinal de rampa com duração inferior à metade do *gap* entre sinais. Os valores de W e L dos transistores são mostrados na Tabela 4.3.

4.4.1.2 Integradores

A estimativa inicial das capacitâncias dos integradores, as quais são necessárias nos cálculos do *slew rate* e do GBW do amplificador operacional, podem ser obtidas a partir das informações do nível de ruído térmico e do erro gerado com a injeção de cargas pelas chaves.

O problema do ruído térmico no integrador chaveado foi abordado na seção 4.3.3.5 e chegou-se à uma expressão do ruído total dentro da banda de sinal, dada pela equação (4.30). A análise feita, porém, aplica-se a um integrador de unipolar sem o esquema subtração de sinais. Assim, a equação necessita ser modificada para o caso do integrador subtrator diferencial.

A primeira alteração a ser feita corresponde ao incremento no ruído pelo subtrator. Durante a fase ϕ_1 , C_3 é carregado com uma potência de ruído igual àquela adicionada a C_1 . Assim, considerando-se ainda a operação diferencial, a potência total de ruído adicionada nessa fase é igual a quatro vezes a potência estimada pela equação (4.21), desconsiderando-se, é claro, o ruído da fonte de sinal na entrada.

$$P_{n(\phi_1-R_{on})} = \frac{4kT}{C_1}. \quad (4.32)$$

A inclusão dos ramos de subtração nas entradas do amplificador operacional também modifica a característica de transferência do integrador durante a fase ϕ_2 . A Figura 4.21(a) ilustra a associação paralela entre os ramos contendo $C_1 - C'_1$ e aqueles contendo $C_3 - C'_3$. Assumindo-se que os capacitores C_1 e C_3 são iguais, assim como as chaves utilizadas, o circuito pode ser simplificado para aquele mostrado na Figura 4.21(b). Vê-se desse modo que a resistência R_{on} equivalente é igual à resistência de uma única chave e que a capacitância equivalente é igual a $C_1 + C_3$ ou $2C_1$.

Com base no circuito equivalente da Figura 4.21(b), a largura de banda efetiva para o ruído adicionado pelas chaves durante a fase ϕ_2 é dado pela equação

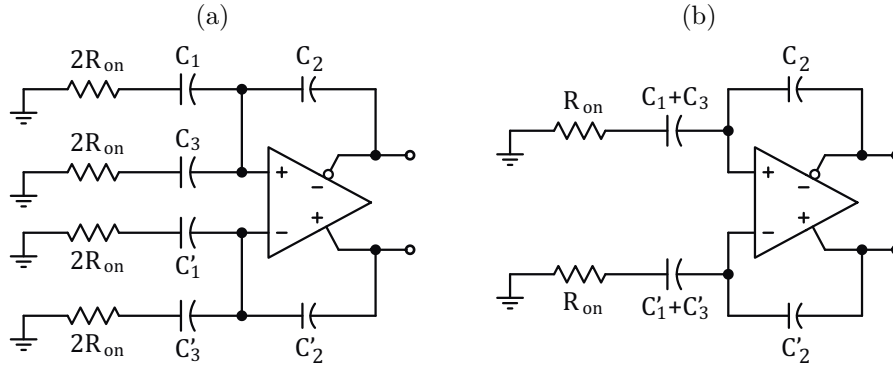
$$f_{n(\phi_2-R_{on})} = \frac{1}{4R_{on}(C_1 + C_3)}, \quad (4.33)$$

na qual foi assumido que a largura da banda efetiva pode ser definida de modo semelhante à da fase ϕ_1 , tal como foi feito para obter a equação (4.25). Assim, a potência total de ruído gerado pelas chaves nesta fase é dada por

$$P_{n(\phi_2-R_{on})} = \frac{2kT}{C_1 + C_3} = \frac{kT}{C_1}. \quad (4.34)$$

A potência total de ruído gerado pelo amplificador operacional na configuração diferencial não muda em relação àquela do amplificador em uma configuração unipolar, desde que o amplificador operacional seja o mesmo. Contudo, a largura de banda efetiva

Figura 4.21 – Inclusão do ramo de subtração no modelo do circuito durante a fase de integração. (a) Circuito completo. (b) Circuito equivalente composto pela associação paralela entre os resistores e os capacitores.



Fonte: O próprio autor.

é modificada pela inserção do ramo de subtração na entrada, sendo dada nesse caso pela equação

$$f_{n(\phi 2\text{-op})} = \frac{A_f \cdot g_m}{4(C_o + C'_o)}, \quad (4.35)$$

onde g_m é a transcondutância do amplificador operacional, C_o é a capacitância de carga do integrador, C'_o é a capacitância equivalente vista na saída do amplificador na direção da malha de realimentação, dada pela equação

$$C'_o = A_f(C_1 + C_3) = 2A_f C_1, \quad (4.36)$$

e A_f é o ganho na malha de realimentação do integrador, dado por

$$A_f = \frac{C_2}{C_2 + C_1 + C_3} = \frac{1}{1 + \alpha_1 + \beta_1} = 0,326, \quad (4.37)$$

com α_1 e β_1 dados na Tabela 4.2. Com a densidade espectral bilateral de ruído gerado pelo amplificador dada pela equação

$$\overline{v_{n(\text{op})}^2} = \frac{2\gamma_{(\text{op})}kT}{g_m}, \quad (4.38)$$

a potência total de ruído do amplificador é

$$P_{n(\phi 2\text{-op})} = 2 \cdot \overline{v_{n(\text{op})}^2} \cdot f_{n(\phi 2\text{-op})} = \frac{\gamma_{(\text{op})}A_f kT}{C_o + 2A_f C_1}. \quad (4.39)$$

Finalmente, deve-se observar que a taxa de amostragem pós-decimação para o conversor foi estabelecida em 2 kS/s, o que significa que a largura de banda final é igual a 1 kHz ou $2f_0$, e não f_0 , como foi assumido nos cálculos da seção 4.3.3.5. Assim, combinando-se as equações (4.32), (4.34) and (4.39), a expressão final para a potência total de ruído referida à entrada, dentro da banda de sinal, é

$$P_{n0} = \left(\frac{\gamma_{(\text{op})}A_f kT}{C_o + 2A_f C_1} + \frac{5kT}{C_1} \right) \cdot \frac{2}{\text{OSR}}. \quad (4.40)$$

O valor da capacitância C_1 (e conseqüentemente C_3), que garante a SNR necessária para o modulador $\Delta\Sigma$, pode agora ser calculado por meio da equação (4.40). Para o cálculo foi assumido que

- a) o sinal de entrada tem amplitude de $2V_{pp}$ (*full scale*);
- b) a SNR deve ser igual ou superior a 86 dB, a fim de garantir alguma margem para outras fontes de erro, como o ruído do DAC e a injeção de cargas;
- c) a capacitância C_o na fase ϕ_2 é igual a 100 fF, como será mostrado na seção 4.4.1.3;
- d) $\gamma_{(op)}$ é igual ou menor que 6, em virtude da topologia *folded* cascode adotada para o amplificador operacional, mostrado na Figura 4.22;
- e) a taxa de *oversampling* é 128 (Tabela 4.2) e;
- f) a temperatura máxima de operação é 40°C,

assim, em uma condição de pior caso, C_1 deve satisfazer a condição

$$C_1 \geq 20 \text{ fF}. \quad (4.41)$$

Com respeito ao parâmetro $\gamma_{(op)}$ adotado nos cálculos acima, este foi definido anteriormente (seção 4.3.3.5) como sendo uma função da tecnologia, da arquitetura e do dimensionamento do amplificador operacional. Ele é o resultado da contribuição de todas as fontes de ruído relevantes do circuito. Para um amplificador operacional do tipo *folded* cascode, ilustrado na Figura 4.22, três pares de transistores contribuem para o ruído na saída: $M_{1a,b}$, $M_{2a,b}$ e $M_{5a,b}$. Portanto, o valor 6 para $\gamma_{(op)}$ foi escolhido assumindo-se que a contribuição de cada transistor é igual e que seus fatores de excesso de ruído térmico (γ_T) são unitários. Isto representa uma estimativa pessimista, considerando-se que as contribuições de $M_{2a,b}$ e $M_{5a,b}$ para o ruído total podem ser feitas menores que a contribuição de $M_{1a,b}$, por meio do dimensionamento apropriado das transcondutâncias destes transistores.

Outra forma de estimar os valores de C_1 , C_2 e C_3 é por meio do erro da não linearidade gerado com a injeção de cargas pelas chaves. Aplicando-se a equação (4.17), com os dados de Montecarlo apresentados na Figura D.6(b) para o valor pico-a-pico da carga dependente do sinal de entrada, obtém-se

$$C_1 \geq \frac{\Delta Q_{(pp)\max} \cdot 2^{N+1}}{V_{FS}} = \frac{20 \text{ aC} \cdot 2^{13+1}}{2 \text{ V}} \approx 164 \text{ fF}, \quad (4.42)$$

onde o valor de N foi assumido ser 13 bits (um bit a mais que o esperado) para novamente deixar margem para as outras fontes de erro do sistema.

Tabela 4.4 – Capacitores do modulador $\Delta\Sigma$.

Dispositivo	Capacitância
C_1 e C_3	200 fF
C_2	2 pF
C_4	260 fF
C_5	400 fF
C_6	100 fF

Fonte: O próprio autor.

Os resultados obtidos considerando-se o nível de ruído e a injeção de carga resultaram em um valor mínimo para C_1 igual a 164 fF. No circuito serão utilizados capacitores de 200 fF para C_1 e C_3 . O valor de C_2 é obtido pela equação

$$C_2 = C_1/\alpha_1 = 2 \text{ pF}. \quad (4.43)$$

Os cálculos das capacitâncias para o primeiro integrador resultaram em valores muito pequenos. Considerando-se as análises da seção 4.3.4, os erros referidos à entrada do primeiro integrador são os mais relevantes do sistema, e como os erros do segundo integrador têm menor impacto, o menor capacitor que o compõe poderá ter tamanho reduzido. Neste caso será usado um capacitor de apenas 100 fF. Com isso, a capacitância C_6 será 100 fF e, conseqüentemente, C_5 será 400 fF e C_4 será 260 fF. Os valores finais dos capacitores utilizados no modulador $\Delta\Sigma$ são mostrados na Tabela 4.4.

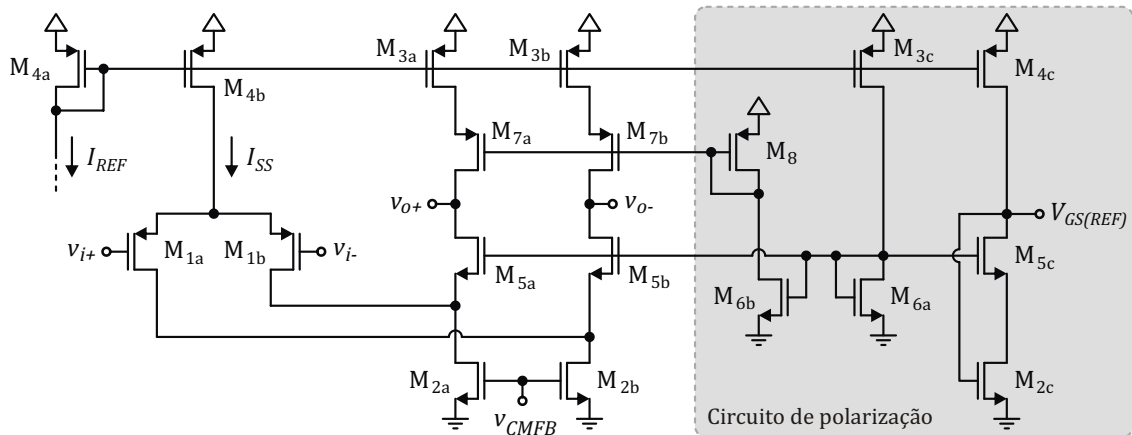
4.4.1.3 Amplificadores Operacionais

O esquemático do amplificador operacional adotado para o modulador é mostrado na Figura 4.22. Sua arquitetura é do tipo *folded* cascode, a qual tem a vantagem de ser rápida em comparação com a arquitetura de dois estágios, o que a torna mais eficiente para um circuito chaveado. Esta é também uma arquitetura de amplificador mais econômica, pois não requer compensação. Sua excursão de saída reduzida, em comparação com outras arquiteturas de amplificadores operacionais, foi apropriadamente considerada através do dimensionamento dos ganhos do modulador, realizado na seção 4.2.

O método adotado para o controle da tensão de modo comum consiste em um circuito de CMFB a capacitores chaveados, mostrado na Figura 4.23 (CHOKSI; CARLEY, 2003). Com a adoção desse esquema de CMFB, nenhum resistor ou *buffer* é necessário na saída do amplificador, resultando em menor consumo de energia.

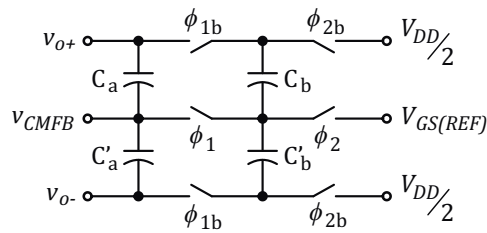
Para determinar o tamanho dos capacitores necessários para o circuito de CMFB, é importante observar que os descasamentos entre os capacitores C_a e C'_a e entre C_b e C'_b resultam na conversão de sinais diferenciais para sinais de modo comum. Estes, por sua vez, são novamente convertidos em sinal diferencial devido ao CMRR finito do

Figura 4.22 – Esquemático elétrico do amplificador operacional utilizado.



Fonte: O próprio autor.

Figura 4.23 – Circuito de CMFB a capacitor chaveado adotado.



Fonte: O próprio autor.

amplificador operacional. Entretanto, com base na equação (B.8) e nos dados da Tabela B.8 para capacitores MiM (Metal-Isolante-Metal) simples, presentes no Anexo B, pode-se ver que mesmo capacitores de tamanho mínimo resultam em descasamento menor que 1% em 3σ . Isso, aliado à rejeição a sinais de modo comum do amplificador e ao fato de que essa fonte de erro se manifesta como uma imprecisão no ganho do integrador, resulta em um efeito desprezível do descasamento de capacitores. Isto deve ser posteriormente confirmado por meio de simulações.

Apenas as capacitâncias parasitas que irão surgir no *layout* representam uma fonte de erro imprevisível e inviabilizam o uso de capacitores de tamanho mínimo no circuito. Assim, os capacitores C_a e C_b serão ambos de 100 fF, com a garantia de que alguns cuidados devem ser tomados ao fazer o *layout* dos dispositivos para minimizar as capacitâncias parasitas.

O projeto do amplificador operacional será direcionado a atender os requisitos de dinâmica (SR e GBW) e de ganho CC, tendo em vista que a parcela de ruído gerada pelo amplificador operacional no primeiro integrador é consideravelmente menor que aquela gerada pelas chaves, o que pode ser verificado por meio da equação (4.40), considerando-se que $\gamma_{(op)}A_f = 5$ e que $C_o + 2A_fC_1 > C_1$.

Sobre a tensão de *offset*, discutida na seção 4.3.3.2, nenhuma limitação foi imposta, embora tenha sido observado que tensões de *offset* elevadas podem prejudicar o funcionamento do modulador, causando sua instabilidade. Entretanto, esse efeito é restrito a valores elevados de *offset*, da ordem de várias dezenas de milivolts e em uma condição de amplitude máxima do sinal na entrada, o que dificilmente representará um problema, visto que, na tecnologia CMOS adotada, o *offset* pode facilmente ser limitado a apenas algumas unidades de milivolts.

A equação (4.9) permite obter os ganhos CC mínimos necessários para os amplificadores operacionais, a fim de garantir a máxima eficiência do processo de *noise shaping*. Substituindo-se os parâmetros da equação com os dados da Tabela 4.2, resulta em

$$A_{v(\text{op1})} > \frac{100 \cdot 256 \cdot 0,1}{\pi} \approx 815 \text{ V/V} \quad (4.44)$$

para o amplificador do primeiro integrador, e

$$A_{v(\text{op2})} > \frac{100 \cdot 256 \cdot 0,6452}{\pi} \approx 5257 \text{ V/V} \quad (4.45)$$

para o do segundo. Estabelecendo-se o requerimento de ganho mínimo de 80 dB (ou 10000 V/V) para ambos os amplificadores, as duas condições acima serão satisfeitas sem grande esforço de projeto, com a adoção dos transistores de I/O de 3,3 V (ver Anexo B).

A capacitância C_i , vista nos terminais de entrada do amplificador operacional, pode ser estimada a partir da restrição de potência do ruído *flicker*, observando-se que apenas a parcela dentro da banda de interesse deve ser considerada. A PSD do ruído *flicker*, referida à entrada do amplificador operacional, pode ser grosseiramente estimada pela equação

$$\overline{V_{n(\text{flicker})}^2} = \frac{6K_f}{C'_{\text{ox}}WLf^{m_f}}, \quad (4.46)$$

onde W e L são as dimensões dos transistores do par diferencial, C'_{ox} é a capacitância de porta por unidade de área dos transistores, K_f é o coeficiente do ruído *flicker*, e m_f é a inclinação da curva de densidade espectral do ruído.

Tal como acontece com o ruído térmico, na arquitetura *folded* cascode três pares de transistores contribuem majoritariamente para o ruído total do amplificador. São eles: $M_{1a,1b}$, $M_{2a,2b}$ e $M_{5a,5b}$. Para simplificar a expressão, os parâmetros do ruído, K_f e m_f foram assumidos como sendo iguais para todos os transistores, assim como a contribuição para o ruído total de cada par de transistores, o que resulta no fator 6 usado na equação (4.46). Integrando-se a PSD no intervalo entre f_1 e f_2 obtém-se a equação da potência de ruído total a seguir

$$P_{n0(\text{flicker})} = \frac{6K_f \left(f_2^{(1-m_f)} - f_1^{(1-m_f)} \right)}{C'_{\text{ox}}WL(1-m_f)}. \quad (4.47)$$

Utilizando-se os valores de K_f , m_f e C'_{ox} de um transistor PMOS, dados no Anexo B, e resolvendo-se a equação (4.47), para a faixa de frequências de 0,5 Hz a 1 kHz (largura de banda do sinal de saída após a decimação), obtém-se

$$WL \geq 1,2 \mu\text{m}^2, \quad (4.48)$$

para garantir $\text{SNR} \geq 86 \text{ dB}$, com um sinal de entrada de amplitude $2V_{pp}$. Vê-se que mesmo dispositivos com áreas de poucas unidades de μm^2 são suficientes para reduzir o ruído a um nível suficientemente baixo. Esta área de porta resulta em uma capacitância C_i na casa de unidades de fF, o que permite desprezá-la nos cálculos do amplificador operacional e dos integradores como um todo. Um resultado semelhante é encontrado estimando-se a área de porta dos transistores do par diferencial por meio da limitação da tensão de *offset* referido à entrada.

A capacitância C_o na saída do amplificador operacional depende da fase de operação do integrador. Durante a fase ϕ_1 , o amplificador operacional do primeiro integrador tem em sua saída as capacitâncias C_a e C_b , do circuito de CMFB, a capacitância C_4 , na entrada do segundo integrador e a associação de capacitores na malha de realimentação. Esta última pode ser desprezada devido ao valor de C_i , calculado anteriormente, ser muito pequeno. Durante a fase ϕ_2 , estão presentes na saída do amplificador a capacitância C_a e a associação série na malha de realimentação, dada pela equação (4.36).

Esta distribuição dos capacitores nas fases de integração foi feita com o objetivo de balancear as cargas em cada caso e evitar o superdimensionamento do amplificador operacional. Assim, o valor de C_o para o primeiro integrador, necessário nos cálculos da seção anterior e nos que se seguirão, é dado por

$$C_o = C_a + C_b + C_4 = 460 \text{ fF}, \quad (4.49)$$

para a fase ϕ_1 , e

$$C_o = C_a = 100 \text{ fF}, \quad (4.50)$$

para a fase ϕ_2 . A carga total do amplificador operacional em cada fase, definida por $C_o + C'_o$, pode agora ser obtida, resultando em

$$C_{o(\text{total})} \approx C_o = 460 \text{ fF}, \quad (4.51)$$

para a fase ϕ_1 , e

$$C_{o(\text{total})} = C_o + 2A_f C_1 = 433 \text{ fF}, \quad (4.52)$$

para a fase ϕ_2 .

De modo semelhante, pode-se obter as capacitâncias de carga do segundo integrador em cada fase. Porém, por simplicidade, será utilizado o mesmo amplificador operacional para ambos os integradores e este será projetado com base apenas nos requisitos do

primeiro integrador, por este ter maior importância na performance do modulador. Deve-se observar ainda que os valores calculados anteriormente são para cargas unipolares em cada uma das saídas do circuito diferencial. As cargas diferenciais reais correspondem à metade dos valores obtidos, visto que, em modo diferencial, a carga corresponde a um par de capacitâncias iguais conectadas em série.

A corrente de polarização do par diferencial pode ser obtida da equação (4.15). O valor de SR_{MAX} é dado pela relação entre o máximo incremento de amplitude possível na saída do integrador e o tempo disponível para isso ocorrer. O tempo disponível Δt na arquitetura adotada corresponde a pouco mais de 40% do período de amostragem, devido ao esquema de sinais de controle sem *overlap* descrito na seção 4.4.1.1. Em uma condição extrema, o incremento de tensão Δv na saída será igual à excursão de saída do integrador, definida na seção 4.2 como 600 mV_{pp} (ou $\pm 300 \text{ mV}$). Porém, para o circuito diferencial, tem-se $\Delta v = 1,2 V_{pp}$. Assim, o valor de SR_{MAX} será

$$SR_{MAX} = \frac{\Delta v}{\Delta t} \approx 0,77 \text{ V}/\mu\text{s}. \quad (4.53)$$

A carga em modo diferencial em cada fase de operação é igual à metade dos valores dados pelas equações (4.51) e (4.52). Arredondando-se o valor de $C_{o(\text{total})}$ em ambos os casos para 250 fF , a corrente de polarização do par diferencial I_{SS} , que satisfaz a condição de *slew rate* imposta acima, é dada por

$$I_{SS} = 2 \cdot SR_{MAX} \cdot C_{o(\text{total})} = 384 \text{ nA}, \quad (4.54)$$

arredondada no projeto para 500 nA porque a referência de corrente é de 500 nA .

Utilizando-se a equação (4.14) em conjunto com a equação (4.11), é possível obter o valor da transcondutância g_{m1} do par diferencial, formado pelos transistores M_{1a} e M_{1b} . A expressão para GBW do integrador depende da fase na qual este opera, contudo, a condição de pior caso é aquela na qual a atenuação na malha de realimentação é maior, o que, neste caso, corresponde à fase ϕ_2 . Assim, a equação (4.11), ajustada para os parâmetros do primeiro integrador, é dada por

$$2\pi\text{GBW} = \frac{g_{m1} \cdot C_2}{C_2 C_o + (C_1 + C_3)(C_2 + C_o)}, \quad (4.55)$$

onde o valor de C_o é o calculado anteriormente para fase ϕ_2 . Com $2\pi\text{GBW} \geq 12,5 \cdot f_s$, onde já se considera o fato de que o tempo de assentamento máximo da resposta ao degrau é de apenas 40% do período de amostragem, o valor de g_{m1} obtido da equação acima deve satisfazer a condição

$$g_{m1} \geq \frac{12,5 \cdot f_s [C_2 C_o + (C_1 + C_3)(C_2 + C_o)]}{C_2} = 1,7 \mu\text{A}/\text{V}. \quad (4.56)$$

Estabelecendo-se a condição $V_{GB} = 0,4 \text{ V}$ para M_1 , a fim de garantir que o transistor M_6 permaneça saturado para $V_{DD} = 1,2 \text{ V}$, a relação de aspecto W_1/L_1 mínima necessária

Tabela 4.5 – Dimensões dos transistores utilizados no amplificador operacional.

Dispositivo	W/L(calc.)	W/L(modif.)
M _{1a} e M _{1b}	6,4/1,6	-
M _{2a} a M _{2c}	7,0/3,8	-
M _{3a} a M _{3c}	4,0/3,4	-
M _{4a} a M _{4c}	2 × 4,0/3,4	-
M _{5a} e M _{5b}	1,5/1,6	3,0/3,2
M _{5c}	2 × 1,5/1,6	2 × 3,0/3,2
M _{6a} e M _{6b}	1,6/13,4	1,6/(4 × 4,8)
M _{7a} e M _{7b}	2,0/1,6	4,0/3,2
M ₈	1,6/11,0	1,6/(2 × 4,6)
Unidade	μm/μm	

Fonte: O próprio autor.

é aproximadamente 4, para $I_{DS1} = I_{SS}/2 = 250 \text{ nA}$. Com isso, o valor de g_{m1} resultante é $5,4 \mu\text{A/V}$, o qual está de acordo com a condição imposta acima. Como ficou claro anteriormente que não há uma imposição de área para M_1 , seja pelo nível de ruído *flicker* ou pelo *offset* máximo admitido, o valor de L_1 foi fixado em $4L_{\min}$, ou $1,6 \mu\text{m}$. Assim, $W_1 = 6,4 \mu\text{m}$.

No espelho de corrente NMOS, formado pelos transistores M_{2a} , M_{2b} e M_{2c} , os dispositivos foram dimensionados para terem V_{DSsat} baixos, a fim de maximizar a excursão de sinal na saída do amplificador. Assim, com $V_{DSsat} \leq 150 \text{ mV}$ obtém-se da equação (A.8) (Anexo A) que o nível de inversão de fonte de M_2 deve satisfazer a condição $i_{f2} \leq 6,8$. Com a corrente I_{DS2} igual a 500 nA , o valor de W_2/L_2 correspondente é 1,84. Para obter um valor de σ do desvio da corrente sobre a média de 1% em cada um dos transistores M_{2a} a M_{2c} , a área $W_2 L_2$ requerida é $26,2 \mu\text{m}^2$, resultando em $L_2 = 3,8 \mu\text{m}$ e $W_2 = 7 \mu\text{m}$. Repetindo-se o processo anterior para os espelhos de corrente PMOS, e definindo-se $I_{DS3} = 250 \text{ nA}$ e $I_{DS4} = 500 \text{ nA}$, obteve-se $L_3 = L_4 = 3,4 \mu\text{m}$, $W_3 = 4 \mu\text{m}$ e $W_4 = 2 \times W_3 = 8 \mu\text{m}$.

Os cascodes PMOS e NMOS foram dimensionados para permitir a máxima excursão de saída do amplificador. Definiu-se que V_{DS} dos transistores M_{2a} a M_{2c} deve ser igual a 150 mV , na condição normal de operação. Assim, impondo-se que V_{DSsat} dos cascodes M_{5a} a M_{5c} seja também 150 mV , resulta que a tensão V_{GB} para estes transistores deve ser igual a 600 mV . Com isso, as dimensões dos cascodes NMOS são $L_5 = 1,6 \mu\text{m}$ e $W_5 = 1,5 \mu\text{m}$. A relação de aspecto W_6/L_6 que garante a tensão de polarização requerida pelos cascodes NMOS é 0,12 e, escolhendo-se $W_6 = 1,6 \mu\text{m}$ resulta em $L_6 = 13,4 \mu\text{m}$. Para os cascodes PMOS, as dimensões obtidas aplicando-se o mesmo processo foram $L_7 = 1,6 \mu\text{m}$, $W_7 = 2 \mu\text{m}$, $L_8 = 11 \mu\text{m}$ e $W_8 = 1,6 \mu\text{m}$. A Tabela 4.5 resume as dimensões dos transistores utilizados no amplificador operacional.

4.4.1.4 Comparador

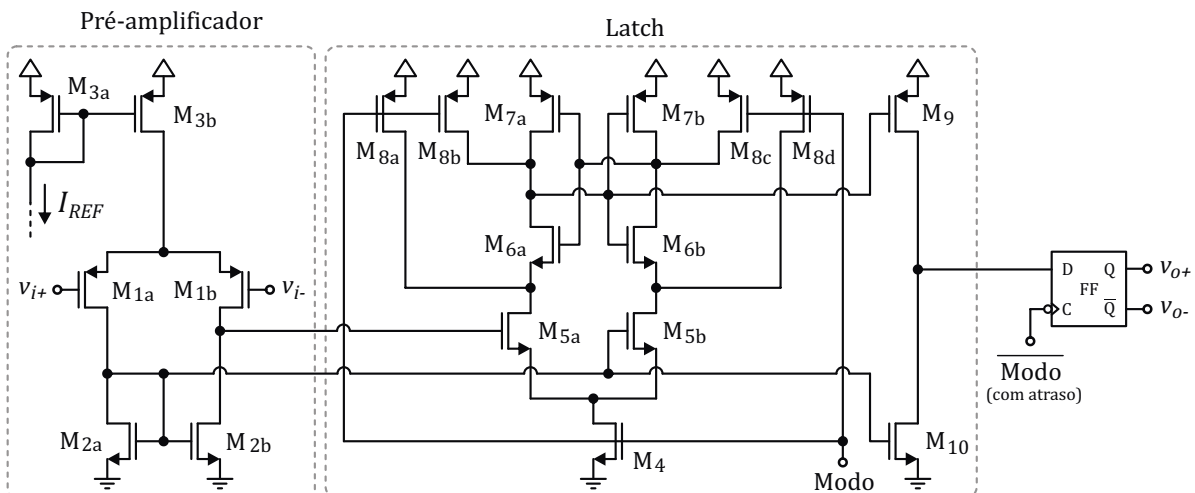
Diferentemente do que ocorre em conversores do tipo Nyquist *rate*, o comparador não representa um bloco crítico em um conversor $\Delta\Sigma$ para sinais de baixa frequência. Erros gerador por este bloco, como *offset*, ruído e não linearidades, são consideravelmente minimizados pelo processo de *noise shaping*, discutido anteriormente. Como um exemplo, análises realizadas com o modelo em Simulink mostraram que o modulador projetado é insensível a uma histerese no comparador de até algumas dezenas de milivolts. Contudo, optou-se por estabelecer como requerimento inicial que o comparador deve responder adequadamente a um sinal de entrada de até 1 mV, e que este deve ter transições de saída rápidas, a fim de evitar grandes surtos de corrente nas células digitais ligadas à sua saída.

O esquemático do circuito projetado é mostrado na Figura 4.24. Este é composto por um *sense amplifier* do tipo *latch* (KOBAYASHI et al., 1993), o qual permite que o comparador mude o estado de sua saída rapidamente com um pequeno consumo de corrente. O circuito opera em duas fases. Na fase de pré-carga (Modo em 0V), a saída do *latch* é forçada para V_{DD} , e na fase de decisão (Modo em V_{DD}), a saída é o resultado da comparação entre os sinais de entrada v_{i+} e v_{i-} .

Para garantir a resposta desejada com valores de entrada tão baixos quanto 1 mV, um pré-amplificador foi adicionado, o qual consiste em um simples amplificador diferencial de um estágio. A inclusão do pré-amplificador também ajuda a reduzir o efeito de ruído *kick back*, gerado quando o *latch* comuta entre estados.

Como há um tempo relativamente grande para a pré-carga e apenas 1/32 do período de amostragem para que a saída se estabeleça em seu valor final, foi necessária a inclusão de um estágio amplificador inversor. Sua taxa de descida é controlada pela corrente

Figura 4.24 – Esquemático do circuito comparador adotado.



Fonte: O próprio autor.

Tabela 4.6 – Dimensões dos transistores utilizados no comparador.

Dispositivo	W/L
M _{1a} e M _{1b}	2 × 4,0/1,0
M _{2a} e M _{2b}	2 × 2,0/1,0
M _{3a} e M _{3b}	2 × 4,0/2,0
M ₄	2 × 2,0/0,4
M _{5a} e M _{5b}	2 × 2,0/1,0
M _{6a} e M _{6b}	0,5/0,4
M _{7a} e M _{7b}	0,5/0,4
M _{8a} a M _{8d}	0,5/0,4
M ₉	0,5/0,4
M ₁₀	2,0/1,0
Unidade	μm/μm

Fonte: O próprio autor.

de referência, porém, sua taxa de subida é acelerada pela amplitude de sinal elevada na porta de M₉. Quando o resultado da comparação é negativo, a saída é zero e não necessita comutar de estado. Assim, o comparador não apresenta problemas com o tempo de subida e descida do *latch*.

Devido às saídas do *latch* assumirem o mesmo valor durante a fase de pré-carga, um flip-flop foi adicionado na saída do comparador para manter estável o resultado da comparação e evitar que o DAC comute desnecessariamente. O sinal que controla o flip-flop deve ter um atraso em relação àquele que controla o *latch*, de modo que o *latch* tenha o tempo necessário para se estabilizar.

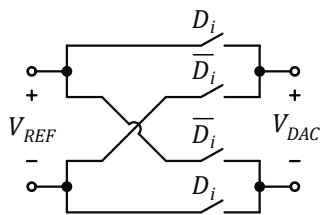
Os requerimentos impostos ao comparador, como sensibilidade e velocidade, foram facilmente alcançados com pouco esforço de projeto. A corrente de referência I_{REF} utilizada é 500 nA. As dimensões finais dos transistores utilizados são dadas na Tabela 4.6.

4.4.1.5 Conversor Digital-Analógico

O conversor analógico-digital de 1 bit adotado neste trabalho consiste em um simples inversor chaveado, responsável por alternar a polaridade da saída do DAC em função do dado de entrada D_i (saída do comparador). O esquemático do circuito é mostrado na Figura 4.25. As chaves utilizadas são complementares, assim como nos demais blocos, porém, para o DAC, não há a necessidade de sinais de controle sem sobreposição ou com limitação de taxa de transição.

Como foi comentado anteriormente, os valores de V_{DAC}⁺ e |V_{DAC}⁻| (saída do DAC para D_i igual a 1 e 0, respectivamente), definidos pela tensão de referência V_{REF}, foram reduzidos de 750 mV (dado na Tabela 4.2) para 600 mV, para que o circuito opere ade-

Figura 4.25 – Esquemático do conversor digital-analógico de 1 bit adotado no projeto.



Fonte: O próprio autor.

quadamente com uma tensão de alimentação de 1,2 V. O projeto do circuito de referência não é discutido neste trabalho.

4.4.2 Filtro decimador

Um filtro decimador do tipo CIC, descrito na seção C.3.4.2, será adotado neste trabalho. O fato de não requerer operações de multiplicação e de realizar as operações de diferenciação na mesma taxa da saída, torna essa arquitetura de filtro interessante em aplicações que requerem simplicidade e baixo custo de área e de consumo de energia.

Nos resultados de simulações apresentados na seção 4.2, a ordem do filtro CIC, que resultou na SNDR mostrada na Figura 4.5(b), é igual a 3. Empregando-se a equação (C.43), o número de bits necessário nos acumuladores dos integradores é igual a

$$N_{B(\text{int.})} \geq N_F \cdot \log_2(R) = 21, \quad (4.57)$$

onde se usou $N_F = 3$ e o fator de decimação $R = \text{OSR} = 128$. A descrição em VHDL do filtro decimador, para um único canal, é apresentada no Apêndice E. O resultado final dos processos de sínteses lógica e física são apresentados na próxima seção.

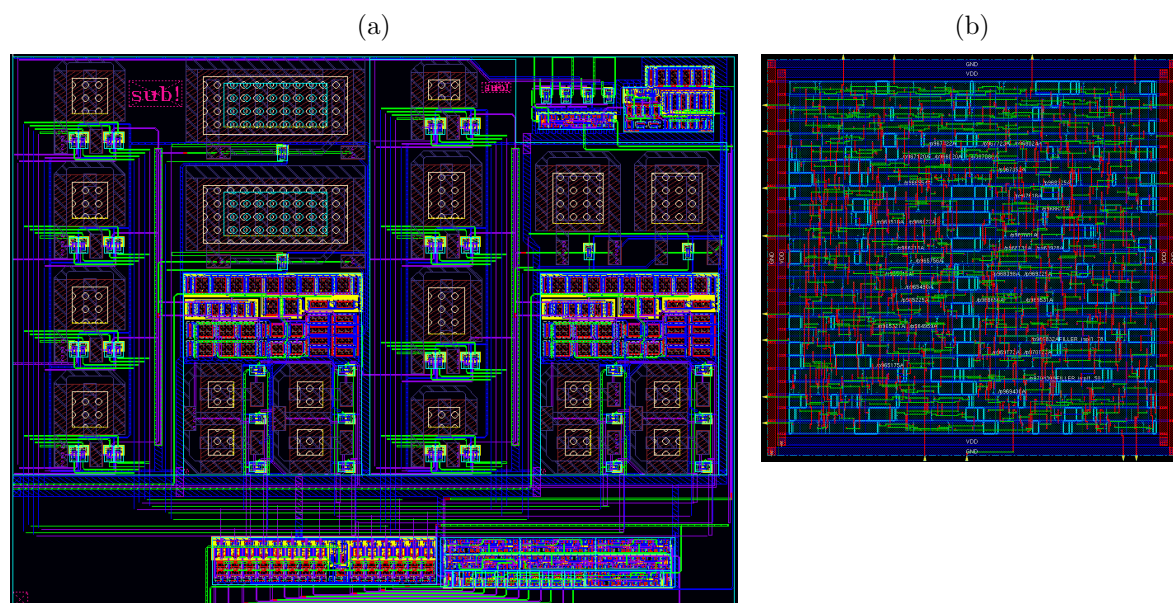
4.4.3 Layout

A Figura 4.26 (a) mostra o *layout* do modulador $\Delta\Sigma$ projetado. A área total do modulador é $0,029 \text{ mm}^2$, ou $197 \mu\text{m} \times 150 \mu\text{m}$. O *layout* final do filtro decimador obtido pela síntese física é mostrado na Figura 4.26 (b). A área total do filtro é $0,013 \text{ mm}^2$, ou $114 \mu\text{m} \times 114 \mu\text{m}$.

4.5 Resultados de simulações

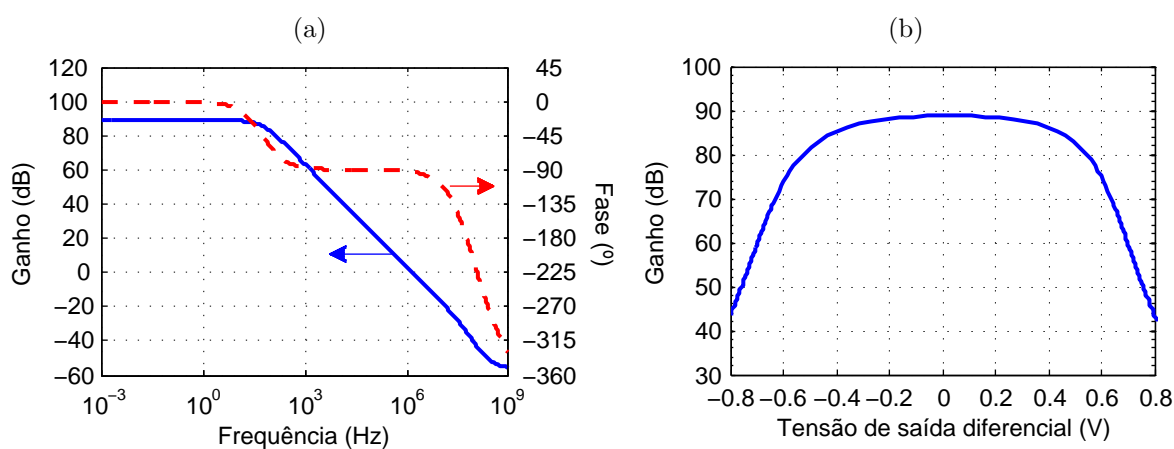
As curvas de ganho e fase do amplificador operacional em função da frequência, para uma tensão de alimentação de 1,2 V, são mostradas na Figura 4.27(a). O ganho em torno do nível médio é igual a 88 dB e a margem de fase é aproximadamente 90° . O valor de GBW para uma carga de 500 fF é 1,45 MHz.

Figura 4.26 – *Layout* final do conversor A/D. (a) Modulador $\Delta\Sigma$. (b) Filtro decimador.



Fonte: O próprio autor.

Figura 4.27 – Curvas de ganho do amplificador operacional. (a) Ganho e fase em função da frequência. (b) Ganho CC em função da tensão de saída diferencial.

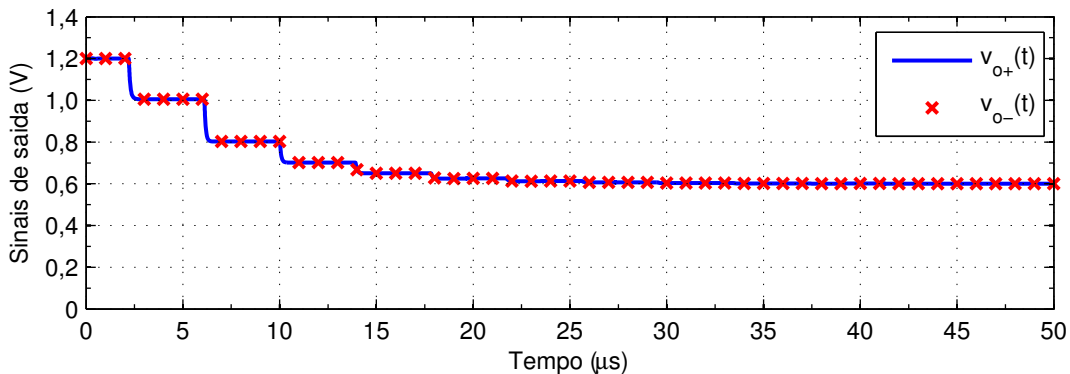


Fonte: O próprio autor.

A curva de ganho CC em função da tensão de saída é mostrada na Figura 4.27 (b), também para uma tensão de alimentação de 1,2 V. O resultado mostra que o ganho do amplificador operacional permanece próximo do mínimo estabelecido de 5267V/V (ou 74 dB), mesmo nos limites da excursão de saída.

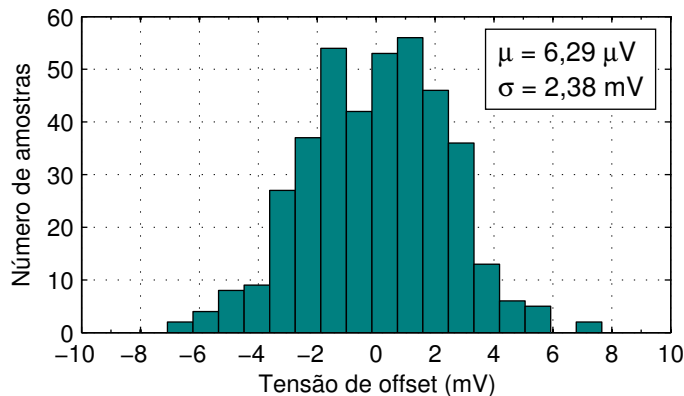
A operação do circuito de CMFB a capacitores chaveados é mostrada na Figura 4.28 para uma tensão de alimentação de 1,2 V. A tensão de modo comum da saída estabiliza em cerca de 25 μ s no valor de referência de modo comum, estabelecida como a metade da tensão de alimentação.

Figura 4.28 – Sinais de saída do amplificador operacional durante o período de estabilização da tensão de modo comum.



Fonte: O próprio autor.

Figura 4.29 – Tensão de *offset* do amplificador operacional.



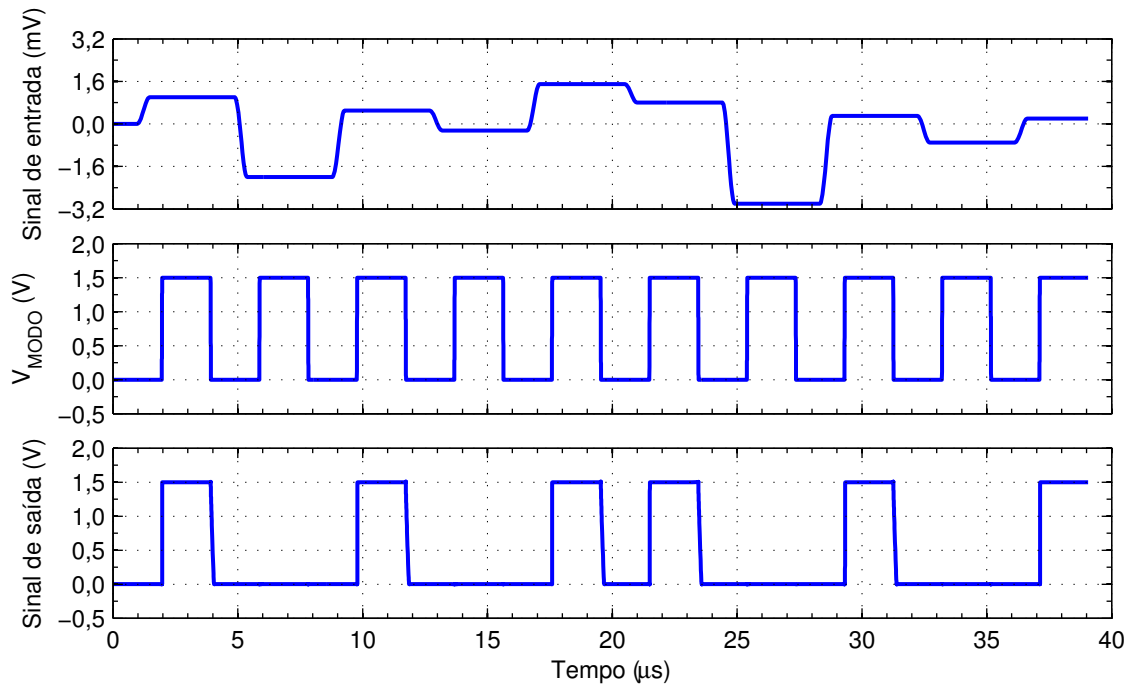
Fonte: O próprio autor.

O resultado de simulações de Monte Carlo para a tensão de *offset* CC do amplificador operacional é mostrado na Figura 4.29. O valor de σ do *offset* obtido é 2,38 mV e seu valor elevado deve-se às pequenas dimensões dos transistores empregados. Contudo, o valor obtido está dentro da faixa tolerável de unidades de milivolts, como foi discutido na seção 4.4.1.3.

A funcionalidade do comparador é demonstrada pelas curvas da Figura 4.30. Os resultados mostram que o comparador é capaz de distinguir sinais de amplitude tão baixas quanto $200 \mu\text{V}$ sendo, portanto, mais sensível do que o especificado. O resultado da simulação de Monte Carlo para a tensão de *offset* CC do comparador é mostrado no histograma da Figura 4.31. O valor obtido para o desvio padrão do *offset* é razoavelmente baixo, apenas 2,87 mV, embora já tenha sido comentado que o *offset* do comparador não tem impacto relevante no desempenho do modulador.

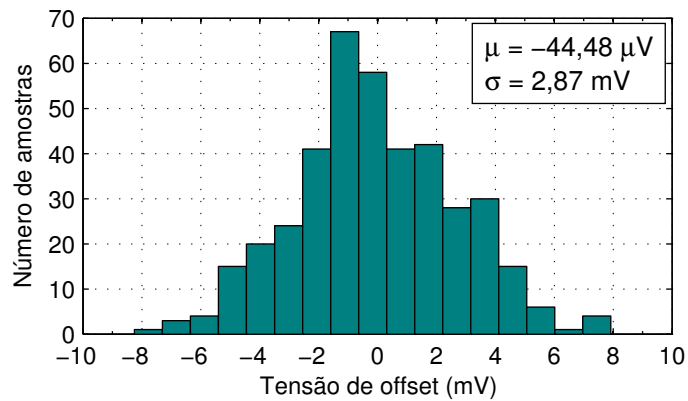
A curva de ganho em estado estacionário do integrador é apresentada na Figura 4.32(a). Esta corresponde ao módulo da função de transferência de tempo discreto do

Figura 4.30 – Curvas de tensão em função do tempo demonstrando a operação e a sensibilidade do circuito comparador.



Fonte: O próprio autor.

Figura 4.31 – Tensão de *offset* do circuito comparador.



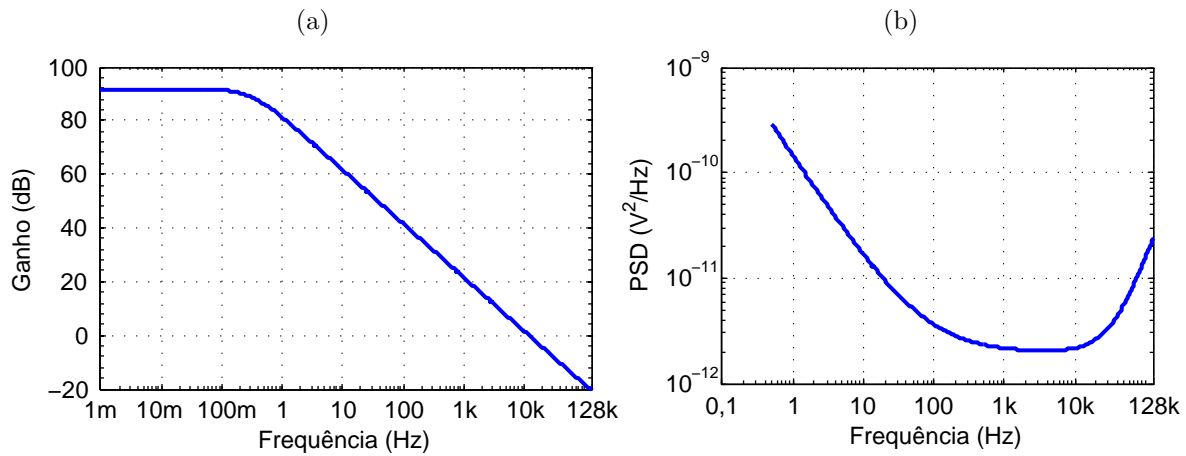
Fonte: O próprio autor.

integrador, e foi obtida por meio de uma simulação **PAC**². Como descrito na seção 4.3.3.1, o ganho finito do amplificador operacional tem o efeito de mover o polo do integrador para uma frequência acima de zero, resultando em um filtro com um ganho CC elevado. O efeito de *aliasing* de ruído térmico durante a amostragem é mostrado na Figura 4.32(b) e foi obtido por meio da análise **PNOISE**³.

² PAC (*Periodic AC*) é uma simulação de pequenos sinais para circuitos de tempo discreto, disponível na ferramenta Cadence[®] Spectre[®].

³ PNOISE (*Periodic Noise*) é uma simulação de ruído para circuitos de tempo discreto, também disponível na ferramenta Cadence[®] Spectre[®].

Figura 4.32 – Resultados da análise de pequenos sinais para circuitos de tempo discreto. (a) Ganho CA do integrador. (b) PSD do ruído referido à entrada do integrador.



Fonte: O próprio autor.

A tensão de ruído RMS dentro da banda de 0,5 Hz a 1 kHz é $56,4 \mu\text{V}$ e a SNR correspondente é 82 dB, para um sinal de entrada com amplitude de $2 V_{pp}$. Portanto, o valor da SNR obtido está um pouco abaixo do que foi previsto na seção 4.4.1.2, embora ainda seja suficientemente alto para a aplicação pretendida.

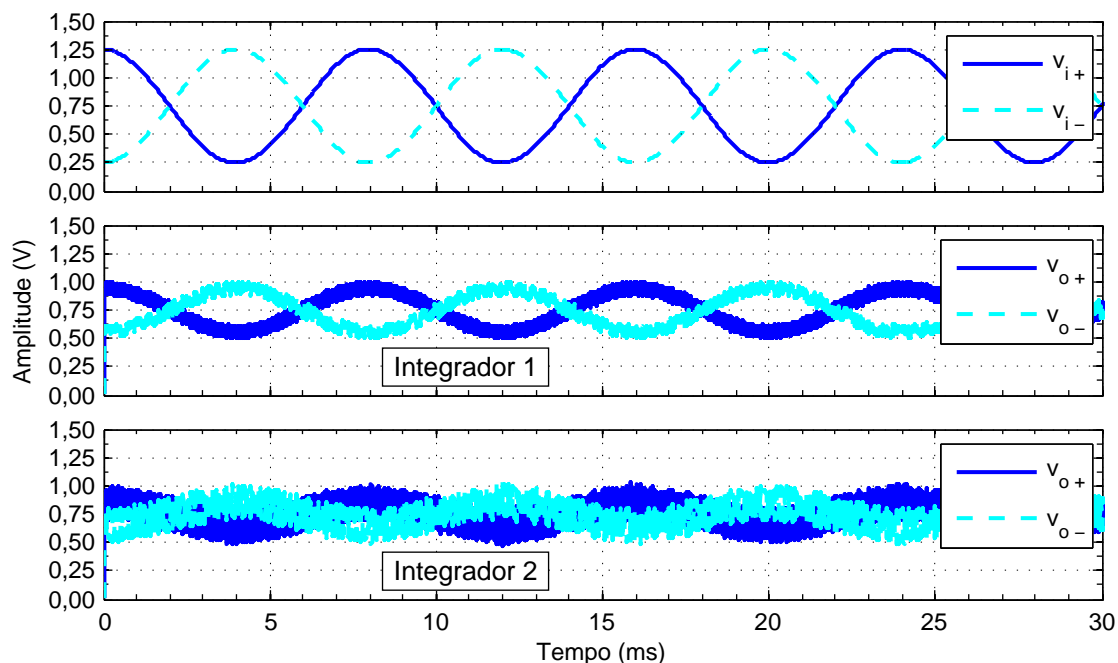
O aumento do ruído deve-se principalmente à presença do ruído *flicker*, assumido ser de menor importância nos cálculos, o que resultou em subdimensionamento dos transistores do amplificador operacional. Nenhuma simulação foi realizada para o segundo integrador isoladamente, em razão de este ter uma menor relevância como fonte de erros no modulador, como já foi comentado.

O sinal de entrada e os sinais nos nós internos do modulador são mostrados na Figura 4.33, onde pode-se ver que a amplitude corresponde perfeitamente àquela pretendida no projeto, estando restrita ao intervalo de amplitudes que garante o ganho elevado dos amplificadores operacionais.

A Figura 4.34 mostra o espectro de amplitudes normalizado do sinal de saída do modulador, para um sinal de entrada com frequência de 125 Hz e amplitude de $2 V_{pp}$. A tensão de alimentação utilizada foi 1,5 V. O valor da SNDR obtida dentro da faixa de 0 a 1 kHz foi de 82,12 dB, pouco menos de 2 dB abaixo do valor obtido nas simulações em MATLAB, mostradas na seção 4.2.

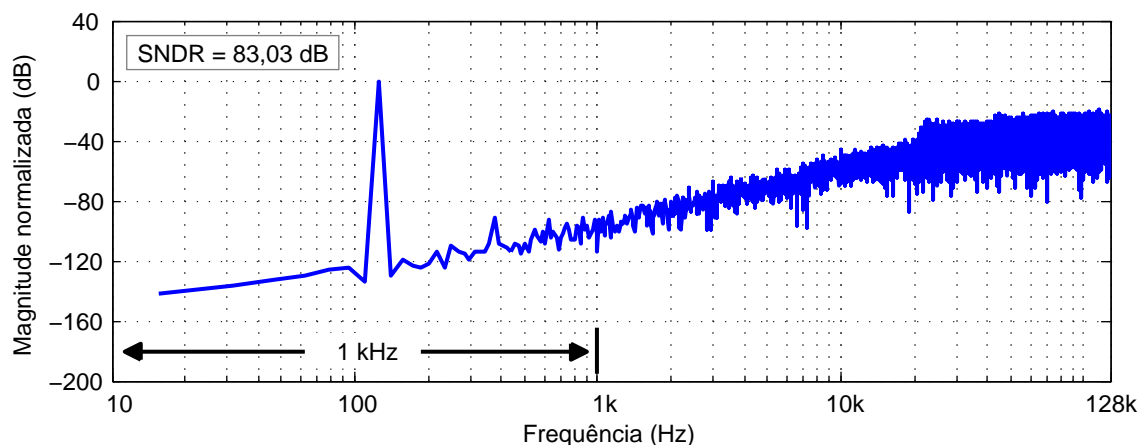
O teste do filtro decimador foi feito utilizando-se um vetor de dados gerados pelo modulador. Este foi incluído como um sinal de entrada no *test bench* da descrição do bloco em VHDL. Os resultados são mostrados na Figura 4.35. Na Figura 4.35(a) é mostrado o sinal de saída do filtro em função do tempo. O sinal tem frequência igual a 125 Hz e sua

Figura 4.33 – Sinais de tensão durante a operação do modulador $\Delta\Sigma$. No gráfico do topo são mostrados os sinais de entrada. No centro são mostrados os sinais de saída do primeiro integrador. Abaixo, os sinais de saída do segundo integrador.



Fonte: O próprio autor.

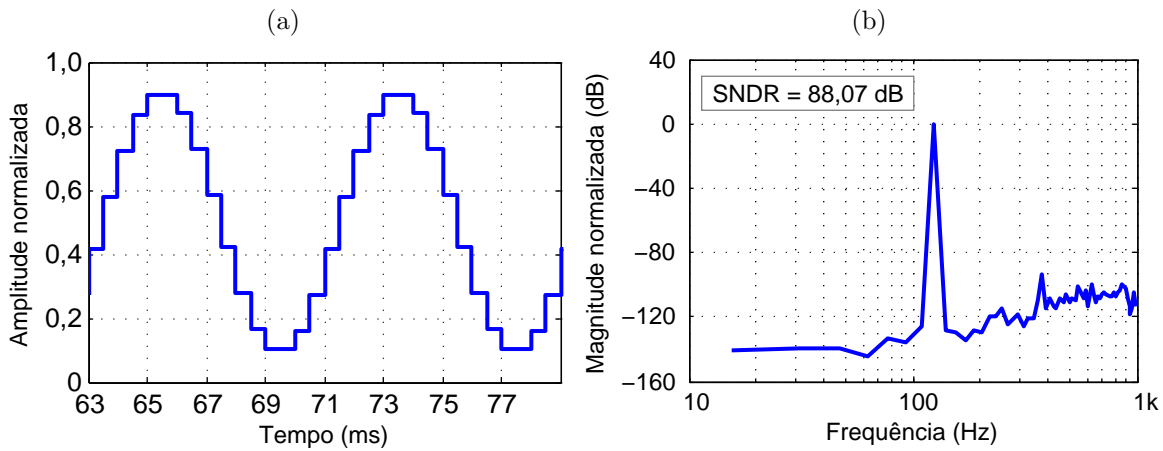
Figura 4.34 – Espectro de amplitudes do sinal de saída do modulador $\Delta\Sigma$.



Fonte: O próprio autor.

a amplitude está normalizada por $2^{21} - 1$, pois o número de bits da saída não foi reduzido para 12, a fim de observar o piso real de ruído gerado pelo efeito de *aliasing* de ruído de quantização. O espectro de amplitudes do sinal de saída do filtro é mostrado na Figura 4.35(b). Com base no resultado, o conversor completo apresenta uma SNDR acima de 86 dB ou, de modo equivalente, um ENOB acima de 14 bits. A Tabela 4.7 apresenta o resumo das características finais do conversor A/D completo, obtidas por simulação.

Figura 4.35 – Sinal de saída do filtro decimador para um sinal de entrada senoidal com frequência de 125 Hz e amplitude de $2 V_{pp}$. (a) Amplitude normalizada do sinal em função do tempo. (b) Espectro de amplitudes do sinal.



Fonte: O próprio autor.

Tabela 4.7 – Resultados obtidos para o conversor $\Delta\Sigma$.

Parâmetro	Valor
Tensão de alimentação (V_{DD})	1,2 V a 3,3 V
Amplitude máxima do sinal de entrada	$2 V_{pp}$
Taxa de amostragem na entrada (f_s)	256 kS/s
Taxa de amostragem na saída (f_{sd})	2 kS/s
SNDR	88 dB
ENOB	14 bits
Consumo médio de corrente (modulador)	$7,2 \mu A$
Consumo médio de corrente (filtro)	$28,3 \mu A$
Área	$0,042 \text{ mm}^2$

Fonte: O próprio autor.

4.6 Conclusão

Neste capítulo foi apresentado o projeto detalhado de um conversor A/D $\Delta\Sigma$ para a aquisição de biossinais e este foi validado por meio de simulações em nível elétrico. A escolha da topologia de conversor, discutida no início do capítulo, teve como base as características dos sinais de eletromiografia de superfície e os métodos de processamento aos quais estes são submetidos para a extração de suas informações.

Para a obtenção de um conversor de baixo custo em termos de área e consumo de energia, foi feita uma análise cuidadosa das fontes de erro mais relevantes para um conversor com esta finalidade. Como resultado, um modulador com ENOB acima de 12 bits e com dimensões de apenas $195 \mu m \times 150 \mu m$ foi obtido. O consumo médio de corrente

estimado por simulação é apenas $7,2 \mu\text{A}$ para o modulador e $28,3 \mu\text{A}$ para o filtro digital. O consumo do filtro foi estimado pela ferramenta de síntese digital e nenhum resultado simulado em nível elétrico pôde ser obtido para o filtro decimador até o término deste trabalho. A área total ocupada pelo conversor é apenas $0,042 \text{ mm}^2$, portanto, menor que a área do amplificador de biossinais.

Apesar de o resultado corresponder ao que foi proposto, algumas escolhas de projeto se mostraram pouco vantajosas. Como exemplo, o circuito de CMFB a capacitores chaveados resultou em um acréscimo significativo de área no layout do amplificador operacional. Isso ocorreu devido à área mínima requerida pelos capacitores de metal ser razoavelmente grande. Além disso, a escolha do modulador de segunda ordem com taxa de *oversampling* elevada resultou na necessidade de um filtro decimador relativamente custoso em termos de área e consumo de energia, se comparado à área final e ao consumo do próprio modulador. Isso pode ser corrigido utilizando-se um modulador de ordem mais elevada e uma taxa de amostragem mais baixa, e pode-se também recorrer a um projeto *full-custom* para o filtro decimador. Essas questões serão deixadas para futuras melhorias no projeto.

5 INTERFACE DE AQUISIÇÃO DE SINAIS

O objetivo deste capítulo é mostrar que a utilização de um conversor A/D $\Delta\Sigma$ pode resultar em uma significativa simplificação no projeto da interface analógico-digital para a aquisição de sinais eletromiográficos de superfície (IAD-sEMG), reduzindo o número de elementos a um mínimo, sem que haja perda significativa na qualidade do sinal adquirido.

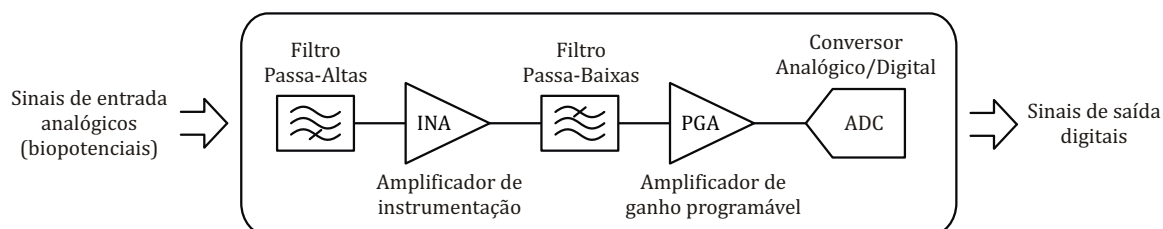
5.1 Estrutura da IAD-sEMG

A estrutura comumente empregada de um canal de aquisição de sinais compreende um amplificador de instrumentação (INA), uma etapa de filtragem, uma segunda amplificação por meio de um Amplificador de Ganho Programável (PGA) e, por fim, o processo de amostragem e conversão dos sinais em dados digitais. Um canal de aquisição de sinais típico é mostrado na Figura 5.1. O filtro passa-altas é utilizado para eliminar a componente de *offset* CC do sinal de entrada, que normalmente apresenta uma amplitude da mesma ordem de grandeza (ou até superior) do sinal de interesse (seção 2.3.2).

Devido a questões que foram discutidas nos capítulos anteriores, várias simplificações foram realizadas na estrutura do canal de entrada mostrada acima a fim de economizar recursos, especialmente área de silício. A primeira delas consiste em usar um filtro passa-altas ativo que executa ao mesmo tempo a filtragem e a amplificação dos sinais. Isto resultou no amplificador de biossinais apresentado no Capítulo 3. A este circuito, foi incorporada também a função do PGA, por meio do controle das capacitâncias de entrada do amplificador.

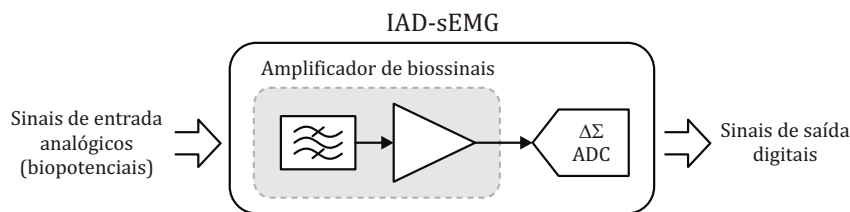
Em adição, o estudo detalhado apresentado no Capítulo 2, a respeito das características dos sinais obtidos com eletrodos de superfície, sugere que a escolha de um conversor analógico-digital que opere com *oversampling* permite remover o filtro *anti-aliasing* da estrutura do canal, sem que haja um efeito significativo sobre a relação sinal ruído do

Figura 5.1 – Estrutura típica de um canal de aquisição de sinais.



Fonte: O próprio autor.

Figura 5.2 – Estrutura de blocos da IAD-sEMG.



Fonte: O próprio autor.

sistema. Para este caso, portanto, estima-se que seja suficiente a filtragem realizada pelas redes de atraso intrínsecas do circuito. Com isso, a arquitetura final do IAD-sEMG é reduzida para apenas um amplificador de biosinais e um ADC- $\Delta\Sigma$, como ilustrado na Figura 5.2.

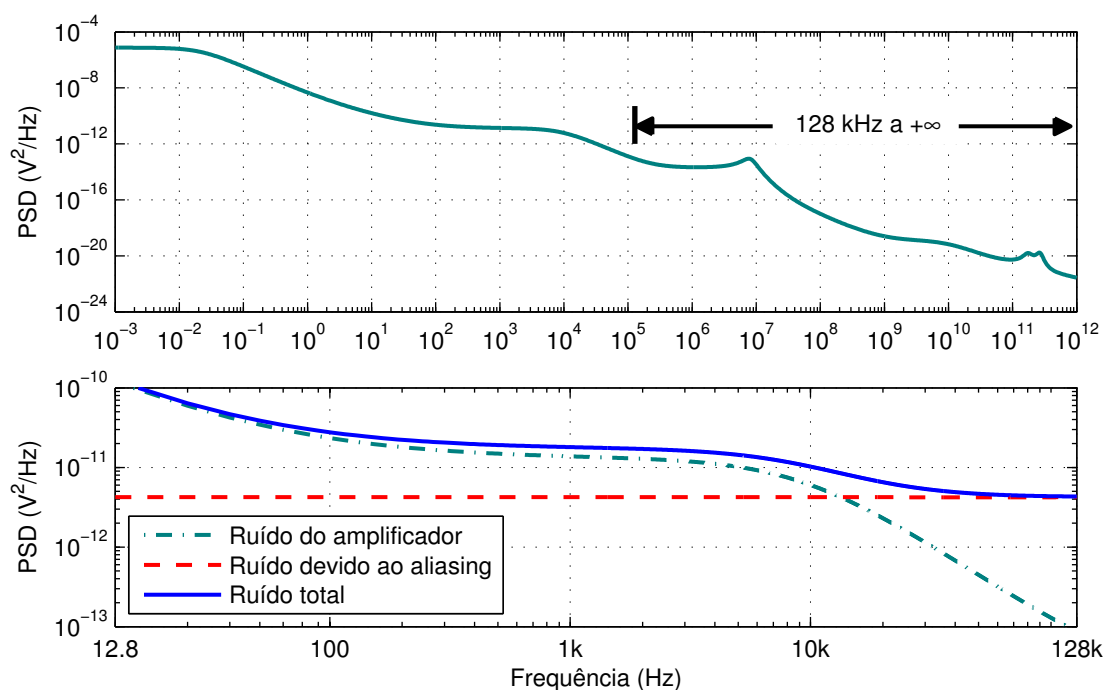
As afirmações que levaram às simplificações acima podem ser justificadas pelas seguintes observações. Primeiramente, da seção 2.3.1 pode-se concluir que não há potência significativa de sinal para a faixa acima de 1 kHz quando eletrodos de superfície são empregados. Isso se deve ao efeito de filtragem passa-baixas proporcionado tanto pelos tecidos vivos nos quais os sinais se propagam, quanto pelo sistema tecido-eletrólito-eletrodo-carga, onde a carga representa a impedância de entrada do amplificador de biosinais.

Em segundo lugar, com base no que foi mostrado na seção 2.3.3, a densidade espectral de potências do ruído captado pelos eletrodos de superfície apresenta uma característica de aproximadamente $1/f^\alpha$, com α aproximadamente igual a 2. Com base nisso, e no efeito de filtragem, pode-se concluir que não há a necessidade de empregar um filtro *anti-aliasing* antes do processo de amostragem dos sinais, visto que há nenhum efeito significativo de *aliasing* de sinais contaminantes captados juntamente com o sinais de interesse. Isso vale também para os artefatos de movimento e para a interferência gerada pelas linhas de alimentação, discutidos nas seções 2.3.4 e 2.3.5, respectivamente, uma vez que estes interferentes já se encontram dentro da banda de interesse do sinal.

Por fim, para assegurar que a remoção do filtro *anti-aliasing* não afeta a integridade do sinal, é necessário garantir que o *aliasing* do ruído gerado internamente pelo próprio canal de aquisição não cause um efeito significativo na SNR do sistema. A partir dos dados simulados da PSD do ruído do amplificador de biosinais, mostrados na Figura 5.3, a tensão de ruído na saída do amplificador de biosinais, presente na faixa de 128 kHz ($f_s/2$) até a máxima frequência simulada, é igual a $739 \mu\text{V}_{\text{RMS}}$. Após a amostragem, essa potência de ruído é transferida para dentro da banda de 0 Hz a 128 kHz, gerando um piso de ruído aproximadamente plano (linha vermelha tracejada na Figura 5.3).

A potência de ruído devido ao *aliasing* que cai dentro da faixa de 0 Hz a 500 Hz pode ser obtida dividindo-se a potência total pelo valor de OSR. Com isso, a tensão de ruído dentro da faixa de sEMG passa de $144,6 \mu\text{V}_{\text{RMS}}$ para $151,2 \mu\text{V}_{\text{RMS}}$. Isto representa

Figura 5.3 – Efeito da amostragem sobre o ruído gerado pelo amplificador de biossinais. Acima é mostrada a PSD do ruído do amplificador, referido à saída. No gráfico está indicada a parcela do ruído acima de $f_s/2$, a qual sofre *aliasing* durante o processo de amostragem. Abaixo são comparadas as PSDs antes e após o *aliasing*.



Fonte: O próprio autor.

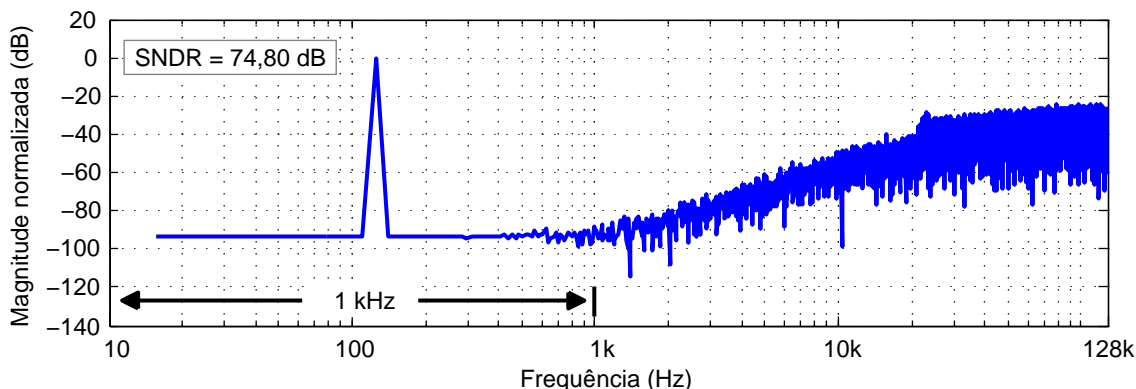
um acréscimo de cerca de 5% no ruído total, e uma redução de apenas 0,48 dB na SNR do sistema. Durante o processo de decimação, novamente ocorrerá *aliasing* de ruído para dentro da banda de interesse. Porém, neste caso, o ruído fora da banda já terá sido bastante atenuado pelo filtro digital, além de ser sobreposto pelo ruído de quantização nas frequências mais altas do espectro.

Deve-se ainda avaliar o efeito de conectar diretamente o amplificador de biossinais ao modulador do ADC. Três efeitos relacionados ao chaveamento da carga em alta frequência podem representar problemas à operação do circuito. O primeiro diz respeito ao efeito **médio** da solicitação de cargas pelos capacitores do modulador, que pode ser modelado como uma resistência equivalente de valor

$$R_{\text{eq}} = \frac{T_s}{C_1}, \quad (5.1)$$

onde T_s é o período de amostragem e C_1 é a capacitância de entrada do primeiro integrador do modulador $\Delta\Sigma$. Com $T_s \approx 4 \mu\text{s}$ e $C_1 = 200 \text{ fF}$ (dados do Capítulo 4), a resistência equivalente em cada uma das saídas do amplificador de biossinais é estimada em aproximadamente $20 \text{ M}\Omega$. Este valor é consideravelmente mais alto que a resistência utilizada no circuito de CMFB do amplificador, de apenas $500 \text{ k}\Omega$, e portanto seu efeito pode ser desprezado no resultado final.

Figura 5.4 – Espectro de amplitudes do sinal de saída da IAD-sEMG (saída do modulador), para uma entrada senoidal com frequência de 125 Hz e amplitude de 20 mV_{pp} .



Fonte: O próprio autor.

O segundo efeito é a rápida redistribuição de cargas entre a saída do amplificador e o capacitor de entrada do modulador, o que gera pulsos transitórios de curta duração nos sinais de saída do amplificador, e pode causar a contaminação dos sinais de interesse. O tempo de assentamento dos pulsos será avaliado na seção 5.2, onde será mostrado que seu valor é suficientemente baixo, para que o sinal se restabeleça em seu valor correto antes da próxima amostragem. Isso se deve principalmente à inclusão de um capacitor de carga de pF, e secundariamente à baixa impedância de saída do amplificador, proporcionada pelo *buffer* utilizado.

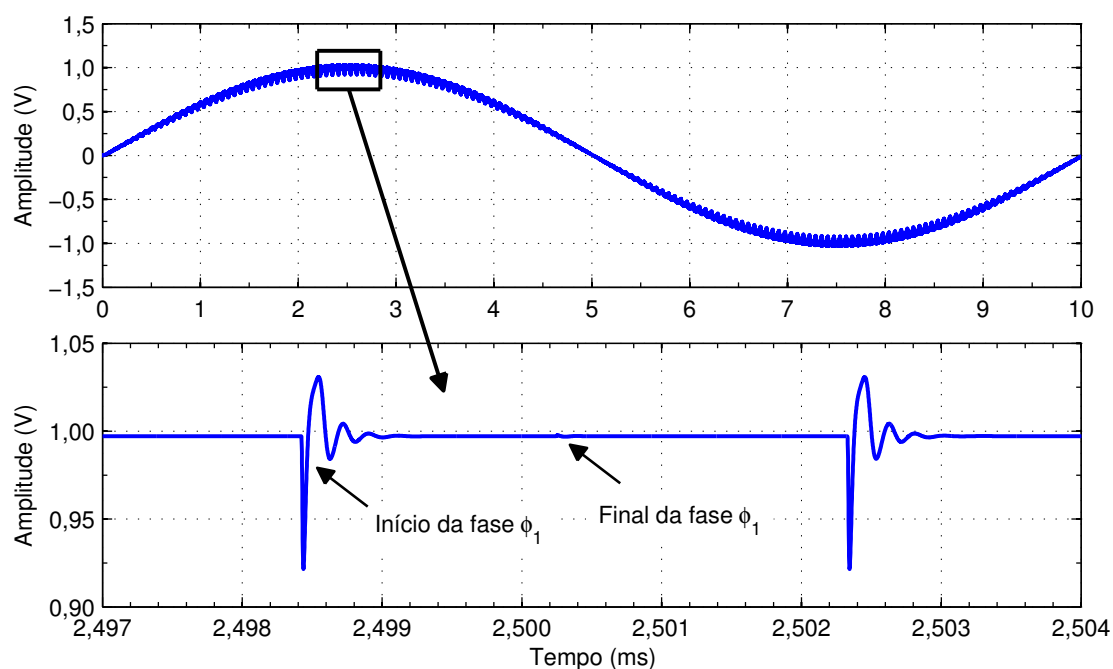
O terceiro efeito a ser considerado é o pico de injeção de cargas durante as transições de estado das chaves do modulador. Contudo, este é muito menos relevante que o anterior, dado que as chaves possuem dimensões mínimas e a carga capacitiva na saída do amplificador pode facilmente absorver seu impacto.

5.2 Resultados de simulações

A Figura 5.4 mostra o espectro de amplitudes do sinal na saída do modulador da IAD-sEMG, para um sinal de entrada senoidal diferencial, com frequência de 125 Hz e amplitude de 20 mV_{pp} . O valor da SNDR obtida nas simulações foi 74,8 dB, o que corresponde a um ENOB ligeiramente superior a 12 bits.

A queda na SNDR deve-se à presença de um piso constante nas frequências mais baixas do espectro, provavelmente causada por sinais transitórios de longa duração que ocorrem no amplificador de biossinais no início de sua operação. O tempo para o qual o circuito foi avaliado foi relativamente curto, apenas 32 ms ou quatro períodos do sinal de entrada. Assim, devido à dinâmica lenta do amplificador de biossinais, que possui um polo abaixo de 1 Hz, não houve tempo suficiente para que as tensões nos nós internos do

Figura 5.5 – Sinal de saída do amplificador de biossinais mostrando o *ripple* gerado pelo chaveamento do modulador $\Delta\Sigma$.



Fonte: O próprio autor.

circuito se estabilizassem em seus devidos pontos de operação. Simulações mais longas, envolvendo um número maior de períodos do sinal de entrada, podem ser realizadas para confirmar a natureza deste problema. Contudo, o tempo requerido para obter os resultados pode se tornar impraticavelmente longo, especialmente no caso de simulações utilizando vistas de *layout* extraído dos circuitos.

O efeito de *ripple* nos sinais de saída do amplificador de biossinais devido ao chaveamento do modulador é mostrado na Figura 5.5. As curvas mostram que o tempo de assentamento dos picos é suficientemente curto para que o sinal retorne a seu valor correto antes do final do período de amostragem (fase ϕ_1).

O consumo médio de corrente do canal (sem incluir o filtro decimador) foi estimado em $20,7 \mu\text{A}$, resultando em uma potência de $31,05 \mu\text{W}$, para uma alimentação de $1,5 \text{V}$. Incluindo o consumo do filtro decimador, o consumo total do canal é estimado em cerca de $65,5 \mu\text{W}$.

5.3 Conclusão

Neste capítulo, o amplificador de biossinais e o conversor A/D, descritos nos capítulos anteriores, foram integrados para formar a interface analógico-digital para eletromiografia de superfície, ou IAD-sEMG. Foram apresentados os argumentos que justificam a simplificação do IAD-sEMG a um conjunto mínimo de sub-circuitos, e os resultados de

simulações em nível elétrico mostraram que o circuito opera adequadamente, com uma resolução efetiva próxima a 12 bits (considerando-se apenas a linearidade e o ruído de quantização), com um consumo de energia que atende aos requerimentos dados na Tabela 1.1 e com uma área de apenas 0,112 mm².

Os resultados de simulações mostraram que o amplificador de biossinais foi subdimensionado do ponto de vista do ruído gerado por este. Embora a estimativa do ruído total do sistema não tenha sido obtida devido ao longo tempo requerido para as simulações, fica claro pelos resultados obtidos dos blocos individuais, e pela estimativa feita anteriormente a respeito do *aliasing* de ruído do amplificador, que o fato de não ter sido adotada uma margem de garantia no nível de ruído, durante o dimensionamento do amplificador de biossinais, resultará em um ENOB menor que os 12 bits desejados para o canal como um todo. Porém, a redução do nível de ruído do amplificador não será abordada neste trabalho e será deixada para futuras modificações no projeto.

Mais simulações ainda devem ser realizadas para assegurar a validade do projeto realizado, inclusive levando-se em conta efeitos de descasamento utilizando a vista de *layout* extraído do circuito, a fim de obter valores de performance relativos à rejeição a interferentes da rede de alimentação, uma vez que esta foi a principal motivação para a adoção da arquitetura diferencial nos circuitos que compõem a IAD-sEMG.

6 CONCLUSÃO

Neste trabalho foram apresentados o projeto e os resultados de simulações de uma interface analógico-digital para a aquisição de sinais eletromiográficos, chamada IAD-sEMG. A IAD-sEMG consiste em uma estrutura simplificada de canal de aquisição de sinais, sendo composta apenas por um amplificador de biossinais e um conversor analógico-digital do tipo $\Delta\Sigma$. As simplificações foram realizadas com o objetivo de economizar recursos, especialmente área de silício, fator importante para uma futura integração do canal em um sistema para eletromiografia de alta densidade (HD-sEMG).

Uma nova arquitetura de amplificador de biossinais foi proposta, e esta foi desenvolvida com o objetivo de atender às duas principais métricas de qualidade definidas para a IAD-sEMG: a linearidade e o nível de ruído. O amplificador projetado apresenta resultados simulados compatíveis com os requerimentos estabelecidos para o circuito, com ganho programável de 40 dB (100 V/V) ou 34 dB (50 V/V) e com uma banda de passagem de 25 mHz a 9,25 kHz. O ruído total referido à entrada é igual a $1,45 \mu\text{V}_{\text{RMS}}$, integrado no intervalo de frequências entre 0,5 Hz e 500 Hz. A linearidade do amplificador para a tensão de alimentação nominal de 1,5 V é igual a 81,1 dB ou 0,0088%, para um sinal de entrada senoidal de 5 Hz e $20 \text{ mV}_{\text{pp}}$, o que corresponde à uma excursão de saída de 2 V_{pp} , sendo portanto perfeitamente compatível com um canal de aquisição com resolução de 12 bits. O amplificador tem um consumo CC de apenas $13,5 \mu\text{A}$ e ocupa uma área de $0,07 \text{ mm}^2$ no layout.

Foi realizado um estudo cuidadoso sobre as características dos sinais eletromiográficos e, com isso, se mostrou que um conversor de *oversampling* é o mais apropriado para o circuito pretendido, pois permite a remoção do filtro passa-baixas analógico, transferindo essa tarefa para o domínio digital. O conversor projetado, consiste em um $\Delta\Sigma$ de segunda ordem utilizando integradores e capacitores chaveados. O conversor opera com uma taxa de amostragem de 256 kS/s e entrega em sua saída dados com resolução de 12 bits a uma taxa de 2 kS/s.

Para a implementação física do modulador, uma análise detalhada das fontes de erro, especialmente ruído e injeção de cargas pelas chaves, permitiu dimensionar os componentes do circuito de forma otimizada, resultando em grande economia de área e de energia consumida. O modulador tem um consumo CC de apenas $7,2 \mu\text{A}$ e ocupa uma área de $0,029 \text{ mm}^2$. Os resultados simulados mostraram uma SNDR (sem ruído térmico e *flicker*) superior a 83 dB, tanto por meio de modelos em MATLAB quanto em nível elétrico. As simulações de ruído resultaram em um valor de SNR igual a 82 dB. Portanto, a precisão do modulador é superior a 12 bits, tal como desejado.

O filtro decimador foi elaborado em VHDL e os resultados de simulação mostraram que a arquitetura funciona adequadamente. Nenhum resultado de simulação em nível elétrico foi possível devido à *foudry* não disponibilizar células digitais (vistas de esquemático e layout) para a tecnologia adotada. Apenas as informações para as síntese lógica e física no fluxo de projeto digital foram disponibilizadas. A estimativa de consumo, obtida por meio da ferramenta de síntese é de $28,3 \mu\text{A}$ e o *layout* final ocupa uma área de $0,013 \text{ mm}^2$.

Simulações do canal completo mostram que o circuito opera de forma satisfatória, confirmando que as hipóteses simplificadoras feitas na etapa de projeto estavam, de fato, corretas. Os resultados mostraram que o efeito de carregamento do modulador sobre o amplificador de biossinais pode ser desprezado. Contudo, devido à dinâmica extremamente lenta do amplificador de biossinais, em comparação com a operação do modulador, a presença de transitórios de longa duração impossibilitaram a correta estimativa da SNDR do canal. Ainda assim, a SNDR obtida foi superior a 74 dB, o que corresponde a um ENOB maior que 12 bits. O consumo médio de corrente do canal completo é cerca de $49 \mu\text{A}$ e sua área total é apenas $0,112 \text{ mm}^2$. Em termos de área, consumo de energia e qualidade do sinal processado, os resultados apresentados neste trabalho estão entre os melhores publicados neste tema, como pode ser confirmado pelos dados da Tabela 3.3.

Alguns pontos negativos foram identificados no circuito projetado. Primeiramente, as dimensões e consumo finais do filtro decimador são razoavelmente elevadas, se comparadas com o restante do circuito. Para lidar com isto, um projeto mais elaborado ou mesmo *full-custom* do filtro pode ser realizado, explorando-se principalmente a baixa frequência de operação do mesmo. A linearidade do amplificador para uma alimentação de 1,2 V também ficou abaixo do valor desejado, o que pode ser facilmente resolvido por meio do redimensionamento de alguns transistores do amplificador operacional empregado. Outras questões relacionadas às escolhas de projeto, como o método de CMFB empregado nos amplificadores operacionais do modulador $\Delta\Sigma$, necessitam ser revistas. Estas questões, juntamente com a integração da IAD-sEMG em um sistema completo, com múltiplos canais e uma interface de comunicação digital, serão deixadas para trabalhos futuros.

APÊNDICE A – PUBLICAÇÕES

Segue abaixo a lista de publicações realizadas durante o período do mestrado.

- 1) MONTEIRO, M.; KLIMACH, H.; BAMPI, S. High linearity and large output swing sub-Hz pre-amplifier for portable biomedical applications. In: *Integrated Circuits and Systems Design (SBCCI), 2014 27th Symposium on*. [S.l.: s.n.], 2014. p. 1–7.
- 2) KLIMACH, H. et al. Resistorless switched-capacitor bandgap voltage reference with low sensitivity to process variations. *Electronics Letters*, v. 49, n. 23, p. 1448–1449, Nov 2013.
- 3) KLIMACH, H. et al. A resistorless switched bandgap reference topology. In: *Circuits and Systems (LASCAS), 2013 IEEE Fourth Latin American Symposium on*. [S.l.: s.n.], 2013. p. 1–4.
- 4) KLIMACH, H. et al. A resistorless switched bandgap voltage reference with offset cancellation. In: *Integrated Circuits and Systems Design (SBCCI), 2013 26th Symposium on*. [S.l.: s.n.], 2013. p. 1–5.

APÊNDICE B – ORIGENS FISIOLÓGICAS DOS SINAIS ELÉTRICOS MUSCULARES

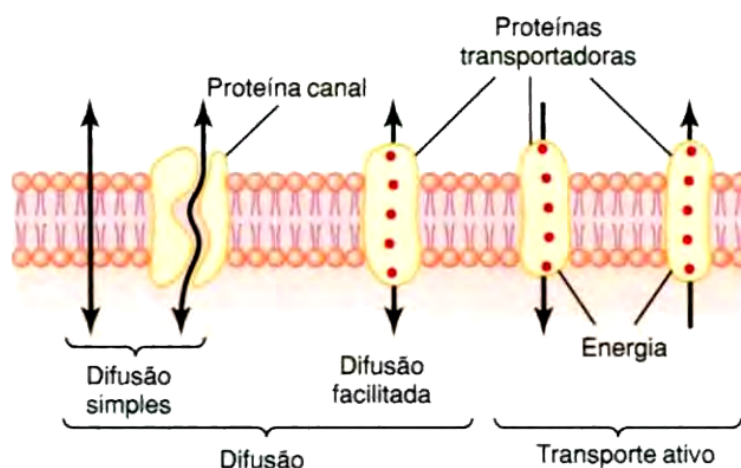
Diferentemente do que acontece em circuitos elétricos, biopotenciais como EMG e EEG não são gerados pela movimentação de elétrons através de meios condutores, mas sim, por processos físico-químicos que ocorrem na membrana das células musculares e nervosas e que resultam na contração muscular e na propagação de impulsos nervosos. Esses processos físico-químicos consistem, resumidamente, no transporte de íons de sódio (Na^+) e potássio (K^+) através das membranas celulares, gerando variações na diferença de potencial elétrico entre os meios intra e extracelular (GUYTON; HALL, 2006, p. 45–91).

B.1 Transporte de íons pela membrana celular

A Figura B.1 ilustra os mecanismos de transporte de substâncias através da membrana celular. Destes, apenas dois são importantes no estudo em questão: o processo de difusão simples usando proteínas canal e o processo de transporte ativo.

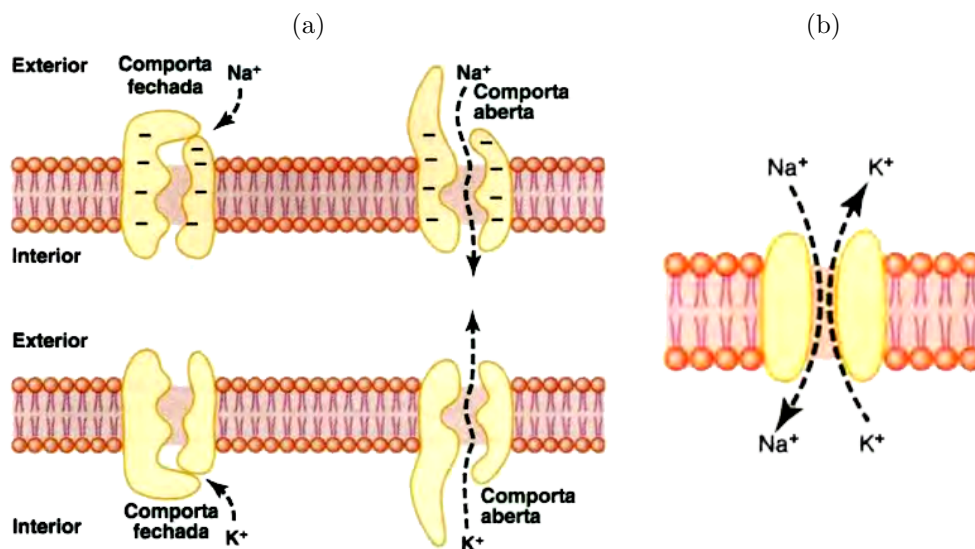
O processo de difusão resulta do movimento aleatório de partículas (nesse caso íons) devido à sua energia cinética natural, existente em temperaturas maiores que o zero

Figura B.1 – Vias de transporte através da membrana celular e seus mecanismos básicos de transporte.



Fonte: Guyton e Hall (2006)

Figura B.2 – Transporte de íons de sódio e potássio através das proteínas-canais.
 (a) Proteínas-canais com permeabilidade seletiva. (b) Canais de extravasamento.



Fonte: Guyton e Hall (2006)

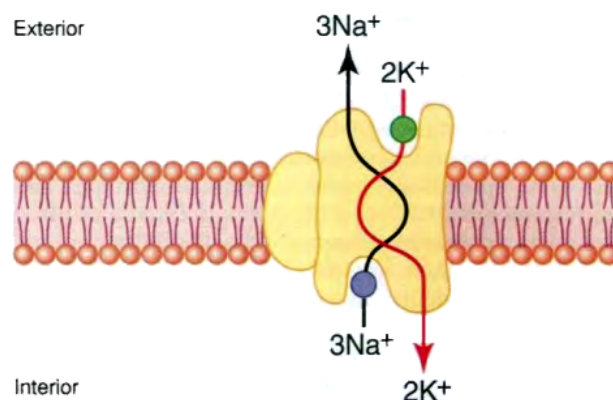
absoluto, ou -273°C . A difusão de íons Na^{+} e K^{+} através da membrana celular ocorre sempre no sentido de reduzir o gradiente de concentração, como ocorre em qualquer movimentação de partículas devido à difusão térmica.

A **difusão simples por meio de proteínas-canais** é um caso particular de difusão, no qual um canal proteico, que se estende de um lado a outro da membrana celular, permite a passagem de íons através desta. Há uma proteína canal específica para o sódio e uma para o potássio, além de uma terceira, o canal de extravasamento, que permite a difusão de ambos. Esse processo de difusão é ilustrado na Figura B.2.

As proteínas-canais seletivas (Figura B.2(a)) possuem um mecanismo de comporta para o controle do fluxo de íons para dentro ou para fora da célula. Sob diferença de potencial elétrico, ou por meio de reações químicas, essas comportas, que são uma extensão da proteína-canal, podem sofrer mudanças conformacionais, literalmente abrindo ou fechando o canal. Os canais de extravasamento (Figura B.2(b)) não possuem comportas e permitem a passagem tanto de íons de sódio quanto de íons de potássio, embora sejam, em média, cerca de 100 vezes mais permeáveis aos íons de potássio.

O **transporte ativo** de íons de sódio e potássio através da membrana celular atua sempre no sentido de aumentar o gradiente de concentração entre os meios intra e extracelular. Aqui, o mais importante mecanismo de transporte ativo é a **bomba de sódio e potássio**, ilustrada na Figura B.3. Sua função é levar os íons Na^{+} para fora da célula e, ao mesmo tempo, os íons K^{+} para dentro, gerando grandes diferenças de concentração destes íons entre os meios externo e interno das células.

Figura B.3 – Transporte ativo de íons através da bomba de sódio e potássio.



Fonte: Guyton e Hall (2006)

Tabela B.1 – Concentrações de íons sódio e potássio nos líquidos intra e extracelular.

Íon	Líquido Extracelular	Líquido Intracelular
Na ⁺	142 mEq/l ¹	10 mEq/l
K ⁺	4 mEq/l	140 mEq/l

Fonte: Guyton e Hall (2006)

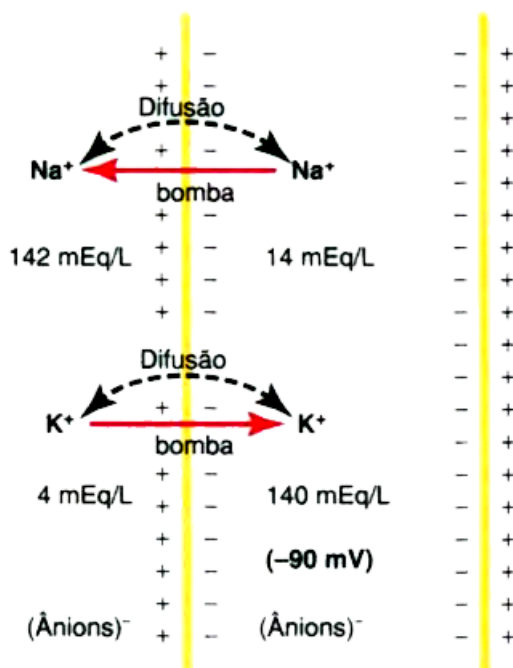
A bomba de sódio e potássio é composta por duas proteínas. A maior delas (não se conhece ainda a função da menor) apresenta três locais para ligações com íons de sódio, posicionados na parte da proteína voltada para dentro da célula, e dois locais para ligações com íons de potássio, posicionados na parte da proteína voltada para fora da célula. Acredita-se que quando os íons estão ligados à proteína, e energia é aplicada ao sistema, a molécula de proteína sofre uma alteração conformacional, transportando os íons Na⁺ para o exterior da célula e os íons K⁺ para o seu interior. A Tabela B.1 mostra as concentrações normais de íons de sódio e potássio nos líquidos intra e extracelular, resultantes da atividade das bombas de sódio e potássio.

B.2 Potencial de membrana

Como pode ser notado na Figura B.3, a bomba de sódio e potássio transfere, a cada ciclo de trabalho, mais íons Na⁺ para fora da célula do que íons K⁺ para dentro dela, criando as diferenças de concentrações mostradas na Tabela B.1. Essas diferenças entre as quantidades de íons transportados dá à bomba de sódio e potássio um caráter **eletrogênico**, isto é, ela produz uma diferença de potencial elétrico entre os meios interno e externo das células.

¹ Equivalente ou equivalente-grama de uma substância é a massa dessa substância capaz de reagir com 1g de hidrogênio. Para substâncias simples, tais como íons Na⁺ e K⁺, tem-se Eq = M/v, onde M é a massa molar e v é a valência.

Figura B.4 – Estabelecimento do potencial de repouso da membrana nas fibras nervosas e musculares.



Fonte: Guyton e Hall (2006)

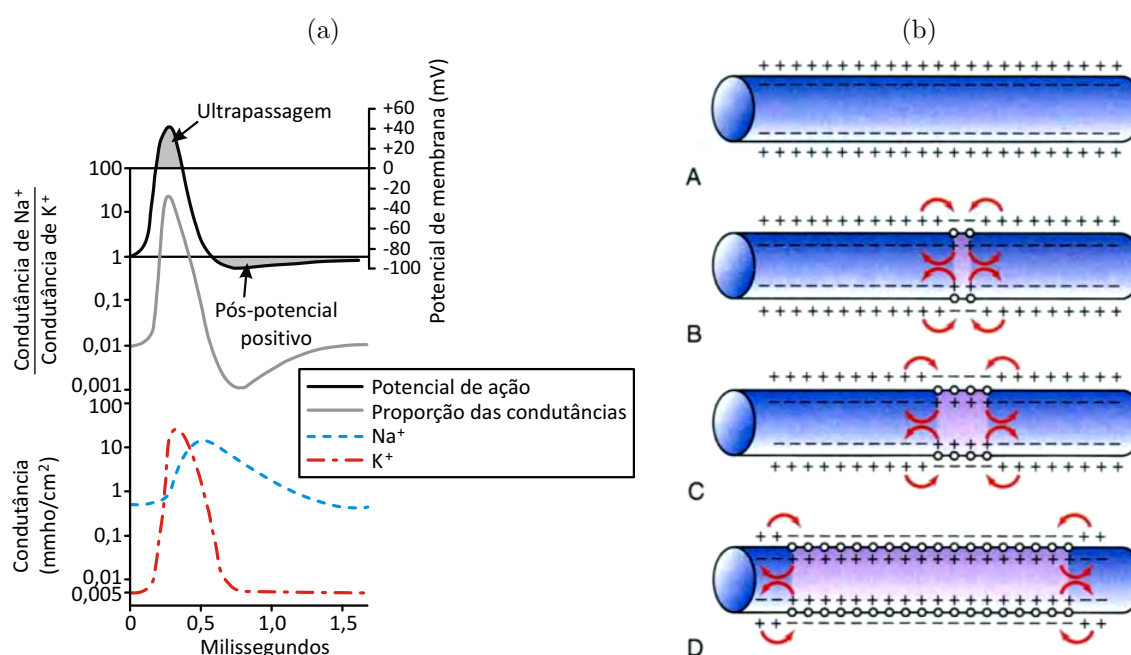
Paralelamente à operação da bomba de sódio e potássio, há a difusão de íons de sódio e potássio através dos canais de extravasamento. Esse também é um mecanismo eletrogênico, dada a diferença de permeabilidade desses canais para os de íons sódio e de potássio. Ou seja, os íons se difundem para dentro e para fora até que uma diferença de potencial se estabeleça entre os dois meios separados pela membrana.

Quando os efeitos combinados da bomba de sódio e potássio e dos canais de extravasamento encontram um equilíbrio, eles terão feito surgir no interior das células uma carga elétrica negativa em relação ao meio exterior. O potencial elétrico que se estabelece entre os meios intra e extracelular por meio desse processo é chamado potencial de repouso da membrana. A Figura B.4 ilustra parte de uma fibra nervosa, na qual os processos de transporte de íons de sódio e de potássio se equilibraram, dando origem a uma diferença de potencial de -90 mV entre os meios interno e externo da célula.

B.3 Potenciais de ação

Os processos de contração muscular e de propagação de impulsos nervosos pelo corpo são realizados por meio de potenciais de ação. Os potenciais de ação consistem na elevação súbita do potencial de membrana, em um processo conhecido como despolarização, seguido pelo rápido retorno à condição de polarização inicial da membrana, a repolarização.

Figura B.5 – Eventos do potencial de ação em uma fibra nervosa. (a) Potencial de membrana e condutâncias da membrana aos íons de sódio e potássio ao longo do potencial de ação. (b) Propagação do potencial de ação ao longo da fibra.



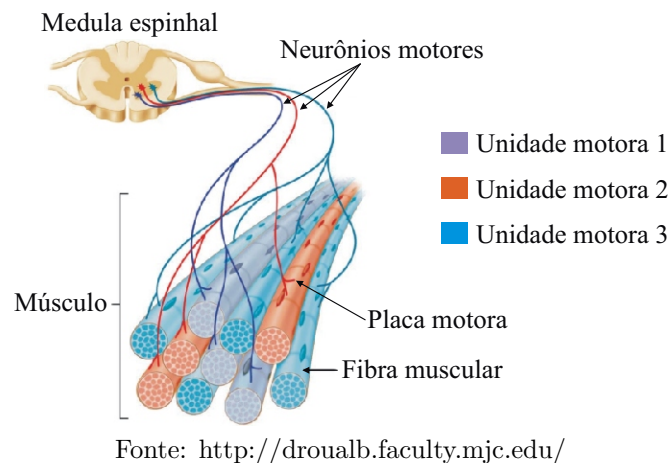
Fonte: Guyton e Hall (2006)

Os eventos de um potencial de ação são ilustrados na Figura B.5(a). A membrana, inicialmente sob o potencial de repouso, é excitada em algum ponto por meio de substâncias químicas (neurotransmissores) ou pela elevação do potencial elétrico, causando a abertura das comportas dos canais de sódio (Figura B.2(a) superior). Uma elevação no potencial de membrana de 15 mV a 30 mV acima do potencial de repouso é suficiente para engatilhar uma reação em cadeia, que abrirá os canais de sódio adjacentes, propagando a despolarização ao longo da fibra nervosa ou muscular, como mostrado na Figura B.5(b).

Quando o potencial de membrana alcança valores positivos ocorre o fechamento dos canais de sódio e a súbita abertura das comportas dos canais de potássio (Figura B.2(a) inferior), fazendo com que o potencial de membrana volte rapidamente a ser negativo. Por fim, quando o potencial de membrana cai para valores próximos ao potencial de repouso, os canais de potássio se fecham novamente, enquanto a bomba de sódio e potássio e os canais de extravasamento, que permanecem continuamente em operação, restabelecem o potencial de repouso da membrana.

Os potenciais de ação nas fibras nervosas e musculares são essencialmente iguais. Os potenciais de membrana são os mesmos, havendo diferença apenas na velocidade de propagação dos potenciais de ação, que para as fibras musculares é cerca de 1/13 da velocidade de propagação em uma fibra nervosa. Além disso, os potenciais de ação duram

Figura B.6 – Unidades motoras em um músculo.



de 1 a 5 milissegundos nas fibras musculares, o que representa até 5 vezes a duração do potencial de ação em uma fibra nervosa, ilustrado na Figura B.5(a).

B.4 Unidades motoras

Unidade motora é a menor unidade funcional do sistema motor do corpo humano. Consiste em um neurônio motor, ou motoneurônio, conectado à medula espinhal em uma extremidade e, na outra, a um feixe de fibras musculares, as quais ele excitará.

A Figura B.6 mostra as partes integrantes de uma unidade motora. Cada neurônio motor excita, em média, de 80 a 100 fibras musculares, sendo que o número exato de fibras em uma unidade motora pode variar de algumas unidades a muitas dezenas, dependendo da precisão dos movimentos realizados pelo músculo ou grupo muscular ao qual a unidade motora pertence (GUYTON; HALL, 2006, p. 81).

Os vários ramos do axônio do neurônio motor se ligam às fibras musculares em diferentes pontos por meio de estruturas chamadas placas motoras. As placas motoras, quando da ocorrência de um potencial de ação vindo do axônio, injetam nas fibras musculares uma pequena quantidade do neurotransmissor **acetilcolina**, o qual irá engatilhar o potencial de ação na fibra muscular, como descrito anteriormente.

APÊNDICE C – CONCEITOS BÁSICOS DE CONVERSORES $\Delta\Sigma$

Este breve texto tem como objetivo fornecer ao leitor uma rápida iniciação em conversores analógico-digitais da classe $\Delta\Sigma$ ($\Delta\Sigma$ -ADC), os quais são um caso particular de conversores de *oversampling* ou sobre-amostragem. Algumas das características de conversores $\Delta\Sigma$, como sua robustez à variabilidade de componentes e sua linearidade intrínseca, o tornam particularmente interessante na aquisição de sinais de baixas frequências com elevada resolução, como é o caso do projeto apresentado neste trabalho.

Ao longo deste capítulo serão descritos os princípios de funcionamento de um conversor $\Delta\Sigma$ e serão introduzidas as principais equações utilizadas no projeto de um conversor.

C.1 Resolução de um $\Delta\Sigma$ -ADC

Diferentemente de um conversor *Nyquist rate*, a resolução de um conversor $\Delta\Sigma$ não pode ser avaliada diretamente pela estrutura do circuito, ou, equivalentemente, pelo tamanho da palavra digital em sua saída. Em vez disso, a resolução é avaliada em termos de ENOB, que consiste em comparar a SNR obtida no $\Delta\Sigma$ com a de um conversor ideal equivalente do tipo *Nyquist rate*.

Para um conversor A/D *Nyquist rate*, assumido-se que o ruído de quantização é um sinal aleatório cuja amplitude obedece a uma função densidade de probabilidades uniformemente distribuída entre $-V_{\text{LSB}}/2$ e $+V_{\text{LSB}}/2$, a potência total de ruído P_n em sua saída será dada por

$$P_n = \frac{V_{\text{LSB}}^2}{12} \quad (\text{C.1})$$

(JOHNS; MARTIN, 1997, p. 536), a qual não depende da taxa de amostragem adotada, sendo determinada unicamente pela resolução do quantizador. Se um sinal senoidal com amplitude pico-a-pico máxima (definida pelo intervalo de amplitude de sinal para o qual o erro de quantização do conversor não ultrapassa $V_{\text{LSB}}/2$) for aplicado à entrada desse conversor, a potência de sinal poderá ser expressa em termos do número de bits N_B e de V_{LSB} do conversor de acordo com a equação

$$P_s = \frac{1}{2} \cdot \left(\frac{V_{s(\text{pp})}}{2} \right)^2 = \frac{1}{2} \cdot \left(\frac{V_{\text{LSB}} \cdot 2^{N_B}}{2} \right)^2, \quad (\text{C.2})$$

$$P_s = \frac{V_{\text{LSB}}^2 \cdot 2^{2N_B}}{8}. \quad (\text{C.3})$$

A SNR máxima do conversor pode então ser calculada como mostrado a seguir

$$\text{SNR}_{\text{MAX}} = 10 \cdot \log \left(\frac{P_s}{P_n} \right), \quad (\text{C.4})$$

$$\text{SNR}_{\text{MAX}} = 10 \cdot \log \left(\frac{V_{\text{LSB}}^2 \cdot 2^{2N_B}}{8} \cdot \frac{12}{V_{\text{LSB}}^2} \right), \quad (\text{C.5})$$

$$\text{SNR}_{\text{MAX}} = 6,02 \text{ dB} \cdot N_B + 1,76 \text{ dB}. \quad (\text{C.6})$$

Inversamente, a equação (C.6) pode ser utilizada para avaliar o ENOB de um conversor $\Delta\Sigma$ com base em sua SNR_{MAX} , reordenando-se os termos para obter

$$\text{ENOB} = \frac{\text{SNR}_{\text{MAX}} - 1,76 \text{ dB}}{6,02 \text{ dB}} \quad (\text{C.7})$$

(JOHNS; MARTIN, 1997, p. 451). Essa equação será adotada ao longo de todo o texto para avaliar a resolução final de diferentes topologias de moduladores.

C.2 Conversores de *oversampling*

Conversores de *oversampling* (ou sobre-amostragem) são conversores que utilizam uma taxa de amostragem muito maior que a taxa de Nyquis, tipicamente 10 a 256 vezes, o que permite aumentar a SNR na saída por meio da filtragem do ruído de quantização fora da banda de frequências de interesse do sinal de entrada.

Em um caso simples de amostragem, com ou sem *oversampling* mas sem o emprego de *noise shaping*¹, a densidade espectral de potência $S_n(f)$ do ruído de quantização possui uma distribuição uniforme² no intervalo de frequências de $-f_s/2$ a $+f_s/2$, onde f_s é a frequência de amostragem (JOHNS; MARTIN, 1997, p. 532). Assim, $S_n(f)$ é dada pela equação

$$S_n(f) = \frac{P_n}{f_s} = \frac{V_{\text{LSB}}^2}{12} \cdot \frac{1}{f_s}, \quad (\text{C.8})$$

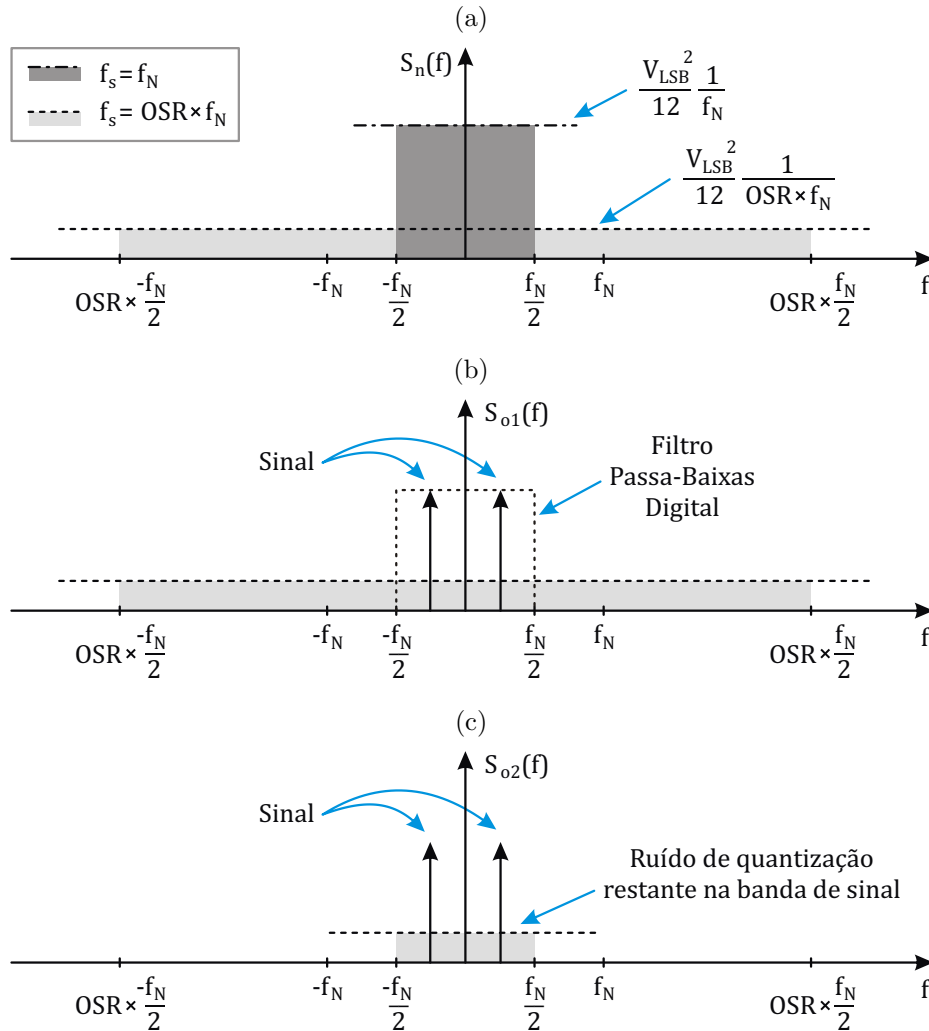
com P_n dado pela equação (C.1).

A Figura C.1 ilustra o que ocorre com o ruído de quantização de um conversor operando em diferentes taxas de amostragem. A Figura C.1(a) mostra que o aumento de f_s faz com que a potência constante P_n (a área sob a curva de $S_n(f)$) seja espalhada em uma faixa mais ampla do espectro, reduzindo o nível de ruído de quantização dentro da banda do sinal. Assim, se um filtro digital for usado para remover a parcela de ruído de quantização fora da banda de interesse, como mostrado nas Figuras C.1(b) e (c), a SNR do conversor e, conseqüentemente, a sua resolução (ENOB) serão maiores.

¹ O processo de *noise shaping* consiste em atenuar o ruído de quantização dentro da faixa de frequências do sinal de interesse utilizando um sistema com realimentação negativa, que permite aplicar um perfil de distribuição específico à densidade espectral de potência do ruído.

² Usualmente se assume que o ruído de quantização se assemelha a um ruído branco e é independente do sinal quantizado.

Figura C.1 – Efeito do processo de *oversampling* sobre o espectro do ruído de quantização do conversor. (a) Redução do piso de ruído em função do aumento da frequência de amostragem f_s . (b) Aplicação de filtro digital passa-baixas para melhorar a SNR na saída conversor. (c) Espectro do sinal digitalizado após a decimação para $f_s = f_N$, onde f_N é a frequência de Nyquist.



Fonte: O próprio autor.

A potência total de ruído de quantização dentro da banda de interesse P_{n0} após a filtragem é calculada integrando-se $S_n(f)$ apenas no intervalo entre $-f_N/2$ a $+f_N/2$ como a seguir

$$P_{n0} = \int_{-f_N/2}^{f_N/2} \left(\frac{V_{LSB}^2}{12} \cdot \frac{1}{f_s} \right) df, \quad (C.9)$$

$$P_{n0} = \int_{-f_N/2}^{f_N/2} \left(\frac{V_{LSB}^2}{12} \cdot \frac{1}{OSR \cdot f_N} \right) df, \quad (C.10)$$

$$P_{n0} = \frac{V_{LSB}^2}{12} \cdot \frac{1}{OSR}, \quad (C.11)$$

onde OSR é a **taxa de oversampling** (*Oversampling Rate*) dada pela relação f_s/f_N .

Finalmente, calculando-se a SNR_{MAX} como mostrado nas equações (C.4) a (C.6), obtém-se a equação

$$SNR_{MAX} = N_B \cdot 6,02 \text{ dB} + 1,76 \text{ dB} + 10 \text{ dB} \cdot \log(OSR), \quad (C.12)$$

(JOHNS; MARTIN, 1997, p. 536). A resolução equivalente pode então ser calculada por meio da equação (C.7), mostrando que o acréscimo na SNR_{MAX} com o uso de *oversampling* se dá a uma taxa de 3 dB para cada aumento por um fator de 2 na frequência de amostragem (ou 0,5 bit/oitava). Após a filtragem digital é realizada ainda a decimação dos dados, a fim de reduzir a taxa de amostragem para um valor próximo à de Nyquist.

C.3 Conversores $\Delta\Sigma$

Em aplicações que requerem alta linearidade mas que não necessitam de taxas de amostragem elevadas, é comum o emprego de *oversampling* em conjunto com um quantizador de 1 bit, devido a este ser inerentemente linear (JOHNS; MARTIN, 1997, p. 537). Neste caso, recorre-se ao uso de *noise shaping*, o que permite aumentar a SNR_{MAX} do conversor de modo mais eficiente em comparação ao que se conseguiria utilizando apenas *oversampling*. Um conversor A/D que trabalha com *oversampling* e que emprega *noise shaping* e um quantizador de baixa resolução recebe o nome de conversor $\Delta\Sigma$ (ALLEN; HOLBERG, 2002, p. 699)

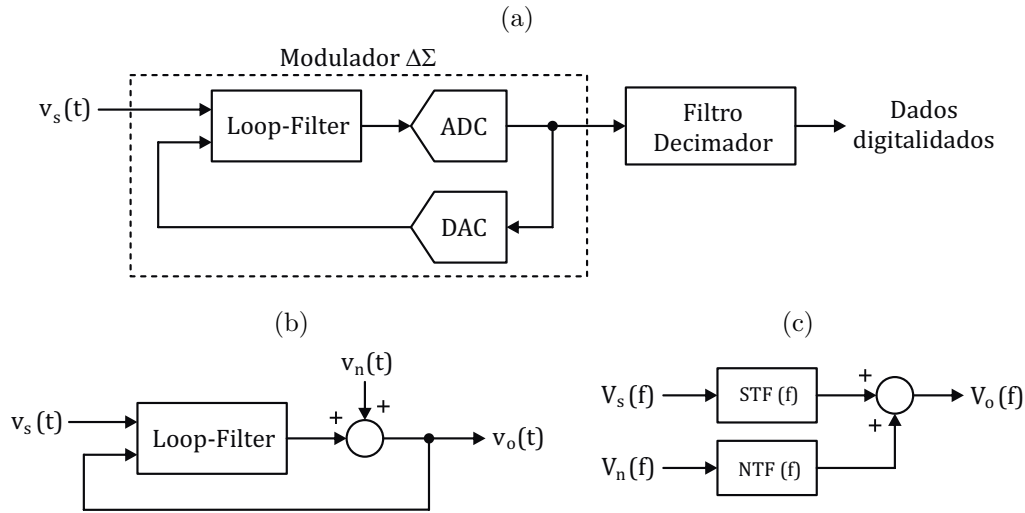
A estrutura básica de um conversor $\Delta\Sigma$ é ilustrada na Figura C.2(a). O bloco intitulado *loop-filter* é uma função de transferência contínua ou discreta no tempo, baseada em um ou mais estágios integradores/subtratores. O bloco ADC, ou quantizador de 1 bit, consiste em um simples comparador, enquanto o DAC (*Digital to Analog Converter*) é uma referência de tensão que comuta entre dois níveis em função da saída do ADC.

Para a análise do modulador, o quantizador (ADC) é substituído por uma fonte de ruído de quantização $v_n(t)$ (Figura C.2(b)), e se assume novamente que o ruído é branco, independente do sinal de entrada e sua amplitude obedece a uma função densidade de probabilidades uniformemente distribuída entre $-V_{LSB}/2$ e $+V_{LSB}/2$.

As contribuições do sinal de entrada $V_s(f)$ e do ruído $V_n(f)$ para o sinal de saída $V_o(f)$ são obtidas calculando-se as funções de transferência STF(f) (*Signal Transfer Function*) e NTF(f) (*Noise Transfer Function*), respectivamente, como mostrado na Figura C.2(c). A STF usualmente não afeta o sinal de entrada e, por isso, não é relevante no projeto do modulador. A NTF, por outro lado, é projetada de modo a garantir a máxima atenuação de V_n dentro da banda de interesse do sinal de entrada.

Por construção, a NTF de um modulador $\Delta\Sigma$ é um filtro passa-altas cuja função é atenuar o ruído de quantização na faixa de frequências de interesse do sinal de entrada, definida como $f_N/2$. A principal diferença entre as muitas arquiteturas de moduladores é

Figura C.2 – Diagrama de blocos de um conversor $\Delta\Sigma$. (a) Arquitetura geral do sistema. (b) Modelo linear do modulador, assumindo o quantizador como uma fonte de ruído e (c) funções de transferência STF e NTF.



Fonte: O próprio autor.

a eficácia com a qual a NTF executa essa tarefa. Assim, para o sistema da Figura C.2(c), a potência de ruído resultante entre $-f_N/2$ e $+f_N/2$ é dada por

$$P_{n0} = \int_{-f_N/2}^{f_N/2} S_n(f) \cdot |NTF(f)|^2 df, \quad (C.13)$$

ou ainda

$$P_{n0} = S_n \cdot \int_{-f_N/2}^{f_N/2} |NTF(f)|^2 df. \quad (C.14)$$

Essa equação será utilizada nas análises a seguir para avaliar o desempenho de moduladores de diferentes ordens.

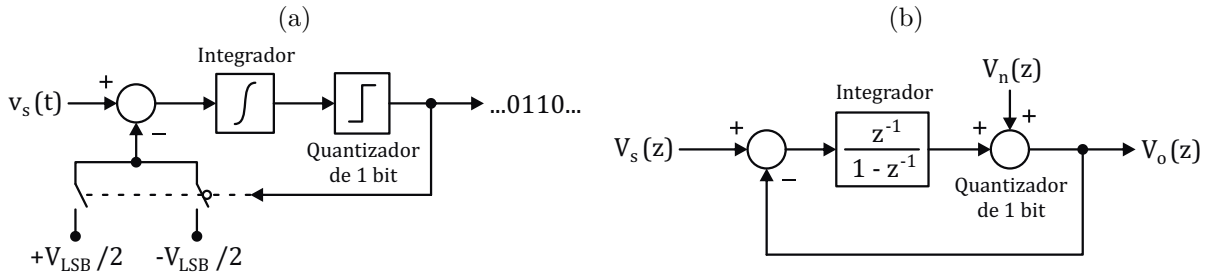
C.3.1 Modulador de primeira ordem

O diagrama esquemático de um modulador de primeira ordem com quantizador de 1 bit é mostrado na Figura C.3(a). O integrador na malha direta atua no sentido de zerar o erro entre os **valores médios locais**³ do sinal de saída do DAC e do sinal de entrada do modulador (ALLEN; HOLBERG, 2002, p. 700).

Como o projeto apresentado no Capítulo 4 consiste em um conversor a capacitores chaveados (portanto, de tempo discreto), será adotada neste texto introdutório apenas a análise de sistemas de tempo discreto, embora o modulador também possa usar integradores de tempo contínuo. O modelo linear de tempo discreto do modulador é mostrado na Figura C.3(b). Aqui, o quantizador foi modelado como um sinal de ruído $V_n(z)$, inserido

³ Valor médio de um pequeno número de amostras consecutivas.

Figura C.3 – Modulador $\Delta\Sigma$ de primeira ordem. (a) Diagrama esquemático. (b) Modelo linear de tempo discreto.



Fonte: O próprio autor.

antes do ramo de realimentação. A NTF que relaciona a saída do modulador $V_o(z)$ com o sinal de ruído é dada pela equação

$$\text{NTF}(z) = \frac{V_o(z)}{V_n(z)} = 1 - z^{-1}, \quad (\text{C.15})$$

que corresponde a um sistema diferenciador de tempo discreto. Convertendo (C.15) em sua equivalente de tempo contínuo e extraindo seu módulo obtém-se a equação

$$|\text{NTF}(f)| = 2 \cdot \text{sen} \left(\frac{\pi f}{f_s} \right). \quad (\text{C.16})$$

A potência de ruído dentro da banda de interesse do sinal de entrada é obtida aplicando-se a equação (C.14), com o módulo da NTF dado pela equação (C.16), a densidade espectral de potência do ruído dado pela equação (C.8) e com $f_s = \text{OSR} \cdot f_N$, resultando em

$$P_{n0} = \frac{V_{LSB}^2 \cdot \pi^2}{36 \cdot \text{OSR}^3}. \quad (\text{C.17})$$

A expressão da SNR_{MAX} de um modulador de primeira pode ser calculada seguindo-se novamente os passos das equações (C.4) a (C.6), obtendo-se

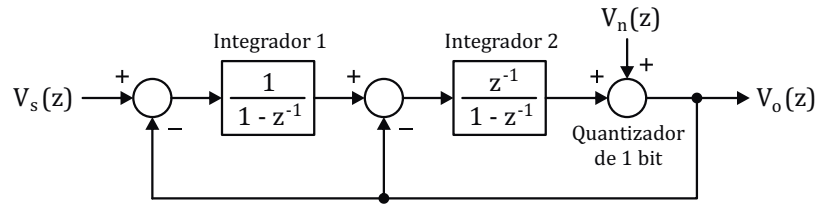
$$\text{SNR}_{\text{MAX}} = N_B \cdot 6,02 \text{ dB} + 1,76 \text{ dB} - 5,17 \text{ dB} + 30 \text{ dB} \cdot \log(\text{OSR}), \quad (\text{C.18})$$

onde N_B no exemplo da Figura C.3 é igual a 1. Vê-se na equação acima que o incremento na resolução do conversor em função da taxa de *oversampling* é de 1,5 bit/oitava (JOHNS; MARTIN, 1997, p. 542), portanto, maior em comparação com a equação (C.12).

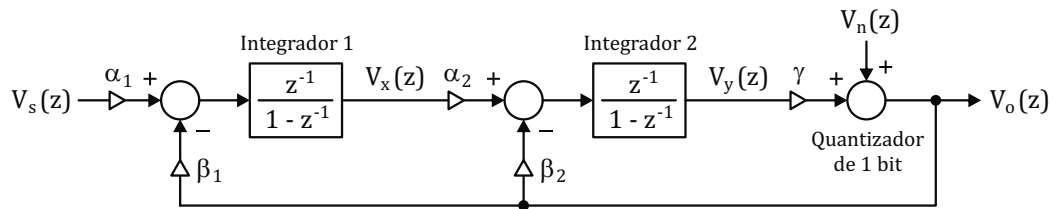
C.3.2 Modulador de segunda ordem

O modelo linear típico para a análise de um modulador de segunda ordem é mostrado na Figura C.4. Sua NTF é dada pela equação

$$\text{NTF}(z) = \frac{V_o(z)}{V_n(z)} = (1 - z^{-1})^2, \quad (\text{C.19})$$

Figura C.4 – Modelo linear de tempo discreto de um modulador $\Delta\Sigma$ de segunda ordem.

Fonte: O próprio autor.

Figura C.5 – Modelo linear de tempo discreto de um modulador $\Delta\Sigma$ de segunda ordem com parâmetros de ajuste (ganhos α , β e γ).

Fonte: O próprio autor.

que representa um sistema derivador de segunda ordem. Repetindo-se os passos que foram adotados para o modulador de primeira ordem, obtém-se a potência do ruído de quantização dentro da banda de interesse, expressa pela equação

$$P_{n0} = \frac{V_{\text{LSB}}^2 \cdot \pi^4}{60 \cdot \text{OSR}^5}, \quad (\text{C.20})$$

e, por fim, a SNR_{MAX} , dada pela equação

$$\text{SNR}_{\text{MAX}} = N_B \cdot 6,02 \text{ dB} + 1,76 \text{ dB} - 12,9 \text{ dB} + 50 \cdot \log(\text{OSR}). \quad (\text{C.21})$$

Pode-se ver então que o modulador de segunda ordem é ainda mais eficiente que os casos descritos anteriormente, pois o incremento na resolução é de 2,5 bits/oitava (JOHNS; MARTIN, 1997, p. 544).

O modelo de modulador da Figura C.4 é pouco prático e pode apresentar problemas de **estabilidade**⁴ devido ao módulo da NTF ter um valor elevado em altas frequências, próximo a $f_s/2$, o que não pode ser remediado pois o modelo não apresenta parâmetros para ajustes. A Figura C.5 mostra o modelo linear de um modulador prático, o qual inclui ganhos que permitem posicionar os polos da NTF e definir os ganhos das STFs do sistema. A NTF desse sistema é dada pela equação

$$\text{NTF}(z) = \frac{(1 - z^{-1})^2}{1 + (\beta_2\gamma - 2)z^{-1} + (1 - \beta_2\gamma + \beta_1\alpha_2\gamma)z^{-2}}, \quad (\text{C.22})$$

⁴ Estabilidade neste contexto indica uma condição na qual a entrada do quantizador permanece limitada tal que a quantização não se torna sobrecarregada (ou *overloaded*) (JOHNS; MARTIN, 1997, p. 560).

onde os parâmetros α , β e γ devem ser definidos de modo a garantir a estabilidade do modulador, a máxima eficiência no processo de *noise shaping* e excursões de sinais nas saídas dos integradores que atendam às limitações práticas, relativas ao projeto elétrico dos circuitos.

Os parâmetros α e β representam os ganhos dos integradores, que, no caso de circuitos de tempo discreto, são definidos por meio de relações entre capacitores. O parâmetro γ representa o ganho do quantizador. Ele permite definir de forma independente a amplitude de sinal na saída do segundo integrador e o ganho do modulador para a parcela do sinal de entrada, o que é útil no processo de *dynamic range scaling* que será apresentado mais adiante. Vale apontar que um quantizador de 1 bit não possui um ganho definido, sendo este dependente da amplitude do sinal na entrada do quantizador, o que é coerente posto que a amplitude do sinal na saída do quantizador não depende da amplitude do sinal em sua entrada (SCHREIER; TEMES, 2004, p. 29).

A escolha dos ganhos se inicia pela definição do polinômio característico do sistema (denominador da NTF) com o objetivo de tornar o modulador estável. Uma regra usual para garantir a estabilidade é manter $|NTF|_{\max}$ limitado a 1,5. Outro método usado (mas que não exclui o primeiro) é trazer os polos do sistema para mais perto dos zeros da NTF. O custo desta abordagem é uma perda significativa na eficiência do processo de *noise shaping* devido à redução da atenuação do ruído de quantização dentro da banda do sinal (JOHNS; MARTIN, 1997, p. 559-560).

A eficiência do *noise shaping* pode ser maximizada definindo-se o tipo do polinômio característico do sistema como Butterworth ou Chebyshev, por exemplo, que são polinômios nos quais todos os polos possuem a mesma frequência. Um polinômio de segundo grau em z com polos na mesma frequência f_p apresenta a forma geral

$$A(z) = 1 - [2e^{-Q \cdot \Omega_p} \cdot \cos(\sqrt{1 - Q^2} \cdot \Omega_p)]z^{-1} + (e^{-2Q \cdot \Omega_p})z^{-2} \quad (C.23)$$

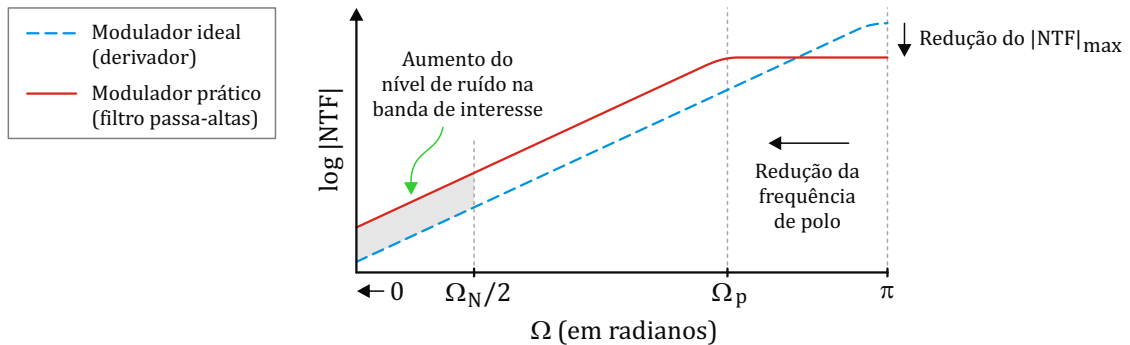
onde Ω_p é igual a $2\pi f_p/f_s$ (f_s é a frequência de amostragem) e Q é o fator que define o tipo de polinômio. O símbolo Ω é utilizado aqui para representar uma frequência normalizada, usada em notação de sistemas lineares de tempo discreto, e diferenciá-la da frequência absoluta ω , usada na notação de sistemas de tempo contínuo. Substituindo-se (C.23) em (C.22), a NTF assume a forma

$$NTF(z) = \frac{(1 - z^{-1})^2}{1 - [2e^{-Q \cdot \Omega_p} \cdot \cos(\sqrt{1 - Q^2} \cdot \Omega_p)]z^{-1} + (e^{-2Q \cdot \Omega_p})z^{-2}}, \quad (C.24)$$

cujos módulo em função da frequência Ω para $0 < \Omega < 2\pi f_N/f_s$, com $f_N \ll f_p$, pode ser aproximado por

$$|NTF(\Omega)| = \frac{\Omega^2}{1 - 2e^{-Q \cdot \Omega_p} \cdot \cos(\sqrt{1 - Q^2} \cdot \Omega_p) + e^{-2Q \cdot \Omega_p}} = \frac{\Omega^2}{\psi}. \quad (C.25)$$

Figura C.6 – Curvas do módulo da NTF para um modulador $\Delta\Sigma$ mostrando o efeito do deslocamento dos polos do sistema. Ω_N representa a frequência de Nyquist normalizada.



Fonte: O próprio autor.

Novamente, a potência do ruído de quantização P_{n0} pode ser calculada repetindo-se o procedimento usado anteriormente, obtendo-se

$$P_{n0} = \frac{V_{\text{LSB}}^2 \pi^4}{60 \cdot \text{OSR}^5} \cdot \frac{1}{\psi^2} \quad (\text{C.26})$$

que, por fim, resulta na expressão mais geral para a SNR_{MAX} do modulador de segunda ordem, dada por

$$\text{SNR}_{\text{MAX}} = N_B \cdot 6,02 \text{ dB} + 1,76 \text{ dB} - 12,9 \text{ dB} + 50 \cdot \log(\text{OSR}) + 20 \cdot \log(\psi). \quad (\text{C.27})$$

Embora a relação entre o aumento no ENOB e a OSR do modulador permaneça igual àquela do modulador de segunda ordem ideal, dada pela equação (C.21), o último termo da equação acima demonstra que reduzir as frequências dos polos da NTF causa uma perda constante na SNR_{MAX} do modulador, como é ilustrado na Figura C.6, sendo essa perda uma função dos coeficientes do denominador da NTF.

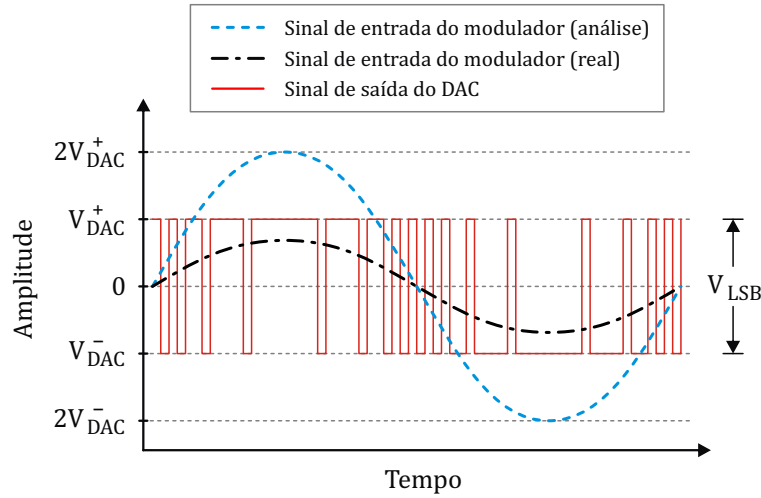
C.3.3 Sequência de projeto

O texto a seguir descreve a abordagem adotada no Capítulo 4 deste trabalho para o projeto em nível de sistema do modulador $\Delta\Sigma$ de segunda ordem.

- 1) Define-se o tipo de polinômio para o denominador da NTF por meio da escolha do valor de Q na equação (C.23).
- 2) Define-se a posição dos polos do sistema, Ω_p , de modo que $|NTF|_{\text{max}} < 1,5$. O valor máximo do módulo da NTF, ocorre em $\Omega = \pi$ (ou $f = f_s/2$) e sua expressão pode ser obtida a partir da equação (C.24) fazendo-se a substituição $z^{-1} = e^{-j\Omega}$ e utilizando o valor limite $\Omega = \pi$ para obter

$$e^{-j\Omega} = e^{-j\pi} = -1.$$

Figura C.7 – Curvas conceituais ilustrando as amplitudes dos sinais em um modulador $\Delta\Sigma$.



Fonte: O próprio autor.

- 3) Encontra-se a OSR necessária para alcançar a SNR_{MAX} equivalente à resolução desejada para o conversor por meio da equação (C.27).

O problema da estabilidade do modulador deve ser novamente considerado neste ponto. Para isso a Figura C.7 ilustra as amplitudes dos sinais em um modulador $\Delta\Sigma$, onde os níveis indicados V_{DAC}^- e V_{DAC}^+ correspondem às duas saídas possíveis do DAC de 1 bit, referentes às entradas 0 e 1 (saídas do comparador), respectivamente. Sabe-se que, para garantir a estabilidade do modulador, o sinal de entrada deve ter uma excursão menor que aquela utilizada na análise teórica, a qual corresponde a $2V_{LSB}$ do DAC. Como ilustrado, o sinal de entrada não deve ultrapassar os níveis V_{DAC}^- e V_{DAC}^+ , devendo na realidade ser consideravelmente menor que isso. O limite exato para a excursão, no entanto, depende de vários fatores, como a posição dos polos do sistema e a forma do sinal de entrada (JOHNS; MARTIN, 1997, p. 560).

A limitação de amplitude na entrada do modulador reduz em mais de 1 bit significativo a resolução teórica dada pela equação (C.27), o que na prática não tem grande importância, pois a equação representa apenas uma estimativa aproximada do resultado, visto que as hipóteses feitas sobre o ruído de quantização não são necessariamente realistas.

A etapa seguinte do projeto consiste em determinar os ganhos dos integradores e as amplitudes dos sinais em suas saídas. Esse processo é chamado *dynamic range scaling* e é executado com auxílio computacional, utilizando modelos em MATLAB[®]/Simulink[®]. O processo é iniciado comparando-se os coeficientes de z^{-1} e z^{-2} nos denominadores das equações (C.22) e (C.24), de onde se obtém as equações

$$\beta_2\gamma - 2 = 2e^{-Q\cdot\Omega_p} \cdot \cos(\sqrt{1 - Q^2} \cdot \Omega_p) \quad (C.28)$$

e

$$1 - \beta_2\gamma + \beta_1\alpha_2\gamma = e^{-2Q\cdot\Omega_p}, \quad (\text{C.29})$$

e para as quais há um número infinito de soluções. Essa ambiguidade é eliminada ao serem fixadas as amplitudes de sinal nas saídas dos integradores (SCHREIER; TEMES, 2004, p. 80). Para isso, é necessário obter as funções de transferência de sinal (as STF's do sistema), que relacionam a amplitude do sinal de entrada com as amplitudes dos sinais nas saídas dos integradores 1 e 2 e na saída do modulador, dados por $V_x(z)$, $V_y(z)$ e $V_o(z)$, respectivamente. Com base no modelo do modulador mostrado na Figura C.5, as funções de transferência de sinal são dadas pelas equações

$$\text{STF}_x(z) = \frac{V_x(z)}{V_s(z)} = \frac{\alpha_1 z^{-1} [1 + (\beta_2\gamma - 1) z^{-1}]}{1 + (\beta_2\gamma - 2) z^{-1} + (1 - \beta_2\gamma + \beta_1\alpha_2\gamma) z^{-2}}, \quad (\text{C.30})$$

$$\text{STF}_y(z) = \frac{V_y(z)}{V_s(z)} = \frac{\alpha_1\alpha_2 z^{-2}}{1 + (\beta_2\gamma - 2) z^{-1} + (1 - \beta_2\gamma + \beta_1\alpha_2\gamma) z^{-2}}, \quad (\text{C.31})$$

$$\text{STF}_o(z) = \frac{V_o(z)}{V_s(z)} = \frac{\alpha_1\alpha_2\gamma z^{-2}}{1 + (\beta_2\gamma - 2) z^{-1} + (1 - \beta_2\gamma + \beta_1\alpha_2\gamma) z^{-2}}, \quad (\text{C.32})$$

cujos módulos para a banda de interesse do sinal de entrada ($\Omega \ll \Omega_p$) são dados por

$$|\text{STF}_x(\Omega)| = \frac{\alpha_1 \cdot \beta_2}{\beta_1 \cdot \alpha_2}, \quad (\text{C.33})$$

$$|\text{STF}_y(\Omega)| = \frac{\alpha_1}{\beta_1\gamma}, \quad (\text{C.34})$$

e

$$|\text{STF}_o(\Omega)| = \frac{\alpha_1}{\beta_1}. \quad (\text{C.35})$$

Deve-se observar que o ruído de quantização também contribui para a amplitude dos sinais nas saídas dos integradores, porém, uma abordagem completamente analítica seria demasiadamente complicada e não permitiria chegar a um resultado preciso. Assim, a metodologia usada para concluir o projeto é iterativa, de acordo com os passos mostrados a seguir.

- 1) Escolher os ganhos de sinal $|\text{STF}_x(\Omega)|$, $|\text{STF}_y(\Omega)|$ e $|\text{STF}_o(\Omega)|$.
- 2) Usar as equações (C.33) a (C.35) em conjunto com as equações (C.28) e (C.29) para calcular os valores de α_1 , α_2 , β_1 , β_2 e γ .
- 3) Avaliar o resultado por meio de simulações.
- 4) Modificar os ganhos conforme a necessidade.
- 5) Repetir o processo até obter as amplitudes desejadas para V_x e V_y .

C.3.4 Filtro decimador

Em muitas aplicações, considera-se adotar um conversor A/D do tipo $\Delta\Sigma$ com o objetivo de transferir para o domínio digital alguns dos problemas que existem no domínio analógico, como por exemplo a necessidade de um filtro *anti-aliasing* de banda muito estreita. Naturalmente, simplificações na parte analógica se refletirão na necessidade de processamento digital mais elaborado e, conseqüentemente, de circuitos digitais mais complexos, acarretando algum custo extra, seja em área de silício ou em consumo de energia. Por isso, a escolha do filtro digital apropriado é uma importante questão de projeto que pode determinar a vantagem ou desvantagem de utilizar este tipo de conversor. Como está além do escopo deste trabalho discutir projeto de filtros digitais em detalhes, apenas uma rápida revisão do assunto será apresentada a seguir.

C.3.4.1 Filtros IIR

Filtros IIR (*Infinite Impulse Response*) possuem sua relação entrada-saída definidas por equações de diferenças lineares recursivas (HAYKIN; VEEN, 2001, p. 514). São conceitualmente muito simples de implementar, tendo respostas similares àquelas de filtros de tempo contínuo baseados em resistores, capacitores e indutores. A saída apresenta a forma geral

$$y[n] = \sum_{i=0}^{M_N} a_i \cdot x[n-i] + \sum_{i=1}^{M_D} b_i \cdot y[n-i] \quad (\text{C.36})$$

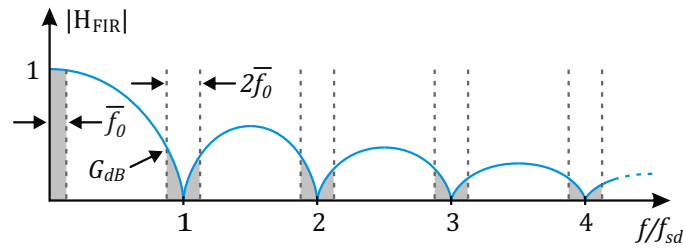
onde a_i e b_i são constantes reais e M_N e M_D são as ordens do numerador e denominador da função de transferência, respectivamente, a qual é descrita no domínio z por

$$H_{\text{IIR}}(z) = \frac{Y(z)}{X(z)} = \frac{\sum_{i=0}^{M_N} a_i \cdot z^{-i}}{1 + \sum_{i=1}^{M_D} b_i \cdot z^{-i}}. \quad (\text{C.37})$$

Similarmente aos filtros analógicos, filtros digitais IIR são projetados para terem uma forma padrão de resposta em frequência, tal como Butterworth, Chebyshev ou elíptico, por exemplo. Sua resposta em fase também é semelhante à de sua contraparte analógica, apresentando intensa distorção de fase na banda de passagem, especialmente no entorno da banda de transição.

Devido à relativa simplicidade de projeto de filtros analógicos, a metodologia comumente usada para desenvolver filtros IIR consiste em projetar inicialmente um filtro analógico com a resposta em frequência desejada e, então, empregar algum método de conversão de funções do domínio s para o domínio z , como o retentor de ordem zero (zoh) ou a transformada bilinear, para obter a função de transferência de tempo discreto equivalente (NISE, 2011, p. 562-576), (HAYKIN; VEEN, 2001, p. 522-525).

Figura C.8 – Resposta em frequência de um filtro FIR de média simples.



Fonte: O próprio autor.

C.3.4.2 Filtros FIR

Um filtro FIR (*Finite Impulse Response*) tem sua resposta descrita por uma equação de diferenças, linear e não recursiva. É, portanto, um filtro que realiza apenas a média aritmética (simples ou ponderada) do sinal de entrada. Sua saída apresenta a forma geral

$$y[n] = \sum_{i=0}^M a_i \cdot x[n-i], \quad (\text{C.38})$$

com sua função de transferência no domínio z dada por

$$H_{\text{FIR}}(z) = \frac{Y(z)}{X(z)} = \sum_{i=0}^M a_i \cdot z^{-i}, \quad (\text{C.39})$$

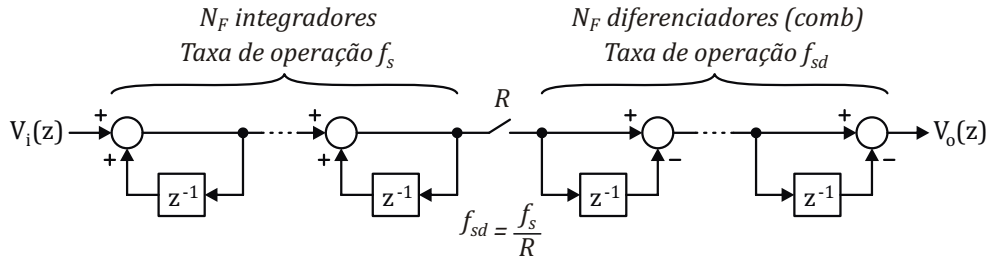
onde a_i são constantes reais e M é a ordem do filtro. Esse tipo de filtro possui um desempenho muito inferior ao dos filtros IIR, geralmente requerendo ordem elevada e vários estágios em cascata para alcançar uma resposta em frequência satisfatória. Em geral, este filtro também impõe uma significativa distorção de amplitude dentro da sua banda de passagem, mas apresenta a notável vantagem de não causar distorção de fase (resposta em frequência possui fase linear), além de ser intrinsecamente estável.

Filtros FIR que executam média simples são os de mais fácil implementação física, usualmente requerendo apenas operações de soma (coeficientes unitários com $M+1$ igual a uma potência inteira de 2). Constituem a base de filtros CIC (*Cascaded Integrator-Comb*) (HOGENAUER, 1981) resultando em uma grande simplicidade de hardware e sendo, por isso, muito empregados no projeto de filtros decimadores.

O módulo da resposta em frequência para um filtro FIR tem a forma de uma função sinc, como ilustrado na Figura C.8. Considerando-se um filtro com apenas um estágio, quando o fator de decimação R é feito igual a $M+1$, os zeros da resposta em frequência caem exatamente sobre múltiplos inteiros da frequência de amostragem pós-decimação, f_{sd} . Nesse caso, o ganho no limite da faixa de transição é dado por

$$G_{\text{dB}} = N_F \cdot 20 \cdot \log \left(\frac{\text{sen} [\pi (1 - \bar{f}_0)]}{\pi (1 - \bar{f}_0)} \right), \quad (\text{C.40})$$

Figura C.9 – Diagrama de blocos de um filtro CIC.



Fonte: O próprio autor.

com

$$\bar{f}_0 = \frac{f_0}{f_{sd}}, \quad (\text{C.41})$$

onde f_0 define a banda de sinal e N_F o número de estágios. Aumentar a ordem do filtro apenas degrada a resposta na banda de sinal, resultando em nenhum incremento significativo na atenuação nos entornos das frequências múltiplas de f_{sd} .

A principal vantagem de um filtro CIC é que este permite economizar recursos (energia e/ou área) realizando suas operações de forma recursiva. Pode-se mostrar, com alguma manipulação algébrica, que a função de transferência dada pela equação (C.39) é equivalente à função de transferência recursiva descrita pela equação (C.42). Essa mudança reduz o número de operações de soma de $R \cdot N_F$ para apenas $2 \cdot N_F$, para cada nova entrada.

$$H_{\text{CIC}}(z) = \left(\frac{1 - z^{-R}}{1 - z^{-1}} \right)^{N_F} \quad (\text{C.42})$$

Uma grande economia de área também é conseguida através da separação entre as operações de integração (denominadores) e diferenciação (numeradores), da forma indicada na Figura C.9, o que, na prática, elimina a necessidade de registradores intermediários.

Para o funcionamento adequado do filtro, o tamanho dos acumuladores dos integradores deve garantir a ocorrência de no máximo um *overflow* entre duas diferenciações sucessivas. Assim, cada integrador deve ter

$$N_{\text{B(int.)}} \geq N_F \cdot \log_2 R + N_{\text{Bi}} - 1, \quad (\text{C.43})$$

onde N_{Bi} é o número de bits na entrada do filtro ($N_{\text{Bi}} = 1$ no caso do conversor $\Delta\Sigma$).

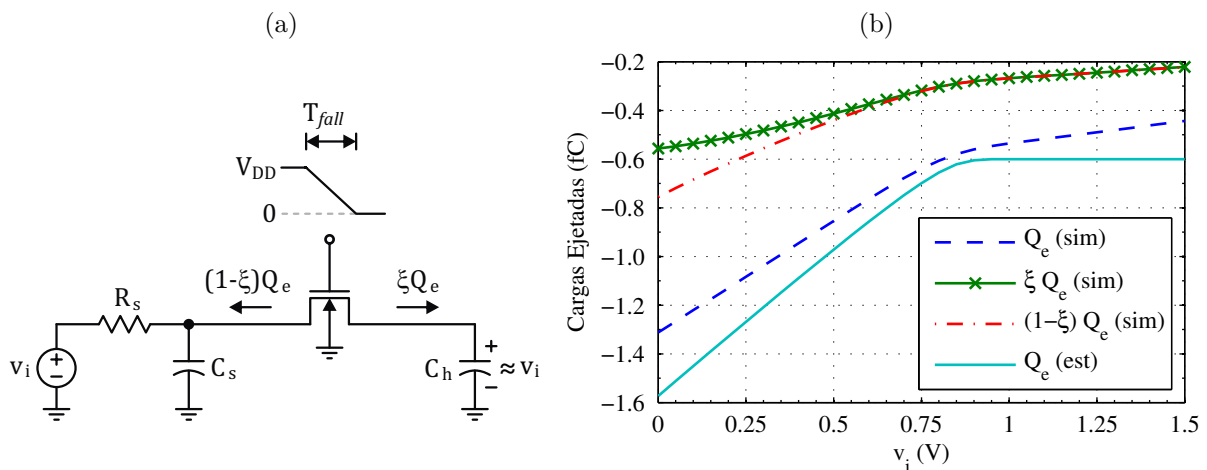
O custo da simplicidade do filtro CIC é o compromisso existente entre a taxa de decimação e a distorção de amplitude dentro da banda de sinal. Assim, seja para uma segunda etapa de decimação, ou apenas para a compensação, há normalmente a necessidade de um segundo filtro FIR na saída, cujas características não podem ser obtidas por um filtro de média simples. Para esses casos, geralmente recorre-se a filtros FIR do tipo *equi-ripple* ou *window* com alguma janela padrão, como retangular, Hamming ou gaussiana.

Filtros *equiripple*, porém, são mais comumente utilizados, sendo facilmente realizados por meio de funções específicas da *Filter Design and Analysis Tool* do MATLAB®. É importante observar que, além das operações de soma, também há neste caso a necessidade de operações de multiplicação, já que os coeficientes desse segundo filtro são diferentes de 1. Isso porém não deve causar grande preocupação, pois a taxa de operação do segundo filtro é muito mais baixa que a do primeiro e a ordem requerida geralmente é baixa.

APÊNDICE D – INJEÇÃO DE CARGAS EM CIRCUITOS CHAVEADOS

Em um circuito a capacitores chaveados, a injeção de cargas pelas chaves (transistores MOS) pode contribuir de três formas para a imprecisão do circuito: erro de ganho, *offset* CC e não linearidade (RAZAVI, 2002, p. 420). Não há uma abordagem analítica conhecida atualmente, ou que seja de fácil aplicação, que permita inferir com precisão a magnitude do erro causado por injeção de cargas. Contudo, é possível obter uma boa estimativa da carga total **ejetada** por um transistor MOS quando este muda de estado, e pode-se, então, adotar alguma regra empírica ou mesmo lançar mão de simulações numéricas para encontrar a parcela dessa carga que irá efetivamente corromper o sinal de interesse e degradar a precisão do circuito.

Figura D.1 – Ejeção de carga durante a transição de estado de uma chave NMOS. (a) Esquemático de teste. (b) Carga ejetadas pela chave simulada (sim) e estimada (est) em função da tensão de entrada.



Fonte: O próprio autor.

O circuito da Figura D.1(a) mostra uma chave NMOS no momento da transição do sinal de controle. A carga total ejetada pelos terminais de dreno e fonte do transistor Q_e é a soma da carga de inversão com as cargas armazenadas nas capacitâncias de *overlap*. Aplicando-se as equações do modelo UICM, dadas no Anexo A, e assumindo que o sinal de entrada v_i é suficientemente lento para que os terminais de fonte e dreno estejam no mesmo potencial ($i_f \approx i_r$), a carga de inversão será

$$Q_i = -WL C'_{ox} n \phi_t \left(\sqrt{1 + i_d} - 1 \right), \quad (D.1)$$

onde W e L são as dimensões do transistor, C'_{ox} é a capacitância de óxido por unidade de área, n é o *slope factor*, ϕ_t é o potencial térmico e i_d representa os níveis de inversão direto e reverso ($i_f = i_r$). O nível de inversão i_d é relacionado a v_i pela equação

$$\frac{V_{DD} - V_{TH0} - n v_i}{n \phi_t} = \ln \left(\sqrt{1 + i_d} - 1 \right) - 1 + \left(\sqrt{1 + i_d} - 1 \right) \quad (D.2)$$

onde V_{TH0} é a tensão de *threshold* do transistor operando como chave. Assumindo-se que a constante de tempo definida pelo produto $R_s C_s$ é pequena o bastante para que a tensão no terminal esquerdo da chave NMOS na Figura D.1(a) não mude durante a transição de estado, a carga total ejetada pelas capacitâncias de *overlap* será dada por

$$Q_{ov} = -V_{DD} C_{ov} \left(2 - \frac{C_{ov}}{C_{ov} + C_h} \right), \quad (D.3)$$

onde $C_{ov} = W \cdot C'_{ov}$ e C'_{ov} é a capacitância de *overlap* por unidade de comprimento de canal. Se C_h for feito muito maior que C_{ov} , o que geralmente ocorre, a expressão acima pode ser aproximada por

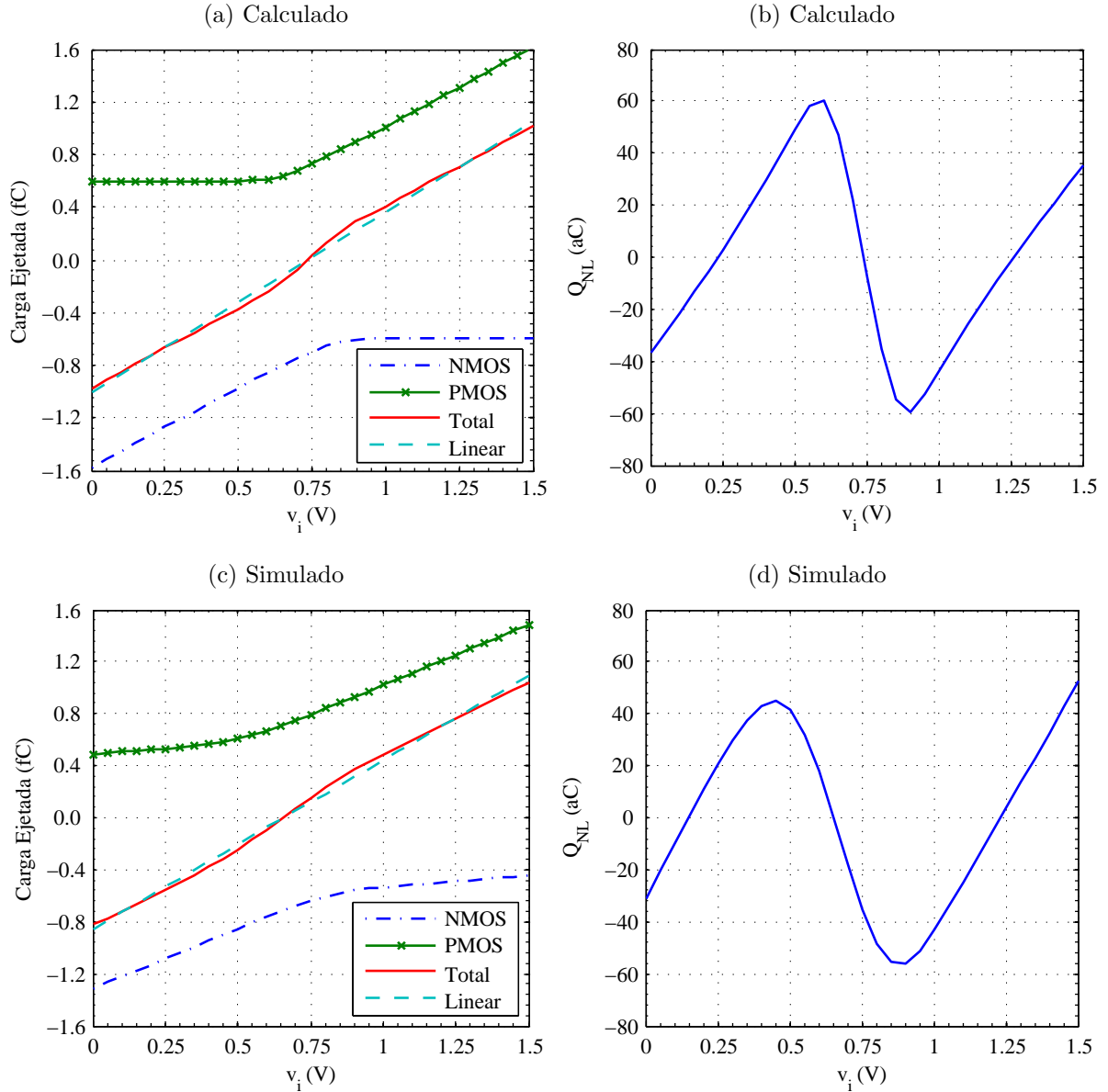
$$Q_{ov} = -2 V_{DD} C_{ov}. \quad (D.4)$$

Resolvendo-se numericamente as equações (D.1) e (D.2) em função de v_i , e somando-se o valor de Q_i obtido a Q_{ov} , dado pela equação (D.4), resulta na curva de carga total ejetada pela chave mostrada na Figura D.1(b), onde também são mostradas as curvas obtidas por simulação. Na simulação, os valores de C_h , C_s e R_s usados foram 1 pF, 50 fF e 100 Ω , respectivamente. O tempo de transição do sinal de controle foi de 10 ns e o valor de V_{DD} usado foi 1,5 V. O transistor usado como chave é um NMOS do tipo I/O de 3,3 V (ver o Anexo B) com $L = 0,4 \mu\text{m}$ e $W = 0,5 \mu\text{m}$.

Para uma chave NMOS simples, a carga de inversão e, portanto, a condutância do canal, decai na medida em que o sinal de entrada se aproxima de V_{DD} . O mesmo acontece para a chave PMOS quando o sinal se aproxima de 0 V. Na prática, chaves sujeitas a grandes excursões de sinal usam um par complementar NMOS-PMOS, chamado de chave CMOS ou *transmission gate* (RAZAVI, 2002, p. 416). As Figuras D.2(a) e (c) mostram as curvas de carga ejetada calculadas e simuladas, respectivamente, usando o circuito da Figura D.1(a) e nas mesmas condições, porém, com um *transmission gate* de tamanho mínimo no lugar da chave NMOS. Como pode ser visto, o fato de as cargas de inversão serem complementares (elétrons e lacunas) não significa que se cancelarão mutuamente. De fato, devido à dependência de Q_i com v_i ser não linear, o cancelamento acontece apenas em um ponto (RAZAVI, 2002, p. 422).

Para avaliar o impacto da injeção de cargas no circuito, é útil dividir a carga de inversão em três componentes: linear, constante e não linear. As parcelas linear e constante da curva de Q_e total são obtidas por meio de regressão linear. A curva obtida por regressão linear a partir dos dados simulados também é mostrada na Figura D.2. A

Figura D.2 – Ejeção de carga durante a transição de estado de uma chave CMOS. (a) e (c) Mostram as curvas de carga em função de v_i e a curva linear de menor erro para a carga total. (b) e (d) Mostram a parcela não linear obtida pela diferença entre a curvas de carga linear e total.



Fonte: O próprio autor.

diferença entre a carga ejetada total e a soma das parcelas linear e constante resulta nas curvas de carga não lineares, Q_{NL} , mostradas nas Figuras D.2(b) e (d). A carga Q_{inj} injetada no capacitor C_h pode então ser expressa pela equação

$$Q_{inj} = \xi Q_e = \xi (\eta v_i + Q_{os} + Q_{NL}(v_i)) \quad (D.5)$$

onde ξ representa a parcela da carga total ejetada que é armazenada em C_h , η é a derivada da curva linear estimada, ou coeficiente angular da reta, e Q_{os} é uma carga constante, ou coeficiente linear da reta. A parcela Q_{os} é responsável por causar o erro de *offset* CC no

circuito. A parcela estritamente linear de Q_e , dada por ηv_i , é responsável pelo erro de ganho no circuito. Por fim, $Q_{NL}(v_i)$ é a parcela da carga responsável pela não linearidade do circuito. Com base nas curvas da Figura D.2, os respectivos valores obtidos para η e Q_{os} são 1,37 fC/V e -1 fC, nas curvas calculadas, e 1,3 fC/V e -0,85 fC, nas curvas simuladas.

É importante observar que a distribuição das cargas injetadas entre suas parcelas linear, constante e não linear é fortemente dependente das características do sinal v_i , e varia em função da amplitude e da forma do sinal. Por exemplo, tomando-se as curvas da Figura D.2(c), pode-se ver que, se o sinal v_i se restringir ao intervalo entre 0,5 V e 0,75 V, Q_e terá uma forma mais linear do que a verificada quando v_i excursiona todo o intervalo entre 0 V e V_{DD} .

O valor de ξ , na equação (D.5), depende de diversos fatores, tais como as impedâncias vistas nos terminais de fonte e dreno para a terra e o tempo de transição do sinal de controle T_{fall} (RAZAVI, 2002, p. 418). Resultados experimentais apresentados em (SHEU; SHIEH; PATIL, 1987) mostram que ξ tende a 0,5 para valores muito pequenos de T_{fall} , decaindo na medida em que T_{fall} é incrementado. Em (WEGMANN; VITTOZ; RAHALI, 1987) é mostrado que, para valores grandes de T_{fall} , o fator ξ se torna dependente da relação entre as capacitâncias C_s e C_h , mostradas na Figura D.1(a). Porém, esse resultado é válido apenas para valores muito grandes de R_s , o que é uma condição indesejável em circuitos a capacitores chaveados práticos. Para valores intermediários de T_{fall} , nenhuma regra prática foi encontrada.

A Figura D.2 mostra que, mesmo desprezando-se efeitos de segunda ordem dos transistores, a carga total **ejetada** por uma chave CMOS pode ser estimada analiticamente com razoável precisão, confirmando a premissa inicial deste capítulo. Porém, a amplitude da carga **injetada**, que é o objeto de maior interesse em projeto de circuitos, é uma função fortemente dependente das condições em que a chave opera, não sendo facilmente prevista por métodos analíticos. Felizmente, para muitos casos práticos de projeto de circuitos, uma expressão analítica do erro causado pela injeção de cargas não é estritamente necessária, pois pode-se adotar uma estimativa pessimista, assumindo-se, por exemplo, que as cargas se dividem igualmente entre os terminais de fonte e de dreno. Pode-se também poupar tempo de projeto recorrendo-se diretamente à simulações numéricas.

A análise apresentada também fornece um outro dado interessante para o projeto de circuitos. Em certas aplicações, como na leitura de biossinais discutida neste trabalho, erros constantes (*offset*) ou de característica linear (erro de ganho) frequentemente podem ser desprezados. Se o circuito em questão for a capacitores chaveados, apenas a parcela ξQ_{NL} (erro não linear) da carga ejeta da pela chave teria impacto na qualidade dos sinais processados, o que pode representar uma grande economia de área de silício em projeto de circuitos integrados.

D.1 Técnicas de redução de erros

Há muitas técnicas que podem ser adotadas no projeto de circuitos chaveados para reduzir os erros causados pela injeção de cargas. A mais direta delas consiste em atenuar o erro a níveis aceitáveis com a adoção de grandes capacitores. Porém, essa abordagem pode resultar em gasto desnecessário de área de silício. Outra técnica consiste em aumentar o tempo de transição de estado das chaves, como já foi comentado anteriormente. Nesse caso, há um claro compromisso entre a escolha do período de chaveamento e o nível de redução de injeção de cargas obtido. Pode-se também minimizar os erros por injeção de cargas através da escolha cuidadosa da arquitetura do circuito e da sequência de operação das chaves. Essa é a prática mais apropriada quando se deseja alcançar um resultado otimizado no projeto e, para tanto, é necessária uma avaliação detalhada das fontes de erro em diferentes arquiteturas de circuitos chaveados.

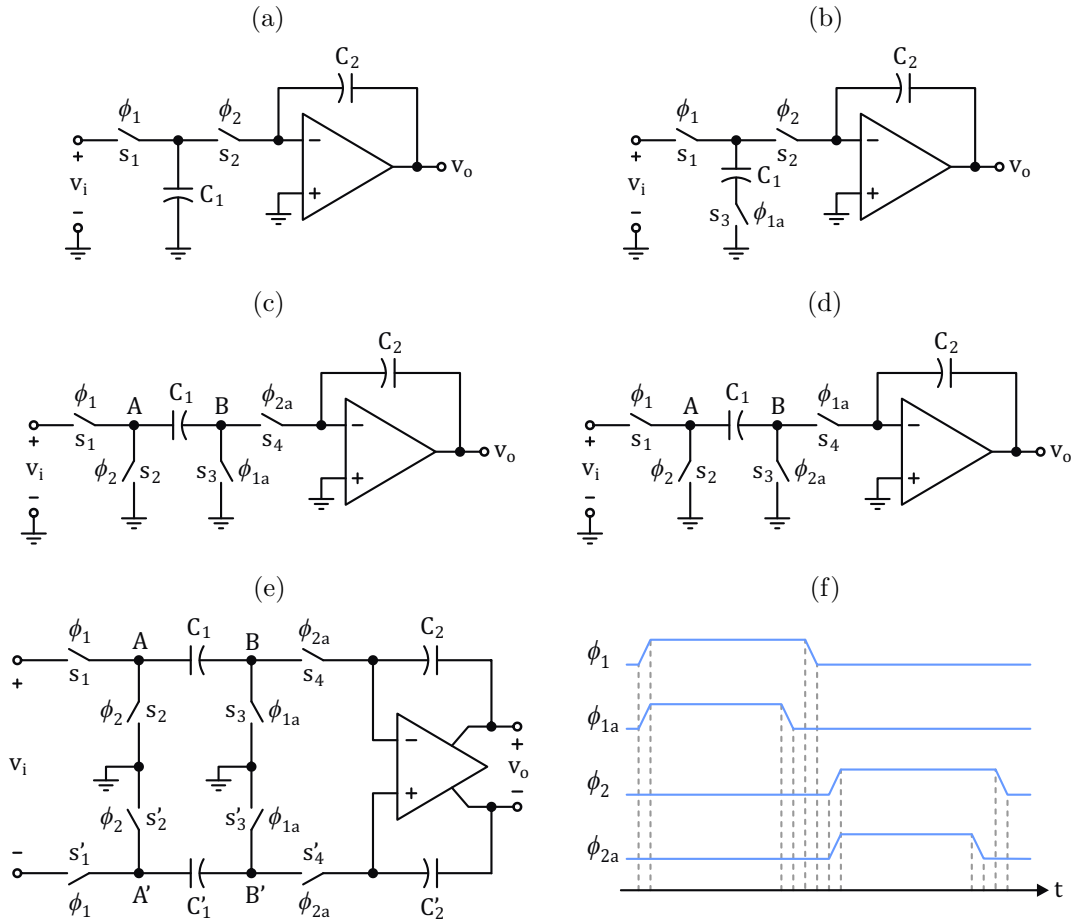
Iniciando a análise pelo circuito integrador a capacitores chaveados mais simples, mostrado na Figura D.3(a), a carga injetada em C_1 a cada vez que a chave S_1 é aberta será a mesma ξQ_e mostrada na Figura D.1(b). Quando a chave S_2 é aberta, esta injeta apenas uma carga constante em C_2 , devido seus terminais estarem sempre no potencial de referência no momento da transição de ϕ_2 .

A Figura D.3(b) ilustra um esquema de chaveamento utilizado para minimizar a dependência da carga injetada em C_1 com relação à tensão de entrada v_i . Nesse circuito, a chave S_3 é aberta antes de S_1 e, idealmente, adiciona apenas uma carga constante ao capacitor C_1 , pois os terminais de fonte e dreno de S_3 estão em um potencial constante. Em seguida, a chave S_1 abre e, idealmente, não adiciona erro algum pois não há caminho para a corrente no lado da chave ligado a C_1 . Assim, toda a carga ejetada por S_1 deverá ser direcionada para a fonte na entrada (ALLEN; HOLBERG, 2002, p. 528). Na prática, no entanto, esse esquema ainda adiciona duas parcelas de erro dependentes de v_i :

- 1) na transição de ϕ_{1a} , a carga injetada por S_3 varia em função da resistência R_{on} da chave S_1 que, por sua vez, é dependente de v_i ;
- 2) na transição de ϕ_1 , a carga injetada por S_1 não é nula devido às capacitâncias parasitas nos terminais de base e de topo do capacitor C_1 criarem um caminho de sinal para a terra.

A parcela de carga injetada em função dos parasitas de C_1 pode ser anulada usando-se uma das arquiteturas de integradores insensíveis a parasitas mostradas nas Figuras D.3 (c) e (d). Nesses circuitos, durante a fase ϕ_2 , o nó A é ligado à referência e o erro gerado por S_1 é totalmente eliminado. O erro causado por S_3 , no entanto, permanece igual ao do caso anterior. A carga total injetada em C_2 por S_4 é aproximadamente metade da carga total ejetada por ela, desde que S_4 seja aberta antes de S_2 , como ilustrado através dos sinais controle da Figura D.3 (f). A proporção exata da divisão, depende das impedâncias

Figura D.3 – Arquiteturas de integradores a capacitores chaveados. (a) Integrador inversor simples. (b) Integrador inversor simples com injeção de cargas independente v_i . (c) Integrador não inversor insensível a parasitas. (d) Integrador inversor insensível a parasitas. (e) Integrador não inversor insensível a parasitas diferencial. (f) Sinais de controle.



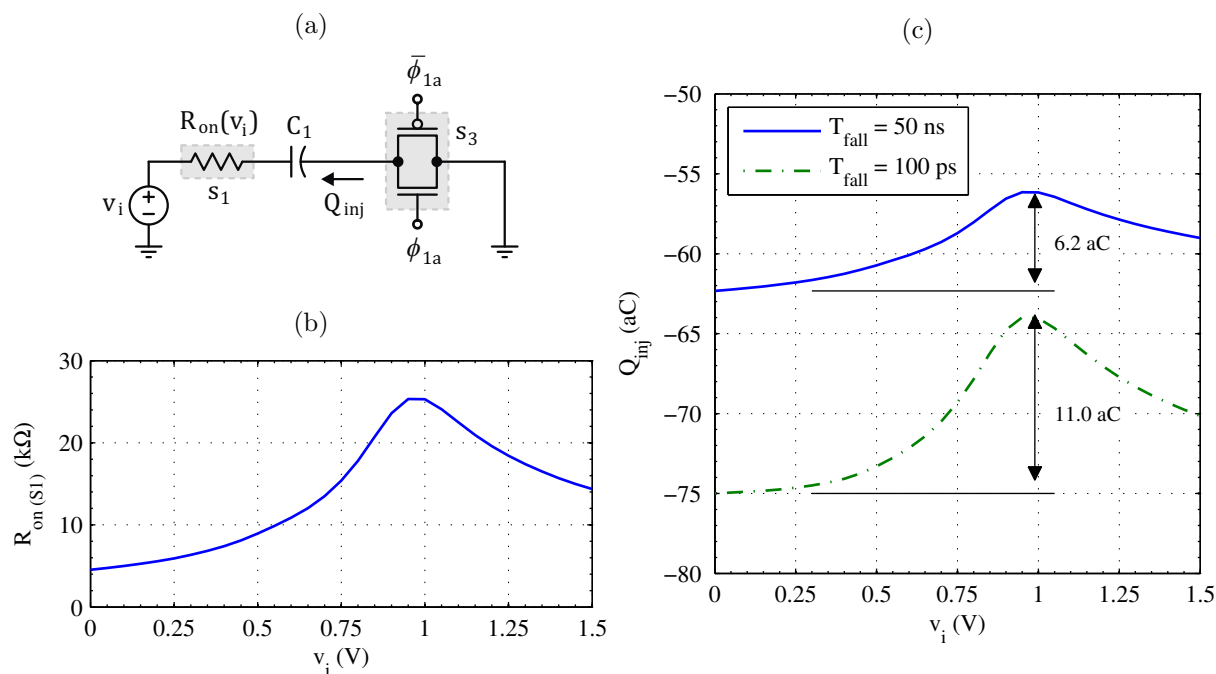
Fonte: O próprio autor.

vistas nos terminais de S_4 . Finalmente, a chave S_2 é aberta e a carga ejetada por ela não afeta a saída, uma vez que os nós A e B serão ligados à entrada e à terra na fase seguinte.

Também é possível reduzir os erros por injeção de cargas com a adoção da arquitetura totalmente diferencial mostrada na Figura D.3 (e). Devido à simetria do circuito, as parcelas **constantes** das cargas ejetadas pelas chaves afetam igualmente os dois lados e, desse modo, o erro gerado aparece idealmente como um sinal de modo comum, e não afeta a saída v_o . Além disso, dependendo da aplicação, o cancelamento de harmônicos de ordem par, característico da operação diferencial, pode contribuir em algum grau para a redução do erro de não linearidade gerado pelas chaves (RAZAVI, 2002, p. 423).

Embora a operação diferencial reduza consideravelmente a magnitude do erro causado pela injeção de cargas, ela também adiciona uma fonte de erro residual relacionada ao descasamento entre chaves correspondentes nos dois lados do circuito. Além disso, mesmo

Figura D.4 – Dependência da injeção de carga com a resistência da chave S_1 . (a) Circuito de teste. (b) Resistência $R_{on(s1)}$ em função da tensão de entrada v_i . (c) Amplitude da carga injetada em C_1 em função de v_i para dois valores de T_{fall} .



Fonte: O próprio autor.

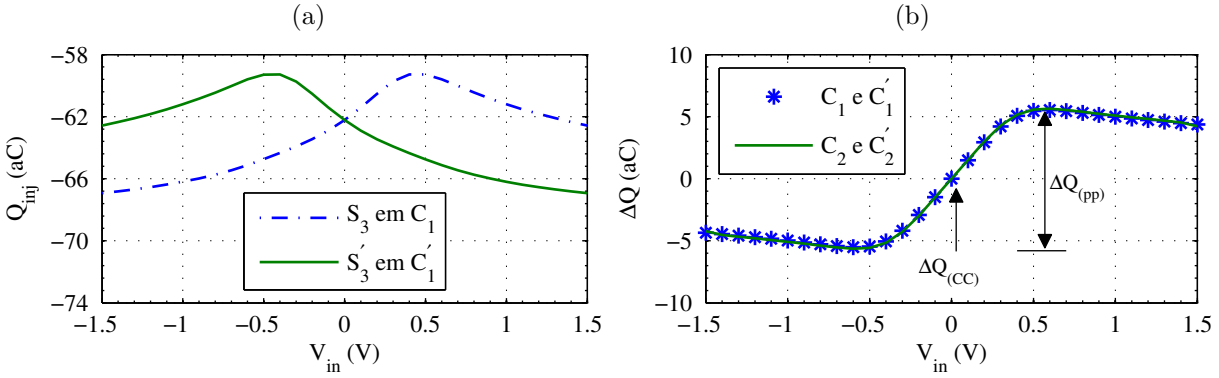
se houvesse um perfeito casamento entre as chaves, sinais de erro em modo comum ainda seriam convertidos em sinais de erro diferenciais devido aos descasamentos entre os capacitores e à rejeição limitada a sinais de modo comum do amplificador operacional (GRAY; MEYER, 1990, p.850).

D.2 Erro em integradores insensíveis a parasitas

Como foi comentado anteriormente, mesmo o integrador insensível a parasitas, mostrado na Figura D.3 (c), ainda apresenta uma parcela de carga injetada em C_1 dependente do sinal de entrada v_i . Essa fonte de erro é causada pela dependência da resistência da chave S_1 com v_i e não pode ser eliminada mesmo com adoção da arquitetura diferencial. Também foi comentado que, embora vantajosa, a operação diferencial introduz erros gerados por descasamentos entre componentes. O tratamento desses erros residuais só pode ser feito por meio do dimensionamento adequado de C_1 o que, por sua vez, requer uma estimativa confiável da magnitude do erro causado pela injeção de cargas.

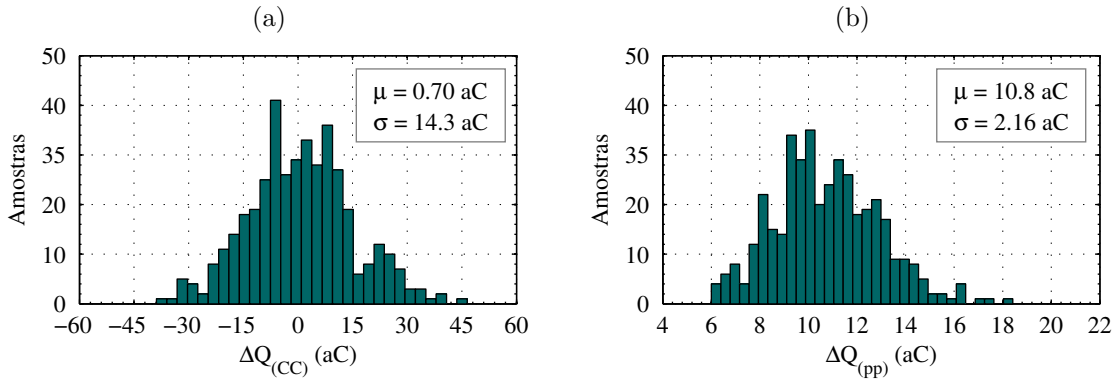
A Figura D.4 (a) apresenta o circuito de teste para avaliar o impacto da resistência de S_1 sobre a amplitude do erro causado pela injeção de cargas durante a transição de estado de S_3 . A Figura D.4 (b) mostra a curva da resistência R_{on} da chave S_1 em função

Figura D.5 – Injeções de cargas no circuito da Figura D.3 (e). (a) Cargas individuais injetadas por S_3 em C_1 e por S'_3 em C'_1 . (b) Erro em modo diferencial gerado por injeções de cargas. A curva “*” representa o erro nas cargas armazenadas em C_1 e C'_1 no final da fase ϕ_1 . A curva contínua mostra o erro nas cargas armazenadas em C_2 e C'_2 no final da fase ϕ_2 .



Fonte: O próprio autor.

Figura D.6 – Resultados da simulação de Monte Carlo (processo e descasamento) para o erro em modo diferencial nas cargas de C_1 e C'_1 ao final da fase ϕ_1 (Figura D.3 (e)). Os histogramas do erro de carga ΔQ mostram (a) a parcela CC e (b) o valor pico a pico.



Fonte: O próprio autor.

de v_i e a Figura D.4 (c) mostra as curvas da carga injetada em C_1 por S_3 em função de v_i para dois valores de T_{fall} . As curvas simuladas comprovam a dependência de Q_{inj} com $R_{on}(S_1)$, que é fortemente não linear. As curvas também mostram que, assim como a componente constante de Q_{inj} , a amplitude da parcela de Q_{inj} dependente de v_i apresenta uma relação inversa com T_{fall} .

O erro gerado pelas injeções de cargas das chaves S_3 e S'_3 no integrador diferencial da Figura D.3 (e) é mostrado na Figura D.5. Nas simulações, foram adotados os valores $C_1 = 100$ fF e $T_{fall} = 10$ ns. Na Figura D.5 (a) são mostradas as curvas individuais das cargas injetadas em C_1 e C'_1 ao final da fase ϕ_1 . Na Figura D.5 (b) são mostradas as curvas

do erro de cargas em modo diferencial, simbolizado por ΔQ . O erro de cargas representa a diferença entre as cargas real e ideal armazenadas em um dado capacitor. Esses resultados mostram que, na ausência de descasamentos, o erro de cargas no integrador, dado pela diferença entre os erros de carga de C_2 e C'_2 , corresponde unicamente ao erro dependente de v_i gerado por S_3 e S'_3 .

Em casos práticos, deve-se considerar ainda que a amplitude do erro de cargas é fortemente afetada por variações nos parâmetros de processo de fabricação e pela temperatura de operação, além de depender do casamento entre as chaves, como já foi mencionado. Simulações de Monte Carlo foram realizadas para avaliar o impacto de variações de processo e descasamentos sobre ΔQ e os resultados são mostrados na Figura D.6. Os símbolos $\Delta Q_{(CC)}$ e $\Delta Q_{(pp)}$ foram indicados na Figura D.5 (b) e representam o valor médio e o valor pico a pico de ΔQ , respectivamente.

Os resultados de Monte Carlo apresentados, correspondem apenas ao erro gerado pelas injeções de cargas de S_3 e S'_3 . Para incluir o efeito de descasamento entre as chaves S_4 e S'_4 sobre $\Delta Q_{(CC)}$, basta multiplicar σ da Figura D.6 (a) por $\sqrt{2}$, uma vez que a contribuição delas para o erro CC total é semelhante à do par S_3 e S'_3 .

APÊNDICE E – FILTRO DECIMADOR

Este apêndice traz os códigos fonte da descrição em VHDL do filtro decimador, juntamente com código fonte do *test bench*, necessário para a validação do mesmo. A sequência de bits de entrada é longa demais para ser incluída aqui, e deve ser obtida por meio do modelo em MATLAB ou por meio de uma simulação do circuito modulador.

E.1 Arquivo *filtro_top.vhd*

```

LIBRARY IEEE;
USE IEEE.std_logic_1164.ALL;
USE IEEE.std_logic_arith.ALL;

ENTITY filtro_top IS
PORT(
    din: IN std_logic;
    clk: IN std_logic;
    dout: OUT std_logic_vector (20 downto 0)
);
END filtro_top;

ARCHITECTURE filtro_top_arch OF filtro_top IS

    component filtro
    port(
        din: IN std_logic;
        clk1: IN std_logic;
        clk2: IN std_logic;
        dout: OUT std_logic_vector (20 downto 0)
    );
    end component;

    COMPONENT counter6b
    PORT(
        clk: IN std_logic;
        dout: OUT std_logic_vector (6 downto 0)
    );
    END COMPONENT;

    signal cnt: std_logic_vector (6 downto 0) := "0000000";

BEGIN
    clkDiv: counter6b port map (clk, cnt);
    filter: filtro port map (din, clk, cnt(6), dout);
END filtro_top_arch;

```

E.2 Arquivo *filtro.vhd*

```

LIBRARY IEEE;
USE IEEE.std_logic_1164.ALL;
USE IEEE.std_logic_arith.ALL;

ENTITY filtro IS
PORT(
    din:    IN                std_logic;
    clk1:   IN                std_logic;
    clk2:   IN                std_logic;
    dout:   OUT               std_logic_vector (20 downto 0)
);
END filtro;

ARCHITECTURE filtro_arch OF filtro IS

SIGNAL accum1a: std_logic_vector (20 downto 0) := "00000000000000000000";
SIGNAL accum2a: std_logic_vector (20 downto 0) := "00000000000000000000";
SIGNAL accum3a: std_logic_vector (20 downto 0) := "00000000000000000000";
SIGNAL accum1b: std_logic_vector (20 downto 0) := "00000000000000000000";
SIGNAL accum2b: std_logic_vector (20 downto 0) := "00000000000000000000";
SIGNAL accum3b: std_logic_vector (20 downto 0) := "00000000000000000000";

SIGNAL mem1a:   std_logic_vector (20 downto 0) := "00000000000000000000";
SIGNAL mem2a:   std_logic_vector (20 downto 0) := "00000000000000000000";
SIGNAL mem3a:   std_logic_vector (20 downto 0) := "00000000000000000000";
SIGNAL mem1b:   std_logic_vector (20 downto 0) := "00000000000000000000";
SIGNAL mem2b:   std_logic_vector (20 downto 0) := "00000000000000000000";
SIGNAL mem3b:   std_logic_vector (20 downto 0) := "00000000000000000000";

SIGNAL tmpOut:  std_logic_vector (20 downto 0) := "00000000000000000000";

BEGIN
    PROCESS(clk1)
    BEGIN
        IF (clk1 = '1' AND clk1 'EVENT) THEN
            accum1b <= accum1a;
            accum2b <= accum2a;
            accum3b <= accum3a;
        END IF;
    END PROCESS;

    PROCESS(clk2)
    BEGIN
        IF (clk2 = '0' AND clk2 'EVENT) THEN
            mem1a <= accum3a;
        END IF;
    END PROCESS;

    PROCESS(clk2)
    BEGIN
        IF (clk2 = '1' AND clk2 'EVENT) THEN
            mem1b <= mem1a;
            mem2b <= mem2a;
            mem3b <= mem3a;

```



```

        dout    <=    tmpOut(20 downto 0);
    END IF;
END PROCESS;

accum1a <= unsigned(accum1b) + din;
accum2a <= unsigned(accum2b) + unsigned(accum1a);
accum3a <= unsigned(accum3b) + unsigned(accum2a);

mem2a  <= unsigned(mem1a) - unsigned(mem1b);
mem3a  <= unsigned(mem2a) - unsigned(mem2b);
tmpOut <= unsigned(mem3a) - unsigned(mem3b);
END filtro_arch;

```

E.3 Arquivo *counter6b.vhd*

```

LIBRARY IEEE;
USE IEEE.std_logic_1164.ALL;

ENTITY counter6b IS
PORT(
    clk: IN std_logic;
    dout: OUT std_logic_vector (6 downto 0)
);
END counter6b;

ARCHITECTURE counter6b_arch OF counter6b IS
SIGNAL intBits: std_logic_vector (6 downto 0) := "0000000";

BEGIN

    PROCESS (clk)
    BEGIN
        IF (clk = '0' AND clk 'EVENT) THEN
            intBits(0) <= NOT intBits(0);
        END IF;
    END PROCESS;

    PROCESS(intBits(0))
    BEGIN
        IF (intBits(0) = '0' AND intBits(0) 'EVENT) THEN
            intBits(1) <= NOT intBits(1);
        END IF;
    END PROCESS;

    PROCESS(intBits(1))
    BEGIN
        IF (intBits(1) = '0' AND intBits(1) 'EVENT) THEN
            intBits(2) <= NOT intBits(2);
        END IF;
    END PROCESS;

    PROCESS(intBits(2))
    BEGIN
        IF (intBits(2) = '0' AND intBits(2) 'EVENT) THEN
            intBits(3) <= NOT intBits(3);
        END IF;
    END PROCESS;

```

```

END PROCESS;

PROCESS(intBits(3))
BEGIN
    IF (intBits(3) = '0' AND intBits(3)'EVENT) THEN
        intBits(4) <= NOT intBits(4);
    END IF;
END PROCESS;

PROCESS(intBits(4))
BEGIN
    IF (intBits(4) = '0' AND intBits(4)'EVENT) THEN
        intBits(5) <= NOT intBits(5);
    END IF;
END PROCESS;

PROCESS(intBits(5))
BEGIN
    IF (intBits(5) = '0' AND intBits(5)'EVENT) THEN
        intBits(6) <= NOT intBits(6);
    END IF;
END PROCESS;

dout <= intBits;
END counter6b_arch;

```

E.4 Arquivo *filtro_tb.vhd*

```

library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_arith.all;

entity filtro_tb is
end filtro_tb;

architecture testbench_arch of filtro_tb is

component filtro_top
port(
    din:    IN  std_logic;
    clk:    IN  std_logic;
    dout:   OUT std_logic_vector (20 downto 0)
);
end component;

constant Tcyc: time := 3906.25 ns;
signal clk: std_logic := '0';
signal din: std_logic := '0';
signal dout: std_logic_vector (20 downto 0);
constant data: std_logic_vector (32767 downto 0) := <vetor de bits
                                                    com 32768 valores>

signal countDin: natural := 32767;

begin
dut: filtro_top port map (din,clk,dout);

```

```
clk <= not clk after Tcyc/2;

process (clk)
variable tempo: time;
begin
    if (clk = '0' and clk'event) then
        countDin <= countDin - 1;
        din      <= data(countDin);
    end if;

    tempo := now;
    if (tempo >= 128 ms) then
        assert false report "Simulation_terminated" severity failure;
    end if;
end process;
end testbench_arch;
```


ANEXO A – MODELO UICM

Neste anexo são apresentadas as equações básicas do modelo UICM, extraídas de (GALUP-MONTORO; SCHNEIDER, 2007, p. 67-111).

A.1 Equações básicas do modelo

Relações entre níveis de inversão, corrente e tensões nos terminais do transistor.

$$\frac{V_{GB} - V_{TH0} - nV_{SB}}{n\phi_t} = \ln(\sqrt{i_f + 1} - 1) - 2 + \sqrt{i_f + 1} \quad (A.1)$$

$$\frac{V_{GB} - V_{TH0} - nV_{DB}}{n\phi_t} = \ln(\sqrt{i_r + 1} - 1) - 2 + \sqrt{i_r + 1} \quad (A.2)$$

$$I_{DS} = S I_{SQ} (i_f - i_r) \quad (A.3)$$

$$I_{SQ} = \frac{1}{2} n \mu C'_{ox} \phi_t^2 \quad (A.4)$$

- V_{TH0} é a tensão de *threshold* do transistor.
- n é o *slope factor*.
- i_f e i_r são as correntes normalizadas direta e reversa, respectivamente.
- ϕ_t é a tensão térmica, dada por $\frac{kT}{q}$, com k sendo a constante de Boltzmann, T a temperatura absoluta e q a carga elétrica do elétron.
- S é a relação de aspecto do transistor dada por W/L , onde W e L são a largura e o comprimento do canal, respectivamente.
- I_{SQ} é a corrente específica por quadrado.
- μ é a mobilidade efetiva dos portadores no canal.
- C'_{ox} é a capacitância de óxido pro unidade de área.

A.2 Equações de projeto

Equações para análise de pequenos sinais e ponto de operação.

$$g_{m_{s(d)}} = \frac{2S I_{SQ}}{\phi_t} (\sqrt{1 + i_{f(r)}} - 1) \quad (A.5)$$

$$g_{m_g} = \frac{g_{m_s} - g_{m_d}}{n} \quad (\text{A.6})$$

Para um transistor saturado:

$$g_{m_g} \approx \frac{g_{m_s}}{n} = \frac{2 S I_{SQ}}{n \phi_t} (\sqrt{1 + i_{f(r)}} - 1) = \frac{2 I_{DS}}{n \phi_t (\sqrt{1 + i_{f(r)}} + 1)} \quad (\text{A.7})$$

$$V_{DSsat} = \phi_t \left[\left(\sqrt{1 + i_f} - 1 \right) + 4 \right] \quad (\text{A.8})$$

A equação A.8 foi extraída de (PINTO et al., 1998).

A.3 Cargas

Equação da carga de inversão.

$$Q_I = -n \phi_t C'_{ox} WL \left[\frac{2}{3} \left(\sqrt{1 + i_f} + \sqrt{1 + i_r} - \frac{\sqrt{1 + i_f} \sqrt{1 + i_r}}{\sqrt{1 + i_f} + \sqrt{1 + i_r}} \right) - 1 \right] \quad (\text{A.9})$$

A.4 Capacitâncias

Equações das capacitâncias entre os terminais de porta, dreno, fonte e corpo.

$$C_{gs(d)} = \frac{2}{3} C'_{ox} WL \left(1 - \frac{1}{\sqrt{1 + i_{f(r)}}} \right) \left[1 - \frac{1 + i_{f(r)}}{(\sqrt{1 + i_f} + \sqrt{1 + i_r})^2} \right] \quad (\text{A.10})$$

$$C_{gb} = \frac{n-1}{n} (C'_{ox} WL - C_{gs} - C_{gd}) \quad (\text{A.11})$$

ANEXO B – DADOS DA TECNOLOGIA

Este anexo lista os parâmetros dos dispositivos utilizados neste trabalho. Os parâmetros mostrados para os transistores PMOS 3v3 e NMOS 3v3 referem-se a dispositivos de I/O de 3,3 V. O transistor PMOS 2v5 e o NMOS de depleção são transistores de I/O de 2,5 V.

B.1 Transistores

Tabela B.1 – Parâmetros tecnológicos dos transistores.

Parâmetro	Transistor			
	NMOS 3v3	PMOS 3v3	PMOS 2v5	NMOS Depleção
$\tau_{\text{ox(efetivo)}}$	5,9 nm	6,15 nm	6,15 nm	5,9 nm
C'_{ox}	5,9 fF/ μm^2	5,6 fF/ μm^2	5,6 fF/ μm^2	5,9 fF/ μm^2
C'_{ov}	0,4 fF/ μm	0,4 fF/ μm	0,315 fF/ μm	0,36 fF/ μm
L_{min}	0,4 μm	0,4 μm	0,24 μm	0,56 μm
W_{min}	0,5 μm	0,5 μm	0,36 μm	2,34 μm

Fonte: Manual da tecnologia.

Tabela B.2 – Parâmetros de projeto do modelo UICM.

Parâmetro	Transistor			
	NMOS 3v3	PMOS 3v3	PMOS 2v5	NMOS Depleção
V_{TH0}	380 mV	417 mV	440 mV	29 mV
n	1,188	1,297	1,350	1,067
I_{SQ}	39,6 nA	31,1 nA	27,0 nA	66,2 nA

Fonte: O próprio autor.

Tabela B.3 – Parâmetros de ruído.

Parâmetro	Descrição	Transistor	
		NMOS 3v3	PMOS 3v3
γ	Fator de excesso de ruído térmico	1,069	1,068
K_f	Coefficiente do ruído <i>flicker</i>	$11,28 \times 10^{-25} \text{ FV}^2$	$2,82 \times 10^{-25} \text{ FV}^2$
m_f	Fator de inclinação da PSD do ruído <i>flicker</i> em escala logarítmica	0,87 μm	1,15 μm

Fonte: O próprio autor.

Tabela B.4 – Parâmetros de descasamento dos transistores.

Parâmetro	Transistor	
	NMOS 3v3	PMOS 3v3
A_{VTH}	$1,2 \times 10^{-2} \text{ V} \cdot \mu\text{m}$	$0,85 \times 10^{-2} \text{ V} \cdot \mu\text{m}$
A_{β}	$7\% \cdot \mu\text{m}$	$7,5\% \cdot \mu\text{m}$

Parâmetros para 3σ .

Fonte: Manual da tecnologia.

B.2 Resistores

Os dados dos resistores de polissilício presentes na tecnologia utilizada neste trabalho são dados nas Tabelas B.5 e B.6 a seguir. O resistor de polissilício **nativo** refere-se a um resistor feito com o mesmo tipo de polissilício utilizado nos terminais de porta dos transistores PMOS. Os resistores de alta resistividade e de precisão são recursos especiais da tecnologia.

Tabela B.5 – Parâmetros tecnológicos dos resistores.

Parâmetro	Tipo de resistor		
	Nativo	Alta resistividade	Precisão
Resistência de folha	$340 \Omega/\square$	$1700 \Omega/\square$	$228 \Omega/\square$
Tolerância	$\pm 15\%$	$\pm 20\%$	$\pm 8\%$
Coefficiente de tensão	$0\%/V$	$-0,03\%/V$	$0\%/V$

Fonte: Manual da tecnologia.

As estimativas de descasamento devem ser obtidas por meio da equação abaixo, com os parâmetros dados na Tabela B.6 em porcentagem e representando um desvio de 3σ para mais ou para menos.

$$M = \sqrt{\frac{M_A^2}{W \cdot L} + \frac{M_W^2}{W^2} + \frac{M_L^2}{L^2}} \quad (\text{B.1})$$

Tabela B.6 – Parâmetros de descasamento dos resistores.

Parâmetro	Tipo de resistor		
	Nativo	Alta resistividade	Precisão
M_A	4,0	5,0	7,0
M_W	1,0	1,0	2,0*
M_L	0,0	0,0	0,0

* Para este dispositivo o termo de largura é $M_W^2/L \cdot w^2$.

Fonte: Manual da tecnologia.

B.3 Capacitores

Os dados dos capacitores presentes na tecnologia utilizada neste trabalho são dados nas tabelas a seguir. O termo MiM simples refere-se ao capacitor do tipo metal-isolante-metal com uma camada, e o termo MiM duplo refere-se ao capacitor do tipo metal-isolante-metal com dupla camada. Para os capacitores MiM de dupla camada, os parâmetros da tabela fornecem uma boa estimativa da capacitância apenas para áreas grandes. Em outros casos, a capacitância nominal deve ser obtida pela expressão

$$C = C_A \cdot (2 \cdot W \cdot L + 11,48 \cdot W + 4 \cdot L + 45,92) + C_P \cdot 2 \cdot (W + L + 15,48), \quad (\text{B.2})$$

com $C_A = 2,05 \text{ fF}/\mu\text{m}^2$ e $C_P = 0,309 \text{ fF}/\mu\text{m}$.

As estimativas de descasamento devem ser obtidas por meio da equação abaixo, com os parâmetros dados na Tabela B.8 em porcentagem e representando um desvio de 3σ para mais ou para menos.

$$M = \sqrt{\frac{M_A^2}{W \cdot L} + \frac{M_W^2}{W^2} + \frac{M_L^2}{L^2}} \quad (\text{B.3})$$

Tabela B.7 – Parâmetros tecnológicos dos capacitores.

Parâmetro	Tipo de capacitor	
	MiM simples	MiM duplo
Largura mínima (W_{\min})	5,24 μm	8,5 μm
Comprimento mínimo (L_{\min})	5,24 μm	8,5 μm
Capacitância por área*	2,05 fF/ μm^2	4,10 fF/ μm^2
Capacitância periférica*	0,157 fF/ μm	0,309 fF/ μm
Dependência térmica	15,3 ppm/ $^{\circ}\text{C}$	15,3 ppm/ $^{\circ}\text{C}$
Tolerância da capacitância por área**	0,205 fF/ μm^2	0,410 fF/ μm^2
Tolerância da capacitância por periférica**	0,08 fF/ μm	0,15 fF/ μm

* A 25 $^{\circ}\text{C}$ e 0 V.

** Valores de tolerância representam limites de 3σ para variações de processo.

Fonte: Manual da tecnologia.

Tabela B.8 – Parâmetros de descasamento de capacitores.

Parâmetro	Tipo de capacitor	
	MiM simples	MiM duplo
M_A	4,0	4,0
M_W	1,0	0,5
M_L	0,0	0,1

Fonte: Manual da tecnologia.

REFERÊNCIAS

- ALLEN, P.; HOLBERG, D. *CMOS Analog Circuit Design*. 2nd. ed. [S.l.]: Oxford University Press, 2002. (Oxford series in electrical and computer engineering). ISBN 9780195116441.
- ALMAZAN, S.; LEON, M. de. A 3rd Order Butterworth Gm-C Filter for WiMAX Receivers in a 90nm CMOS Process. In: *Computer Modelling and Simulation (UKSim), 2010 12th International Conference on*. [S.l.: s.n.], 2010. p. 625–630.
- ARNAUD, A.; FIORELLI, R.; GALUP-MONTORO, C. Nanowatt, Sub-nS OTAs, With Sub-10 mV Input Offset, Using Series-Parallel Current Mirrors. *Solid-State Circuits, IEEE Journal of*, v. 41, n. 9, p. 2009–2018, 2006.
- BAHMANI, F.; SÁNCHEZ-SINENCIO, E. A highly linear pseudo-differential transconductance [CMOS OTA]. In: *Solid-State Circuits Conference, 2004. ESSCIRC 2004. Proceeding of the 30th European*. [S.l.: s.n.], 2004. p. 111–114.
- BAKER, B. C. Conversion latency in delta-sigma converters. *Analog Applications Journal p.5-7*, n. 2Q, 2007. Disponível em: <<http://www.ti.com/lit/an/slyt264/slyt264.pdf>>. Acesso em: 26 Nov. 2015.
- CASTELLINI, C.; SMAGT, P. van der. Surface EMG in advanced hand prosthetics. *Biological Cybernetics*, Springer-Verlag, v. 100, n. 1, p. 35–47, 2009.
- CHAE, M.-S. et al. A 128-Channel 6 mW Wireless Neural Recording IC With Spike Feature Extraction and UWB Transmitter. *Neural Systems and Rehabilitation Engineering, IEEE Transactions on*, v. 17, n. 4, p. 312–321, 2009.
- CHATURVEDI, V.; AMRUTUR, B. An Area-Efficient Noise-Adaptive Neural Amplifier in 130 nm CMOS Technology. *Emerging and Selected Topics in Circuits and Systems, IEEE Journal on*, v. 1, n. 4, p. 536–545, 2011.
- CHI, Y.; JUNG, T.-P.; CAUWENBERGHS, G. Dry-Contact and Noncontact Biopotential Electrodes: Methodological Review. *Biomedical Engineering, IEEE Reviews in*, v. 3, p. 106–119, 2010.
- CHIMENE, M.; PALLAS-ARENY, R. A comprehensive model for power line interference in biopotential measurements. *Instrumentation and Measurement, IEEE Transactions on*, v. 49, n. 3, p. 535–540, Jun 2000.
- CHOKSI, O.; CARLEY, L. Analysis of switched-capacitor common-mode feedback circuit. *Circuits and Systems II: Analog and Digital Signal Processing, IEEE Transactions on*, v. 50, n. 12, p. 906–917, Dec 2003.
- DELBRUCK, T.; MEAD, C. Adaptive photoreceptor with wide dynamic range. In: *Circuits and Systems, 1994. ISCAS '94., 1994 IEEE International Symposium on*. [S.l.: s.n.], 1994. v. 4, p. 339–342 vol.4.

DROST, G. et al. Clinical applications of high-density surface EMG: A systematic review. *Journal of Electromyography and Kinesiology*, v. 16, n. 6, p. 586 – 602, 2006. Special Section (pp. 541–610): 2006 {ISEK} Congress.

ERVILHA, U.; DUARTE, M.; AMADIO, A. Estudo sobre Procedimentos de Normalização do Sinal Eletromiográfico Durante o Movimento Humano. *Revista Brasileira de Fisioterapia - Associação Brasileira de Fisioterapia*, v. 3, n. 1, p. 15–20, 1998.

FARINA, D.; JENSEN, W.; AKAY, M. *Introduction to Neural Engineering for Motor Rehabilitation*. [S.l.]: Wiley, 2013. (IEEE Press Series on Biomedical Engineering). ISBN 9781118628638.

FELTRE, R. *Química 2: Físico-Química*. 6. ed. São Paulo: Moderna, 2004. ISBN 85-16-04330-4.

FERNANDEZ, M.; PALLAS-ARENY, R. Electrode contact noise in surface biopotential measurements. In: *Engineering in Medicine and Biology Society, 1992 14th Annual International Conference of the IEEE*. [S.l.: s.n.], 1992. v. 1, p. 123–124.

FERREIRA, A. d. S.; GUIMARÃES, F. S.; SILVA, J. G. Aspectos metodológicos da eletromiografia de superfície: considerações sobre os sinais e processamentos para estudo da função neuromuscular. *Revista Brasileira de Ciências do Esporte*, v. 31, n. 2, p. 11–30, Janeiro 2010.

FLORIMOND, V. *Basics of Surface Electromyography: Applied to Physical Rehabilitation and Biomechanics*. Montreal, Canada, 2010. Disponível em: <<http://www.thoughttechnology.com/pdf/manuals/MAR908-03%20SEMG%20applied%20to%20physical%20rehabilitation%20and%20biomechanics.pdf>>. Acesso em: 26 Nov. 2015.

FURTH, P.; ANDREOU, A. Linearised differential transconductors in subthreshold CMOS. *Electronics Letters*, v. 31, n. 7, p. 545–547, Mar 1995.

GALUP-MONTORO, C.; SCHNEIDER, M. *MOSFET Modeling for Circuit Analysis and Design*. [S.l.]: World Scientific, 2007. (International series on advances in solid state electronics and technology). ISBN 9789812707598.

GANG, G.; MIN, C. H.; KIM, T. S. Design of bio-signal based physical activity monitoring system. In: *Biomedical and Health Informatics (BHI), 2012 IEEE-EMBS International Conference on*. [S.l.: s.n.], 2012. p. 144–147.

GILBERT, B. The multi-tanh principle: a tutorial overview. *IEEE Journal of Solid-State Circuits*, v. 33, n. 1, p. 2–17, Jan 1998.

GODIN, D. T.; PARKER, P. A.; SCOTT, R. N. Noise characteristics of stainless-steel surface electrodes. *Medical and Biological Engineering and Computing*, v. 29, n. 6, p. 585–590, 1991.

GONDRAN, C. et al. Noise of surface bio-potential electrodes based on NASICON ceramic and Ag-AgCl. *Medical and Biological Engineering and Computing*, v. 34, n. 6, p. 460–466, 1996.

- GRAY, P. R.; MEYER, R. G. *Analysis and Design of Analog Integrated Circuits*. 4th. ed. [S.l.]: John Wiley & Sons, Inc., 1990. ISBN 0471874930.
- GUYTON, A. C.; HALL, J. E. *Tratado de Fisiologia Médica*: tradução de barbara de alencar martins...[et el.]. 11. ed. Rio de Janeiro: Elsevier Ed., 2006. ISBN 978-85-352-1641-7.
- HAN, G.; SÁNCHEZ-SINENCIO, E. CMOS transconductance multipliers: a tutorial. *Circuits and Systems II: Analog and Digital Signal Processing, IEEE Transactions on*, v. 45, n. 12, p. 1550–1563, Dec 1998.
- HARRISON, R.; CHARLES, C. A low-power low-noise CMOS amplifier for neural recording applications. *Solid-State Circuits, IEEE Journal of*, v. 38, n. 6, p. 958–965, June 2003.
- HARY, D.; BEKEY, G. A.; ANTONELLI, D. J. Circuit Models and Simulation Analysis of Electromyographic Signal Sources-I: The Impedance of EMG Electrodes. *Biomedical Engineering, IEEE Transactions on*, BME-34, n. 2, p. 91–97, Feb 1987.
- HAYKIN, S.; VEEN, B. V. *Sinais e Sistemas*. Porto Alegre: Bookman, 2001. ISBN 9788573077414.
- HEWSON, D.; DUCHENE, J.; HOGREL, J.-Y. Changes in impedance at the electrode-skin interface of surface EMG electrodes during long-term EMG recordings. In: *Engineering in Medicine and Biology Society, 2001. Proceedings of the 23rd Annual International Conference of the IEEE*. [S.l.: s.n.], 2001. v. 4, p. 3345–3348 vol.4.
- HEWSON, D. et al. Evolution in impedance at the electrode-skin interface of two types of surface EMG electrodes during long-term recordings. *Journal of Electromyography and Kinesiology*, v. 13, n. 3, p. 273–279, 10 2003.
- HOGENAUER, E. An economical class of digital filters for decimation and interpolation. *Acoustics, Speech and Signal Processing, IEEE Transactions on*, v. 29, n. 2, p. 155–162, Apr 1981.
- HSU, C.-H. et al. A high performance current-balancing instrumentation amplifier for ECG monitoring systems. p. 83–86, 2009.
- HU, Y.; KWOK, J.; TSE, J. Automatic ECG artifact removal in the real-time SEMG recording system. In: *Computational Intelligence and Virtual Environments for Measurement Systems and Applications (CIVEMSA), 2013 IEEE International Conference on*. [S.l.: s.n.], 2013. p. 72–77.
- HUHTA, J. C.; WEBSTER, J. 60-Hz Interference in Electrocardiography. *Biomedical Engineering, IEEE Transactions on*, BME-20, n. 2, p. 91–101, March 1973.
- HUIGEN, E. *Noise in biopotential recording using surface electrodes*. Amsterdam, Holanda, 2000. Disponível em: <<http://www.angelfire.com/planet/ehuigen-/literatuurstudie.pdf>>. Acesso em: 26 Nov. 2015.
- HUIGEN, E. *Noise characteristics of surface electrodes*. Amsterdam, Holanda, 2001. Disponível em: <<http://www.angelfire.com/planet/ehuigen/scriptie.pdf>>. Acesso em: 26 Nov. 2015.

HUIGEN, E.; PEPPER, A.; GRIMBERGEN, C. Investigation into the origin of the noise of surface electrodes. *Medical and Biological Engineering and Computing*, Springer-Verlag, v. 40, n. 3, p. 332–338, 2002.

IBGE - INSTITUTO BRASILEIRO DE GEOGRAFIA E ESTATÍSTICA. Censo Demográfico 2000: Características gerais da população. Rio de Janeiro, 2000.

IDER, Y.; KOYMEN, H. A new technique for line interference monitoring and reduction in biopotential amplifiers. *Biomedical Engineering, IEEE Transactions on*, v. 37, n. 6, p. 624–631, June 1990.

JOHNS, D.; MARTIN, K. *Analog integrated circuit design*. [S.l.]: John Wiley & Sons, 1997. ISBN 9780471144489.

KESTER, W. Understand SINAD, ENOB, SNR, THD, THD + N, and SFDR so You Don't Get Lost in the Noise Floor. ANALOG DEVICES, 2008. Rev. A. Disponível em: <<http://www.analog.com/static/imported-files/tutorials/MT-003.pdf>>. Acesso em: 26 Nov. 2015.

KLIMACH, H. et al. Resistorless switched-capacitor bandgap voltage reference with low sensitivity to process variations. *Electronics Letters*, v. 49, n. 23, p. 1448–1449, Nov 2013.

KLIMACH, H. et al. A resistorless switched bandgap voltage reference with offset cancellation. In: *Integrated Circuits and Systems Design (SBCCI), 2013 26th Symposium on*. [S.l.: s.n.], 2013. p. 1–5.

KLIMACH, H. et al. A resistorless switched bandgap reference topology. In: *Circuits and Systems (LASCAS), 2013 IEEE Fourth Latin American Symposium on*. [S.l.: s.n.], 2013. p. 1–4.

KOBAYASHI, T. et al. A current-controlled latch sense amplifier and a static power-saving input buffer for low-power architecture. *Solid-State Circuits, IEEE Journal of*, v. 28, n. 4, p. 523–527, Apr 1993.

KONRAD, P. *The ABC of EMG: A Practical Introduction to Kinesiological Electromyography*. Scottsdale, Arizona, U.S.A., 2006. Version 1.4. Disponível em: <<http://www.noraxon.com/wp-content/uploads/2014/12/ABC-EMG-ISBN.pdf>>. Acesso em: 26 Nov. 2015.

KULSHRESHTHA, T.; BHADAURIA, V. A highly linear CMOS pseudo differential transconductor using active attenuator. In: *Power, Control and Embedded Systems (ICPCES), 2010 International Conference on*. [S.l.: s.n.], 2010. p. 1–4.

LAFERRIERE, P.; LEMAIRE, E.; CHAN, A. D. C. Surface Electromyographic Signals Using Dry Electrodes. *Instrumentation and Measurement, IEEE Transactions on*, v. 60, n. 10, p. 3259–3268, 2011.

LANDRY, S. Unstable shoe designs: Functional implications. Mar. 2011. Disponível em: <<http://lermagazine.com/article/unstable-shoe-designs-functional-implications>>. Acesso em: 25 Out. 2014.

LEE, H.; KIM, K.; OH, S. R. Development of a wearable and dry sEMG electrode system for decoding of human hand configurations. In: *Intelligent Robots and Systems (IROS), 2012 IEEE/RSJ International Conference on*. [S.l.: s.n.], 2012. p. 746–750.

- LEE, K. J.; LEE, B. Removing ECG artifacts from the EMG: A comparison between combining empirical-mode decomposition and independent component analysis and other filtering methods. In: *Control, Automation and Systems (ICCAS), 2013 13th International Conference on*. [S.l.: s.n.], 2013. p. 181–184.
- LI, H.; ZHANG, J.; WANG, L. A New Technique to Implement Ultra-low Frequency Analog Filters for Electrophysiological Signal Acquisitions. In: *Wearable and Implantable Body Sensor Networks (BSN), 2012 Ninth International Conference on*. [S.l.: s.n.], 2012. p. 103–106.
- LIM, G. K.; TEO, T. H. A Low-Power Low-Voltage Amplifier for Heart Rate Sensor. p. 502–505, Dec 2006.
- LIU, M. *Demystifying Switched Capacitor Circuits*. [S.l.]: Elsevier Science, 2006. (EngineeringPro collection). ISBN 9780080458762.
- LIU, S.-I.; HWANG, Y.-S. CMOS four-quadrant multiplier using bias feedback techniques. *Solid-State Circuits, IEEE Journal of*, v. 29, n. 6, p. 750–752, Jun 1994.
- LUCA, C. J. D. *Surface Electromyography: Detection and recording*. Natick, USA, 2002. Disponível em: <https://www.delsys.com/Attachments_pdf/WP_SEMGintro.pdf>. Acesso em: 26 Nov. 2015.
- MARTIN, K.; SEDRA, A. S. Effects of the op amp finite gain and bandwidth on the performance of switched-capacitor filters. *Circuits and Systems, IEEE Transactions on*, v. 28, n. 8, p. 822–829, Aug 1981.
- MERLETTI, R.; FARINA, D.; GAZZONI, M. The linear electrode array: a useful tool with many applications. *Journal of Electromyography and Kinesiology*, v. 13, n. 1, p. 37 – 47, 2003.
- MERLO, A.; CAMPANINI, I. Technical Aspects of Surface Electromyography for Clinicians. *The Open Rehabilitation Journal*, Bentham Open, v. 3, p. 98–109, 2010.
- MOHSENI, P.; NAJAFI, K. A fully integrated neural recording amplifier with DC input stabilization. *Biomedical Engineering, IEEE Transactions on*, v. 51, n. 5, p. 832–837, 2004.
- MONTEIRO, M.; KLIMACH, H.; BAMPI, S. High linearity and large output swing sub-Hz pre-amplifier for portable biomedical applications. In: *Integrated Circuits and Systems Design (SBCCI), 2014 27th Symposium on*. [S.l.: s.n.], 2014. p. 1–7.
- MORAES, K. J. R. et al. Eletromiografia de superfície: padronização da técnica. *Neurobiologia*, v. 73, n. 3, p. 151–8, 2010.
- MOURABIT, A.; LU, G.-N.; PITTET, P. Wide-Linear-Range Subthreshold OTA for Low-Power, Low-Voltage, and Low-Frequency Applications. *Circuits and Systems I: Regular Papers, IEEE Transactions on*, v. 52, n. 8, p. 1481–1488, 2005.
- NISE, N. S. *Engenharia de sistemas de controle*. 5. ed. Rio de Janeiro: LTC, 2011. Tradução e revisão técnica Fernando Ribeiro da Silva. ISBN 978-85-216-1704-4.

- NOVAKOV, E. Evaluation of the electrode-amplifier noise in high resolution biological signal acquisition. In: *Engineering in Medicine and Biology Society, 1997. Proceedings of the 19th Annual International Conference of the IEEE*. [S.l.: s.n.], 1997. v. 4, p. 1452–1454 vol.4.
- PALLAS-ARENY, R. Interference-rejection characteristics of biopotential amplifiers: a comparative analysis. *Biomedical Engineering, IEEE Transactions on*, v. 35, n. 11, p. 953–959, Nov 1988.
- PHINYOMARK, A.; LIMSAKUL, C.; PHUKPATTARANONT, P. EMG Feature Extraction for Tolerance of White Gaussian Noise. In: *I-SEEC 2008: International Workshop and Symposium Science Technology 2008*. [S.l.: s.n.], 2008. p. 178–183.
- PHINYOMARK, A.; LIMSAKUL, C.; PHUKPATTARANONT, P. A Novel Feature Extraction for Robust EMG Pattern Recognition. *Journal of Computing*, v. 1, 2009. Disponível em: <<https://arxiv.org/ftp/arxiv/papers/0912/0912.3973.pdf>>. Acesso em: 26 Nov. 2015.
- PINTO, R. O. et al. An amplifier design methodology derived from a MOSFET current-based model. In: *Circuits and Systems, 1998. ISCAS '98. Proceedings of the 1998 IEEE International Symposium on*. [S.l.: s.n.], 1998. v. 1, p. 301–304 vol.1.
- PISKOROWSKI, J. Powerline interference rejection from sEMG signal using notch filter with transient suppression. In: *Instrumentation and Measurement Technology Conference (I2MTC), 2012 IEEE International*. [S.l.: s.n.], 2012. p. 1447–1451.
- POTTER, A.; MENKE, L. Capacitive Type of Biomedical Electrode. *Biomedical Engineering, IEEE Transactions on*, BME-17, n. 4, p. 350–351, Oct 1970.
- PULLMAN, S. et al. Clinical utility of surface EMG: Report of the Therapeutics and Technology Assessment Subcommittee of the American Academy of Neurology. *Neurology*, v. 55, n. 2, p. 171–177, 2000.
- RAZAVI, B. *Design of Analog CMOS Integrated Circuits*. [S.l.]: Tata McGraw-Hill, 2002. (McGraw-Hill higher education). ISBN 9780070529038.
- REIS, G. d.; JÚNIOR, A. J. C.; CAMPOS, R. d. S. Perfil epidemiológico de amputados de membros superiores e inferiores atendidos em um centro de referência. *Revista Eletrônica de Saúde e Ciência*, II, n. 2, p. 52–62, 2012.
- RICH, A. Shielding and Guarding: How to Exclude Interference-Type Noise. What to Do and Why to Do It - A Rational Approach. ANALOG DEVICES, 1983. Reprinted from Analog Dialogue 17-1 1983. Disponível em: <http://www.analog.com/media/en/technical-documentation/application-notes/41727248AN_347.pdf>. Acesso em: 26 Nov. 2015.
- RIJN, A. Metting van; PEPPER, A.; GRIMBERGEN, C. The isolation mode rejection ratio in bioelectric amplifiers. *Biomedical Engineering, IEEE Transactions on*, v. 38, n. 11, p. 1154–1157, Nov 1991.
- RODRIGUES, S. *Procedimento de Medida de Condutividade In Vivo para Desenvolver um Atlas Anatômico de Tomografia por Impedância Elétrica*. Dissertação (Mestrado) — Escola Politécnica da Universidade de São Paulo. Departamento de Engenharia Mecânica, São Paulo, 2010.

- ROSELL, J. et al. Skin impedance from 1 Hz to 1 MHz. *Biomedical Engineering, IEEE Transactions on*, v. 35, n. 8, p. 649–651, Aug 1988.
- SÁNCHEZ-SINENCIO, E.; SILVA-MARTÍNEZ, J. CMOS transconductance amplifiers, architectures and active filters: a tutorial. *Circuits, Devices and Systems, IEE Proceedings -*, v. 147, n. 1, p. 3–12, Feb 2000.
- SARPESHKAR, R.; LYON, R. F.; MEAD, C. A Low-Power Wide-Linear-Range Transconductance Amplifier. *Analog Integrated Circuits and Signal Processing*, Kluwer Academic Publishers, Hingham, MA, USA, v. 13, n. 1-2, p. 123–151, maio 1997.
- Schneider, Marcio Cherem and Galup-Montoro, Carlos. *CMOS Analog Design Using All-Region MOSFET Modeling*. 1st. ed. New York, NY, USA: Cambridge University Press, 2010. ISBN 052111036X, 9780521110365.
- SCHREIER, R. et al. Design-oriented estimation of thermal noise in switched-capacitor circuits. *Circuits and Systems I: Regular Papers, IEEE Transactions on*, v. 52, n. 11, p. 2358–2368, Nov 2005.
- SCHREIER, R.; TEMES, G. C. *Understanding Delta-Sigma Data Converters*. [S.l.]: Wiley - IEEE Press, 2004. ISBN 9780471465850.
- SEARLE, A.; KIRKUP, L. Real time impedance plots with arbitrary frequency components. *Physiological Measurement*, v. 20, n. 1, p. 103, 1999.
- SEDRA, A. S.; SMITH, K. C. *Microelectronic Circuits Revised Edition*. 5th. ed. New York, NY, USA: Oxford University Press, Inc., 2007. ISBN 0195338839, 9780195338836.
- SHEU, B.; SHIEH, J.-H.; PATIL, M. Modeling charge injection in MOS analog switches. *Circuits and Systems, IEEE Transactions on*, v. 34, n. 2, p. 214–216, Feb 1987.
- SILVA, I. S. de Souza e. *Circuitos Mistos Reconfiguráveis Aplicados à Medição de Sinais Biomédicos: Rejeição de Interferência de Modo Comum*. Tese (Doutorado) — Universidade Federal de Campina Grande, 2003.
- SPULBER, I. et al. Frequency analysis of wireless accelerometer and EMG sensors data: Towards discrimination of normal and asymmetric walking pattern. In: *Circuits and Systems (ISCAS), 2012 IEEE International Symposium on*. [S.l.: s.n.], 2012. p. 2645–2648.
- STEYAERT, M.; SANSEN, W. A micropower low-noise monolithic instrumentation amplifier for medical purposes. *Solid-State Circuits, IEEE Journal of Solid-State Circuits*, v. 22, n. 6, p. 1163–1168, 1987.
- SZCZEPAŃSKI, S.; KOZIEŁ, S. Phase compensation scheme for feedforward linearized CMOS operational transconductance amplifier. *TECHNICAL SCIENCES*, v. 52, n. 2, 2004.
- SZE, S.; NG, K. *Physics of Semiconductor Devices*. [S.l.]: Wiley, 2006. ISBN 9780470068304.
- TAJALLI, A.; LEBLEBICI, Y.; BRAUER, E. Implementing ultra-high-value floating tunable CMOS resistors. *Electronics Letters*, v. 44, n. 5, p. 349–350, Feb 2008.

- TENORE, F. et al. Towards the Control of Individual Fingers of a Prosthetic Hand Using Surface EMG Signals. In: *Engineering in Medicine and Biology Society, 2007. EMBS 2007. 29th Annual International Conference of the IEEE*. [S.l.: s.n.], 2007. p. 6145–6148.
- VEERAVALLI, A.; SÁNCHEZ-SINENCIO, E.; SILVA-MARTÍNEZ, J. Transconductance amplifier structures with very small transconductances: a comparative design approach. *Solid-State Circuits, IEEE Journal of*, v. 37, n. 6, p. 770–775, 2002.
- WATTANAPANITCH, W.; FEE, M.; SARPESHKAR, R. An Energy-Efficient Micropower Neural Recording Amplifier. *Biomedical Circuits and Systems, IEEE Transactions on*, v. 1, n. 2, p. 136–147, 2007.
- WEGMANN, G.; VITTOZ, E.; RAHALI, F. Charge injection in analog MOS switches. *Solid-State Circuits, IEEE Journal of*, v. 22, n. 6, p. 1091–1097, Dec 1987.
- WILAMOWSKI, B.; IRWIN, J. *Fundamentals of Industrial Electronics*. [S.l.]: Taylor & Francis, 2011. (Electrical engineering handbook series). ISBN 9781439802809.
- WU, C.-Y.; CHEN, W.-M.; KUO, L.-T. A CMOS Power-Efficient Low-Noise Current-Mode Front-End Amplifier for Neural Signal Recording. *Biomedical Circuits and Systems, IEEE Transactions on*, v. 7, n. 2, p. 107–114, 2013.
- XIAODONG, Z.; HAOJIE, L. Study on Measurement and Processing Technology of Electromyography. In: *Electronic Measurement and Instruments, 2007. ICEMI '07. 8th International Conference on*. Beijing, China: [s.n.], 2007. p. 3–1033–3–1036.
- YAZAMA, Y. et al. Analysis and recognition of wrist motions by using multidimensional directed information and EMG signal. In: *Fuzzy Information, 2004. Processing NAFIPS '04. IEEE Annual Meeting of the*. [S.l.: s.n.], 2004. v. 2, p. 867–870 Vol.2.
- YAZICIOGLU, R.; MERKEN, P.; HOOF, C. V. Effect of electrode offset on the CMRR of the current balancing instrumentation amplifiers. In: *Research in Microelectronics and Electronics, 2005 PhD*. [S.l.: s.n.], 2005. v. 1, p. 35–38 vol.1.
- YAZICIOGLU, R. F. et al. Ultra-low-power biopotential interfaces and their applications in wearable and implantable systems . *Microelectronics Journal*, v. 40, n. 9, p. 1313 – 1321, 2009. Quality in Electronic Design2nd {IEEE} International Workshop on Advances in Sensors and InterfacesThermal Investigations of {ICs} and Systems.
- YIN, M.; GHOVANLOO, M. A Low-Noise Preamplifier with Adjustable Gain and Bandwidth for Biopotential Recording Applications. p. 321–324, 2007.
- YOUNG, A. et al. Classification of Simultaneous Movements Using Surface EMG Pattern Recognition. *Biomedical Engineering, IEEE Transactions on*, v. 60, n. 5, p. 1250–1258, May 2013.
- ZHANG, F.; HOLLEMAN, J.; OTIS, B. Design of Ultra-Low Power Biopotential Amplifiers for Biosignal Acquisition Applications. *Biomedical Circuits and Systems, IEEE Transactions on*, v. 6, n. 4, p. 344–355, 2012.
- ZHANG, H. et al. Textile-structured human body surface biopotential signal acquisition electrode. In: *Image and Signal Processing (CISP), 2011 4th International Congress on*. [S.l.: s.n.], 2011. v. 5, p. 2792–2797.

ZHOU, P. et al. Towards Improved Myoelectric Prosthesis Control: High Density Surface EMG Recording After Targeted Muscle Reinnervation. In: *Engineering in Medicine and Biology Society, 2005. IEEE-EMBS 2005. 27th Annual International Conference of the.* [S.l.: s.n.], 2005. p. 4064–4067.

ZOU, X. et al. A 1-V 450-nW Fully Integrated Programmable Biomedical Sensor Interface Chip. *Solid-State Circuits, IEEE Journal of*, v. 44, n. 4, p. 1067–1077, April 2009.

ZWARTS, M. J.; DROST, G.; STEGEMAN, D. F. Recent progress in the diagnostic use of surface EMG for neurological diseases. *Journal of Electromyography and Kinesiology*, Elsevier, v. 10, p. 287–291, 2000.