

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL
INSTITUTO DE INFORMÁTICA
PROGRAMA DE PÓS-GRADUAÇÃO EM MICROELETRÔNICA

WILLIAM MENDES FANTINEL

**Modelo para projeção de custo e capacidade
para testes de semicondutores**

Dissertação apresentada como requisito parcial para a
obtenção do grau de Mestre em Microeletrônica.

Orientador: Prof. Dr. Marcelo Soares Lubaszewski

Porto Alegre
2016

CIP – CATALOGAÇÃO NA PUBLICAÇÃO

Fantinel, William Mendes

Modelo para projeção de custo e capacidade para testes de semicondutores [manuscrito] / William Mendes Fantinel. – 2016.

134 f.:il.

Orientador: Marcelo Soares Lubaszewski.

Dissertação (Mestrado) – Universidade Federal do Rio Grande do Sul. Programa de Pós-Graduação em Microeletrônica. Porto Alegre, BR – RS, 2016.

1.ATE. 2.Testes de semicondutores 3.Custo do teste de semicondutores. I. Lubaszewski, Marcelo Soares. II. Título.

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL

Reitor: Prof. Rui Vicente Oppermann

Vice-Reitor: Prof. Jane Fraga Tutikian

Pró-Reitor de Pós-Graduação: Prof. Celso Giannetti Loureiro Chaves

Diretor do Instituto de Informática: Profa. Carla Maria dal Sasso Freitas

Coordenador do PGMICRO: Prof. Fernanda Gusmão de Lima Kastensmidt

Bibliotecária-Chefe do Instituto de Informática: Beatriz Regina Bastos Haro

AGRADECIMENTOS

Agradeço a Deus.

Agradeço à minha mãe Soeli pela educação que recebi e ao meu pai Luiz por seu exemplo paterno, no qual sempre procuro me espelhar. Sigo hoje a profissão que ele me ensinou. Agradeço também aos meus irmãos Bruno e Leonardo pelo incentivo que sempre me deram.

Agradeço à minha família: minha esposa Vanessa, sempre presente tanto nas horas felizes quanto nos momentos difíceis, me apoiando e incentivando incondicionalmente e às nossas pequenas maravilhosas, Laura e Bruna, as luzes de nossas vidas.

Agradeço também a todos os meus professores e, em especial, ao meu orientador de mestrado professor Marcelo Lubaszewski pelos ensinamentos e pela amizade.

Agradeço aos meus colegas de trabalho os quais, de alguma forma, integram bases de conhecimento deste trabalho; em especial aos colegas Dieter Schwanke, Fúlvio Perin Eilert, Ismael Trindade Fraga e Marco Aurélio Lisboa Silveira.

Por fim, gostaria de agradecer à UFRGS, com seus professores e funcionários, e à comunidade pela oportunidade de receber uma educação pública de qualidade.

RESUMO

Este trabalho tem como objetivo estudar os métodos de desenvolvimento de testes de semicondutores em testadores de baixo custo e propor ferramentas que proporcionem a redução dos custos da realização destes testes. Para isto, o trabalho apresenta, em sua primeira parte, uma introdução aos testadores automáticos de semicondutores, explicando o que eles são e para que eles servem. Em seguida são apresentados os mecanismos de testes de semicondutores, tanto internos quanto externos ao circuito integrado. Logo após são mostrados três estudos de caso de circuitos integrados distintos que exemplificam a implementação dos seus respectivos testes. Na segunda parte do trabalho, são apresentados os conceitos de custo do teste de semicondutores. Com o uso destes conceitos, são feitas análises para os três estudos de caso já apresentados através de ferramentas de análise de custo do teste.

Palavras-chave: ATE. Testes de semicondutores. Custo do teste de semicondutores.

Model for cost projection and capability for semiconductor tests

ABSTRACT

The goal of this work is to study development methods of semiconductor tests in low-cost tests and propose tools in order to provide cost reduction of these tests. In order to do so, this work presents, in its first part, an introduction to automatic test equipments, explaining what are ATEs and what is their purpose. Then it presents semiconductor testing mechanisms, both internal and external to the integrated circuit. Then three case studies are presented in separate integrated circuits that exemplify the implementation of the respective tests.

In the second part, the concepts of semiconductor test costs are presented. With the use of these concepts, analysis are accomplished for the three case studies, through test cost analysis tools.

Keywords: ATE. Semiconductor tests. Cost of semiconductor tests.

LISTA DE FIGURAS

Figura 1.1 – Diferentes etapas de teste de um circuito integrado	14
Figura 1.2 – Os mercados de semicondutores, a lei de Moore e o teste de dispositivos.....	16
Figura 1.3 – Princípio básico do teste de semicondutores.....	18
Figura 1.4 – Diferenças de arquiteturas entre as abordagens tradicional e virtual de instrumentação.....	19
Figura 1.5 – Exemplo de plataforma PXI e de software de aplicação de testes e medição.....	21
Figura 2.1 – (a) Flip-flop D normal, (b) Flip-flop Scan equivalente, (c) Exemplo de cadeia Scan.....	27
Figura 2.2 – (a) Múltiplas cadeias Scan; (b) compressão/descompressão de cadeias Scan	29
Figura 2.3 – Arquitetura BIST genérica.....	30
Figura 2.4 – Diagrama de estados de Boundary Scan	Erro! Indicador não definido.
Figura 3.1 – Diferenças entre as configurações de teste Singlesite e Multi-site	36
Figura 3.2 – Comportamento teórico e real do incremento do número de sites	37
Figura 3.3 – Exemplo de configuração de um testador para desenvolver a técnica TDC	39
Figura 3.4 – Definições dos tempos de Set-Up, Hold e Release	40
Figura 3.5 – Desafios para a engenharia de testes de semicondutores	41
Figura 3.6 – Exemplo de um filtro passa-baixas usado como circuito demodulador	44
Figura 3.7 – Blocos básicos internos de um FPGA.....	45
Figura 4.1 – Planta e terminais do dispositivo IC1	48
Figura 4.2 – Setup desenvolvido para o teste de produção	48
Figura 4.3 – Fluxo de teste de IC1	50
Figura 4.4 – Planta e terminais de teste do dispositivo IC2.....	51
Figura 4.5 – Setup desenvolvido para o teste de produção de IC2	52
Figura 4.6 – Fluxo de teste de IC2	53
Figura 4.7 – Recepção de dados de teste de IC2 para 16 sites.....	55
Figura 4.8 – Floorplan e terminais de teste do dispositivo IC3	56
Figura 4.9 – Setup desenvolvido para o teste de produção de IC3	58
Figura 4.10 – Fluxo de teste de IC3	59
Figura 5.1 – Exemplos de Wafer Yield. Em (a) um exemplo de modelo de defeitos desagrupados (Unclustered) e em (b) um exemplo de defeitos em blocos (Clustered).....	67
Figura 5.2 – Exemplo de expansão da capacidade: variação do tempo do teste de produção (Δt) versus a variação do custo por unidade boa (ΔCPU_{good})	69
Figura 5.3 – Exemplo de Breakeven: variação do custo da atualização do sistema ATE (ΔATE) versus a variação do custo por unidade boa (ΔCPU_{good})	70
Figura 5.4 – Exemplo de análise do volume: variação do tempo de teste (Δt) versus a variação do custo por unidade boa (ΔCPU_{good}) e da variação do volume ($\Delta UPH_{insertions}$)	72
Figura 5.5 – Exemplo de efeito do tempo de Index: variação do tempo de teste (Δt) versus a variação do volume ($\Delta UPH_{insertions}$)	73
Figura 5.6 – Exemplo da análise de Downtime: variação da Utilização ($\Delta U\%$) versus as variações de unidades boas mensais (ΔUPM_{good}) e do custo por unidades boas (ΔCPU_{good})	74
Figura 5.7 – Exemplo da análise do Yield: variação do Yield ($\Delta Y\%$) versus as variações de volume ($\Delta UPH_{insertions}$ e ΔUPH_{good}) e do custo por unidades boas (ΔCPU_{good})	75
Figura 5.8 – Exemplo de MRTS: variação do Yield ($\Delta Y\%$) versus a variação do tempo de teste (Δt).....	76
Figura 5.9 – Exemplo de multi-site: variação do número de sites (Δn) versus as variações de volume (ΔUPM) e do custo por unidade boa (ΔCPU_{good})	78
Figura 6.1 – Impacto da variação do tempo do teste de produção (Δt) no custo por unidade boa (ΔCPU_{good}) em IC1.....	85
Figura 6.2 – Impacto da variação do tempo do teste de produção (Δt) no custo por unidade boa (ΔCPU_{good}) em IC1.....	87
Figura 6.3 – Impacto da variação do tempo de Index (Δi) no custo por unidade boa (ΔCPU_{good}) em IC1.....	87
Figura 6.4 – Variação da Utilização ($\Delta U\%$) versus as variações de unidades boas mensais (ΔUPM_{good}) e do custo por unidades boas (ΔCPU_{good}) de IC1	89
Figura 6.5 – Variação do Yield ($\Delta Y\%$) versus as variações de volume ($\Delta UPH_{insertions}$ e ΔUPH_{good}) e do custo por unidades boas (ΔCPU_{good}) de IC1	91
Figura 6.6 – Variação do número de sites (Δn) versus as variações de volume (ΔUPM) e do custo por unidade boa (ΔCPU_{good}) de IC1	93
Figura 6.7 – Impacto da variação do tempo do teste de produção (Δt) no custo por unidade boa (ΔCPU_{good}) em IC2.....	100
Figura 6.8 – Impacto da variação do tempo do teste de produção (Δt) no custo por unidade boa (ΔCPU_{good}) de IC2.....	101
Figura 6.9 – Impacto da variação do tempo de Index (Δi) no custo por unidade boa (ΔCPU_{good}) de IC2.....	102
Figura 6.10 – Variação da Utilização ($\Delta U\%$) versus as variações de unidades boas mensais (ΔUPM_{good}) e do custo por unidades boas (ΔCPU_{good}) de IC2	104

Figura 6.11 – Variação do Yield ($\Delta Y\%$) versus as variações de volume ($\Delta UPH_{insertions}$ e ΔUPH_{good}) e do custo por unidades boas (ΔCPU_{good}) de IC2	106
Figura 6.12 – Variação do número de sites (Δn) versus as variações de volume (ΔUPM) e do custo por unidade boa (ΔCPU_{good})	108
Figura 6.13 – Impacto da variação do tempo do teste de produção (Δt) no custo por unidade boa (ΔCPU_{good}) em IC3.....	114
Figura 6.14 – Impacto da variação do tempo do teste de produção (Δt) no custo por unidade boa (ΔCPU_{good}) de IC3.....	116
Figura 6.15 – Impacto da variação do tempo de Index (ΔI) na quantidade de dies por hora ($\Delta UPH_{insertions}$) de IC3	116
Figura 6.16 – Variação da Utilização ($\Delta U\%$) versus as variações de unidades boas mensais (ΔUPM_{good}) e do custo por unidades boas (ΔCPU_{good}) de IC3	118
Figura 6.17 – Variação do Yield ($\Delta Y\%$) versus as variações de volume ($\Delta UPH_{insertions}$ e ΔUPH_{good}) e do custo por unidades boas (ΔCPU_{good}) de IC3	120
Figura 6.18 – Variação do número de sites (Δn) versus as variações de volume (ΔUPM) e do custo por unidade boa (ΔCPU_{good})	122

LISTA DE TABELAS

Tabela 1.1 – Características da instrumentação tradicional versus instrumentação virtual	20
Tabela 6.1 – Custos de produção de IC1 em um cenário básico.....	81
Tabela 6.2 – Vazão e Yield de IC1 em um cenário básico	82
Tabela 6.3 – Compilação do cenário inicial para IC1.....	84
Tabela 6.4 – Análise da Utilização do ATE no teste de IC1	88
Tabela 6.5 – Análise da variação de Yield no teste de IC1	90
Tabela 6.6 – Análise do Multi-site no teste de IC1	92
Tabela 6.7 – Custos de produção de IC2 em um cenário básico.....	92
Tabela 6.8 – Vazão e Yield de IC2 em um cenário básico	96
Tabela 6.9 – Compilação do cenário inicial para IC2.....	98
Tabela 6.10 – Impacto da otimização da ATE para redução no tempo de teste no custo do teste de produção de IC1...99	
Tabela 6.11 – Análise da Utilização do ATE	103
Tabela 6.12 – Análise da variação de Yield	105
Tabela 6.13 – Análise do Multi-site	107
Tabela 6.14 – Custos de produção de IC3 em um cenário básico.....	110
Tabela 6.15 – Vazão e Yield de IC3 em um cenário básico	111
Tabela 6.16 – Compilação do cenário inicial para IC3.....	113
Tabela 6.17 – Análise da Utilização do ATE	117
Tabela 6.18 – Análise da variação de Yield	119

LISTA DE ABREVIATURAS E SIGLAS

AC	Alternate Current
ANT	Antena
ASIC	Application Specific Integrated Circuit
ASK	Amplitude-Shift Keying
ATE	Automatic Test Equipment
ATPG	Automatic Test Pattern Generation
BIST	Built-In Self-Test
CAD	Computer Aided Design
CI	Circuito Integrado
CLB	Configurable Logic Blocks
CLK	Clock
CPH	Cost per Hour
CPLD	Complex Programmable Logic Device
CPS	Cost per Second
CPU	Cost per Unit
CUT	Circuit Under Test
DAq	Data Acquisition
DC	Direct Current
Dep	Depreciation
DfT	Design for Testability
DL	Direct Labor
DRAM	Dynamic Random Access Memory
DUT	Device Under Test
EDA	Electronic Design Automation
EEPROM	Electrically Erasable Programmable Read-Only Memory
EJTAG	European Joint Test Action Group
FC	Fixed Cost
FPGA	Field-Programmable Gate Array
GND	Ground
GPIB	General Purpose Interface Bus
HSDIO	High Speed Digital Input Output
IC	Integrated Circuit

IEEE	Institute of Electrical and Electronics Engineers
I/O	Input/Output
JTAG	Joint Test Action Group
LAN	Local Area Network
LF	Low Frequency
MTBF	Mean Time Between Failures
MOS	Metal Oxide Semiconductor
MRTS	Marginal Rate of Technical Substitution
OH	Overhead
PC	Personal Computer
PCB	Printed Circuit Board
PCI	Peripheral Component Interconnect
PMU	Power Meter Unit
PXI	PCI eXtensions for Instrumentation
RFID	Radio Frequency Identification Device
RPCT	Reduced Pin Count Testing
SEL	Selection
SI	Scan In
SMU	Source Meter Unit
SO	Scan Out
SoC	System-on-a-Chip
SSI	Small Scale Integration
STIL	Standard Test Interface Language
TAM	Test Access Mechanism
TAP	Test Access Port
TC	Total Cost
TCK	Test Clock
TDC	Test Data Compression
TDI	Test Data In
TDO	Test Data Out
TID	Tag IDentification
TMS	Test Mode Select
TTM	Time-to-Market
U	Utilization

UFRGS	Universidade Federal do Rio Grande do Sul
UPH	Units per Hour
UPM	Units per Month
USB	Universal Serial Bus
VC	Variable Cost
VLSI	Very Large Scale Integration
Y	Yield

SUMÁRIO

1 INTRODUÇÃO	14
1.1 Histórico dos testes de produção de semicondutores	15
1.2 ATE	17
1.3 Instrumentação virtual	18
1.4 Low-cost ATE	20
1.5 Custo-benefício de ATEs Low-cost	21
2 MECANISMOS INTEGRADOS DE TESTES DE SEMICONDUCTORES	24
2.1 Testabilidade	24
2.2 DfT	25
2.2.1 Scan	26
2.2.1.1 ATPG	27
2.2.1.2 Full Scan e Partial Scan	28
2.2.1.3 Múltiplas cadeias Scan	28
2.2.2 BIST	29
2.2.3 RPCT	31
2.2.4 Boundary Scan	32
2.3 Testadores baseados em DfT	32
3 DESENVOLVIMENTO DE TESTES DE SEMICONDUCTORES	34
3.1 Single Site / Multi-site	34
3.2 Compressão / Descompressão	37
3.3 Testes paramétricos	39
3.3.1 Testes paramétricos DC	39
3.3.2 Testes paramétricos AC	40
3.4 Desenvolvimento de programas de teste	41
3.4.1 Desenvolvimento de testes em software	42
3.4.2 Desenvolvimento de testes em hardware	44
3.4.2.1 FPGA	45
3.4.2.2 Processador embarcado no FPGA	46
4 ESTUDO DE CASOS	47
4.1 IC1	47
4.1.1 Descrição do circuito integrado	47
4.1.2 Setup do teste de produção	48
4.1.3 Sequência de teste	50
4.2 IC2	51
4.2.1 Descrição do circuito integrado	51
4.2.2 Setup do teste de produção	52
4.2.3 Sequência de teste	53
4.2.4 Multi-site	54
4.2.5 Trigger e janelamento	54
4.3 IC3	56
4.3.1 Descrição do circuito integrado	56
4.3.2 Setup do teste de produção	56
4.3.3 Sequência de teste	58
4.3.4 Multi-site	59
4.3.5 Compressão/descompressão	59
5 MODELOS ECONÔMICOS DO TESTE DE SEMICONDUCTORES	61
5.1 Modelo econômico do custo do teste	61
5.1.1 Custos fixos mensais	62
5.1.1.1 Depreciação de equipamento	62
5.1.2 Custos variáveis mensais	62
5.1.2.1 Trabalho direto	63
5.1.2.2 Overhead	63
5.1.3 Custos totais mensais	63
5.1.4 Custos médios mensais	63

5.1.5 O curto-prazo e o longo-prazo	64
5.1.6 Custo por hora (fixo).....	65
5.1.7 Custo por hora (utilizado)	65
5.1.8 Custo por segundo (utilizado)	65
5.1.9 Custo por unidade boa	66
5.2 Produção	66
5.2.1 Yield	66
5.2.2 Unidades por hora (inserções)	67
5.2.3 Unidades por hora (boas unidades)	68
5.2.4 Unidades por mês (boas unidades)	68
5.3 Aplicações econômicas do custo do teste	69
5.3.1 Análise da expansão da capacidade	69
5.3.1.1 Breakeven	70
5.3.1.2 Capacidade.....	71
5.3.2 Análise do volume	71
5.3.2.1 Efeito do tempo de index	72
5.3.2.2 Tempo de index e a capacidade	73
5.3.3 Análise da utilização (downtime)	74
5.3.4 Análise do yield	75
5.3.4.1 Taxa marginal de substituição técnica.....	75
5.3.5 Análise do multi-site.....	76
5.3.5.1 Ganho de volume em multi-site baseado no tempo de teste	76
5.3.5.2 Multi-site overhead	77
5.3.5.3 Ganho de volume em multi-site baseado nos tempos de teste e index	77
5.3.5.4 Análise de capacidade na aplicação multi-site	78
6 ANÁLISE ECONÔMICA DOS ESTUDOS DE CASO	80
6.1 Análise econômica do circuito integrado IC1	80
6.1.1 Dados básicos.....	80
6.1.2 Custos totais mensais	81
6.1.3 Utilização	82
6.1.4 Vazão e Yield	82
6.1.5 Variáveis de custo e de produção	82
6.1.5.1 Custo fixo mensal	82
6.1.5.2 Custo por hora (fixo)	83
6.1.5.3 custo por hora (utilizado).....	83
6.1.5.4 Unidades por hora (inserções).....	83
6.1.5.5 Unidades por hora (boas).....	83
6.1.5.6 Custo por unidade boa.....	83
6.1.5.7 Custo por segundo (utilizado).....	83
6.1.5.8 Unidades por mês (boas unidades).....	84
6.1.6 Compilação do cenário inicial	84
6.1.7 Aplicações econômicas do custo do teste	85
6.1.7.1 Análise da expansão da capacidade	85
6.1.7.2 Análise de capacidade	86
6.1.7.3 Análise de vazão (throughput)	86
6.1.7.4 Análise de utilização (downtime)	88
6.1.7.5 Análise de yield.....	89
6.1.7.6 Análise de multi-site	91
6.2 Análise econômica do circuito integrado IC2	94
6.2.1 Dados básicos.....	94
6.2.2 Custos totais mensais	95
6.2.3 Utilização	95
6.2.4 Vazão e Yield	96
6.2.5 Variáveis de custo e de produção	96
6.2.5.1 Custo fixo mensal	96
6.2.5.2 Custo por hora (fixo)	96
6.2.5.3 Custo por hora (utilizado)	97

6.2.5.4 Unidades por hora (inserções).....	97
6.2.5.5 Unidades por hora (boas).....	97
6.2.5.6 Custo por unidade boa.....	97
6.2.5.7 Custo por segundo (utilizado).....	97
6.2.5.8 Unidades por mês (boas unidades).....	97
6.2.6 Compilação do cenário inicial	98
6.2.7 Aplicações econômicas do custo do teste	98
6.2.7.1 Análise da expansão da capacidade	99
6.2.7.2 Análise de capacidade	100
6.2.7.3 Análise de vazão (throughput)	101
6.2.7.4 Análise de utilização (downtime)	102
6.2.7.5 Análise de yield.....	104
6.2.7.6 Análise de multi-site	106
6.3 Análise econômica do circuito integrado IC3	109
6.3.1 Dados básicos.....	109
6.3.2 Custos totais mensais	110
6.3.3 Utilização	110
6.3.4 Vazão e Yield	111
6.3.5 Variáveis de custo e de produção	111
6.3.5.1 Custo fixo mensal	111
6.3.5.2 Custo por hora (fixo)	111
6.3.5.3 Custo por hora (utilizado)	112
6.3.5.4 Unidades por hora (inserções).....	112
6.3.5.5 Unidades por hora (boas).....	112
6.3.5.6 Custo por unidade boa.....	112
6.3.5.7 Custo por segundo (utilizado).....	112
6.3.5.7 Unidades por mês (boas unidades).....	112
6.3.6 Compilação do cenário inicial	113
6.3.7 Aplicações econômicas do custo do teste	114
6.3.7.1 Análise da expansão da capacidade	114
6.3.7.2 Análise de capacidade	115
6.3.7.3 Análise de vazão (throughput)	115
6.3.7.4 Análise de utilização (downtime).....	117
6.3.7.5 Análise de yield.....	118
6.3.7.6 Análise de multi-site	120
7 CONCLUSÕES	125
REFERÊNCIAS.....	128
ANEXO A <CUSTO DOS TESTADORES DOS CENÁRIOS BÁSICOS >	131

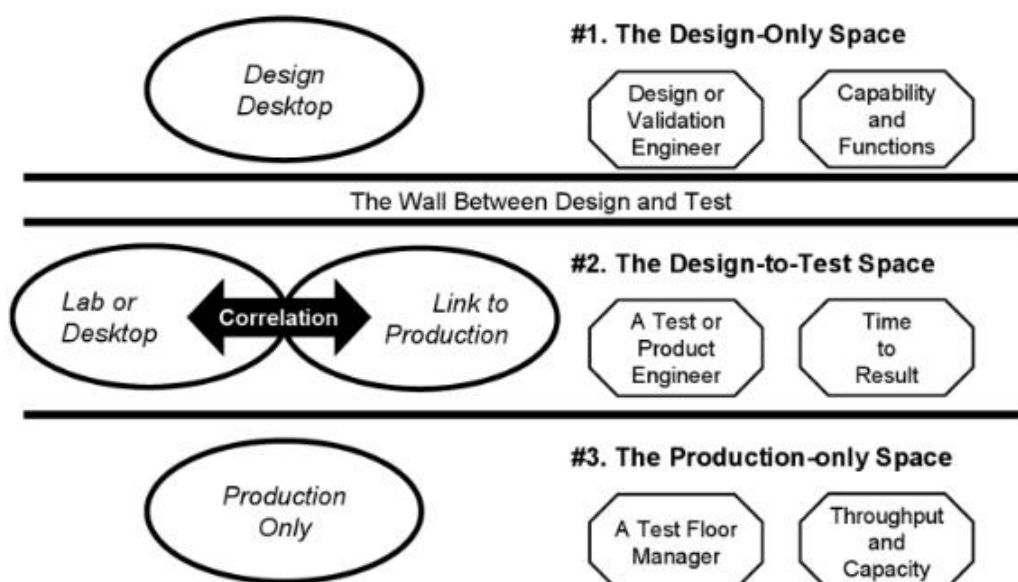
1 INTRODUÇÃO

O teste de circuitos integrados VLSI (Very Large Scale Integration) é feito em vários locais diferentes e por vários tipos de pessoas diferentes. Quando um novo chip é projetado e fabricado pela primeira vez, o teste deve verificar a integridade do projeto e os procedimentos de teste. Isso normalmente requer o envolvimento dos engenheiros do projeto e os testes geralmente são executados no laboratório de Design em vez de uma fábrica. Com base nos resultados, tanto o projeto do chip quanto os procedimentos de teste podem ser alterados. Esta etapa é chamada de testes de verificação ou testes de bring-up (BUSHNELL & AGRAWAL, 2002).

Testes de bring-up bem-sucedidos geralmente resultam em alguns bons chips; estes são normalmente utilizados pelos engenheiros de sistemas ou de produtos para desenvolvimento de protótipos. A verificação bem-sucedida também sinaliza o início da produção. Produção significa a fabricação em grande escala. Os chips fabricados são testados na fábrica. Isso é chamado de teste de fabricação ou teste de produção.

Finalmente, quando os chips fabricados são recebidos por um cliente, eles podem ser novamente testados para garantir a qualidade. Este teste, conhecido como inspeção de recebimento ou teste de aceitação, é conduzido ou pelo usuário ou por algum desenvolvedor de teste independente devidamente homologado (BUSHNELL & AGRAWAL, 2002). A Fig. 1.1 representa as diferentes etapas de teste de um circuito integrado.

Figura 1.1 – Diferentes etapas de teste de um circuito integrado



Fonte: (Gizopoulos, 2006)

Entre as etapas de teste descritas, o teste de produção desempenha um papel chave no processo global de inserir um produto no mercado; sem este teste, seria impossível entregar chips de qualidade para o cliente. Para garantir esta qualidade, todos os chips produzidos são submetidos ao teste de produção (VERMEULEN, 2004).

1.1 Histórico dos testes de produção de semicondutores

Por muito tempo, os testes de produção de chips foram vistos como uma parte que não agregava valor ao processo de desenvolvimento de semicondutores. O foco principal do teste era garantir que o processo de manufatura produziu exatamente o que foi submetido à fabricação. Se o processo de manufatura não continha erros, então o teste não seria requisitado – assim, o teste era visto mais como uma despesa ou uma taxa. Até o final da década de 90 os testes eram aplicados como uma mistura de verificação do processo de projeto e verificação do processo de manufatura – pelo uso de vetores comportamentais ou funcionais (LORANGER, 2003).

Com a evolução da tecnologia dos semicondutores, os projetos migraram de integrações em pequena escala (Small Scale Integration – SSI) para integrações muito mais densas (Very Large Scale Integration – VLSI) com sistemas em um único chip (System-on-a-Chip – SoC) contendo milhares de transistores; wafers chegaram a 300 mm de diâmetro; o tamanho dos dispositivos diminuiu drasticamente com a redução da largura dos transistores. Projetos modernos de SoCs são tão ricos e complexos em funcionalidades e em frequências de aplicação que é difícil criar ambientes funcionais necessários para verificá-los (GIZOPOULOS, 2006).

Todos esses avanços fizeram com que o uso de vetores funcionais, usados como método de verificação do processo de fabricação, se transformasse em uma desvantagem onerosa. Leva mais tempo para desenvolver os vetores, eles são mais adequados para verificações de projeto, e eles devem ser classificados em relação a modelos de falhas e defeitos para transformá-los em vetores de teste de produção adequados; mas, o principal problema, é que vetores funcionais encarecem o teste desempenhado pelos testadores de semicondutores, conhecidos como ATE (Automatic Test Equipment).

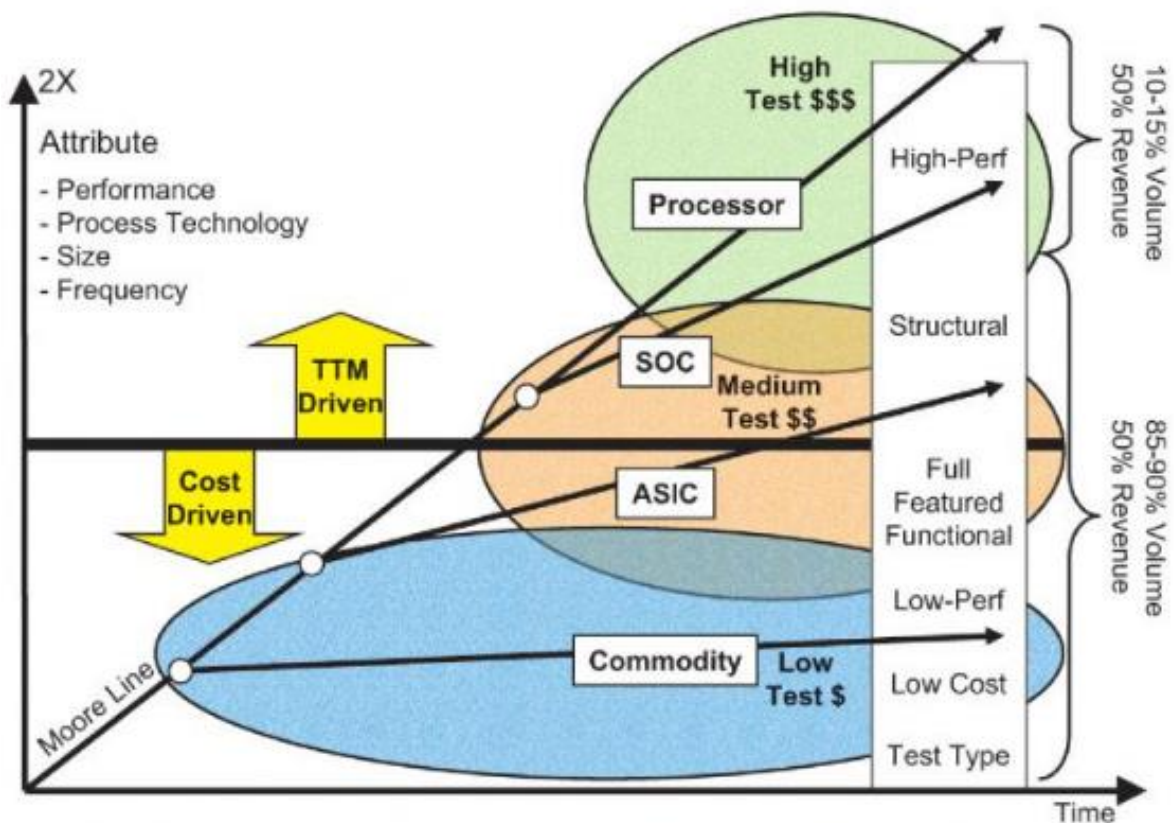
Um outro fator que deve ser levado em consideração para o custo do teste é o fato de que os ATEs devem avançar tecnologicamente conforme os dispositivos que devem ser testados; de acordo com Gizopoulos: "The semiconductor and the ATE are caught in an endless treadmill where the semiconductor advances, then the ATE must advance in order to test the semiconductor, then the semiconductor advances again and so on. During this advancement, as

the cutting-edge semiconductors push the technological envelope, older versions branch off the relentlessly growing Moore curve to become their own markets and business." (2006, p. 184).

A Fig. 1.2 ilustra a curva de Moore e, graficamente, representa os diferentes mercados de dispositivos semicondutores. Dispositivos acima de um determinado ponto na curva de Moore não são conduzidos pelos custos de desenvolvimento tanto quanto são conduzidos por Time-to-Market (TTM). TTM significa que há uma janela de mercado onde o potencial de lucro do semicondutor é maximizado e perder esta janela pode resultar em um lucro mínimo ou até mesmo não haver retorno suficiente para compensar as despesas de desenvolvimento e fabricação (GIZOPOULOS, 2006).

Devido ao mercado extremamente competitivo, com o tempo, a função de custo de teste passou a exceder a função de custo de desenvolvimento de semicondutores - tornando o custo do teste uma influência dominante sobre o processo de produção dos chips. Isso impulsionou o desenvolvimento da geração de vetores estruturais – vetores determinísticos gerados em função de um modelo de falhas.

Figura 1.2 – Os mercados de semicondutores, a lei de Moore e o teste de dispositivos.



Fonte: (Gizopoulos, 2006)

Observa-se, portanto, que testar também aumenta o custo global do produto. Um teste tem que ser bom (com alta cobertura de defeitos), barato (considerando-se o nível de estabilidade do chip e o tempo de teste), e rápido (tempos de desenvolvimento do teste e introdução no mercado). Na prática, busca-se um custo-benefício entre estes três aspectos para cada produto e segmento de mercado; desta forma, seria muito aceitável se um aumento no custo de teste resultasse em uma diminuição em maior escala de outros custos do produto, por exemplo, melhorando a quantidade de chips bons (conhecido como Yield) ou reduzindo o tempo de inserção no mercado (TTM) (VERMEULEN, 2004).

1.2 ATE

Os testes de circuitos integrados são executados por equipamentos de teste que têm o propósito básico de condicionar os sinais de entrada e monitorar os sinais de saída de um determinado dispositivo. Estes testadores são popularmente conhecidos como Automatic Test Equipment (ATE). As mudanças aceleradas na tecnologia VLSI tem disparado o desenvolvimento de ATEs cada vez mais modernos. A seleção de um ATE para um determinado dispositivo deve levar em consideração as especificações deste dispositivo; os fatores mais importantes são: velocidade (frequência de relógio do dispositivo), precisão, número de pinos de entrada e saída (I/O), etc. Outras considerações na seleção de um testador são: custo, confiabilidade, manutenção, facilidade de programação, etc. (BUSHNELL & AGRAWAL, 2002).

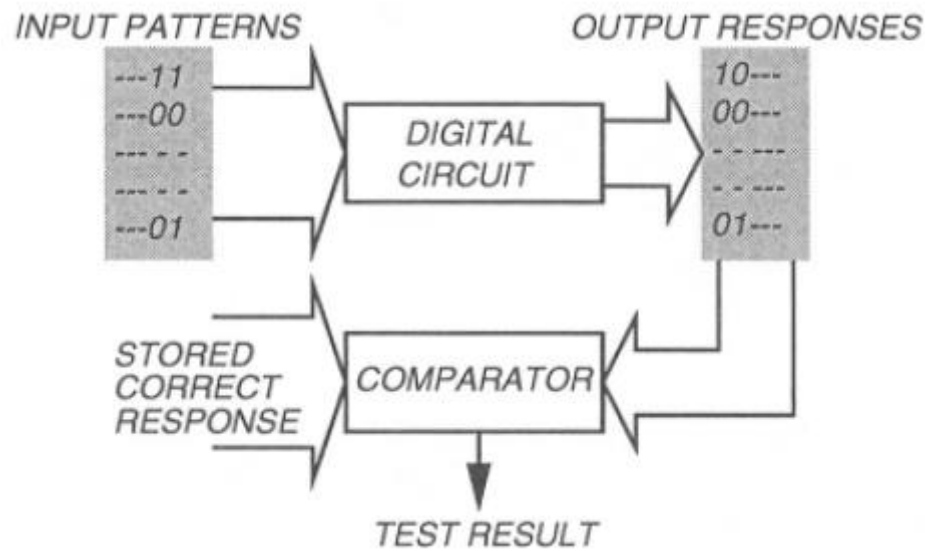
O ATE aplica padrões de teste a um dispositivo a ser testado (DUT – Device Under Test), analisa as respostas obtidas deste DUT e faz a devida marcação deste dispositivo como “bom” ou “ruim”. O DUT é algumas vezes chamado de Circuit Under Test (CUT). O ATE é controlado por um computador especializado responsável pelo condicionamento de sinais e pela sequência de teste, uma ou mais cabeças de teste (Test Heads – que fazem a interface com o Wafer), os quais contém buffers posicionados em proximidade do DUT, e alguma instrumentação geral como fontes de alimentação, fontes com capacidade de medição (SMU – Source Meter Unit), etc.

O ATE é conectado ao equipamento externo que mecanicamente manipula Wafers ou CIs encapsulados sendo testados. A estes equipamentos de manipulação de Wafers é dado o nome de Probe Stations ou simplesmente Probers. O mecanismo de movimentação dos chips é, em geral, pneumático e muitas probers também utilizam ar comprimido. Durante o teste de um Wafer, uma Probe Card mecanicamente faz a interface da cabeça de teste do ATE com um

conjunto de Probe-Needles (agulhas-ponteiras), os quais efetivamente fazem o contato com os Pads de teste do DUT (BUSHNELL & AGRAWAL, 2002).

Para determinar o bom funcionamento de um DUT, as respostas obtidas do teste são comparadas a um padrão bem conhecido. A Fig. 1.3 mostra o princípio básico do teste de semicondutores.

Figura 1.3 – Princípio básico do teste de semicondutores.



Fonte: (BUSHNELL & AGRAWAL, 2002)

Típicas estruturas ATE, conhecidas como High-end ATEs, são extremamente caras (BUSHNELL & AGRAWAL, 2002). Em adição, o crescente custo de um ATE para dispositivos SoC é uma grande preocupação. Em função do aumento da demanda do número de pinos, velocidade, precisão e memória para armazenamento de vetores, o custo de um High-end ATE para um conjunto completo de pinos, à velocidade de teste funcional, é previsto para ser excessivamente alto. Como resultado, o uso de ATEs de baixo custo (denominados Low-cost), que desenvolvem teste estrutural ao invés de teste funcional, está aumentando cada vez mais, alavancado pela redução dos custos de teste (WANG, 2007).

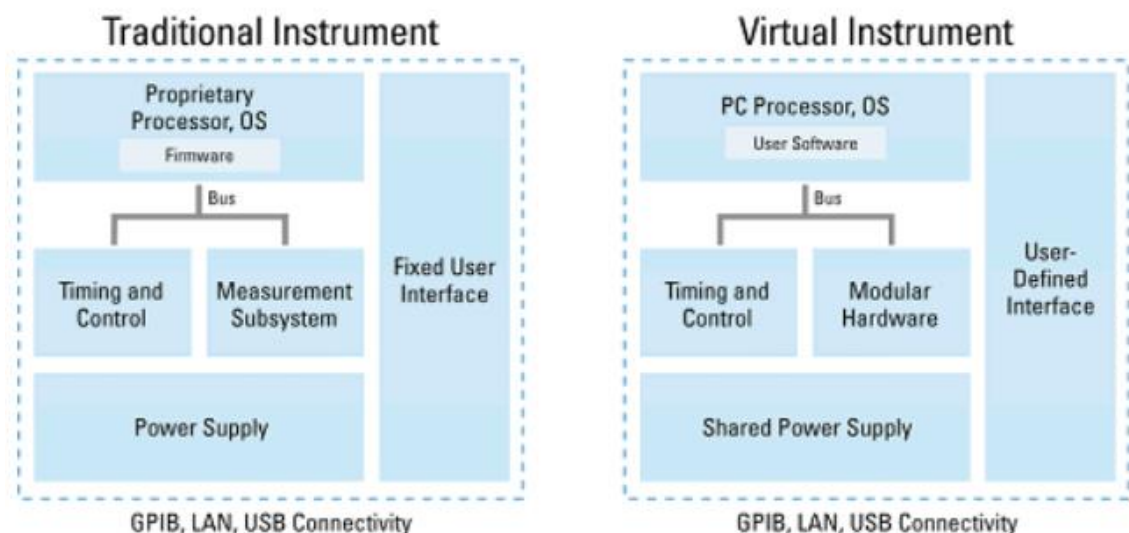
1.3 Instrumentação virtual

A introdução de computadores no campo da instrumentação começou como uma maneira de acoplar um instrumento individual a um computador, de forma a permitir que a exibição de dados de medição se desse em um painel de instrumentos virtual, na tela do

computador, utilizando um software apropriado. Esta topologia deu origem a uma tecnologia comercial de medição amplamente utilizada por engenheiros e cientistas: a instrumentação virtual. Uma plataforma de instrumentação virtual é composta de computadores combinados com dispositivos de hardware para aquisição de dados e de um software de instrumentação virtual.

Fundamentalmente, hoje há dois tipos de instrumentação: virtual e tradicional. A Fig. 1.4. mostra seus respectivos diagramas e as similaridades entre as duas abordagens. Ambas têm hardware de medição, um chassi, uma fonte, um barramento, um processador, um sistema operacional e uma interface de usuário. Pelo fato das abordagens usarem os mesmos componentes básicos, a diferença mais óbvia de um ponto de vista puramente de hardware é como os componentes são combinados. Um instrumento tradicional, ou stand-alone, coloca todos os componentes na mesma caixa para compor um instrumento discreto. Um exemplo de um instrumento tradicional é um instrumento controlado manualmente por GPIB, USB ou LAN/Ethernet. Esses instrumentos são designados como entidades discretas e não são primariamente designados para uso em um sistema. O processamento de software e a interface de usuário são fixos no instrumento em si e podem ser atualizados somente quando e como o fornecedor escolher (por exemplo, através de uma atualização de firmware). Deste modo, é impossível para o usuário realizar medições não inclusas na lista de funções de um instrumento tradicional, o que torna difícil executar medidas de novos padrões ou modificar o sistema caso haja mudanças nas necessidades (NATIONAL INSTRUMENTS, 2013).

Figura 1.4 – Diferenças de arquiteturas entre as abordagens tradicional e virtual de instrumentação.



Fonte: (National Instruments, 2013)

Em contraste, um instrumento virtual definido por software torna os dados brutos adquiridos pelo hardware disponíveis ao usuário para definir suas próprias medições e a interface de usuário. Com essa abordagem de definição por software, os usuários podem fazer medições personalizadas, realizar medições para padrões emergentes ou modificar o sistema se os requisitos mudarem (por exemplo, adicionar instrumentos, canais ou medições). Como os conceitos de software definidos pelo usuário podem ser aplicados a instrumentos tradicionais (de aplicações específicas), eles são idealmente combinados com instrumentos modulares (de propósito geral) onde toda flexibilidade e desempenho podem ser explorados. Essa combinação de software flexível definido pelo usuário e de componentes de hardware escaláveis é a essência da instrumentação modular (NATIONAL INSTRUMENTS, 2013). A Tabela 1.1 apresenta algumas características que diferenciam as duas abordagens.

Tabela 1.1 – Características da instrumentação tradicional versus instrumentação virtual

Traditional Instruments	Virtual Instruments
Vendor-defined	User-defined
Function-specific, stand-alone with limited connectivity	Application-oriented system with connectivity to networks, peripherals and applications
Hardware is the key	Software is the key
Expensive	Low-cost, reusable
Closed, fixed functionality	Open, flexible functionality leveraging off familiar computer technology
Slow turn on technology (5-10 year life cycle)	Fast turn on technology (1-2 year life cycle)
Minimal economics of scale	Maximum economics of scale
High development and maintenance	Software minimizes development and maintenance costs

Fonte: (National Instruments, 2013)

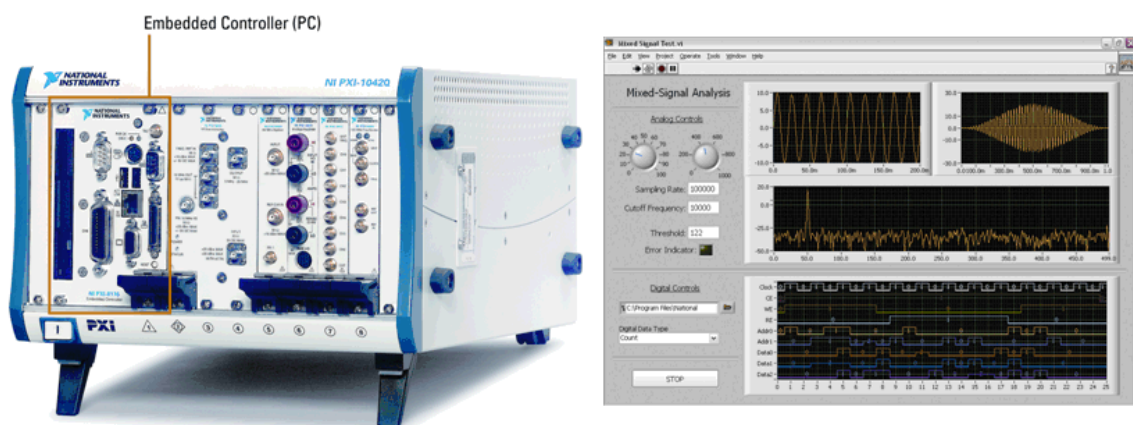
1.4 Low-cost ATE

A instrumentação modular, através da arquitetura PXI (PCI eXtensions for Instrumentation), cresceu massivamente nos últimos anos; várias empresas como Keysight (antiga Agilent), National Instruments, Rohde&Schwarz, entre outras desenvolvem módulos de instrumentação para esta plataforma. Isso possibilita que os desenvolvedores de software de teste disponham de uma ampla gama de equipamentos de instrumentação que podem ser empregados na composição de ATEs. Muitas empresas vêm desenvolvendo ATEs de baixo

custo, baseados em instrumentação virtual e que proporcionam modularidade e flexibilidade para os diversos tipos de testes de semicondutores (NELSON, 2013).

PXI define especificações para uma plataforma PC robusta com as finalidades de medição e automação. A instrumentação modular PXI aproveita o barramento PCI (Peripheral Component Interconnect) de alta velocidade, o qual compõe os computadores desktop atuais. Como resultado, os desenvolvedores da plataforma PXI podem desfrutar de todos os benefícios do PCI dentro de uma arquitetura que suporta recursos mecânicos, elétricos e de software que fazem sentido para teste e medição, aquisição de dados e aplicações de computação industriais (NATIONAL INSTRUMENTS, 2013). A Fig. 1.5 apresenta um exemplo de plataforma PXI com um software de teste e medição, desenvolvido para atividades fim específicas de um dispositivo.

Figura 1.5 – Exemplo de plataforma PXI e de software de aplicação de testes e medição.



Fonte: (National Instruments, 2013)

1.5 Custo-benefício de ATEs Low-cost

Com o exposto neste capítulo de introdução, observa-se que nas atuais opções de ferramentas de teste de semicondutores disponíveis existem dois pólos bem definidos de ATEs:

- High-end ATEs que possibilitam elevada capacidade de vazão de teste de dispositivos (throughput) e possuem ampla memória. Em contrapartida são extremamente caros, apresentam depreciação com maior prejuízo e possuem muitos recursos (de forma que, em vários casos, muitos destes recursos acabam nem mesmo sendo utilizados). Empresas como Teradyne e Advantest são tradicionais fabricantes de High-end ATEs;
- Low-Cost ATEs que, em virtude de sua modularidade, propiciam o uso adequado dos recursos, reduzindo o custo de aquisição e de depreciação com o

tempo. Em contrapartida tendem a oferecer menor throughput e uma implementação de teste mais onerosa. Empresas como National Instruments, Keysight Technologies e Rhode&Schwarz são tradicionais fabricantes de módulos para Low-cost ATEs.

Neste contexto, observa-se que a aquisição e a utilização de ATEs high-end podem ser muito onerosas para uma fabricante de semicondutores, principalmente no início da produção de um circuito integrado. Normalmente no início da produção de um dispositivo, os volumes tendem a ser baixos e, gradativamente, se o CI em questão tiver boa absorção do mercado, este volume tende a aumentar; muitas vezes este volume tende a um limite presumível antes mesmo do início da produção, o qual pode ser presumido através de ferramentas de observação do mercado consumidor de dispositivos eletrônicos.

Além disso, circuitos de baixa complexidade como o caso de dispositivos “Comodities” – como pode ser visto na Fig. 1.2 – e até mesmo alguns ASICs e SOCs tendem a sub-utilizar ferramentas de teste high-end. Este tipo de testadores disponibilizam uma série de recursos de ponta e que, usualmente, não permitem modularidade. Por exemplo, pode-se adquirir um ATE high-end que proporcione o teste de 128 dispositivos em paralelo e em altíssima velocidade; porém a baixa complexidade do dispositivo a ser testado pode fazer com que este dispositivo tenha uma enorme vazão de teste que é desnecessária, ou seja, como resultado o ATE tenderá a ficar a maior parte do tempo ocioso, pois já terminou de testar os dispositivos a serem entregues.

O presente trabalho tem como objetivo quantificar o custo da utilização de uma plataforma de teste Low-cost com base nas ferramentas de mensuração dos aspectos econômicos que permeiam os testes de produção de semicondutores. Busca-se, portanto, definir os limites de operação deste tipo de plataforma, procurando-se determinar em qual ocasião esta escolha pode não ser mais eficaz para a economia de tempo e financeira do teste. Com estes dados um engenheiro de testes poderá determinar, antecipadamente, qual o custo do teste que uma determinada estrutura ATE pode atingir por unidade de tempo; portanto, este trabalho procura apresentar uma ferramenta de prognóstico, determinando as tendências futuras de volume e de custo do teste de produção de um CI. Além disso, este trabalho pretende responder a uma questão muito importante e que permeia o trabalho dos engenheiros que arquitetam o modelo de testes: qual é a vazão máxima que minha plataforma ATE pode atingir e qual é o custo do teste para esta vazão máxima. A resposta a esta pergunta pode definir a escolha de aquisição entre uma ferramenta de testes Low-cost ou uma High-end.

Em muitos casos uma estrutura ATE deve ser atualizada, em geral com o objetivo de aumentar o volume. Nestes casos, deve-se avaliar se uma atualização do sistema de teste atual é suficiente ou se uma nova estrutura de teste deverá ser adquirida para suprir a demanda solicitada e, ao mesmo tempo, garantir o menor custo de teste do dispositivo.

Para alcançar este objetivo, este trabalho apresenta três testes de produção que foram desenvolvidos para três respectivos CIs distintos. O desenvolvimento destes testes de produção servem de estudo de caso para as análises econômicas que procuram prover as previsões de capacidade destes ATEs para estes dispositivos.

Para uma melhor organização, este trabalho foi dividido em duas partes: na primeira parte são expostos os aspectos técnicos do teste de produção relevantes para este trabalho; esta parte do trabalho é organizada como segue. O capítulo 1 introduz o tema e define aspectos básicos do teste de produção de semicondutores. O capítulo 2 define os elementos externos ao DUT e que compõem o teste de produção. O capítulo 3 define os mecanismos integrados ao circuito integrado e que possibilitam a testabilidade do DUT. O capítulo 4 expõe três estudos de caso de teste de circuitos integrados desenvolvidos e em operação com plataformas de teste Low-cost.

Na segunda parte do trabalho são expostos os aspectos econômicos do teste de produção. No capítulo 5 é exposto um modelo econômico do teste de semicondutores, onde são detalhados matematicamente vários pontos relevantes que contribuem para a otimização financeira do teste. No capítulo 6 é realizada a análise econômica dos estudos de caso apresentados no capítulo 4, através das ferramentas de análise descritas no capítulo 5. As conclusões gerais e as sugestões de trabalhos futuros são apresentadas no capítulo 7.

2 MECANISMOS INTEGRADOS DE TESTES DE SEMICONDUTORES

Com o intuito de atender a demanda de um mercado consumidor cada vez mais exigente de componentes eletrônicos, observa-se a necessidade da realização de testes de qualidade, de forma a garantir as especificações de confiabilidade, custo e tempo. Para alcançar este objetivo, é imprescindível a utilização de soluções de projeto onde o teste é previamente visado. (LUBASZEWSKI, 2000).

A este contexto é dado o nome Design For Testability (DfT) ou Projeto visando o Teste, o qual é detalhado a seguir.

2.1 Testabilidade

A noção de testabilidade de um circuito é definida como a facilidade com que pode-se controlar e observar os valores lógicos presentes em um determinado nó de um circuito. Quanto melhor for a testabilidade de um circuito, mais fácil será a geração dos vetores de teste para este mesmo circuito. A testabilidade é composta por dois conceitos: a controlabilidade e a observabilidade.

A controlabilidade de um nó é uma medida da facilidade com que conseguimos impor nesse nó um determinado valor lógico. Um CI é um dispositivo monolítico, com raros ou até mesmo nenhum ponto de acesso a nós internos do circuito; usualmente, os únicos nós com acesso físico são os que correspondem aos seus pinos de entrada e saída. Com isso, conclui-se que é mais difícil impor um valor lógico desejado em um nó interno, se este mesmo nó possui baixos índices de controlabilidade.

Da mesma forma, a observabilidade de um nó é uma medida da facilidade com que consegue-se propagar o valor lógico deste mesmo nó; um vetor só fará a detecção de uma falha se o sinal de erro desse nó puder ser propagado até uma saída (FERREIRA, 1998).

A testabilidade pode ser melhorada através de mecanismos integrados no sistema que permitem a facilidade de acesso a pontos internos do componente, através dos quais se pode aplicar o teste e avaliar a resposta deste no próprio chip.

2.2 DfT

As técnicas de DfT procuram melhorar a testabilidade de um CI, em geral adicionando circuitos internos, de forma a melhorar a controlabilidade e a observabilidade do dispositivo em teste (DUT). Enquanto que a implementação destes circuitos adicionais de DfT podem aumentar o tempo de projeto do CI, a redução resultante no tempo de teste geralmente supera o tempo de projeto adicionado. Isso deve-se ao fato de que é realizada uma redução no tempo de colocação do dispositivo no mercado em função da diminuição do tempo de teste por dispositivo (STROUD, 2002).

Os mecanismos que permitem a acessibilidade a pontos de teste internos tanto para a aplicação de estímulos quanto para a avaliação de respostas ao teste dentro do próprio chip e que permitem a detecção de erros de forma concorrente à aplicação são exemplos de estruturas que podem ser integradas em circuitos para assegurar a testabilidade do sistema (LUBASZEWSKI, 2000).

Algumas importantes constatações foram levantadas, a partir de estudos de caso feitos por várias companhias, com respeito a projetos incorporando técnicas de DfT; de acordo Stroud, algumas destas conclusões incluem:

- "The cost of conventional test development without DFT is about equal to that of the actual design cost, while the test development cost for designs that incorporate DFT is about 40% of the conventional test development costs for non-DFT designs;
- The reduction in manufacturing costs for products that incorporate DFT is greater than additional design costs required to incorporate DFT;
- ATE costs for ASICs that incorporate BIST are about 1/3 to 1/6 the cost of ATE for ASICs that do not incorporate BIST;
- Projects that are over-budget but on-time lose much less profit than projects that are on-budget but are late with respect to the target market window." (2002, p. 43-44).

As técnicas de DfT podem ser aplicadas de duas formas: DfT Ad-hoc e DfT estruturado. O método de DfT Ad-hoc baseia-se simplesmente nas "boas práticas de projeto", oriundas da experiência prévia em projetos bem-sucedidos que, se aplicadas corretamente, aumentam significativamente a controlabilidade e a observabilidade dos sinais. Apesar deste método desprezar a necessidade de inserção de circuitos internos e sinais ao CI, a sua deficiência consiste no fato de que o aumento do tamanho e da complexidade dos circuitos dificulta a

implementação desta técnica de DfT. Portanto, a forma de DfT estruturada ganhou popularidade; neste método, lógica extra e sinais são adicionados ao circuito de forma a permitir o teste de acordo com alguns procedimentos pré-definidos (BUSHNELL & AGRAWAL, 2002).

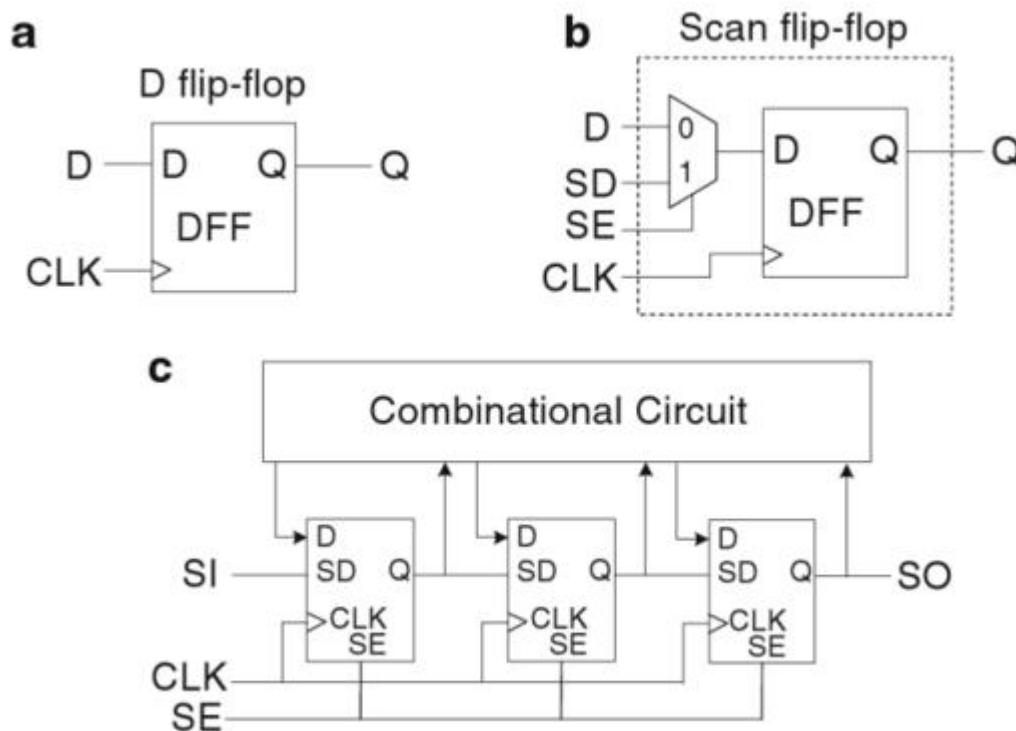
A seguir são descritos alguns dos métodos de DfT mais utilizados em dispositivos eletrônicos.

2.2.1 Scan

No teste de circuitos digitais a técnica mais difundida é conhecida como Scan Path ou simplesmente Scan. Esta técnica estruturada faz uso da varredura de sinais para melhorar a observabilidade e a controlabilidade de nodos internos de circuitos digitais. Quando em modo de teste, um conjunto de flip-flops é conectado em configuração de shift-register, de forma a possibilitar a inserção de vetores de teste (scan-in) e a aquisição das respostas aos testes já aplicados internamente (scan-out); este encadeamento de flip-flops é conhecido como cadeia Scan (Scan-chain). Os dados são deslocados serialmente através da cadeia Scan, na frequência do clock atribuído ao circuito digital. O vetor resposta extraído na saída da cadeia é então comparado a um vetor esperado bem conhecido, possibilitando assim atestar se o DUT está funcionando corretamente (LUBASZEWSKI, 2000).

Os flip-flops utilizados na topologia Scan diferem de flip-flops convencionais, pois utilizam um multiplexador em sua entrada que faz a seleção entre o dado normal (pino D) e o dado Scan (pino SD). O modo de operação é controlado pelo pino SE que determina esta escolha. Estes controles na cadeia fazem com que qualquer flip-flop Scan no interior do CI seja controlável, como se ele estivesse acessível na entrada, para que ele alimente as entradas da lógica combinacional com os valores de scan-in. Da mesma forma, as respostas dos circuitos combinacionais são capturadas pelos flip-flops Scan no modo normal de operação e então deslocadas para fora (scan-out) no modo de teste para fazê-las observáveis. A entrada SI representa o ponto único de inserção do vetor de teste e a saída SO o ponto único de extração das respostas recolhidas do CUT (EICHELBERGER et al., 1978). A Fig 2.1 mostra o flip-flop Scan e um exemplo de Scan-chain.

Figura 2.1 – (a) Flip-flop D normal, (b) Flip-flop Scan equivalente, (c) Exemplo de cadeia Scan



Fonte: (Lubaszewski, 2012)

2.2.1.1 ATPG

A Geração Automática dos Padrões de Teste (ATPG) é o processo automático de geração de um conjunto de padrões de teste para detecção de um grupo específico de falhas. As entradas de um ATPG são os dados de projeto (como as netlists), o grupo de falhas (que especifica quais falhas estão no escopo), o protocolo de teste e as restrições do teste; a saída é o conjunto de padrões de teste. Estes padrões são então aplicados ao circuito para a detecção das falhas. Os algoritmos ATPG injetam uma falha para dentro do CUT e então usam uma série de mecanismos para ativar esta falha e propagar seu efeito para a saída do circuito, de forma que o vetor de saída será diferente do valor esperado e assim a falha seja detectada (LUBASZEWSKI, 2012).

Em adição à controlabilidade e observabilidade, o projeto baseado em Scan também possibilita que o processo para geração dos padrões de teste seja completamente automatizado. Além disso, pode-se também habilitar a ferramenta de ATPG para gerar padrões de teste com uma cobertura de falhas muito alta. Atualmente, projetos baseados em Scan e técnicas de ATPG

são as principais soluções para garantir a alta qualidade do teste durante a produção (LUBASZEWSKI, 2012).

2.2.1.2 Full Scan e Partial Scan

Full Scan é definido como a cadeia Scan onde todos os flip-flops desta sequência são varridos. É a forma mais tradicional do teste de Scan, onde um programa de ATPG desenvolvido para lógica combinacional pura pode produzir testes para todas as falhas no circuito (BUSHNELL & AGRAWAL, 2002).

Os custos em aumento de área e até em redução de desempenho em um circuito, consequências da implementação do Full Scan, podem ser reduzidos utilizando-se a técnica de Partial Scan onde apenas um subconjunto de flip-flops é substituído por flip-flops Scan que são conectados para formar a cadeia Scan. Algumas das técnicas usadas para selecionar quais flip-flops devem ser substituídos incluem: 1) estrutural (seleciona-se flip-flops que cortam loops de retorno), 2) baseado no ATPG (seleciona flip-flops que são úteis para o ATPG), e 3) baseado na testabilidade (seleciona flip-flops que maximizam a cobertura de falhas). A maioria das aplicações de Partial Scan requerem programas para ATPG sequencial uma vez que a porção não-scan do CUT é sequencial (STROUD, 2002).

2.2.1.3 Múltiplas cadeias Scan

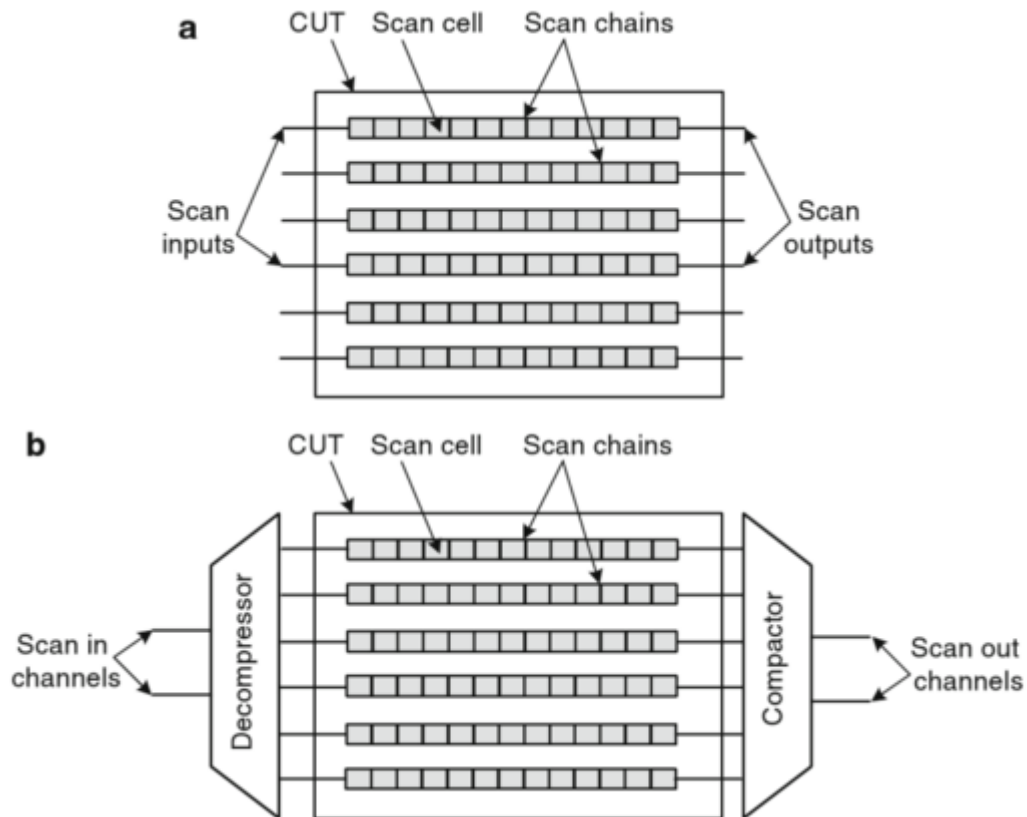
Para reduzir o tempo de teste de Scan, algumas vezes flip-flops são configurados em múltiplas cadeias Scan. Cada cadeia Scan requer pinos de entrada SI (Scan in) e de saída SO (Scan out). Se pinos extras não estão disponíveis, é possível realizar uma multiplexação/demultiplexação dos sinais das diferentes cadeias Scan, economizando assim terminais de conexão do CUT (BUSHNELL & AGRAWAL, 2002).

Há centena de milhares de flip-flops nos atuais projetos das indústrias com milhões de gates. Como resultado, múltiplas cadeias Scan são usadas para limitar o tempo de teste, determinado por (2.1).

$$T_{teste} = N \cdot M \cdot T_{scan} \quad (2.1)$$

Onde T_{teste} representa o tempo de teste, N é o número total de padrões de teste, M é o comprimento máximo da cadeia Scan e T_{scan} é o período do clock de deslocamento (TEHRANIPOOR, 2011).

Figura 2.2 – (a) Múltiplas cadeias Scan; (b) compressão/descompressão de cadeias Scan



Fonte: (Tehranipoor, 2011).

Pode ser visto na Fig. 2.2(a) que várias cadeias Scan resultarão no mesmo número de pinos de Scan I/O. Além disso, um grande número de cadeias Scan e o comprimento da cadeia Scan produzirão diretamente um enorme volume de padrões de teste. Esta é uma grande preocupação sobre arquiteturas Scan, devido às limitações dos ATEs e aos custos do teste. Algumas metodologias de compressão/descompressão dos vetores de teste são, neste caso, muito utilizadas para reduzir o volume dos padrões de teste e o tempo de aplicação do teste, conforme pode ser observado na Fig. 2.2(b) (TEHRANIPOOR, 2011).

2.2.2 BIST

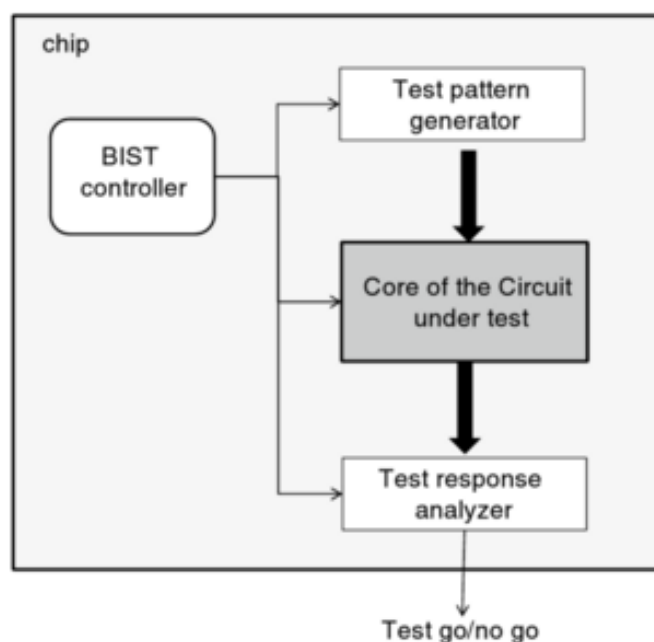
Tradicionalmente, a geração dos estímulos e a avaliação das respostas do teste eram feitas exclusivamente no ATE. Entretanto, com o crescimento do volume de dados nos testes,

os estudos de DfT também acabaram inserindo-se neste campo. A esta prática é dada o nome de Built-In Self-Test (BIST); com BIST, a necessidade de equipamentos de teste externos é reduzida pelo fato de que a geração dos estímulos e a avaliação das respostas são executadas pelo próprio CI. Desta forma, testadores que devem operar em altas frequências, que ofereçam grande precisão, capacidade de memória e imunidade ao ruído – que em geral são muito caros – podem ser substituídos por BISTs desenvolvendo tipos específicos de teste internamente. BIST também resolve o problema de acesso ao teste para módulos embarcados pois o gerador de estímulos e o avaliador de respostas podem ser localizados muito próximo do bloco a ser testado (VERMEULEN, 2004). A Fig. 2.3 apresenta o diagrama de blocos de uma arquitetura BIST genérica implementada em um chip.

Alguns autores referem-se a BIST como uma técnica não-estruturada (ou Ad-hoc) pois a sua escolha de implementação para um dado CUT deve ser dada caso a caso; outros referem-se a BIST como uma técnica estruturada pois muitas destas implementações foram automatizadas com sucesso, de forma similar ao Scan. De fato, BISTs podem se enquadrar em ambos os casos, dependendo da situação de implementação (STROUD, 2002).

Idealmente uma estrutura BIST deveria ser aplicável a qualquer tipo de circuito funcional, mas a diversidade de arquiteturas e de especificações funcionais impede que isto ocorra. Contudo, algumas abordagens estruturadas são aplicáveis a grandes classes de circuitos (LUBASZEWSKI, 2000).

Figura 2.3 – Arquitetura BIST genérica



Fonte: Lubaszewski, 2012.

Apesar das vantagens, o uso de BISTs deve ser cauteloso, pois projetos que inserem esta técnica de DfT sempre implicam em algum custo extra, em termos de área, potência, atraso e aumento do número de terminais; além disso, BISTs podem potencialmente reduzir o rendimento de produção, uma vez que o circuito final é normalmente maior do que o original, com mais transistores sujeitos a defeitos (LUBASZEWSKI, 2012).

2.2.3 RPCT

Apesar do aumento constante de complexidade dos circuitos observa-se que o tamanho dos dispositivos sofreu drástica redução em área física principalmente pela diminuição do comprimento do canal dos transistores MOS, na medida em que a tecnologia de fabricação de CIs evolui. Além desta diminuição, alguns dispositivos necessitam efetivamente ter uma área física muito pequena – como, por exemplo, CIs utilizados para a finalidade de identificação por rádio frequência (RFID) onde o tamanho do componente pode inviabilizar a aplicação técnica do dispositivo. Estes componentes são produzidos em grandes volumes e comercializados a um custo muito baixo. O tamanho do die determina o número de componentes por wafer, o qual impacta no custo final do produto; a limitação de área do die também impacta o número de pads existente, os quais necessitam ser reduzidos (MORAES, 2012).

Reduced-Pin Count Testing (RPCT) é uma técnica de DfT que busca reduzir o número de pinos disponíveis para teste no CUT. RPCT está muitas vezes associado a outras técnicas de DfT como o Scan (discutido na seção 3.1.1) e o Boundary-scan (que será abordado na próxima seção). A tecnologia RPCT normalmente envia dados serializados através de um número reduzido de canais de teste e então os desserializa dentro do CUT. Desta forma, o número de canais de teste por CUT é reduzido, apenas com a modificação do mecanismo de acesso ao teste (TAM) (LI, 2015).

A utilização de testes em configuração Multi-site (que será detalhado no capítulo 3) explora o paralelismo no teste de produção, o qual tem alcançado o objetivo de redução dos custos de teste com sucesso durante anos. Neste contexto, observa-se que o uso de RPCT no dispositivo proporciona que uma menor quantidade de canais seja necessária para testar os DUTs fazendo com que, proporcionalmente, estejam disponíveis mais canais no ATE para a utilização de configuração Multi-site (LI, 2015).

2.2.4 Boundary Scan

O sucesso da configuração Scan levou a aplicação de técnicas de DfT baseadas em configuração Scan para testes de interconexão e de pontos de solda em placas de circuito impresso (PCBs); isto tornou-se conhecido como Boundary Scan. Seguindo uma proposta da European Joint Test Action Group (EJTAG) na metade dos anos 80, representantes de todo o mundo juntaram-se ao renomado Joint Test Action Group (JTAG – um termo algumas vezes usado permutavelmente com Boundary Scan). Boundary Scan tornou-se o padrão IEEE 1149.1 e agora fornece uma interface de teste genérica, não apenas para o teste de interconexão, mas também para acessar estruturas de DfT (incluindo BISTs) contidos no interior do chip (STROUD, 2002). A Fig. 2.4 apresenta o diagrama de estados do padrão IEEE para o Boundary Scan.

A interface Boundary Scan padrão inclui quatro pinos I/O, os quais são Test Clock (TCK), Test Mode Select (TMS), Test Data In (TDI) e Test Data Out (TDO). Um controlador Test Access Port (TAP) é incluído para acessar a cadeia Boundary Scan e qualquer outra estrutura interna tal como o acesso a cadeias Scan internas ou, no caso de FPGAs e CPLDs, acesso à configuração de memória. O controlador TAP é uma máquina de 16 estados onde todas as transições de estados ocorrem na borda de subida de TCK baseado no valor de TMS (IEEE, 2001). Isto facilita o acesso comum a qualquer dispositivo que incorpora a interface padrão IEEE 1149.1. Como resultado, Boundary Scan é suportado por muitos fabricantes, ferramentas de CAD e fabricantes de ATE (STROUD, 2002).

2.3 Testadores baseados em DfT

Para testar semicondutores, são adquiridos computadores especializados chamados Testadores ou, mais formalmente, Automatic Test Equipment (ATE). Estes equipamentos possuem uma grande quantidade de funcionalidades disponíveis; em contrapartida possuem um custo muito elevado de aquisição (BEDSOLE, 2001).

Muitos dos recursos disponíveis nos High-end ATEs podem não ser utilizados, o que causaria uma ociosidade de recursos e, conseqüentemente desperdício de investimento; conforme Vermeulen: "The price of a digital ATE depends on its channel count, vector memory depth, and accuracy. While large ICs seemed to require large, and expensive ATEs, companies have started to realize that for many of their (structural) tests, at most 10% of the capabilities of their expensive ATEs is really used." (2004, p. 692-693).

Os recursos de DfT existentes nos dispositivos pode fazer com que os ATEs necessitem menos recursos e, com isso, propiciem menores custos de aquisição. De acordo Bedsole: "One major benefit of DFT is that it can make very different products look more homogeneous by using standard test interfaces. Today's high-performance, expensive testers (the "big iron") operate using a one-size-fits-all strategy. Unfortunately, each device that uses such a tester pays for all that tester's features, whether it needs them or not. Good DFT can dramatically reduce a tester's feature demand." (2001, p. 61).

Isso levou a uma onda de interesse em equipamentos de teste baseados em técnicas de DfT e, portanto, de custo muito inferior aos ATEs convencionais. Como já foi indicado na seção sobre DfT, a principal mudança em soluções de teste de produção é encontrar soluções via técnicas avançadas de DfT. Usando as técnicas adequadas de DfT reduz-se as necessidades de desempenho de ponta, possibilitando assim testes de produção com ATEs de baixo custo (VERMEULEN, 2004).

3 DESENVOLVIMENTO DE TESTES DE SEMICONDUTORES

Os custos desafiam o processo de geração de programas de teste de semicondutores, no que diz respeito à produtividade, tempo de colocação no mercado, aumento dos requisitos de qualidade e robustez da fabricação; ao mesmo tempo, a complexidade dos circuitos integrados de sinais mistos aumenta significativamente. Além disso, os desafios comerciais se tornaram fatores importantes, não apenas na fabricação dos semicondutores, mas também para o desenvolvimento de seus programas de teste (VOCK, 2012).

Como já verificado no capítulo 1, ATEs são os equipamentos utilizados para testar a qualidade dos dispositivos semicondutores. Cada tipo de sistema ATE usa seu próprio tipo de sistema operacional, que inclui também as funções do software para controlar a instrumentação, bem como um conjunto de ferramentas de software. A parte do software que controla o fluxo de estímulos e medições é chamada “Programa de teste” ou “Programa de aplicação”. Este programa de teste precisa ser desenvolvido especificamente para cada tipo de ATE, bem como para cada semicondutor a ser testado. Como veremos neste capítulo, além das diferentes linguagens de programação que podem ser usadas neste desenvolvimento, a metodologia do teste também pode ser diferente (desenvolvimento em software, descrição em hardware, bem como um sistema misto de ambos); dependendo do tipo de componente, testes paramétricos podem ser requisitados ou não, bem como os tipos de DfT que compõe o componente podem alterar o formato do teste.

Além disso, um sistema ATE tem uma interface elétrica que permite o contato com o semicondutor a ser testado, o chamado dispositivo sob teste (DUT). Durante a produção em massa uma ferramenta de posicionamento de wafers (Prober) é utilizada para realizar a conexão automática do DUT com o ATE. Uma vez que o programa de teste é específico para cada semicondutor sendo testado, e considerando o grau de complexidade do DUT, de forma que o teste abranja especificamente todas as várias funções dentro deste dispositivo, este programa de teste pode tornar-se muito complexo (VOCK, 2012).

A seguir são descritos os principais fatores a serem analisados para o desenvolvimento do teste de dispositivos semicondutores.

3.1 Single Site / Multi-site

Vários métodos são aplicados para reduzir os custos do teste de CIs (alguns destes métodos, internos ao CI, foram apresentados no capítulo 2). Em um cenário básico, um único

die é testado por vez em um sistema convencional de teste; a este cenário é dado o nome Single Site. Uma abordagem efetiva para o aumento do volume de dispositivos testados e para a redução dos custos do teste é o teste em configuração Multi-site, onde múltiplas instâncias de um mesmo CI são testadas em paralelo simultaneamente sob o gerenciamento de um único ATE. Essas instâncias, as quais um ATE tem a capacidade de testar simultaneamente, são chamadas de Sites. Mais sites significam mais dispositivos testados em paralelo; o teste em multi-site amortiza os custos fixos de um ATE sobre múltiplos CIs (MARINISSEN, 2005).

O teste eficiente em multi-site requer um gerenciamento efetivo dos recursos do teste como a quantidade e a capacidade dos canais do ATE e os recursos de DfT dos DUTs, além de levar em consideração parâmetros como o tempo de deslocamento das ponteiras de um conjunto para outro, percentual de amostras boas em cada conjunto de sites, etc. Uma forma de permitir um aumento no número de sites consiste em aumentar o número de canais de um ATE. Entretanto, esta solução não apenas traz custo extra, mas também não é muito escalável para CIs com grande quantidade de pinos (MARINISSEN, 2005).

Técnicas de Design for Testability (DfT), tais como a combinação de BIST, Scan e RPCT, podem reduzir significativamente o número de pinos de sinais necessários para testar um CI, até mesmo em um dispositivo que tenha uma grande quantidade de pinos. Se as técnicas de DfT são aplicadas corretamente, com o intuito de minimizar a interface de teste ativa, um número significativamente menor de canais do ATE será necessário para realizar o teste. Com um menor número de canais exigido, o fabricante do semicondutor pode utilizar um ATE menor e mais barato, usufruindo de uma estrutura em multi-site para testar mais dispositivos em paralelo (BEDSOLE, 2001).

Alguns fatores são claros como melhorias proporcionadas pelo teste Multi-site. Os mais importantes são: tempo de Index e fatores de Overhead.

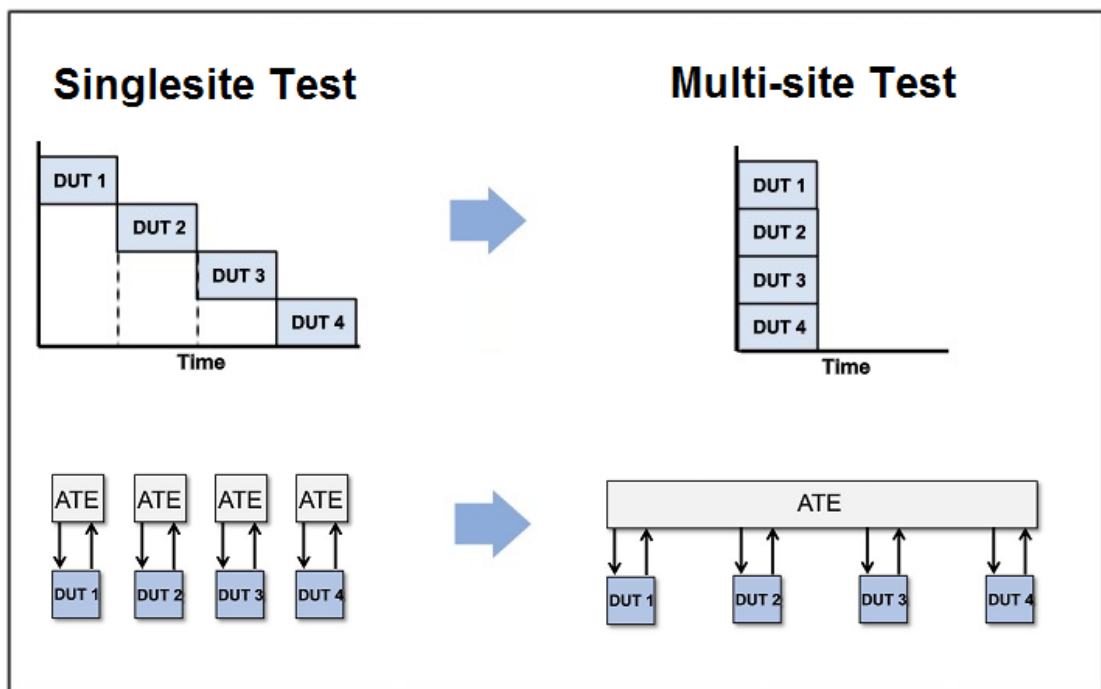
Tempo de Index é a quantidade de tempo que uma Prober requer para manipular dispositivos antes e depois de uma iteração do teste. Enquanto a indexação de um grupo de dispositivos em paralelo geralmente leva mais tempo do que a indexação de um único dispositivo, o tempo de Index efetivo por dispositivo é geralmente mais curto. Embora um ou outro tempo de Index possa ser mascarado, alguma porção deve sempre ser considerada como um aditivo ao tempo de teste eficaz do dispositivo. Minimizar esse tempo adicional é desejável.

Qualquer operação de teste tem numerosos fatores de Overhead, alguns dos quais são: espaço de chão de fábrica, conexões elétricas, refrigeração, Probers e manipuladores, computadores, suporte e operadores humanos. Quanto ao equipamento de manipulação, um fato interessante: o custo de um manipulador ou Prober para manipular múltiplos dispositivos

não aumenta significativamente com o número de dispositivos manipulados. Por isso, fabricantes beneficiam-se de maiores níveis de teste em paralelo porque a maioria destes fatores custam o mesmo, se a testadora está testando apenas um dispositivo ou mais de um por vez. Testes em paralelo espalham os custos de Overhead entre o número de dispositivos sendo testados simultaneamente (BEDSOLE, 2001).

A Fig. 3.1 ilustra as diferenças entre as configurações de teste em Singlesite e em Multi-site teórico.

Figura 3.1 – Diferenças entre as configurações de teste Singlesite e Multi-site



Fonte: (Cron, 2015)

O tempo poupado (Time Saved – TS), comparado com uma abordagem Singlesite, aumenta conforme o número de sites, de acordo com a equação 3.1.

$$TS = 1 - \frac{1}{N} \quad (3.1)$$

Onde N é o número de sites utilizados no teste. Por exemplo, se o número de dias testados de uma só vez é 5, o tempo poupado teórico é de 80%. Já para 9 sites, o tempo poupado teórico é de 89% (CRON, 2015).

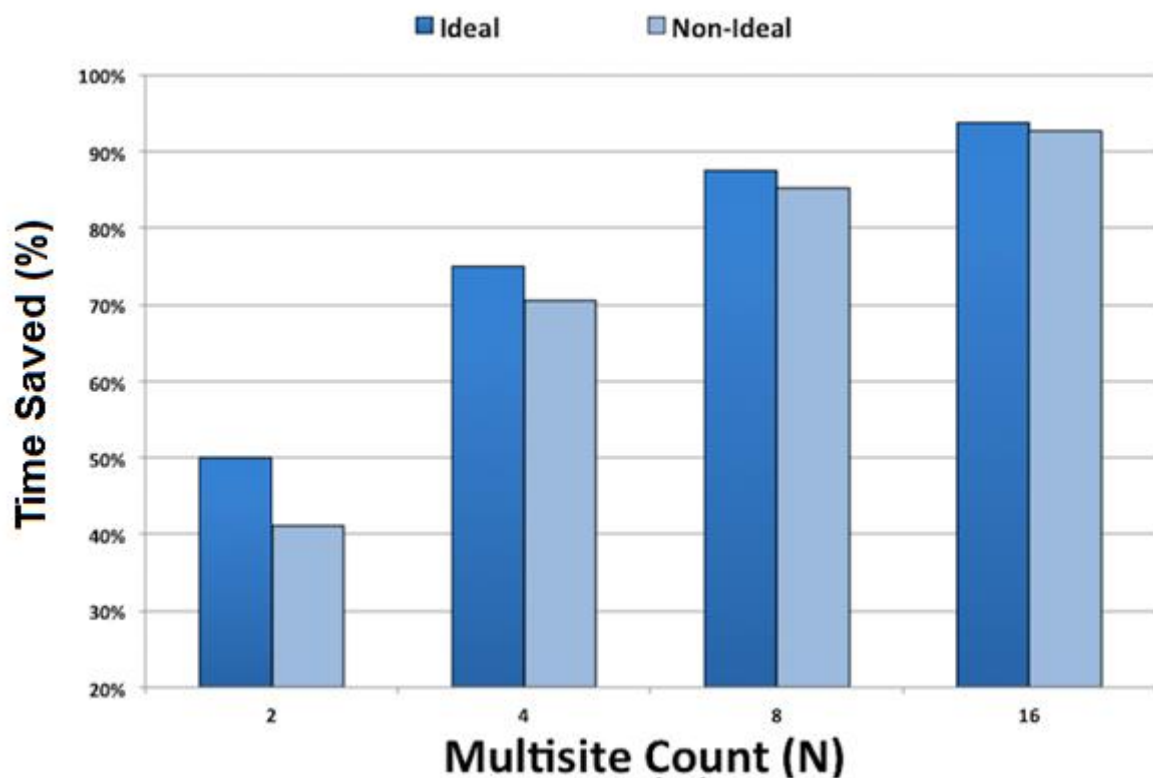
Os exemplos demonstrados acima são teóricos: a economia de tempo real obtida com a aplicação dessas abordagens é calculada de uma maneira mais complexa. O tempo médio para

testar cada die usando o teste Multi-site (TMS – Tempo em Multi-site) é quase sempre maior do que o tempo de teste de um único die (TSS – Tempo em Single Site) (CRON, 2015); esta diferença deve-se a restrições de programação do software de teste, chamadas de Multi-site Overhead (Evans, 1999). O Overhead em Multi-site será descrito no Capítulo 5. O tempo poupado real é dado pela equação 3.2 (Cron, 2015).

$$TS = 1 - \frac{1}{N \cdot \left(\frac{TSS}{TMS}\right)} \quad (3.2)$$

A Fig. 3.2 ilustra o comportamento teórico e real do incremento do número de sites em um ambiente de teste de semicondutores.

Figura 3.2 – Comportamento teórico e real do incremento do número de sites



Fonte: (Cron, 2015)

3.2 Compressão / Descompressão

Outra abordagem efetiva para reduzir os custos do teste, ortogonal ao teste Multi-site, é a Compressão dos Dados de Teste (Test Data Compression – TDC). Esta técnica explora os vários bits “don’t care” ou repetitivos do teste para comprimir o padrão de teste. O uso de

compressão de dados impacta diretamente na redução de memória necessária para a alocação dos vetores de teste (MARINISSEN, 2005). A compressão pode ser realizada de duas formas:

- (a) On-chip: Os padrões de teste, já comprimidos e armazenados no ATE, são enviados ao DUT que faz a descompressão e, logo após, aplica o vetor em sua cadeia interna. Neste caso, a compressão/descompressão é realizada dentro do CI. Esta técnica possibilita também o ganho de tempo de aplicação do teste, uma vez que o tráfego de dados serial entre ATE e DUT está no formato comprimido; em contrapartida, um módulo de compressão/descompressão é necessário dentro do chip, acarretando em custos de aumento de área (MARINISSEN, 2005).
- (b) On-tester: Os padrões de teste, já comprimidos e armazenados no ATE, são descomprimidos no próprio ATE e enviados ao DUT que aplica o vetor em sua cadeia interna. Neste caso, a compressão/descompressão é realizada pelo ATE (REORDA, 2009).

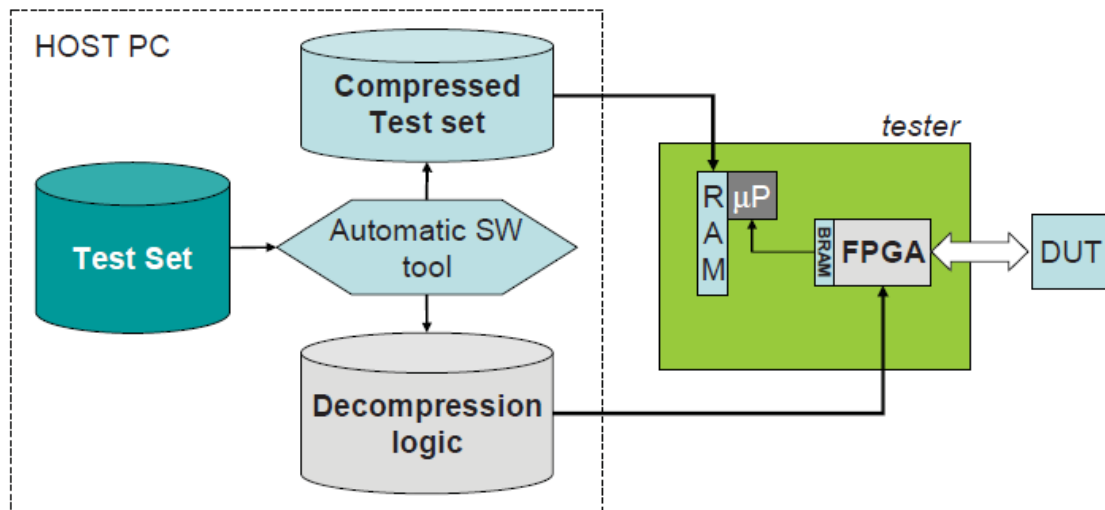
Nesta seção vamos nos ater apenas ao método de compressão descrito no item (b), ou seja, quando a compressão e a descompressão são executadas no próprio ATE. Neste caso, nenhum ganho de tempo é obtido, porém todo o cenário de testes é simplificado:

- O ATE se comunica com o DUT sem a necessidade de sincronização ou esquemas de handshake;
- Nenhuma modificação necessita ser desenvolvida na estrutura do chip;
- A compressão de dados é aplicável a qualquer chip fabricado e propriedades intelectuais ficam protegidas, uma vez que do ponto de vista do ATE nenhuma informação é necessária sobre o tipo de estrutura embarcada no chip.

Conforme Reorda, o volume de dados dos vetores de teste é um fator relevante para o teste de semicondutores: “With the advent of Systems-on-Chip, the Low-Cost concept is become a common denominator among test generation and test application. In fact, in the SoC terminology, the term Low-Cost is commonly used to classify a set of *strategies* and *equipments* that exploit Design-for-Testability features included on-chip for reducing test costs without impacting its effectiveness; (...). Concerning test data volume of procedures usually classified as Low-Cost, the overall number of test vectors to be applied to the DUT depends on the number of initialization and management operations required to activate the SoC test functionalities. Consequently, patterns describing such procedures finally reside on the tester memory and potentially impact on the test applicability.” (2009, p. 259).

A Fig. 3.3 apresenta um exemplo de configuração de um testador para desenvolver a técnica TDC.

Figura 3.3 – Exemplo de configuração de um testador para desenvolver a técnica TDC



Fonte: (Reorda, 2009)

3.3 Testes paramétricos

Os testes paramétricos procuram verificar falhas elétricas que modificam as características de tensão, corrente e atrasos do CI. Os testes paramétricos podem ser de dois tipos: DC ou AC (BUSHNELL & AGRAWAL, 2002). Estes dois tipos de teste são descritos a seguir.

3.3.1 Testes paramétricos DC

Os testes paramétricos DC medem as características elétricas em estado permanente usando a lei de Ohm: força-se a tensão entre dois pontos e mede-se a corrente, ou vice-versa. Dispositivos do tipo Parametric Measurement Unit (PMU) presentes no ATE são responsáveis por este tipo de medidas. A seguir são apresentados alguns testes frequentemente utilizados na modalidade DC.

- Teste de contato: verifica que os pinos do chip não estão abertos ou em curto.
- Teste de consumo de energia: verifica o pior caso de consumo de energia do dispositivo. O teste pode ser executado de forma estática (com valores lógicos de entrada em regime permanente) ou dinâmico (com entradas variando dinamicamente durante a operação).

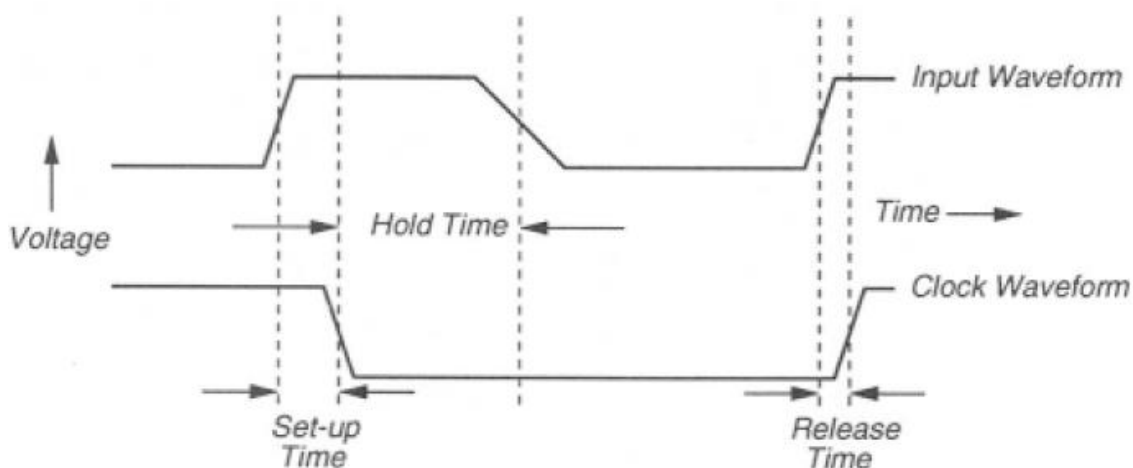
- Teste de corrente de curto na saída: verifica que a corrente drenada na saída é sustentada para níveis de tensão de saída alto e baixo.
- Teste de corrente drenada de saída: para uma determinada corrente de saída drenada, verifica-se se a tensão de saída é mantida.
- Teste de limiar: verifica os níveis de tensão de entrada baixo (V_{IL}) e alto (V_{IH}) necessários para causar o chaveamento da saída do dispositivo de alto (V_{OH}) para baixo (V_{OL}) e vice-versa (BUSHNELL & AGRAWAL, 2002).

3.3.2 Testes paramétricos AC

Nos testes paramétricos AC são aplicadas no chip tensões alternadas em algum conjunto de frequências e é medida a impedância do dispositivo. Um nível de polarização DC é selecionado neste teste, o qual determina atrasos do chip causados por capacitâncias de entrada ou saída. (BUSHNELL & AGRAWAL, 2002). A seguir são apresentados alguns testes frequentemente utilizados na modalidade AC.

- Teste do tempo de subida e descida: mede o intervalo de tempo entre dois níveis de tensão, ou da borda de subida, ou da borda de descida.
- Testes dos tempos de Set-Up, Hold e Release: A Fig. 3.4 define quais são estes intervalos de tempo. A entrada de dados deve estar presente pela duração do tempo de Set-Up antes e pelo tempo de Hold depois do chaveamento da borda de clock (na borda de descida na figura). O tempo de Release, relevante para memórias, é o máximo intervalo para o qual uma entrada pode estar presente sem ser amostrada.

Figura 3.4 – Definições dos tempos de Set-Up, Hold e Release



Fonte: (BUSHNELL & AGRAWAL, 2002)

- Teste de atraso de propagação: mede o atraso de propagação, o qual é o tempo entre uma entrada mudar seu estado e ocorrer uma mudança resultante na saída.

3.4 Desenvolvimento de programas de teste

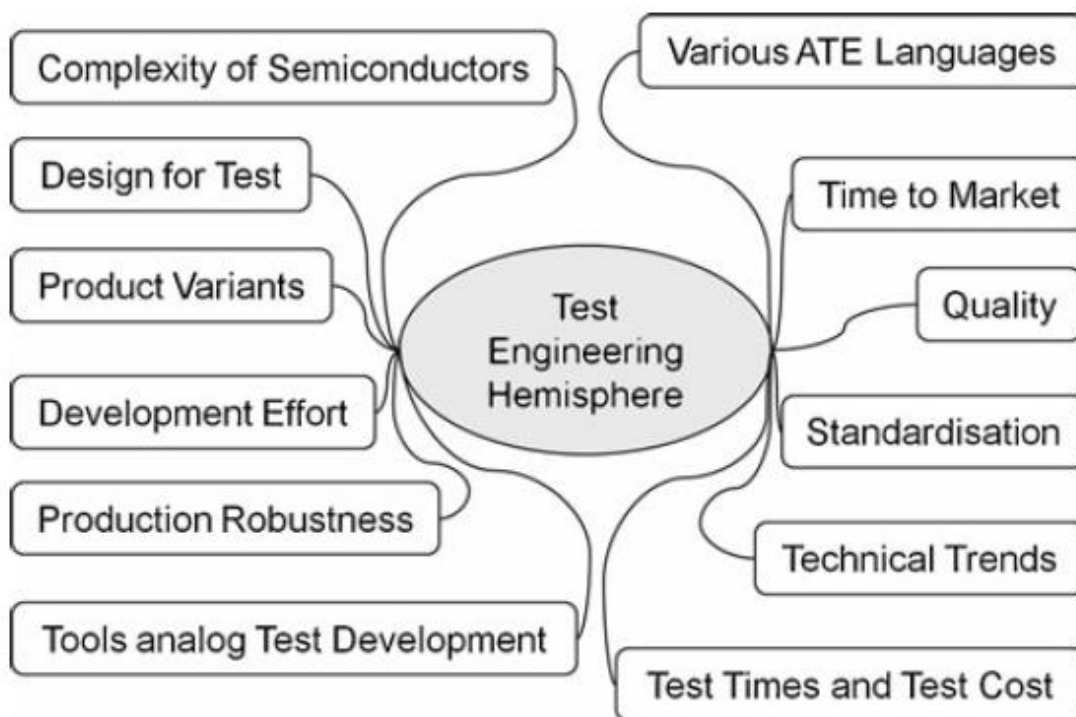
O design dos complexos e multifuncionais CIs atuais é tipicamente realizado através de uma abordagem de equipe, onde cada membro é focado em uma área especial. O processo de design tem o suporte das ferramentas de software e do fornecimento de ambientes da área chamada de Automação do Design Eletrônico (Electronic Design Automation – EDA); entre estas ferramentas estão, por exemplo, Mentor Graphics ou Cadence Design Systems, além de bibliotecas que acompanham estes ambientes. Para testes digitais, estas ferramentas em combinação com a Geração Automática dos Vetores de Teste (ATPG, descrito no capítulo 2), fornecem um caminho bem estabelecido para a geração de estímulos digitais. Ter ferramentas de diferentes fornecedores e possivelmente em diferentes ambientes resultou em uma variedade de formatos; isto causava um grande esforço convertendo dados de geração, além de possíveis riscos de má interpretação, perda de cobertura de teste e trabalho dobrado para os engenheiros de teste e usuários das ferramentas. Para resolver este problema, os fabricantes de ATEs desenvolveram o Standard Test Interface Language (STIL). STIL foi padronizado como IEEE 1450.0-1999; o escopo de STIL está na geração de dados de teste digitais (VOCK, 2012).

Alguns fabricantes de ATEs, como Teradyne (com o software IG-XL) e Advantest, buscaram estabelecer ferramentas de alto nível com abordagens gráficas ou de planilhas para controlar o fluxo de teste. Embora estas ferramentas tornem o fluxo de teste transparente e fácil de manter, toda a complexidade do setup e das medições do dispositivo são apenas delegadas para o nível inferior, que mais uma vez tem de ser descrito por meio de uma linguagem de programação (VOCK, 2012).

Outro desafio para os usuários de ATEs é a quantidade de linguagens sendo utilizadas; além de Basic, Pascal, C, C ++, Java, LabView, várias extensões de linguagens proprietárias foram introduzidas. Consequentemente, quase todos os fornecedores de ATE estão usando uma linguagem diferente, compilador/interpretador e software de depuração. Migrar um setup de teste de um sistema ATE para outro envolve significativa codificação manual e esforço de reajuste (VOCK, 2012).

A Fig. 3.5 resume os desafios que podem ser encontrados na elaboração e implementação de testes de semicondutores.

Figura 3.5 – Desafios para a engenharia de testes de semicondutores



Fonte: (Vock, 2012)

3.4.1 Desenvolvimento de testes em software

Com o avanço da instrumentação virtual, conforme detalhado no capítulo 1, softwares para a integração de instrumentação modular começaram a ser amplamente usados tanto para a finalidade de testes de laboratório quanto em linhas de produção; entre estes softwares destaca-se o LabView, da empresa National Instruments (STARKLOFF, 2003).

Aplicações industriais requerem softwares que sejam confiáveis, de alto desempenho e interoperáveis. Instrumentos virtuais baseados em LabView oferecem todas estas vantagens por integrarem características tais como: gerenciamento de alarmes, histórico de dados, segurança, conectividade com elementos de diversos fabricantes e padrões industriais de entradas e saídas (I/O). Com estas funcionalidades, um usuário pode facilmente conectar muitos tipos de dispositivos tais como FPGAs, Sourcemeters ou módulos de I/O. Através do compartilhamento de código, a produção pode usar as mesmas aplicações LabView desenvolvidas em laboratório e integrá-las perfeitamente em um processo de teste de fabricação (SUMATHI, 2007).

O uso da instrumentação virtual propicia um ambiente de desenvolvimento de programas de teste de forma que um único ATE integre todos os elementos necessários para a execução do teste, conforme descrito por Sumathi: “Virtual instrumentation combines mainstream commercial technologies, such as the PC, with flexible software and a wide variety

of measurement and control hardware, so engineers and scientists can create user-defined systems that meet their exact application needs. With the right software tool, engineers and scientists can efficiently create their own applications, by designing and integrating the routines that a particular process requires. They can also create an appropriate user interface that best suits the purpose of the application and those who will interact with it. They can define how and when the application acquires data from the device, how it processes, manipulates and stores the data, and how the results are presented to the user.” (2007, p. 21).

Uma grande vantagem do software é a flexibilidade. O usuário pode abordar uma tarefa desenvolvida em partes e unir estas unidades funcionais em uma solução única. Estas subtarefas são mais gerenciáveis e fáceis de testar; um instrumento virtual pode ser desenvolvido para solucionar uma subtarefa e, então, uma integração de várias subtarefas pode solucionar uma aplicação maior (SUMATHI, 2007).

A implementação em software também proporciona a utilização de multi-processos (multi-threads). O uso de multi-processos consiste na utilização de recursos da CPU de forma mais eficiente, executando processos em paralelo em um ou mais processadores (HENNESSY, 2007). Múltiplos processos também são de grande valia para a aplicação de testes que devem ser executados em vários DUTs simultâneos (Multi-site).

Apesar da gama de instrumentos modulares atualmente disponíveis no mercado, o desenvolvimento em software para estes módulos limita-se às características que eles oferecem. Como alguns exemplos, pode-se citar:

- A quantidade de canais de trigger disponíveis por módulo pode ser baixa, ou até mesmo única. Isto pode ser crítico para aplicações de teste de vários DUTs simultâneos (Multi-site);
- O poder de processamento do módulo pode estar aquém do necessário para a demanda da aplicação;
- A quantidade de memória para armazenamento de vetores de teste pode não ser suficiente, principalmente em testes de DUTs onde há maior complexidade.

Uma forma de contorno destas lacunas está na implementação de sistemas de teste (ou parte deles) em uma abordagem de desenvolvimento de testes em hardware, conforme é descrito a seguir.

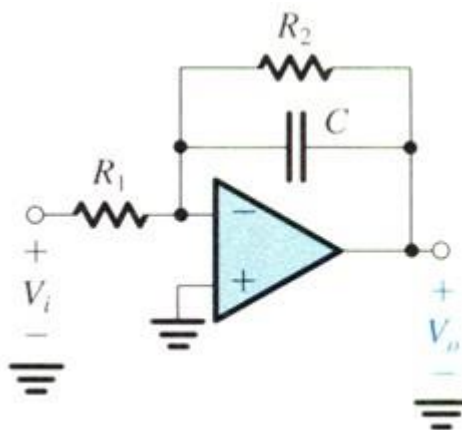
3.4.2 Desenvolvimento de testes em hardware

O desenvolvimento de testes (ou parte deles) em hardware pode oferecer uma série de vantagens, quando comparada a uma solução dependente de software; entre elas pode-se citar:

- implementações em hardware são determinísticas e, desta forma, não necessitam disputar espaço em processamento com outros processos;
- circuitos desenvolvidos em hardware discreto são baratos, confiáveis e de rápida implementação;
- testes e circuitos que possuem implementação muito simples utilizando componentes discretos podem tornar-se complexos quando desenvolvidos em software.

A Fig. 3.6 apresenta um exemplo de um circuito demodulador (um filtro passa-baixas) que pode ser implementado com componentes discretos; com isso, o ATE pode receber um sinal digital, ao invés de ter de convertê-lo através de um software de tratamento de sinais.

Figura 3.6 – Exemplo de um filtro passa-baixas usado como circuito demodulador



Fonte: (Sedra, 1998)

Como desvantagens, os sistemas de teste em hardware possuem algumas limitações, entre as quais pode-se citar:

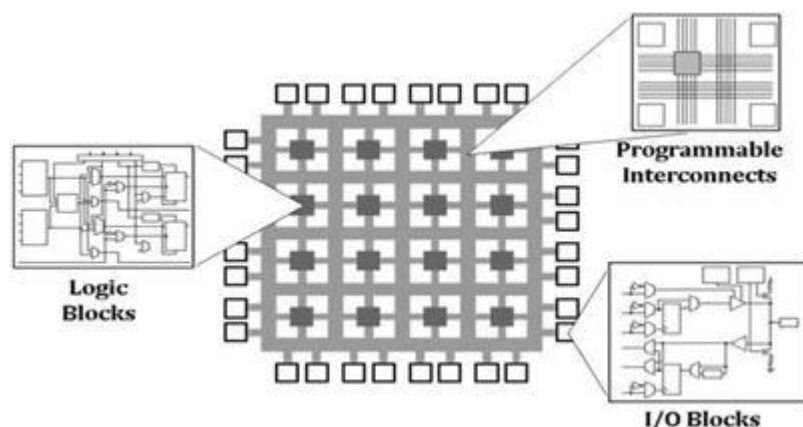
- implementações de circuitos são muito menos flexíveis do que sistemas programáveis;
- sistemas de teste com níveis maiores de complexidade tornam-se inviáveis quando implementados com circuitos discretos;
- a observabilidade sobre circuitos discretos é precária se comparada ao monitoramento de um sistema programado.

De forma a contornar estes pontos negativos, uma forma comumente utilizada de desenvolvimento de testes utilizando hardware consiste na prática de implementar o hardware em um dispositivo programável – o FPGA – conforme é descrito a seguir.

3.4.2.1 FPGA

FPGA (Field Programmable Gate Array) é um dispositivo que contém uma matriz de circuitos lógicos com arranjo de portas reconfigurável. Quando um FPGA é configurado, o circuito interno é conectado de forma a criar uma implementação em hardware a partir de uma aplicação em software. Ao contrário de processadores, os FPGAs usam um hardware dedicado para a lógica de processamento e não possuem um sistema operacional. Um único FPGA pode substituir milhões de componentes discretos, incorporando milhares de portas lógicas em um único circuito integrado. Os recursos internos de um chip FPGA consistem de uma matriz de blocos lógicos configuráveis (Configurable Logic Blocks - CLBs) cercada por uma periferia de blocos de entrada e saída (I/O). Os sinais são distribuídos na matriz FPGA por chaves programáveis interconectadas e fios de ligação (NATIONAL INSTRUMENTS, 2011). A Fig. 3.7 apresenta estes blocos básicos internos de um FPGA.

Figura 3.7 – Blocos básicos internos de um FPGA



Fonte: (National Instruments, 2011)

Devido aos FPGAs serem simplesmente circuitos programáveis enormes, eles podem ser programados em muitos caminhos de hardware paralelo. FPGAs são verdadeiramente paralelos por natureza; isso significa que diferentes operações de processamento não têm que competir pelos mesmos recursos. Os programadores podem mapear automaticamente suas soluções diretamente para a estrutura FPGA; isto permite que o usuário crie uma grande quantidade de núcleos (Cores) de tarefas específicas de forma que todos estes Cores funcionem

como circuitos paralelos simultâneos dentro de um único chip FPGA. A execução em hardware fornece maior desempenho e determinismo do que a maioria das soluções de software baseadas em processadores. A natureza paralela das portas lógicas no FPGA permite altíssima taxa de transferência de dados. Uma vez que o código é compilado e executado no FPGA, ele será executado sem o jitter associado à execução do software e a priorização de threads típica dos sistemas operacionais mais comuns (National Instruments, 2011).

As vantagens apresentadas demonstram o grande potencial de aplicações para FPGA em testes simultâneos de múltiplos componentes. Questões como trigger de sinais de dados por site são solucionadas nesta plataforma devido à sua característica de independência entre núcleos implementados. Além disso, vetores de teste excessivamente grandes podem ser melhor controlados em função da natureza síncrona do FPGA que permite que a geração e a aquisição de dados sejam dadas no exato momento do clock especificado.

3.4.2.2 *Processador embarcado no FPGA*

O FPGA é uma solução interessante devido a sua flexibilidade; entretanto, dependendo da aplicação e da complexidade, pode ser necessário utilizar uma parte em software. Para execução deste software, uma solução muito utilizada consiste na implementação de um processador descrito em linguagem de hardware embarcado no FPGA, conhecido como “softcore”.

Os softcores têm como vantagem principal adaptar o seu código às necessidades da aplicação, sendo que somente a lógica necessária é sintetizada no FPGA. Os softcores normalmente possuem conjuntos de instruções, unidades lógica-aritmética, e um banco de registradores escritos de forma a utilizar eficientemente os recursos do FPGA; ainda é possível inserir entradas e saídas diversas.

No programa de teste, o softcore tem a função de operar como elemento centralizador de informações ordenando, por exemplo, que testes sejam realizados em alguns dies do Multi-site e em outros não; isso é extremamente importante no teste simultâneo pois algumas posições podem estar vazias naquele período, como no momento em que as agulhas da probecard pousam sobre a borda do wafer. Outra função muito utilizada neste processador consiste em gerar vetores a partir de funções de repetição, como o ‘for’; este tipo de função é extremamente simples em linguagem C e utiliza o recurso mínimo pré-alocado pelo FPGA para o processador. Se implementado em hardware, haveria uma ocupação de espaço desnecessária do FPGA.

4 ESTUDO DE CASOS

Neste capítulo serão apresentados três circuitos integrados distintos, denominados IC1, IC2 e IC3, que servirão como estudo de casos. Estes dispositivos foram escolhidos, pois possuem testes distintos entre si, sendo a complexidade o principal fator de diferenciação. Os testes de produção destes três CIs foram desenvolvidos utilizando-se ferramentas de teste de baixo custo, ou seja, com estações ATE de custo reduzido. Todos os testes desenvolvidos são executados sobre wafer através de contato com manipuladores em probe-stations.

4.1 IC1

4.1.1 Descrição do circuito integrado

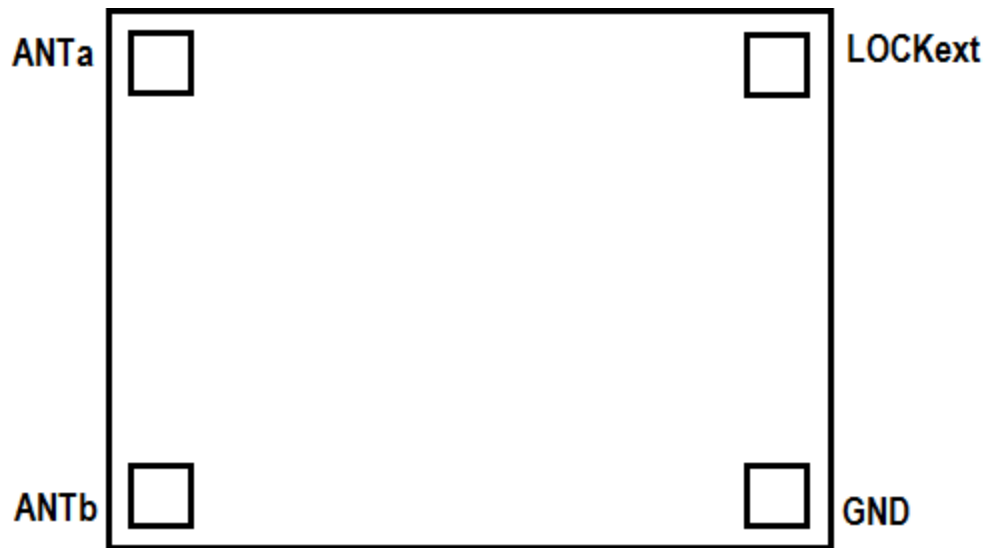
O Circuito Integrado IC1 é um dispositivo utilizado para identificação por radiofrequência (RFID) que opera na faixa de baixa frequência (LF) na frequência de 134,2 kHz. O dispositivo possui, como características básicas, uma memória interna (EEPROM) com capacidade de armazenamento de 128 bits e uma função de bloqueio contra escrita para garantir a segurança dos dados previamente armazenados. Estas características básicas devem ser testadas neste circuito integrado para atestar a sua funcionalidade.

O dispositivo IC1 é considerado um circuito integrado de baixa complexidade; não possui entradas e saídas digitais para possibilitar a realização de testes, nem mesmo BISTs que realizem testes internos adicionais. Seu acesso é feito somente pelas entradas analógicas de conexão com a antena. Isso significa que o teste deste circuito integrado deve ser capaz de realizar uma modulação dos dados na transmissão – convertendo sinais digitais para sinais analógicos e vice-versa – e na recepção, através de um processo de demodulação.

O processo de modulação de IC1 utiliza o chaveamento de amplitudes de tensão do sinal (modulação ASK) para inserir o frame digital em um envelope analógico de dados. Três tipos de comando podem ser enviados através destes sinais modulados: Write (comando de escrita), Read (comando de leitura) e Lock (comando que bloqueia escritas na memória).

A figura 4.1 apresenta a pinagem e o respectivo layout do circuito integrado IC1. Os pads “ANTa” e “ANTb” são os terminais de IC1 que devem ser conectados à antena; no teste de produção estes terminais são utilizados para entrada e saída de dados. O pad “LOCKext” habilita a gravação quando em nível lógico alto. O pad “GND” é o terminal terra de IC1.

Figura 4.1 – Layout e terminais do dispositivo IC1

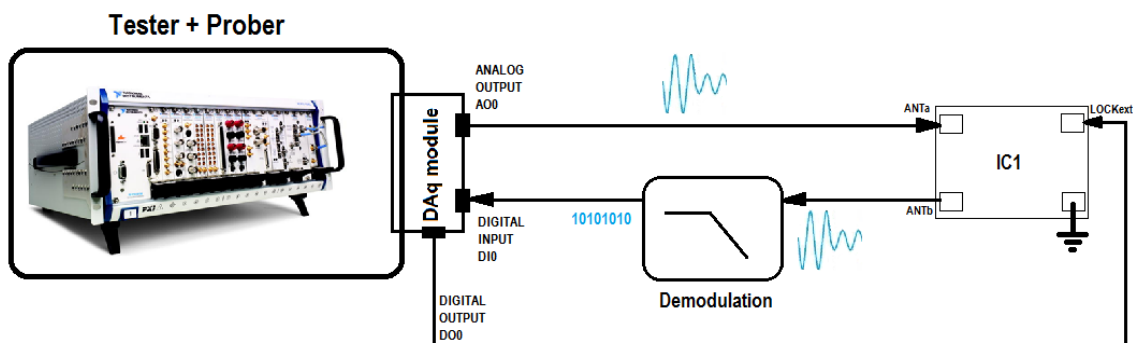


4.1.2 Setup do teste de produção

Um fator determinante na escolha do setup do teste de produção do dispositivo IC1 é o fato de que a sua conexão com o ATE deveria se dar por um canal analógico, visto que o dispositivo não possui terminais digitais de comunicação. A demodulação do sinal modulado por ASK pode ser feita usando-se um retificador e um filtro passa-baixas; para alcançar este objetivo, estes blocos foram implementados em hardware com componentes discretos. A modulação do sinal foi desenvolvida por software em ambiente LabView.

Desta forma, optou-se por utilizar um módulo DAq (Data Acquisition) que tem capacidade de manipulação tanto de entradas/saídas digitais quanto analógicas. A figura 4.2 mostra o setup desenvolvido para o teste de produção para uma configuração single site.

Figura 4.2 – Setup desenvolvido para o teste de produção



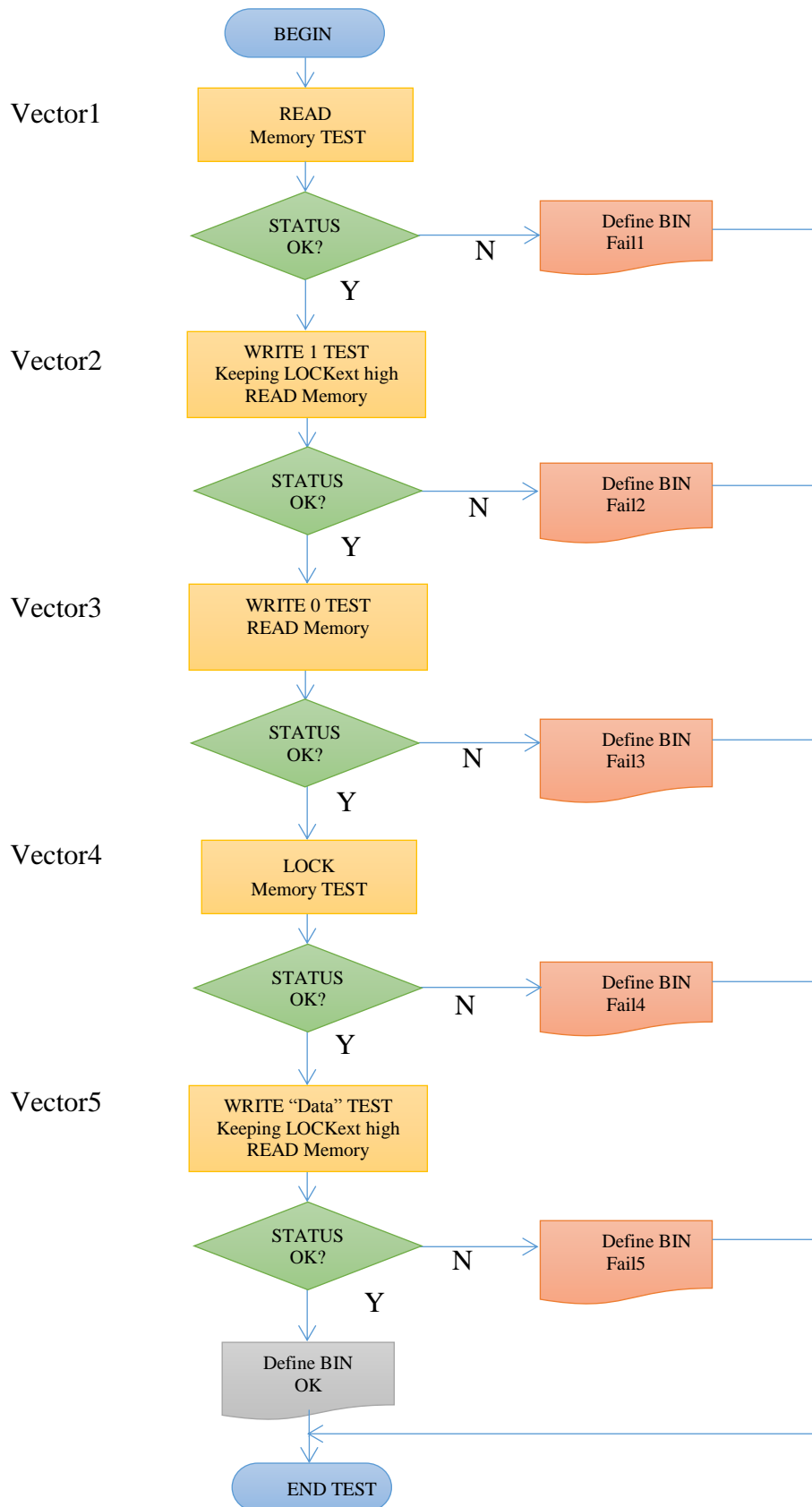
4.1.3 Sequência de teste

A sequência de teste adotada para IC1 procura verificar as duas funcionalidades básicas do dispositivo, ou seja, a capacidade de retenção de dados da memória de armazenamento disponível e a função de bloqueio contra escrita. A figura 4.3 apresenta o fluxo de teste desenvolvido para o dispositivo IC1.

Os seguintes vetores são enviados ao DUT:

- Vetor1: Realiza uma leitura prévia na memória e avalia se a resposta é realizada no instante correto. O conteúdo na resposta não é avaliado.
- Vetor2: Preenche a memória do DUT com bits '1' mantendo LOCKext em nível alto, o que faz com que IC1 fique em modo habilitado para gravação. Logo após realiza uma leitura e verifica se os dados foram corretamente armazenados e que o status de gravação é habilitado.
- Vetor3: Preenche a memória do DUT com bits '0'; LOCKext pode ser mantido em nível lógico baixo, uma vez que o DUT já foi habilitado para gravação no vetor anterior. Logo após realiza uma leitura e verifica se os dados foram corretamente armazenados e que o status de gravação é habilitado.
- Vetor4: Envia o comando Lock para o DUT. Logo após realiza uma leitura e verifica que se os dados armazenados são os mesmos gravados durante o vetor anterior e que o status de gravação é desabilitado.
- Vetor5: Preenche a memória do DUT com um tipo de dado especial chamado "Data" mantendo LOCKext em nível alto, o que faz com que IC1 fique em modo habilitado para gravação. Logo após realiza uma leitura e verifica se os dados foram corretamente armazenados e que o status de gravação é habilitado.

Figura 4.3 – Fluxo de teste de IC1



4.2 IC2

4.2.1 Descrição do circuito integrado

O Circuito Integrado IC2 é um dispositivo utilizado para identificação por radiofrequência (RFID) que opera na faixa de ultra alta frequência (UHF) na frequência de 915 MHz. O dispositivo possui uma memória interna (EEPROM) com capacidade de armazenamento de 368 bits, sendo que 64 bits desta memória são destinados para armazenar um número que é único por die produzido, chamado TID (Tag IDentification); o TID não pode ser alterado posteriormente pelo usuário.

O dispositivo IC2 é considerado um circuito integrado de média complexidade; além de possuir entradas e saídas digitais para possibilitar a realização de testes com RTPC (número reduzido de terminais de teste), o componente também conta com BISTs que realizam testes internos adicionais. Os BISTs são capazes de responder a uma série de testes com mensagens de erro como, por exemplo, energia insuficiente ou falha em algum bloco interno.

O floorplan de IC2 e os terminais disponíveis para teste são apresentados na figura 4.4. A alimentação de IC2 durante o teste é feita pelo pad VDD. O fornecimento de clock para IC2 é feito pelo pad CLK. O pad GND corresponde ao terminal terra. O pad DATA é utilizado para o tráfego de dados bidirecional: tanto leitura quanto escrita é feita pelo mesmo pad.

Figura 4.4 – Floorplan e terminais de teste do dispositivo IC2



4.2.2 Setup do teste de produção

A escolha do setup do teste de produção do dispositivo IC2 é baseada em algumas características do dispositivo:

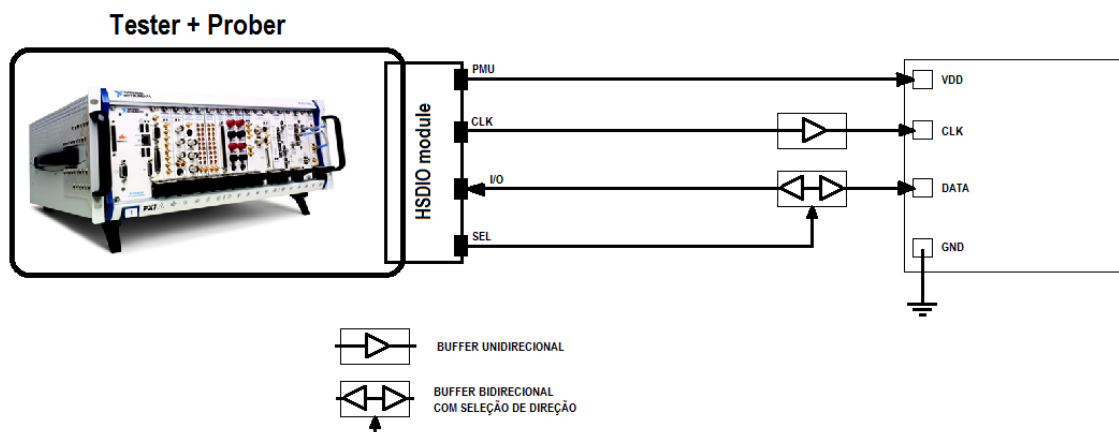
- Dados de teste totalmente digitais,
- Frequência do teste de 1 MHz,
- Vetor único de teste,
- Resposta com pequena quantidade de dados (48 bits),
- Além do fluxo de teste de dados, são necessárias leituras de corrente e tensão de consumo do DUT, em faixas pré-determinadas,
- Um wafer contém aproximadamente 42.000 dies.

Desta forma, optou-se por utilizar um módulo HSDIO (High Speed - Digital Input/Output) que tem a capacidade de manipulação de entradas e saídas digitais, inclusive bidirecionais; o módulo também permite que alguns canais operem em modo PMU (Power Meter Unit) possibilitando realizar a medição de tensões e correntes.

Outra característica do módulo HSDIO consiste na capacidade de armazenamento de dados em hardware interno da placa. Esta característica é fundamental para o armazenamento prévio do vetor de teste, o que acrescenta ganho de desempenho em tempo de teste.

A figura 4.5 mostra o setup desenvolvido para o teste de produção para uma configuração single site.

Figura 4.5 – Setup desenvolvido para o teste de produção de IC2



Os cabos de conexão do ATE com o DUT inserem uma indutância em série prejudicial aos sinais de comunicação. Para garantir a integridade dos sinais enviados ao DUT são inseridos

buffers nas entradas dos pads de sinal (CLK e DATA). O buffer inserido na entrada de CLK é unidirecional; já o buffer inserido na entrada de DATA deve suportar sinais em ambos os sentidos (bidirecional). O sentido é dado através do canal SEL.

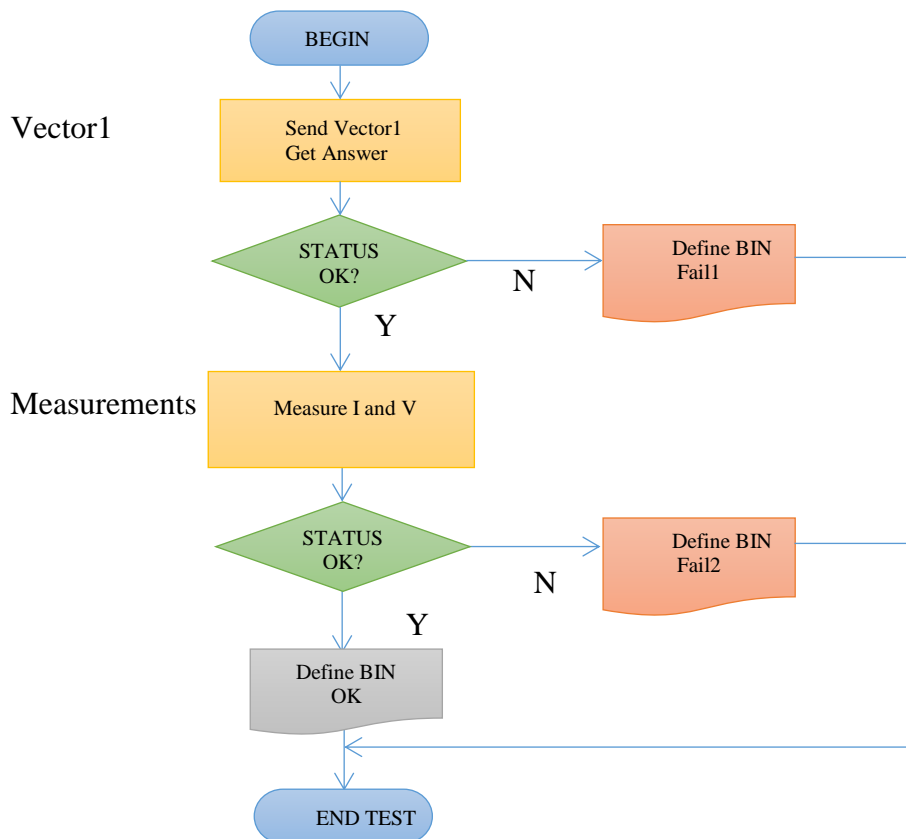
4.2.3 Sequência de teste

A sequência de teste adotada para IC2 segue as especificações de teste deste dispositivo, as quais são:

- **Vetor1:** Envia o vetor de teste ao DUT, o qual tem a função de armazenar TID no dispositivo e disparar a função de testabilidade interna dos blocos através dos BISTs. A memória interna do componente também é verificada durante esta operação. Logo após, a resposta do die contendo as avaliações dos BISTs é recebida e analisada.
- **Measurements:** realiza medições de tensão e corrente do dispositivo.

A figura 4.6 apresenta o fluxo de teste implementado no teste de produção.

Figura 4.6 – Fluxo de teste de IC2



4.2.4 Multi-site

Utilizando como base o sistema de teste já definido para single site, foi definida a expansão deste sistema para uma plataforma multi-site de teste. Para tanto, procurou-se usufruir do hardware de teste (módulo HSDIO) de forma a preencher totalmente a sua capacidade.

Com isso, verificou-se que 1 módulo HSDIO poderia fornecer 14 canais digitais para I/O e mais 12 canais operando como PMU. Isso é o suficiente para operar simultaneamente 12 sites, ou seja: 12 canais digitais para DATA + 12 canais PMU + 1 canal para CLK + 1 canal para SEL (o canal CLK e o canal SEL podem ser compartilhados para todos os sites do módulo).

No escopo final requerido neste projeto para o teste de produção, o total de 16 sites deve ser disponibilizado para teste simultâneo. Para alcançar este objetivo foi necessário empregar 2 módulos HSDIO, visto que apenas 1 módulo não teria a capacidade necessária de fornecimento. Com 2 módulos é possível uma vazão multi-site de 24 componentes sendo testados simultaneamente por iteração. Portanto, 8 canais ficam ociosos para uma possível futura expansão.

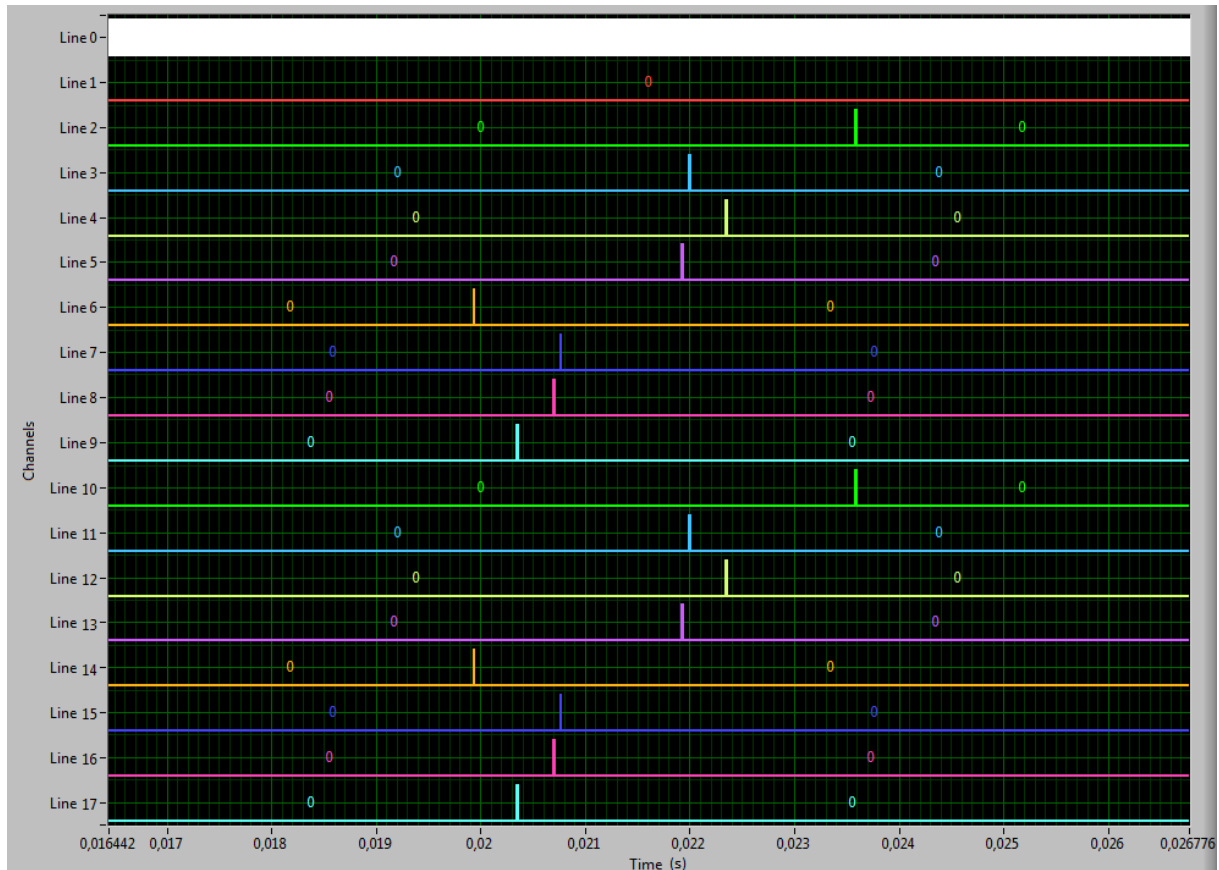
4.2.5 Trigger e janelamento

Uma das características da placa HSDIO está no fato de não haver a possibilidade de realizar o trigger de dados por canal, ou seja, o trigger por hardware do módulo é apenas um para todo o módulo. Com isso, faz-se necessária alguma condição de contorno desta característica ao se operar com multi-site, onde haverá manipulações simultâneas de respostas, e que devem ter um tratamento individual.

Se a resposta do chip se der sempre no mesmo instante de clock, esta característica da placa HSDIO não trará problemas, pois as respostas de todos os DUTs chegarão ao mesmo tempo. Porém, no caso do dispositivo IC2 em questão, isso não ocorre; a resposta não é recebida sempre no mesmo instante de clock e sim dentro de uma janela de tempo bem definida.

A figura 4.7 apresenta as formas de onda da recepção de dados de 16 sites de IC2, ou seja, o recebimento das respostas, observadas na placa HSDIO. Pode-se verificar que as respostas dos 16 DUTs chegam em instantes distintos, ou seja, são assimétricas.

Figura 4.7 – Recepção de dados de teste de IC2 para 16 sites



Para mitigar o problema do trigger é feito um janelamento no sinal recebido dos DUTs. As respostas não têm período bem definido para chegar, mas possuem um intervalo de tempo bem definido onde ocorrem. A análise das respostas ocorre apenas nesta janela, o que reduz drasticamente o tempo de teste; porém, para esta implementação há uma contrapartida: uma pequena parte de tempo é gasta realizando a varredura por software dos vetores de teste para buscar o sinal de resposta. Este acréscimo de tempo é incluído no tempo de Overhead do teste em multi-site, o qual determina a quantidade de tempo gasta a mais no teste em multi-site versus o tempo gasto em singlesite. O trigger por canal realizado por hardware contornaria plenamente o problema em questão.

4.3 IC3

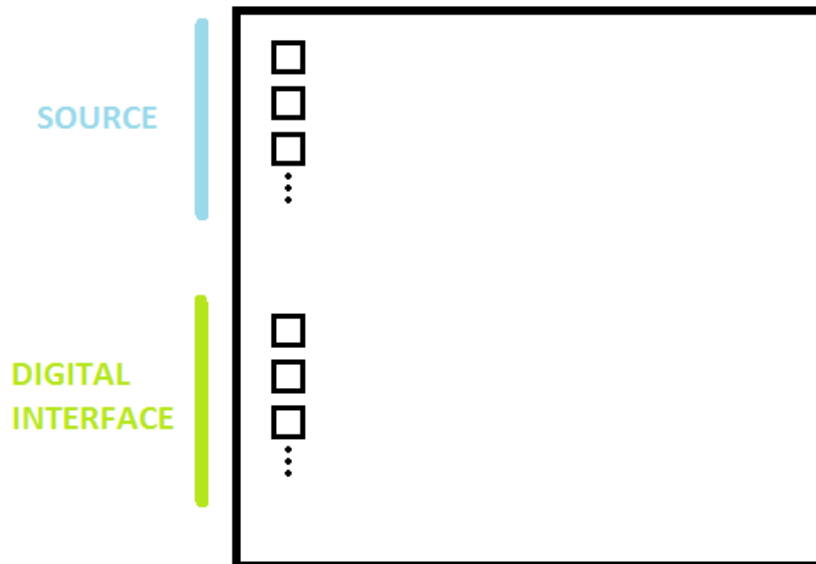
4.3.1 Descrição do circuito integrado

O Circuito Integrado IC3 é um dispositivo utilizado para identificação por radiofrequência (RFID) que opera na faixa de alta frequência (HF) na frequência de 13,65 MHz.

O dispositivo IC3 é considerado um circuito integrado de maior complexidade do ponto de vista de desenvolvimento de teste. O componente possui entradas e saídas digitais para possibilitar a realização de testes com RTPC (número reduzido de terminais de teste); além disso, também conta com BISTs que realizam diversos testes internos adicionais. Outro recurso de DfT implementado neste componente é o teste de Scan.

O floorplan de IC3 com os terminais disponíveis para teste são apresentados na figura 4.8. A alimentação de IC3 durante o teste é feita pelos pads SOURCE. A interface de teste está disponível através dos pads DIGITAL INTERFACE.

Figura 4.8 – Floorplan e terminais de teste do dispositivo IC3



4.3.2 Setup do teste de produção

Para fins de testabilidade do chip IC3, observa-se uma complexidade maior para a implementação do teste de produção pelos seguintes fatores:

- Elevado número de comandos devem ser enviados e recebidos através da interface digital;
- Vetores de teste grandes e com valores variáveis;
- Vetor do teste de Scan muito grande (centenas de MB).

O desenvolvimento deste teste em um hardware pré-condicionado (como o caso do módulo HSDIO) é insuficiente para cobrir toda a gama de testes especificada, pois é necessária uma memória de armazenamento muito grande e também customizável. Outra capacidade esperada do sistema de teste é de que deve ser capaz de manipular grande quantidade de comandos (de envio e resposta), inclusive simultaneamente – visando uma plataforma multi-site de teste. Neste último quesito, uma característica desejável do sistema de teste é o de que o sistema de trigger para recebimento de dados seja individual por canal, pois, desta forma, garante-se que o teste seja realizado de forma simultânea e independente um site de outro.

Com o objetivo de atacar estas necessidades, optou-se por utilizar um módulo FPGA Xilinx em função de sua capacidade de configuração personalizada para a aplicação desejada. O desenvolvimento em hardware também proporciona a independência entre canais, situação desejada para a condição de teste em multi-site quando as respostas dos DUTs não são simétricas. Outra característica do módulo FPGA é possuir uma memória interna (DRAM) de 512 MBytes, o que constitui-se um excelente recurso para armazenamento de vetores de teste, principalmente quando estes vetores possuem tamanho elevado ou existem muitos vetores que possuem dados idênticos que devem ser enviados a todos os DUTs simultaneamente – como ocorre em vários dos testes executados em IC3.

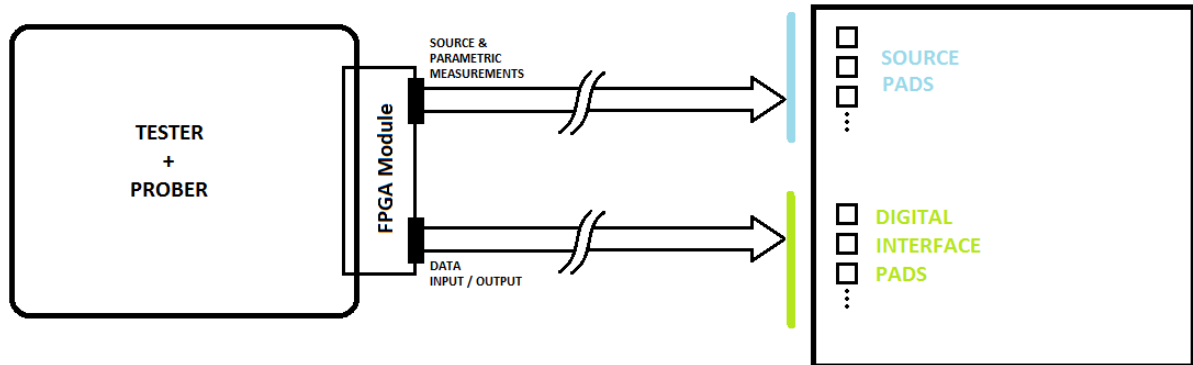
Os comandos enviados via interface interface digital executam uma série de testes como: Scan, teste da memória EEPROM, teste de frequência, etc. Como descrito acima alguns dos comandos, enviados na forma de teste, possuem a função de pré-armazenagem de dados.

Além dos testes executados via interface digital, sob a forma de comandos e repostas, IC3 também deve ser verificado através de testes paramétricos. Durante o teste de produção, medidas de tensão, corrente e frequência são coletadas dos DUTs; estas medições têm dois objetivos:

- Garantir que os limiares estão dentro das características do projeto;
- Verificar o perfil de cada DUT e realizar, a partir do valor coletado, a calibração dos dispositivos para que seus comportamentos sejam regulados (conhecido como procedimento de *'trimming'*).

A figura 4.9 mostra o setup desenvolvido para o teste de produção para uma configuração single site.

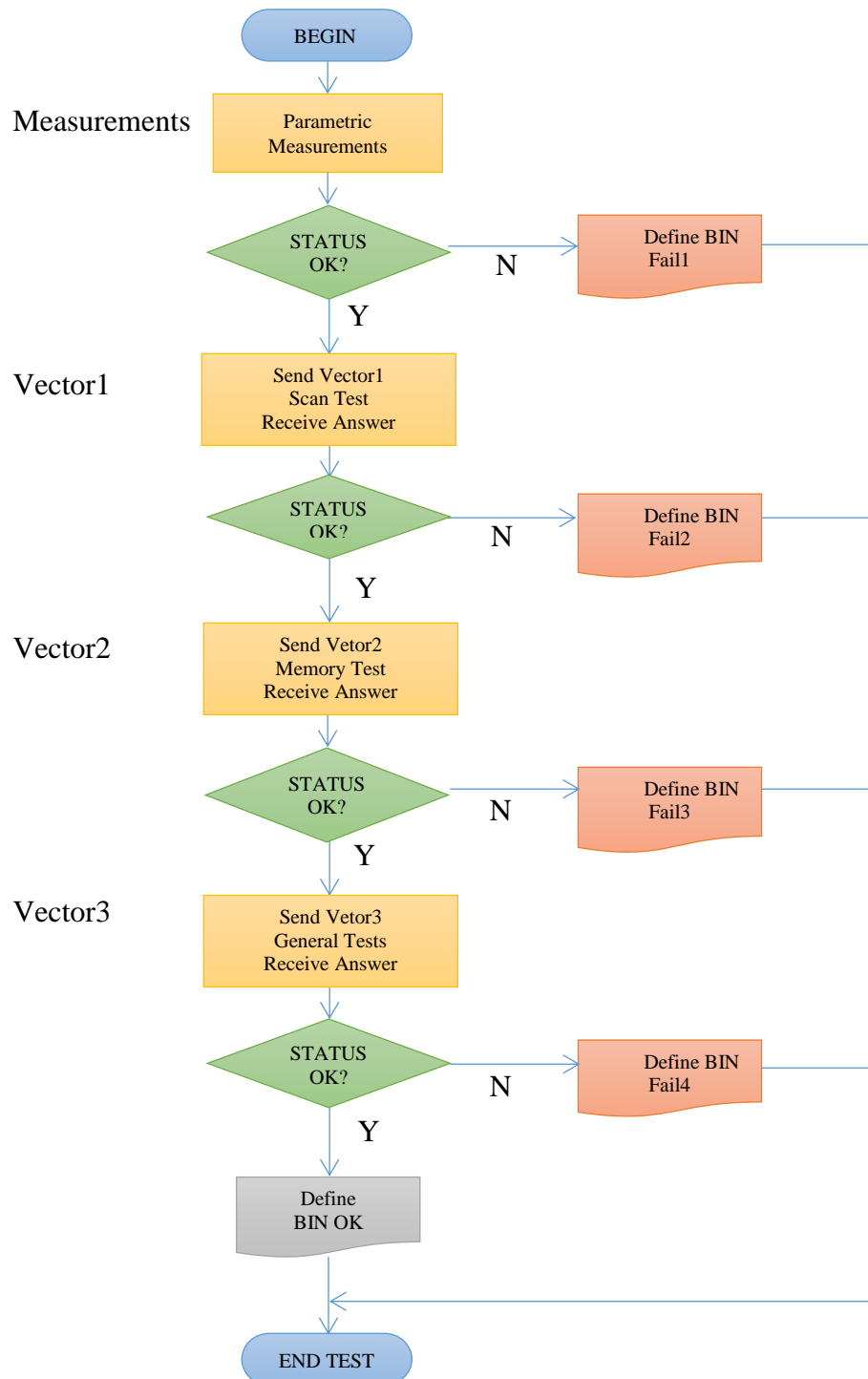
Figura 4.9 – Setup desenvolvido para o teste de produção de IC3



4.3.3 Sequência de teste

A sequência de teste adotada para IC3, apresentada na Fig. 4.10, segue as especificações de teste deste dispositivo. Inicialmente, medidas paramétricas são realizadas antes do envio dos vetores de teste de dados. Os dados levantados nestas medições paramétricas serão utilizados para configuração do dispositivo através de alguns vetores de teste.

Figura 4.10 – Fluxo de teste de IC3



4.3.4 Multi-site

Devido à quantidade de testes e à quantidade de dados transferidos por teste, o tempo total de execução do teste de produção de IC3 é muito maior do que dos outros dois dispositivos

apresentados, IC1 e IC2. Por este motivo, é de suma importância que os dispositivos testados simultaneamente sejam o maior número possível, para que este tempo possa ser dividido entre todos os dispositivos do multi-site.

O módulo FPGA foi utilizado somente para a comunicação de dados através da interface digital dos DUTs. Os demais pinos de IC3, que não fazem parte da interface digital, foram conectados a entradas e saídas digitais de módulos HSDIO e também a Sourcemeters para fins de testes paramétricos. Observa-se, portanto, a necessidade de haver um sincronismo entre todos os módulos presentes no ATE, garantindo assim o correto funcionamento do teste em todos os DUTs paralelamente. Este sincronismo é obtido através do programa de sequenciamento de testes, que tem a capacidade de determinar a ordem de funcionamento de todos os módulos contidos no ATE.

4.3.5 Compressão/descompressão

A memória DRAM do módulo FPGA, apesar de grande (512 MB), é insuficiente para armazenar todo o vetor de teste de Scan. Para que o vetor pudesse ser armazenado foi necessário fazer uma compressão de dados, codificando todos os sinais digitais. O Clock foi descartado, pois pode ser gerado automaticamente pelo FPGA. Durante a execução do teste, em tempo real, o vetor é descomprimido e enviado através da interface digital.

Com esta otimização, o vetor de Scan teve uma redução superior a 50%.

5 MODELOS ECONÔMICOS DO TESTE DE SEMICONDUTORES

Engenharia econômica é o estudo de como os engenheiros escolhem aperfeiçoar seus projetos e métodos de construção para a produção de objetos e sistemas que irão otimizar sua eficiência e, conseqüentemente, a satisfação dos seus clientes (BUSHNELL & AGRAWAL, 2002). A discussão dos conceitos de engenharia econômica compreende a análise da produção e os custos operacionais, e os benefícios versus a análise de custo. Estes conceitos, quando aplicados aos testes de sistemas VLSI, levam aos argumentos econômicos que justificam Design for Testability (DfT) (BUSHNELL & AGRAWAL, 2002).

Há basicamente dois benefícios no teste de semicondutores: qualidade e economia. Estes dois atributos não são independentes e um não pode ser definido sem o outro. Qualidade significa satisfazer as necessidades do usuário a um custo mínimo. Um bom processo de teste pode eliminar todos os produtos defeituosos antes de chegar ao usuário. No entanto, se muitos itens defeituosos estão sendo produzidos, então o custo desses itens defeituosos terá de ser recuperado a partir do preço cobrado pelos poucos itens bons que são produzidos. Desta forma, pode-se dizer que é impossível para um engenheiro projetar um produto de qualidade sem uma profunda compreensão dos princípios físicos que abrangem os processos de fabricação e teste (BUSHNELL & AGRAWAL, 2002).

O teste é o responsável por atestar o funcionamento dos dispositivos VLSI. Vários estudos de custo-benefício são frequentemente necessários para obter o nível de qualidade exigido a um custo mínimo. Os custos incluem o investimento em equipamento automático de teste (ATE), o custo do desenvolvimento do teste (ferramentas computacionais, a geração de vetores de teste, programação de teste), e o custo de implementação de DfT (BUSHNELL & AGRAWAL, 2002).

Neste capítulo serão discutidos os principais conceitos que abrangem o modelamento econômico do teste de semicondutores.

5.1 Modelo econômico do custo do teste

O custo é uma quantidade mensurável que desempenha um papel fundamental na economia (BUSHNELL & AGRAWAL, 2002). A seguir são definidas as principais categorias de custos, além de algumas unidades e indicadores relevantes para o levantamento do modelo econômico do custo do teste.

5.1.1 Custos fixos mensais

Os Custos Fixos Mensais ($FC_{Monthly}$) são os custos de itens que são necessários, mas não mudam com o uso. Por exemplo, na produção de CIs, é necessária uma fábrica e máquinas os quais contarão para os custos fixos. Estes custos não mudam com o número de dispositivos que são fabricados, seja um ou mil componentes; embora estes custos fixos permaneçam inalterados, os custos fixos por dispositivo produzido irão reduzir, pois a produção é aumentada (BUSHNELL & AGRAWAL, 2002).

Com relação ao ATE, um indicador importante que pode ser considerado como custo fixo é a Depreciação de Equipamento, que é detalhado a seguir.

5.1.1.1 Depreciação de equipamento

Depreciação de equipamento (Dep) é um custo para o fabricante que leva em consideração o tempo de obsolescência do equipamento o qual, para ATEs, normalmente é de cinco anos; ou seja, a "vida econômica" do equipamento é dita como sendo de cinco anos. Para tornar o modelo simples, uma depreciação linear é usada; portanto, o custo Dep é de 20% ao ano por cinco anos, após o qual o valor contábil do equipamento é zero. Normalmente, um ATE é útil por mais de cinco anos, e tem um valor de mercado, mesmo quando não possui qualquer valor contábil. No entanto, este modelo assume que a tecnologia e os processos mudam e o fabricante de semicondutores tende a adquirir um ATE mais recente, a fim de maximizar a qualidade e a cobertura de teste; ou o fabricante de semicondutores está simplesmente continuando a aquisição de ATEs para expandir a capacidade (EVANS, 1999).

5.1.2 Custos variáveis mensais

Os Custos Variáveis Mensais ($VC_{Monthly}$) aumentam com o volume de produção. Os custos variáveis da produção de mil componentes serão mil vezes maiores do que os custos variáveis da produção de um único componente. Os custos variáveis geralmente consistem de mão de obra, energia e matérias-primas (BUSHNELL & AGRAWAL, 2002). Catalogaremos estes itens em duas categorias, Trabalho direto e Overhead, as quais são descritas a seguir.

5.1.2.1 Trabalho direto

O Trabalho Direto (Direct Labor - *DL*) pode ser quantificado pelo trabalho direto empregado mensalmente por setup de teste. Este item é diretamente proporcional ao número de estações ATE. Um empregado pode geralmente cobrir mais de uma estação ATE ao mesmo tempo, conseqüentemente o custo por estação ATE refletirá este indicador (EVANS, 1999).

5.1.2.2 Overhead

Overhead (*OH*) é usado para contabilizar todos os outros custos de ensaio, exceto depreciação de equipamentos e mão de obra, tais como de trabalhos indiretos de fabricação (gestão e administrativa), custos de energia e de iluminação, espaço, controle ambiental, manutenção do ATE, probe cards, manipuladores e prober, placas de interface, etc. A maioria das corporações que armazenam informações de histórico calculam "Overhead rates" (de hora em hora e mensais) para prever os custos futuros a serem incorridos. Os custos totais de Overhead são distribuídos por todas as estações de teste ATE; portanto, cada configuração de ATE pode ter seu próprio Overhead (EVANS, 1999).

5.1.3 Custos totais mensais

Os Custos Totais Mensais ($TC_{Monthly}$), conforme equação 5.1, são a soma dos custos fixos e variáveis e aumentam com o volume de produção.

$$TC_{Monthly} = FC_{Monthly} + VC_{Monthly} \quad (5.1)$$

Para minimizar o custo total, a derivada $dTC/dn = 0$ deve ser calculada (BUSHNELL & AGRAWAL, 2002).

5.1.4 Custos médios mensais

Os Custos Médios Mensais ($AC_{Monthly}$) são obtidos com a equação 5.2, ou seja,

$$AC_{Monthly} = \frac{TC_{Monthly}}{n} \quad (5.2)$$

onde n é o número de unidades produzidas.

5.1.5 O curto-prazo e o longo-prazo

A produção de curto prazo significa que algumas das entradas são fixas. Um exemplo é a produção da fábrica sobre um período durante o qual o tamanho da instalação fabril permanece fixo. No curto prazo, as possibilidades de saída são limitadas. A empresa pode contratar mais trabalhadores, pedir mais matéria-prima, talvez acrescentar uma mudança, mas nada além disso (BUSHNELL & AGRAWAL, 2002).

A produção de longo prazo é sobre um período durante o qual a empresa pode mudar todas as entradas, incluindo o tamanho da planta de manufatura. Também são levados em consideração, a longo prazo, fatores como oferta-demanda e competição com concorrentes (BUSHNELL & AGRAWAL, 2002).

Observa-se, na análise de custo a longo-prazo, um universo amplo de possibilidades, muitas vezes específicas para cada caso. O primeiro conceito fundamental do custo de teste, para simplificar a análise, é a ideia de que o teste consiste basicamente de custos fixos no curto prazo. Assim, o principal pressuposto é que o Custo Variável para testar um dispositivo é zero. Normalmente, a curto prazo, uma empresa não está adicionando mão de obra direta com base nos volumes diários. Adicionar estações ATE é considerado adicionar custos fixos, e não custos variáveis por dispositivo; quanto aos ATEs, os custos estão sendo incorridos se um dispositivo está sendo testado ou não. É desejável distribuir o custo através de tantos dispositivos quanto possível, reduzindo assim o custo de cada dispositivo (EVANS, 1999).

Neste trabalho, a análise dos custos será feita dentro do curto-prazo; portanto, apontaremos os indicadores apenas como Custos Fixos. Quase todos os custos podem ser contabilizados de acordo com as três categorias detalhadas: Depreciação de equipamento, Trabalho Direto e Overhead; calcularemos o custo do ATE separadamente. Para o cálculo dos Custos Fixos, temos então a equação 5.3:

$$FC_{Monthly} = Dep + DL + OH \quad (5.3)$$

5.1.6 Custo por hora (fixo)

O Custo por Hora (Fixo), CPH_{fixed} , é o Custo Fixo por mês convertido para uma taxa horária. Estes custos são incorridos 24 horas/dia, quer o teste esteja sendo feito ou não, e devem ser contabilizados. CPH_{fixed} é dado pela equação 5.4 (EVANS, 1999).

$$CPH_{Fixed} = \frac{FC_{Monthly}}{729,6 \frac{h}{month}} \quad (5.4)$$

5.1.7 Custo por hora (utilizado)

Enquanto CPH_{fixed} distribui uniformemente custos em todas as horas, o Custo por Hora (Utilizado), CPH_{UTIL} , distribui todos os custos em toda a porcentagem de tempo real a ser utilizada. CPH_{UTIL} é dado pela equação 5.5.

$$CPH_{UTIL} = \frac{CPH_{Fixed}}{U} \quad (5.5)$$

onde U é o percentual de Utilização do equipamento. Nota-se que a Utilização do equipamento tem um impacto direto no custo do teste; quanto maior o percentual U, menor o Custo por Hora utilizada. No melhor caso, onde a Utilização é de 100%, todo o tempo é utilizado. Neste caso, o Custo da Hora utilizada será igual ao Custo da Hora fixa (EVANS, 1999).

5.1.8 Custo por segundo (utilizado)

Custo por Segundo (Utilizado), CPS_{UTIL} , é o Custo por Hora utilizada convertido em segundos. Este número depende muito do tipo de ATE utilizado e do Overhead. Este indicador na indústria é geralmente de U\$ 0.10 ou menos. CPS_{UTIL} é dado pela equação 5.6 (EVANS, 1999).

$$CPS_{UTIL} = \frac{CPH_{UTIL}}{3600} \quad (5.6)$$

5.1.9 Custo por unidade boa

O Custo por Unidade Boa, CPU_{good} , é calculado dividindo-se o Custo por Hora Utilizada pelas Unidades por Hora Boas, UPH_{good} ; este último será visto na próxima seção, intitulada Produção. Este indicador leva em consideração todos os custos do teste, o throughput, utilização e Yield. Este modelo distribui todos os custos de teste por todas as unidades boas testadas. CPU_{good} , é dado pela equação 5.7 (EVANS, 1999).

$$CPU_{good} = \frac{CPH_{UTIL}}{UPH_{good}} \quad (5.7)$$

5.2 Produção

Produção é o processo de fazer artigos que a sociedade precisa. Os insumos para a produção são trabalho, terra, capital, energia e meios empresariais. Como meios empresariais entendem-se know-how técnico, capacidade da organização, etc. As entradas representam o custo de produção. Embora as entradas variem muito, todas elas podem ser convertidas em valores (moeda) equivalentes. Ambos os custos fixos e variáveis podem ser incluídos (BUSHNELL & AGRAWAL, 2002).

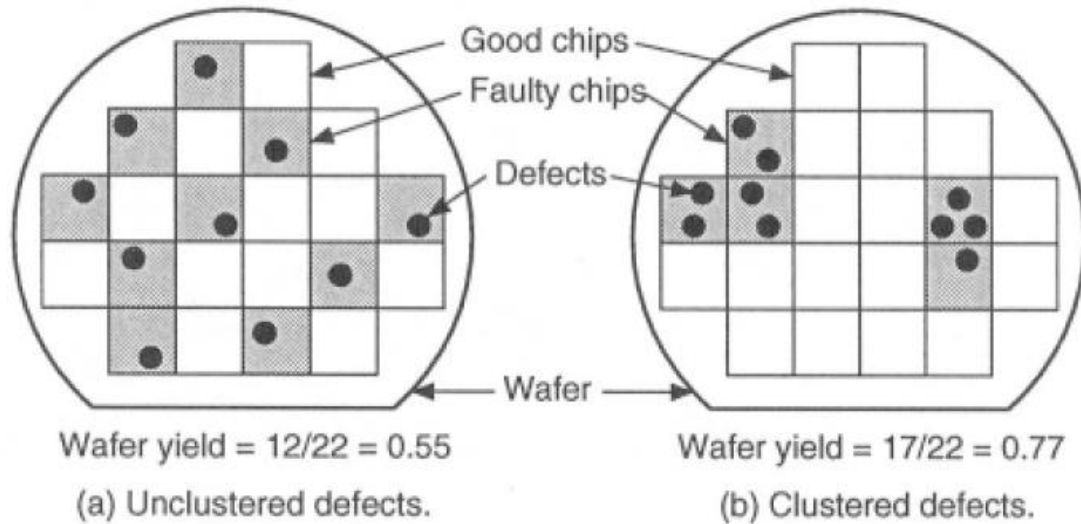
5.2.1 Yield

Yield (Y) de um processo de manufatura é definido como a fração (ou percentual) de partes aceitáveis entre todas as partes que são fabricadas. Variações do processo, tais como impurezas em materiais do wafer e produtos químicos, partículas de poeira sobre máscaras ou no sistema de projeção, desalinhamento da máscara, controle de temperatura incorreta, etc., podem produzir defeitos em wafers. O termo defeito refere-se geralmente a uma imperfeição física no wafer processado; defeitos típicos são condutores partidos, contatos em falta, curto entre os condutores, transistores em falta, dopagens incorretas, e muitos outros fenômenos que podem causar falha no circuito. Alguns defeitos são observáveis através do microscópio óptico ou eletrônico. Outros não são visíveis e só podem ser detectados por testes elétricos (BUSHNELL & AGRAWAL, 2002).

O termo Wafer Yield é algumas vezes utilizado para se referir ao número médio de chips bons produzidos por wafer. A Fig. 5.1 mostra dois exemplos de Wafer Yield; em (a) os defeitos

estão dispostos aleatoriamente entre os componentes do wafer em um modelo chamado Unclustered e em (b) os defeitos entre os componentes estão dispostos em blocos em um modelo chamado Clustered.

Figura 5.1 – Exemplos de Wafer Yield. Em (a) um exemplo de modelo de defeitos desagrupados (Unclustered) e em (b) um exemplo de defeitos em blocos (Clustered)



Fonte: BUSHNELL & AGRAWAL, 2002.

5.2.2 Unidades por hora (inserções)

Unidades por Hora (Inserções), $UPH_{insertions}$, é uma taxa em que os dispositivos podem ser testados assumindo 100% de Yield e de utilização do equipamento, e sem levar em conta todos os custos. $UPH_{insertions}$ leva em conta, em uma hora completa, o teste e a manipulação de n dispositivos, conforme pode ser verificado na equação 5.8.

$$UPH_{insertions} = \frac{3600 \cdot n}{t + i} \quad (5.8)$$

onde:

- n corresponde ao número de sites, ou seja, em testes Multi-site;
- t é tempo de teste em segundos;
- i é o tempo médio de Index (que inclui manipulação, subida/descida de manipuladores/wafers, etc) em segundos.

Analisando-se a equação 5.8, rapidamente nota-se que existem três maneiras de melhorar a taxa de inserções: ou aumentando-se n , ou baixando-se t ou i . No mundo dos testes

de CIs, t é uma variável que depende da complexidade do dispositivo, de técnicas e de metodologia do teste, e da arquitetura do ATE; o tempo de teste é o mais flexível, e o menos difícil dos três, para melhorar e agilizar. O tempo de Index está diretamente relacionado com a tecnologia da prober. Teste de vários sites (discutido em mais detalhes posteriormente) exige mais de uma arquitetura ATE mas, quando aplicado, pode proporcionar ganhos significativos em $UPH_{insertions}$ (EVANS, 1999).

5.2.3 Unidades por hora (boas unidades)

Unidades por Hora (Boas unidades), UPH_{good} , é a taxa de inserções por hora multiplicado pelo percentual Yield, conforme equação 2.9.

$$UPH_{good} = UPH_{insertions} \cdot Y \quad (5.9)$$

Nota-se que esta métrica leva em conta apenas o Yield, e ainda assume 100% de utilização do equipamento (EVANS, 1999).

5.2.4 Unidades por mês (boas unidades)

Unidades por Mês (Boas unidades), UPM_{good} , converte a taxa UPH_{good} para meses e também leva em conta o percentual de Utilização (U) do equipamento, conforme equação 5.10.

$$UPM_{good} = UPH_{good} \cdot U \cdot 729,6 \frac{h}{month} \quad (5.10)$$

Como visto, UPH_{good} não leva em consideração o percentual de Utilização; este modelo foi definido desta forma para compatibilizar com condições reais.

5.3 Aplicações econômicas do custo do teste

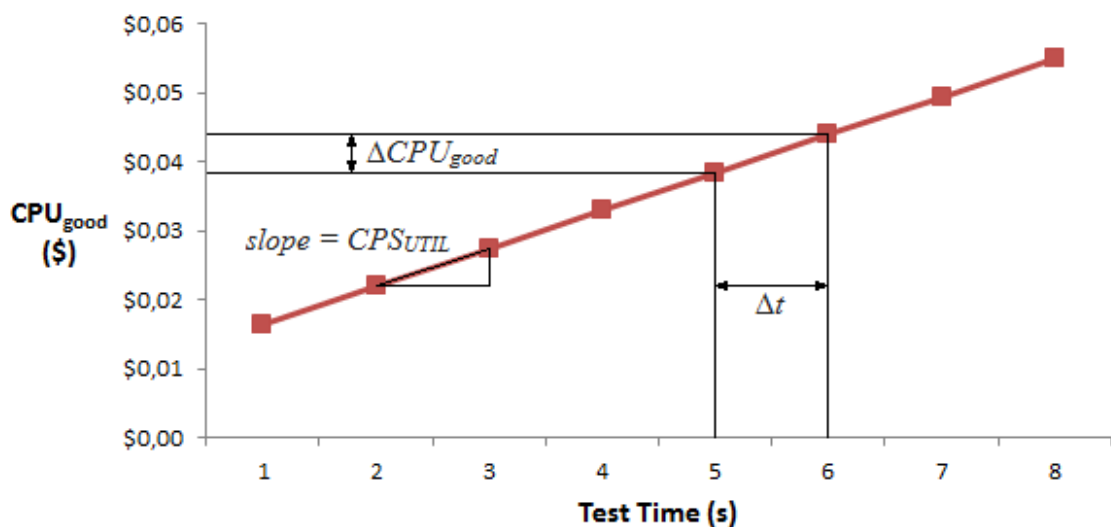
Esta seção se concentra nas aplicações do Modelo econômico do custo do teste e do Volume, analisados anteriormente. A seguir são feitas análises nos seguintes aspectos: expansão da capacidade, volume, utilização, yield e multi-site; a cada análise, procura-se contextualizar os impactos da escolha da arquitetura do teste com o desempenho que este teste poderá proporcionar na produção.

5.3.1 Análise da expansão da capacidade

A análise da expansão da capacidade considera a situação em que um fabricante precisa capacidade adicional de um ATE para suportar um aumento na demanda. A decisão poderia ser a aquisição de um sistema ATE adicional para expandir a capacidade ou uma atualização de computador/hardware para o ATE existente que irá reduzir o tempo de teste do volume que está sendo testado (EVANS, 1999).

A Fig. 5.2 mostra um gráfico que demonstra a relação da variação do tempo do teste de produção (Δt) com a variação do custo por unidade boa (ΔCPU_{good}). Observa-se que a diminuição de t provoca diretamente a diminuição de CPU_{good} .

Figura 5.2 – Exemplo de expansão da capacidade: variação do tempo do teste de produção (Δt) versus a variação do custo por unidade boa (ΔCPU_{good})



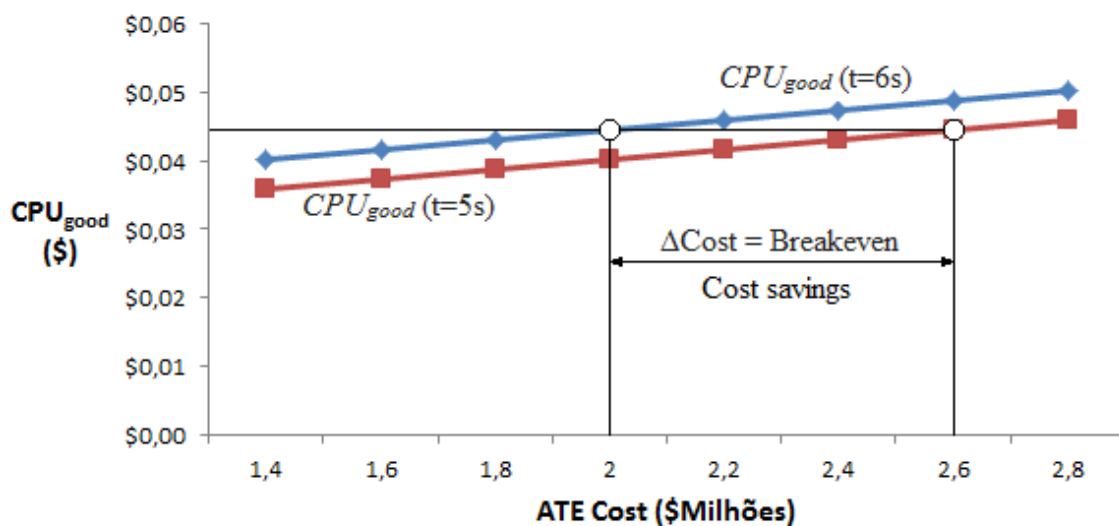
Fonte: Evans, 1999.

5.3.1.1 Breakeven

Através da análise acima observa-se, em conjunto com a equação 5.7, que a redução do tempo de teste em função da aquisição/upgrade do sistema ATE incidirá diretamente no indicador CPU_{good} , ou seja, o preço de cada unidade pode mudar. Porém, muitas vezes o que realmente se deseja é manter o preço do produto que já está sendo produzido e simplesmente aumentar a produção deste dispositivo. Neste caso, pode-se utilizar uma análise de Breakeven, onde procura-se manter o preço do produto estável e, ao mesmo tempo, otimiza-se o valor da nova aquisição do sistema ATE (EVANS, 1999).

A Fig. 5.3 mostra um gráfico que demonstra a relação da variação do investimento no novo sistema ATE (ΔATE) com a variação do custo por unidade boa (ΔCPU_{good}). Observa-se que há uma região onde o valor despendido no novo sistema ATE proporciona redução no indicador de custo por unidade boa (CPU_{good}). Esta região culmina no ponto de Breakeven que revela o máximo valor gasto no novo sistema ATE e que mantém o mesmo valor do produto; acima do ponto de Breakeven, o preço de CPU_{good} tende a aumentar.

Figura 5.3 – Exemplo de Breakeven: variação do custo da atualização do sistema ATE (ΔATE) versus a variação do custo por unidade boa (ΔCPU_{good})



Fonte: Evans, 1999.

5.3.1.2 Capacidade

Outra maneira de analisar a mesma situação é a partir de um nível mais macroscópico. Suponha-se um exemplo no qual haja 20 estações ATE para testar um mesmo dispositivo, devido à grande demanda de volume do cliente. A aquisição de uma nova estação ATE igual às já existentes custa US\$ 2.0 Milhões. Além disso, cada estação pode ser atualizada com um opção que custa US\$ 100.000/ATE e que aumenta a capacidade de cada ATE em 10%. Então, atualizam-se todos sistemas ou adquire-se um novo pelo mesmo custo?

- Upgrade das testadoras existentes:

$$\Delta\text{Custo: } 20 \text{ Testers} * \$100,000 / \text{Tester} = \$2.0M$$

$$\Delta\text{Capacidade: } 20 \text{ Testers} * 10\% / \text{Tester} = 200\% = 2 \text{ Testers}$$

Expansão com nova testadora:

$$\Delta\text{Custo: } 1 \text{ Tester} * \$2,000,000 / \text{Tester} = \$2.0M$$

$$\Delta\text{Capacidade: } 1 \text{ Tester} * 100\% / \text{Tester} = 100\% = 1 \text{ Tester}$$

Verifica-se que a atualização de todos os sistemas ATE dá capacidade adicional de 10% por sistema, que no total seria igual a dois sistemas inteiros ($20 * 10\%$), em comparação com a compra de um único sistema novo pelo mesmo preço (EVANS, 1999).

5.3.2 Análise do volume

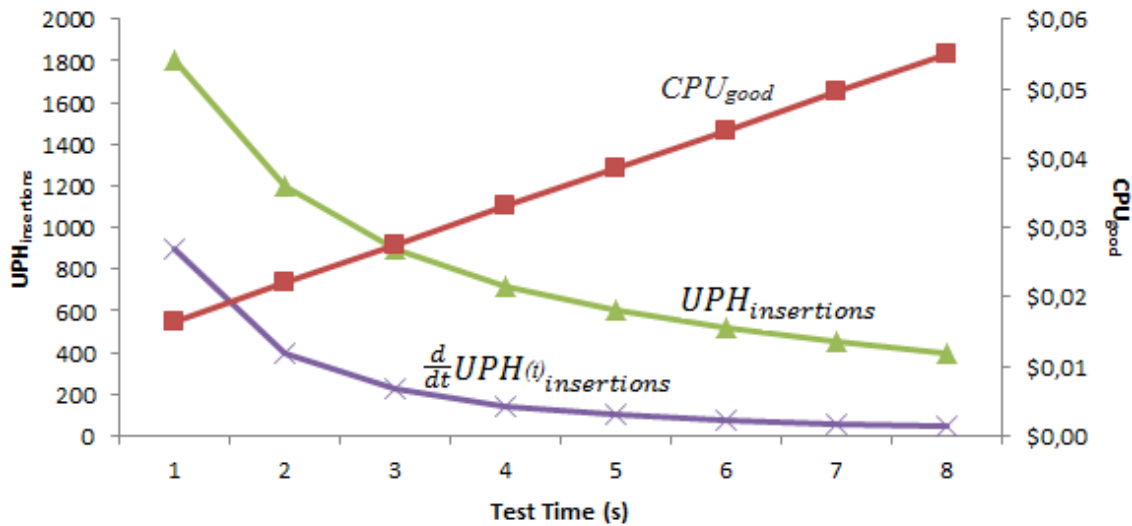
Conforme verificado na seção anterior, na análise da expansão da capacidade, o custo por unidade boa (CPU_{good}) apresenta uma relação linear com o tempo de teste (t), onde CPS_{UTIL} é a inclinação. O volume de peças boas (UPH_{good}) tem uma relação muito diferente com o tempo de teste: ele não é linear.

Para analisar UPH_{good} , recorre-se à equação 5.8 que descreve $UPH_{insertions}$; variando-se t e mantendo-se fixos os demais parâmetros teremos, na verdade, $UPH_{insertions}$ em função de $1/t$. Para encontrar a declividade de $UPH_{insertions}$, a equação é derivada em relação a t , conforme a equação 5.11 (EVANS, 1999).

$$\frac{d}{dt} UPH_{insertions}(t) = -\frac{3600}{(t+i)^2} \quad (5.11)$$

Portanto, uma variação de uma unidade no tempo de teste (t) produz diferentes percentuais de ganhos em UPH. A Fig. 5.4 traz o gráfico já exposto na Fig 5.2 com a sobreposição da curva de volume ($UPH_{insertions}$). Nota-se claramente que enquanto o custo é linearmente diminuído com a redução do tempo de teste, o volume é aumentado em uma taxa muito maior e não-linear (EVANS, 1999).

Figura 5.4 – Exemplo de análise do volume: variação do tempo de teste (Δt) versus as variações do custo por unidade boa (ΔCPU_{good}) e da variação do volume ($\Delta UPH_{insertions}$)

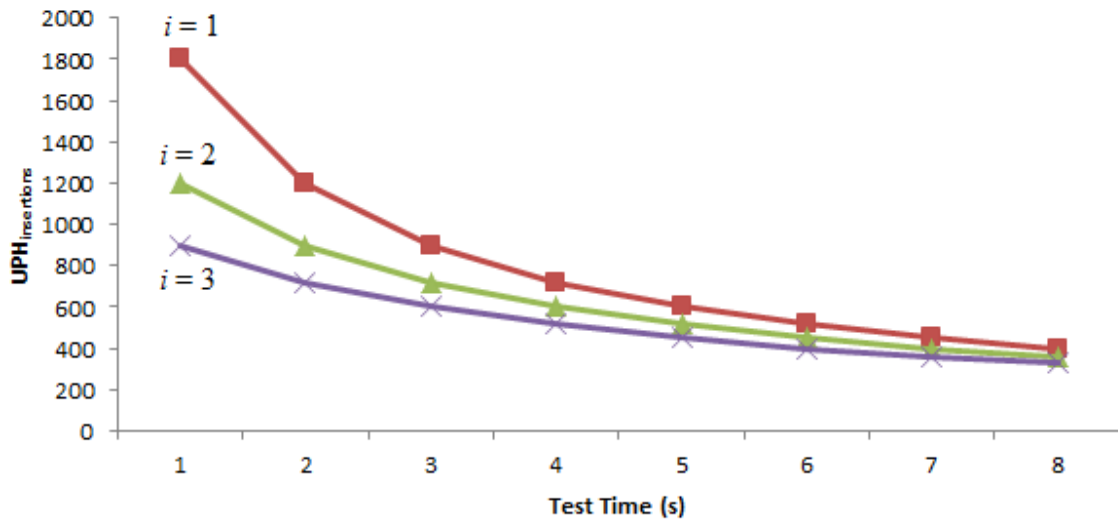


Fonte: Evans, 1999.

5.3.2.1 Efeito do tempo de index

A análise do impacto do tempo sobre o volume também pode ser realizada da mesma forma com a variação do tempo de Index (i). A Fig. 5.5 mostra um exemplo de uma série de curvas onde varia-se tanto o tempo de Index quanto o tempo de teste. Há um claro impacto no volume, como uma função do tempo de Index, quando o tempo de teste é reduzido.

Figura 5.5 – Exemplo de efeito do tempo de Index: variação do tempo de teste (Δt) versus a variação do volume ($\Delta UPH_{insertions}$)



Fonte: Evans, 1999.

5.3.2.2 Tempo de index e a capacidade

Pode-se realizar uma análise de nível maior, como realizado na seção 5.3.1.2 para o tempo de teste, quando deseja-se ampliar o volume pela aquisição de um novo sistema de prober/manipuladores com o objetivo de diminuir o tempo de Index. Suponha-se um exemplo no qual haja 20 probers para testar um mesmo dispositivo, devido à grande demanda de volume do cliente. A aquisição de uma nova prober igual às já existentes custa US\$ 2.0 Milhões. Além disso, cada estação pode ser atualizada com um opção que custa US\$ 200.000/Prober e que diminui o tempo de Index de cada prober em 16,67%. Então, atualizam-se todos sistemas ou adquire-se um novo pelo mesmo custo?

- Upgrade das probers existentes:

$$\Delta \text{Custo: } 20 \text{ Probers} * \$200,000 / \text{Prober} = \$4.0M$$

$$\Delta \text{Capacidade: } 20 \text{ Probers} * 16,67\% / \text{Prober} = 333\% = 3,33 \text{ Testers}$$

- Expansão com nova(s) prober(s):

$$\Delta \text{Custo: } 2 \text{ Probers} * \$2,000,000 / \text{Prober} = \$4.0M$$

$$\Delta \text{Capacidade: } 2 \text{ Probers} * 100\% / \text{Prober} = 100\% = 2 \text{ Tester}$$

Atualizando todos os sistemas de probers com \$ 200.000/prober para um total de US\$ 4.0M proporciona capacidade adicional de 16,67% por sistema, totalizando uma capacidade total de 3,33 probers. Para o mesmo preço de US\$ 4.0M, duas probers adicionais podem ser

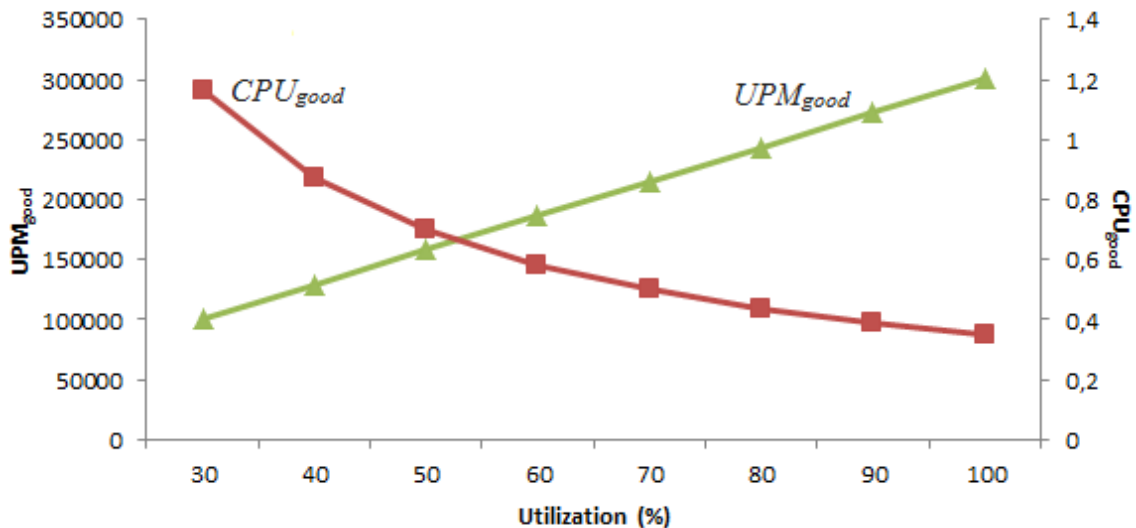
adquiridas para produzir 2 probers adicionais de capacidade. Nota-se que a atualização dos sistemas de probers já existentes produz um sistema de manipulação extra de 1,33 de capacidade (EVANS, 1999).

5.3.3 Análise da utilização (downtime)

A Utilização (U) também é um fator que influencia no cálculo do custo por unidades boas (CPU_{good}). Da mesma forma já exposta anteriormente, modelos podem ser aplicados para determinar o efeito da Utilização no custo do teste; esta informação pode ajudar os administradores do chão de teste a decidir, por exemplo, sobre qual tipo de contrato de manutenção adquirir ou determinar momentos de parada programada. Muitos fatores podem influenciar no indicador de Utilização, incluindo downtime (tempo inativo), mudanças de dispositivo/lote, calibração do ATE, tempo de carregamento do programa, etc. (EVANS, 1999).

A Fig. 5.5 apresenta um gráfico de CPU_{good} e UPM_{good} (Unidades por mês boas) em função da Utilização. Observa-se que a utilização pode ter um grande impacto, tanto no custo por unidade quanto no volume mensal testado.

Figura 5.6 – Exemplo da análise de Downtime: variação da Utilização ($\Delta U\%$) versus as variações de unidades boas mensais (ΔUPM_{good}) e do custo por unidades boas (ΔCPU_{good})

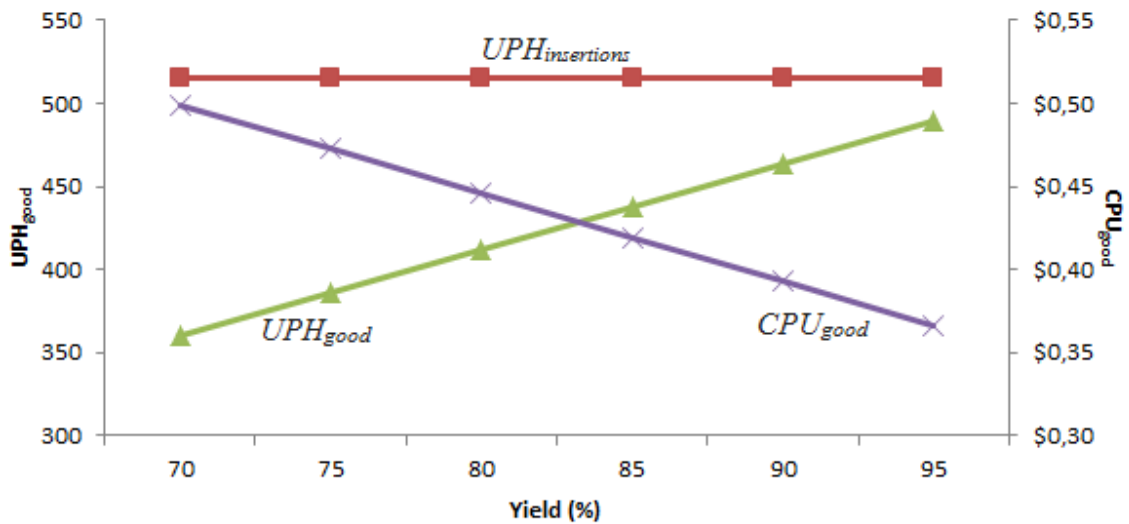


Fonte: Evans, 1999.

5.3.4 Análise do yield

O Yield (Y) também pode ser analisado similarmente aos indicadores já apresentados. A Fig. 5.6 apresenta um gráfico que representa, simultaneamente, os comportamentos de $UPH_{insertions}$, UPH_{good} e CPU_{good} em função do Yield.

Figura 5.7 – Exemplo da análise do Yield: variação do Yield ($\Delta Y\%$) versus as variações de volume ($\Delta UPH_{insertions}$ e ΔUPH_{good}) e do custo por unidades boas (ΔCPU_{good})



Fonte: Evans, 1999.

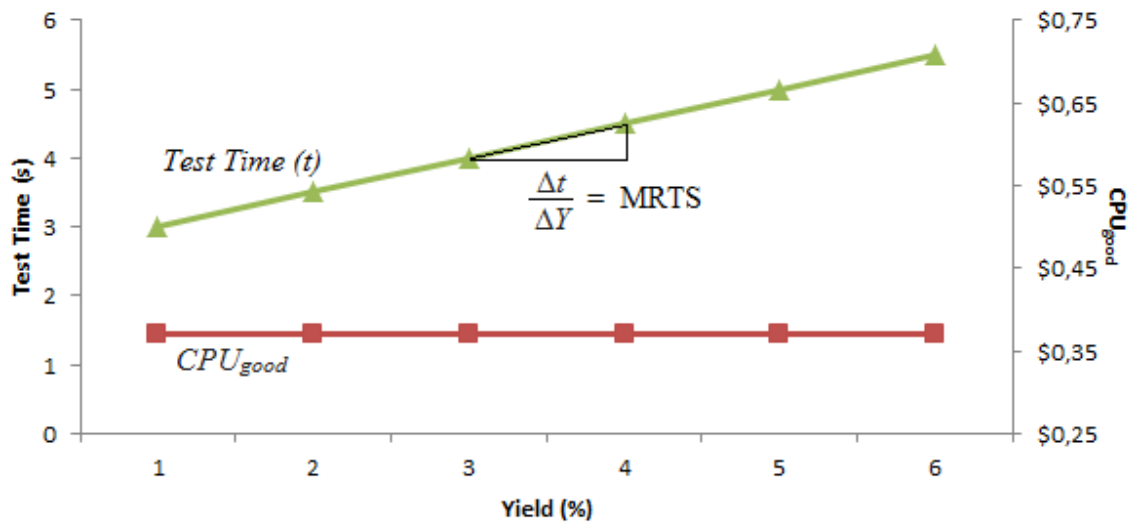
Nota-se que, a medida que o Yield aumenta, UPH_{good} aproxima-se de $UPH_{insertions}$. De forma contrária, conforme o Yield aumenta, o total dos custos são distribuídos entre mais boas unidades, fazendo com que CPU_{good} decline (EVANS, 1999).

5.3.4.1 Taxa marginal de substituição técnica

A partir da Fig 5.6 verifica-se que uma queda no Yield de determinado dispositivo em teste trará como resultado um aumento no custo final de cada unidade, além de um impacto negativo no volume disponibilizado ao cliente. Uma forma de contornar este problema, entre outras, consiste na implementação de melhorias nos programas de teste, de forma a reduzir o tempo de teste por dispositivo; esta redução do tempo de teste não aumentará o Yield, mas impacta diretamente no volume e, conseqüentemente, no custo por unidade (CPU_{good}).

A técnica de microeconomia chamada de Taxa Marginal de Substituição Técnica (Marginal Rate of Technical Substitution – MRTS) procura contornar problemas de saída de um sistema de produção através de mudanças nos parâmetros de insumos. A Fig. 5.7 apresenta graficamente a taxa MRTS, obtida com variação do tempo de teste (Δt) pela variação do Yield observada (ΔY) (EVANS, 1999).

Figura 5.8 – Exemplo de MRTS: variação do Yield ($\Delta Y\%$) versus as variação do tempo de teste (Δt)



Fonte: Evans, 1999.

5.3.5 Análise do multi-site

O teste em configuração Multi-site, sob condições adequadas, tem impacto mais significativo sobre o rendimento e o custo do teste do que qualquer outro fator de entrada. Para analisar este ganho serão definidas a seguir algumas métricas de valor significativo para comparar a configuração Multi-site com a Singlesite.

5.3.5.1 Ganho de volume em multi-site baseado no tempo de teste

O Ganho de volume em Multi-site baseado no tempo de teste, *Throughput Gain* (t), é dado pela equação 5.12.

$$\text{Throughput Gain } (t) = \frac{t_{\text{Singlesite}}}{t_{\text{Multi-site}}} \cdot n \quad (5.12)$$

onde:

- $t_{Single\text{-}site}$ é o tempo de teste de um único dispositivo;
- $t_{Multi\text{-}site}$ é o tempo de teste de um número n de dispositivos;
- n é o número de sites sendo testados.

A indicação “(t)” indica que esta métrica leva em conta apenas o tempo de teste (sem levar em conta o tempo de Index). A idéia deste indicador é maximizar o ganho para otimizar o custo de produção. Se o programa de teste proporcionar $Throughput\ Gain(t) = n$, então o tempo de teste de múltiplos sites simultâneos é o mesmo de um único site (programa é 100% eficiente); no pior caso, o programa tem $Throughput\ Gain = 1$, ou seja, o tempo de teste na configuração Multi-site foi n vezes o tempo de teste de um único site. Portanto, $Throughput\ Gain$ é um número entre 1 e n (EVANS, 1999).

5.3.5.2 Multi-site overhead

Quando o tempo de teste em configuração Multi-site é maior do o tempo de teste de um único dispositivo, há alguma parte do programa de teste que não pode ser feita em paralelo e é, portanto, "serializada". A métrica para a descrição deste Overhead é dada pela equação 5.13.

$$\%Overhead = \frac{t_{Multi\text{-}site}}{t_{Single\text{-}site}} - 1 \quad (5.13)$$

Este número é igual ao percentual do tempo de teste em configuração Multi-site que não pode ser realizado em paralelo para todos os sites combinados (EVANS, 1999).

5.3.5.3 Ganho de volume em multi-site baseado nos tempos de teste e index

Este é o ganho de volume total verdadeiro, que também considera os efeitos do tempo de Index. Este indicador leva em conta o fato de que se leva mais tempo para indexar dois ou quatro dispositivos do que se levaria para indexar apenas um. Na maioria dos casos, o tempo real de Index por dispositivo reduz, mas o tempo total aumenta. Por exemplo, pode-se levar 1,8s para indexar 2 dispositivos, mas pode-se levar 5s para indexar 4 do mesmo dispositivo com o mesmo sistema de manipulação. Portanto, o verdadeiro ganho de volume em Multi-site será menor do que o ganho quando é considerado apenas o tempo de teste (EVANS, 1999).

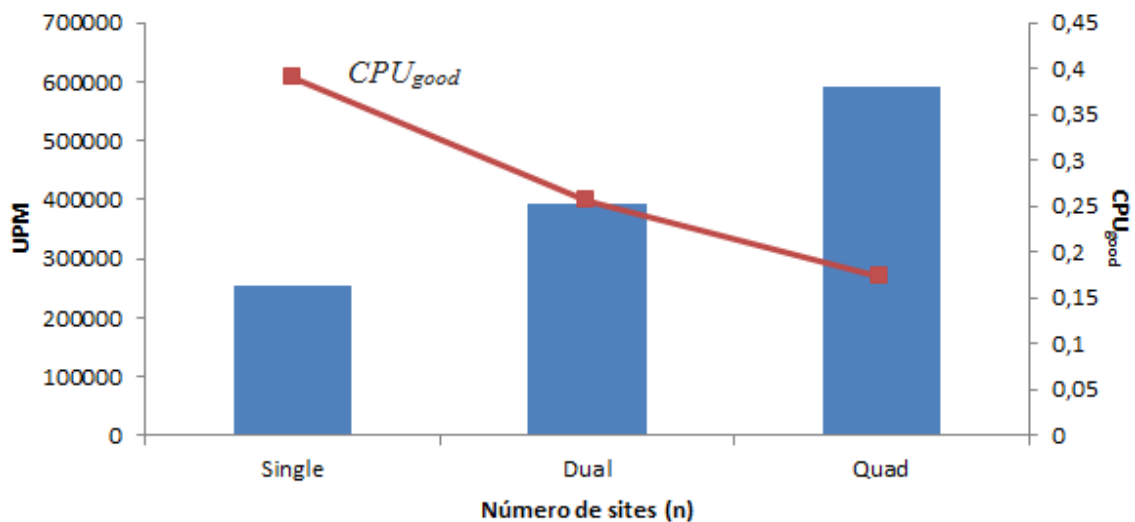
A equação 5.14 descreve o ganho de volume em Multi-site baseado nos tempos de teste e Index.

$$\text{Throughput Gain (t + i)} = \left(\frac{t_{\text{Singlesite}} + i_{\text{Singlesite}}}{t_{\text{Multi-site}} + i_{\text{Multi-site}}} \right) \cdot n \quad (5.14)$$

5.3.5.4 Análise de capacidade na aplicação multi-site

O aumento da capacidade é intrínseco à configuração Multi-site, que também acarreta na diminuição do custo por unidade boa (CPU_{good}). A Fig. 5.8 apresenta um exemplo que demonstra o efeito do aumento da capacidade pelo paralelismo simultâneo do Multi-site sobre o volume e sobre o custo por unidade boa.

Figura 5.9 – Exemplo de multi-site: variação do número de sites (Δn) versus as variações de volume (ΔUPM) e do custo por unidade boa (ΔCPU_{good})



Fonte: Evans, 1999.

A análise do aumento da capacidade via Multi-site pode ser feita de um nível macroscópico. Suponha-se que o chão de teste possua 20 ATEs que operam em configuração Singlesite e que cada ATE custou \$2M. Estes ATEs obtiveram um volume total de teste, em um mês, de $UPM_{good} = 5.065.500$ unidades boas. Sabe-se que um ATE Quadsite produz um volume $UPM_{good} = 590.976$ unidades e que um upgrade de Singlesite para Quadsite custa \$200.000 / Tester. Para atingir o mesmo volume total, quantos ATEs Quadsite são necessários? Qual é a melhor opção de custo para atingir este volume total mensal?

- Análise dos ATEs Singlesite existentes:

$$\Delta\text{Capacidade: } 20 \text{ ATE} * 253,275 / \text{ATE} = 5,065,500$$

$$\Delta\text{Custo: } 20 \text{ ATE} * \$2,000,000 / \text{ATE} = \$40M$$

- Expansão com nova(s) prober(s):

$$\Delta\text{Capacidade: } 5,065,500 / 590.976/\text{ATE} = 8,57 \text{ ATE} \cong 9 \text{ ATE}$$

$$\Delta\text{Custo: } 9 \text{ ATE} * \$2,200,000 / \text{ATE} = \$19.8M$$

Observa-se que, no exemplo acima, 9 Testers operando em Quadsite são mais do que suficientes para suprir a demanda, com custo abaixo da metade do custo do investimento em Testers operando em Singlesite (EVANS, 1999).

6 ANÁLISE ECONÔMICA DOS ESTUDOS DE CASO

Neste capítulo são realizadas análises econômicas dos estudos de casos de testes de semicondutores desenvolvidos, apresentados no capítulo 4, através dos modelos econômicos para testes de semicondutores, expostos no capítulo 5.

6.1 Análise econômica do circuito integrado IC1

Nesta seção é apresentada a análise econômica para o teste de produção do circuito integrado IC1. O desenvolvimento do teste de produção de IC1 foi descrito no item 5.1.

6.1.1 Dados básicos

A seguir são apresentados os custos básicos para o teste de produção deste componente e que são necessários para o desenvolvimento da análise econômica.

Valor total do ATE: R\$ 103.003,89 (conforme anexo I)

Consumo de energia: 115W (3 slots PXI; 38,25 W per slot)

Iluminação: 100W

Trabalhos indiretos: 40.000,00 (dois funcionários por mês)

Probecard: US\$ 1.733,00 (ou R\$ 5.632,25 com dólar a R\$ 3,25)

O consumo de energia total por mês ($ET_{Monthly}$) é dado pelo consumo de energia do ATE adicionado da energia gasta em iluminação em um mês.

$$ET_{Monthly} = (115W + 100W) * 729,6 \frac{h}{month} = 156,74 kWh/mês$$

Através do site da provedora local de energia elétrica, pode-se simular o valor devido em função da energia gasta mensalmente; no caso específico, o valor despendido é de R\$ 179,00.

O valor gasto com probecards dependerá diretamente do número de touchdowns sofridos pelas agulhas; portanto, esta é uma variável dependente do volume de produção. O datasheet da probecard define 250 mil touchdowns como vida útil da ferramenta. Para o caso específico de IC1, onde se propõe um site, um wafer de 7.200 dies realizará $7.200 / 1 = 7.200$

touchdowns aproximadamente. Com isto, observa-se que a vida útil de uma probecard se esgotará a cada $250.000 / 7.200 = 35$ wafers. Iniciaremos a análise com entregas de volume de 5 wafers/mês; portanto, será necessária uma probecard a cada 7 meses, totalizando R\$ 805,00 de custo mensal.

Estima-se também, além do operador, mais dois funcionários em trabalhos indiretos (logística, administração, gestão, manutenção, etc.). O valor despendido é de R\$ 40.000,00 aproximadamente.

Quanto ao ATE, os gastos com garantia e calibração para 5 anos custam 13.610,00. Por mês o valor fica $13.610,00 / 60 \text{ meses} = 227,00$.

Somando-se o gasto de energia total por mês, o consumo de probecards, pagamento de trabalhos indiretos e garantia e calibração obtemos o valor de Overhead, ou seja:

$$OH_{Monthly} = 179,00 + 805,00 + 40.000,00 + 227,00 = \text{R\$ } 41.211,00$$

6.1.2 Custos totais mensais

Conforme descrito no capítulo 5, os Custos Totais Mensais são divididos em custos de depreciação de equipamento, Trabalho Direto e Overhead. Desta forma, temos a seguinte tabela para um cenário básico.

Costs:	IC1 Basic Scenario	
ATE/Option Capital Cost	R\$	103.003,89
Overhead Per Month	R\$	41.211,00
Overhead Per Hour	R\$	56,48
Direct Labor Per Month	R\$	20.000,00
Direct Labor Per Hour	R\$	27,40
Equipment Dep Per Month	R\$	1.716,73
Equipment Dep Per Hour	R\$	2,35

A tabela também apresenta os custos totais mensais em seus valores por hora, para fins de cálculos a serem realizados adiante.

6.1.3 Utilização

A Utilização (U) pode ser influenciada, conforme capítulo anterior, por uma série de fatores como, por exemplo, downtime (tempo inativo), mudanças de dispositivo/lote, calibração do ATE, tempo de carregamento do programa, etc. Dificilmente haverá uma utilização de 100% do tempo, mas este é um objetivo a ser seguido, quando a finalidade é diminuir os custos de produção. Neste cenário inicial, iniciaremos com 75% de utilização do teste.

6.1.4 Vazão e Yield

A vazão de dies testados depende de três fatores: do tempo de teste (t), do tempo de index (i) e do número de sites (n). Desta vazão de dies, o percentual de dies bons é contabilizado em Yield. A tabela 6.2 apresenta estes valores para o circuito integrado IC1.

Tabela 6.2 – Vazão e Yield de IC1 em um cenário básico

<i>Throughput:</i>	<i>IC1 Basic Scenario</i>
Test Time	0,5s
Index Time	0,5s
Number of Sites	1
<i>Yield</i>	95%

6.1.5 Variáveis de custo e de produção

Conforme apresentado no capítulo 5, serão calculadas algumas variáveis relevantes para o levantamento do perfil econômico do circuito integrado. Estas são as variáveis de custo e de produção, que são definidas a seguir.

6.1.5.1 Custo fixo mensal

O Custo Fixo Mensal ($FC_{Monthly}$) é dado por:

$$FC_{Monthly} = Dep + DL + OH$$

$$FC_{Monthly} = 1.716,73 + 20.000,00 + 41.211,00 = R\$ 62.927,73$$

6.1.5.2 Custo por hora (fixo)

O Custo por Hora (Fixo), CPH_{Fixed} , é dado por:

$$CPH_{Fixed} = \frac{FC_{Monthly}}{729,6 \frac{h}{month}} = \frac{R\$ 62.927,73}{729,6 \frac{h}{month}} = R\$ 86,25$$

6.1.5.3 custo por hora (utilizado)

O Custo por Hora (Utilizado), CPH_{UTIL} , é dado por:

$$CPH_{UTIL} = \frac{CPH_{Fixed}}{U} = \frac{R\$ 86,25}{75\%} = R\$ 115,00$$

6.1.5.4 Unidades por hora (inserções)

As Unidades por Hora (Inserções), $UPH_{insertions}$, é dado por:

$$UPH_{insertions} = \frac{3600 \cdot n}{t + i} = \frac{3600 \cdot 1}{0,5 + 0,5} = 3.600 \text{ unidades}$$

6.1.5.5 Unidades por hora (boas)

As Unidades por Hora (Boas), UPH_{good} , é dado por:

$$UPH_{good} = UPH_{insertions} \cdot Y = 3.600 \cdot 95\% = 3.420 \text{ unidades}$$

6.1.5.6 Custo por unidade boa

O Custo por Unidade Boa, CPU_{good} , é dado por:

$$CPU_{good} = \frac{CPH_{UTIL}}{UPH_{good}} = \frac{R\$ 115,00}{3.420} = R\$ 0,03363$$

6.1.5.7 Custo por segundo (utilizado)

O Custo por Segundo (Utilizado), CPS_{UTIL} , é dado por:

$$CPS_{UTIL} = \frac{CPH_{UTIL}}{3600} = \frac{R\$ 115,00}{3600} = R\$ 0,03194$$

6.1.5.8 Unidades por mês (boas unidades)

As Unidades por Mês (Boas unidades), UPM_{good} , é dado por:

$$UPM_{good} = UPH_{good} \cdot U \cdot 729,6 \frac{h}{month} =$$

$$UPM_{good} = 3.420 \cdot 75\% \cdot 729,6 = 1.871.424 \text{ unidades}$$

6.1.6 Compilação do cenário inicial

De posse dos dados levantados do teste de produção do CI, pode-se construir uma tabela que facilitará a comparação de valores para quaisquer outros cenários. A tabela a seguir apresenta os valores obtidos.

Tabela 6.3 – Compilação do cenário inicial para IC1

Costs:	ICI Basic Scenario	
ATE/Option Capital Cost	R\$	103.003,89
Overhead Per Month	R\$	41.211,00
Overhead Per Hour	R\$	56,48
Direct Labor Per Month	R\$	20.000,00
Direct Labor Per Hour	R\$	27,40
Equipment Dep Per Month	R\$	1.716,73
Equipment Dep Per Hour	R\$	2,35
Utilization		75%
Throughput:		
Test Time		0,5s
Index Time		0,5s
Number of Sites		1
Yield		95%
FC_{Monthly}	R\$	62.927,73
CPH_{Fixed}	R\$	86,25
CPH_{UTIL}	R\$	115,00
UPH_{insertions}		3.600
UPH_{good}		3.420
CPU_{good}	R\$	0,03363
CPS_{UTIL}	R\$	0,03194
UPM_{good}		1.871.424

6.1.7 Aplicações econômicas do custo do teste

A partir da tabela obtida na compilação do cenário inicial serão realizadas várias análises com o objetivo de otimizar os seguintes aspectos: expansão da capacidade, volume, utilização, yield e multi-site. O objetivo destas análises é avaliar o impacto de custos e os ganhos obtidos com as expansões de capacidade.

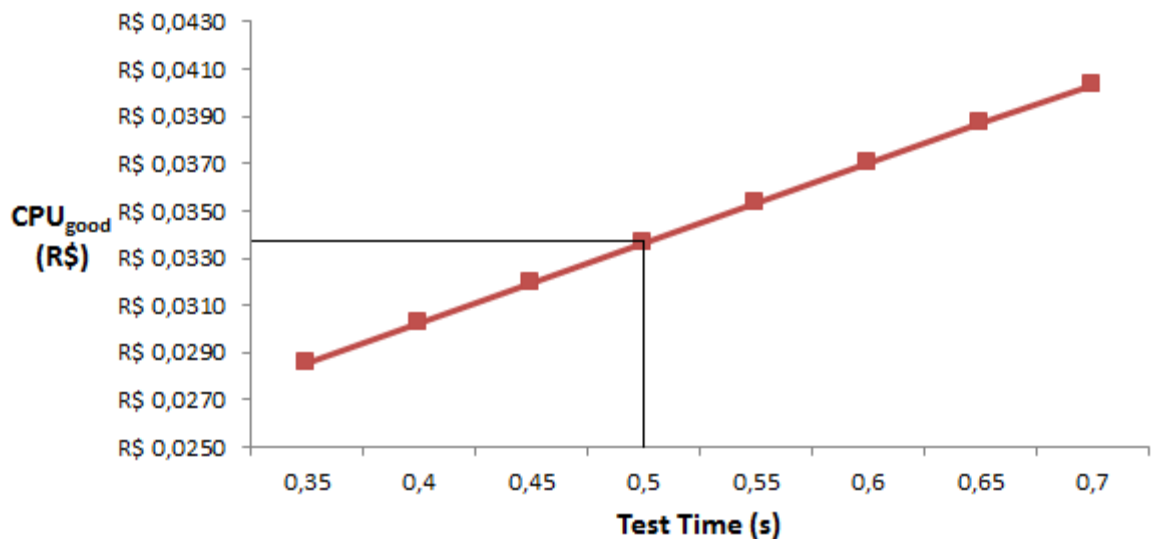
6.1.7.1 Análise da expansão da capacidade

A análise da expansão da capacidade busca verificar formas de acomodar um aumento da demanda de testes de CIs.

Uma das formas de aumento dessa capacidade pode ser dada pela redução do tempo de teste de cada dispositivo. No caso de IC1, como o tempo de teste já resumido ao tempo de operação do chip, uma otimização possível é a melhoria do código do programa de teste que manipula e decodifica o sinal modulado.

O gráfico apresentado pela Fig. 6.1 mostra o impacto da variação do tempo de teste (Δt) no custo por unidade boa (ΔCPU_{good}).

Figura 6.1 – Impacto da variação do tempo do teste de produção (Δt) no custo por unidade boa (ΔCPU_{good}) em IC1



6.1.7.2 Análise de capacidade

O aumento da capacidade também pode ser obtido através da expansão do ATE, mantendo-se o custo do produto unitário CPU_{good} . Através da análise de Breakeven de IC1, podemos determinar qual é o máximo valor que deve ser despendido em uma otimização do ATE.

A análise da expansão da capacidade busca verificar se o aumento do teste de produção de circuitos integrados deve-se dar pela aquisição de novos equipamentos de teste (ATEs, probers, etc.) ou através de possíveis upgrades no sistema ATE existente.

No caso de IC1, faremos a análise da implantação de uma configuração de testes de 8 sites. Esse aumento da capacidade de teste atual, ou seja, de 1 site para 8 sites pode ser obtido de duas formas: pela aquisição de um novo módulo DAq com cabos ou pela aquisição de um novo ATE. Sabe-se que o upgrade que aumenta a quantidade de dies testados para oito custa R\$ 15.455,00 (um novo módulo DAq, com cabos) e que a aquisição de um novo ATE custará R\$ 103.003,89.

- Upgrade do testador existente:

$$\Delta\text{Custo: } 1 \text{ Tester} * R\$15.455,00 / \text{Tester} = R\$15.455,00$$

$$\Delta\text{Capacidade: } 1 \text{ Tester} * 100\% / \text{Tester} = 100\% = 1 \text{ Tester}$$

- Expansão com novo testador:

$$\Delta\text{Custo: } 1 \text{ Tester} * R\$103.003,00 / \text{Tester} = R\$103.003,00$$

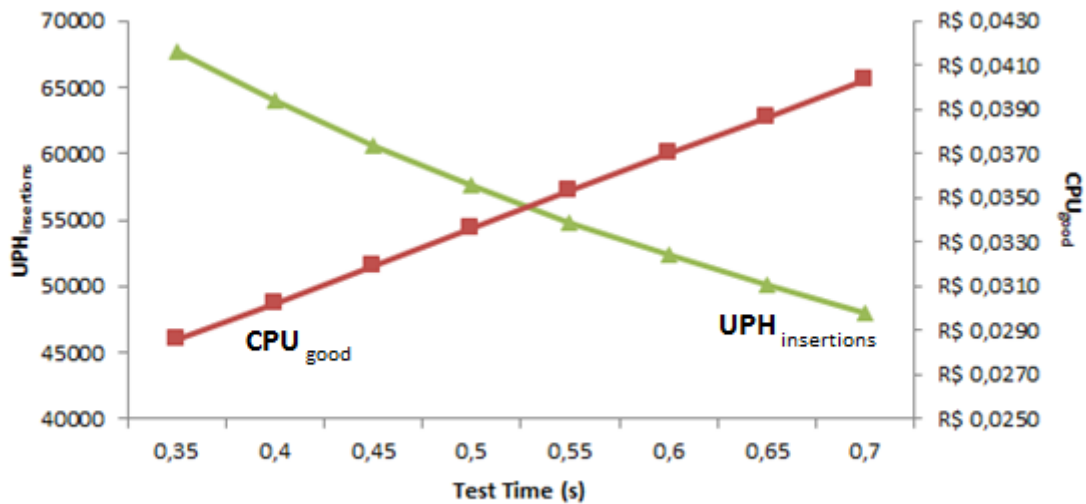
$$\Delta\text{Capacidade: } 1 \text{ Tester} * 100\% / \text{Tester} = 100\% = 1 \text{ Tester}$$

Fica claro que a expansão para mais sites no mesmo ATE dispense menor valor frente à aquisição de um novo ATE. Observa-se ainda que não foi contabilizado o valor dispendido com uma nova Prober, a qual seria necessária no caso da aquisição de um novo ATE.

6.1.7.3 Análise de vazão (throughput)

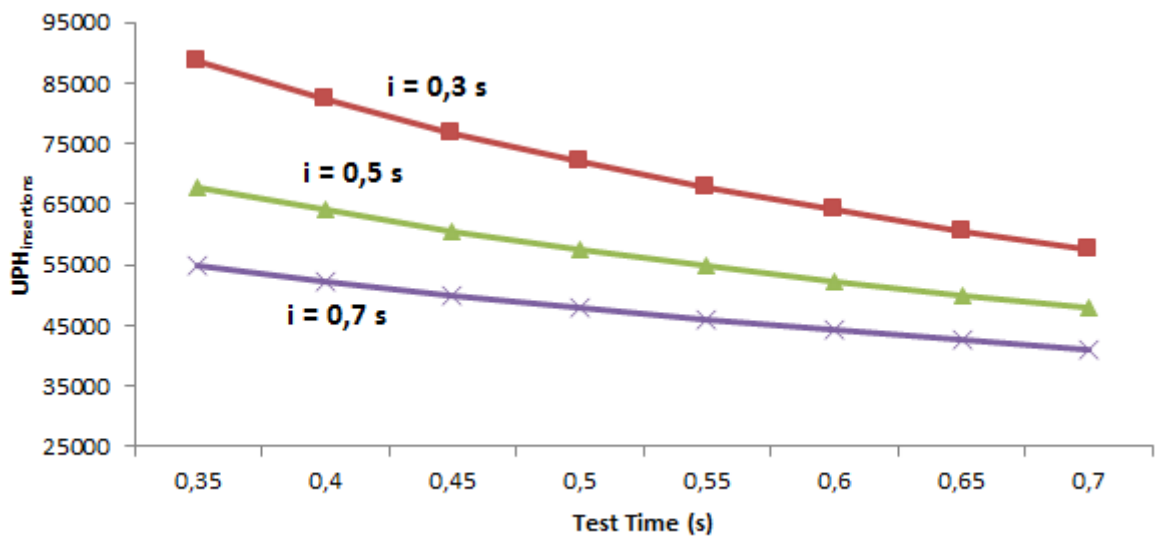
Veremos agora a relação do volume de dispositivos testados (Unidades por Hora) com o custo do teste descrito na seção anterior. Para o dispositivo IC1, teremos esta relação apresentada na Fig. 6.2, variando-se o tempo de teste dos componentes.

Figura 6.2 – Impacto da variação do tempo do teste de produção (Δt) no custo por unidade boa (ΔCPU_{good}) em IC1



Da mesma forma, esta análise pode levar em conta a variação do tempo de Index, para um mesmo tempo de teste. Desta forma, podemos ver a variação de volume testado por hora conforme a Fig. 6.3.

Figura 6.3 – Impacto da variação do tempo de Index (Δi) no custo por unidade boa (ΔCPU_{good}) em IC1



6.1.7.4 Análise de utilização (downtime)

Da mesma forma que as variáveis anteriores, a utilização do ATE impacta diretamente no custo final do componente testado. Através da análise de Utilização, pode-se fazer a estimativa de redução de custo para um aumento da utilização do ATE e, até mesmo, realizar uma análise de Breakeven, projetando-se quanto é possível investir em uma expansão do ATE para esta redução de custo obtida.

Tabela 6.4 – Análise da Utilização do ATE no teste de IC1

<i>Costs:</i>	<i>ICI Basic Scenario</i>	<i>ICI Scenario2</i>	<i>ICI Scenario3</i>	<i>Diff %</i>
ATE/Option Capital Cost	R\$ 103.003,89	R\$ 103.003,89	R\$ 312.700,00	0,00%
Overhead Per Month	R\$ 41.211,00	R\$ 41.211,00	R\$ 41.211,00	0,00%
Overhead Per Hour	R\$ 56,48	R\$ 56,48	R\$ 56,48	0,00%
Direct Labor Per Month	R\$ 20.000,00	R\$ 20.000,00	R\$ 20.000,00	0,00%
Direct Labor Per Hour	R\$ 27,40	R\$ 27,40	R\$ 27,40	0,00%
Equipment Dep Per Month	R\$ 1.716,73	R\$ 1.716,73	R\$ 5.211,67	0,00%
Equipment Dep Per Hour	R\$ 2,35	R\$ 2,35	R\$ 7,14	0,00%
Utilization	75%	79,166%	79,166%	5,26%
Throughput:				
Test Time	0,50s	0,50s	0,50s	0,00%
Index Time	0,5s	0,5s	0,5s	0,00%
Number of Sites	1	1	1	0,00%
Yield	95%	95%	95%	0,00%
<i>FC_{Monthly}</i>	R\$ 62.927,73	R\$ 62.927,73	R\$ 66.422,67	0,00%
<i>CPH_{Fixed}</i>	R\$ 86,25	R\$ 86,25	R\$ 91,04	0,00%
<i>CPH_{UTIL}</i>	R\$ 115,00	R\$ 108,95	R\$ 115,00	-5,55%
<i>UPH_{insertions}</i>	3.600	3.600	3.600	0,00%
<i>UPH_{good}</i>	3.420	3.420	3.420	0,00%
<i>CPU_{good}</i>	R\$ 0,03363	R\$ 0,03186	R\$ 0,03363	-5,55%
<i>CPS_{UTIL}</i>	R\$ 0,03194	R\$ 0,03026	R\$ 0,03194	-5,55%
<i>UPM_{good}</i>	1.871.424	1.975.375	1.975.375	5,26%

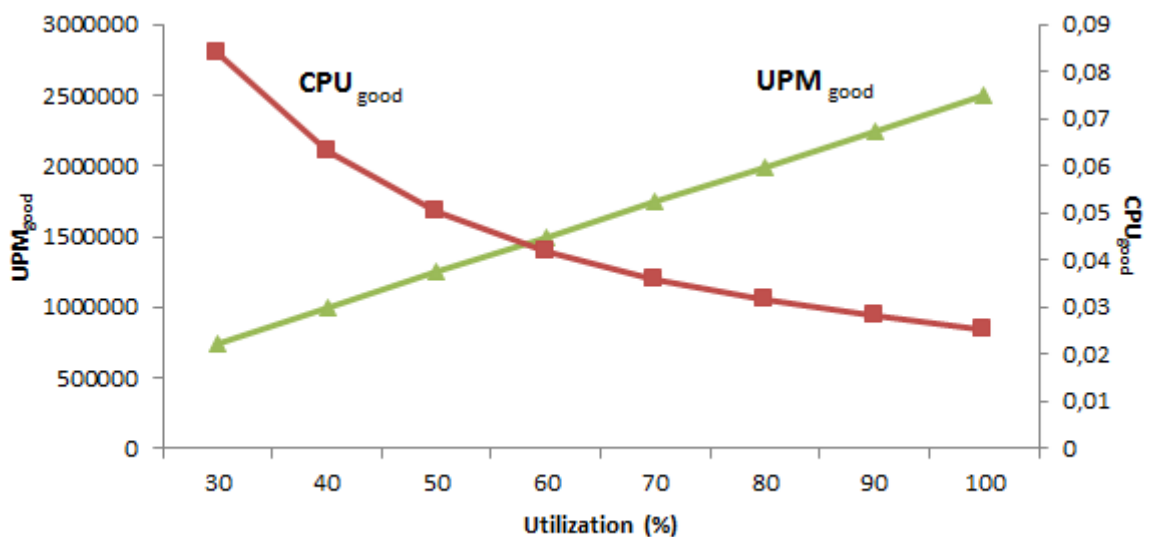
Na Tabela 6.4 são apresentados três cenários para IC1. O primeiro é o cenário básico, já apresentado anteriormente. O segundo cenário mostra o impacto do aumento de Utilização do ATE de 1 hora diária. O terceiro cenário mantém a Utilização do segundo cenário e o custo

por unidade de chip igual ao do cenário básico: nesta situação, ocorre uma disponibilização de recursos para uma possível expansão do ATE.

Observa-se, com o cenário 3, que se obtém os mesmos R\$ 0,03363 com o acréscimo de 1 hora de Utilização diária, o que é equivalente a R\$ 312.700,00 – R\$ 103.003,89 = R\$ 209.696,11 em termos de custo capital. Esta análise é de grande importância para a decisão de aquisição de um ATE baseado em indicadores de MTBF; este é o valor máximo que pode ser investido em um ATE que possibilite menores tempos de parada.

Uma análise de varredura da Utilização também pode ser realizada, de forma a determinar qual o custo e qual a vazão de unidades para determinada Utilização do ATE. A Fig. 6.4 mostra esta distribuição.

Figura 6.4 – Variação da Utilização ($\Delta U\%$) versus as variações de unidades boas mensais (ΔUPM_{good}) e do custo por unidades boas (ΔCPU_{good}) de IC1



6.1.7.5 Análise de yield

Assim como o percentual de Utilização do ATE, o percentual de Yield pode ser analisado para definir aquisições ou otimizações no ATE atual. Um exemplo pode ser dado pela redução do Yield por um motivo inesperado: problema de projeto, falha de fabricação, etc. A tabela 6.5 apresenta esta situação; o cenário básico na primeira coluna, seguido pelo cenário 2 onde ocorreu a queda do Yield em 10%. Em uma análise de breakeven, foi gerado o cenário 3 que busca, emergencialmente, reduzir o tempo de teste para garantir o mesmo volume de entrega e o mesmo custo por unidade.

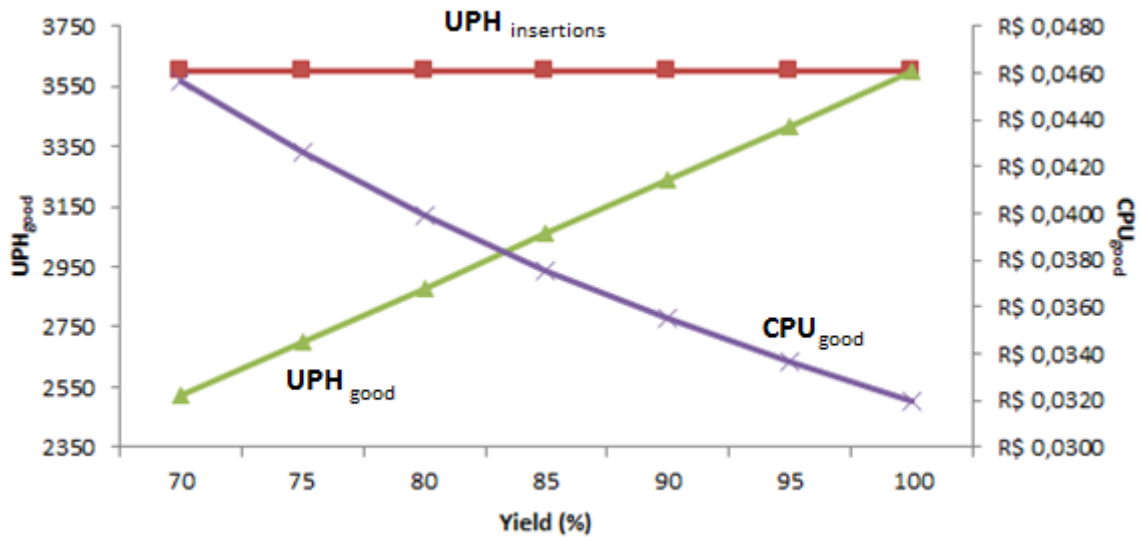
Tabela 6.5 – Análise da variação de Yield no teste de IC1

<i>Costs:</i>	<i>ICI Basic Scenario</i>	<i>ICI Scenario2</i>	<i>ICI Scenario3</i>	<i>Diff %</i>
ATE/Option Capital Cost	R\$ 103.003,89	R\$ 103.003,89	R\$ 103.003,89	0,00%
Overhead Per Month	R\$ 41.211,00	R\$ 41.211,00	R\$ 41.211,00	0,00%
Overhead Per Hour	R\$ 56,48	R\$ 56,48	R\$ 56,48	0,00%
Direct Labor Per Month	R\$ 20.000,00	R\$ 20.000,00	R\$ 20.000,00	0,00%
Direct Labor Per Hour	R\$ 27,40	R\$ 27,40	R\$ 27,40	0,00%
Equipment Dep Per Month	R\$ 1.716,73	R\$ 1.716,73	R\$ 1.716,73	0,00%
Equipment Dep Per Hour	R\$ 2,35	R\$ 2,35	R\$ 2,35	0,00%
<i>Utilization</i>	75%	75%	75%	0,00%
<i>Throughput:</i>				
Test Time	0,50s	0,50s	0,39s	0,00%
Index Time	0,5s	0,5s	0,5s	0,00%
Number of Sites	1	1	1	0,00%
<i>Yield</i>	95%	85%	85%	-11,76%
<i>FC_{Monthly}</i>	R\$ 62.927,73	R\$ 62.927,73	R\$ 62.927,73	0,00%
<i>CPH_{Fixed}</i>	R\$ 86,25	R\$ 86,25	R\$ 86,25	0,00%
<i>CPH_{UTIL}</i>	R\$ 115,00	R\$ 115,00	R\$ 115,00	0,00%
<i>UPH_{insertions}</i>	3.600	3.600	4.023	0,00%
<i>UPH_{good}</i>	3.420	3.060	3.420	-11,76%
<i>CPU_{good}</i>	R\$ 0,03363	R\$ 0,03758	R\$ 0,03363	10,53%
<i>CPS_{UTIL}</i>	R\$ 0,03194	R\$ 0,03194	R\$ 0,03194	0,00%
<i>UPM_{good}</i>	1.871.424	1.674.432	1.871.292	-11,76%

Observa-se, com o cenário 3, que se obtém os mesmos R\$ 0,03363 com a redução do tempo de teste de 0,5s para 0,39s; esta melhoria poderia ser obtida, por exemplo, com otimizações no software de teste de produção. Até que a falha seja sanada, garante-se o volume de entrega e o mesmo custo do teste por dispositivo.

Uma análise de varredura do Yield também pode ser realizada, de forma a determinar qual o custo e qual a vazão de unidades para determinado Yield de produção. A Fig. 6.5 mostra esta distribuição onde, com o aumento do Yield, ocorre o aumento do número de unidades por hora boas (UPH_{good}) ao mesmo tempo que decresce o custo por unidade boa (CPU_{good}); observa-se ainda que de número de unidades por hora totais ($UPH_{insertions}$) não muda, ou seja, independe do Yield.

Figura 6.5 – Variação do Yield ($\Delta Y\%$) versus as variações de volume ($\Delta UPH_{insertions}$ e ΔUPH_{good}) e do custo por unidades boas (ΔCPU_{good}) de IC1



6.1.7.6 Análise de multi-site

O teste do circuito integrado IC1 foi desenvolvido, inicialmente, apenas na configuração de um único site. Porém, é sabido que cada módulo DAq suporta o teste simultâneo de até 4 sites, pois o limite desse módulo é de 4 canais de saída analógicas. Na prática o teste atual executado na produção utiliza apenas 1 desses canais.

Um gabinete PXI tradicional suporta até 16 módulos DAq. Neste cenário, observa-se que um único ATE pode atingir até 16 módulos x 4 sites/módulo = 64 sites de capacidade máxima.

Faremos aqui a comparação de 3 cenários de IC1: o primeiro com apenas 1 site, o segundo com uma topologia um pouco maior (8 sites) e o terceiro onde a capacidade máxima é utilizada, ou seja, 64 sites. A tabela 6.6 contempla as três situações.

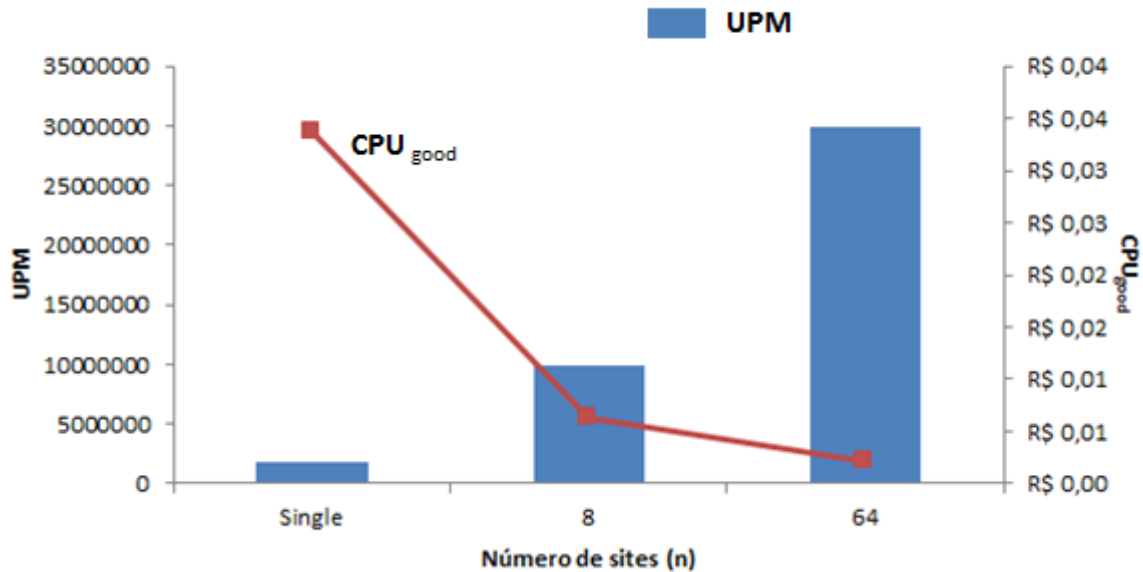
Tabela 6.6 – Análise do Multi-site no teste de IC1

<i>Costs:</i>	<i>Single</i>	<i>8 sites</i>	<i>64 sites</i>
ATE/Option Capital Cost	R\$ 103.003,89	R\$ 118.458,89	R\$ 334.828,89
Overhead Per Month	R\$ 41.211,00	R\$ 41.211,00	R\$ 41.211,00
Overhead Per Hour	R\$ 56,48	R\$ 56,48	R\$ 56,48
Direct Labor Per Month	R\$ 20.000,00	R\$ 20.000,00	R\$ 20.000,00
Direct Labor Per Hour	R\$ 27,40	R\$ 27,40	R\$ 27,40
Equipment Dep Per Month	R\$ 1.716,73	R\$ 1.974,31	R\$ 5.580,48
Equipment Dep Per Hour	R\$ 2,35	R\$ 2,71	R\$ 7,65
<i>Utilization</i>	75%	75%	75%
<i>Throughput:</i>			
Test Time	0,50s	0,80s	2,90s
Index Time	0,5s	0,7s	1,1s
Number of Sites	1	8	64
<i>Multi-site:</i>			
Throughput Gain (t)	-	5,00	11,03
Overhead	-	60%	480%
Throughput Gain (t + i)	-	5,33	16,00
<i>Yield</i>	95%	95%	95%
<i>FC_{Monthly}</i>	R\$ 62.927,73	R\$ 63.185,31	R\$ 66.791,48
<i>CPH_{Fixed}</i>	R\$ 86,25	R\$ 86,60	R\$ 91,55
<i>CPH_{UTIL}</i>	R\$ 115,00	R\$ 115,47	R\$ 122,06
<i>UPH_{insertions}</i>	3.600	19.200	57.600
<i>UPH_{good}</i>	3.420	18.240	54.720
<i>CPU_{good}</i>	R\$ 0,03363	R\$ 0,00633	R\$ 0,00223
<i>CPS_{UTIL}</i>	R\$ 0,03194	R\$ 0,03208	R\$ 0,03391
<i>UPM_{good}</i>	1.871.424	9.980.928	29.942.784

Observa-se na tabela 6.6 que o aumento do número de sites fez com que o tempo de teste também sofresse significativo aumento. Isso ocorre para o teste de IC1, pois há um overhead de software que faz com que algumas rotinas sejam executadas serialmente. Se for possível a redução deste overhead, o tempo de teste poderá ser reduzido para a configuração multi-site.

O gráfico da Fig. 6.6 mostra a relação entre os três cenários quanto ao volume e ao custo por unidade de dispositivo.

Figura 6.6 – Variação do número de sites (Δn) versus as variações de volume (ΔUPM) e do custo por unidade boa (ΔCPU_{good}) de IC1



Observa-se que de uma configuração de um único site para o multi-site de 8 componentes, tanto o ganho de volume de componentes entregues por mês quanto o custo do teste da cada componente foi da ordem de 5 vezes. Já a atualização do ATE para sua capacidade máxima trouxe um ganho de volume de componentes entregues por mês e de custo do teste por componente da ordem de 3 vezes.

Uma análise de breakeven reduzindo o tempo de teste pela redução do Overhead inserido pelo multi-site pode aumentar significamente este ganho.

6.2 Análise econômica do circuito integrado IC2

Nesta seção é apresentada a análise econômica para o teste de produção do circuito integrado IC2. O desenvolvimento do teste de produção de IC2 foi descrito no item 4.2.

6.2.1 Dados básicos

A seguir são apresentados os custos básicos para o teste de produção deste componente e que são necessários para o desenvolvimento da análise econômica.

Valor total do ATE:	R\$ 267.674,54 (conforme anexo I)
Consumo de energia:	230W (6 slots PXI; 38,25 W per slot)
Iluminação:	100W
Trabalhos indiretos:	60.000,00 (três funcionários por mês)
Probecard:	US\$ 1.733,00 (ou R\$ 5.632,25 com dólar a R\$ 3,25)

O consumo de energia total por mês ($ET_{Monthly}$) é dado pelo consumo de energia da ATE adicionado da energia gasta em iluminação em um mês.

$$ET_{Monthly} = (230W + 100W) * 729,6 \frac{h}{month} = 240,76 kWh/mês$$

Através do site da provedora local de energia elétrica, pode-se simular o valor devido em função da energia gasta mensalmente; no caso específico, o valor despendido é de R\$ 179,00.

O valor gasto com probecards dependerá diretamente do número de touchdowns sofridos pelas agulhas; portanto, esta é uma variável dependente do volume de produção. O datasheet da probecard define 250 mil touchdowns como vida útil da ferramenta. Para o caso específico de IC2, onde propõem-se 16 sites, um wafer de 40.000 dies realizará $40.000 / 16 = 2.500$ touchdowns aproximadamente. Com isto, observa-se que a vida útil de uma probecard se esgotará a cada $250.000 / 2.500 = 100$ wafers. Iniciaremos a análise com entregas de volume de 100 wafers/mês; portanto, será necessária uma probecard por mês, totalizando R\$ 5.633,00.

Calcula-se também, além do operador, mais três funcionários em trabalhos indiretos (logística, administração, gestão, manutenção, etc.). O valor despendido é de R\$ 60.000,00 aproximadamente.

Quanto ao ATE, os gastos com garantia e calibração para 5 anos custam 13.610,00. Por mês o valor fica $13.610,00 / 60 \text{ meses} = 227,00$.

Somando-se o gasto de energia total por mês, o consumo de probecards, pagamento de trabalhos indiretos e garantia e calibração teremos o valor de Overhead, ou seja:

$$OH_{Monthly} = 179,00 + 5.633,00 + 60.000,00 + 227,00 = R\$ 66.039,00$$

6.2.2 Custos totais mensais

Conforme descrito no capítulo 5, os Custos Totais Mensais são divididos em custos de depreciação de equipamento, Trabalho Direto e Overhead. Desta forma, temos a seguinte tabela para um cenário básico.

Tabela 6.7 – Custos de produção de IC2 em um cenário básico

Costs:	IC2 Basic Scenario
ATE/Option Capital Cost	R\$ 267.674,54
Overhead Per Month	R\$ 66.039,00
Overhead Per Hour	R\$ 90,52
Direct Labor Per Month	R\$ 20.000,00
Direct Labor Per Hour	R\$ 27,40
Equipment Dep Per Month	R\$ 4.461,24
Equipment Dep Per Hour	R\$ 6,11

A tabela também apresenta os custos totais mensais em seus valores por hora, para fins de cálculos a serem realizados adiante.

6.2.3 Utilização

A Utilização (U), conforme capítulo anterior, pode ser influenciado por uma série de fatores como, por exemplo, downtime (tempo inativo), mudanças de dispositivo/lote, calibração da ATE, tempo de carregamento do programa, etc. Dificilmente haverá uma utilização de 100%

do tempo, mas este é um objetivo a ser seguido, quando a finalidade é diminuir os custos de produção. Neste cenário inicial, iniciaremos com 75% de utilização do teste.

6.2.4 Vazão e Yield

A vazão de dies testados depende de 3 fatores: do tempo de teste (t), do tempo de index (i) e do número de sites (n). Desta vazão de dies, o percentual de dies bons é contabilizado em Yield. A tabela 2 apresenta estes valores para o circuito integrado IC2.

Tabela 6.8 – Vazão e Yield de IC2 em um cenário básico

<i>Throughput:</i>	<i>IC2 Basic Scenario</i>
Test Time	1,1s
Index Time	0,5s
Number of Sites	16
<i>Yield</i>	98%

6.2.5 Variáveis de custo e de produção

Conforme apresentado no capítulo 5, serão calculadas algumas variáveis relevantes para o levantamento do perfil econômico do circuito integrado. Estas são as variáveis de custo e de produção, que são definidas a seguir.

6.2.5.1 Custo fixo mensal

O Custo Fixo Mensal ($FC_{Monthly}$) é dado por:

$$FC_{Monthly} = Dep + DL + OH$$

$$FC_{Monthly} = 4.461,24 + 20.000,00 + 66.039,00 = R\$ 90.500,24$$

6.2.5.2 Custo por hora (fixo)

O Custo por Hora (Fixo), CPH_{Fixed} , é dado por:

$$CPH_{Fixed} = \frac{FC_{Monthly}}{729,6 \frac{h}{month}} = \frac{R\$ 90.500,24}{729,6 \frac{h}{month}} = R\$ 124,04$$

6.2.5.3 Custo por hora (utilizado)

O Custo por Hora (Utilizado), CPH_{UTIL} , é dado por:

$$CPH_{UTIL} = \frac{CPH_{Fixed}}{U} = \frac{R\$ 124,04}{75\%} = R\$ 165,39$$

6.2.5.4 Unidades por hora (inserções)

As Unidades por Hora (Inserções), $UPH_{insertions}$, é dado por:

$$UPH_{insertions} = \frac{3600 \cdot n}{t + i} = \frac{3600 \cdot 16}{1,1 + 0,5} = 36.000 \text{ unidades}$$

6.2.5.5 Unidades por hora (boas)

As Unidades por Hora (Boas), UPH_{good} , é dado por:

$$UPH_{good} = UPH_{insertions} \cdot Y = 36.000 \cdot 98\% = 35.280 \text{ unidades}$$

6.2.5.6 Custo por unidade boa

O Custo por Unidade Boa, CPU_{good} , é dado por:

$$CPU_{good} = \frac{CPH_{UTIL}}{UPH_{good}} = \frac{R\$ 165,39}{35.280} = R\$ 0,00469$$

6.2.5.7 Custo por segundo (utilizado)

O Custo por Segundo (Utilizado), CPS_{UTIL} , é dado por:

$$CPS_{UTIL} = \frac{CPH_{UTIL}}{3600} = \frac{R\$ 165,39}{3600} = R\$ 0,04594$$

6.2.5.8 Unidades por mês (boas unidades)

As Unidades por Mês (Boas unidades), UPM_{good} , é dado por:

$$UPM_{good} = UPH_{good} \cdot U \cdot 729,6 \frac{h}{month}$$

$$UPM_{good} = 35.280 \cdot 75\% \cdot 729,6 = 19.305.216 \text{ unidades}$$

6.2.6 Compilação do cenário inicial

De posse dos dados levantados do teste de produção do CI, pode-se construir uma tabela que facilitará a comparação de valores para quaisquer outros cenários. A tabela a seguir apresenta os valores obtidos.

Tabela 6.9 – Compilação do cenário inicial para IC2

<i>Costs:</i>	<i>IC2 Basic Scenario</i>
ATE/Option Capital Cost	R\$ 267.674,54
Overhead Per Month	R\$ 66.039,00
Overhead Per Hour	R\$ 90,52
Direct Labor Per Month	R\$ 20.000,00
Direct Labor Per Hour	R\$ 27,40
Equipment Dep Per Month	R\$ 4.461,24
Equipment Dep Per Hour	R\$ 6,11
<i>Utilization</i>	75%
<i>Throughput:</i>	
Test Time	1,1s
Index Time	0,5s
Number of Sites	16
<i>Yield</i>	98%
<i>FC_{Monthly}</i>	R\$ 90.500,24
<i>CPH_{Fixed}</i>	R\$ 124,04
<i>CPH_{UTIL}</i>	R\$ 165,39
<i>UPH_{insertions}</i>	36.000
<i>UPH_{good}</i>	35.280
<i>CPU_{good}</i>	R\$ 0,00469
<i>CPS_{UTIL}</i>	R\$ 0,04594
<i>UPM_{good}</i>	19.305.216

6.2.7 Aplicações econômicas do custo do teste

A partir da tabela obtida na compilação do cenário inicial serão realizadas várias análises com o objetivo de otimizar os seguintes aspectos: expansão da capacidade, volume, utilização,

yield e multi-site. O objetivo destas análises é avaliar o impacto de custos e os ganhos obtidos com as expansões de capacidade.

6.2.7.1 Análise da expansão da capacidade

A análise da expansão da capacidade busca verificar formas de acomodar um aumento da demanda de testes de ICs.

Tabela 6.10 – Impacto da otimização da ATE para redução no tempo de teste no custo do teste de produção de IC1

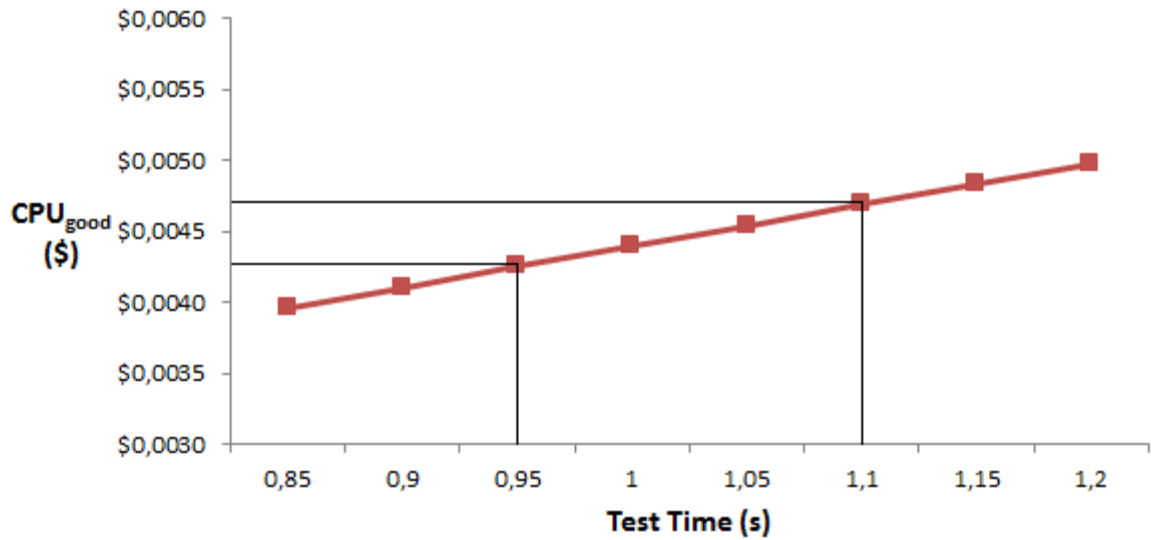
Costs:	IC2 Basic Scenario	IC2 Scenario1	Diff %
ATE/Option Capital Cost	R\$ 267.674,54	R\$ 312.669,54	14,39%
Overhead Per Month	R\$ 66.039,00	R\$ 66.039,00	0,00%
Overhead Per Hour	R\$ 90,52	R\$ 90,52	0,00%
Direct Labor Per Month	R\$ 20.000,00	R\$ 20.000,00	0,00%
Direct Labor Per Hour	R\$ 27,40	R\$ 27,40	0,00%
Equipment Dep Per Month	R\$ 4.461,24	R\$ 5.211,16	14,39%
Equipment Dep Per Hour	R\$ 6,11	R\$ 7,14	14,39%
Utilization	75%	75%	0,00%
Throughput:			
Test Time	1,10s	0,95s	-15,79%
Index Time	0,5s	0,5s	0,00%
Number of Sites	16	16	0,00%
Yield	98%	98%	0,00%
FC_{Monthly}	R\$ 90.500,24	R\$ 91.250,16	0,82%
CPH_{Fixed}	R\$ 124,04	R\$ 125,07	0,82%
CPH_{UTIL}	R\$ 165,39	R\$ 166,76	0,82%
UPH_{insertions}	36.000	39.724	9,38%
UPH_{good}	35.280	38.930	9,38%
CPU_{good}	R\$ 0,00469	R\$ 0,00428	-9,44%
CPS_{UTIL}	R\$ 0,04594	R\$ 0,04632	0,82%
UPM_{good}	19.305.216	21.302.307	9,38%

Uma das formas de aumento desta capacidade pode ser dada pela diminuição do tempo de teste do CI; no caso de IC2 este tempo, para 16 sites, é de 1,1 s. Sabe-se que há um tempo de overhead, de 150 ms, causado pela falta de trigger individual no módulo de comunicação digital. Este tempo, caso suprimido, iria reduzir o teste para 950 ms; este tempo de teste pode ser alcançado através da implementação do teste em módulo FPGA, onde um investimento de

R\$ 44.995,00 deve ser empregado. A tabela 6.10 apresenta o impacto desta aquisição no custo do teste de produção.

O gráfico apresentado pela Fig. 6.1 mostra o impacto da variação do tempo de teste (Δt) no custo por unidade boa (ΔCPU_{good}).

Figura 6.7 – Impacto da variação do tempo do teste de produção (Δt) no custo por unidade boa (ΔCPU_{good}) em IC2



6.2.7.2 Análise de capacidade

O aumento da capacidade também pode ser obtido através da expansão do ATE, mantendo-se o custo do produto unitário CPU_{good} . Através da análise de Breakeven de IC2, podemos determinar qual é o máximo valor que deve ser despendido em uma otimização do ATE.

A análise da expansão da capacidade busca verificar se o aumento do teste de produção de circuitos integrados deve-se dar pela aquisição de novos equipamentos de teste (ATEs, probers, etc.) ou através de possíveis upgrades no sistema ATE existente.

No caso de IC2, faremos a análise de duplicação de unidades testadas por unidade de tempo. A duplicação da capacidade de teste atual, ou seja, de 16 sites para 32 sites pode ser obtida de duas formas: pela aquisição de dois novos módulos HSDIO com cabos ou pela aquisição de um novo ATE. Sabe-se que o upgrade que duplica a quantidade de dies testados custa R\$ 148.280,00 (dois módulos de 74.140,00, com cabos) e que a aquisição de um novo ATE custará R\$ 267.674,54.

- Upgrade do testador existente:

$$\Delta\text{Custo: } 1 \text{ Tester} * R\$148.280,00 / \text{Tester} = R\$148.280,00$$

$$\Delta\text{Capacidade: } 1 \text{ Tester} * 100\% / \text{Tester} = 100\% = 1 \text{ Tester}$$

- Expansão com novo testador:

$$\Delta\text{Custo: } 1 \text{ Tester} * R\$267.675,00 / \text{Tester} = R\$267.675,00$$

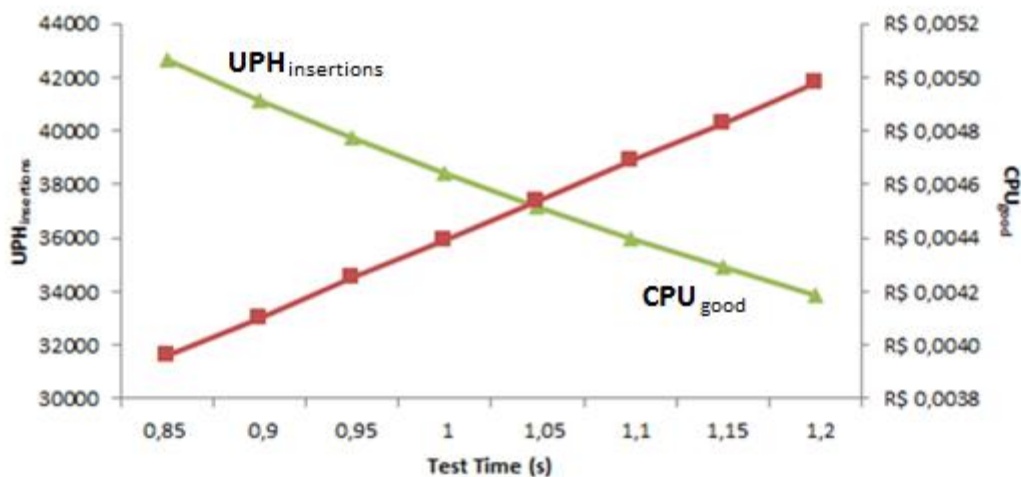
$$\Delta\text{Capacidade: } 1 \text{ Tester} * 100\% / \text{Tester} = 100\% = 1 \text{ Tester}$$

Fica claro que a expansão para mais sites no mesmo ATE dispense menor valor frente à aquisição de um novo ATE. Observa-se ainda que não foi contabilizado o valor dispendido com uma nova Prober, a qual seria necessária no caso da aquisição de um novo ATE.

6.2.7.3 Análise de vazão (throughput)

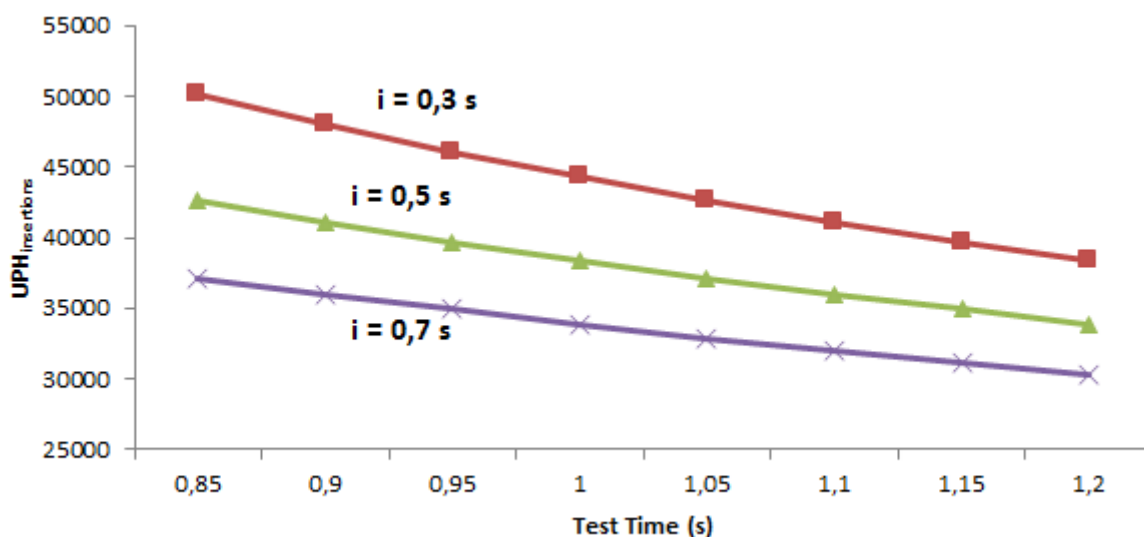
Veremos agora a relação do volume de dispositivos testados (Unidades por Hora) com o custo do teste descrito na seção anterior. Para o dispositivo IC2, teremos esta relação apresentada na Fig. 6.8, variando-se o tempo de teste dos componentes.

Figura 6.8 – Impacto da variação do tempo do teste de produção (Δt) no custo por unidade boa (ΔCPU_{good}) de IC2



Da mesma forma, esta análise pode levar em conta a variação do tempo de Index, para um mesmo tempo de teste. Assim podemos ver a variação de volume testado por hora conforme a Fig. 6.9.

Figura 6.9 – Impacto da variação do tempo de Index (Δi) no custo por unidade boa (ΔCPU_{good}) de IC2



6.2.7.4 Análise de utilização (downtime)

Da mesma forma que as variáveis anteriores, a utilização do ATE impacta diretamente no custo final do componente testado. Através da análise de Utilização, pode-se fazer a estimativa de redução de custo para um aumento da utilização do ATE e, até mesmo, realizar uma análise de Breakeven, projetando-se quanto é possível investir em uma expansão do ATE para esta redução de custo obtida.

Na Tabela 10 são apresentados três cenários para IC2. O primeiro é o cenário básico, já apresentado anteriormente. O segundo cenário mostra o impacto do aumento de Utilização do ATE de 1 hora diária. O terceiro cenário mantém a Utilização do segundo cenário, mas mantém o custo por unidade de chip igual ao do cenário básico: nesta situação, ocorre uma disponibilização de recursos para uma possível expansão do ATE.

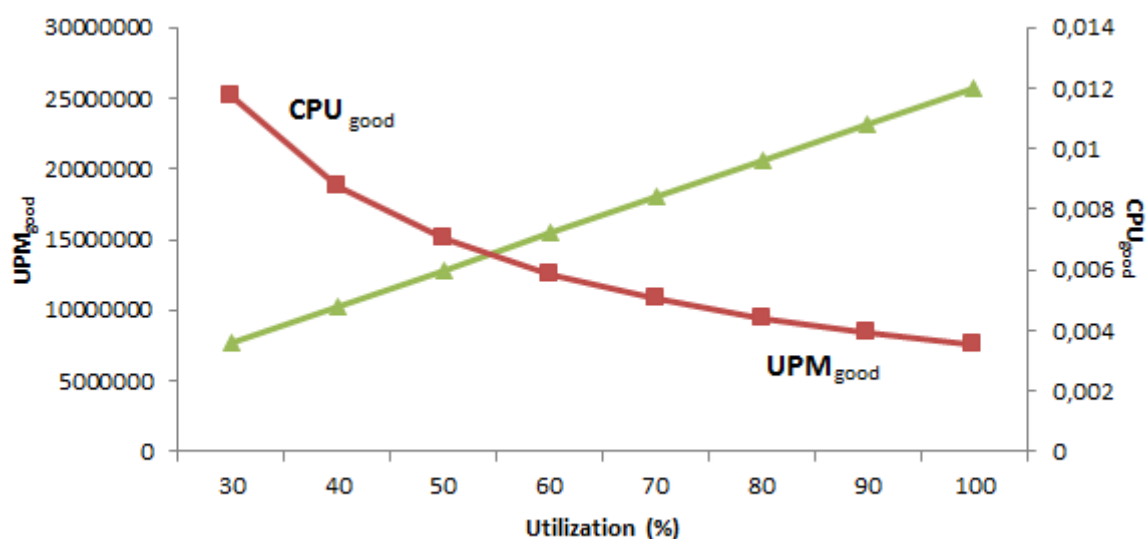
Tabela 6.11 – Análise da Utilização do ATE

<i>Costs:</i>	<i>IC2 Basic Scenario</i>	<i>IC2 Scenario2</i>	<i>IC2 Scenario3</i>	<i>Diff %</i>
ATE/Option Capital Cost	R\$ 267.674,54	R\$ 267.674,54	R\$ 569.500,00	0,00%
Overhead Per Month	R\$ 66.039,00	R\$ 66.039,00	R\$ 66.039,00	0,00%
Overhead Per Hour	R\$ 90,52	R\$ 90,52	R\$ 90,52	0,00%
Direct Labor Per Month	R\$ 20.000,00	R\$ 20.000,00	R\$ 20.000,00	0,00%
Direct Labor Per Hour	R\$ 27,40	R\$ 27,40	R\$ 27,40	0,00%
Equipment Dep Per Month	R\$ 4.461,24	R\$ 4.461,24	R\$ 9.491,67	0,00%
Equipment Dep Per Hour	R\$ 6,11	R\$ 6,11	R\$ 13,01	0,00%
<i>Utilization</i>	75%	79,166%	79,166%	5,26%
<i>Throughput:</i>				
Test Time	1,10s	1,10s	1,10s	0,00%
Index Time	0,5s	0,5s	0,5s	0,00%
Number of Sites	16	16	16	0,00%
<i>Yield</i>	98%	98%	98%	0,00%
<i>FC_{Monthly}</i>	R\$ 90.500,24	R\$ 90.500,24	R\$ 95.530,67	0,00%
<i>CPH_{Fixed}</i>	R\$ 124,04	R\$ 124,04	R\$ 130,94	0,00%
<i>CPH_{UTIL}</i>	R\$ 165,39	R\$ 156,68	R\$ 165,39	-5,55%
<i>UPH_{insertions}</i>	36.000	36.000	36.000	0,00%
<i>UPH_{good}</i>	35.280	35.280	35.280	0,00%
<i>CPU_{good}</i>	R\$ 0,00469	R\$ 0,00444	R\$ 0,00469	-5,55%
<i>CPS_{UTIL}</i>	R\$ 0,04594	R\$ 0,04352	R\$ 0,04594	-5,55%
<i>UPM_{good}</i>	19.305.216	20.377.556	20.377.556	5,26%

Observa-se, com o cenário 3, que se obtém os mesmos R\$ 0,00469 com o acréscimo de 1 hora de Utilização diária, o que é equivalente a $R\$ 595.500,00 - R\$ 267.674,00 = R\$ 327.826,00$ em termos de custo capital. Esta análise é de grande importância para a decisão de aquisição de um ATE baseado em indicadores de MTBF; este é o valor máximo que pode ser investido em um ATE que possibilite menores tempos de parada.

Uma análise de varredura da Utilização também pode ser realizada, de forma a determinar qual o custo e qual a vazão de unidades para determinada Utilização do ATE. A Fig. 6.10 mostra esta distribuição.

Figura 6.10 – Variação da Utilização ($\Delta U\%$) versus as variações de unidades boas mensais (ΔUPM_{good}) e do custo por unidades boas (ΔCPU_{good}) de IC2



6.2.7.5 Análise de yield

Assim como o percentual de Utilização do ATE, o percentual de Yield pode ser analisado para definir aquisições ou otimizações no ATE atual. Um exemplo pode ser dado pela redução do Yield por um motivo inesperado: problema de projeto, falha de fabricação, etc. A tabela 6.12 apresenta esta situação; o cenário básico na primeira coluna, seguido pelo cenário 2 onde ocorreu a queda do Yield em 10%. Em uma análise de breakeven, foi gerado o cenário 3 que busca, emergencialmente, reduzir o tempo de teste para garantir o mesmo volume de entrega e o mesmo custo por unidade.

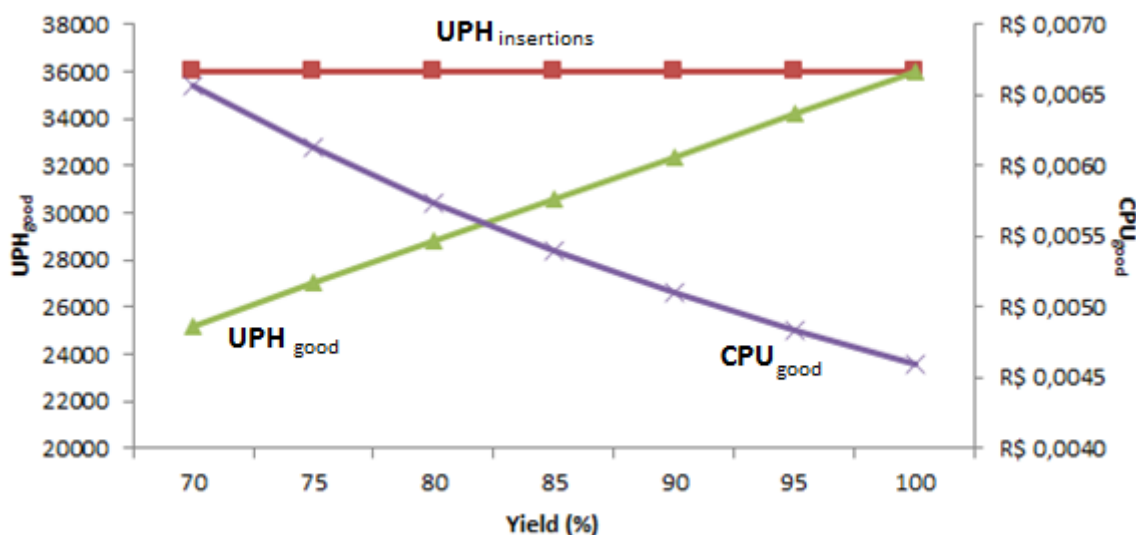
Tabela 6.12 – Análise da variação de Yield

<i>Costs:</i>	<i>IC2 Basic Scenario</i>	<i>IC2 Scenario2</i>	<i>IC2 Scenario3</i>	<i>Diff %</i>
ATE/Option Capital Cost	R\$ 267.674,54	R\$ 267.674,54	R\$ 267.674,54	0,00%
Overhead Per Month	R\$ 66.039,00	R\$ 66.039,00	R\$ 66.039,00	0,00%
Overhead Per Hour	R\$ 90,52	R\$ 90,52	R\$ 90,52	0,00%
Direct Labor Per Month	R\$ 20.000,00	R\$ 20.000,00	R\$ 20.000,00	0,00%
Direct Labor Per Hour	R\$ 27,40	R\$ 27,40	R\$ 27,40	0,00%
Equipment Dep Per Month	R\$ 4.461,24	R\$ 4.461,24	R\$ 4.461,24	0,00%
Equipment Dep Per Hour	R\$ 6,11	R\$ 6,11	R\$ 6,11	0,00%
<i>Utilization</i>	75%	75%	75%	0,00%
<i>Throughput:</i>				
Test Time	1,10s	1,10s	0,94s	0,00%
Index Time	0,5s	0,5s	0,5s	0,00%
Number of Sites	16	16	16	0,00%
<i>Yield</i>	98%	88%	88%	-11,36%
<i>FC_{Monthly}</i>	R\$ 90.500,24	R\$ 90.500,24	R\$ 90.500,24	0,00%
<i>CPH_{Fixed}</i>	R\$ 124,04	R\$ 124,04	R\$ 124,04	0,00%
<i>CPH_{UTIL}</i>	R\$ 165,39	R\$ 165,39	R\$ 165,39	0,00%
<i>UPH_{insertions}</i>	36.000	36.000	40.090	0,00%
<i>UPH_{good}</i>	35.280	31.680	35.280	-11,36%
<i>CPU_{good}</i>	R\$ 0,00469	R\$ 0,00522	R\$ 0,00469	10,20%
<i>CPS_{UTIL}</i>	R\$ 0,04594	R\$ 0,04594	R\$ 0,04594	0,00%
<i>UPM_{good}</i>	19.305.216	17.335.296	19.305.010	-11,36%

Observa-se, com o cenário 3, que se obtém os mesmos R\$ 0,00469 com a redução do tempo de teste de 1,1s para 0,94s; esta melhoria poderia ser obtida, por exemplo, com otimizações no software de teste de produção. Até que a falha seja sanada, garante-se o volume de entrega e o mesmo custo do teste por dispositivo.

Uma análise de varredura do Yield também pode ser realizada, de forma a determinar qual o custo e qual a vazão de unidades para determinado Yield de produção. A Fig. 6.11 mostra esta distribuição onde, com o aumento do Yield, ocorre o aumento do número de unidades por hora boas (*UPH_{good}*) ao mesmo tempo que decresce o custo por unidade boa (*CPU_{good}*); observa-se ainda que de número de unidades por hora totais (*UPH_{insertions}*) não muda, ou seja, independe do Yield.

Figura 6.11 – Variação do Yield ($\Delta Y\%$) versus as variações de volume ($\Delta UPH_{insertions}$ e ΔUPH_{good}) e do custo por unidades boas (ΔCPU_{good}) de IC2



6.2.7.6 Análise de multi-site

O teste do circuito integrado IC2 foi desenvolvido de forma que cada módulo HSDIO suporte o teste simultâneo de até 12 sites. Na prática o teste atual executado na produção utiliza apenas 8 destes canais; usando-se dois módulos HSDIO obtém-se os 16 canais observados na tabela de compilação do cenário inicial de IC2.

Um gabinete PXI tradicional suporta até 8 módulos HSDIO. Neste cenário, observa-se que um único ATE pode atingir até 8 módulos x 12 sites/módulo = 96 sites de capacidade máxima.

Faremos aqui a comparação de 3 cenários de IC2: o primeiro com apenas 1 site, o segundo com a topologia atualmente utilizada (16 sites) e o terceiro onde a capacidade máxima é utilizada, ou seja, 96 sites. A tabela 6.13 contempla as três situações.

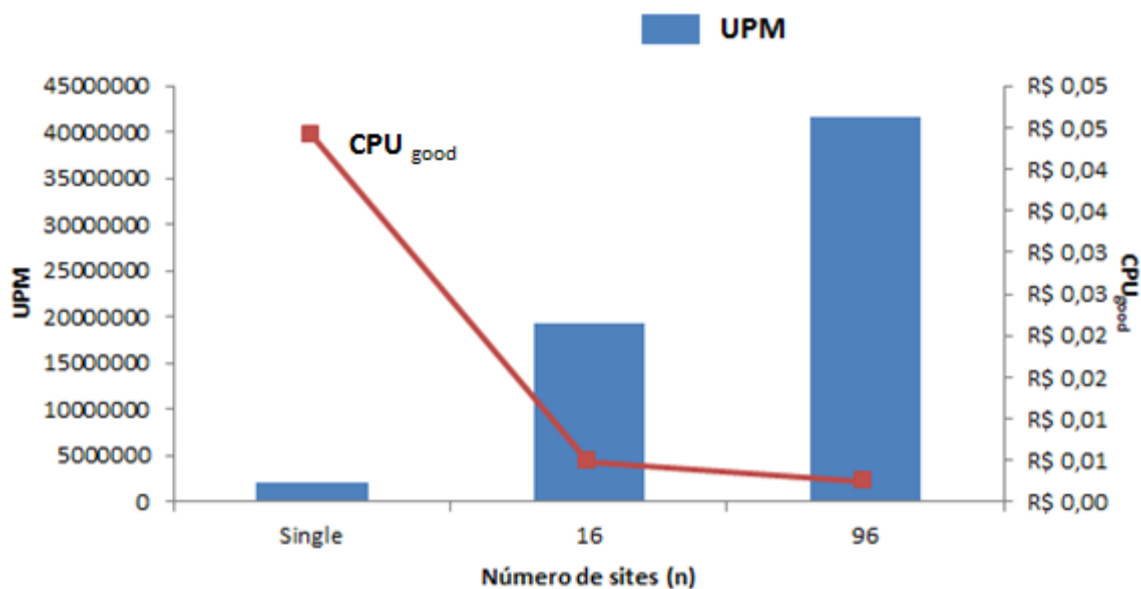
Tabela 6.13– Análise do Multi-site

<i>Costs:</i>	<i>Single</i>	<i>16 sites</i>	<i>96 sites</i>
ATE/Option Capital Cost	R\$ 193.534,54	R\$ 267.674,54	R\$ 712.514,54
Overhead Per Month	R\$ 66.039,00	R\$ 66.039,00	R\$ 66.039,00
Overhead Per Hour	R\$ 90,52	R\$ 90,52	R\$ 90,52
Direct Labor Per Month	R\$ 20.000,00	R\$ 20.000,00	R\$ 20.000,00
Direct Labor Per Hour	R\$ 27,40	R\$ 27,40	R\$ 27,40
Equipment Dep Per Month	R\$ 3.225,58	R\$ 4.461,24	R\$ 11.875,24
Equipment Dep Per Hour	R\$ 4,42	R\$ 6,11	R\$ 16,28
<i>Utilization</i>	75%	75%	75%
<i>Throughput:</i>			
Test Time	0,65s	1,10s	3,35s
Index Time	0,3s	0,5s	1,1s
Number of Sites	1	16	96
<i>Multi-site:</i>			
Throughput Gain (t)	-	9,45	18,63
Overhead	-	69%	415%
Throughput Gain (t + i)	-	9,5	20,49
<i>Yield</i>	98%	98%	98%
<i>FC_{Monthly}</i>	R\$ 89.264,58	R\$ 90.500,24	R\$ 97.914,24
<i>CPH_{Fixed}</i>	R\$ 122,35	R\$ 124,04	R\$ 134,20
<i>CPH_{UTIL}</i>	R\$ 163,13	R\$ 165,39	R\$ 178,94
<i>UPH_{insertions}</i>	3.789	36.000	77.663
<i>UPH_{good}</i>	3.714	35.280	76.110
<i>CPU_{good}</i>	R\$ 0,04393	R\$ 0,00469	R\$ 0,00235
<i>CPS_{UTIL}</i>	R\$ 0,04531	R\$ 0,04594	R\$ 0,04970
<i>UPM_{good}</i>	2.032.128	19.305.216	41.647.208

Observa-se na tabela 6.13 que o aumento do número de sites fez com que o tempo de teste também sofresse significativo aumento. Isso ocorre para o teste de IC2, pois há um overhead de software que faz com que algumas rotinas sejam executadas serialmente. Se for possível a redução deste overhead, o tempo de teste poderá ser reduzido para a configuração multi-site.

O gráfico da Fig. 6.12 mostra a relação entre os três cenários quanto ao volume e ao custo por unidade de dispositivo.

Figura 6.12 – Variação do número de sites (Δn) versus as variações de volume (ΔUPM) e do custo por unidade boa (ΔCPU_{good})



Observa-se que de uma configuração de um único site para o multi-site de 16 componentes, tanto o ganho de volume de componentes entregues por mês quanto o custo do teste de cada componente foi da ordem de 10 vezes. Já a atualização do ATE para sua capacidade máxima trouxe um ganho de volume de componentes entregues por mês e de custo do teste por componente da ordem de 2 vezes.

Uma análise de breakeven reduzindo o tempo de teste pela redução do Overhead inserido pelo multi-site pode aumentar significamente este ganho.

6.3 Análise econômica do circuito integrado IC3

Nesta seção é apresentada a análise econômica para o teste de produção do circuito integrado IC3. O desenvolvimento do teste de produção de IC3 foi descrito no item 5.3.

6.3.1 Dados básicos

A seguir são apresentados os custos básicos para o teste de produção deste componente e que são necessários para o desenvolvimento da análise econômica.

Valor total da ATE:	R\$ 582.656,66 (conforme anexo I)
Consumo de energia:	345W (9 slots PXI; 38,25 W per slot)
Iluminação:	100W
Trabalhos indiretos:	80.000,00 (quatro funcionários por mês)
Probecard:	US\$ 1.733,00 (ou R\$ 5.632,25 com dólar a R\$ 3,25)

O consumo de energia total por mês ($ET_{Monthly}$) é dado pelo consumo de energia da ATE adicionado da energia gasta em iluminação em um mês.

$$ET_{Monthly} = (345W + 100W) * 729,6 \frac{h}{month} = 324,68 kWh/mês$$

Através do site da provedora local de energia elétrica, pode-se simular o valor devido em função da energia gasta mensalmente; no caso específico, o valor despendido é de R\$ 239,00.

O valor gasto com probecards dependerá diretamente do número de touchdowns sofridos pelas agulhas; portanto, esta é uma variável dependente do volume de produção. O datasheet da probecard define 250 mil touchdowns como vida útil da ferramenta. Iniciaremos a análise com entregas de volume de 75 wafers/mês; portanto, será necessária uma probecard a cada 18 meses, totalizando R\$ 313,00 de custo mensal.

Calcula-se também, além do operador, mais quatro funcionários em trabalhos indiretos (logística, administração, gestão, manutenção, etc.). O valor despendido é de R\$ 80.000,00 aproximadamente.

Quanto ao ATE, os gastos com garantia e calibração para 5 anos custam 13.610,00. Por mês o valor fica $13.610,00 / 60 \text{ meses} = 227,00$.

Somando-se o gasto de energia total por mês, o consumo de probecards, pagamento de trabalhos indiretos e garantia e calibração obteremos o valor de Overhead, ou seja:

$$OH_{Monthly} = 239,00 + 313,00 + 80.000,00 + 227,00 = R\$ 80.779,00$$

6.3.2 Custos totais mensais

Conforme descrito no capítulo 5, os Custos Totais Mensais são divididos em custos de depreciação de equipamento, Trabalho Direto e Overhead. Desta forma, temos a seguinte tabela para um cenário básico.

Tabela 6.14 – Custos de produção de IC3 em um cenário básico

<i>Costs:</i>	<i>IC3 Basic Scenario</i>
ATE/Option Capital Cost	R\$ 582.656,66
Overhead Per Month	R\$ 80.779,00
Overhead Per Hour	R\$ 110,72
Direct Labor Per Month	R\$ 80.000,00
Direct Labor Per Hour	R\$ 109,65
Equipment Dep Per Month	R\$ 9.710,94
Equipment Dep Per Hour	R\$ 13,31

A tabela também apresenta os custos totais mensais em seus valores por hora, para fins de cálculos a serem realizados adiante.

6.3.3 Utilização

A Utilização (U) pode ser influenciada, conforme capítulo anterior, por uma série de fatores como, por exemplo, downtime (tempo inativo), mudanças de dispositivo/lote, calibração da ATE, tempo de carregamento do programa, etc. Dificilmente haverá uma utilização de 100% do tempo, mas este é um objetivo a ser seguido, quando a finalidade é diminuir os custos de produção. Neste cenário inicial, iniciaremos com 75% de utilização do teste.

6.3.4 Vazão e Yield

A vazão de dies testados depende de três fatores: do tempo de teste (t), do tempo de index (i) e do número de sites (n). Desta vazão de dies, o percentual de dies bons é contabilizado em Yield. A tabela a seguir apresenta estes valores para o circuito integrado IC3.

Tabela 6.15 – Vazão e Yield de IC3 em um cenário básico

Throughput:	IC3 Basic Scenario
Test Time	80s
Index Time	1s
Number of Sites	6
Yield	85%

6.3.5 Variáveis de custo e de produção

Conforme apresentado no capítulo 5, serão calculadas algumas variáveis relevantes para o levantamento do perfil econômico do circuito integrado. Estas são as variáveis de custo e de produção, que são definidas a seguir.

6.3.5.1 Custo fixo mensal

O Custo Fixo Mensal ($FC_{Monthly}$) é dado por:

$$FC_{Monthly} = Dep + DL + OH$$

$$FC_{Monthly} = 9.710,94 + 80.000,00 + 80.779,00 = R\$ 170.489,94$$

6.3.5.2 Custo por hora (fixo)

O Custo por Hora (Fixo), CPH_{Fixed} , é dado por:

$$CPH_{Fixed} = \frac{FC_{Monthly}}{729,6 \frac{h}{month}} = \frac{R\$ 170.489,94}{729,6 \frac{h}{month}} = R\$ 233,68$$

6.3.5.3 Custo por hora (utilizado)

O Custo por Hora (Utilizado), CPH_{UTIL} , é dado por:

$$CPH_{UTIL} = \frac{CPH_{Fixed}}{U} = \frac{R\$ 233,68}{75\%} = R\$ 311,57$$

6.3.5.4 Unidades por hora (inserções)

As Unidades por Hora (Inserções), $UPH_{insertions}$, é dado por:

$$UPH_{insertions} = \frac{3600 \cdot n}{t + i} = \frac{3600 \cdot 6}{80 + 1} = 267 \text{ unidades}$$

6.3.5.5 Unidades por hora (boas)

As Unidades por Hora (Boas), UPH_{good} , é dado por:

$$UPH_{good} = UPH_{insertions} \cdot Y = 3.600 \cdot 85\% = 227 \text{ unidades}$$

6.3.5.6 Custo por unidade boa

O Custo por Unidade Boa, CPU_{good} , é dado por:

$$CPU_{good} = \frac{CPH_{UTIL}}{UPH_{good}} = \frac{R\$ 311,57}{227} = R\$ 1,37456$$

6.3.5.7 Custo por segundo (utilizado)

O Custo por Segundo (Utilizado), CPS_{UTIL} , é dado por:

$$CPS_{UTIL} = \frac{CPH_{UTIL}}{3600} = \frac{R\$ 311,57}{3600} = R\$ 0,08655$$

6.3.5.7 Unidades por mês (boas unidades)

As Unidades por Mês (Boas unidades), UPM_{good} , é dado por:

$$UPM_{good} = UPH_{good} \cdot U \cdot 729,6 \frac{h}{month} =$$

$$UPM_{good} = 453 \cdot 75\% \cdot 729,6 = 124.032 \text{ unidades}$$

6.3.6 Compilação do cenário inicial

De posse dos dados levantados do teste de produção do CI, pode-se construir uma tabela que facilitará a comparação de valores para quaisquer outros cenários. A tabela a seguir apresenta os valores obtidos.

Tabela 6.16 – Compilação do cenário inicial para IC3

<i>Costs:</i>	<i>IC3 Basic Scenario</i>
ATE/Option Capital Cost	R\$ 582.656,66
Overhead Per Month	R\$ 80.779,00
Overhead Per Hour	R\$ 110,72
Direct Labor Per Month	R\$ 80.000,00
Direct Labor Per Hour	R\$ 109,65
Equipment Dep Per Month	R\$ 9.710,94
Equipment Dep Per Hour	R\$ 13,31
<i>Utilization</i>	75%
<i>Throughput:</i>	
Test Time	80,00s
Index Time	1,0s
Number of Sites	6
<i>Yield</i>	85%
<i>FC_{Monthly}</i>	R\$ 170.489,94
<i>CPH_{Fixed}</i>	R\$ 233,68
<i>CPH_{UTIL}</i>	R\$ 311,57
<i>UPH_{insertions}</i>	267
<i>UPH_{good}</i>	227
<i>CPU_{good}</i>	R\$ 1,37456
<i>CPS_{UTIL}</i>	R\$ 0,08655
<i>UPM_{good}</i>	124.032

6.3.7 Aplicações econômicas do custo do teste

A partir da tabela obtida na compilação do cenário inicial serão realizadas várias análises com o objetivo de otimizar os seguintes aspectos: expansão da capacidade, volume, utilização, yield e multi-site. O objetivo destas análises é avaliar o impacto de custos e os ganhos obtidos com as expansões de capacidade.

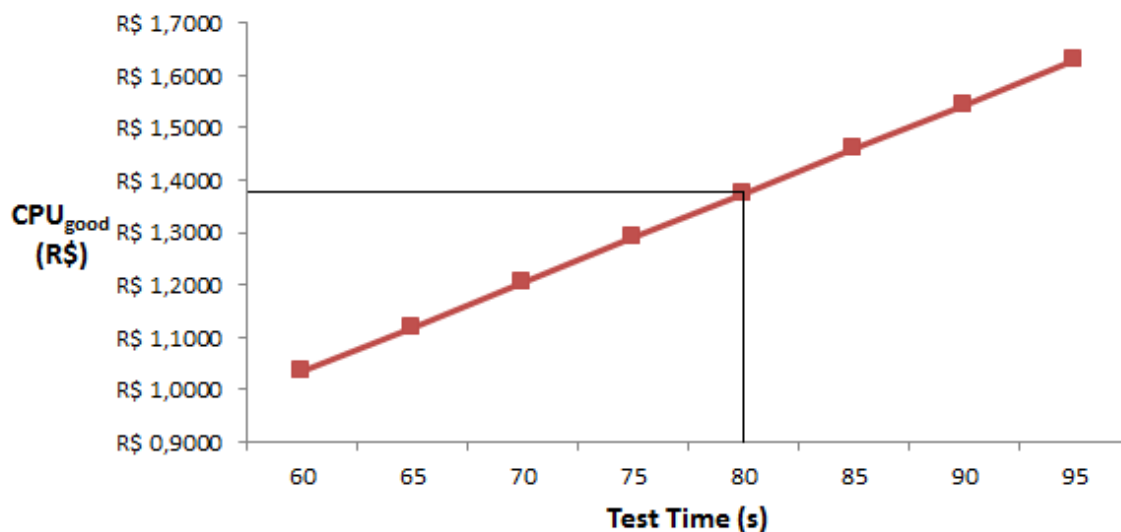
6.3.7.1 Análise da expansão da capacidade

A análise da expansão da capacidade busca verificar formas de acomodar um aumento da demanda de testes de CIs.

Uma das formas de aumento dessa capacidade pode ser dada pela redução do tempo de teste de cada dispositivo. No caso de IC3, como o tempo de teste já resumido ao tempo de operação do chip, uma otimização possível é a melhoria do código do programa de teste que manipula a decodifica o sinal modulado.

O gráfico apresentado pela Fig. 6.13 mostra o impacto da variação do tempo de teste (Δt) no custo por unidade boa (ΔCPU_{good}).

Figura 6.13 – Impacto da variação do tempo do teste de produção (Δt) no custo por unidade boa (ΔCPU_{good}) em IC3



6.3.7.2 Análise de capacidade

O aumento da capacidade também pode ser obtido através da expansão do ATE, mantendo-se o custo do produto unitário CPU_{good} . Através da análise de Breakeven de IC3, podemos determinar qual é o máximo valor que deve ser despendido em uma otimização do ATE.

A análise da expansão da capacidade busca verificar se o aumento do teste de produção de circuitos integrados deve-se dar pela aquisição de novos equipamentos de teste (ATEs, probers, etc.) ou através de possíveis upgrades no sistema ATE existente.

No caso de IC3, faremos a análise de duplicação de unidades testadas por unidade de tempo. A quadruplicação da capacidade de teste atual, ou seja, de 6 sites para 24 sites pode ser obtida de duas formas: pela duplicação dos módulos atualmente instalados com cabos ou pela aquisição de um novo ATE. Sabe-se que o upgrade que duplica a quantidade de dies testados custa R\$ 397.410,00 e que a aquisição de um novo ATE custará R\$ 582.656,66.

- Upgrade do testador existente:

$$\Delta\text{Custo: } 1 \text{ Tester} * R\$397.410,00 / \text{Tester} = R\$397.410,00$$

$$\Delta\text{Capacidade: } 1 \text{ Tester} * 100\% / \text{Tester} = 100\% = 1 \text{ Tester}$$

- Expansão com novo testador:

$$\Delta\text{Custo: } 1 \text{ Tester} * R\$582.656,66 / \text{Tester} = R\$582.656,66$$

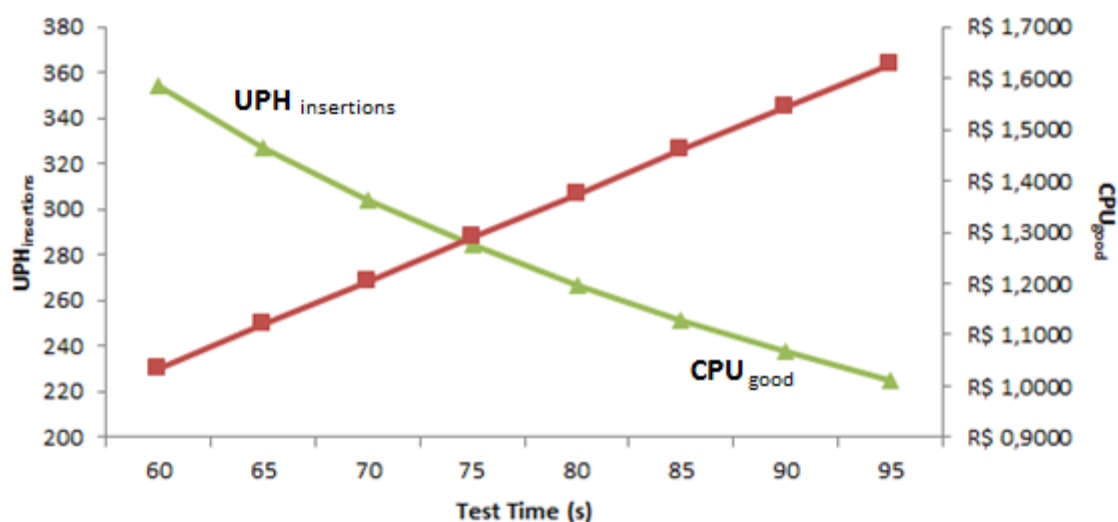
$$\Delta\text{Capacidade: } 1 \text{ Tester} * 100\% / \text{Tester} = 100\% = 1 \text{ Tester}$$

Fica claro que a expansão para mais sites no mesmo ATE dispense menor valor frente à aquisição de um novo ATE. Observa-se ainda que não foi contabilizado o valor despendido com uma nova Prober, a qual seria necessária no caso da aquisição de um novo ATE.

6.3.7.3 Análise de vazão (throughput)

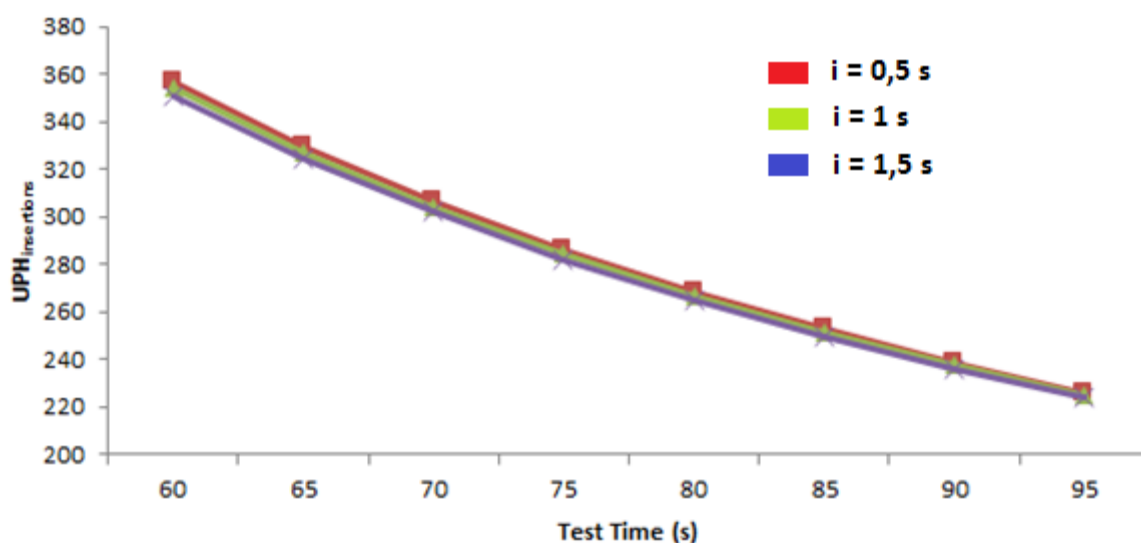
Veremos agora a relação do volume de dispositivos testados (Unidades por Hora) com o custo do teste descrito na seção anterior. Para o dispositivo IC3, teremos esta relação apresentada na Fig. 6.14, variando-se o tempo de teste dos componentes.

Figura 6.14 – Impacto da variação do tempo do teste de produção (Δt) no custo por unidade boa (ΔCPU_{good}) de IC3



Da mesma forma, esta análise pode levar em conta a variação do tempo de Index, para um mesmo tempo de teste. Com isso, podemos ver a variação de volume testado por hora conforme a Fig. 6.15.

Figura 6.15 – Impacto da variação do tempo de Index (Δi) na quantidade de dies por hora ($\Delta UPH_{insertions}$) de IC3



Observa-se que as variações no tempo de teste de IC3 mudam drasticamente o número de dies testados por hora, o que contribui para uma grande redução no valor do custo do teste para o dispositivo. Já as variações no tempo de Index tiveram mudanças sutis no número de

dies testados por hora. Isso deve-se ao fato de que o tempo gasto em teste é muito maior que o tempo de deslocamento dos manipuladores da Probe.

6.3.7.4 Análise de utilização (downtime)

Da mesma forma que as variáveis anteriores, a utilização do ATE impacta diretamente no custo final do componente testado. Através da análise de Utilização, pode-se fazer a estimativa de redução de custo para um aumento da utilização do ATE e, até mesmo, realizar uma análise de Breakeven, projetando-se quanto é possível investir em uma expansão do ATE para esta redução de custo obtida.

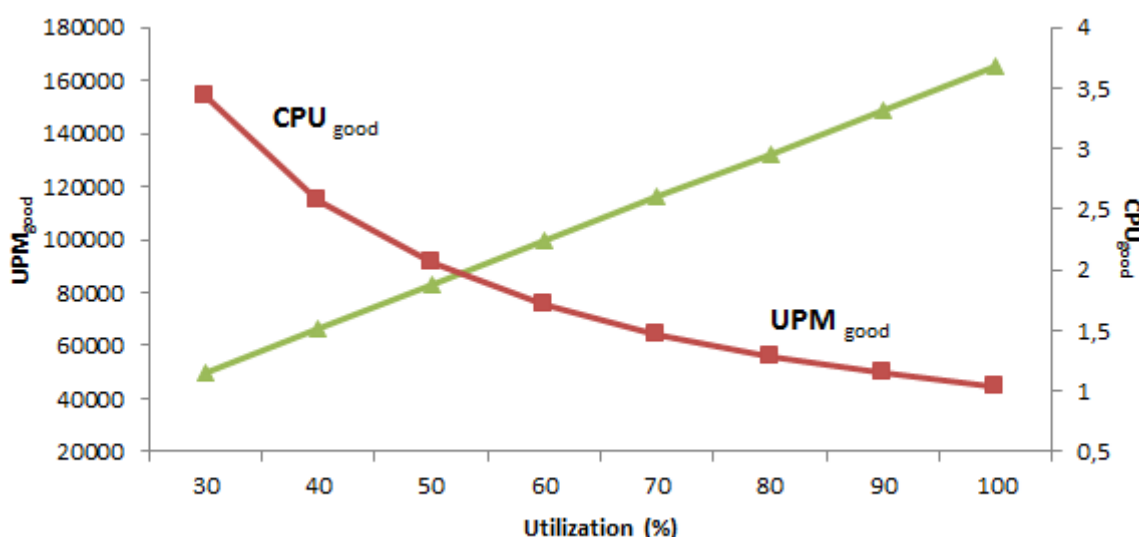
Tabela 6.17 – Análise da Utilização do ATE

<i>Costs:</i>	<i>IC3 Basic Scenario</i>	<i>IC3 Scenario2</i>	<i>IC3 Scenario3</i>	<i>Diff %</i>
ATE/Option Capital Cost	R\$ 582.656,66	R\$ 582.656,66	R\$ 1.150.870,00	0,00%
Overhead Per Month	R\$ 80.779,00	R\$ 80.779,00	R\$ 80.779,00	0,00%
Overhead Per Hour	R\$ 110,72	R\$ 110,72	R\$ 110,72	0,00%
Direct Labor Per Month	R\$ 80.000,00	R\$ 80.000,00	R\$ 80.000,00	0,00%
Direct Labor Per Hour	R\$ 109,65	R\$ 109,65	R\$ 109,65	0,00%
Equipment Dep Per Month	R\$ 9.710,94	R\$ 9.710,94	R\$ 19.181,17	0,00%
Equipment Dep Per Hour	R\$ 13,31	R\$ 13,31	R\$ 26,29	0,00%
Utilization	75%	79,166%	79,166%	5,26%
Throughput:				
Test Time	80s	80s	80s	0,00%
Index Time	1,0s	1,0s	1,0s	0,00%
Number of Sites	6	6	6	0,00%
Yield	85%	85%	85%	0,00%
<i>FC_{Monthly}</i>	R\$ 170.489,94	R\$ 170.489,94	R\$ 179.960,17	0,00%
<i>CPH_{Fixed}</i>	R\$ 233,68	R\$ 233,68	R\$ 246,66	0,00%
<i>CPH_{UTIL}</i>	R\$ 311,57	R\$ 295,17	R\$ 311,57	-5,55%
<i>UPH_{insertions}</i>	267	267	267	0,00%
<i>UPH_{good}</i>	227	227	227	0,00%
<i>CPU_{good}</i>	R\$ 1,37456	R\$ 1,30223	R\$ 1,37456	-5,55%
<i>CPS_{UTIL}</i>	R\$ 0,08655	R\$ 0,08199	R\$ 0,08655	-5,55%
<i>UPM_{good}</i>	124.032	130.922	130.922	5,26%

Observa-se, com o cenário 3, que se obtém os mesmos R\$ 1,37456 com o acréscimo de 1 hora de Utilização diária, o que é equivalente a R\$ 1.150.870,00 – R\$ 582.656,66 = R\$ 568.213,34 em termos de custo capital. Esta análise é de grande importância para a decisão de aquisição de um ATE baseado em indicadores de MTBF; este é o valor máximo que pode ser investido em um ATE que possibilite menores tempos de parada.

Uma análise de varredura da Utilização também pode ser realizada, de forma a determinar qual o custo e qual a vazão de unidades para determinada Utilização do ATE. A Fig. 6.16 mostra esta distribuição.

Figura 6.16 – Variação da Utilização ($\Delta U\%$) versus as variações de unidades boas mensais (ΔUPM_{good}) e do custo por unidades boas (ΔCPU_{good}) de IC3



6.3.7.5 Análise de yield

Assim como o percentual de Utilização do ATE, o percentual de Yield pode ser analisado para definir aquisições ou otimizações no ATE atual. Um exemplo pode ser dado pela redução do Yield por um motivo inesperado: problema de projeto, falha de fabricação, etc. A tabela 6.17 apresenta esta situação; o cenário básico na primeira coluna, seguido pelo cenário 2 onde ocorreu a queda do Yield em 10%. Em uma análise de breakeven, foi gerado o cenário 3 que busca, emergencialmente, reduzir o tempo de teste para garantir o mesmo volume de entrega e o mesmo custo por unidade.

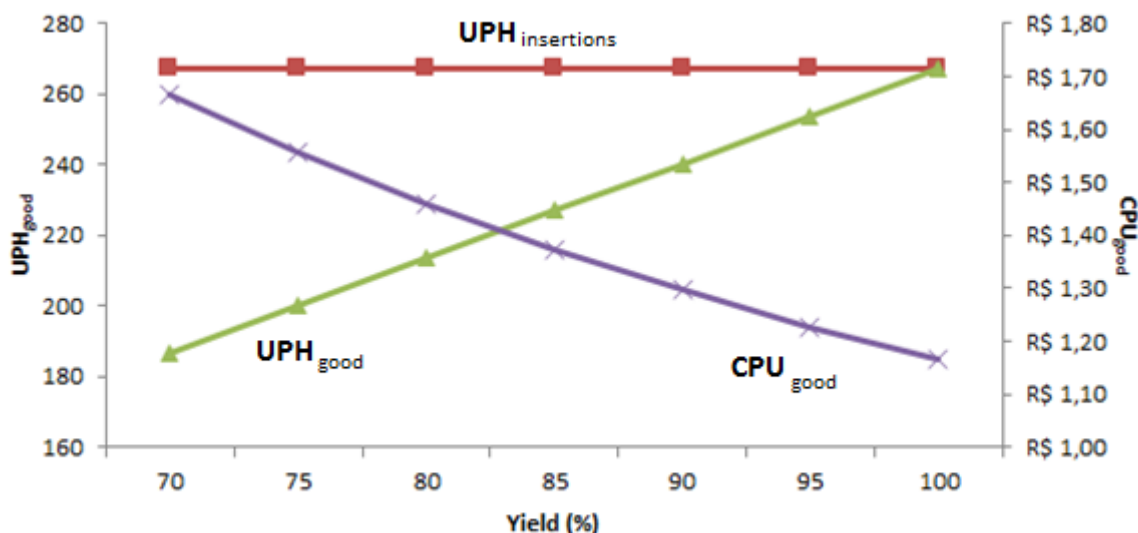
Tabela 6.18 – Análise da variação de Yield

<i>Costs:</i>	<i>IC3 Basic Scenario</i>	<i>IC3 Scenario2</i>	<i>IC3 Scenario3</i>	<i>Diff %</i>
ATE/Option Capital Cost	R\$ 582.656,66	R\$ 582.656,66	R\$ 582.656,66	0,00%
Overhead Per Month	R\$ 80.779,00	R\$ 80.779,00	R\$ 80.779,00	0,00%
Overhead Per Hour	R\$ 110,72	R\$ 110,72	R\$ 110,72	0,00%
Direct Labor Per Month	R\$ 80.000,00	R\$ 80.000,00	R\$ 80.000,00	0,00%
Direct Labor Per Hour	R\$ 109,65	R\$ 109,65	R\$ 109,65	0,00%
Equipment Dep Per Month	R\$ 9.710,94	R\$ 9.710,94	R\$ 9.710,94	0,00%
Equipment Dep Per Hour	R\$ 13,31	R\$ 13,31	R\$ 13,31	0,00%
<i>Utilization</i>	75%	75%	75%	0,00%
<i>Throughput:</i>				
Test Time	80s	80s	70,47s	0,00%
Index Time	1,0s	1,0s	1,0s	0,00%
Number of Sites	6	6	6	0,00%
<i>Yield</i>	85%	75%	75%	-13,33%
<i>FC_{Monthly}</i>	R\$ 170.489,94	R\$ 170.489,94	R\$ 170.489,94	0,00%
<i>CPH_{Fixed}</i>	R\$ 233,68	R\$ 233,68	R\$ 233,68	0,00%
<i>CPH_{UTIL}</i>	R\$ 311,57	R\$ 311,57	R\$ 311,57	0,00%
<i>UPH_{insertions}</i>	267	267	302	0,00%
<i>UPH_{good}</i>	227	200	227	-13,33%
<i>CPU_{good}</i>	R\$ 1,37456	R\$ 1,55784	R\$ 1,37456	11,76%
<i>CPS_{UTIL}</i>	R\$ 0,08655	R\$ 0,08655	R\$ 0,08655	0,00%
<i>UPM_{good}</i>	124.032	109.440	124.032	-13,33%

Observa-se, com o cenário 3, que se obtém os mesmos R\$ 1,37456 com a redução do tempo de teste de 80s para 70,47s; esta melhoria poderia ser obtida, por exemplo, com otimizações no software de teste de produção. Até que a falha seja sanada, garante-se o volume de entrega e o mesmo custo do teste por dispositivo.

Uma análise de varredura do Yield também pode ser realizada, de forma a determinar qual o custo e qual a vazão de unidades para determinado Yield de produção. A Fig. 6.17 mostra esta distribuição onde, com o aumento do Yield, ocorre o aumento do número de unidades por hora boas (UPH_{good}) ao mesmo tempo que decresce o custo por unidade boa (CPU_{good}); observa-se ainda que de número de unidades por hora totais ($UPH_{insertions}$) não muda, ou seja, independente do Yield.

Figura 6.17 – Variação do Yield ($\Delta Y\%$) versus as variações de volume ($\Delta UPH_{insertions}$ e ΔUPH_{good}) e do custo por unidades boas (ΔCPU_{good}) de IC3



6.3.7.6 Análise de multi-site

O teste do circuito integrado IC3 foi desenvolvido de forma que um conjunto de módulos suporte o teste simultâneo de até 12 sites. Um gabinete ATE tradicional suporta até 2 conjuntos como este mencionado acima. Neste cenário, observa-se que um único ATE pode atingir até 24 sites de capacidade máxima.

Faremos aqui a comparação de 3 cenários de IC2: o primeiro com a topologia atualmente utilizada (6 sites), o segundo com expansão para o dobro da capacidade atual (12 sites) e o terceiro onde a capacidade máxima é utilizada, ou seja, 24 sites. A tabela 6.18 contempla as três situações.

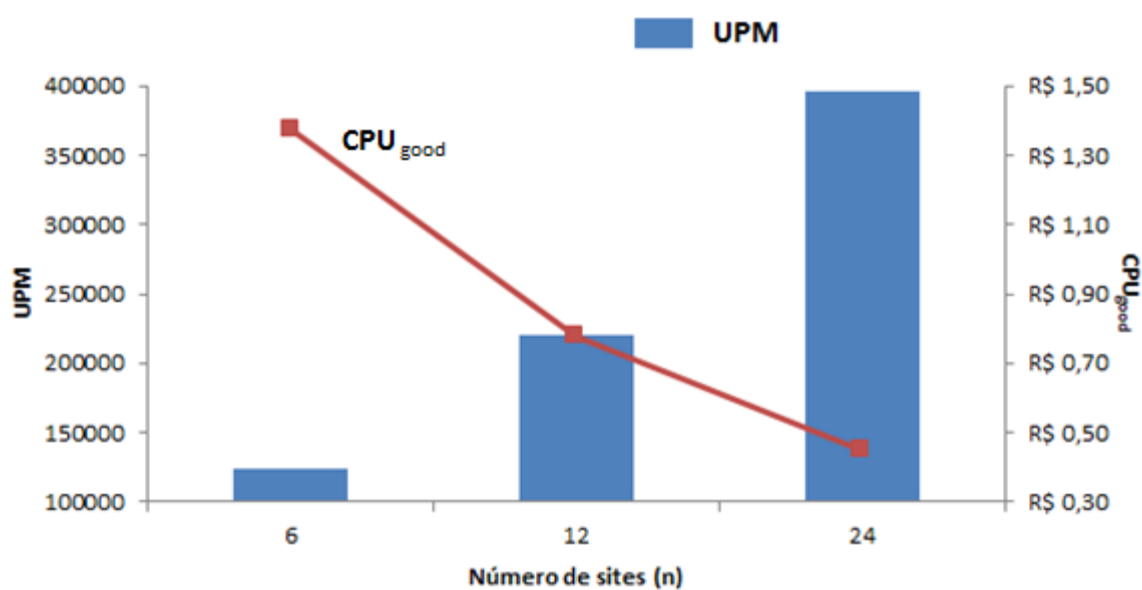
Tabela 6.19 – Análise do Multi-site

Costs:	6 sites	12 sites	24 sites
ATE/Option Capital Cost	R\$ 582.656,66	R\$ 582.656,66	R\$ 980.066,66
Overhead Per Month	R\$ 80.779,00	R\$ 81.500,00	R\$ 81.500,00
Overhead Per Hour	R\$ 110,72	R\$ 111,71	R\$ 111,71
Direct Labor Per Month	R\$ 80.000,00	R\$ 80.000,00	R\$ 80.000,00
Direct Labor Per Hour	R\$ 109,65	R\$ 109,65	R\$ 109,65
Equipment Dep Per Month	R\$ 9.710,94	R\$ 9.710,94	R\$ 16.334,44
Equipment Dep Per Hour	R\$ 13,31	R\$ 13,31	R\$ 22,39
Utilization	75%	75%	75%
Throughput:			
Test Time	80,00s	90,00s	100,00s
Index Time	1,0s	1,3s	1,6s
Number of Sites	6	12	24
Multi-site:			
Throughput Gain (t)	-	10,67	19,20
Overhead	-	13%	25%
Throughput Gain (t + i)	-	10,65	19,13
Yield	85%	85%	85%
FC_{Monthly}	R\$ 170.489,94	R\$ 171.210,94	R\$ 177.834,44
CPH_{Fixed}	R\$ 233,68	R\$ 234,66	R\$ 243,74
CPH_{UTIL}	R\$ 311,57	R\$ 312,89	R\$ 324,99
UPH_{insertions}	267	473	850
UPH_{good}	227	402	723
CPU_{good}	R\$ 1,37456	R\$ 0,77795	R\$ 0,44960
CPS_{UTIL}	R\$ 0,08655	R\$ 0,08691	R\$ 0,09027
UPM_{good}	124.032	220.079	395.535

Observa-se na tabela 6.6 que o aumento do número de sites fez com que o tempo de teste também sofresse um pequeno aumento. Isso ocorre para o teste de IC3, pois há um overhead de software que faz com que algumas rotinas sejam executadas serialmente. Se for possível a redução deste overhead, o tempo de teste poderá ser reduzido para a configuração multi-site.

O gráfico da Fig. 6.18 mostra a relação entre os três cenários quanto ao volume e ao custo por unidade de dispositivo.

Figura 6.18 – Variação do número de sites (Δn) versus as variações de volume (ΔUPM) e do custo por unidade boa (ΔCPU_{good})



Observa-se que na duplicação da configuração de 6 sites, tanto o ganho de volume de componentes entregues por mês quanto o custo do teste de cada componente foi da ordem de 2 vezes. Já a atualização do ATE para sua capacidade máxima trouxe um ganho de volume de componentes entregues por mês e de custo do teste por componente da ordem de 4 vezes.

Uma análise de breakeven reduzindo o tempo de teste pela redução do Overhead inserido pelo multi-site pode aumentar ainda mais este ganho.

6.4 Comparativo entre estudos de caso

Os três estudos de caso apresentados nesta dissertação são dispositivos reais projetados e comercializados pela empresa CEITEC Semiconductors S.A. O estudo desenvolvido por este trabalho procurou responder a uma questão importante do ponto de vista de testes de produção: qual é o custo do teste para a capacidade máxima do sistema ATE de baixo custo, o qual é utilizado atualmente. Além de definir esta escolha importante, o estudo apresentado também demonstra os ganhos obtidos através do aumento de dispositivos sendo testados paralelamente, seja expandindo o sistema de hardware ou aprimorando as ferramentas de software. Questões como número de sites, tempo de teste e otimização de setup de teste podem alterar significativamente tanto a vazão de dispositivos sendo testados quanto o custo do teste por dispositivo.

O dispositivo IC1 atualmente possui um baixo volume e, portanto, mantém o seu teste sendo executado de forma singlesite pois o sistema de teste atualmente não constitui-se um gargalo para a entrega do componente. Apesar disso, este estudo apresenta todos os dados relevantes para um eventual aumento de capacidade: observa-se que um aumento do número de sites de um site para oito sites é simples, viável e aumentará significativamente a vazão de dispositivos, além de reduzir em aproximadamente 5 vezes o custo do teste por dispositivo.

O dispositivo IC2 possui um volume muito maior de entregas do que o componente IC1. Este componente, que inicialmente era testado em configuração singlesite, passou a ser testado em configuração de 16 sites. Este estudo demonstrou que a implementação de 16 sites possibilitou a redução do tempo de teste de aproximadamente 9 horas por wafer para 1 hora e 15 minutos por wafer. Além disso, a redução de custos observada foi de quase 10 vezes da versão singlesite para a versão multi-site. Outra situação apresentada foi a simulação de capacidade máxima do sistema ATE para o componente IC2: observa-se que o sistema, para a configuração atual, possibilita um suporte multi-site para até 96 componentes; apesar disso, observou-se um overhead de software muito grande para esta configuração. Isso significa que perde-se muito tempo em rotinas serializadas no programa de teste, o que deve ser otimizado (por melhorias de implementação de software ou, no caso de impossibilidade, em uma implementação em hardware) para reduzir ainda mais os custos do teste.

O dispositivo IC3, que possui um teste mais complexo, mostra, em seu estudo, que o aumento do número de sites trará um ganho substancial no volume de dispositivos disponibilizados. A duplicação do número de sites de 6 para 12 demonstra que o tempo de teste de um wafer pode ser reduzido a praticamente a metade, assim como o custo do teste por

dispositivo. Outra situação apresentada foi a simulação de capacidade máxima do sistema ATE para o componente IC3: observa-se que o sistema, para a configuração atual, possibilita um suporte multi-site para até 24 componentes. A implementação em hardware possibilitou uma otimização natural do overhead de software do programa de teste deste componente; observa-se que mesmo com o aumento do número de sites, pouco tempo de rotinas serializadas é inserido ao teste.

7 CONCLUSÕES

O teste de produção desempenha um papel chave no processo de inserção de um circuito integrado no mercado. Este teste tem a função de garantir a qualidade dos dispositivos disponibilizados ao cliente. Dessa forma, todos os chips produzidos devem ser submetidos ao teste de produção. O custo dos testes de produção é acrescentado ao valor de venda dos circuitos integrados testados. Este custo deve ser o menor possível para reduzir o impacto no custo final do dispositivo.

Os testes de circuitos integrados são executados por equipamentos de teste chamados ATE. Típicas estruturas ATE, conhecidas como High-end ATEs, são extremamente caras pois agregam uma grande quantidade de recursos como rápido processamento, muita capacidade de memória e possibilitam que uma grande quantidade de chips sejam testados simultaneamente; porém, dependendo do dispositivo, muitos destes recursos podem ser desnecessários. O uso de ATEs de baixo custo (conhecidos como Low-cost) cresceu massivamente nos últimos anos, aliado ao uso da instrumentação virtual. A modularidade de instrumentação, a flexibilidade (que permite ao engenheiro de testes configurar o ATE conforme o chip a ser testado) e o baixo custo são as grandes vantagens desta arquitetura. Porém, a grande dificuldade está em definir quando um ATE seria insuficiente para testar um determinado volume de um dispositivo. E, de suma importância, qual seria o custo do teste neste momento.

O conceito de “Projeto visando o Teste” vem sendo amplamente utilizado nos projetos atuais de circuitos integrados para implementar a controlabilidade e a observabilidade dos dispositivos. Técnicas de DfT como Scan, BIST, RPCT e JTAG além de aumentarem o grau de cobertura de falhas do circuito integrado também fizeram com que os testes executados se tornassem mais simples. Os testes estruturais impulsionaram o uso de testadores de baixo custo, possibilitando a redução dos custos do teste. Agregado a estes fatores internos do componente, fatores externos também auxiliam na redução do custo, como o teste em multi-site, a compressão de dados e a flexibilidade no desenvolvimento do software e do hardware empregados no ATE.

Este trabalho procurou apresentar um modelo de projeção de capacidade e de custos de um sistema de teste de semicondutores. Três casos de testes de dispositivos semicondutores distintos foram apresentados, detalhando os aspectos funcionais e de testabilidade destes dispositivos e também a abordagem utilizada para testá-los na produção. Neste modelo foram utilizados ATEs considerados de baixo custo.

Para a análise de projeção de capacidade e de custo das abordagens de teste, esta dissertação baseou-se na metodologia proposta por Evans (EVANS, 1999), apresentando todos os pontos relevantes para um teste de produção; a partir destes pontos, é possível fazer projeções modificando-se os níveis de utilização, número de sites, custo do ATE, tempo de teste, entre outros fatores. Estas modificações pontuais possibilitam dimensionar um ATE de forma a definir questões importantes como a capacidade máxima de teste e o custo atingido nesta determinada capacidade.

A metodologia aplicada permitiu modelar os três casos e projetar eventos futuros como o incremento do volume de produção, a redução de tempo de teste ou aumento de utilização do ATE. Além disso, o uso deste modelo de projeção permitiu definir o custo inserido no valor final dos dispositivos quando é utilizada a capacidade máxima dos ATEs permitindo, com esta análise, definir se este é um modelo apropriado de testes ou se uma abordagem de teste High-end possibilitaria um melhor aproveitamento de recursos.

Os três estudos de caso apresentados nesta dissertação são dispositivos reais projetados e comercializados pela empresa CEITEC Semiconductors S.A. O estudo desenvolvido por este trabalho procurou responder a uma questão importante do ponto de vista de testes de produção: qual é o custo do teste para a capacidade máxima do sistema ATE de baixo custo, o qual é utilizado atualmente. A resposta a esta pergunta possibilita a decisão de ou expandir o sistema atual de testes ou adquirir um novo sistema ATE alta capacidade.

Além de definir esta escolha importante, o estudo apresentado também demonstra os ganhos obtidos através do aumento de dispositivos sendo testados paralelamente, seja expandindo o sistema de hardware ou aprimorando as ferramentas de software. Questões como número de sites, tempo de teste e otimização de setup de teste podem alterar significativamente tanto a vazão de dispositivos sendo testados quanto o custo do teste por dispositivo.

Os ganhos obtidos pela empresa CEITEC Semiconductors S.A. são claramente verificados neste trabalho. O dispositivo IC1 mantém o seu teste sendo executado de forma singlesite pois o sistema de teste atualmente não constitui-se um gargalo para a entrega do componente; porém, no caso de um aumento de volume, este estudo demonstra que um aumento do número de sites de um site para oito sites é simples, viável e aumentará significativamente a vazão de dispositivos, além de reduzir em aproximadamente 5 vezes o custo do teste por dispositivo. O dispositivo IC2 inicialmente era testado em configuração singlesite; entretanto, este dispositivo tem um volume muito maior. Desta forma, a implementação de 16 sites possibilitou a redução do tempo de teste de aproximadamente 9 horas por wafer para 1 hora e 15 minutos por wafer. Além disso, a redução de custos observada foi de quase 10 vezes da

versão singlesite para a versão multi-site. O estudo do teste do dispositivo IC3, que possui um teste mais complexo, mostra que o aumento do número de sites trará um ganho substancial no volume de dispositivos disponibilizados. A duplicação do número de sites de 6 para 12 demonstra que o tempo de teste de um wafer pode ser reduzido a praticamente a metade, assim como o custo do teste por dispositivo.

Os resultados obtidos pelas projeções de custo indicam que a metodologia proposta foi eficaz, apontando pontos de falha que, se corrigidos, podem proporcionar redução de custos ou aumento de vazão do volume de dispositivos testados, conforme a necessidade do fabricante. Entretanto, a metodologia avaliou o teste de dispositivos executados apenas em arquiteturas Low-cost; dessa forma, propõe-se que este estudo seja estendido também para componentes que são testados por ATEs High-end, analisando a variação dos pontos relevantes do teste de produção nesse tipo de testador.

REFERÊNCIAS

- ABRAMOVICI, M.; BREUER, M. A.; FRIEDMAN, A. D. **Digital Systems Testing and Testable Designs**. New York: IEEE, 1990.
- AGRAWAL, V. D.; BUSHNELL, M. L. **Essentials of Electronic Testing for Digital, Memory and Mixed-Signal VLSI**. New York, USA: Kluwer Academic Publishers, 2002.
- BEDSOLE, J.; RAINA, R.; CROUCH, A.; ABADIR, M. S. Very Low Cost Testers: Opportunities and Challenges. **IEEE Design & Test of Computers – International Test Conference (ITC)**, vol. 18, no. 5, pp. 60-69, 2001.
- COTA, É; AMORY, A. M.; LUBASZEWSKI, M. S. **Reliability, Availability and Serviceability of Networks-on-chip**. Porto Alegre, Brasil: Springer Science & Business Media, 2012.
- CRON, A.; ALLSUP, C.; ARMSTRONG, D. **Reducing test costs through multisite and concurrent testing**. Synopsys & Advantest white paper. Tech Design Forum. Novembro, 2015.
- EICHELBERGER, E. B.; WILLIAMS, T. W. A Logic Design Structure For LSI Testability. **Journal of Design Automation and Fault-Tolerant Computing**, v. 2, n. 2, P. 165-178, 1978.
- EVANS, A. C. Applications of semiconductor test economics, and multisite testing to lower cost of test. **Proceedings of IEEE International Test Conference (ITC)**, Allentown, USA, .P. 113-223, Setembro, 1999.
- FERREIRA, J. M. M. **Introdução ao projecto com sistemas digitais e microcontroladores**. Porto, Portugal: FEUP edições, 1998.
- GIZOPOULOS, D. **Advances in Electronic Testing: Challenges and Methodologies**. Dordrecht, The Netherlands: Springer Science & Business Media, 2006.
- HENNESSY, J.; PATTERSON, D. **Computer Architecture: A Quantitative Approach**. Boston, USA: Morgan Kaufmann, 2007.
- INSTITUTE OF ELECTRICAL AND ELECTRONIC ENGINEERING. **IEEE std 1149.1: IEEE Standard Test Access Port and Boundary Scan Architecture**. New York, USA, 2001.
- LI, B.; AGRAWAL, V. D. Multivalued logic for reduced pin count and multi-site SoC testing. In: NORTH ATLANTIC TEST WORKSHOP (NATW), 24, 2015. **Proceedings of the IEEE Computer Society**. New York: IEEE, 2015. p.49-54.
- LORANGER, M. What designers need to know about structural test. EE Times Magazine. Acesso em: <http://www.eetimes.com/story/OEG20030306S0058>. Disponível em: 18.12.2016.
- LUBASZEWSKI, M.; COTA, E. F.; KRUG, M. R. Teste e Projeto Visando o Teste de Circuitos Integrados. In: REIS, R. A. da L. (Ed.). **Concepção de Circuitos Integrados**. Porto Alegre, Brasil: SagraLuzzato, 2000.

MARINISSEN, E. J.; GOEL, S. K. On-Chip Test Infrastructure Design for Optimal Multi-Site Testing of System Chips. In: DESIGN, AUTOMATION AND TEST IN EUROPE CONFERENCE, Volume 1, 2005. **Proceedings of the IEEE Computer Society**. Washington: IEEE, 2005. p.44-49.

MORAES, M. S.; HERVÉ, M. B; LUBASZEWSKI, M. S. Low Pin Count DfT Technique for RFID ICs. In: IEEE INTERNATIONAL SYMPOSIUM ON DEFECT AND FAULT TOLERANCE IN VLSI AND NANOTECHNOLOGY SYSTEMS (DFT), 2012. **Proceedings of the IEEE Computer Society**. Washington: IEEE, 2012. p.31-36.

NATIONAL INSTRUMENTS. “O que é um sistema de instrumentação modular para testes automatizados? ”. White Paper, Julho, 2013.

NATIONAL INSTRUMENTS. **Understanding Parallel Hardware: Multiprocessors, Hyperthreading, Dual-Core, Multicore and FPGAs**. Multicore Programming Fundamentals Whitepaper Series. Publish Date: Dec 06, 2011.

NELSON, R. Modular Instruments Vie With Tradicional IC ATE. **Semiconductor Test - EE - Evaluation Engineering**, July 2013, pp 22-26.

REORDA, M. S.; BRUNO, M.; BERNARDI, P.; ABATE, F.; CIGANDA, L. An enhanced FPGA-based Low-Cost Tester Platform exploiting effective Test Data Compression for SoCs. In: IEEE DESIGN AND DIAGNOSTICS OF ELECTRONIC CIRCUITS & SYSTEMS (DDECS) 12TH INTERNATIONAL SYMPOSIUM ON, 2009. **Proceedings of the IEEE Computer Society**. Washington: IEEE, 2009, p. 258-263.

SEDRA, A. S.; SMITH, K. C. **Microelectronic Circuits**. Vol. 1. Fourth Edition. New York, USA: Oxford University Press, 1998.

STARKLOFF, E.; FOUNTAIN, T.; BLACK, G. The PXI Modular Instrumentation Architecture. In: INTERNATIONAL TEST CONFERENCE (ITC), 2003. **Proceedings of the IEEE Computer Society**. Washington: IEEE, 2003, p. 21-30.

STROUD, C. **A Designer's Guide to Built-In Self-Test**. Boston, USA: Kluwer Academic Publishers, 2002.

SUMATHI, S.; SUREKHA, P. **LabView based Advanced Instrumentation Systems**. First Edition. Berlin, Germany: Springer Science & Business Media, 2007.

TEHRANIPOOR, M; PENG, K.; CHAKRABARTY, K. **Test and Diagnosis for Small-Delay Defects**. New York, USA: Springer Science & Business Media, 2011.

VERMEULEN, B.; HORA, C.; KRUSEMAN B.; MARINISSEN, E. J.; van RIJSINGE, R. Trends in Testing Integrated Circuits. In: INTERNATIONAL TEST CONFERENCE (ITC), 2004. **Proceedings of the IEEE Computer Society**. Washington: IEEE, 2004, p. 688-697.

VOCK, S. R.; ESCALONA, O. J.; TURNER C.; OWENS F. J. Challenges for Semiconductor Test Engineering: A Review Paper. **Journal of Electronic Testing**. Springer Science & Business Media. June 2012, Volume 28, Issue 3, pp 365-374.

WANG, L.; STROUD, C. E.; TOUBA, N. A. **System-on-Chip Test Architectures: Nanometer Design for Testability**. Burlington, USA: Elsevier Morgan Kaufmann Publishers, 2007.

ANEXO A <CUSTO DOS TESTADORES DOS CENÁRIOS BÁSICOS >

Neste anexo são apresentados os orçamentos dos ATEs que compuseram os cenários básicos dos testes de produção de IC1, IC2 e IC3, respectivamente.

NATIONAL INSTRUMENTS PXI Advisor Contato | Brazil

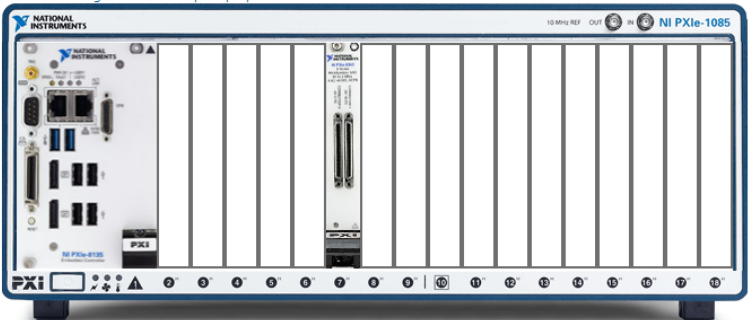
Nova configuração [Minhas configurações](#) Olá, William (Log out)

Resumo da configuração

[✓ Controladora](#) [✓ Placas](#) [✓ Chassi](#) [Software](#) [✓ Serviços](#) **Resumo**

Veja um resumo de seu sistema abaixo.

Gerar uma imagem do sistema para propostas Fechar X



Você pode "arrastar e soltar" módulos em diferentes posições no chassi.

[Voltar](#)

ID da configuração **PX5040491**

Part Number	Descrição	Qde.	Preço unitário
782450-04	NI PXIe-8135 Core i7-3610QE 2.3 GHz Controller, Win 7 (64-bit) Standard Repair Coverage	1	R\$ 30.795
			Subtotal: R\$ 30.795

Part Number	Descrição	Qde.	Preço unitário
781056-01	NI PXIe-6363, X Series DAQ (32 AI, 48 DIO, 4 AO) Standard Repair and Traceable Calibration Coverage	1	R\$ 10.505
782536-01	SCB-68A Noise Rejecting, Shielded I/O Connector Block Standard Repair Coverage	1	R\$ 1.725
782536-01	SCB-68A Noise Rejecting, Shielded I/O Connector Block Standard Repair Coverage	1	R\$ 1.725
192061-02	SHC68-68-EPM Shielded Cable, 68-D-Type to 68 VHDCI Offset, 2 m	1	R\$ 750
192061-02	SHC68-68-EPM Shielded Cable, 68-D-Type to 68 VHDCI Offset, 2 m	1	R\$ 750
			Subtotal: R\$ 15.455

Part Number	Descrição	Qde.	Preço unitário
781813-01	NI PXIe-1085, 18-Slot 3U PXI Express Chassis, 12 GB/s System BW Standard Repair Coverage	1	R\$ 46.975
			Subtotal: R\$ 46.975

Part Number	Descrição	Qde.	Preço unitário
SRV-	Standard Service Program for PXI Systems	1	R\$ 9.778,89
PX5040491			
			Subtotal: R\$ 9.778,89

Part Number	Descrição	Qde.	Preço unitário
Você ainda não selecionou nenhum software. Selecionar software.			

* Preços não incluem impostos locais (IPI, ICMS, ISS) ou taxas de entrega. Entre em contato com a NI Brasil para receber cotação com preços finais para sua localidade. **Preço total: R\$ 103.003,89**

[Colocar no carrinho](#)

Garanta seu preço por 30 dias! (saiba mais) [Solicitar cotação](#)

[Voltar](#)

Busca por produto

Part Number ou Nome

Resumo


Minha configuração

ID da configuração
PX5040491

Preço total: R\$ 103.003,89

Próximos passos

- [Solicitar cotação](#)
Garanta seu preço por 30 dias!
- [Colocar no carrinho](#)
- [Salve sua configuração na lista de produtos](#)
- [Imprimir resumo](#)
- [Baixar para Excel](#)
- [Salvar configuração](#)
- [E-mail / Compartilhar](#)



Clique na imagem para ver o sistema

Controladora

NI PXIe-8135 [editar](#)

Subtotal: R\$ 30.795

Placas

NI PXIe-6363 [editar](#)

SCB-68A	Qde.: 1
SCB-68A	Qde.: 1
SHC68-68-EPM Cable (2m)	Qde.: 1
SHC68-68-EPM Cable (2m)	Qde.: 1

Subtotal: R\$ 15.455

Chassi

NI PXIe-1085 (12 GB/s) [editar](#)

Subtotal: R\$ 46.975

Serviços

Serviços padrão [editar](#)

Cobertura de 3 anos	Qde.: 1
May 2016 Driver Set	Qde.: 1
LabVIEW 2015 SP1 - Inglês	Qde.: 1
NI TestStand 2014 SP1	Qde.: 1
NI LabWindows/CVI 2015	Qde.: 1
Traceable Calibration Plan	Qde.: 1

Subtotal: R\$ 9.778,89

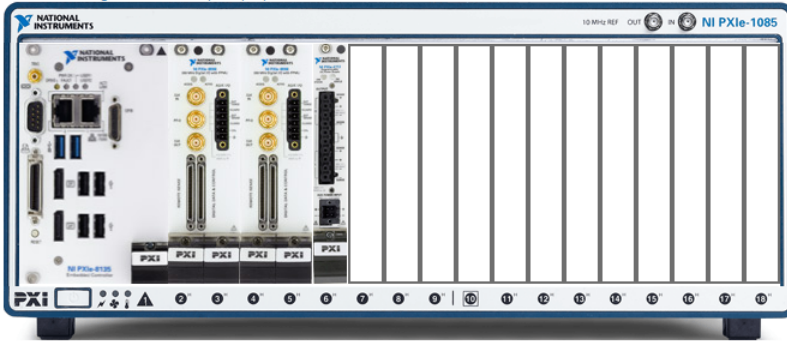
Resumo da configuração

- ✓ Controladora
- ✓ Placas
- ✓ Chassi
- Software
- ✓ Serviços
- Resumo

Veja um resumo de seu sistema abaixo.

Gerar uma imagem do sistema para propostas

Fechar X



Você pode "arrastar e soltar" módulos em diferentes posições no chassi.

[Voltar](#)

ID da configuração **PX5040491**

Controladora

Part Number	Descrição	Qde.	Preço unitário
782450-04	NI PXIe-8135 Core i7-3610QE 2.3 GHz Controller, Win 7 (64-bit) Standard Repair Coverage	1	R\$ 30.795
		1	
			Subtotal: R\$ 30.795

Placas

Part Number	Descrição	Qde.	Preço unitário
781949-02	NI PXIe-6556 200 MHz, 64 Mb/ch Dig Wfm; with Enhanced PPMU Standard Repair and Traceable Calibration Coverage	2	R\$ 72.025
152870-01	SHC68-C68-D4 Shielded Single-Ended Cable, Low Leakage, 1m	2	R\$ 2.115
782857-02	NI PXIe-4113 2 Channel Power Supply, 10V, 6A Standard Repair and Traceable Calibration Coverage	1	R\$ 10.175
763000-01	Power Cord, AC, U.S., 120 VAC, 2.3 meters	1	R\$ 50
			Subtotal: R\$ 158.505

Chassi

Part Number	Descrição	Qde.	Preço unitário
781813-01	NI PXIe-1085, 18-Slot 3U PXI Express Chassis, 12 GB/s System BW Standard Repair Coverage	1	R\$ 46.975
		1	
			Subtotal: R\$ 46.975

Serviços

Part Number	Descrição	Qde.	Preço unitário
SRV- PX5040491	Standard Service Program for PXI Systems	1	R\$ 31.399,54
			Subtotal: R\$ 31.399,54

Software

Part Number	Descrição	Qde.	Preço unitário
Você ainda não selecionou nenhum software. Selecionar software.			

* Preços não incluem impostos locais (IPI, ICMS, ISS) ou taxas de entrega. Entre em contato com a NI Brasil para receber cotação com preços finais para sua localidade. **Preço total: R\$ 267.674,54**

[Colocar no carrinho](#)

Garanta seu preço por 30 dias! (saiba mais) [Solicitar cotação](#)

[Voltar](#)

Busca por produto

Part Number ou Nome

Part Number / Nome

Resumo

Minha configuração

ID da configuração
PX5040491
Preço total: R\$ 267.674,54

Próximos passos

- Solicitar cotação**
Garanta seu preço por 30 dias!
- Colocar no carrinho**
- Salve sua configuração na lista de produtos**
- Imprimir resumo**
- Baixar para Excel**
- Salvar configuração**
- E-mail / Compartilhar**



Clique na imagem para ver o sistema

Controladora

NI PXIe-8135 [editar](#) X

Subtotal: R\$ 30.795

Placas

[editar](#) X
NI PXIe-6556-64 Mb/ch (2-slot)
SHC68-C68-D4 Shielded
Single-Ended Cable, Low
Leakage, 1m **Qde.: 1**

[editar](#) X
NI PXIe-6556-64 Mb/ch (2-slot)
SHC68-C68-D4 Shielded
Single-Ended Cable, Low
Leakage, 1m **Qde.: 1**

[editar](#) X
NI PXIe-4113
Power Cord, North America
120VAC **Qde.: 1**

Subtotal: R\$ 158.505

Chassi

NI PXIe-1085 (12 GB/s) [editar](#) X

Subtotal: R\$ 46.975

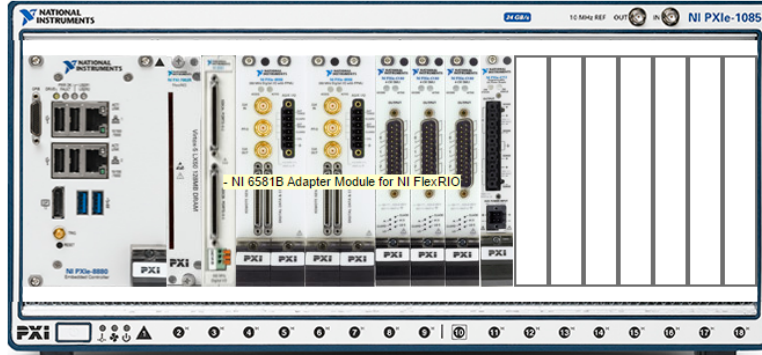
Resumo da configuração

Controladora Placas Chassi Software Serviços **Resumo**

Veja um resumo de seu sistema abaixo.

Gerar uma imagem do sistema para propostas

Fechar X



Você pode "arrastar e soltar" módulos em diferentes posições no chassi.

Voltar

! Você ainda não fez seu login no sistema. Não conseguirá salvar / abrir seu trabalho. Clique aqui para fazer login e ver a ID de sua configuração. Leia mais sobre todos os benefícios da ID de sua configuração

Controladora

Part Number	Descrição	Qde.	Preço unitário
783513-04	NI PXIe-8880, Xeon 8-Core Controller, Win 7 (64-bit)	1	R\$ 36.465
	Standard Repair Coverage	1	
783813-01	8 GB Upgrade/Replacement RAM for PXIe-8880	2	R\$ 3.400
	Standard Repair Coverage	2	
			Subtotal: R\$ 43.265

Placas

Part Number	Descrição	Qde.	Preço unitário
781949-02	NI PXIe-6556 200 MHz, 64 Mb/ch Dig Wfm; with Enhanced PPMU	2	R\$ 67.090
	Standard Repair and Traceable Calibration Coverage	2	
778592-01	CB-2162 Single-ended Digital I/O Accessory	2	R\$ 1.970
152870-01	SHC68-C68-D4 Shielded Single-Ended Cable, Low Leakage, 1m	2	R\$ 1.970
188142-01	SHC68-C68-D2 Shielded Cable for High Speed DIO, 1M	2	R\$ 1.970
782857-02	NI PXIe-4113 2 Channel Power Supply, 10V, 6A	1	R\$ 9.480
	Standard Repair and Traceable Calibration Coverage	1	
763000-01	Power Cord, AC, U.S., 120 VAC, 2.3 meters	1	R\$ 45
782431-01	NI PXIe-4143 4-Channel Precision SMU: 24V/150mA	3	R\$ 51.535
	Standard Repair and Traceable Calibration Coverage	3	
781205-01	NI PXIe-7961R NI FlexRIO FPGA Module (Virtex-5 SX50T)	1	R\$ 23.805
	Standard Repair Coverage	1	
783887-01	NI 6581B 100MHz DIO (54 Channel) NI FlexRIO Adapter Module	1	R\$ 5.425
	Standard Repair Coverage	1	
782955-01	PXIe-7975R FlexRIO FPGA Module (Kintex-7 K410T, 2GB RAM)	1	R\$ 47.090
	Standard Repair Coverage	1	
			Subtotal: R\$ 386.450

Chassi

Part Number	Descrição	Qde.	Preço unitário
783588-01	NI PXIe-1085, 18-Slot 3U PXI Express Chassis, 24 GB/s System BW	1	R\$ 48.620
	Standard Repair Coverage	1	
			Subtotal: R\$ 48.620

Serviços

Part Number	Descrição	Qde.	Preço unitário
SRV-PX5114641	Standard Service Program for PXI Systems	1	R\$ 108.832,28
			Subtotal: R\$ 108.832,28

Software

Part Number	Descrição	Qde.	Preço unitário
<p>! Você ainda não selecionou nenhum software. Selecionar software.</p>			

* Preços não incluem impostos locais (IFI, ICMS, ISS) ou taxas de entrega. Entre em contato com a NI Brasil para receber cotação com preços finais para sua localidade. **Preço total: R\$ 582.656,66**

Busca por produto

Part Number ou Nome

Part Number / Nome

Resumo

Minha configuração

Faça login para obter a ID de sua configuração Benefícios

Preço total: R\$ 582.656,66

Próximos passos

- Solicitar cotação
Garanta seu preço por 30 dias!
- Colocar no carrinho
- Salve sua configuração na lista de produtos
- Imprimir resumo
- Baixar para Excel
- Salvar configuração
- E-mail / Compartilhar



Clique na imagem para ver o sistema

Controladora

NI PXIe-8880 [editar](#)
8 GB Qde.: 2

Subtotal: R\$ 43.265

Placas

NI PXIe-6556-64 Mb/ch (2-slot) [editar](#)
CB-2162 Qde.: 1
SHC68-C68-D4 Shielded Single-Ended Cable, Low Leakage, 1m Qde.: 1
SHC68-C68-D2 Shielded Single-Ended Cable for High Speed DIO, 1m (obsolete) Qde.: 1

NI PXIe-6556-64 Mb/ch (2-slot) [editar](#)
CB-2162 Qde.: 1
SHC68-C68-D4 Shielded Single-Ended Cable, Low Leakage, 1m Qde.: 1
SHC68-C68-D2 Shielded Single-Ended Cable for High Speed DIO, 1m (obsolete) Qde.: 1

NI PXIe-4113 [editar](#)
Power Cord, North America 120VAC Qde.: 1

NI PXIe-4143 [editar](#)

NI PXIe-4143 [editar](#)

NI PXIe-4143 [editar](#)

NI PXIe-4143 [editar](#)

NI PXIe-7961R NI FlexRIO FPGA Module [editar](#)

Colocar no carrinho

Garanta seu preço por 30 dias! (saiba mais) Solicitar cotação