Coleta e adaptação de módulos de hardware aplicados à comunicação de dados

Geferson Luis Hess Júnior[1], Gabriel Luca Nazar[1]

[1] Instituto de Informática -- Universidade Federal do Rio Grande do Sul (UFRGS)

INTRODUÇÃO

Field Programmable Gate Arrays (FPGAs) são dispositivos muito utilizados pela indústria, incluindo a de aplicações aeroespaciais e satélites, para implementar diferentes funcionalidades usadas em sistemas de comunicação de dados. Ao serem utilizados em ambientes ricos em partículas ionizantes, poderá ocorrer falhas na ferramenta implementada. Portanto, é de extrema importância estudar e caracterizar essas falhas que ocorrem nesses dispositivos, afim de propor métodos de tolerância eficazes e de baixo custo.

Dentre as funcionalidades utilizadas em sistemas de comunicação de dados, podemos destacar os códigos de correção de erros. Entre os diversos códigos propostos na literatura, podemos destacar os *Low-Density Parity Check* (LDPC), sendo o mesmo adotado por diversos padrões, como: 802.11, CCSDS (*Consultative Comittee for Space Data Systems*) e DVB-S2 (*Digital Video Broadcasting - Satellite - Second Generation)*. A necessidade desses códigos deve-se ao fato de que, ao transmitir dados por um canal ruídoso, o sinal no destino pode ter seus valores alterados. Portanto, os códigos de correção inserem bits de redundância nos dados originais a serem enviados, para que ao recebê-los no destino, possam tentar recuperar a informação original.

IMPLEMENTAÇÃO DO DECODIFICADOR LDPC

Com o intuito de auxiliar a descrição do hardware do decodificador LDPC, foi implementando um simulador do mesmo na linguagem C. Foram implementados três diferentes algoritmos com as operações matemáticas do decodificador implementadas em ponto fixo e ponto flutuante. O algoritmo escolhido tem como método de escalonamento das mensagens o *Layered Belief Propagation*, sendo que a organização das operações aritméticas é conferida pelo *Modified Min-Sum Algorithm* [1]. Esse é um algorito que utiliza apenas somas, subtrações e comparações, o que leva a uma menor área ocupada da FPGA e uma boa vazão de dados, porém com uma pequena piora na eficiênca energética na transmissão dos dados.

Na Figura 1, verifica-se o *Bit Error Rate* (BER) do algoritmo implementado com diferentes variações na precisão do ponto fixo utilizado para uma das matrizes de paridade do padrão IEEE 802.11.

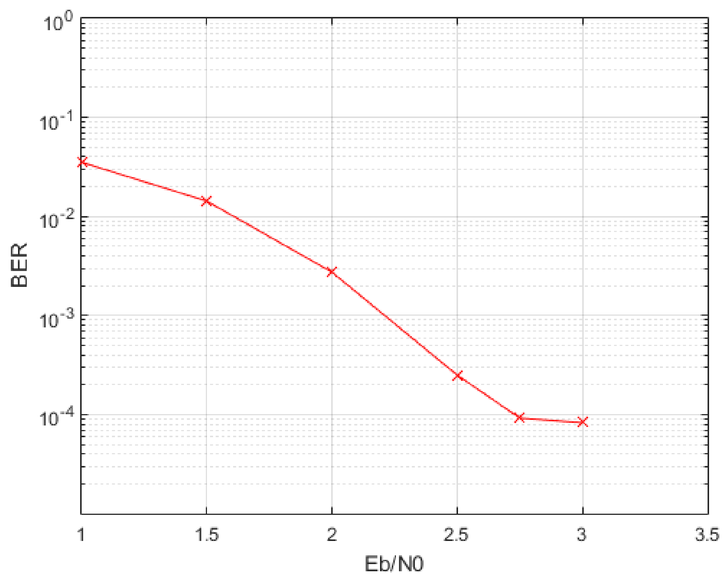

Figura 1: BER para 648 bits transmitidos, razão do código 0.5 e Q5.2

O hardware para os algoritmos a seguir foram descritos em VHDL. A arquitetura foi baseada no padrão muito utilizado dos LDPCs implementandos em FPGAs [2] e pode ser visualizada na Figura 2.

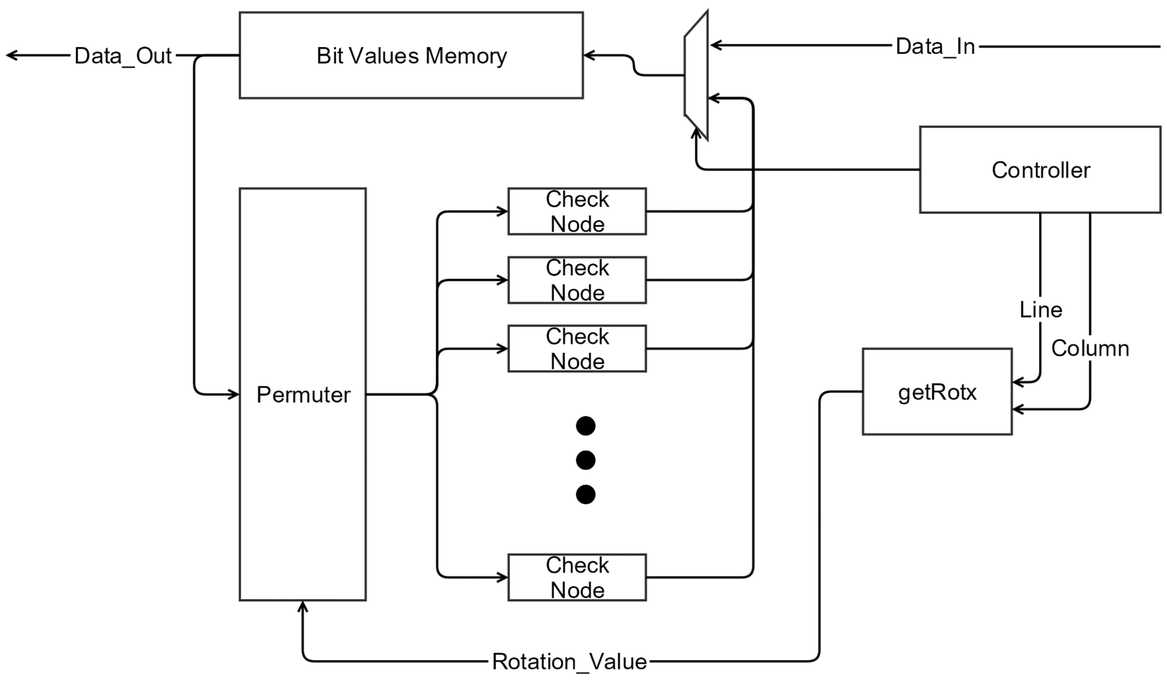

Figura 2: Arquitetura simplificada do decodificador LDPC

A arquitetura é baseada no Tanner Graph, Figura 3, que é construído com base na Matriz de Paridade do código, Figura 4. O grafo mostra a conectividade entre os valores dos bits recebidos no decodificador (*Virtual Nodes*), para com os respectivos *Check Nodes.*

Durante o processo de decodificação os valores são lidos da memória e permutados para que cada *Check Node* receba os valores corretos, com base nas conexões do Tanner Graph. O *Check Node* irá alterar os valores e atualizá-los na memória. A decodificação termina quando um número mínimo de iterações for atingido.

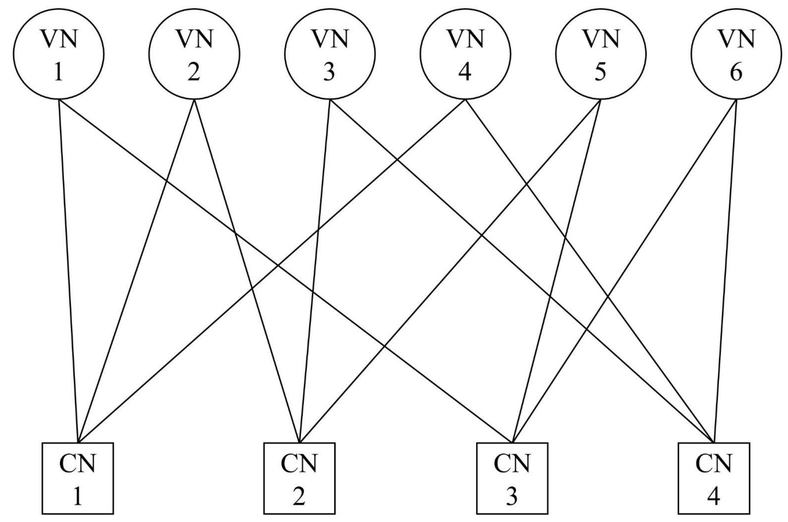

Figura 3: Exemplo de um Tanner Graph mostrando a conectividade entre Virtual Nodes (VN) e Check Nodes(CN).

0	-	-	-	0	0	-	-	0	-	-	0	1	0	-	-	-	-	-	-	-	-	-	-
22	0	-	-	17	-	0	0	12	-	-	-	-	0	0	-	-	-	-	-	-	-	-	-
6	-	0	-	10	-	-	-	24	-	0	-	-	-	0	0	-	-	-	-	-	-	-	-
2	-	-	0	20	-	-	-	25	0	-	-	-	-	-	0	0	-	-	-	-	-	-	-
23	-	-	-	3	-	-	-	0	-	9	11	-	-	-	-	0	0	-	-	-	-	-	-
24	-	23	1	17	-	3	-	10	-	-	-	-	-	-	-	-	0	0	-	-	-	-	-
25	-	-	-	8	-	-	-	7	18	-	-	0	-	-	-	-	-	0	0	-	-	-	-
13	24	-	-	0	-	8	-	6	-	-	-	-	-	-	-	-	-	-	0	0	-	-	-
7	20	-	16	22	10	-	-	23	-	-	-	-	-	-	-	-	-	-	-	0	0	-	-
11	-	-	-	19	-	-	-	13	-	3	17	-	-	-	-	-	-	-	-	-	0	0	-
25	-	8	-	23	18	-	14	9	-	-	-	-	-	-	-	-	-	-	-	-	-	0	0
3	-	-	-	16	-	-	2	25	5	-	-	1	-	-	-	-	-	-	-	-	-	-	0

Figura 4: Matriz de Paridade para 648 bits transmitidos e razão do código 0.5 do padrão IEEE 802.11.

RESULTADOS

Com a síntese do decodificador na FPGA Xilinx Virtex 5, plataforma de desenvolvimento XUPV5-LX110T, foram obtidos os seguintes resultados:

Componentes do LDPC	Quantidade necessária			Ocupação na FPGA		
	LUT	FF	BRAM	LUT	FF	BRAM
Controller	90	50	0	0.14%	0.07%	0%
getRotX	103	26	0	0.16%	0.04%	0%
Check Nodes (mínimo)	339	284	0	0.52%	0.44%	0%
Check Nodes (máximo)	361	377	0	0.56%	0.58%	0%
Permuter	810	226	0	1.26%	0.35%	0%
Bit Values Memory	0	0	5	0%	0%	2.16%
Decodificador completo	13641	10286	5	21.31%	16.07%	2.16%
Frequência de operação	102.722 MHz					

Tabela 1: Recursos necessários e ocupação na FPGA

PERSPECTIVAS

Os próximos passos são injetar e caracterizar as falhas no decodificador LDPC desenvolvido, para propor métodos de tolerância a falhas. Será utilizado um injetor de falhas em FPGA já existente e específico para sistemas de comunicação de dados [3].

REFERÊNCIAS

1. Karkooti, Marjan, Predrag Radosavljevic, and Joseph R. Cavallaro. "Configurable LDPC decoder architectures for regular and irregular codes." Journal of Signal Processing Systems 53.1-2 (2008): 73-88.
2. Hocevar, Dale E. "A reduced complexity decoder architecture via layered decoding of LDPC codes." *Signal Processing Systems, 2004. SIPS 2004. IEEE Workshop on*. IEEE, 2004.
3. Leipnitz, Marcos T., L. H. Geferson, and Gabriel L. Nazar. "A fault injection platform for FPGA-based communication systems." 2016 IEEE 7th Latin American Symposium on Circuits & Systems (LASCAS). IEEE, 2016.