



SALÃO DE INICIAÇÃO CIENTÍFICA XXVIII SIC

paz no plural



Evento	Salão UFRGS 2016: SIC - XXVIII SALÃO DE INICIAÇÃO CIENTÍFICA DA UFRGS
Ano	2016
Local	Campus do Vale - UFRGS
Título	Coleta e adaptação de módulos de hardware aplicados à comunicação de dados
Autor	GEFERSON LUIS HESS JÚNIOR
Orientador	GABRIEL LUCA NAZAR

Coleta e adaptação de módulos de hardware aplicados à comunicação de dados

Aluno: Geferson Luis Hess Júnior

Orientador: Prof. Gabriel Luca Nazar

Universidade Federal do Rio Grande do Sul (UFRGS)

Field Programmable Gate Arrays (FPGAs) são dispositivos muito utilizados pela indústria, incluindo a de aplicações aeroespaciais e satélites, para implementar diferentes funcionalidades usadas em sistemas de comunicação de dados. Apresentam vantagens úteis a essas funcionalidades, como reconfigurabilidade, alto paralelismo e performance. Porém, ao serem utilizados em ambientes ricos em partículas ionizantes, poderá ocorrer falhas na ferramenta implementada. Portanto, é de extrema importância estudar e caracterizar essas falhas que ocorrem nesses dispositivos, a fim de propor métodos de tolerância eficazes e de baixo custo.

Dentre as funcionalidades utilizadas em sistemas de comunicação de dados, podemos destacar os códigos de correção de erros. Entre os diversos códigos propostos na literatura, podemos destacar os *Low-Density Parity Check (LDPC)*, sendo o mesmo adotado por diversos padrões, como: WiFi, CCSDS (*Consultative Committee for Space Data Systems*) e DVB-S2 (*Digital Video Broadcasting - Satellite - Second Generation*). A necessidade desses códigos deve-se ao fato de que, ao transmitir dados por um canal ruidoso, o sinal no destino pode ter seus valores alterados. Portanto, os códigos de correção inserem bits de redundância nos dados originais a serem enviados, para que ao recebê-los no destino, possam tentar recuperar a informação original.

Para que a comunicação ocorra eficientemente, é importante garantir o correto funcionamento dos módulos que compõem o LDPC implementando em FPGA. Por isso, é importante caracterizar o efeito das falhas de hardware na operação desses módulos. Para caracterizar essa falhas é necessário possuir o hardware do LDPC descrito, portanto diferentes algoritmos que são utilizados para implementá-lo foram estudados e escolhemos os que melhor se adaptaram as nossas necessidades: utilizar o mínimo possível de recursos da FPGA e ter uma boa performance, pois serão injetadas falhas nesse módulo LDPC.

No momento, está sendo implementado um simulador na linguagem C e os módulos em hardware, utilizando a linguagem VHDL, do LDPC. Será feito um estudo de injeção e caracterização de falhas desses módulos, a fim de propor métodos de tolerância a falhas para o mesmo. Além disso, o simulador em C poderá ser utilizado para simular o efeito dessas falhas no estudo da performance do decodificador.