



## SALÃO DE INICIAÇÃO CIENTÍFICA XXVIII SIC

paz no plural



<b>Evento</b>	Salão UFRGS 2016: SIC - XXVIII SALÃO DE INICIAÇÃO CIENTÍFICA DA UFRGS
<b>Ano</b>	2016
<b>Local</b>	Campus do Vale - UFRGS
<b>Título</b>	Estudo e aplicação de reúso em uma arquitetura VLIW Multicore
<b>Autor</b>	PEDRO HENRIQUE EXENBERGER BECKER
<b>Orientador</b>	ANTONIO CARLOS SCHNEIDER BECK FILHO

**Título:** Estudo e aplicação de reuso em uma arquitetura VLIW Multicore

**Autor:** Pedro Henrique Exenberger Becker

**Orientador:** Antônio Carlos Schneider Beck Filho

**Instituição:** Universidade Federal do Rio Grande do Sul

Obter melhorias no desempenho dos processadores é, tradicionalmente, interesse da pesquisa em arquitetura de computadores dado o impacto que os processadores têm na performance dos computadores. Uma das tecnologias propostas para otimizar o desempenho de processadores consiste em tirar proveito da redundância na execução de trechos de programas através de *reuso*.

A técnica de reuso baseia-se no fato de que trechos de código podem ser executados mais de uma vez ao longo de um programa. Esta técnica se apoia na observação dos valores de registradores e endereços de memória referenciados em um certo trecho de código, aqui apresentados como *contexto* do processador dentro deste trecho. Em primeiro lugar, memoriza-se os contextos iniciais e finais de conjuntos de instruções do programa. No momento que o programa repete um destes trechos de instruções, verifica-se se o contexto também se repete. Se for o caso, troca-se o contexto atual pelo contexto do final do trecho, que deve estar previamente salvo. Assim o processador evita uma reexecução, o que pode reduzir o gasto de tempo e libera unidades funcionais. Esta técnica já foi implementada em várias granularidades relacionadas ao contexto: instruções, blocos básicos (simplicadamente, trechos de código separados por instruções de controle como *branches* e *jumps*), *traces*, etc. Entretanto, nunca foi estudada a possibilidade de contextos serem compartilhados entre vários processadores - aumentando o potencial de reuso.

Neste cenário, o primeiro objetivo do trabalho é de modificar um processador descrito em linguagem de hardware para aplicar o reuso de blocos básicos, com o intuito de reduzir o número de ciclos de execução. Com o uso da descrição de hardware é possível prover melhores estimativas de desempenho e custo (espacial e energético), se comparado às estimativas de simuladores de alto nível. O processador *pvex*, VLIW, foi adotado como plataforma de trabalho.

Até o momento, foi implementado um componente para gerenciar o reuso. Este componente é capaz de extrair os valores e referências de registradores e endereços de memória. As informações extraídas são guardadas em uma tabela, posteriormente consultada para aplicar o reuso. Para verificar o potencial ganho de desempenho, foi observada a quantidade de vezes que um programa reexecuta um bloco básico e quantas vezes este bloco básico pode ser reusado.

A partir deste ponto, serão realizadas medidas de desempenho e energia. Ainda, estão sob análise a área agregada ao processador original, ponderando sobre o custo-benefício do módulo de reuso. Além disso, pretende-se, com uma técnica para compartilhar módulos de reuso, suportar aplicações *multithread*, explorando trechos redundantes que rodam em *threads* simultâneas em processadores *multicores*.