



SALÃO DE INICIAÇÃO CIENTÍFICA XXVIII SIC

paz no plural



Evento	Salão UFRGS 2016: SIC - XXVIII SALÃO DE INICIAÇÃO CIENTÍFICA DA UFRGS
Ano	2016
Local	Campus do Vale - UFRGS
Título	Desenvolvimento de Sistemas Heterogêneos Tolerantes à Falhas
Autor	FABIANO PEREIRA LIBANO
Orientador	FERNANDA GUSMAO DE LIMA KASTENSMIDT

Desenvolvimento de Sistemas Heterogêneos Tolerantes à Falhas

Fabiano Pereira Libano, Fernanda Gusmão de Lima Kastensmidt (Orientadora)

Instituto de Informática - Universidade Federal do Rio Grande do Sul

O projeto de sistemas de heterogêneos, que combinam recursos de hardware e software para a implementação de algoritmos tradicionais, mostra-se atualmente como uma tendência do mercado, e conseqüentemente, uma vertente importante da pesquisa científica. A adoção de tais sistemas justifica-se pelo considerável acréscimo de desempenho com a divisão de workload, visto que muitos algoritmos possuem trechos sequenciais e paralelizáveis. Para que o desenvolvimento de tais sistemas fosse possível, utilizou-se a plataforma híbrida ZedBoard (Xilinx), que através do chip Zynq, apresenta uma porção de hardware reconfigurável (FPGA), além de dois cores ARM, dedicados ao software.

Dentre os algoritmos explorados, destaca-se a Transformada Rápida de Fourier (Fast Fourier Transform, FFT). Inicialmente, houve a implementação de uma primeira versão do algoritmo, utilizando-se dos IP-cores (Intellectual Property Cores) disponíveis. Neste primeiro projeto, o estímulo da Transformada era gerado via software (ARM), e processado puramente no hardware (FPGA). Apesar da adequação dos resultados, o interesse final era ter um controle maior sobre as etapas de execução do algoritmo, o que não era possível devido ao IP-core dedicado. Este fator fez com que fosse necessária a descrição de uma FFT em VHDL.

A partir de então, teve início a descrição do hardware de uma FFT, usando o algoritmo Cooley-Tukey, de complexidade $O(N \log N)$. Percebeu-se que havia um padrão de repetição dos índices presentes nos components instanciados em hardware, e então, com o intuito de generalizar o projeto para qualquer granularidade/precisão, decidiu-se criar um gerador de código VHDL. Tal gerador, recebia como parâmetro a largura de dados desejada para o algoritmo FFT, e escrevia automaticamente a descrição do hardware correspondente. Por fim, foi feita uma pequena adaptação no gerador de código, de forma que o mesmo descrevesse apenas metade dos estágios da FFT em hardware. O restante dos estágios foi implementado via software, em um código C, também genérico quanto à largura de dados. A comunicação e troca de dados entre FPGA e ARM, se deu via interface AXI (oferecida pela Xilinx).

O passo seguinte da pesquisa, baseia-se no conhecimento construído sobre sistemas heterogêneos, de sorte que a mesma evoluirá no sentido de atender a crescente demanda por desempenho e tolerância à falhas nas aplicações safety-critical. Destaca-se a indústria automotiva, que já adota o emprego de chips rodando algoritmos dedicados à identificação de objetos, pedestres, obstáculos, sinais de trânsito, entre outros. Muitas dessas aplicações podem melhorar seu desempenho, se implementadas com workload dividido. Uma das tendências, é a descrição de Redes Neurais em nível de hardware, dado o paralelismo intrínscico de ambos os conceitos, e o ganho em velocidade de execução em baixo nível. A saída da rede (análise de frames) alimenta o ARM, que já em nível de software, avalia qual a melhor decisão a tomar.