



SALÃO DE INICIAÇÃO CIENTÍFICA XXVIII SIC

paz no plural



Evento	Salão UFRGS 2016: SIC - XXVIII SALÃO DE INICIAÇÃO CIENTÍFICA DA UFRGS
Ano	2016
Local	Campus do Vale - UFRGS
Título	Melhorias no Ambiente SwitchCraft
Autor	GABRIEL AMMES PINHO
Orientador	RENATO PEREZ RIBAS

Melhorias no Ambiente SwitchCraft

Aluno: Gabriel Ammes Pinho Orientador: Renato Perez Ribas

Universidade Federal do Rio Grande do Sul

O ambiente SwitchCraft, implementado na linguagem de programação Java, consiste em um conjunto de ferramentas para a geração de redes de chaves e portas lógicas CMOS, além de algoritmos de estimativas e avaliações das mesmas [1]. O SwitchCraft consiste em 4 módulos: módulo de entrada de dados, geração de redes de transistores, características e estimativas de redes de transistores e visualizadores de redes de transistores.

Foram implementadas no SwitchCraft duas novas opções de entrada de dados e um novo método de mudança estrutural de redes para evitar quebras de difusão, baseado em caminhos de Euler sobre grafos. As novas opções de entrada de dados são as representações lógicas de ‘AND-inverter graph’ (AIG) e ‘threshold logic’ [2]. As novas opções de entrada também estão presentes na ferramenta de conversão de formatos de descrição de funções Booleanas, chamada Logic2Logic.

O formato AIG consiste em um grafo onde os nodos são portas lógicas AND de 2 variáveis (AND2) ou entradas da função alvo. Os nodos são ligados por arestas, onde uma aresta marcada por um círculo representa uma inversão lógica. O formato ‘threshold logic’ consiste em uma função Booleana com um valor de limiar e com pesos nas suas variáveis de entrada. Caso o somatório das entradas seja maior ou igual ao valor limiar da função, o valor desta é verdadeiro, caso contrário é falso. Para a entrada de AIG foi usado o formato AIGER que representa cada entrada, saídas e portas lógicas AND2 por números inteiros múltiplos de 2 [3]. Os inversores não têm uma representação explícita. Por esta razão, a polaridade de um sinal (entrada, saída ou a saída de uma porta lógica AND2) é definida pelo número que representa esse sinal. Desta forma, quando a representação é um número par, a polaridade do sinal é positiva. Caso contrário, a polaridade é negativa. A representação textual do ‘threshold logic’ consiste em um vetor com os as entradas e seus respectivos pesos, seguidos pelo valor de limiar da função. O algoritmo para mudança estrutural consiste em trocar elementos de uma rede que estão em série com objetivo de possibilitar a identificação de caminhos de Euler na rede. Esta mudança de elementos em série não modifica as características lógicas da rede e, caso seja identificados caminhos de Euler nesta rede, são evitadas quebras de difusão no roteamento de canal desta rede. Este método pode ser utilizado para estimar o congestionamento de trilhas e contatos no roteamento de canal de uma rede. Considerando o plano P e plano N de uma porta lógica CMOS de entrada [4], é utilizado o método para gerar todas as combinações das séries em cada plano, gerando dois conjuntos de redes. Na sequência, são avaliadas as possibilidades de casamento entre cada elemento do conjunto 1 com cada elemento do conjunto 2. Com estes casamentos é possível encontrar o melhor casamento em relação ao numero de trilhas.

Estas novas ferramentas aumentam o conjunto de ferramentas disponíveis no ambiente SwitchCraft, aumentando assim a aplicabilidade desta ferramenta em novos contextos.

[1] V. Callegaro, F. S. Marques, C. Klock, L. S. da Rosa, R. P. Ribas, A. I. Reis “SwitchCraft: a framework for transistor network design,” In Symp. on Integrated Circuits and Systems Design (SBCCI), 2010, pp.49-53.

[2] S. Muroga. Threshold Logic and Its Applications. John Wiley & Sons, 1972.

[3] Formato AIGER. <http://fmv.jku.at/aiger/>. Último acesso 04/06/2016.

[4] V. N. Possani, V. Callegaro, A. I. Reis, R. P. Ribas, F. S. Marques, and L. S. da Rosa, “Graph-Based Transistor Network,” IEEE Trans. on VLSI, no.2, vol. 24, pp.692-705, Fev. 2015.