

# Arquitetura do *Test Zone Search* para Codificação de Vídeo no Padrão HEVC

Brunno Alves de Abreu & Sergio Bampi (Orientador)

Instituto de Informática - UFRGS

baabreu@inf.ufrgs.br

## Introdução

A demanda por vídeos de maiores resoluções vem aumentando, acarretando a um aumento na complexidade computacional da codificação de vídeo digital. O padrão estado-da-arte HEVC *High-Efficiency Video Coding*, para obter uma diminuição na taxa de bits de até 50% [1] quando comparado ao padrão anterior H.264/AVC, requer esforço computacional muito maior.

Uma das etapas mais complexas na codificação de vídeo é a Estimativa de Movimento. Uma de suas diversas funções consiste em dividir o quadro em blocos de pixels e procurar blocos semelhantes em outros quadros (detecção de similaridades), de forma a enviar informação mais compactada na saída do codificador. A operação aritmética mais utilizada é a Soma das Diferenças Absolutas (SAD), que pode ser implementada com uma árvore de somadores. Devido ao fato dessa busca e SADs serem executadas repetidamente, é notável a importância de arquiteturas de *hardware* que implementam esses algoritmos.

## Objetivo e Metodologia

O objetivo deste projeto consiste em desenvolver uma arquitetura dedicada que implementa um dos algoritmos de busca *Test Zone Search*, o qual utiliza um módulo que faz o cálculo de SAD dos pixels de dois blocos, desenvolvido em etapa anterior do projeto. A arquitetura utiliza técnicas de *pipeline* para otimizar a utilização de recursos (portas lógicas e memória) de *hardware*.

A descrição dos módulos foi feita em *VHDL*, utilizando as ferramentas do *ISE Design Suite*, da *Xilinx*. Para a síntese da arquitetura foram utilizados os dispositivos *Virtex-5* (65 nm), e o *Virtex-6* (45 nm). Além disso, foi desenvolvido um *script* em *Python* que simula o comportamento do algoritmo para auxiliar na validação do hardware.

## Resultados

A arquitetura é dividida em etapas sub-sequentes, e a execução de cada uma delas é determinada por uma máquina de controle global, que faz o chaveamento entre os diversos módulos. A arquitetura *Top Level* é mostrada na Figura 1.

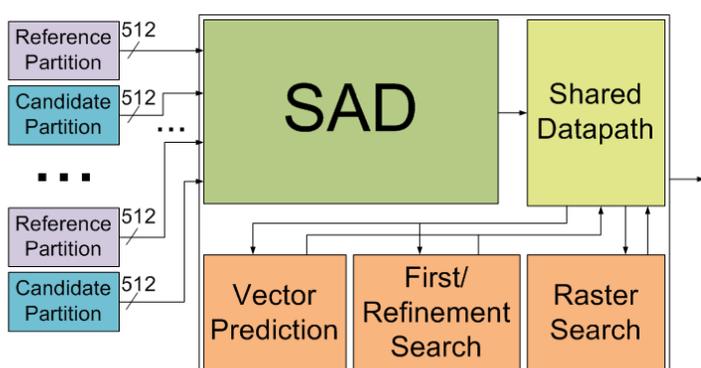


Figura 1: Arquitetura no *Top Level*

Após algumas análises, o tamanho da árvore de SAD escolhido foi o menor tamanho suficiente para atingir um *frame rate* aceitável em tempo real. A árvore de SAD utilizada é mostrada na Figura 2, e possui uma largura de entrada de 4096 *bits*.

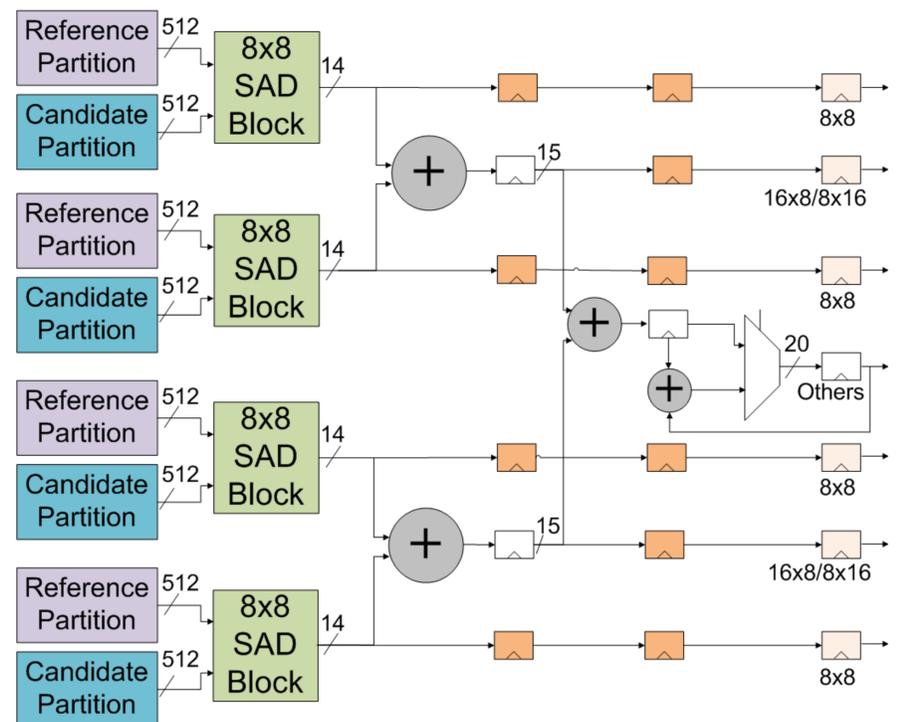


Figura 2: Módulo do SAD

A arquitetura foi projetada de modo que nenhum módulo específico se tornasse mais custoso que o cálculo da SAD. A Tabela 1 mostra os resultados da síntese para os módulos mais custosos.

Módulo	Top Level	SAD	FiS RefS	RS	UC FiS
#LUTs	9218	8463	157	139	165
#Registradores	9445	8718	151	125	157
Freq. Máx.(MHz)	404	416.6	416.7	466.8	1032.4

Uma comparação entre o módulo de SAD desse projeto e de outros trabalhos da literatura é mostrada na Tabela 2.

Trabalho	Prop.	[2]	Prop.	[3]
Processo	<i>Virtex-5</i>	<i>Virtex-5</i>	<i>Virtex-6</i>	<i>Virtex-6</i>
#LUTs	8.5k	29.4k	8.5k	55.3k
#Registradores	8.7k	22.2k	8.7k	19.7k
Freq. Máx.(MHz)	416.6	165.5	516.4	110
Tempo para bloco 64x64	38.4ns	96.63ns	30.9ns	N/A

## Conclusões

A arquitetura atinge taxas de até 31,1 *frames/seg* para resoluções *Full HD* em tempo real. Para atingir tal taxa, foram feitas simplificações na arquitetura que diminuíram a eficiência da compressão em 1,2%. Comparada a trabalhos na literatura, a arquitetura proposta atingiu valores de frequência e área significativamente melhores. A arquitetura acima foi publicada no 31º Simpósio Sul de Microeletrônica [4].

## Referências

- [1] X. Y. et al., "Draft ITU-T Recommendation and Final Draft International Standard of Joint Video Specification," 2002.
- [2] P. N. et al., "High Speed SAD Architectures for Variable Block Size Motion Estimation in HEVC Video Coding," *ICIP*, 2014.
- [3] X. Y. et al., "A High Performance VLSI Architecture for Integer Motion Estimation in HEVC," *ASICON*, 2013.
- [4] B. Abreu, M. Grellert, and S. Bampi, "Test Zone Search Architecture for Quality High-Definition HEVC Encoders," 2016.