

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL  
ESCOLA DE ENGENHARIA  
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA

**GABRIELA FIRPO FURTADO**

**METODOLOGIA DETERMINÍSTICA PARA SIMULAÇÃO  
ELÉTRICA DO IMPACTO DE BTI EM CIRCUITOS MOS**

Porto Alegre

2017

**GABRIELA FIRPO FURTADO**

**METODOLOGIA DETERMINÍSTICA PARA SIMULAÇÃO  
ELÉTRICA DO IMPACTO DE BTI EM CIRCUITOS MOS**

Dissertação de mestrado apresentada ao Programa de Pós-Graduação em Engenharia Elétrica, da Universidade Federal do Rio Grande do Sul, como parte dos requisitos para a obtenção do título de Mestre em Engenharia Elétrica.

Área de concentração: Engenharia de Computação

**ORIENTADOR: Gilson Inácio Wirth**

Porto Alegre

2017

GABRIELA FIRPO FURTADO

# **METODOLOGIA DETERMINÍSTICA PARA SIMULAÇÃO ELÉTRICA DO IMPACTO DE BTI EM CIRCUITOS MOS**

Esta dissertação foi julgada adequada para a obtenção do título de Mestre em Engenharia Elétrica e aprovada em sua forma final pelo Orientador e pela Banca Examinadora.

Orientador: \_\_\_\_\_

Prof. Dr. Gilson Inácio Wirth, UFRGS

Doutor pela Universitaet Dortmund, Dortmund, Alemanha

Banca Examinadora:

Prof. Dr. Altamiro Amadeu Susin, UFRGS

Doutor pelo Institut National Polytechnique de Grenoble – Grenoble, França

Profa. Dra. Fernanda Lima Kastensmidt, UFRGS

Doutora pela Universidade Federal do Rio Grande do Sul – Porto Alegre, Brasil

Prof. Dr. Renato Perez Ribas, UFRGS

Doutor pelo Institut National Polytechnique de Grenoble – Grenoble, França

Coordenador do PPGEE: \_\_\_\_\_

Prof. Dr. Valner João Brusamarello

Porto Alegre, Junho de 2017.

## **AGRADECIMENTOS**

A meus pais e meu irmão, cujo amor e incentivo são o alicerce de tudo que construí.

A Vinícius Valduga de Almeida Camargo, pelo companheirismo e apoio imprescindíveis.

Ao meu orientador, Prof. Dr. Gilson Inácio Wirth, pelos ensinamentos e pela confiança depositada em mim.

A Thiago Hanna Both, pelo imenso auxílio prestado durante a realização do Mestrado.

Ao Programa de Pós-Graduação em Engenharia Elétrica, por viabilizar minha formação acadêmica.

## RESUMO

Aborda-se, nesse trabalho, o fenômeno de envelhecimento de transistores MOS por *bias temperature instability* (BTI), relevante fator de degradação da confiabilidade e de redução do tempo de vida de circuitos integrados CMOS. Uma nova modelagem matemática determinística para BTI é introduzida, proporcionando, rapidamente, informação acerca do desvio na tensão de limiar de um transistor em decorrência da ação de BTI. O modelo é, então, implementado em uma ferramenta comercial SPICE, com o intuito de se verificarem, através de simulações transientes, os efeitos de BTI em circuitos CMOS; nesse sentido, a abordagem determinística representa um enorme avanço em relação à modelagem estocástica tradicional, que, muitas vezes, não pode ser aplicada em simulações transientes de circuitos complexos, devido ao seu vultoso custo computacional. O fenômeno de alargamento de pulso induzido pela propagação (PIPB) de *single event transients* (SETs), verificado experimentalmente na literatura, é estudado e tido como resultado da ação de BTI nas bordas de subida e descida do pulso transiente. À vista disso, simula-se a propagação de um pulso SET injetado na entrada de uma cadeia de 10000 inversores lógicos de tecnologia PTM *bulk* 90nm, verificando a dependência do alargamento de pulso com a tensão de alimentação, com o tempo de estresse DC anterior à aplicação do pulso e com a frequência do sinal de entrada. O aumento do atraso de portas lógicas em decorrência da ação de *bias temperature instability* é abordado, também, através da simulação da aplicação de um pulso nas entradas de uma porta NAND, medindo-se a variação do tempo de atraso de propagação devido à inserção da modelagem matemática para BTI. Utiliza-se novamente o modelo de transistores PTM *bulk* 90nm, e apuram-se os efeitos da variação da tensão de alimentação e do tempo de estresse DC no tempo de atraso de propagação. Por fim, as disparidades na variação do atraso para as bordas de subida e descida de pulsos lógicos de nível *alto-baixo-alto* (“101”) e *baixo-alto-baixo* (“010”) são verificadas, sendo explicadas em termos do diferente impacto de BTI para os períodos de estresse e de relaxação e, também, para transistores PMOS e NMOS.

**Palavras-chave:** *Bias temperature instability, propagation induced pulse broadening, single event transient*, atraso de propagação, portas lógicas.

## ABSTRACT

This work addresses the aging of MOS transistors by bias temperature instability (BTI), which is a key factor to the degradation of the reliability and of the lifetime of CMOS integrated circuits. A novel deterministic mathematical model is presented, providing fast information about the impact of BTI in the transistors threshold voltage shifts. The model is implemented in a commercial SPICE tool, in order to verify the effects of BTI in CMOS circuits through transient simulations; in this sense, the deterministic approach represents a great advance compared to the traditional stochastic modelling, that may result in prohibitively long transient simulations for complex circuits, due to its huge computation cost. The phenomenon of propagation induced pulse broadening (PIPB) of single event transients (SETs), verified experimentally in the literature, is studied and understood as the result of the BTI effect on the rising and falling edges of the transient pulse. Therefore, the propagation of a SET injected in the input of a 10,000-inverters chain is simulated, using the PTM bulk 90nm technology model, verifying the dependence of the pulse broadening on the supply voltage, on the DC stress time previous to the application of the pulse and on the input signal frequency. The increase of the propagation delay of logic gates due the action of bias temperature instability is also studied through the simulation of the injection of a pulse in the inputs of a NAND gate, and the variation of the propagation delay time due to the BTI effect is evaluated. The PTM bulk 90nm model is used once again, and the outcome of variations on the supply voltage and on the DC stress time on the propagation delay is measured. Finally, the disparities on the delay variation for the rising and falling edges of high-low-high (“101”) and low-high-low (“010”) input logic pulses are verified, and they are explained as the result of the different impact of BTI for the stress and recovery periods and also for PMOS and NMOS transistors.

**Keywords:** Bias temperature instability, propagation induced pulse broadening, single event transient, propagation delay, logic gates.

## SUMÁRIO

<b>1</b>	<b>INTRODUÇÃO</b> .....	<b>10</b>
<b>2</b>	<b>CONFIABILIDADE E VARIABILIDADE DE TRANSISTORES MOS</b> .....	<b>13</b>
<b>3</b>	<b>ENVELHECIMENTO DE TRANSISTORES MOS</b> .....	<b>17</b>
<b>4</b>	<b>BIAS TEMPERATURE INSTABILITY (BTI)</b> .....	<b>22</b>
<b>4.1</b>	<b>CARACTERÍSTICAS BÁSICAS</b> .....	<b>23</b>
<b>4.2</b>	<b>DEPENDÊNCIA DE BTI COM CONDIÇÕES DE OPERAÇÃO E PARÂMETROS DO DISPOSITIVO</b> .....	<b>25</b>
<b>4.3</b>	<b>EFEITOS DO SCALING EM BTI</b> .....	<b>27</b>
<b>4.4</b>	<b>INFLUÊNCIA DE CAMINHOS DE PERCOLAÇÃO EM BTI</b> .....	<b>31</b>
<b>4.5</b>	<b>ATIVIDADE DE ARMADILHAS - DIFERENÇAS ENTRE RUÍDO DE BAIXA FREQUÊNCIA E BTI</b> .....	<b>33</b>
<b>5</b>	<b>MODELAGEM DETERMINÍSTICA PARA SIMULAÇÃO ELÉTRICA DE BTI</b> .	<b>35</b>
<b>5.1</b>	<b>APRESENTAÇÃO DA METODOLOGIA DETERMINÍSTICA</b> .....	<b>35</b>
<b>5.2</b>	<b>MODELAGEM MATEMÁTICA</b> .....	<b>36</b>
<b>6</b>	<b>SIMULADOR DETERMINÍSTICO DE BTI</b> .....	<b>42</b>
<b>6.1</b>	<b>IMPLEMENTAÇÃO DO SIMULADOR DETERMINÍSTICO DE BTI</b> .....	<b>42</b>
<b>6.2</b>	<b>ESTUDOS DE CASO</b> .....	<b>46</b>
<b>6.2.1</b>	<b>Alargamento de Pulso Induzido por BTI</b> .....	<b>46</b>
<b>6.2.1.1</b>	<b>Single Event Transient (SET)</b> .....	<b>47</b>
<b>6.2.1.2</b>	<b>Efeito de BTI no Alargamento de SETs</b> .....	<b>49</b>
<b>6.2.1.3</b>	<b>Cadeia de Inversores - Escolha do Circuito</b> .....	<b>50</b>
<b>6.2.2.</b>	<b>Efeito de BTI no Atraso de Portas Lógicas</b> .....	<b>51</b>
<b>6.3</b>	<b>CONFIGURAÇÃO DAS SIMULAÇÕES</b> .....	<b>51</b>
<b>6.3.1</b>	<b>Alargamento de Pulso Induzido por BTI - Simulação</b> .....	<b>52</b>
<b>6.3.2</b>	<b>Efeito de BTI no Atraso de Portas Lógicas - Simulação</b> .....	<b>53</b>
<b>7</b>	<b>RESULTADOS SIMULACIONAIS</b> .....	<b>54</b>
<b>7.1</b>	<b>ALARGAMENTO DE PULSO INDUZIDO POR BTI - RESULTADOS</b> .....	<b>54</b>
<b>7.2</b>	<b>EFEITO DE BTI NO ATRASO DE PORTAS LÓGICAS - RESULTADOS</b> .....	<b>60</b>
<b>8</b>	<b>CONCLUSÃO</b> .....	<b>64</b>
	<b>REFERÊNCIAS</b> .....	<b>67</b>

## LISTA DE ILUSTRAÇÕES

Figura 1 - Evolução dos nós tecnológicos de transistores MOS desde 1970 (Adaptado de SHAYGAN, 2016). .....	10
Figura 2 - Comparação entre a estrutura da matéria para tecnologias tradicionais a <i>ultra-scaled</i> FETs, evidenciando a alteração do seu caráter contínuo a discreto (MARKOV, 2014). .....	11
Figura 3 - Efeitos de variabilidade em transistores MOS, divididos em fenômenos <i>time-zero</i> e dependentes do tempo.....	13
Figura 4 - Representação de dois lotes de <i>wafers</i> , ilustrando variações entre lotes, entre <i>wafers</i> , em um <i>wafer</i> e em um <i>die</i> . .....	14
Figura 5 - Seção transversal de um transistor MOS, ilustrando o resultado do fenômeno de ionização de impacto de um <i>hot-carrier</i> (verde), com a geração de um par elétron-lacuna (azul), que se reverte em injeção de carga na porta ( $I_I$ ) e fuga de corrente para o substrato ( $I_B$ ). .....	18
Figura 6 - Vazios e <i>hillocks</i> nas trilhas de metal em (a) vista superior (WU, 2000) e (b) vista lateral (KYUNG-HOAE, 2011). .....	19
Figura 7 - Aprisionamento de cargas (em azul) em armadilhas (em branco) em um transistor MOS, em decorrência do fenômeno de BTI. ....	22
Figura 8 - Desvio na tensão de limiar durante os períodos de estresse e relaxação. ....	24
Figura 9 - Comportamento do desvio da tensão de limiar para diversos ciclos de relógio, exibindo uma tendência de degradação logarítmica (BAI, 2015). ....	24
Figura 10 - Efeito da tensão de polarização no desvio da tensão de limiar causado por BTI (Adaptado de REISINGER, 2006). .....	25
Figura 11 - Efeito da temperatura no desvio da tensão de limiar causado por BTI (WIRTH, 2011). .....	26
Figura 12 - Efeito da redução da espessura do óxido de porta (EOT) no desvio da tensão de limiar (WANG, 2010, com dados de KRISHNAN, 2005). .....	27
Figura 13 - Influência do nó tecnológico e das tecnologias planar (32nm-20nm, com óxido <i>high-k</i> ) e FinFET (14nm) nos efeitos de NBTI e PBTI (MAHAPATRA, 2016). ....	28
Figura 14 - Aumento da variabilidade com a redução das dimensões dos transistores, ilustrado através da análise da magnitude relativa do desvio da tensão de limiar. Na figura, $\mu$ representa a média e $\sigma$ o desvio padrão. (KANG, 2007). .....	29
Figura 15 (a) As propriedades aleatórias de vários defeitos em dispositivos grandes se aproximam da média, resultando em um tempo de vida bem definido, (b) a natureza estocástica de poucos defeitos em dispositivos pequenos se torna aparente, resultando em grande variação da degradação da tensão de limiar, e (c) variação do tempo de vida em função do número de defeitos (KACZER, 2011).....	30
Figura 16 - Comparação entre os períodos de estresse e relaxação para dispositivos de (a) grande área e (b) pequena área (WANG, 2014). .....	31



Figura 17 (a) CCDF da amplitude dos desvios de tensão de limiar causados pela recuração de BTI, (b) Desvio na tensão de limiar de alguns dos 72 dispositivos estudados, explicitando as flutuações entre níveis discretos (KACZER, 2014). .....	32
Figura 18 - Comparação entre os efeitos de BTI e ruído RTN, ilustrando a tendência à gradual ocupação das armadilhas (branco) por portadores de carga (azul), para BTI, e a alternância entre os estados vazio e ocupado, para RTN.....	34
Figura 19 - Fluxograma da implementação do simulador determinístico de BTI.....	43
Figura 20 - Comparação entre a degradação por BTI utilizando a modelagem determinística (em preto) e a média de 450 simulações estocásticas (em azul).....	46
Figura 21 - Diagrama esquemático de um inversor CMOS, mostrando o impacto de uma partícula energética na junção de dreno do transistor NMOS desligado, o que gera um pulso de tensão transiente na saída. ....	48
Figura 22 – Ilustração de dois inversores de uma cadeia lógica, mostrando a propagação de um pulso (em vermelho) e identificando os transistores estressados durante o período de tensão constante (em cinza) (FURTADO, 2017). ....	50
Figura 23 - Ilustração dos atrasos de descida ( $t_{PHL}$ ) e subida ( $t_{PLH}$ ) em um inversor lógico ....	51
Figura 24 - Diagrama esquemático da cadeia de 10000 inversores lógicos, simulada para se analisar o efeito de alargamento de pulso induzido por BTI. Os transistores são estressados por um longo período de tempo com uma tensão constante, quando ocorre a incidência de uma partícula energética. A localização da ocorrência do SET (em vermelho) é indicada por uma seta, e a propagação do pulso através da cadeia de inversores é ilustrada. A posição é referenciada pelo número de inversores que separam a localização do impacto da partícula e o nó onde a largura do pulso é medida. Os inversores são idênticos e da tecnologia <i>bulk</i> de 90nm, com tensão nominal $V_{DD}=1,2V$ . ....	52
Figura 25 - Resultados da simulação para propagação de um SET ao longo de uma cadeia de 10000 inversores. Cada pulso ilustrado corresponde à saída de um bloco de 1000 inversores, sendo o pulso “10k” aquele medido na saída da 10000ª célula. O SET é modelado como uma dupla exponencial, o tempo de estresse anterior à aplicação do pulso é de 100ns, e utiliza-se $V_{DD}=1,2V$ . ....	54
Figura 26 - Variação da largura de pulso ao longo da propagação na cadeia de 10000 inversores, para diferentes valores de $V_{DD}$ . ....	56
Figura 27 - Forma de onda do pulso medido na saída de uma cadeia de 1000 inversores, como resultado da aplicação de pulsos na entrada com diferentes frequências. ....	57
Figura 28 - Relação entre a tensão de alimentação e a variação do atraso de um inversor em decorrência da aplicação de um desvio na tensão de limiar de 50mV em cada transistor. ....	59
Figura 29 - Simulação da variação do atraso ( $\Delta t_p$ ) de uma porta NAND em decorrência da ação de BTI em função de $V_{DD}$ e do tempo de estresse DC (TDC). O atraso de propagação é tido como a média dos atrasos de subida e descida. As duas entradas da porta NAND foram conectadas juntamente, inserindo-se um pulso de 4ns de largura após um período de estresse DC de duração variável. ....	60
Figura 30 - Resultados de simulação para a dependência do atraso de propagação com as bordas de transição de subida e descida de pulsos de saída “101” e “010”, para diferentes tempos de estresse DC e $V_{DD}=1,2V$ .....	61
Figura 31 - Resultados de simulação para a variação do atraso de propagação em função de $V_{DD}$ , para as bordas de subida e descida dos pulsos “101” e “010”. ....	63

## LISTA DE ABREVIATURAS

BTI: *Bias Temperature Instability*

CHC: *Channel Hot-Carrier*

CI: *Circuito Integrado*

CMOS: *Complementary Metal-Oxide Semiconductor*

EM: *Electromigration*

HBD: *Hard Breakdown*

HCI: *Hot-Carrier Injection*

LAPROT: *Laboratório de Prototipação e Teste*

LER: *Line Edge Roughness*

LET: *Linear Energy Transfer*

NBTI: *Negative Bias Temperature Instability*

NMOS: *Negative-channel Metal-Oxide Semiconductor*

MOSFET: *Metal-Oxide Semiconductor Field Effect Transistor*

PBTI: *Positive Bias Temperature Instability*

PIPB: *Propagation Induced Pulse Broadening*

PMOS: *Positive-channel Metal-Oxide Semiconductor*

PPGEE: *Programa de Pós-Graduação em Engenharia Elétrica*

PTM: *Predictive Technology Model*

RDF: *Random Dopant Fluctuation*

RLF: *Random Local Fluctuation*

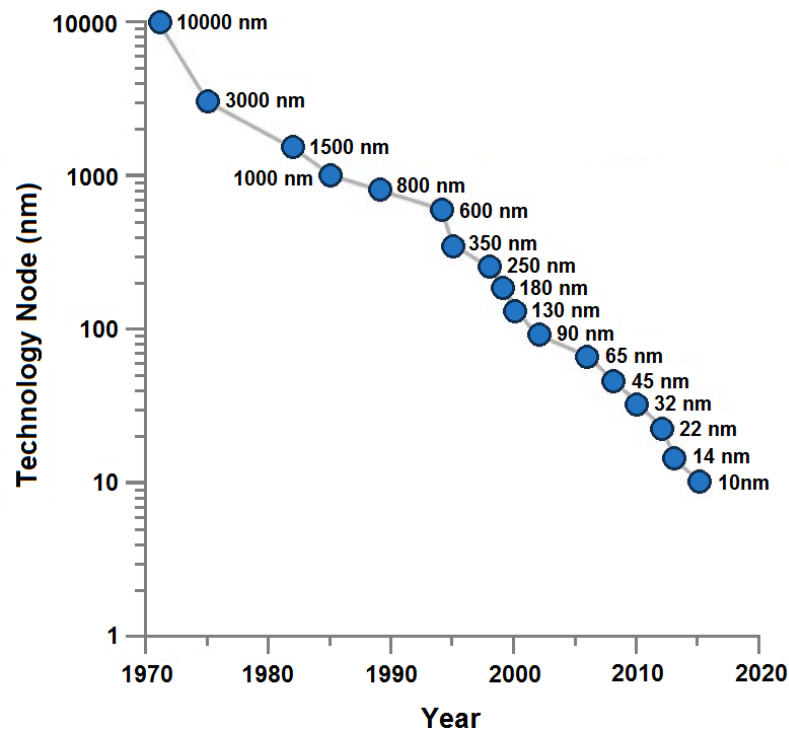
SET: *Single Event Transient*

SEU: *Single Event Upset*

TDDB: *Time-Dependent Dielectric Breakdown*

## 1 INTRODUÇÃO

Ao longo dos anos, a evolução da tecnologia de fabricação de circuitos integrados (CIs) permitiu que se inserisse uma quantidade cada vez maior de transistores por *chip*, melhorando o desempenho dos circuitos. Acompanhada da redução de parâmetros como as tensões de alimentação e de limiar de MOSFETs, a constante diminuição das dimensões dos transistores MOS caracteriza o *escalonamento (scaling) tradicional*, que visa primordialmente ao aumento da velocidade dos circuitos e da densidade de integração.

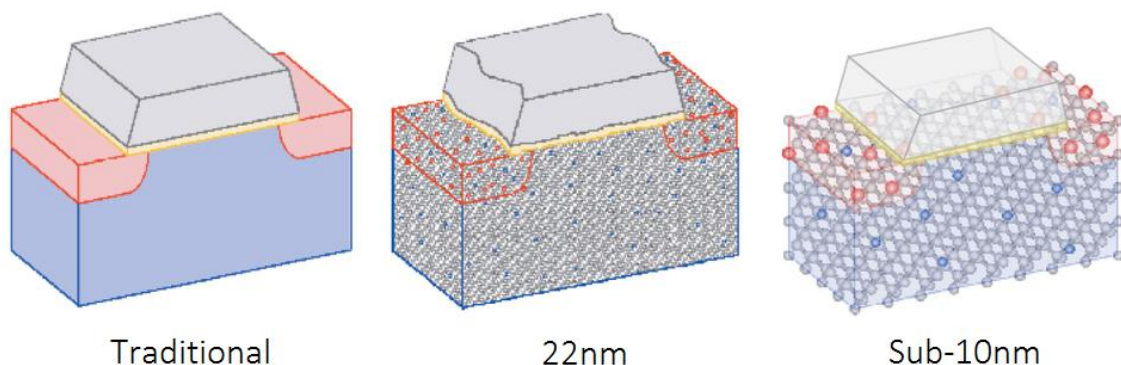


**Figura 1 - Evolução dos nós tecnológicos de transistores MOS desde 1970 (Adaptado de SHAYGAN, 2016).**

Ilustrado na Figura 1, o escalonamento tecnológico fez, no entanto, com que diversas partes integrantes dos transistores MOS atingissem seus limites físicos; a espessura do óxido de porta, por exemplo, assumiu valores tão diminutos que o tunelamento quântico através dele passou a ser um fator significativo de degradação do desempenho dos dispositivos (JELODAR, 2015), aumentando o consumo de potência em *stand-by*. O escalonamento tradicional foi limitado, ademais, por diversos fatores, como a intensificação dos efeitos de canal curto (MCFARLAND, 1995) e a diminuição da mobilidade dos elétrons devido à elevada dopagem do canal (KIM, 2010). A fim de sobrepujarem os efeitos indesejáveis decorrentes da miniaturização dos transistores, tornou-se imperativo o uso de novos materiais

e estruturas, que permitem que se obtenha uma melhora no desempenho dos dispositivos sem a redução das suas dimensões. O *escalonamento equivalente* é, desse modo, caracterizado pela busca de soluções alternativas à redução da geometria dos dispositivos, como o uso de materiais *high-k* para aumento da permissividade do óxido, utilização de silício tensionado (*strained-Si*) para aumento da mobilidade e desenvolvimento estruturas tridimensionais, como FinFETs, que resultam em transistores de maior largura.

A diminuição paulatina do comprimento do canal de MOSFETs resulta no aumento da variabilidade dos transistores. Flutuações estocásticas nas propriedades dos materiais que compõem os transistores e no processo de fabricação dos dispositivos se tornam mais evidentes, fazendo com que diversos parâmetros se desviem fortemente dos valores médios, se distribuindo aleatoriamente. Surgem, desse modo, efeitos de *variabilidade espacial*, que afetam as características de transistores localizados em diferentes pontos do *wafers*, além dos efeitos de *variabilidade temporal*, que alteram o desempenho do dispositivo ao longo do tempo. Dispositivos de pequena área têm, dessa forma, sua confiabilidade reduzida pelo aumento do impacto de variações aleatórias na sua composição e na degradação temporal; a natureza discreta da matéria se torna evidente, e flutuações no número de átomos que compõem a rede cristalina de silício e dos dopantes suscitam grandes variações em características e grandezas dos transistores, como a tensão de limiar. A Figura 2 explicita a mudança do caráter homogêneo do perfil de dopagem em transistores grandes, de nós tecnológicos antigos, para a natureza discreta dos transistores menores, de nós tecnológicos modernos.



**Figura 2 - Comparação entre a estrutura da matéria para tecnologias tradicionais a *ultra-scaled* FETs, evidenciando a alteração do seu caráter contínuo a discreto (MARKOV, 2014).**

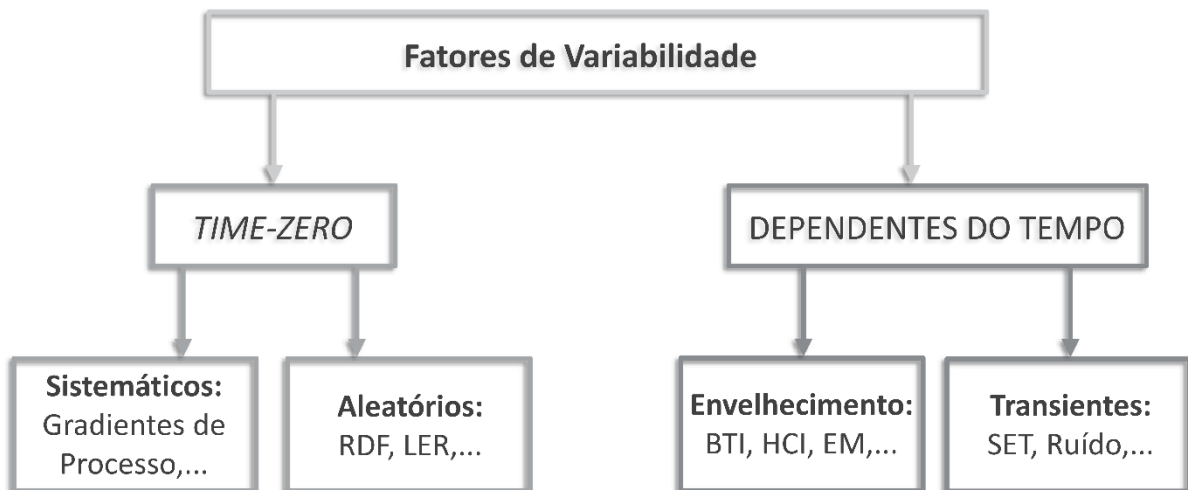
A variabilidade temporal pode ser dividida entre os fenômenos *transientes*, que representam flutuações devido ao ruído intrínseco dos transistores, e efeitos de

*envelhecimento (aging)* ou *degradação*, que se caracterizam por uma deterioração gradual dos parâmetros dos dispositivos ao longo do tempo e são importante fator de redução da confiabilidade de circuitos integrados. Em transistores MOS, o envelhecimento resulta em uma degradação paulatina de parâmetros como tensão de limiar, mobilidade, corrente de dreno e transcondutância, afetando o desempenho dos circuitos. Com a constante redução das dimensões dos transistores MOS, os efeitos de envelhecimento adquirem relevância crescente e se tornam alvo de interesse de projetistas de circuitos integrados, uma vez que são um fator limitante do tempo de vida de circuitos. Os principais mecanismos de envelhecimento em transistores e interconexões são *bias temperature instability (BTI)*, *channel hot carrier (CHC)*, ruptura de dielétrico dependente do tempo (TDDDB) e eletromigração (EM). BTI e CHC se manifestam na forma de variações na tensão de limiar do transistor e redução da corrente do dispositivo, o que degrada a velocidade do circuito e a estabilidade dos dados. A diminuição das dimensões dos dispositivos e conseqüente redução da espessura do óxido de porta para menos de 4nm fez com que o desvio na tensão de limiar em um transistor causado por BTI se torne dominante em relação a CHC, passando a ser o fator limitante para determinação do tempo de vida do dispositivo (VELAMALA, 2013).

O grande impacto da degradação por *bias temperature instability* em circuitos de pequena área faz com que a modelagem e a simulação dos seus efeitos tenham suma importância para projetistas de circuitos integrados, sendo, por conseguinte, o foco escolhido para esse trabalho. Será feita, primeiramente, uma introdução aos tópicos de confiabilidade e variabilidade de transistores MOS no Capítulo 2, seguida da apresentação dos seus principais mecanismos de envelhecimento no Capítulo 3, sendo o fenômeno de BTI estudado em maior detalhe no Capítulo 4. No Capítulo 5, será apresentada uma nova formulação matemática determinística para BTI, que representa um avanço em relação à abordagem estocástica tradicional ao permitir que se mensure o impacto de BTI através de simulações transientes com baixo custo computacional. No Capítulo 6, será mostrado como a modelagem matemática foi implementada em uma ferramenta comercial de simulação SPICE, e os estudos de caso serão apresentados. O fenômeno de PIPB (*propagation induced pulse broadening*) de SETs (*single event transients*) induzido por BTI em cadeias de inversores lógicos, ou seja, o alargamento de pulso durante a propagação devido à ação de *bias temperature instability* será investigado através do uso do simulador desenvolvido, assim como a variação do atraso de portas lógicas em decorrência da ação de BTI. Os resultados das simulações serão apresentados no Capítulo 7, e as conclusões do trabalho serão compiladas no Capítulo 8.

## 2 CONFIABILIDADE E VARIABILIDADE DE TRANSISTORES MOS

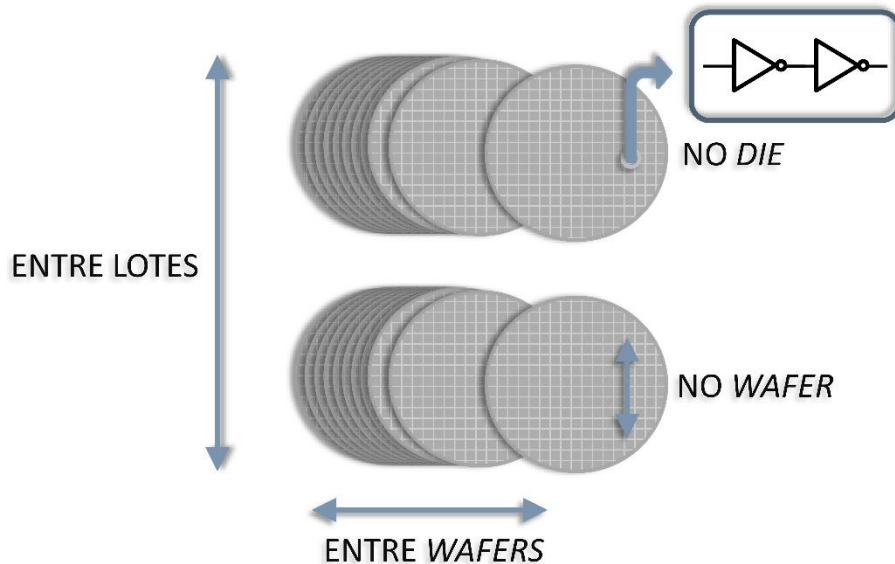
Dispositivos de escala micrométrica, de antigas tecnologias CMOS, cujas dimensões são bastante elevadas se comparadas às atuais, podem ser considerados praticamente idênticos em termos de degradação do desempenho elétrico; pode-se aproximar que dado estresse resulta em um mesmo desvio paramétrico em todos os transistores. Em dispositivos de grande área, além disso, variações locais têm pouca influência no comportamento global do transistor, fazendo com que o desempenho de cada transistor fique bastante próximo ao valor médio. Devido à natureza discreta da matéria e a imperfeições no processo de fabricação de semicondutores, contudo, as características dos transistores de pequena área se desviam consideravelmente dos valores nominais. Essas variações podem ser divididas em duas classes: quando são decorrentes da impossibilidade de se controlar perfeitamente o processo de fabricação, elas são ditas *extrínsecas*, e, quando são decorrentes da característica atômica inerente à matéria, são ditas *intrínsecas*. Os fenômenos podem, também, ser divididos entre aqueles que têm mesmo impacto desde a fabricação do circuito integrado (*time-zero*) e aqueles cuja degradação é dependente do tempo, conforme apresentado na Figura 3.



**Figura 3 - Efeitos de variabilidade em transistores MOS, divididos em fenômenos *time-zero* e dependentes do tempo.**

Segundo (RAUCH, 2007), as variações de processo extrínsecas se manifestam quando, por exemplo, as ferramentas usadas para fazer o óxido de porta do transistor são incapazes de produzir uma camada perfeitamente uniforme ao longo do *wafers*. Além disso, se múltiplas ferramentas são usadas em uma linha de produção particular de certo processo,

haverá diferenças de ferramenta para ferramenta, resultando em variações dentro de um circuito integrado, entre circuitos integrados do mesmo *wafer*, entre *wafers* de um lote e entre lotes diferentes, conforme mostrado na Figura 4. A parte extrínseca é fundamental para entender desvios causados por BTI no desempenho de circuitos, como a frequência de *clock* máxima de circuitos digitais.



**Figura 4 - Representação de dois lotes de *wafers*, ilustrando variações entre lotes, entre *wafers*, em um *wafer* e em um *die*.**

Circuitos analógicos cujo bom funcionamento depende do *casamento* (*matching*) entre um grupo de transistores, ou seja, que eles tenham características iguais, usam técnicas de *layout* para minimizar diferenças devido às variações extrínsecas. Algumas dessas técnicas são o fracionamento e a associação intercalada de dispositivos menores (centroide comum); uso de *dummies* para garantir as mesmas condições de contorno em dispositivos casados; colocação dos dispositivos casados próximos ao centro da pastilha, evitando a exposição ao estresse mecânico na superfície, que é maior próximo às bordas; aproximação dos dispositivos, para expô-los a menor gradiente; manutenção dos dispositivos casados com a mesma orientação de corrente, uma vez que a mobilidade é anisotrópica em uma lâmina de silício; disposição dos dispositivos casados longe de dispositivos de potência, para reduzir a exposição a gradientes térmicos (HASTINGS, 2005).

Devido à gradual redução dos dispositivos MOS, houve, segundo (KACZER, 2014), a introdução de mecanismos estocásticos de degradação de confiabilidade. A constante redução das dimensões dos transistores fez com que o espaçamento da rede cristalina e a natureza discreta dos elétrons assumissem importância crescente no desempenho deles. Ao contrário

das variações extrínsecas, que, para dispositivos com layout idênticos, são eliminadas quando a distância entre eles tende a zero, as variações intrínsecas, também conhecidas como flutuações locais aleatórias (RLF), não têm dependência espacial. A primeira parte integrante dos transistores FET a atingir a escala nanométrica foi o óxido dielétrico (DEGRAEVE, 1995), levando ao fenômeno dependente do tempo de ruptura de dielétrico (*time dependent dielectric breakdown*), que será abordado no Capítulo 3. Com a redução da área dos dispositivos, efeitos como *line edge roughness* (LER) e flutuação aleatória de dopantes (*random dopant fluctuation*, RDF) se tornaram evidentes (LEUNG, 2013). A flutuação aleatória de dopantes, exemplo de variação intrínseca, é caracterizada pela distribuição não uniforme de átomos dopantes ao longo do canal de MOSFETs. Em dispositivos de grande área, pode-se assumir que a distribuição de dopantes é uniforme, uma vez que se implanta um número elevado de dopantes no dispositivo; a tensão de limiar é, então, controlada pela densidade contínua de dopantes no substrato, além da espessura da porta e da sua função trabalho. Dispositivos de pequenas dimensões, contudo, têm poucos átomos dopantes, de modo que a dopagem não pode mais ser considerada contínua, e sim formada por átomos discretos localizados pontualmente. Há, dessa maneira, uma variação local da tensão de limiar, intrínseca à natureza física do dispositivo, que aumenta com a redução da área ativa do transistor. Como esses fenômenos não dependem do tempo, tendo o mesmo impacto desde a fabricação do dispositivo, são conhecidos como efeitos *time-zero*. Com a redução das dimensões dos transistores MOS, a contribuição intrínseca para variações no desempenho de transistores aumenta, induzindo descasamentos, em circuitos analógicos, e redução da confiabilidade de circuitos digitais, como células SRAM, que têm sua estabilidade degradada. No primeiro caso, para reduzir os efeitos das variações intrínsecas, usualmente se empregam transistores com tamanho suficiente para atingir o nível de casamento adequado; uma vez que os circuitos analógicos tipicamente têm uma quantidade de transistores muito menor do que circuitos digitais, é possível, muitas vezes, abrir mão da área em prol de se ter menor variabilidade. Circuitos digitais, em contrapartida, usualmente visam à maior densidade de integração possível, de modo que o aumento da área dos transistores se torna muito oneroso.

O estresse de transistores de escala nanométrica também resulta em desvios dependentes do tempo, como *bias temperature instability* (BTI) e *hot-carrier injection* (HCI), nos quais a degradação dos parâmetros é randômica, sendo a variabilidade de dispositivos de pequena área causada pela combinação de efeitos variantes no tempo e de *time-zero*. Como a variabilidade de dispositivos MOS é inversamente proporcional à área, o *scaling* da tecnologia faz com que a compreensão e modelagem dos fenômenos de degradação da



confiabilidade dos transistores adquiram relevância crescente, de forma que seja possível estimar seus efeitos no desempenho de circuitos integrados (KACZER, 2014). Assim como as causas de variabilidade para dispositivos não polarizados, discutidas previamente, o BTI, resultado da aplicação de uma tensão de estresse na porta do transistor, também tem componentes extrínsecas e intrínsecas; a primeira é consequência de diferenças nas condições do processo de fabricação, pois BTI é bastante sensível à composição dos materiais do transistor, como o óxido da porta, e a segunda é resultado do fato de que BTI é causado pela ação de cargas discretas.

É de suma importância, desse modo, estudar os mecanismos que levam à variabilidade em transistores MOS, como os efeitos de envelhecimento; com a constante evolução da tecnologia do silício, eles assumem crescente relevância, sendo fatores limitantes do tempo de vida de circuitos.

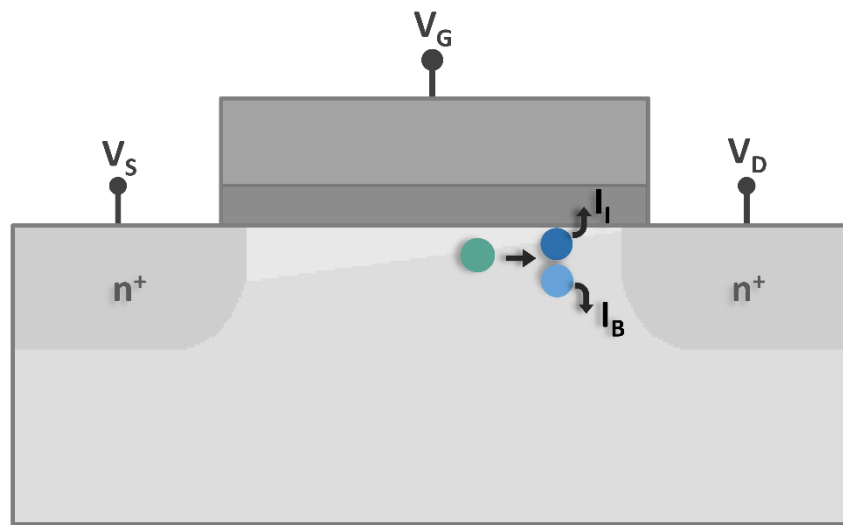
### 3 ENVELHECIMENTO DE TRANSISTORES MOS

Diversos fenômenos podem degradar o desempenho de MOSFETs ao longo do tempo, sendo tipicamente agravados pela redução do comprimento do canal dos transistores. Embora o escalonamento tecnológico tenha permitido inúmeros avanços à indústria de semicondutores, como o aumento da capacidade de armazenamento e frequência de processamento, o avanço da tecnologia CMOS e consequente diminuição das dimensões dos dispositivos torna paulatinamente mais difícil projetar circuitos com alto grau de confiabilidade. A forma como cada mecanismo de degradação afeta a funcionalidade de um circuito depende de diferentes fatores, como as tensões e temperaturas às quais eles estão expostos. Sob condições normais de operação, o desempenho de um transistor pode ser negativamente afetado por múltiplos fenômenos, sendo os principais deles elencados a seguir:

- *Hot-Carrier Injection* (HCI);
- Eletromigração (EM);
- Ruptura de Dielétrico Dependente do Tempo (TDDB);
- *Bias-Temperature Instability* (BTI);

O fenômeno de *Hot-Carrier Injection* (HCI), também referido como *Channel Hot-Carrier* (CHC), ocorre em transistores MOS ligados, quando portadores de alta energia (*hot-carriers*) são injetados no óxido de porta ou geram pares elétron-lacuna através de ionização de impacto, resultado de colisões a nível atômico. O elevado campo elétrico no canal do transistor faz com que alguns elétrons, que deveriam atingir o dreno, adquiram energia cinética suficientemente grande para superar a barreira de potencial da porta e nela serem injetados. A energia dos *hot-carriers* depende da intensidade do campo elétrico, que atinge seu valor máximo próximo ao dreno, na região de estrangulamento de canal. Os portadores injetados no óxido de porta ficam armazenados e não são liberados nem quando a tensão de estresse é removida, tornando-se cargas fixas e degradando permanentemente a tensão de limiar do transistor. A injeção de portadores no dielétrico, além disso, danifica o material, criando armadilhas, as quais também acarretam variações na tensão de limiar e degradação da transcondutância de MOSFETs. Outros parâmetros dos transistores MOS, como *sub-threshold slope*, corrente de fuga em *stand-by* ( $I_{OFF}$ ) e correntes de dreno ( $I_D$ ) e porta ( $I_G$ ) são afetados pelo fenômeno de HCI, e a taxa com que essas grandezas se deterioram em função do tempo de estresse depende do leiaute do dispositivo e do processo usado (KEITHLEY, 2004).

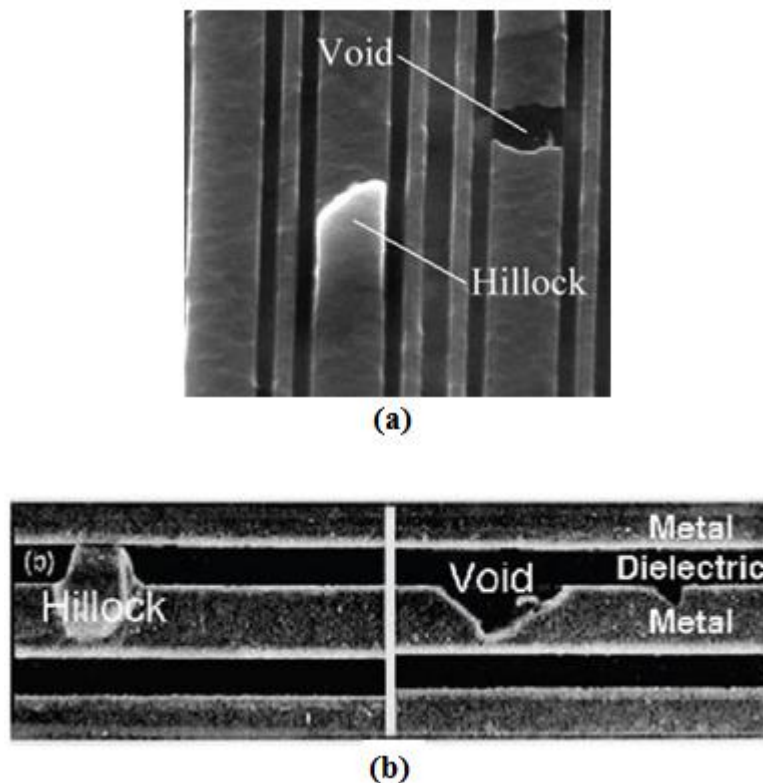
A criação de pares elétron-lacuna por ionização de impacto acarreta dois efeitos: os portadores minoritários gerados podem ser coletados no dreno ou também injetados no óxido de porta, e os portadores majoritários criam uma corrente de substrato ( $I_B$ ). A Figura 5 mostra o resultado da ionização de impacto de um *hot-carrier* próximo à região de estrangulamento, com geração de um par elétron-lacuna, que se reflete na injeção de carga na porta ( $I_I$ ) e de fuga de corrente para o substrato ( $I_B$ ).



**Figura 5 - Seção transversal de um transistor MOS, ilustrando o resultado do fenômeno de ionização de impacto de um *hot-carrier* (verde), com a geração de um par elétron-lacuna (azul), que se reverte em injeção de carga na porta ( $I_I$ ) e fuga de corrente para o substrato ( $I_B$ ).**

A corrente de substrato pode ser medida para se quantificar o nível de ionização de impacto no dispositivo (WOLF, 1995), monitorando a degradação causada por *hot-carriers*, e o pico de  $I_B$  em função da tensão de porta determina a condição de estresse que resulta em maior dano causado por HCI (AMAT, 2009). A corrente de substrato de transistores com longo comprimento de canal ( $L > 0,15 \mu\text{m}$ ) atinge seu ápice nas proximidades de  $V_G = V_D/2$  (HOFMANN, 1985), enquanto que transistores de pequeno comprimento de canal têm o valor de pico de  $I_B$  deslocado para tensões mais altas, com  $V_G = V_D$  (LI, 1999). A indução de uma corrente de substrato tem, tipicamente, menor impacto do que a injeção de portadores na porta, considerando que a resistência parasita do substrato não seja suficientemente grande para alterar significativamente o potencial de substrato e, portanto, levar a variações consideráveis na tensão de limiar.

A **eletromigração** (EM) é o transporte de material causado pelo movimento gradual de íons em um condutor devido à transferência de momento entre elétrons, que se movimentam devido ao campo elétrico aplicado, e átomos que compõem o metal das interconexões do circuito (REIS, 2015). O metal das interconexões de um circuito elétrico, usualmente alumínio ou cobre, são policristalinos, sendo formados por grânulos que são compostos por redes cristalinas com construções idênticas, mas orientações diferentes. Quando a corrente flui pela linha metálica, os elétrons interagem com os íons metálicos da rede cristalina. Os átomos presentes nas regiões limítrofes dos grãos estão mais expostos a esse efeito, sendo forçados a se moverem na direção do fluxo de elétrons; os átomos metálicos são, desse modo, acumulados nas fronteiras, sendo esses conglomerados chamados de *hillocks*, enquanto as regiões com menor concentração de átomos metálicos são referidas como *vazios* (*voids*). As falhas devido à eletromigração se manifestam na forma de curto-circuitos, devido aos *hillocks*, ou de circuitos abertos ou com resistência de fio aumentada, devido aos vazios (GUAN, 2013), sendo ambos mostrados na Figura 6 (a) e (b); no último caso, pode haver uma redução do fluxo de corrente em localizações específicas até o ponto em que haja uma falha na interconexão.



**Figura 6 - Vazios e *hillocks* nas trilhas de metal em (a) vista superior (WU, 2000) e (b) vista lateral (KYUNG-HOAE, 2011).**

Os danos causados pela eletromigração reduzem o tempo de vida de circuitos de maneira relativamente rápida, de modo que é imprescindível entender e controlar as falhas causadas por ela em interconexões de filmes finos. A constante redução das dimensões dos dispositivos microeletrônicos faz com que a densidade de corrente nas linhas de interconexão aumente; a eletromigração tem, por conseguinte, impacto crescente com o avanço da tecnologia, sendo um importante fator de diminuição de confiabilidade, devendo ser levado em consideração ao se fazer o projeto das linhas de interconexão.

A **ruptura de dielétrico dependente do tempo** (*time-dependent dielectric breakdown*, TDDB) leva à formação de um caminho condutivo entre o óxido de porta e o substrato, afetando a premissa básica para a correta operação de um transistor MOS de que deve haver uma camada de dielétrico isolante entre o eletrodo de porta e o corpo do transistor. Cada material dielétrico é capaz de suportar determinado campo elétrico máximo; quando este valor é excedido, ocorre um *rompimento severo* (*hard breakdown*, HBD). O fenômeno de TDDB, conquanto, ocorre para campos elétricos menores do que o máximo suportado, quando ocorre um desgaste do isolante ao longo do tempo, precedido da geração de armadilhas em posições aleatórias dentro do óxido ou na interface; tal mecanismo leva, por fim, à completa ruptura do dielétrico, permitindo que haja um grande fluxo de corrente de porta (MARICAU, 2013). O caminho condutivo formado faz com que não seja mais possível controlar o fluxo de corrente entre dreno e fonte através do campo elétrico de porta, que é uma propriedade básica dos MOSFETs. O tempo necessário para que haja a ruptura do dielétrico nessas condições é fortemente afetado pelo número de defeitos no óxido de porta produzidos durante o processo de fabricação do *wafer*, de maneira que as fábricas de dispositivos semicondutores despendem grandes esforços para produzir óxidos extremamente limpos (JIANG, 2007).

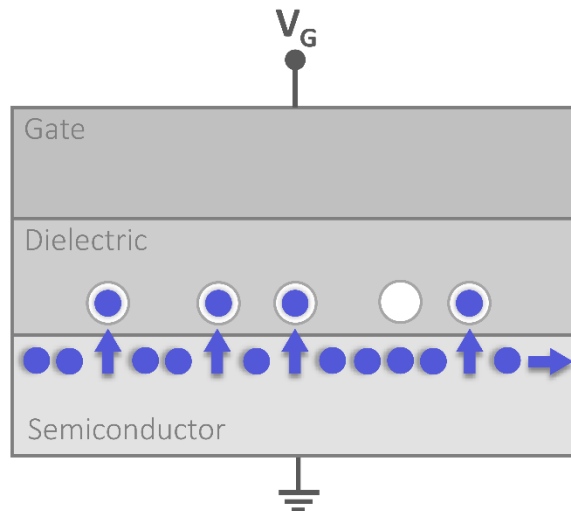
**Bias Temperature Instability** (BTI) é tipicamente observado como um desvio na tensão de limiar ( $V_{TH}$ ) quando se aplica uma tensão de polarização na porta de um transistor MOS, acarretando em uma redução da corrente de dreno e consequente degradação do desempenho de circuitos. Nos últimos anos, BTI se tornou um dos mais relevantes fenômenos de envelhecimento que afetam a confiabilidade de transistores MOS, devido ao seu progressivo impacto negativo nas tecnologias CMOS nanométricas. O tempo de vida dos circuitos CMOS pode ser substancialmente reduzido pela ação de BTI, pois ele é um

expressivo fator de falha; sendo *bias temperature instability*, também, o foco deste trabalho, esse assunto será abordado em detalhes no próximo capítulo.

#### 4 BIAS TEMPERATURE INSTABILITY (BTI)

O fenômeno de *bias temperature instability* (BTI) deve-se à captura e emissão de carga em armadilhas, que são estados de energia possíveis localizados no dielétrico de porta ou na interface dielétrico-semicondutor. Quando um portador de carga é aprisionado em uma armadilha, há menos portadores circulando no canal, resultando em uma redução na corrente do dispositivo; é, por conseguinte, amplamente aceito que o aprisionamento de cargas atua no sentido de gerar um aumento no módulo da tensão de limiar ( $\Delta V_{TH}$ ). O fenômeno de *bias temperature instability* acarreta, ainda, diferentes mecanismos de degradação: uma vez que portadores de carga são gradualmente capturados em armadilhas, interagindo eletrostaticamente com a camada de inversão, a condutividade do canal é paulatinamente afetada. As armadilhas carregadas, ademais, podem ser fonte de espalhamento, o que afeta a mobilidade (KIRTON, 1989; VAN DER WEL, 2007).

A Figura 7 ilustra o fenômeno de BTI através do aprisionamento de carga em armadilhas presentes no dielétrico, evidenciando a tendência gradual à ocupação delas.



**Figura 7 - Aprisionamento de cargas (em azul) em armadilhas (em branco) em um transistor MOS, em decorrência do fenômeno de BTI.**

Para transistores PMOS, a degradação por BTI é chamada de *negative bias temperature instability* (NBTI), enquanto que, para transistores NMOS, aplica-se o termo *positive bias temperature instability* (PBTI), uma vez que as tensões de polarização de porta que resultam em envelhecimento são respectivamente negativas e positivas. O NBTI é tido tradicionalmente como um sério problema para a confiabilidade de transistores PMOS de pequeno comprimento de canal; o PBTI, segundo (ZAFAR, 2004), se tornou relevante para

tecnologias em que o material isolante da porta do dispositivo é composto por materiais *high-k*, ou seja, de alta constante dielétrica se comparado com óxido de silício.

#### 4.1 CARACTERÍSTICAS BÁSICAS

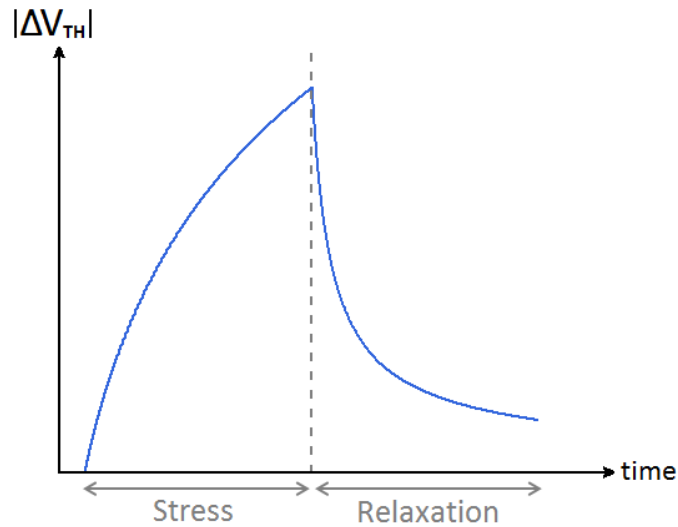
A origem do desvio na tensão de limiar causado por BTI pode ser compreendida através da Equação 1 (CAMPBELL, 2014).

$$V_{TH} = \phi_{MS} - \frac{q N_{ot}}{C_{ox}} - \frac{q N_{it}}{C_{ox}} - 2\phi_F - \frac{|\sqrt{4\varepsilon_s \phi_F q N_D}|}{C_{ox}} \quad (1)$$

Na qual  $\phi_{MS}$  é a diferença da função trabalho dos materiais de porta e substrato,  $q$  é a carga fundamental do elétron,  $N_{ot}$  e  $N_{it}$  são o número de cargas aprisionadas em armadilhas no óxido e na interface, respectivamente,  $C_{ox}$  é a capacitância do óxido,  $\phi_F$  é o nível de Fermi,  $\varepsilon_s$  é a permissividade do semiconductor e  $N_D$  representa a dopagem do substrato. Assumindo-se que a dopagem do substrato e a capacitância do óxido são constantes durante o estresse por BTI, uma variação na tensão de limiar deve se dar em função de uma alteração no número de cargas aprisionadas em defeitos no óxido e/ou na interface, o que evidencia a influência de BTI em  $V_{TH}$ .

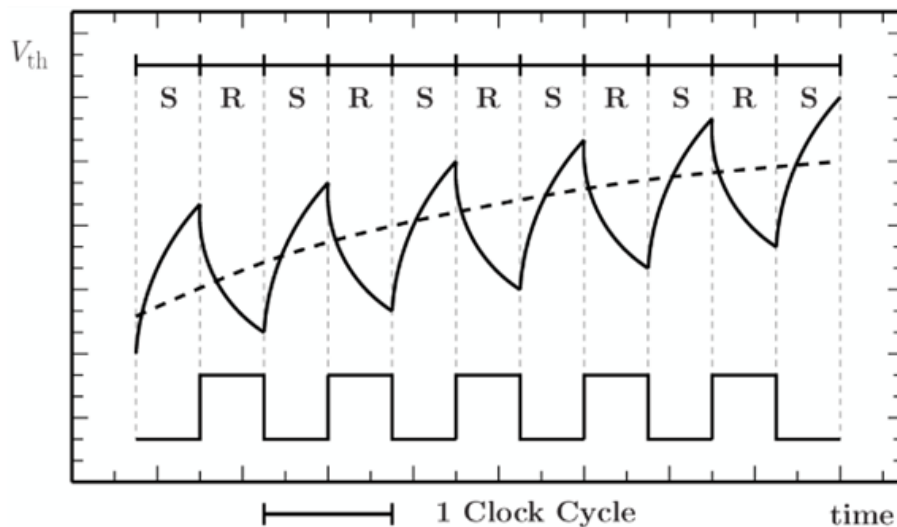
Sabe-se que o BTI se manifesta como um deslocamento gradual de parâmetros do transistor, como a tensão de limiar, quando uma tensão de estresse é aplicada à porta do transistor; quando o transistor é relaxado, contudo, há certa recuperação da tensão de limiar, uma vez que o valor de  $\Delta V_{TH}$  é reduzido. A tensão de limiar, entretanto, pode não retornar ao seu valor inicial (equivalente a  $\Delta V_{TH}$  nulo), sendo a recuperação apenas parcial. Os períodos de estresse e relaxação que ocorrem em decorrência da aplicação e subsequente remoção da tensão de polarização podem ser vistos na Figura 8, que evidencia o comportamento aproximadamente logarítmico da degradação da tensão de limiar.





**Figura 8 - Desvio na tensão de limiar durante os períodos de estresse e relaxação.**

A Figura 9 mostra o desvio na tensão de limiar para tensão de polarização AC, com diversos ciclos de *clock*. A linha tracejada deixa claro que a recuperação é apenas parcial, e que há uma tendência logarítmica na degradação média ao longo do tempo.



**Figura 9 - Comportamento do desvio da tensão de limiar para diversos ciclos de relógio, exibindo uma tendência de degradação logarítmica (BAI, 2015).**

O processo de recuperação é bastante lento e pode causar redução do tempo de vida de um circuito. No início do período de recuperação, contudo, há mudanças rápidas em  $V_{TH}$ , o que pode levar a comportamentos transientes errôneos. A recuperação de BTI pode causar erros de leitura em SRAM, *offset* dependente do tempo em amplificadores diferenciais e problemas de sincronismo em portas lógicas digitais. BTI tem impacto paramétrico em nível

de material, dispositivo e circuito. Circuitos analógicos e digitais são afetados por BTI; o primeiro é fortemente impactado quando sua precisão está ligada ao casamento de transistores (uso de transistores iguais), como em espelhos de corrente, referências de tensão *bandgap* e amplificadores operacionais, e o segundo é negativamente afetado pela redução da corrente de dreno, que leva a um carregamento de capacitâncias mais lento e menor frequência de operação. O aumento na magnitude da tensão de limiar induzida por BTI resulta em uma degradação dependente do tempo do atraso de propagação de circuitos digitais, o que pode levar ao seu mau funcionamento.

#### 4.2 DEPENDÊNCIA DE BTI COM CONDIÇÕES DE OPERAÇÃO E PARÂMETROS DO DISPOSITIVO

*Bias temperature instability* é fortemente afetado pelas condições de operação às quais o dispositivo está submetido e varia significativamente com alguns parâmetros construtivos. A temperatura e a tensão de operação, como o nome do fenômeno sugere, têm grande impacto na degradação causada por BTI. A Figura 10 mostra a influência da tensão de operação no desvio da tensão de limiar. Observa-se que, quanto maior a tensão aplicada, maior a degradação da tensão de limiar.

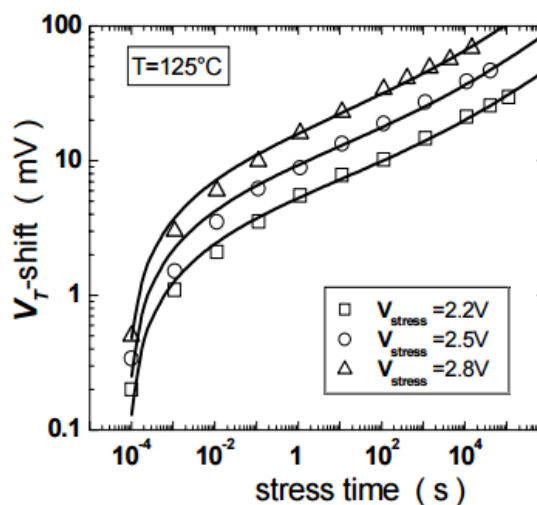
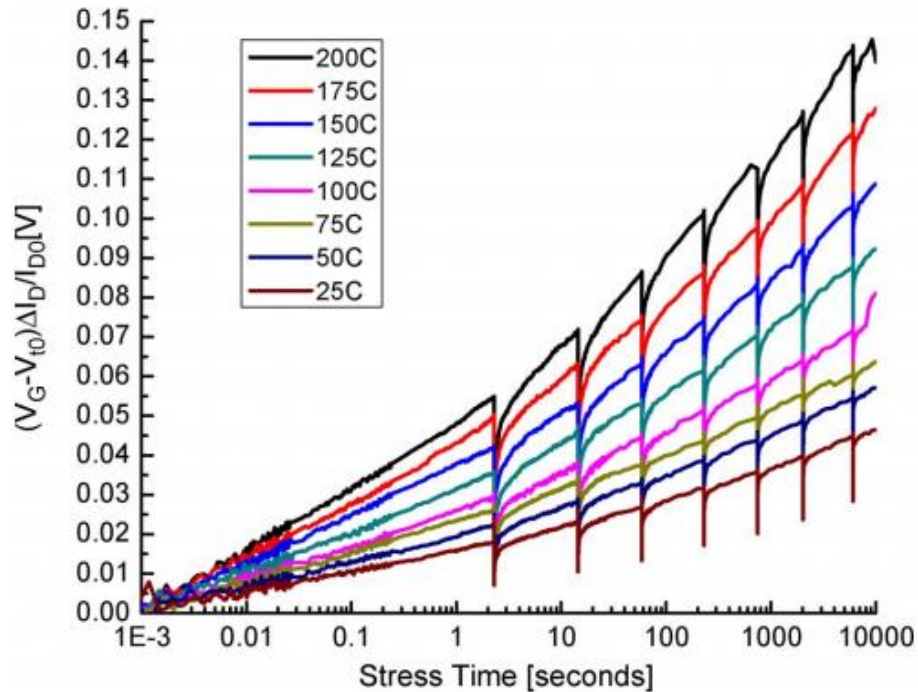


Figura 10 - Efeito da tensão de polarização no desvio da tensão de limiar causado por BTI (Adaptado de REISINGER, 2006).

A Figura 11 mostra o efeito da variação da temperatura no desvio da tensão de limiar. Percebe-se que há uma forte relação entre os aumentos da temperatura e do desvio da tensão de limiar.



**Figura 11 - Efeito da temperatura no desvio da tensão de limiar causado por BTI (WIRTH, 2011).**

A orientação da superfície do silício, o material do substrato e a espessura do óxido de porta, além disso, também afetam o fenômeno de BTI. A Figura 12 mostra que, para menor espessura do óxido da porta (EOT), a degradação causada por BTI é maior. Isso se deve ao fato de que, quanto mais fino é o óxido, maior é o campo elétrico presente na interface silício-óxido.

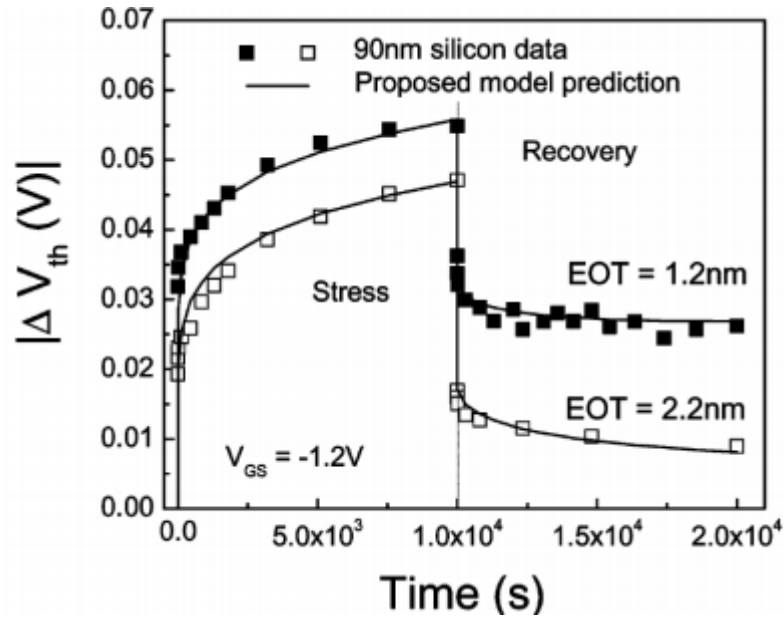


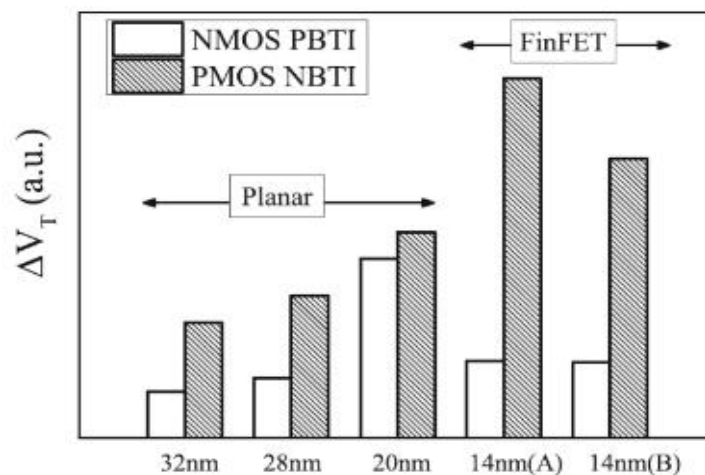
Figura 12 - Efeito da redução da espessura do óxido de porta (EOT) no desvio da tensão de limiar (WANG, 2010, com dados de KRISHNAN, 2005).

### 4.3 EFEITOS DO SCALING EM BTI

A evolução da tecnologia CMOS fez com que diversos fatores contribuíssem para um aumento do impacto da degradação por BTI na tensão de limiar. A redução da espessura do dielétrico da porta leva a um aumento substancial do campo elétrico no óxido ( $E_{ox}$ ); sabe-se que BTI tem uma dependência de potência de aproximadamente  $E_{ox}^{3.3}$  (REISINGER, 2008), o que deixa claro que o aumento do campo elétrico gera um aumento significativo no BTI, atingindo valores críticos para transistores MOS de óxido de porta ultra-fino. A introdução de nitrogênio no óxido de porta para reduzir a penetração de boro e a corrente de tunelamento na porta também acarreta um aumento dos efeitos de BTI, uma vez que ele é mais proeminente em dispositivos com  $SiO_2$  nitridado do que naqueles com porta de  $SiO_2$ , devido, provavelmente, a um aumento na densidade de armadilhas relacionado ao nitrogênio (KIMIZUKA, 2000). Além disso, a substituição da estrutura do transistor com canal enterrado para superficial, a fim de se controlar os efeitos de canal curto decorrentes da miniaturização dos dispositivos, faz com que as armadilhas de inversão do transistor se localizem diretamente na interface  $SiO_2/Si$ , o que também contribui para BTI. A utilização de materiais alternativos no canal, como InGaAs e Ge, também promove em um aumento de BTI, pois a qualidade da interface dessa formação de porta é inerentemente pior do que a da interface  $SiO_2/Si$  (ANG, 2014). Com o avanço da tecnologia, além disso, o tunelamento quântico através dos óxidos

extremamente finos aumentou proibitivamente, fazendo com que se atingisse o limite físico dos MOSFETs convencionais de SiO<sub>2</sub>; a partir do nó tecnológico de 45nm (WANG, 2010), criou-se, então, a necessidade do uso de materiais com constante dielétrica mais elevada do que a do óxido de silício (*high-k*), os quais contribuem para a degradação por *bias temperature instability* (WANG, 2014).

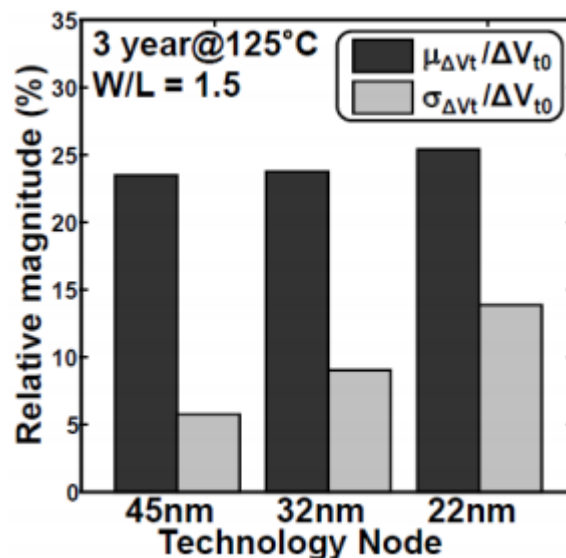
A Figura 13 mostra o impacto da utilização de materiais *high-k* em transistores MOS. Sabe-se que o efeito de NBTI, presente em transistores PMOS, é tradicionalmente mais relevante do que o efeito de PBTI, presente em transistores NMOS. A Figura 13 mostra ainda que, com a utilização de materiais *high-k* como dielétrico de porta nos nós tecnológicos de 32nm a 20nm, o efeito do PBTI em transistores planares aumentou consideravelmente, tendo atingido, no nó tecnológico de 20nm, valores bastante similares ao NBTI. Pode-se ver ainda que, com a substituição dos transistores planares por transistores 3D (FinFET), houve uma grande redução no valor do desvio da tensão de limiar gerado por BTI para transistores NMOS, comparando-se com o nó tecnológico anterior, mas a degradação continua sendo considerável. Para transistores PMOS, o desvio da tensão de limiar em FinFETs é ainda maior do que em transistores planares, de modo que este fenômeno se torna ainda mais relevante para as tecnologias recentes.



**Figura 13 - Influência do nó tecnológico e das tecnologias planar (32nm-20nm, com óxido *high-k*) e FinFET (14nm) nos efeitos de NBTI e PBTI (MAHAPATRA, 2016).**

O *scaling* dos transistores tem ainda outro efeito: faz com que haja poucas armadilhas por dispositivo e que o impacto de cada armadilha na tensão de limiar aumente. Esse fenômeno é facilmente entendido através da equação básica  $V = q/C$ , em que  $V$  é a tensão elétrica,  $q$  é a carga e  $C$  é a capacitância – como a área do transistor é diretamente

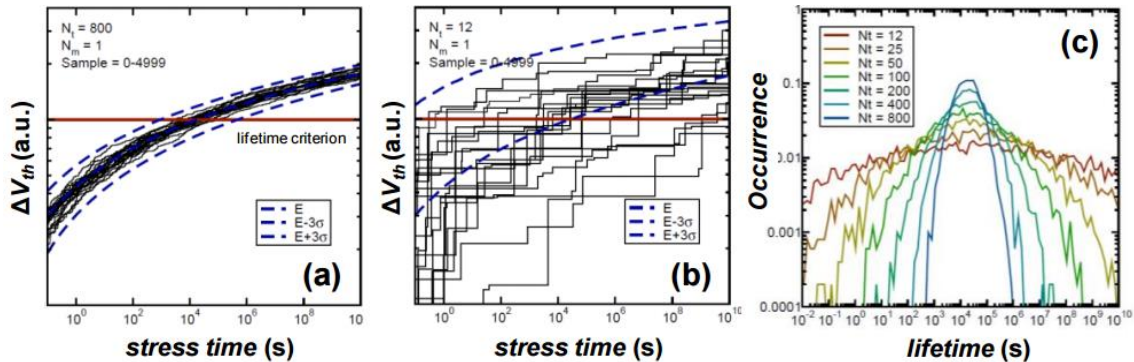
proporcional à capacitância de porta, o *scaling* acarreta uma redução da capacitância; o aprisionamento de uma mesma carga  $q$ , em um transistor com menor capacitância  $C$ , origina, pois, um maior valor de  $V$ . O impacto na tensão de limiar do aprisionamento de um portador de carga em uma armadilha é, portanto, maior para transistores de pequena área. Como há uma concomitante redução no número de armadilhas por dispositivo, o valor médio do desvio de  $V_{TH}$  não é significativamente alterado de um nó tecnológico para outro, mas há um aumento significativo da variabilidade da degradação para dispositivos de pequena área (KANG, 2007), conforme pode ser visto na Figura 14. Percebe-se que o valor médio ( $\mu$ ) da degradação causada por BTI tem um acréscimo bastante pequeno da tecnologia de 45nm para 22nm, mas o desvio padrão ( $\sigma$ ) tem um grande aumento, o que resulta em grande variabilidade.



**Figura 14 - Aumento da variabilidade com a redução das dimensões dos transistores, ilustrado através da análise da magnitude relativa do desvio da tensão de limiar. Na figura,  $\mu$  representa a média e  $\sigma$  o desvio padrão. (KANG, 2007).**

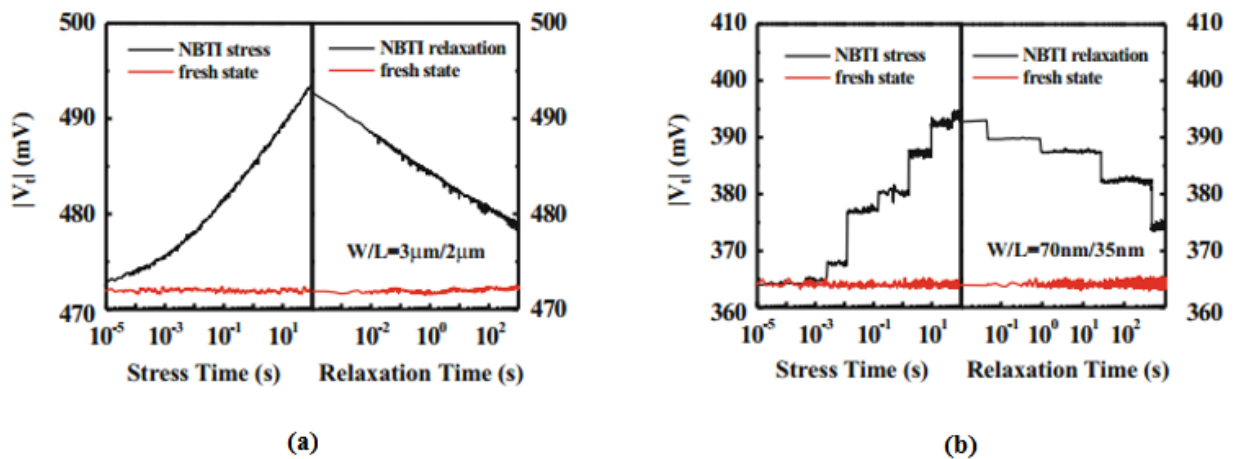
A Figura 15(a) mostra que, para um dispositivo de grande área e, portanto, elevado número de armadilhas ( $Nt$ ), o desvio da tensão de limiar não apresenta grande variação entre dispositivos diferentes. A Figura 15(b), por outro lado, mostra que, para um dispositivo de pequena área e poucas armadilhas, o desvio da tensão de limiar assume valores bastante distintos para diferentes dispositivos, apresentando grande variabilidade. A natureza discreta da matéria também fica evidenciada para dispositivos de pequena área (Figura 15b), em que é possível ver claramente níveis discretos de degradação da tensão de limiar, enquanto que, na

Figura 15(a), a degradação parece ter natureza contínua. A Figura 15(c) mostra que, quanto menor é o número de defeitos presentes, maior é a variação no tempo de vida do dispositivo.



**Figura 15 (a) As propriedades aleatórias de vários defeitos em dispositivos grandes se aproximam da média, resultando em um tempo de vida bem definido, (b) a natureza estocástica de poucos defeitos em dispositivos pequenos se torna aparente, resultando em grande variação da degradação da tensão de limiar, e (c) variação do tempo de vida em função do número de defeitos (KACZER, 2011).**

A Figura 16, por sua vez, mostra, para um transistor PMOS *high-k* de grande área (a) e de pequena área (b), a degradação da tensão de limiar durante o período de estresse e a sua recuperação parcial durante o período de relaxação. Percebe-se novamente que, enquanto a curva da degradação para dispositivos de grandes dimensões é suave, a degradação para transistores de pequena área ocorre em níveis discretos devido ao aumento de efeitos de um único portador em dispositivos nanométricos. Na Figura 16 (b), cada mudança abrupta na tensão de limiar é causada pela captura (estresse) ou emissão (recuperação) de um portador em uma armadilha. A natureza discreta dos desvios da tensão de limiar permite que se meçam os tempos em que a armadilha fica ocupada (estresse) ou desocupada (recuperação) e a magnitude dos desvios na tensão de limiar.



**Figura 16 - Comparação entre os períodos de estresse e relaxação para dispositivos de (a) grande área e (b) pequena área (WANG, 2014).**

A redução das dimensões dos MOSFETs para a escala nanométrica, desse modo, implica que há um número muito reduzido de defeitos em cada dispositivo, tendo cada um deles impacto substancial no desempenho do transistor. Quando os dispositivos atingiam apenas a escala micrométrica, podia-se considerar a densidade de carga contínua; tal assunção não pode ser feita, contudo, para transistores de pequeno comprimento de canal, nos quais a natureza discreta da matéria fica evidenciada e os mecanismos de degradação, como BTI, podem ser entendidos como resultado do impacto de um pequeno número de armadilhas.

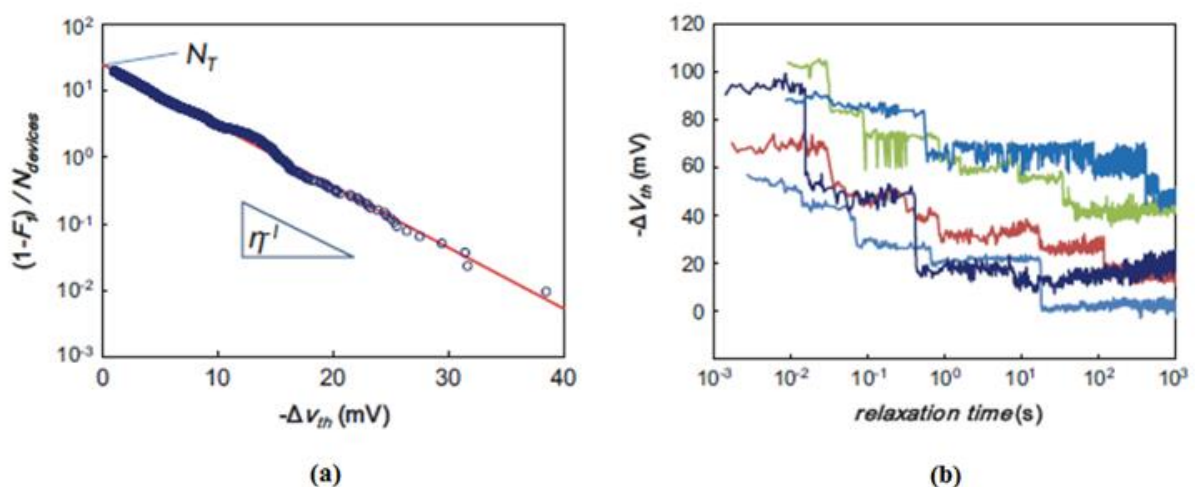
#### 4.4 INFLUÊNCIA DE CAMINHOS DE PERCOLAÇÃO EM BTI

A localização aleatória dos átomos dopantes em MOSFETs afeta a barreira de energia entre fonte e dreno, causando variações locais no potencial eletrostático no canal. Há, portanto, picos e vales no potencial ao longo do canal, resultando em caminhos mais propícios para o fluxo de corrente (caminhos de percolação), o que caracteriza uma densidade de corrente não uniforme. Isso acarreta importantes implicações para BTI: dependendo da posição da armadilha ocupada após o estresse, o caminho de condução pode ou não ser afetado pela armadilha carregada. A redução da corrente, nesse caso, pode ser interpretada, do ponto de vista da tensão de porta, como um desvio na tensão de limiar do dispositivo. Uma única armadilha pode, assim, induzir uma mudança drástica na condução ao bloquear um caminho de percolação dominante entre fonte e dreno (AMOROSO, 2013; GERRER, 2014; KACZER, 2012).



A Figura 17 (a) auxilia na compreensão do impacto dos caminhos de percolação no desvio na tensão de limiar causado por uma armadilha. Nela, a função complementar de distribuição acumulada (CCDF, *complementary cumulative distribution function*) é mostrada para a amplitude de cada passo de desvio na tensão de limiar para a fase de recuperação de 72 dispositivos de 90nm x 35nm de porta metálica e dielétrico *high-k*. A desocupação de uma armadilha pode ter um impacto elevado na tensão de limiar, caso ela se localize num caminho de percolação, ou pode ter um impacto diminuto em  $V_{TH}$ , caso não afete os caminhos de condução. O primeiro caso é menos comum, resultando em um pequeno número de armadilhas com grande  $\Delta V_{TH}$ , como mostrado na parte final da curva da Fig. 17(a), ao passo que o segundo caso é bastante frequente e resulta em um grande número de pequenos passos de  $\Delta V_{TH}$ , como mostrado na parte inicial da curva. A Figura 17(a) mostra, também, que as amplitudes dos desvios na tensão de limiar causado por cada armadilha têm distribuição exponencial.

A Figura 17(b) mostra os passos de desvio de  $V_{TH}$  com altura variável que deram origem à CCDF da Figura 17(a). Indo ao encontro da Figura 16(b), que mostra a dispersão dos desvios da tensão de limiar para o período de estresse, a Figura 17(b) evidencia, agora para o período de recuperação, a grande variabilidade entre os dispositivos devido à natureza aleatória do seu comportamento. Nota-se que, além de haver uma tendência global à redução do desvio da tensão de limiar, resultado da recuperação do BTI, há, em cada nível discreto, pequenas flutuações aleatórias, correspondentes a *random telegraph noise* (RTN), o qual será brevemente abordado na Seção 4.5.

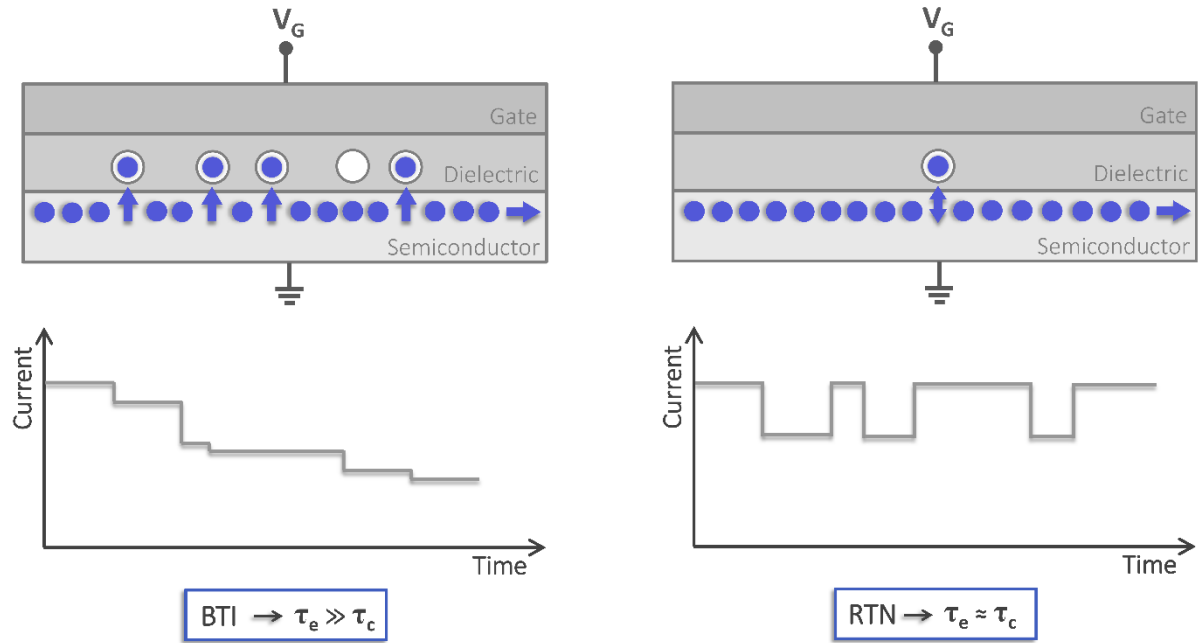


**Figura 17 (a) CCDF da amplitude dos desvios de tensão de limiar causados pela recuperação de BTI, (b) Desvio na tensão de limiar de alguns dos 72 dispositivos estudados, explicitando as flutuações entre níveis discretos (KACZER, 2014).**

#### 4.5 ATIVIDADE DE ARMADILHAS – DIFERENÇAS ENTRE RUÍDO DE BAIXA FREQUÊNCIA E BTI

Além de BTI, a atividade das armadilhas pode originar ruído de baixa frequência (MARICAR, 2013), que é resultado da captura e posterior emissão de um portador de carga em uma armadilha. Para MOSFETs de pequena área, assume-se que o ruído telegráfico aleatório (*random telegraph noise*, RTN) é a fonte dominante de ruído de baixa frequência (WIRTH, 2007). O ruído RTN se caracteriza pela flutuação da corrente de dreno do transistor entre dois níveis discretos, definidos pela ocupação da armadilha; o nível baixo corresponde ao momento em que há um portador de carga capturado na armadilha, de modo que há menos portadores no canal e a corrente diminui, e o nível alto ocorre quando a armadilha está vazia, havendo mais portadores no canal e, conseqüentemente, maior fluxo de corrente. Assim como BTI, o ruído RTN promove alterações na tensão de limiar, que assume dois valores distintos; o maior valor, em módulo, é atingido quando a armadilha está ocupada, e a menor magnitude é alcançada quando ela está vazia.

A diferença entre os fenômenos de BTI e RTN, ilustrados na Figura 18, reside fundamentalmente nas constantes características das armadilhas, as quais determinam os tempos médios de captura ( $\tau_c$ ) e de emissão ( $\tau_e$ ). Para BTI, as armadilhas tendem a ser ocupadas com o passar do tempo, de modo que há uma diminuição gradual da corrente que circula no dispositivo e conseqüente aumento da magnitude da tensão de limiar, caracterizando uma degradação temporal; as armadilhas têm constantes de emissão tipicamente maiores do que as constantes de captura e, por isso, tendem a ficar um maior tempo ocupadas do que vazias. Para RTN, uma armadilha tende a emitir e capturar portadores com probabilidade aproximadamente igual, de modo que a corrente do dispositivo se alterna entre dois níveis discretos, em função da atividade desta armadilha. Tem-se, dessa forma, que, quando  $\tau_e \gg \tau_c$ , as armadilhas contribuem com BTI, e, quando  $\tau_c \approx \tau_e$ , elas atuam no sentido de gerar ruído RTN.



**Figura 18 - Comparação entre os efeitos de BTI e ruído RTN, ilustrando a tendência à gradual ocupação das armadilhas (branco) por portadores de carga (azul), para BTI, e a alternância entre os estados vazio e ocupado, para RTN.**

## 5 MODELAGEM DETERMINÍSTICA PARA SIMULAÇÃO ELÉTRICA DE BTI

Atualmente, o modelo para BTI com maior aceitação se baseia na cinética de armadilhas presentes no óxido e na interface entre o silício e o óxido, que tem natureza aleatória. Nele, as características básicas atribuídas a BTI são aquelas apontadas em (WIRTH, 2011) e (KACZER, 2010):

- a) A captura e a emissão de carga são eventos estocásticos governados por constantes de tempo características, uniformemente distribuídas em escala logarítmica;
- b) O número de armadilhas tem distribuição Poisson;
- c) A distribuição de energia das armadilhas é *u-shaped*;
- d) A amplitude da flutuação da tensão de limiar induzida pelas armadilhas tem distribuição exponencial.

É possível, conquanto, modelar o comportamento médio das características básicas da atividade das armadilhas que levam a BTI, convertendo o modelo estocástico em *determinístico*. Na sequência, esse método será introduzido, seguido pelo seu desenvolvimento matemático. O modelo proposto foi, posteriormente, adicionado a uma ferramenta comercial SPICE, possibilitando que se façam simulações transientes que levem em consideração a degradação causada por BTI, conforme será apresentado no Capítulo 6.

### 5.1 APRESENTAÇÃO DA METODOLOGIA DETERMINÍSTICA

O modelo determinístico consiste em uma abordagem simplificada do equacionamento de BTI, tendo como princípio básico a modelagem do valor estimado das grandezas aleatórias envolvidas na atividade das armadilhas. O modelo determinístico possibilita uma notável redução do custo computacional para realização de simulações transientes de BTI, se comparado ao modelo estocástico tradicional, uma vez que se utilizam os valores esperados de parâmetros das armadilhas, como o impacto na tensão de limiar ( $\Delta V_{TH}$ ), constantes de tempo ( $\tau$ ) e probabilidade de ocupação quando o tempo tende a infinito ( $\tau/\tau_c$ ). Pode-se, ainda, agrupar diversas armadilhas com constantes de tempo semelhantes em uma única, a qual modela o comportamento médio das armadilhas agrupadas, reduzindo ainda mais o custo computacional das simulações.

Da forma como é abordado neste trabalho, o modelo acarreta, por outro lado, uma perda de informação sobre variabilidade, já que somente o comportamento médio do BTI é

estimado. Tal limitação do método pode ser contornada ao se estudarem circuitos com um elevado número de transistores, como cadeias com milhares de inversores; as flutuações na degradação por BTI em uma grande quantidade de dispositivos tende ao valor médio. Mesmo para simulação de dispositivos individuais e de pequena área, contudo, o método é válido. A abordagem estocástica tradicional consome enorme quantidade de tempo, pois requer que se sejam feitas simulações Monte Carlo, repetindo a simulação transiente diversas vezes, para que só então se extraiam resultados consistentes para parâmetros como o valor médio e desvio padrão de  $\Delta V_{TH}$ ; uma única simulação estocástica não tem, por si só, relevância estatística. A simulação determinística, em contrapartida, precisa ser realizada apenas uma vez, fornecendo diretamente o valor médio da degradação causada por BTI, o que é suficiente para que o projetista possa estimar rapidamente o impacto desse fenômeno no circuito. A utilização da abordagem estocástica, muitas vezes, se torna impraticável, devido à complexidade do circuito, de modo que o método determinístico se apresenta como uma alternativa que viabiliza a realização da simulação transiente.

## 5.2 MODELAGEM MATEMÁTICA

Baseando-se na teoria de *trapping-detrapping* (T-D), o desvio na tensão de limiar de um transistor MOS, para um dado tempo de estresse, é o resultado da ocupação de armadilhas por portadores do canal (GRASSER, 2011). A modelagem matemática determinística é derivada das equações básicas apresentadas por (KIRTON, 1989; WIRTH, 2011), e é apresentada em (FURTADO, 2017).

O desvio na tensão de limiar causado por BTI, para certo tempo de estresse, pode ser calculado através de

$$\Delta V_{TH} = \sum_{i=1}^{N_{tr}} \delta V_{TH,i} \cdot X_i(t), \quad (2)$$

na qual  $N_{tr}$  é o número de armadilhas no dispositivo,  $\delta V_{TH,i}$  é o impacto na tensão de limiar da ocupação da  $i$ -ésima armadilha, e  $X_i(t)$  é o estado dessa armadilha em um dado instante de tempo  $t$ , assumindo o valor  $0$  quando vazia e  $1$  quando ocupada.

O valor esperado do desvio da tensão de limiar é, desse modo, dado por

$$E[\Delta V_{TH}] = E \left[ \sum_{i=1}^{N_{tr}} \delta V_{TH,i} \cdot X_i(t) \right]. \quad (3)$$

Sabe-se que o valor esperado do somatório de variáveis aleatórias equivale à soma dos valores esperados dessas variáveis, e que o valor esperado do produto de variáveis aleatórias independentes é igual ao produto do valor esperado dessas variáveis. Sendo X e Y variáveis aleatórias independentes, tem-se que

$$E[X + Y] = E[X] + E[Y] \quad (4)$$

e

$$E[XY] = E[X]E[Y]. \quad (5)$$

Considerando-se apenas a contribuição média das armadilhas, ou seja, que todas elas contribuem da mesma forma para o desvio na tensão de limiar, a Equação 3 resulta em

$$E[\Delta V_{TH}] = E[N_{tr}] \cdot E[\delta V_{TH}] \cdot E[X(t)]. \quad (6)$$

Uma vez que se assume que o número de armadilhas em um dispositivo tem distribuição Poisson e que o impacto de cada armadilha na tensão de limiar tem distribuição exponencial, obtêm-se

$$E[N_{tr}] = \overline{N_{tr}} \quad (7)$$

e

$$E[\delta V_{TH}] = \overline{\delta V_{TH}}, \quad (8)$$

em que  $\overline{N_{tr}}$  e  $\overline{\delta V_{TH}}$  são parâmetros de entrada do modelo.

Da definição de valor esperado, tem-se que

$$E[X(t)] = \sum_{i=0}^1 x_i p_i(t), \quad (9)$$

na qual  $x_i$  e  $p_i(t)$  são, respectivamente, o estado  $i$  e a sua probabilidade de ocorrência.

Atribuindo-se os valores 0 e 1 para os estados das armadilhas vazias e ocupadas, nesta ordem, a Equação 6 pode ser reescrita como

$$E[\Delta V_{TH}] = \overline{N_{tr}} \cdot \overline{\delta V_{TH}} \cdot p_1(t), \quad (10)$$

em que  $p_1(t)$  é a probabilidade de ocupação do conjunto de armadilhas do dispositivo em um tempo  $t$ , que deve ser obtida por meio do cálculo da probabilidade de ocupação de uma única armadilha, que será apresentado a seguir.

A probabilidade de uma armadilha inicialmente vazia ser ocupada depois de certo tempo  $t$  é dada por  $P_{01}(t)$ , que pode ser calculada através de

$$P_{01}(t + dt) = P_{01}(t)p_{11}(dt) + P_{00}(t)p_{01}(dt), \quad (11)$$

em que  $p_{01}(dt) = dt/\tau_c$  e  $p_{11}(dt) = 1 - p_{10}(dt) = 1 - dt/\tau_e$ , sendo  $\tau_c$  e  $\tau_e$  a média dos valores aleatórios das constantes de tempo de captura e emissão de uma armadilha, dependentes da polarização e da temperatura.

Resolvendo a equação diferencial da Equação 11 do tempo  $t_0$  para  $t$ , obtém-se

$$\int_{P_{01}(t_0)}^{P_{01}(t+t_0)} \frac{dP_{01}}{\frac{1}{\tau_c} - \frac{1}{\tau} P_{01}} = \int_{t_0}^{t+t_0} dt. \quad (12)$$

Integrando a Equação 12, tem-se

$$P_{01}(t + t_0) = \frac{\tau}{\tau_c} \left(1 - e^{-\frac{t}{\tau}}\right) + P_{01}(t_0)e^{-\frac{t}{\tau}}, \quad (13)$$

em que  $\tau$  é a constante de tempo característica, dada por

$$\frac{1}{\tau} = \frac{1}{\tau_c} + \frac{1}{\tau_e}. \quad (14)$$

Segundo (KIRTON, 1989), as constantes de tempo de captura e emissão podem ser modeladas através de

$$\tau_c = 10^p [1 + e^{-q}] \quad (15)$$

e

$$\tau_e = 10^p [1 + e^q], \quad (16)$$

onde  $p$  é uma variável aleatória uniformemente distribuída que pertence ao intervalo  $[p_{\text{mín}}, p_{\text{máx}}]$ , em que  $p_{\text{mín}}$  e  $p_{\text{máx}}$  definem as constantes de tempo para as armadilhas mais rápidas e mais lentas, respectivamente. Assume-se que  $p$  é uniformemente distribuído, o que resulta em constantes de tempo distribuídas uniformemente em escala logarítmica.

O parâmetro  $q$  é dado pela expressão

$$q = \frac{E_T - E_F}{kT}, \quad (17)$$

na qual  $E_F$  é o nível de Fermi,  $E_T$  representa a energia da armadilha, que é uma variável aleatória,  $k$  é a constante de Boltzmann e  $T$  representa a temperatura.

Usando as Equações 14, 15 e 16, pode-se derivar que

$$\tau = 10^p \quad (18)$$

e

$$\frac{\tau_e}{\tau_c} = e^q = e^{\frac{E_T - E_F}{kT}}. \quad (19)$$

Se uma armadilha está sob estresse constante desde o tempo  $t_0=0$ , a probabilidade de ocupação em função do tempo é obtida assumindo-se que  $P_{01}(0) = 1 - P_{00}(0) = 0$  na Equação 13, resultando em

$$P_{01}(t) = \frac{\tau}{\tau_c} \left(1 - e^{-\frac{t}{\tau}}\right). \quad (20)$$

Pode-se calcular a probabilidade de que uma armadilha esteja ocupada em um tempo  $t$ , para o caso de estresse constante, por meio de

$$P_1(t) = P_1(\infty) \left(1 - e^{-\frac{t}{\tau}}\right) + P_1(0) \left(e^{-\frac{t}{\tau}}\right), \quad (21)$$

sendo  $P_1(\infty) = \tau/\tau_{c,ON}$  a máxima probabilidade de ocupação e  $P_1(0) = \tau/\tau_{c,OFF}$  a mínima probabilidade de ocupação, em que  $\tau_{c,ON}$  e  $\tau_{c,OFF}$  são os tempos de captura da armadilha nos casos de estresse e de relaxação, respectivamente. Pode-se escrever, então, que

$$P_1(\infty) = E \left[ \frac{\tau}{\tau_c(\infty)} \right] = \int_{E_{T,min}}^{E_{T,max}} \frac{1}{1 + e^{\frac{E_T - E_F(\infty)}{kT}}} f_{E_T} dE_T \quad (22)$$

e

$$P_1(0) = E \left[ \frac{\tau}{\tau_c(0)} \right] = \int_{E_{T,min}}^{E_{T,max}} \frac{1}{1 + e^{\frac{E_T - E_F(0)}{kT}}} f_{E_T} dE_T. \quad (23)$$

Deve-se notar que, em ambos os casos, a probabilidade mínima de ocupação não é necessariamente zero, assim como a máxima probabilidade de ocupação não é necessariamente um. Isto significa que, mesmo após tempos infinitamente longos, existe uma probabilidade não nula de que existam armadilhas desocupadas (no caso de estresse) ou



ocupadas (no caso de relaxação), sendo essa consideração relevante para a implementação do modelo.

Até este ponto, estudou-se a probabilidade de ocupação de uma armadilha para polarização (estresse) constante. Para o caso em que a polarização varia temporalmente, entretanto,  $P_1(\infty)$  e  $P_1(0)$  também variam com o tempo. Para se considerar essa variação, introduz-se um tempo “equivalente”,  $t'$ , que tem como efeito deslocar a origem do eixo para cada iteração da simulação transiente, contabilizando descontinuidades.

Quando o dispositivo está estressado, ou seja, quando as armadilhas são gradualmente ocupadas e  $P_1(t) < P_1(\infty)$ , a Equação 21 pode ser reescrita como

$$P_1(t' + \Delta t) = k_{high} \left( 1 - e^{-\frac{t'+\Delta t}{\tau}} \right) + k_{low} \left( e^{-\frac{t'+\Delta t}{\tau}} \right), \quad (24)$$

em que

$$k_{high} = E \left[ \frac{\tau}{\tau_c(t' + \Delta t)} \right] = \int_{E_{T,min}}^{E_{T,max}} \frac{1}{1 + e^{\frac{E_T - E_F(t'+\Delta t)}{kT}}} f_{E_T} dE_T. \quad (25)$$

Observa-se ainda que, na Equação 24, deve-se utilizar o tempo “equivalente”,  $t'$ , que pode ser obtido através da expressão

$$t' = -\tau \cdot \ln \left[ \frac{P_{01}(t - \Delta t) - k_{high}}{k_{low} - k_{high}} \right]. \quad (26)$$

Deve-se perceber que  $k_{low}$  não é recalculado quando o dispositivo está estressado.

Quando o dispositivo está relaxado, ou seja, as armadilhas gradativamente emitem portadores, com  $P_1(t) > P_1(\infty)$ , a Equação 21 pode ser reescrita na forma de

$$P_1(t' + \Delta t) = k_{low} \left( 1 - e^{-\frac{t'+\Delta t}{\tau}} \right) + k_{high} \left( e^{-\frac{t'+\Delta t}{\tau}} \right), \quad (27)$$

em que  $k_{low}$  pode ser obtido através de

$$k_{low} = E \left[ \frac{\tau}{\tau_c(t' + \Delta t)} \right] = \int_{E_{T,min}}^{E_{T,max}} \frac{1}{1 + e^{\frac{E_T - E_F(t'+\Delta t)}{kT}}} f_{E_T} dE_T, \quad (28)$$

na qual

$$t' = -\tau \cdot \ln \left[ \frac{P_{01}(t - \Delta t) - k_{low}}{k_{high} - k_{low}} \right]. \quad (29)$$

Deve-se notar que  $k_{high}$  não é recalculado quando o dispositivo está sob relaxação. As Equações 25 e 28, além disso, exigem que se conheça a distribuição da energia das armadilhas; baseando-se no trabalho de (WIRTH, 2011), assume-se que a distribuição é *u-shaped*. É importante notar, ainda, que o passo de tempo da simulação deve ser menor que a constante de tempo da armadilha mais rápida.

Uma vez que se possui, agora, o valor da probabilidade de ocupação de uma armadilha individual, é possível calcular a probabilidade de ocupação do conjunto de armadilhas, a qualquer instante de tempo, dada por

$$p_1(t) = \frac{1}{N_{tr}} \sum_{i=1}^{N_{tr}} P_{1,i}(t). \quad (30)$$

Pode-se, finalmente, calcular o desvio médio da tensão de limiar causado por BTI, objetivo desse trabalho, através da expressão

$$E[\Delta V_{TH}] = \overline{\delta V_{TH}} \sum_{i=1}^{N_{tr}} P_{1,i}(t). \quad (31)$$

A modelagem matemática apresentada foi adicionada a uma ferramenta comercial SPICE, a fim de incluir a degradação causada por BTI. Além do agrupamento de armadilhas com constantes de tempo semelhantes, utilizou-se outro recurso para reduzir o custo computacional das simulações: estima-se, antes da execução da simulação transiente, a degradação causada por um longo período de estresse contínuo prévio à ocorrência de transição de sinal em alguma entrada ou nó do circuito, como, por exemplo, a incidência de um SET, caso de interesse para esse trabalho. Para tal, introduziram-se dois parâmetros: o tempo de estresse e a energia de Fermi durante o estresse. É possível, desse modo, utilizar as equações DC para determinar o desvio na tensão de limiar antes da ocorrência do SET, sem ser necessário realizar a simulação transiente durante esse período, o que reduz o custo computacional.

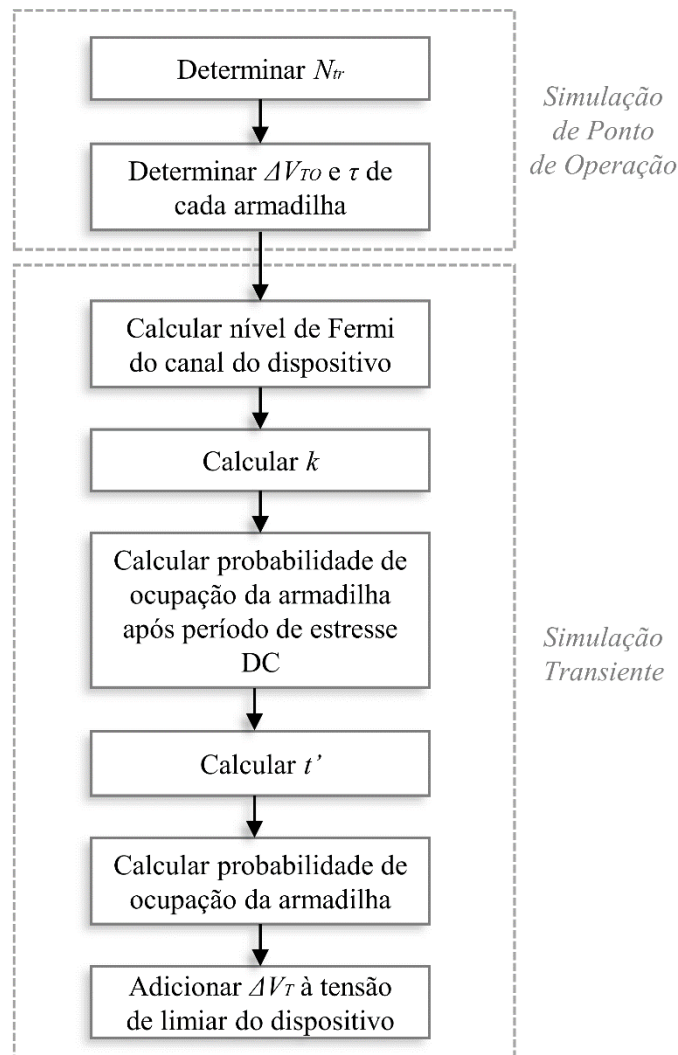
## **6 SIMULADOR DETERMINÍSTICO DE BTI**

Serão apresentados, a seguir, a forma como foi implementado o simulador determinístico de BTI, os estudos de caso abordados e as configurações das simulações realizadas.

### **6.1 IMPLEMENTAÇÃO DO SIMULADOR DETERMINÍSTICO DE BTI**

A formulação matemática determinística para cálculo de BTI foi incorporada ao simulador comercial Ngspice por meio da alteração dos arquivos do modelo BSIM; existem diversas maneiras alternativas para se realizar a implementação, como *Verilog*, tendo sido a escolha realizada pela preferência particular da autora.

O fluxograma da implementação do simulador é apresentado na Figura 19, e suas etapas são discutidas na sequência (FURTADO, 2017a).



**Figura 19 - Fluxograma da implementação do simulador determinístico de BTI.**

*a) Determinação de  $N_{tr}$ :*

Conforme discutido no Capítulo 5, a fim de se diminuir o custo computacional da simulação, armadilhas com constantes de tempo semelhantes podem ser agrupadas, recalculando-se o impacto da armadilha “equivalente” na tensão de limiar. O número de armadilhas é definido em função da precisão desejada, mas, tipicamente, um número muito pequeno de armadilhas (por exemplo  $N_{tr}=6$ ) é suficiente para fornecer um resultado adequado.

*b) Determinar  $\Delta V_{TO}$  e  $\tau$  de cada armadilha:*

O impacto na tensão de limiar ( $\Delta V_{TO}$ ) causado por uma armadilha equivalente (referida, de agora em diante, apenas como “armadilha”) é obtido usando

$$\Delta V_{TO} = \frac{type * vthlb * tlbden}{N_{tr}}, \quad (32)$$

em que *type* assume o valor “-1” para transistores PMOS e “1” para NMOS, *vthlb* representa o impacto na tensão de limiar de cada armadilha, que depende do tamanho do dispositivo e é dado em  $V.m^2$ , e *tlbden* é um parâmetro de densidade de armadilhas, dado em  $m^{-2}$ .

A constante de tempo da *i*-ésima armadilha ( $\tau_i$ ) é dada por

$$\tau_i = 10^{lpi+i} \frac{hpi-lpi}{N_{tr}^{-1}}, \quad (33)$$

na qual *i* é um número inteiro que varia de 0 a  $N_{tr}-1$ , *lpi* é o expoente da constante de tempo mais rápida e *hpi* é o expoente da constante de tempo mais lenta.

c) *Calcular o nível de Fermi no canal do dispositivo:*

O nível de Fermi ( $E_F$ ) é calculado através de

$$E_F - E_V = \varphi_S - \varphi_F + E_i, \quad (34)$$

na qual  $E_V$  é a energia do topo da banda de valência,  $\varphi_S$  é o potencial de superfície,  $\varphi_F$  é a diferença entre o nível de Fermi e o nível de Fermi intrínseco no substrato do dispositivo, dado por  $\varphi_F = \left(\frac{kT}{q}\right) \cdot \ln\left(\frac{N_A}{n_i}\right)$ , e  $E_i$  é o nível de Fermi intrínseco.

d) *Calcular k:*

O parâmetro *k* foi definido, no Capítulo 5, como o valor esperado de  $\left(\frac{\tau}{\tau_c}\right)$ . Sabe-se, do capítulo anterior, que esse é um parâmetro de entrada dependente da distribuição de energia das armadilhas, tendo sido assumida como uma *u-shape*.

e) *Calcular a probabilidade de ocupação de uma armadilha depois de um tempo de estresse DC (TDC):*

A probabilidade de uma armadilha estar ocupada depois de certo tempo ( $P_1(t)$ ) é dada pela Equação 21, apresentada na Seção 5.2, reescrita aqui como

$$P_1(t) = P_1(\infty) \left(1 - e^{-\frac{t}{\tau}}\right) + P_1(t_0) \left(e^{-\frac{t}{\tau}}\right), \quad (35)$$

na qual  $t_0$  é o tempo para o qual se inicia a simulação transiente.

Se o dispositivo está sob estresse constante durante dado intervalo de tempo (TDC), anterior ao tempo inicial da simulação transiente, a probabilidade de ocupação para  $t = TDC$  é obtida assumindo-se que  $P_1(t_0) = 0$  na Equação 35, resultando em

$$P_1(TDC) = k \left( 1 - e^{-\frac{TDC}{\tau}} \right), \quad (36)$$

em que  $k = \frac{\tau}{\tau_{c,ON}} = P_1(\infty)$ .

f) *Calcular o tempo “equivalente” ( $t'$ ):*

O tempo “equivalente” foi implementado no simulador através da Equação 26, quando o dispositivo está sob estresse, e da Equação 29, quando o dispositivo está relaxado, sendo ambas apresentadas na Seção 5.2.

g) *Calcular a probabilidade de ocupação da armadilha:*

A probabilidade de ocupação de uma armadilha foi adicionada ao simulador através da Equação 24, quando o dispositivo está estressado, e da Equação 27, para dispositivo sob relaxação.

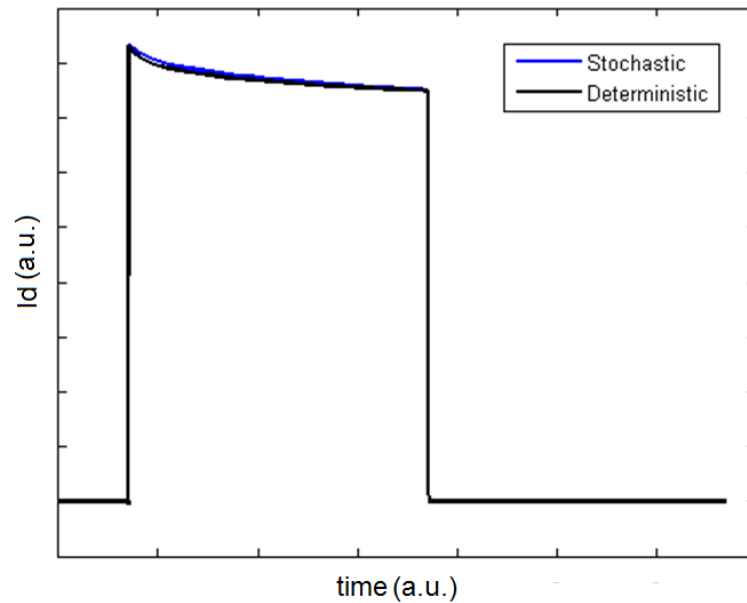
h) *Adicionar  $\Delta V_T$  para a tensão de limiar do dispositivo:*

O desvio da tensão de limiar causado por BTI é dado por

$$\Delta V_T = \sum_{i=1}^{N_{tr}} P_{1,i}(t) \times \Delta V_{TO}, \quad (37)$$

sendo então adicionado à tensão de limiar total do dispositivo.

Sabe-se que o modelo determinístico deve fornecer o mesmo valor de degradação por BTI que a média de um grande número de simulações estocásticas. A fim de se validar a modelagem determinística desenvolvida, extraiu-se a média de 450 simulações estocásticas e comparou-se o resultado com o valor fornecido pela simulação determinística, para  $N_{tr}=6$ . Simulou-se um transistor NMOS de tecnologia PTM *bulk* 90nm (PTM, 2006) de área mínima, aplicando-se um pulso “010” (0V-1,2V-0V) ao terminal de porta, com dreno conectado a  $V_{DD}$  e fonte ligada à terra. A corrente de dreno foi mensurada, com o intuito de verificar a degradação por BTI durante o período de estresse (tensão de entrada em nível alto), e o resultado é apresentado na Figura 20.



**Figura 20 - Comparação entre a degradação por BTI utilizando a modelagem determinística (em preto) e a média de 450 simulações estocásticas (em azul).**

A Figura 20 evidencia que a modelagem determinística fornece resultado preciso para a degradação por BTI, o que valida o modelo desenvolvido.

## 6.2 ESTUDOS DE CASO

Nesse trabalho, dois fenômenos foram simulados na ferramenta SPICE modificada, sendo eles o *alargamento de pulso induzido por BTI* e *efeito de BTI no atraso de portas lógicas*, explicados a seguir. Embora tenham sido escolhidos como estudo de caso desse trabalho, por terem consequências relevantes no funcionamento de circuitos CMOS, tais fenômenos não são, de forma alguma, os únicos afetados por BTI, que tem influência em diversas grandezas e características de transistores MOS e dos circuitos onde eles são empregados.

### 6.2.1 Alargamento de Pulso Induzido por BTI

Tradicionalmente, assume-se que a largura de um *single event transient* (SET) é preservada ao atravessar uma cadeia de células idênticas, ou que ela é reduzida, quando a

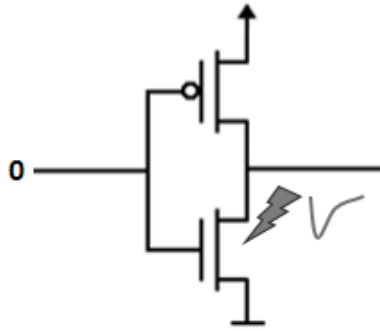
capacitância do nó é relativamente grande ou o pulso muito curto, ocorrendo mascaramento elétrico do pulso (WIRTH, 2008). Diversos trabalhos, contudo, mostram que um pulso transiente pode ser alargado ao se propagar por uma cadeia de portas lógicas (STERPONE, 2011; CHI, 2017; FERLET-CAVROIS, 2007, LI, 2011). A seguir, será feita uma breve revisão sobre SETs para, posteriormente, explicar-se a origem do seu alargamento ao se propagar em uma cadeia de inversores lógicos.

#### *6.2.1.1 Single Event Transient (SET)*

Um SET ocorre quando uma partícula carregada atinge um nó sensível de um dispositivo semicondutor, gerando um pulso transiente, o qual pode alterar o estado lógico no nó do circuito que foi atingido. O impacto do íon gera pares elétron-lacuna; quando coletada, a carga leva ao surgimento do pulso, que se estende até o momento em que a carga depositada se dispersa através de caminhos abertos de corrente para  $V_{DD}$  ou terra, quando a tensão no nó retorna ao nível original (WIRTH, 2008).

Paralelamente ao fluxo da corrente transiente através da junção-pn do transistor atingido (transistor NMOS da Figura 21), o transistor ligado (PMOS da Figura 21) conduz uma corrente que atua no sentido de balancear aquela induzida pelo impacto da partícula; caso a corrente gerada pela colisão do íon seja grande o suficiente, o transistor ligado não é capaz de compensá-la e, então, ocorre uma mudança no nível de tensão do nó. O transistor ligado tem, desse modo, forte contribuição na dissipação da carga induzida; quanto maior for a corrente do transistor ligado, mais estreito é o pulso de SET. Uma possível técnica para mitigação de SETs é, portanto, o uso de transistores com grande largura, os quais têm grande capacidade de corrente e podem rapidamente dissipar a carga depositada. Portas lógicas compostas por transistores de pequena área são particularmente sensíveis a SETs, de maneira que a constante redução das dimensões dos dispositivos faz com que SETs se tornem um problema de confiabilidade não apenas em ambiente espacial, mas também a nível do chão (CALVIN, 1995; PALAU, 2003; CASTELLANI-COULIÉ, 2001).





**Figura 21 - Diagrama esquemático de um inversor CMOS, mostrando o impacto de uma partícula energética na junção de dreno do transistor NMOS desligado, o que gera um pulso de tensão transiente na saída.**

Quando o impacto da partícula energética resulta em carga suficiente para causar uma mudança de estado nos elementos armazenados em células como memórias, *flip-flops* ou *latches*, diz-se que ocorre um *single event upset* (SEU). Se o íon atinge uma porção do circuito com lógica combinacional, a carga coletada pode induzir um pulso de tensão transiente, ou seja, um *single event transient*. Para que esse pulso se propague na cadeia lógica e gere um erro em um elemento de memória, as seguintes condições devem ser satisfeitas (DIEHL, 1983; DIEHL, 1984; FRIEDMAN, 1985; DODD, 2004; FERLET-CAVROIS, 2013):

- O SET deve ser gerado em um nó lógico sensível, que, segundo (WIRTH, 2008), são as regiões próximas às junções de dreno reversamente polarizadas de um transistor desligado;
- Ele se propaga por um caminho lógico aberto e atinge um elemento de memória;
- Ele chega no elemento de memória com amplitude e duração suficientes para mudar o seu estado;
- Ele atinge o elemento de memória durante a janela de vulnerabilidade da célula, ou seja, quando a condição do *clock* permite a captura do pulso.

A probabilidade de que um pulso transiente seja capturado em um elemento de memória aumenta linearmente com a frequência, pois há um número maior de bordas de *clock*.

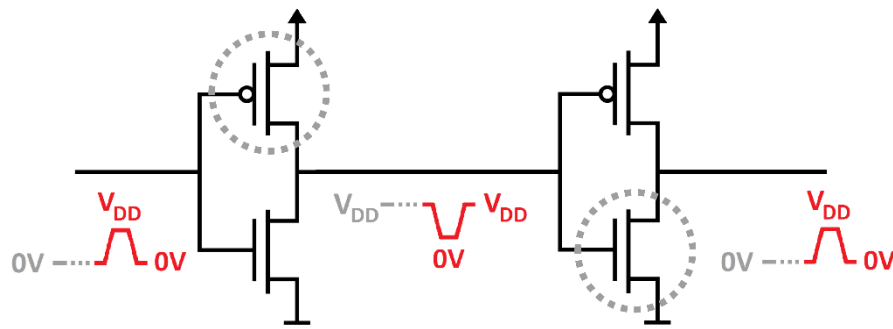
O mecanismo de deposição de carga pode ser modelado por um pulso de corrente formado por uma dupla exponencial, dado por

$$I(t) = I_o \left( e^{-\frac{t}{\tau_\alpha}} - e^{-\frac{t}{\tau_\beta}} \right), \quad (38)$$

em que  $I_o$  é a corrente máxima causada pela coleção de carga,  $\tau_\alpha$  é a constante de tempo de coleção da junção e  $\tau_\beta$  é a constante de tempo para estabelecer inicialmente o caminho do íon (WIRTH, 2008). A máxima corrente  $I_o$  depende de parâmetros de processo e da *transferência linear de energia* (LET) da partícula, que é uma medida da densidade espacial de absorção de energia, correspondendo à energia média perdida pela partícula carregada, a cada colisão, por unidade de comprimento. Os parâmetros  $I_o$ ,  $\tau_\alpha$  e  $\tau_\beta$  são dependentes da tecnologia dos transistores e da partícula de impacto, e, uma vez determinados, podem ser utilizados para quantificar o pulso de corrente de um SET.

#### 6.2.1.2 Efeito de BTI no Alargamento de SETs

A Figura 22 mostra como BTI leva ao alargamento de pulso. A entrada do primeiro inversor (em cinza) é mantida no nível lógico baixo (0V) durante um longo período de estresse, até que um pulso de tensão (“0-1-0”, em vermelho) atinge o nó. Cria-se, então, um pulso “1-0-1” na saída do primeiro inversor, em que a transição de descida (“1-0”) é conduzida pelo transistor NMOS do primeiro estágio, que estava relaxado durante o período de estresse. A borda de subida (“0-1”), contudo, é definida pelo transistor PMOS, que estava estressado antes da chegada do pulso, tendo, portanto, sua tensão de limiar degradada pela ação de BTI. Em decorrência disso, o atraso de subida é aumentado, em relação ao caso em que não há envelhecimento do transistor, fazendo com que o pulso se estenda por mais tempo - o que caracteriza o *alargamento de pulso induzido por BTI*. No segundo inversor, a situação é similar; a primeira transição do pulso na sua saída é definida pelo transistor PMOS, que estava relaxado durante o período de estresse, e a segunda transição é determinada pelo transistor NMOS, que estava estressado. Desse modo, o pulso de tensão na saída do segundo estágio é, também, alargado pelo aumento do atraso da segunda transição, resultado do BTI. Essa situação é verificada ao longo de toda a cadeia de inversores, sendo sempre a primeira borda de transição definida pelo transistor relaxado, que tem alta capacidade de corrente, e a segunda borda de transição determinada pelo transistor estressado, que tem baixa capacidade de corrente. A segunda borda está, portanto, sempre atrasada, de modo que o pulso se alarga (FURTADO, 2017).



**Figura 22 – Ilustração de dois inversores de uma cadeia lógica, mostrando a propagação de um pulso (em vermelho) e identificando os transistores estressados durante o período de tensão constante (em cinza) (FURTADO, 2017).**

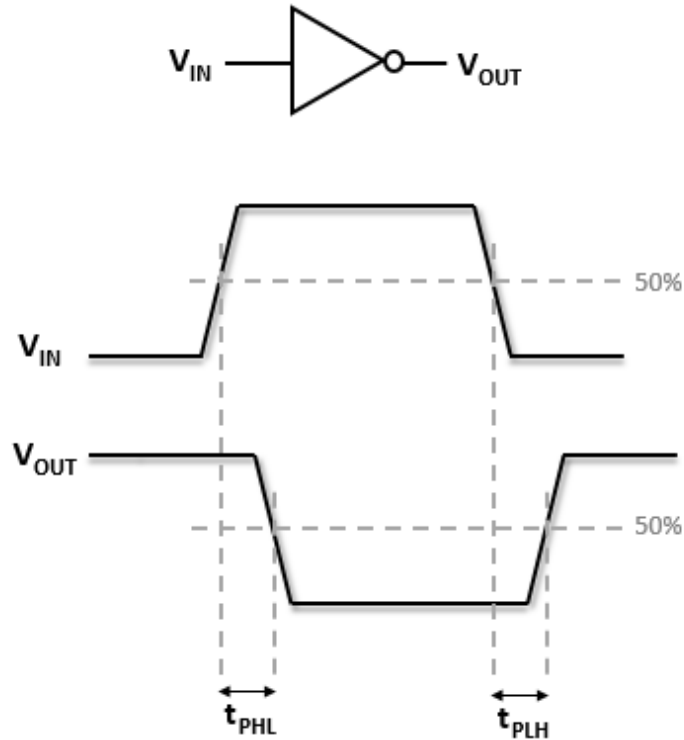
O alargamento de pulso induzido pela propagação (*propagation-induced pulse broadening*, PIPB) pode ser observado em tecnologias *bulk* e SOI, e sabe-se que configurações que utilizam corpo flutuante são particularmente sensíveis a PIPB (YUANFU, 2015).

### 6.2.1.3 Cadeia de Inversores – Escolha do Circuito

Neste trabalho, uma cadeia de 10000 inversores foi escolhida como objeto de estudo, devido ao fato de que há dados experimentais relevantes na literatura acerca de PIPB medido em longas cadeias de inversores, como em (FEVRET-CAVROIS, 2008). A escolha das simulações realizadas, que serão apresentadas na Seção 6.3.1, também foi baseada nos experimentos cujos resultados são apresentados em (FEVRET-CAVROIS, 2008), a fim de que eles possam ser comparados qualitativamente com os resultados fornecidos pelo simulador determinístico desenvolvido. Em (FEVRET-CAVROIS, 2008), cadeias de 20160 inversores idênticos, de tecnologia *bulk* 130nm, com tensão nominal de 1,2V, foram usadas para se investigar a propagação de SETs. Os circuitos foram irradiados com um *laser* pulsado ATLAS (Analysis Test Laser) no Laboratório IMS, em Bordeaux, França, com comprimento de onda de 800nm. Utilizando-se uma ponteira de alta impedância, conectada a um osciloscópio de alta frequência, os SETs foram medidos em diferentes pontos da cadeia, a fim de se verificar o seu alargamento durante a propagação.

### 6.2.2 Efeito de BTI no Atraso de Portas Lógicas

Os atrasos de propagação para as transições de subida e descida de uma porta lógica são ilustrados na Figura 23.



**Figura 23 - Ilustração dos atrasos de descida ( $t_{PHL}$ ) e subida ( $t_{PLH}$ ) em um inversor lógico**

O atraso de propagação ( $t_P$ ) de uma porta lógica é definido como a média dos atrasos de subida e descida, dado por

$$t_P = \frac{t_{PHL} + t_{PLH}}{2}. \quad (38)$$

Sabe-se que o atraso de propagação de portas lógicas tem seu valor aumentado pela degradação da tensão de limiar induzida por BTI (FANG, 2013), o que será investigado nesse trabalho.

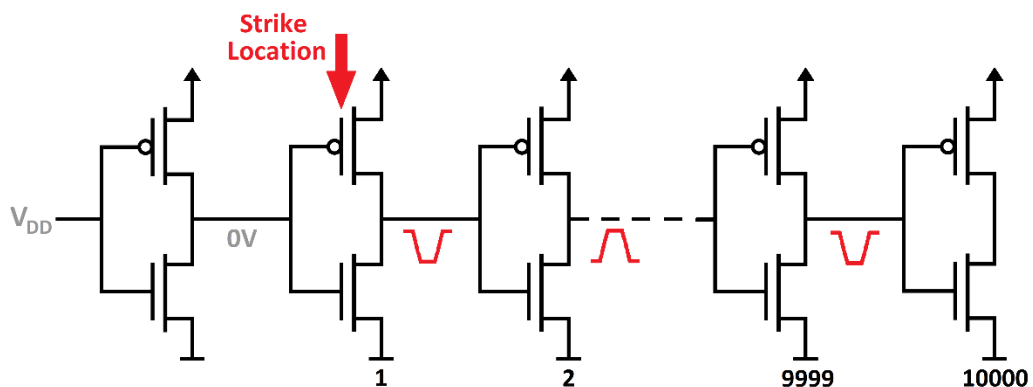
### 6.3 CONFIGURAÇÃO DAS SIMULAÇÕES

O modelo para *bias temperature instability* apresentado no Capítulo 5 foi implementado na ferramenta Ngspice, conforme abordado na Seção 6.1, e foi utilizado para

investigar o fenômeno de alargamento de pulso induzido por BTI e o atraso em portas lógicas em decorrência da ação de BTI, como discutido a seguir.

### 6.3.1 Alargamento de Pulso Induzido por BTI - Simulação

O efeito de PIPB induzido por BTI foi estudado em uma cadeia de 10000 inversores lógicos, conforme ilustrado na Figura 24.



**Figura 24 - Diagrama esquemático da cadeia de 10000 inversores lógicos, simulada para se analisar o efeito de alargamento de pulso induzido por BTI. Os transistores são estressados por um longo período de tempo com uma tensão constante, quando ocorre a incidência de uma partícula energética. A localização da ocorrência do SET (em vermelho) é indicada por uma seta, e a propagação do pulso através da cadeia de inversores é ilustrada. A posição é referenciada pelo número de inversores que separam a localização do impacto da partícula e o nó onde a largura do pulso é medida. Os inversores são idênticos e da tecnologia *bulk* de 90nm, com tensão nominal  $V_{DD}=1,2V$ .**

Um SET foi injetado no inversor “1” da Figura 24, se propagando ao longo da cadeia de 10000 inversores idênticos. O SET modifica temporariamente a saída do inversor “1”, e essa perturbação é propagada às demais células, conforme ilustrado. A incidência da partícula energética na junção de dreno sensível reversamente polarizada do inversor “1” foi simulada utilizando-se uma fonte de tensão de dupla exponencial. As simulações foram realizadas usando o modelo PTM (*Predictive Technology Model*) para tecnologia *bulk* de 90nm (PTM, 2006), com tensão de alimentação nominal de 1,2V.

Realizou-se um conjunto de simulações, a fim de analisar o alargamento do SET induzido por BTI. Primeiramente, foram feitas simulações para se quantificar o alargamento do pulso durante a propagação ao longo da cadeia de inversores para diferentes tensões de

alimentação (0,8V, 1,0V, 1,2V e 1,6V). A seguir, a fim de analisar a resposta dinâmica de uma cadeia de inversores, ela foi alimentada com um pulso de diferentes frequências, mas duração constante de 4ns, resultando em diferentes tempos de estresse entre pulsos adjacentes. A última simulação realizada visa a verificar o impacto, no tempo de atraso de propagação de um inversor, de um desvio fixo de 50mV na tensão de limiar.

### 6.3.2 Efeito de BTI no Atraso de Portas Lógicas - Simulação

O aumento do atraso de portas lógicas NAND sob efeito de BTI foi mensurado através de diferentes simulações. As simulações foram realizadas usando o modelo PTM para tecnologia 90nm *bulk* (PTM, 2006), com tensão de alimentação nominal de 1,2V. Em todas as simulações, a porta NAND tem duas entradas e ambas são conectadas ao mesmo sinal, tendo uma carga capacitiva de 10fF.

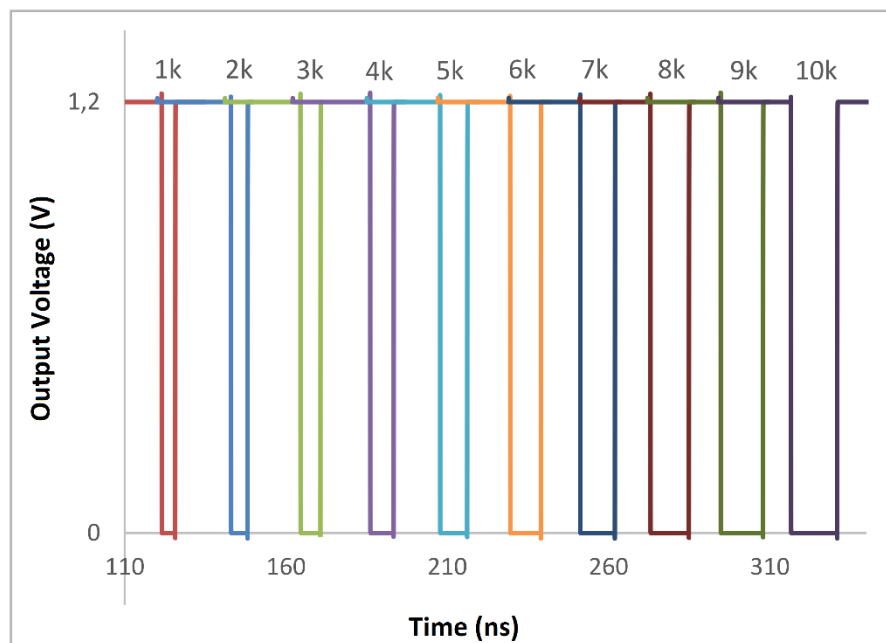
A primeira simulação realizada visa a quantificar o aumento do atraso da porta lógica em função do tempo de estresse DC (0,01 $\mu$ s, 0,1 $\mu$ s, 1 $\mu$ s, 10 $\mu$ s e 100 $\mu$ s), para diferentes valores de tensão de alimentação (0,8V, 1V, 1,2V e 1,6V), após a injeção no circuito de um pulso de 4ns de largura. Posteriormente, a fim de analisar a dependência da variação do atraso com a borda de transição, analisam-se separadamente os atrasos das bordas de subida e descida para os pulsos *alto-baixo-alto* (“101”) e *baixo-alto-baixo* (“010”) na saída da porta lógica, para duas situações distintas:  $V_{DD}=1,2V$  com diferentes tempos de estresse DC, e  $TDC=1\mu s$  com diferentes tensões de alimentação.

## 7 RESULTADOS SIMULACIONAIS

Os resultados das simulações descritas na Seção 6.3 são apresentados a seguir.

### 7.1 ALARGAMENTO DE PULSO INDUZIDO POR BTI – RESULTADOS

A primeira simulação realizada consiste na aplicação de um pulso de SET na entrada da cadeia de 10000 inversores, que resulta em um pulso “101” (1,2V-0V-1,2V) na saída. Os resultados obtidos são apresentados na Figura 25, que mostra a superposição dos pulsos medidos na saída de um conjunto de  $n$  inversores;  $n$  representa, assim, o número de células entre o nó de injeção do pulso SET e a saída da cadeia, variando entre 1000 e 10000. O pulso “5k”, por exemplo, é aquele medido na saída da 5000ª célula, de modo que o pulso de SET se propagou por 5000 inversores antes de ser mensurado. O tempo de estresse DC anterior à aplicação do pulso é de 100ns, e a largura do pulso de dupla exponencial aplicado é de aproximadamente 4ns. A Figura 25 mostra a largura do pulso em 10 pontos da cadeia, a fim de evidenciar o seu alargamento durante a propagação.

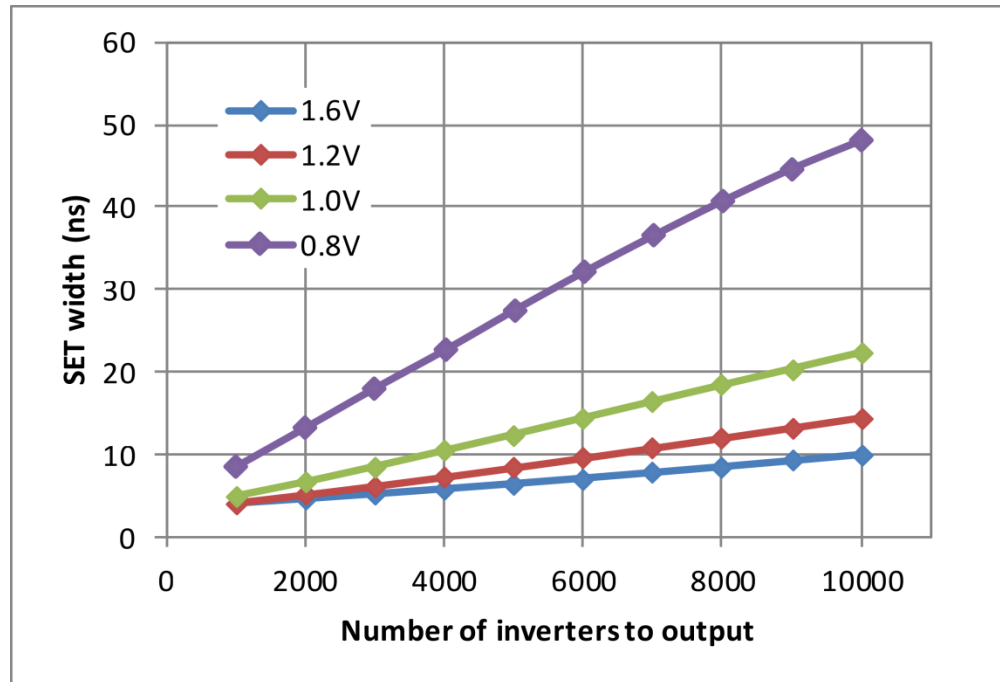


**Figura 25 - Resultados da simulação para propagação de um SET ao longo de uma cadeia de 10000 inversores. Cada pulso ilustrado corresponde à saída de um bloco de 1000 inversores, sendo o pulso “10k” aquele medido na saída da 10000ª célula. O SET é modelado como uma dupla exponencial, o tempo de estresse anterior à aplicação do pulso é de 100ns, e utiliza-se  $V_{DD}=1,2V$ .**

A Figura 25 deixa claro que a largura do pulso aumenta durante a propagação ao longo de um maior número de inversores. Quanto maior é o número de inversores entre o ponto de injeção do SET e a saída, mais largo é o pulso; o tempo durante o qual os transistores estão sujeitos a estresse DC aumenta à medida que eles se distanciam do ponto de incidência do SET, resultando em degradação por BTI mais intensa. O primeiro inversor da cadeia foi exposto a estresse estático durante 100ns, enquanto que o 1000º inversor foi estressado por 121ns e o 10000º inversor por 311ns, quando, só então, foi alcançado pelo pulso, o que representa uma contribuição de 21ps de atraso por estágio. Tempos de estresse crescentes levam a maior degradação por BTI, resultando em maior desvio da tensão de limiar – o que acarreta em maior largura de pulso, resultado de um acréscimo no atraso de propagação da sua segunda borda de transição, conforme abordado na Seção 6.2.1.2. Tem-se, assim, um alargamento de pulso mais evidente à medida que se aumenta o número de inversores entre o ponto de injeção do SET e a saída; quando se tem 1000 inversores entre o ponto onde o pulso se inicia e a saída da cadeia, a largura do pulso é de 4,22ns, e, quando há 10000 inversores entre entrada e saída, o pulso se estende por 14,38ns. Os resultados obtidos são concordantes com aqueles obtidos experimentalmente por (FERLET-CAVROIS, 2008) e através de simulações por (WIRTH, 2016). Em (FERLET-CAVROIS, 2008), a fim de se estudar o efeito de PIPB, uma cadeia de inversores foi irradiada com laser pulsado com energia ajustada de forma a gerar SETs. Os resultados lá obtidos mostram, também, que o pulso é mais estreito quando o SET ocorre próximo à saída da cadeia, e que sua largura aumenta à medida que o ponto de aplicação do pulso se distancia do ponto onde ele é medido.

A seguir, a relação entre a tensão de alimentação e a largura do pulso durante a propagação por 10000 inversores foi averiguada. Como a Figura 25, a Figura 26 mostra o valor da largura do pulso na saída de grupos de 1000 inversores, até atingir o valor total de 10000.





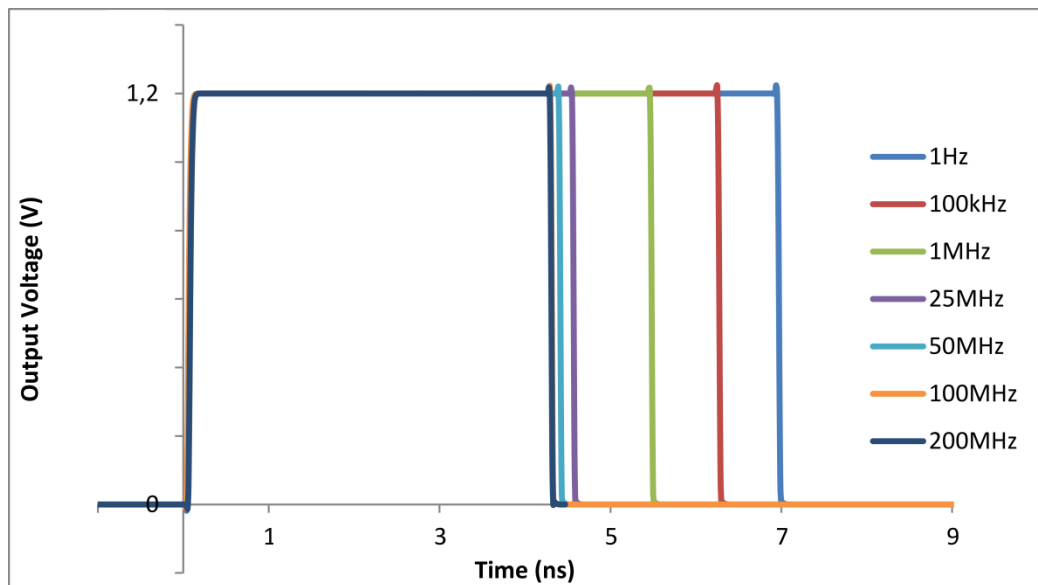
**Figura 26 - Variação da largura de pulso ao longo da propagação na cadeia de 10000 inversores, para diferentes valores de  $V_{DD}$ .**

A Figura 26 deixa claro que, quanto menor a tensão de alimentação, maior a largura do pulso de SET para um mesmo número de inversores até a saída, o que também foi averiguado por (FERLET-CAVROIS, 2008) e por (WIRTH, 2016). A redução da tensão de alimentação acarreta, desse modo, um aumento do impacto de BTI na largura de pulso, que se deve ao fato de que o atraso de cada estágio aumenta com a diminuição de  $V_{DD}$ . O circuito é, desse modo, mais sensível à degradação por BTI para baixos valores de tensão de alimentação, o que se reflete no alargamento do pulso. Analisando-se a largura do pulso ao final da cadeia de 10000 inversores, o aumento da largura do pulso com a redução de  $V_{DD}$  fica evidente, uma vez que ela atinge os valores de 10,08ns, 14,38ns, 22,42ns e 48,25ns para 1,6V, 1,2V, 1,0V e 0,8V, respectivamente. A Figura 26 também evidencia que, para qualquer tensão de alimentação, o pulso se torna mais largo ao passo que o número de inversores na cadeia aumenta, o que tipifica o efeito de PIPB.

A Figura 26 mostra, além disso, que há uma relação linear entre largura do pulso e o número de inversores até a saída. A inclinação dessa reta é conhecida como *fator de PIPB*, que define a contribuição de cada estágio inversor ao alargamento de pulso total (FERLET-CAVROIS, 2008). Da Figura 26, percebe-se que o fator de PIPB aumenta concomitantemente à diminuição da tensão de alimentação, assumindo os valores de 0,7ps/inversor para 1,6V, 1,1ps/inversor a 1,2V, 2ps/inversor a 1,0V e 4,5ps/inversor para 0,8V. O aumento do fator de

PIPB com a redução da tensão de alimentação indica que, nessas situações, o fenômeno de BTI tem impacto mais expressivo no alargamento de SETs.

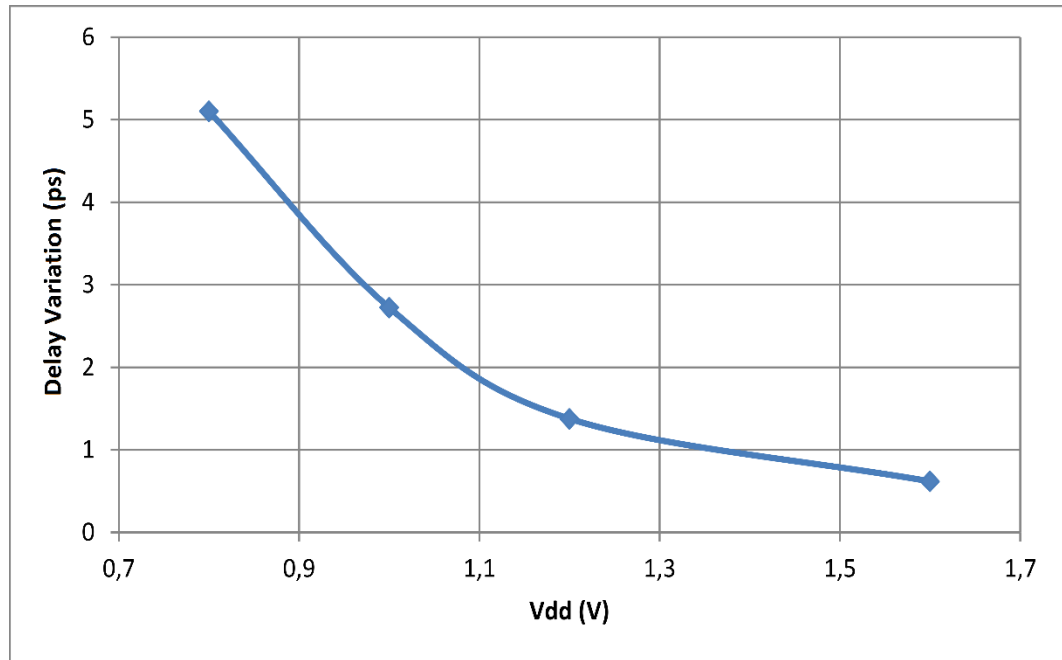
Em seguida, a largura do pulso após a propagação em uma cadeia de 1000 inversores foi verificada para diferentes frequências do sinal de entrada. A largura do pulso aplicado foi mantida constante em 4ns, de modo que se averigua o impacto de diferentes tempos de estresse no alargamento de pulso; frequências distintas correspondem, assim, a diferentes períodos de estresse entre a aplicação de pulsos de 4ns de largura. Como a largura do pulso na entrada é mantida constante, a variação na frequência das simulações acarreta simplesmente em uma variação no tempo de estresse entre pulsos adjacentes: uma frequência de 100MHz, que corresponde à situação em que se tem um período de 10ns, resulta em uma onda de entrada que permanece por 6ns em nível lógico baixo (estresse) e 4ns em nível lógico alto (pulso de largura fixa), enquanto que uma frequência de 100kHz equivale a um tempo de estresse em nível baixo de 9996ns entre pulsos contíguos de 4ns de largura. Os resultados obtidos são apresentados na Figura 27; com o propósito permitir que seja feita uma comparação direta da largura dos pulsos para os diferentes casos, plotaram-se com a mesma origem dos eixos coordenados os pulsos medidos na saída de 1000 inversores para diferentes frequências do sinal de entrada.



**Figura 27 - Forma de onda do pulso medido na saída de uma cadeia de 1000 inversores, como resultado da aplicação de pulsos na entrada com diferentes frequências.**

A Figura 27 mostra que a redução da frequência do sinal de entrada resulta em maior alargamento de pulso, uma vez que o tempo de estresse entre pulsos contíguos aumenta. Para frequências elevadas, de 200MHz até 25MHz, contudo, o efeito de PIPB é pouco pronunciado; como o período varia de 5ns a 40ns, o tempo de estresse assume valores entre 1ns e 36ns, fazendo com que os transistores sejam estressados apenas brevemente e a degradação da tensão de limiar não seja significativa. O curto tempo de estresse entre pulsos adjacentes faz com que, para frequências elevadas, o efeito de PIPB induzido por BTI resulte em alargamento de pulso bastante diminuto. A partir de 1MHz, os transistores passam a ser estressados durante tempo suficientemente longo para degradar o desempenho dos transistores consideravelmente e, portanto, acarretar notável alargamento de pulso, que atinge largura de 6,92ns para frequência de 1Hz. Tem-se, desse modo, que, quanto menor for a frequência do sinal de entrada, maior será o período de estresse entre pulsos adjacentes, resultando em degradação por BTI mais intensa e, conseqüentemente, maior alargamento de pulso.

Por fim, realizou-se uma simulação com o intuito de mensurar a influência da tensão de alimentação no atraso de um único inversor, em decorrência da aplicação de um desvio fixo no módulo da tensão de limiar. Primeiramente, simulou-se o atraso de um inversor sem a aplicação do desvio na tensão de limiar, ou seja, sem a modelagem da degradação desse parâmetro; a seguir, a deterioração temporal dos transistores foi simulada através da inserção do desvio de  $|\Delta V_{TH}|=50\text{mV}$ . O tempo de atraso de propagação foi definido como a média dos atrasos de subida e descida, e a *variação no atraso* foi definida como a diferença entre o atraso medido para os casos em que há e em que não há aplicação do desvio de 50mV na tensão de limiar. A Figura 28 mostra a variação no atraso de um inversor para a aplicação de  $|\Delta V_{TH}|=50\text{mV}$ , para diferentes valores de  $V_{DD}$ .

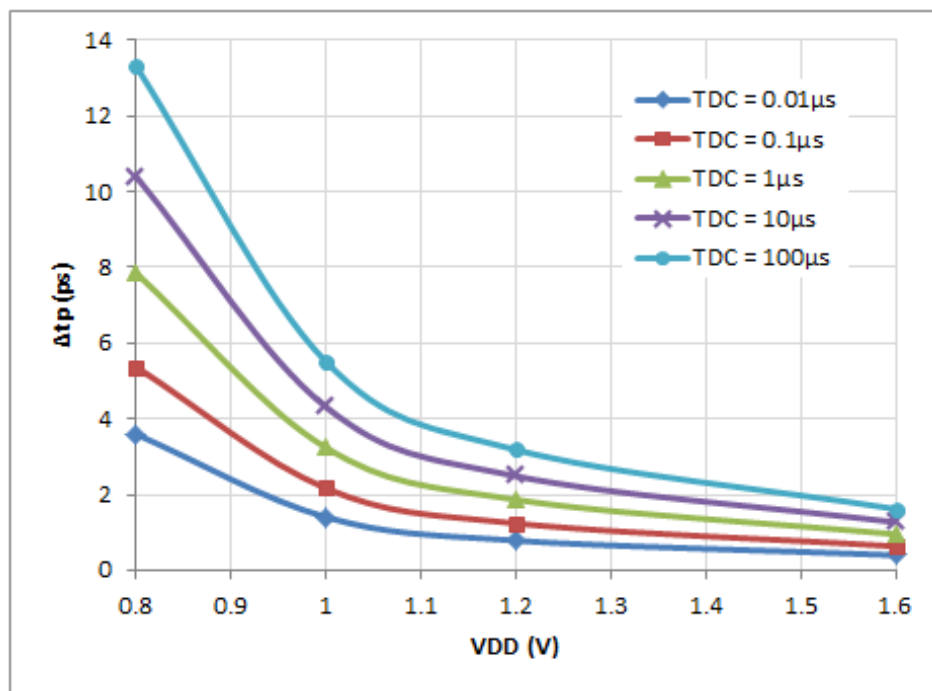


**Figura 28 - Relação entre a tensão de alimentação e a variação do atraso de um inversor em decorrência da aplicação de um desvio na tensão de limiar de 50mV em cada transistor.**

Verifica-se que há uma forte relação entre a redução da tensão de alimentação e o aumento da variação do atraso em decorrência de um desvio fixo na tensão de limiar. Tem-se, assim, que o impacto de uma mesma alteração em  $V_{TH}$  no atraso de um inversor é fortemente dependente da tensão de alimentação – menores valores de  $V_{DD}$  levam a maior aumento do atraso. Embora a degradação por BTI se agrave com o aumento da tensão de alimentação (ver Figura 10), resultando em maior desvio de  $V_{TH}$  em módulo, o efeito de um desvio da tensão de limiar no atraso é muito mais intenso para baixos valores de tensão de alimentação. Esse fato ajuda a explicar o comportamento observado na Figura 26; embora a variação na tensão de limiar causada por BTI seja maior para  $V_{DD}$  mais elevado, o impacto desse desvio no atraso de uma porta lógica é substancialmente maior para baixas tensões de alimentação, superando o primeiro efeito. Explica-se, desse modo, por que o alargamento de pulso induzido por BTI é mais pronunciado para baixas tensões de alimentação – o efeito de uma variação na tensão de limiar no atraso de propagação aumenta com a diminuição de  $V_{DD}$ , levando a um alargamento de pulso mais acentuado.

## 7.2 EFEITO DE BTI NO ATRASO DE PORTAS LÓGICAS - RESULTADOS

Primeiramente, realizou-se uma simulação para averiguar o impacto da tensão de alimentação no atraso de uma porta lógica NAND, para diferentes tempos de estresse DC (TDC) prévios à aplicação de um pulso de tensão de 4ns de largura, conforme apresentado na Figura 29. Primeiramente, realizaram-se as simulações sem a inserção dos efeitos de BTI e, na sequência, o simulador de BTI foi utilizado para verificar seu impacto no atraso da porta lógica; o termo *variação do atraso* ( $\Delta t_p$ ) se refere à diferença entre as situações com e sem modelagem de BTI. Com o intuito de verificar a dependência do atraso com  $V_{DD}$  e TDC de forma geral, as simulações foram feitas para pulsos de entrada *alto-baixo-alto* (“101”) e *baixo-alto-baixo* (“010”), fazendo-se a média dos valores de atraso de subida e descida para os dois casos.

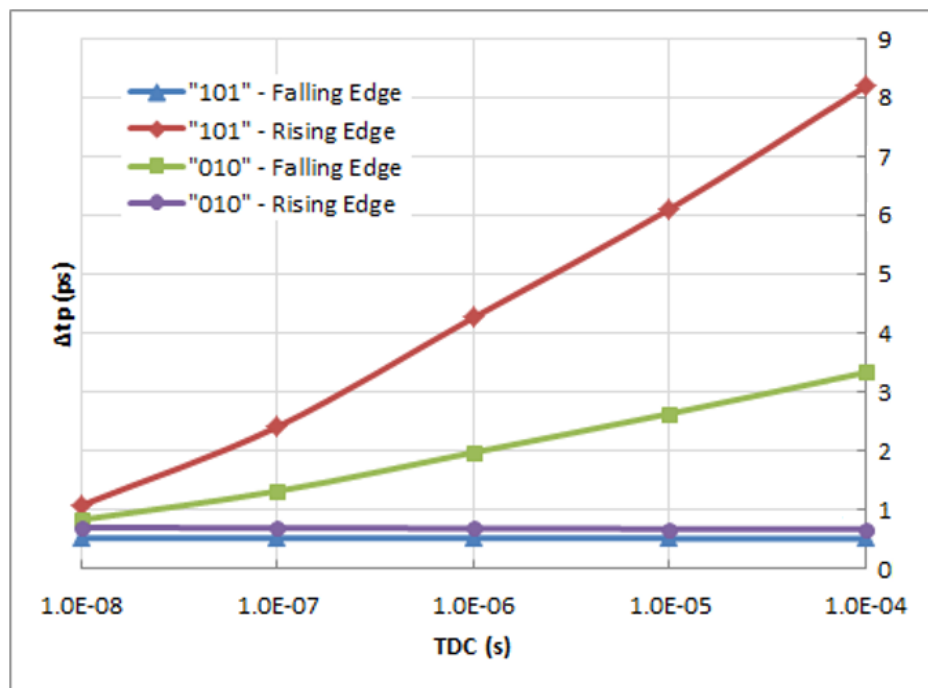


**Figura 29 - Simulação da variação do atraso ( $\Delta t_p$ ) de uma porta NAND em decorrência da ação de BTI em função de  $V_{DD}$  e do tempo de estresse DC (TDC). O atraso de propagação é tido como a média dos atrasos de subida e descida. As duas entradas da porta NAND foram conectadas juntamente, inserindo-se um pulso de 4ns de largura após um período de estresse DC de duração variável.**

A Figura 29 mostra que o aumento do tempo de estresse DC leva a maior variação no tempo de atraso da porta NAND. A duração do período de estresse DC define a magnitude da degradação por BTI – maiores tempos de estresse levam a maior deterioração da tensão de

limiar, que implica em aumento do atraso da porta lógica. Alternativamente, transistores estressados por menor intervalo de tempo sofrem menos efeitos de BTI, de modo que a variação do atraso diminui. Para  $TDC=0.01\mu s$ , os transistores são estressados apenas brevemente, de modo que a degradação da tensão de limiar é pequena e o atraso não é fortemente afetado. Para  $TDC=100\mu s$ , em contrapartida, os transistores são estressados por um longo período, de modo que o desvio na tensão de limiar é significativo e o atraso é variado substancialmente. A Figura 29 também evidencia que a redução de  $V_{DD}$  leva a um aumento da variação no atraso, de modo que a porta lógica NAND é mais susceptível a variações no atraso de propagação para baixas tensões de alimentação. Sabe-se, da Seção 7.1, que, embora a degradação da tensão de limiar por BTI diminua com a tensão de alimentação, o impacto de  $\Delta V_{TH}$  no atraso de portas lógicas é mais significativo para  $V_{DD}$  baixo, o que é corroborado pela Figura 29.

A segunda simulação tem como objetivo verificar a dependência do atraso de propagação com as bordas de subida e descida de pulsos de saída “101” e “010”, para diferentes tempos de estresse DC e tensão de alimentação nominal de 1,2V. Os resultados são apresentados na Figura 30.

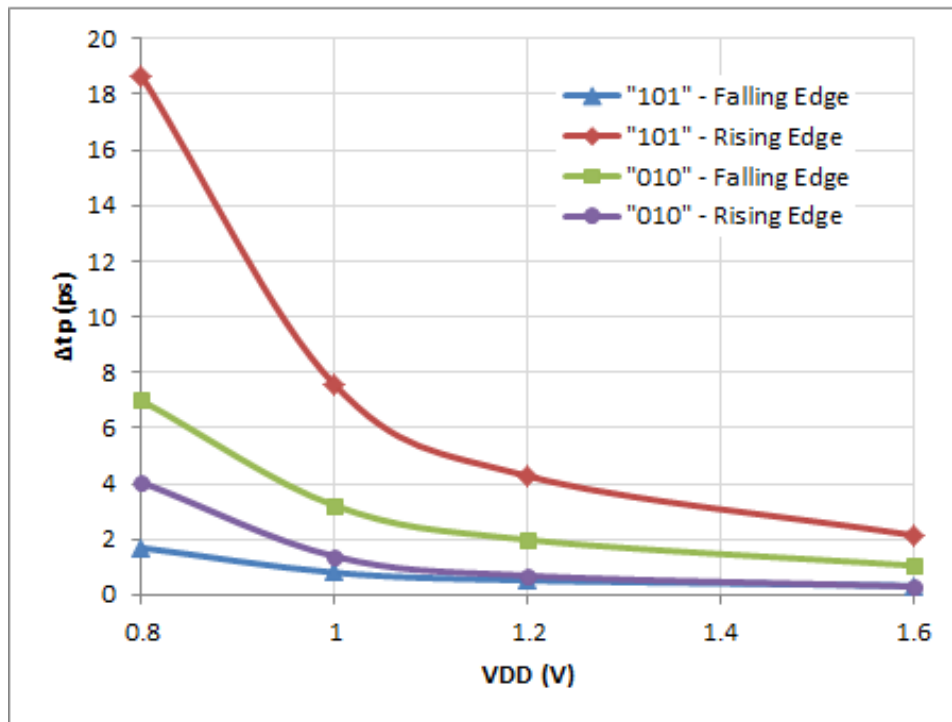


**Figura 30 - Resultados de simulação para a dependência do atraso de propagação com as bordas de transição de subida e descida de pulsos de saída “101” e “010”, para diferentes tempos de estresse DC e  $V_{DD}=1,2V$ .**

A Figura 30 mostra que a variação do atraso não se dá da mesma forma para ondas de saída “101” e “010” e que, além disso, ela tem valores distintos também para as bordas de subida e descida de um mesmo pulso. A fim de se compreender tais fenômenos, é necessário analisar como se dá cada uma dessas transições. Para a situação em que se tem pulso de saída “101”, os transistores NMOS estavam relaxados durante o período de estresse DC, enquanto os transistores PMOS estavam estressados, tendo suas tensões de limiar degradadas. Quando o pulso atinge a porta lógica, os transistores NMOS relaxados atuam na primeira transição (“1-0”, descida), e os transistores PMOS estressados definem a segunda transição (“0-1”, subida). A segunda transição tem, conseqüentemente, atraso maior do que a primeira, uma vez que os transistores PMOS têm suas tensões de limiar degradadas pela ação de BTI. Para o pulso de saída “010”, a situação é oposta; os transistores NMOS estão estressados durante o período de estresse DC, e os transistores PMOS estão relaxados. Quando o pulso atinge a porta lógica, a primeira borda de transição (“0-1”, subida) é agora definida pelos transistores relaxados PMOS, e a segunda borda de transição (“1-0”, descida) é determinada pelos transistores NMOS estressados. Novamente, a segunda borda de transição, definida pelos transistores estressados, tem atraso maior que a primeira, o que explica o fato de que os valores de variação de atraso de subida e descida são diferentes para um mesmo pulso. A diferença entre os atrasos de subida dos pulsos “101” e “010” se dá pelo fato de que, conforme explicado, os transistores que atuam na transição (PMOS) estão, respectivamente, estressados e relaxados, e a diferença entre os atrasos de descida dos pulsos “101” e “010” se deve ao fato de que os transistores que definem essa transição (NMOS) estão, respectivamente, relaxados e estressados.

Analisando-se a Figura 30, percebe-se, ainda, que o atraso das bordas de subida do pulso “101” e de descida do pulso “010”, definidas pelos transistores estressados, são afetadas pela variação de TDC de maneira aproximadamente linear – quanto maior o tempo de estresse, maior a variação no atraso. As demais bordas de transição (descida para pulso “101” e subida para “010”) não sofrem alteração alguma pela variação de TDC, pois elas são determinadas pelos transistores relaxados, que não sofrem degradação por BTI e, portanto, não têm vínculo com o tempo de estresse DC. A última informação relevante que pode ser extraída da Figura 30 é que a degradação por NBTI é mais intensa do que por PBTI, uma vez que o maior valor de atraso é obtido para o caso em que os transistores PMOS estavam estressados, seguido pelo caso em que os transistores NMOS estavam estressados e, então, acompanhadas pelos casos em que não há degradação por BTI, em que os transistores PMOS e NMOS estavam relaxados.

A última simulação realizada visa a verificar a variação do atraso de propagação em função da tensão de alimentação, comparando as bordas de subida e descida dos pulsos “101” e “010”, conforme apresentado na Figura 31.



**Figura 31 - Resultados de simulação para a variação do atraso de propagação em função de  $V_{DD}$ , para as bordas de subida e descida dos pulsos “101” e “010”.**

A Figura 31 mostra a dependência não linear da variação do atraso de propagação com a tensão de alimentação, explicitando o aumento do impacto de BTI no atraso de portas lógicas para baixo  $V_{DD}$ . Percebe-se, também, que, assim como na Figura 30, a variação do atraso é maior para a borda de subida do pulso “101” (transistores PMOS estressados), seguido da borda de descida do pulso “010” (transistores NMOS estressados) e, por fim, das bordas de subida do pulso “010” e de descida do pulso “101” (transistores PMOS e NMOS relaxados, respectivamente).



## 8 CONCLUSÃO

O fenômeno de *bias temperature instability* foi modelado e simulado em uma ferramenta comercial SPICE, a fim de se averiguar seu impacto no atraso de portas lógicas e no alargamento de pulsos induzido pela propagação (PIPB) de SETs. Por ser determinística, a modelagem matemática para BTI apresentada neste trabalho propicia ao projetista de CIs ferramental adequado para prever os efeitos do envelhecimento causado por BTI no desempenho de circuitos de diversos níveis de complexidade, o que é de suma importância para prever corretamente o seu comportamento ao longo do tempo. Os simuladores estocásticos tradicionais para *bias temperature instability* têm vultoso custo computacional, sendo, muitas vezes, impróprios para simulações de circuitos complexos; o simulador determinístico desenvolvido apresenta-se como uma alternativa viável para simulação de circuitos com elevado número de transistores, representando um grande avanço em relação aos simuladores estocásticos tradicionais.

Sabe-se que, conforme abordado na Seção 6.2, o fenômeno de BTI leva ao alargamento de pulso durante sua propagação em uma cadeia de inversores; a segunda borda de transição do pulso é definida sempre por um transistor estressado, tendo, portanto, maior atraso do que a primeira borda de transição, que é definida por um transistor relaxado, resultando em um aumento da largura do pulso. Utilizando o simulador determinístico, o alargamento de pulso induzido por BTI em cadeias de inversores lógicos MOS foi mensurado para tecnologia PTM *bulk* de 90nm. Para tal, depois de um longo período de aplicação de tensão constante, injetou-se um pulso de dupla exponencial na entrada da cadeia, modelando a ocorrência de um SET, e estudou-se sua propagação ao longo do circuito.

Primeiramente, realizaram-se simulações a fim de se medir a largura do pulso durante a propagação através de 10000 inversores, para tensão de alimentação nominal de 1,2V. Verificou-se que o pulso se alarga durante a propagação; tendo originalmente aproximadamente 4ns de largura, ele atinge 4,21ns ao se propagar por 1000 inversores, 8,40ns ao fim de 5000 estágios e 14,38ns ao final da cadeia de 10000 inversores. Averigua-se, assim, que a largura do pulso aumenta com o número de estágios entre entrada e saída. O tempo pelo qual os transistores estão expostos a estresse estático varia de 100ns, para o primeiro inversor da cadeia, a 311ns, para o 10000º inversor; o aumento no tempo de estresse acarreta uma intensificação do fenômeno de BTI, de modo que a tensão de limiar se degrada em maior grau, levando a um alargamento de pulso mais pronunciado com o aumento de inversores entre entrada e saída. Verificou-se, também, que, para o mesmo número de estágios entre

entrada e saída, a redução da tensão de alimentação impacta em maior alargamento de pulso. Para  $V_{DD}=1,6V$ , a largura do pulso na saída do 10000º inversor é de 10,08ns, e, para  $V_{DD}=0,8V$ , esse valor atinge 48,25ns, o que explicita o aumento do impacto da degradação por BTI com a redução da tensão de alimentação.

Ao se verificar a influência da frequência do pulso no seu alargamento, averiguou-se que a redução da frequência acarreta um aumento na largura do pulso ao final de uma cadeia de 1000 inversores. Para frequências elevadas, acima de 25MHz, o efeito de alargamento se torna negligenciável, uma vez que os transistores são apenas brevemente estressados durante dois pulsos adjacentes e, portanto, a diferença de degradação por BTI entre transistores é insignificante. Sinais de entrada de baixa frequência, ao contrário, levam a longos períodos de estresse DC e, por conseguinte, considerável degradação da tensão de limiar por BTI e consequente alargamento de pulso. Para frequência de 1MHz, o pulso de 4ns injetado na entrada teve largura de 5,47ns após a propagação e, para 1Hz, atingiu 6,92ns, o que evidencia o alargamento.

A variação no atraso de propagação de um inversor em decorrência da aplicação de um desvio fixo na tensão de limiar dos transistores foi simulada, para diferentes valores de tensão de alimentação. Verificou-se que existe uma relação não linear entre as duas grandezas, e que a redução da tensão de alimentação leva a um aumento substancial da variação do atraso. Evidencia-se, assim, que, embora a degradação por BTI se reduza com a tensão de alimentação, o impacto de uma variação na tensão de limiar se torna maior com a redução de  $V_{DD}$ .

Utilizando o simulador determinístico, averiguou-se, além disso, o impacto de BTI no atraso de uma porta NAND, também para tecnologia PTM *bulk* de 90nm. As duas entradas da porta lógica foram mantidas conectadas a um nível de tensão constante por longo período de tempo e, na sequência, foi aplicado um pulso. Verificou-se que, comparando-se com o caso em que não se considera a degradação por BTI, a inserção da modelagem desse fenômeno acarreta um aumento do atraso da porta lógica. A variação do atraso entre os casos com e sem BTI aumenta com a redução da tensão de alimentação; para a situação em que os transistores foram estressados por 10 $\mu$ s, por exemplo, a variação do atraso médio para  $V_{DD}=1,6V$  e  $V_{DD}=0,8V$  é de, respectivamente, 1,27ps e de 10,40ps. A variação do atraso também aumenta com o tempo de estresse DC durante o qual a tensão de limiar dos transistores é degradada pela ação de BTI. Para tensão de alimentação nominal de 1,2V, a variação do atraso passa de 0,79ps, com TDC=0,01 $\mu$ s, para 3,19ps, com TDC=100 $\mu$ s.

Comparou-se, também, a variação no atraso de propagação de uma porta NAND para as bordas de subida e descida de pulsos de saída “101” e “010”. Constatou-se que a situação em que há maior variação no atraso de propagação é aquela em que os transistores PMOS estavam estressados durante o longo período de estresse DC, seguida daquela em que os transistores NMOS estavam estressados durante o período anterior à aplicação do pulso e, por fim, acompanhadas das situações em que os transistores PMOS e NMOS estavam relaxados durante o período de estresse DC. Tais afirmações podem ser prontamente compreendidas, uma vez que transistores estressados têm suas tensões de limiar degradadas, acarretando maior atraso de propagação, e, também, devido ao fato de que a degradação por NBTI é mais intensa do que aquela resultante de PBTI.

## REFERÊNCIAS

AMAT, E. et al. Channel Hot-Carrier degradation in short channel devices with high-k/metal gate stacks. In: SPANISH CONFERENCE ON ELECTRON DEVICES, 7., 2009, Santiago de Compostela. **Proceedings...** Santiago de Compostela: IEEE, 2009. p. 238-241.

AMOROSO, S. M. et al. RTN and BTI in nanoscale MOSFETs: a comprehensive statistical simulation study. **Solid-State Electronics**, Amsterdam, v. 84, p. 120-126, June 2013.

ANG, D. S. Understanding negative-bias temperature instability from dynamic stress experiments. In: GRASSER, Tibor. **Bias temperature instability for devices and circuits**. New York: Springer, 2014. chap. 11, p. 53-74.

ASENOV, A. et al. Advanced simulation of statistical variability and reliability in nano CMOS transistors. In: INTERNATIONAL ELECTRON DEVICES MEETING, 53., 2008, San Francisco. **Proceedings...** San Francisco: IEEE, 2008. p.1-6.

ASENOV, A. et al. Hierarchical approach to atomistic 3-D MOSFET simulation. **IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems**, New York, v. 18, n. 11, p. 1558-1565, Nov. 1999.

ASENOV, A. et al. RTS amplitudes in decananometer MOSFETs: 3-D simulation study. **IEEE Transactions on Electron Devices**, New York, v. 50, n. 3, p. 839-845, Mar. 2003.

BAI, Y. et al. Optimally fortifying logic reliability through criticality ranking. **Electronics**, Basel, v. 4, n. 1, p. 150-172, Feb. 2015.

BOTH, T. H.; FURTADO, G. F.; WIRTH, G. I. A compact model for BTI simulation under cyclo-stationary conditions. In: SBMicro, 2017, Fortaleza. No prelo.

CALVIN, T. et al. A low-cost highly reliable SEU-tolerant SRAM: prototype and test results. **IEEE Transactions on Nuclear Science**, New York, v.42, n.6, p.1592-1598, Dec. 1995.

CAMPBELL, J. P.; LENAHAN, P. M. Atomic-scale defects associated with the negative bias temperature instability. In: GRASSER, Tibor. **Bias temperature instability for devices and circuits**. New York: Springer, 2014. chap.8, p. 53-74.

CASTELLANI-COULIÉ, K. et al. Various SEU conditions in SRAM studied by 3-D device simulation. **IEEE Transactions on Nuclear Science**, New York, v. 48, n. 6, p 1931-1936, Dec. 2001.

CHAN, C. T. et al. Investigation of post-NBTI stress recovery in pMOSFETs by direct measurement of single oxide charge de-trapping. In: SYMPOSIUM ON VLSI TECHNOLOGY, 35., 2005, Kyoto. **Digest of Technical Papers...** Kyoto: IEEE, 2005. p. 90-91.

CHAN, C. T. et al. Single-electron emission of traps in HfSiON as high-k gate dielectric for MOSFETs. In: IEEE INTERNATIONAL RELIABILITY PHYSICS SYMPOSIUM, 43., 2005, San Jose. **Proceedings...** San Jose: IEEE, 2005. p. 41-44.

CHI, Y. et al. Characterization of single-event transient pulse broadening effect in 65nm bulk inverter chains using heavy ion microbeam. **IEEE Transactions on Nuclear Science**, New York, v. 64, n. 1, p. 119-124, Jan. 2017.

CIU, J. P. et al. Statistical characterization and modeling of the temporal evolutions of deltavt distribution in NBTI recovery in nanometer MOSFETs. **IEEE Transactions on Electron Devices**, New York, v. 60, n. 3, p. 978-984, Mar. 2013.

DEGRAEVE, G. et al. A consistent model for the thickness dependence of intrinsic breakdown in ultra-thin oxides. In: INTERNATIONAL ELECTRON DEVICES MEETING, 40., 1995, Washington. **Proceedings...** Washington: IEEE, 1995. p. 863-866.

DIEHL, S. E. et al. Considerations for single event immune VLSI logic. **IEEE Transactions on Nuclear Science**, New York, v. 30, n. 6, p. 4501-4507, Dec. 1983.

DIEHL, S. E. Single event upset rate predictions for complex logic systems. **IEEE Transactions on Nuclear Science**, New York, v. 31, n. 6, p. 1132-1138, Dec. 1984.

DODD, P. E. et al. Production and propagation of single-event transients in high-speed digital logic ICs. **IEEE Transactions on Nuclear Science**, New York, v. 51, n. 6, p. 3278-3284, Dec. 2004.

FANG, J.; SAPATNEKAR, S. S. The impact of BTI variations on timing in digital logic circuits. **IEEE Transactions on Device and Materials Reliability**, New York, v. 13, n. 1, p. 277-286, Mar. 2013.

FERLET-CAVROIS, V. et al. Investigation of the propagation induced pulse broadening (PIPB) effect on single event transients in SOI and bulk inverter chains. **IEEE Transactions on Nuclear Science**, New York, v. 55, n. 6, p. 2842-2853, Dec. 2008.

FERLET-CAVROIS, V.; MASSENGILL, L. W.; GOUKER, P. Single event transients in digital CMOS - a review. **IEEE Transactions on Nuclear Science**, New York, v. 60, n. 3, p. 1767-1790, June 2013.

FERLET-CAVROIS, V. et al. New insights into single event transient propagation in chains of inverters - evidence for propagation-induced pulse broadening. **IEEE Transactions on Nuclear Science**, New York, v. 54, n. 6, p. 2338-2346, Dec. 2007.

FRIEDMAN, A. L. et al. Single event upset in combinatorial and sequential current mode logic. **IEEE Transactions on Nuclear Science**, New York, v. 32, n. 6, p. 4216-4218, Dec. 1985.

FURTADO, G. F.; BOTH, T. H.; WIRTH, G. I.; Deterministic methodology to evaluate BTI impact on logic gates propagation delay. In: SBMicro, 2017a, Fortaleza. No prelo.

FURTADO, G. F. et al. Deterministic methodology for electrical simulation of BTI induced pulse broadening. **IEEE Transactions on Device and Materials Reliability**. No prelo.

GERRER, L. et al. Modelling RTN and BTI in nanoscale MOSFETs from device to circuit: a review. **Microelectronics Reliability**, Amsterdam, v. 54, p. 682-697, Apr. 2014.

GHETTI, A. et al. Comprehensive analysis of random telegraph noise instability and its scaling in deca-nanometer flash memories. **IEEE Transactions on Electron Devices**, New York, v. 56, n. 8, p. 1746-1752, Aug. 2009.

GRASSER, T. et al. The paradigm shift in understanding the bias temperature instability: from reaction-diffusion to switching oxide traps. **IEEE Transactions on Electron Devices**, New York, v. 58, n. 11, p. 3652-3666, Nov. 2011.

GRASSER, T. et al. The time dependent defect spectroscopy (TDDS) for the characterization of the bias temperature instability. In: IEEE INTERNATIONAL RELIABILITY PHYSICS SYMPOSIUM, 48., 2010, Anaheim. **Proceedings...** Anaheim: IEEE, 2010. p. 16-25.

GUAN, Z.; MAREK-SADOWSKA, M.; NASSIF, S. SRAM bit-line electromigration mechanism and its prevention scheme. In: INTERNATIONAL SYMPOSIUM ON QUALITY ELECTRONIC DESIGN, 14., 2013, Santa Clara. **Proceedings...** Santa Clara: IEEE, 2013. p. 286-293.

HASTINGS, A. **The art of analog layout**. 2nd ed. London: Pearson, 2005.

HOFMANN, K. R. et al. Hot-electron and hole-emission effects in short n-channel MOSFETs. **IEEE Transactions on Electron Devices**, New York, v. 32, p. 691-699, Mar. 1985.

HUARD, V. et al. NBTI degradation: from transistor to SRAM arrays. In: IEEE INTERNATIONAL RELIABILITY PHYSICS SYMPOSIUM, 46., 2008, Phoenix. **Proceedings...** Phoenix: IEEE, 2008. p. 289-300.

JELODAR, M. S. et al. Tunneling: the major issue in ultra-scaled MOSFETs. In: IEEE INTERNATIONAL CONFERENCE ON NANOTECHNOLOGY, 15., 2015, Rome. **Proceedings...** Rome: IEEE, 2015. p. 670-673.

JIANG, L. **Hot carrier effect on LDMOS transistors**. 2007. 126 f. Tese (Doctor of Philosophy) - School of Electrical Engineering and Computer Science, University of Central Florida, Orlando, 2007.

KACZER, B. et al. Atomistic approach to variability of bias-temperature instability in circuit simulations. In: IEEE INTERNATIONAL RELIABILITY PHYSICS SYMPOSIUM, 39., 2001, Monterey. **Proceedings...** Monterey: IEEE, 2001. p.XT.3.1-XT.3.5.

KACZER, B. et al. Statistical distribution of defect parameters. In: GRASSER, Tibor. **Bias temperature instability for devices and circuits**. New York: Springer, 2014. chap. 6, p. 161-176.

KACZER, B. et al. Statistics of multiple trapped charges in the gate oxide of deeply scaled MOSFET devices - application to NBTI. **IEEE Electron Device Letters**, New York, v. 31, n. 5, p. 411-413, May 2010.

KACZER, B. et al. The relevance of deeply-scaled fet threshold voltage shifts for operation lifetimes. In: IEEE INTERNATIONAL RELIABILITY PHYSICS SYMPOSIUM, 50., 2012, Anaheim. **Proceedings...**, Anaheim: IEEE, 2012. p. 5A.2.1-5A.2.6.

KANG, K. et al. Estimation of statistical variation in temporal NBTI degradation and its impact on lifetime circuit performance. In: IEEE/ACM INTERNATIONAL CONFERENCE ON COMPUTER-AIDED DESIGN, 25., 2007, San Jose, **Proceedings...**, San Jose: IEEE, 2007, p. 730-734.

KEITHLEY. Monitoring Channel Hot Carrier (CHC) degradation of MOSFET devices using Keithley Model 4200-SCS. [S.l.: s.n. 2004]. p. 1-4. (Application Note Series, 2535).

KIM, Y. B. Challenges for nanoscale MOSFETs and emerging nanoelectronics. **Transactions on Electrical and Electronic Materials**, Seoul, v. 11, n. 3, p. 93-105, June 2010.

KIMIZUKA, N. et al. NBTI enhancement by nitrogen incorporation into ultrathin gate oxide for 0.10-pm gate CMOS generation. In: SYMPOSIUM ON VLSI TECHNOLOGY, 19., 2000, Honolulu. **Proceedings...** Honolulu: IEEE, 2000, p.92.

KIRTON, M. J.; UREN, M. J. Noise in solid-state microstructures: a new perspective on individual defects, interface states and low-frequency (1/f) noise. **Advances in Physics**, Oxford, v. 38, n. 4, p. 367-468, 1989.

KRISHNAN, A. T. et al. Material dependence of hydrogen diffusion: implication for NBTI degradation. In: IEEE INTERNATIONAL ELECTRON DEVICES MEETING, 51., 2005, Washington. **Technical Digest....** Washington: IEEE, 2005. p. 691.

KUHN, K. J. et al. Process technology variation. **IEEE Transactions on Electron Devices**, New York, v. 58, n. 8, p. 2197-2208, Aug. 2011.

KYUNG-HOAE, K. **Comparison study of future on-chip interconnects for high performance VLSI applications**. 2011. 135 f. Tese (Doutorado em Engenharia Elétrica) - Departamento de Engenharia Elétrica, Universidade de Stanford, Stanford, 2011.

LEUNG, G.; CHUI, C. O. Interactions between line edge roughness and random dopant fluctuation in nonplanar field-effect transistor variability. **IEEE Transactions on Electron Devices**, New York, v. 60, n. 10, p. 3277-3284, Oct. 2013.

LI, E. et al. Hot carrier effects in nMOSFETs in 0.1 um CMOS technology. In: IEEE INTERNATIONAL RELIABILITY PHYSICS SYMPOSIUM, 37., 1999, San Diego. **Proceedings...** San Diego: IEEE, 1999. p. 253-258.

LI, Y. F. et al. Characterizing, modeling, and simulating soft error susceptibility in cell-based designs in highly scaled technologies. In: EUROPEAN CONFERENCE ON RADIATION AND ITS EFFECTS ON COMPONENTS AND SYSTEMS, 12., 2011, Sevilla. **Proceedings...** Sevilla: IEEE, 2011. p. 353-358.

MAHAPATRA, S. **Fundamentals of bias temperature instability in MOS transistors**. 1st ed. New York: Springer, 2016.

MARICAR, E.; GIELEN, G. **Analog IC reliability in nanometer CMOS**. 1st ed. New York: Springer, 2013.

MARKOV, I. L. Limits of fundamental limits to computation. **Nature**, London, v. 512, n. 7513, p. 147-154, Aug. 2014.

MCFARLAND, G.; FLYNN, M. **Limits of scaling MOSFETs**. California: Stanford, 1995. 32f. Technical Report CSL-TR-95-662.

PALAU, J. et al. Device simulation study of the SEU sensitivity of SRAMs to ion tracks generated by nuclear reactions. **IEEE Transactions on Nuclear Science**, New York, v. 48, n.2, p. 225-231, Apr. 2001.

PALAU, J. et al Contribution of device simulation to SER understanding. In: IEEE INTERNATIONAL RELIABILITY PHYSICS SYMPOSIUM, 41., 2003, Dallas. **Proceedings...** Dallas: IEEE, 2003. p. 71-75.

PELGROM, M. J. M.; DUINMAIJER, A. C. J.; WELBERS, P. G. Matching properties of MOS transistors. **IEEE Journal of Solid-State Circuits**, New York, v. 24, n. 5, p. 1433-1439, Oct. 1989.

PREDICTIVE technology model. Disponível em: <<http://ptm.asu.edu>>. Acesso em: 09 maio 2017.

RAUCH, S. E. Review and reexamination of reliability effects related to NBTI-induced statistical variations. **IEEE Transactions on Device and Materials Reliability**, New York, v. 7, n. 4, p. 524-530, Dec. 2007.

REIS, R.; CAO, Y.; WIRTH, G. **Circuit Design for Reliability**, 1st ed. New York: Springer, 2015.



REISINGER, H. et al. Analysis of NBTI degradation- and recovery-behavior based on ultra fast VT-measurements. In: IEEE INTERNATIONAL RELIABILITY PHYSICS SYMPOSIUM, 44., 2006, San Jose. **Proceedings...** San Jose: IEEE, 2006. pp. 448-453.

REISINGER, H. et al. The effect of recovery on NBTI characterization of thick non-nitrided oxides. In: IEEE INTERNATIONAL INTEGRATED RELIABILITY WORKSHOP, 14., 2008, S. Lake Tahoe. **Proceedings...** S. Lake Tahoe: IEEE, 2008. p.1.

SHAYGAN, M. **Why nanoelectronics is better than microelectronics?** Disponível em: <<http://www.spinograph.org/blog/why-nanoelectronics-better-microelectronics>>. Acesso em: 09 maio 2017.

STERPONE, L. et al. An analytical model of the propagation induced pulse broadening (PIPB) effects on single event transient in flash-based FPGAs. **IEEE Transactions on Nuclear Science**, New York, v.58, n. 5, p. 2333-2340, Oct. 2011.

TAKEUCHI, K. et al. Single-charge-based modeling of transistor characteristics fluctuations based on statistical measurement of RTN amplitude. In: SYMPOSIUM ON VLSI TECHNOLOGY, 28., 2009, Honolulu. **Proceedings...** Honolulu: IEEE, 2009. p. 54-55.

VAN DER WEL, A. et al. Low-frequency noise phenomena in switched MOSFETs. **IEEE Journal of Solid-State Circuits**, New York, v. 42, n. 3, p. 540-550, Mar. 2007.

VELAMALA, J. B. et al. Compact modeling of statistical BTI under trapping/detrapping. **IEEE Transactions on Electron Devices**, New York, v.60, n. 11, p. 3645-3654, Nov. 2013.

WANG, T.; CHIU, JP.; LIU, YH. Statistical characterization of BTI-induced high-k dielectric traps in nanoscale transistors. In: GRASSER, T. **Bias temperature instability for devices and circuits**. New York: Springer, 2014. p. 53-74.

WANG, T. et al. Asymmetric gate-induced drain leakage and body leakage in vertical MOSFETs with reduced parasitic capacitance. **IEEE Transactions on Electron Devices**, New York, v. 53, n. 5, p. 1080-1087, May 2006.

WANG, W. et al. The impact of NBTI effects on combinational circuit: modeling, simulation and analysis. **IEEE Transaction on VLSI Systems**, New York, v. 18, n. 2, p. 173-183, Feb. 2010.

WIRTH, G. I.; DA SILVA, R.; BREDERLOW, R. Statistical model for the circuit bandwidth dependence of low-frequency noise in deep-submicrometer MOSFETs. **IEEE Transactions on Electron Devices**, New York, v.54, n. 2, 2007.

WIRTH, G. I. et al. Modeling the sensitivity of CMOS circuits to radiation induced single event transients. **Microelectronics Reliability**, Amsterdam, v. 48, n. 1, p. 29-36, Jan. 2008.

WIRTH, G. I.; DA SILVA, R.; KACZER, B. Statistical model for MOSFET bias temperature instability component due to charge trapping. **IEEE Transactions on Electron Devices**, New York, v. 58, n. 8, p. 2743-2751, Aug. 2011.

WIRTH, G.; VIEIRA, M. Automated analysis of propagation induced pulse broadening of single event transients. In: SBMICRO, 29., 2016, Belo Horizonte. **Proceedings...** Belo Horizonte: IEEE, 2016. p.1-4.

WOLF, S. The submicron MOSFET. In: GRASSER, T. **Silicon processing for the VLSI era**. Sunset Beach: Lattice, 1995. V. 3.

WU, W. et al. Electromigration performance for Al/SiO<sub>2</sub>, Cu/SiO<sub>2</sub> and Cu/low-K interconnect systems including joule heating effect. In: IEEE INTERNATIONAL INTEGRATED RELIABILITY WORKSHOP FINAL REPORT, 6., 2000, Lake Tahoe. **Proceedings...** Lake Tahoe: IEEE, 2000. p. 165-166.

YUANFU, Z. et al. Single event soft error in advanced integrated circuit. **Journal of Semiconductors**, Bristol, v. 36, n. 11, Nov. 2015.

ZAFAR, S. et al. Threshold voltage instability in high-k gate dielectric stacks. **IEEE Trans. Device and Materials Reliability**, New York, v. 5, n. 1, p. 45-64, Mar. 2004.

ZAFAR, S. et al. A comparative study of NBTI and PBTI (charge trapping) in SiO<sub>2</sub>/HfO<sub>2</sub> stacks with FUSI, TiN, Re gates. In: IEEE SYMPOSIUM ON VLSI TECHNOLOGY, 25., 2006, Honolulu. **Proceedings...** Honolulu: IEEE, 2006. p. 23-25.