

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL
INSTITUTO DE INFORMÁTICA
PROGRAMA DE PÓS-GRADUAÇÃO EM MICROELETRÔNICA

MICHELE GUSSON VIEIRA DA SILVA

**Análise automatizada dos Efeitos do alargamento de pulso induzido em
Single Event Transients.**

Dissertação apresentada como requisito parcial para a
obtenção do grau de Mestre em Microeletrônica.

Prof. Dr. Gilson Inácio Wirth
Orientador

Porto Alegre
2017

CIP – CATALOGAÇÃO NA PUBLICAÇÃO

Vieira, Michele Gusson

Análise automatizada dos Efeitos do alargamento de pulso induzido em Single Event Transients / Michele Gusson Vieira. – 2017.

93 f.:il.

Orientador: Prof. Dr. Gilson Inácio Wirth

Dissertação (Mestrado) – Universidade Federal do Rio Grande do Sul. Programa de Pós-Graduação em Microeletrônica. Porto Alegre, BR – RS, 2017.

1.CMOS. 2.Radiação Ionizante 3.PIPB I. Wirth, Gilson Inácio. II. Título.

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL

Reitor: Prof. Carlos Alexandre Netto

Vice-Reitor: Prof. Rui Vicente Oppermann

Pró-Reitor de Pós-Graduação: Prof. Vladimir Pinheiro do Nascimento

Diretor do Instituto de Informática: Prof.^a Carla Maria Dal Sasso Freitas

Coordenador do PGMICRO: Prof. Gilson Inácio Wirth

Bibliotecária-Chefe do Instituto de Informática: Beatriz Regina Bastos Haro

AGRADECIMENTOS

Dedico este trabalho à minha família, meus pais Gilmar e Neusa, meu marido Gustavo e filha Ingrid pelo apoio e carinho oferecidos durante toda esta jornada. Aos meus avós Irene e Orosino pela inspiração de vida, amizade e amor incondicional sem os quais não teria forças para mais essa etapa da vida.

Agradeço aos apoiadores e amigos do Laboratório de Prototipação e Testes (LAPROT) da Universidade Federal do Rio Grande do Sul, Alan Rosetto e Thiago Hanna, pelo auxílio no desenvolvimento do mestrado e troca de conhecimentos com os quais evolui no estudo deste projeto.

Não poderia deixar de agradecer ao Prof. Dr. Gilson Inácio Wirth, pela oportunidade e confiança ao longo dos últimos anos. Agradeço a dedicação e tão relevantes conhecimentos que me orientaram durante todo stricto senso de maneira eficaz e entusiasmante.

RESUMO

Aplicações em ambientes expostos a elevados níveis de radiação ionizante impõem uma série de desafios ao desenvolvimento de projetos de circuitos integrados na tecnologia *Complementary Metal–Oxide–Semiconductor* (CMOS), uma vez que circuitos CMOS estão sujeitos às falhas transientes oriundas de radiação externa. Num circuito do tipo CMOS, as áreas sensíveis aos efeitos da incidência de partículas ionizantes são as regiões dreno-substrato reversamente polarizadas, existentes nos transistores em regime de corte (VARGAS; NICOLAIDIS, 1994). Com o avanço tecnológico e consequente diminuição das dimensões dos dispositivos semicondutores, estes efeitos degradantes tornam-se uma preocupação constante devido às menores características físicas dos transistores (WANG *et al.*, 2007).

Os circuitos integrados apresentam, durante a sua vida útil, um processo de degradação das suas características iniciais. Assim, a esse processo de degradação também chamamos de envelhecimento (*aging*). É um processo lento e cumulativo provocado por todos os mecanismos que acabam por alterar os parâmetros físicos e elétricos dos circuitos, diminuindo o seu tempo de vida útil (FU; LI; FORTES, 2008). Dentre os efeitos de variabilidade temporal, os que mais têm causado interesse da comunidade científica são o *Random Telegraph Noise* (RTN) com sua origem na atividade de *traps* (armadilhas) de interface e *Single Event Transients* (SET) com sua origem na radiação ionizante ao qual o circuito é exposto. Em relação aos efeitos de degradação destaca-se o efeito *Bias Temperature Instability* (BTI) (VALDUGA, 2012), que da mesma forma que o RTS, tem sua origem vinculada aos efeitos das *traps*.

Modelos padrão para simulação elétrica de circuitos não levam em consideração os efeitos causados por armadilhas de cargas tais como *Bias Temperature Instability* (BTI) e *Random Telegraph Noise* (RTN). Tais variabilidades em nível de dispositivo podem causar perda de confiabilidade, como por exemplo, o surgimento de *Propagation-Induced Pulse Broadening* (PIPB). Conforme o escalonamento (*scaling*) tecnológico, a velocidade das portas lógicas aumenta e os SETs podem ser propagados através de circuito combinacional e, inclusive, sofrer alargamento, caso a largura do pulso transiente supere um valor mínimo crítico que depende da tecnologia (DODD *et al.*, 2004), caracterizando assim um PIPB.

Com base nisso, técnicas de injeção de falhas usadas em circuitos complexos não se mostram eficientemente previsíveis, levando a uma subestimativa da sensibilidade de circuitos à propagação de SETs. Com a utilização de um simulador elétrico que agrega a análise de BTI, temos melhores estimativas dos efeitos de PIPB na degradação de um circuito, que pode provocar violações de temporização em sistemas síncronos. Dessa forma, pode-se então

trabalhar em uma projeção do circuito de forma a torná-lo mais robusto em relação aos efeitos de envelhecimento e na proteção às falhas transientes.

Com base no que foi anteriormente apresentado, este trabalho analisa o comportamento de circuitos através de simulações elétricas de radiação ionizante, permitindo avaliações da suscetibilidade e confiabilidade de circuitos integrados aos efeitos de falhas transientes. Para a realização destes experimentos, foram realizadas simulações elétricas considerando-se os efeitos de envelhecimento. Para uma cadeia lógica de 2000 inversores sequencialmente dispostos na tecnologia 32nm pode-se prever que o pulso transiente está sujeito a um alargamento de sete vezes sua largura inicial no momento da incidência, para transistores em suas dimensões mínimas. A partir da proposta apresentada, pode-se determinar a possibilidade de alargamento ou atenuação de um SET ao longo do circuito de maneira eficiente para que as devidas precauções possam ser tomadas.

Palavras-chave: CMOS, Bias Temperature Instability, Propagation Induced Pulse Broadening, Single Event Transiente.

ABSTRACT

Applications in environments exposed to high levels of ionizing radiation impose a number of challenges for the development of integrated circuit designs in CMOS technology. CMOS circuits are vulnerable to transient faults from external radiation. In a CMOS circuit, areas sensitive to the effects of ionizing particle incidence are as reverse polarized drain-substrate regions in the transistors at cut-off (VARGAS; NICOLAIDIS, 1994). The technological advance and consequent downscaling of semiconductor devices, these degrading factors become a constant concern due to the higher vulnerability to transient faults (WANG *et al.*, 2007).

The integrated circuits have during their useful life a process of degradation of their initial characteristics. Thus, this process of degradation is also called aging. It is a slow and cumulative process caused by all the mechanisms that end up changing the physical and electrical parameters of the circuits, decreasing their useful timing life (FU; LI; FORTES, 2008). Among the temporal variability effects, the *Random Telegraph Noise* (RTN) with its origin in the activity of traps (*interface traps*) and *Single Event Transients* (SET) with their origin in the ionizing radiation circuit is exposed. In terms of the effects of degradation, the *Bias Temperature Instability* (BTI) effect (VALDUGA, 2012) stands out, which, like the RTS, has its origin linked to the effects of the traps.

Standard electrical simulation models do not take into account the effects caused by charged traps such as *Bias temperature instability* (BTI) and *random telegraph noise* (RTN). Such device-level variability can cause reduced reliability, for example, the *Propagation-Induced Pulse Broadening* (PIPB). According to the technological scaling, the speed of the logic gates increases and the SETs can be propagated through a combinational circuit and even may suffer broadening if the transient pulse width exceeds a critical minimum value that depends on the technology (DODD *et al.*, 2004), characterizing a PIPB.

Based on this, fault injection techniques in complex circuits are not efficiently in predicting, leading to an underestimation of circuit sensitivity to propagation of *Single Event Transients* (SETs). Using an electrical simulator that aggregates a BTI analysis, we have better estimates of PIPB effects on circuit degradation, which may lead to timing violations in synchronous systems. Then we can put effort in circuit design in order to make it more robust regarding to aging effects and transient faults protection.

Based on what has been previously presented, this thesis analyzes the behavior of circuits through electrical simulations of ionizing radiation, allowing susceptibility and reliability evaluations of integrated circuits to the effects of transient faults using electrical simulations. For the accomplishment of these experiments, electrical simulations were performance considering the effects of aging. For a logic chain of 2000 inverters sequentially arranged in the 32nm technology it can be predicted that the transient pulse is subjected to a broadening of seven times its initial width at the time of incidence for transistors with minimum dimensions. From the analysis presented, we can evaluate the possibility of broadening or shrinking of SETs thought the circuit in an efficient way to improve radiation-hardening techniques.

Keywords: CMOS, Bias Temperature Instability, Propagation Induced Pulse Broadening, Single Event Transiente.

LISTA DE FIGURAS

Figura 2.1: Colisão de uma partícula carregada com o silício. A ilustração à esquerda representa uma ionização direta e a da direita representa reações causadas por partículas leves.	22
Figura 3.1: Defeitos na interface entre o silício do substrato com o óxido de porta do transistor para uma tensão de polarização constante. As armadilhas são carregadas e subsequentemente descarregadas pelos portadores do canal. À direita temos o sistema em equilíbrio dinâmico exibindo o efeito RTN. À esquerda temos um estresse que provoca a perturbação NBTI, com excesso de cargas aprisionadas. .	29
Figura 3.2: Variação da tensão de <i>threshold</i> em um transistor PMOS durante fase dinâmica NBTI. ..	30
Figura 3.3: Variação da tensão de limiar de um transistor PMOS com $W = 10 \mu\text{m}$, $L = 10 \mu\text{m}$ e $t_{ox} = 2\text{nm}$ quando submetido a estresse elétrico contínuo e a estresse elétrico alternado.....	31
Figura 3.4: Processo de envelhecimento	33
Figura 3.5: Ocupação das armadilhas de um transistor NMOS para as situações em que o transistor está ligado e desligado.....	35
Figura 3.6: Fase de relaxação (isto é, emissão de carga) após estresse negativo no terminal de porta para transistores pMOSFETs no mesmo wafer com $L = 0,70 \text{ nm}$ e $W = 0,90 \text{ nm}$. A curva com <i>steps</i> representa a medida de alguns transistores (a), enquanto que a curva suavizada representa a média para 74 transistores (b).....	36
Figura 4.1: Fluxograma simplificado do simulador RTS/BTI	41
Figura 4.2: Largura de SETs medidos na saída de cadeias de inversores usando HSPICE e Simulador RTS/BTI. Entrada estabilizada no valor lógico baixo durante 100ns. A linha pontilhada superior representa a degradação de V_{th} devido ao estresse.....	45
Figura 5.1: (a) Esquemático da cadeia de inversores indicando quatro pontos de incidência à laser. (b) Tensões transientes verificadas na saída da cadeia em função da posição de incidência do laser. Entrada do circuito estabilizada em nível lógico ‘baixo’.	49
Figura 5.2: SETs na tecnologia bulk sobre radiação laser. O laser foi focado a cada 2 linhas. A incidência de radiação ocorreu no instante 0ns. Tensão de alimentação é 1.2V.	50
Figura 5.3: Cadeia lógica de 50 inversores em série numerados de acordo com número de inversores entre o transistor atingido por partícula ionizada e a saída da cadeia.	51
Figura 5.4: Primeira forma de onda do tipo dupla exponencial de tensão inserido após 100ns em região sensível do primeiro inversor da cadeia. Segunda forma de onda visualizada na saída da cadeia após percorrer 50 inversores.....	52
Figura 5.5: Efeito de alargamento de pulso. A primeira transição ocorre mais rapidamente que a segunda transição, o pulso mostra-se alargado na saída.....	53
Figura 5.6: Análise do impacto de BTI através de simulação elétrica usando o Simulador BTI. Entrada do circuito estável em “1” lógico quando o pulso exponencial é inserido no primeiro inversor da cadeia bulk CMOS e se propaga através de 10000 inversores. A incidência de radiação ocorre no tempo de 100ns e a tensão de alimentação é 1,2V na tecnologia 90nm.	55

Figura 5.7: Análise do impacto de BTI através de simulação elétrica usando BTI Ngspice em longa cadeia de inversores. A incidência de radiação ocorre no tempo de 100ns e a tensão de alimentação é 0.9V na tecnologia 32nm.	57
Figura 5.8: a) Comparação entre o efeito NBTI de simulação e modelo analítico (BHARDWAJ <i>et al.</i> , 2006) dos períodos de estresse e recuperação. b) Dependência de $ \Delta V_{th} $ em função da frequência para diferentes ciclos de trabalho.	59
Figura 5.9: Simulação de <i>Single Event Transients</i> medidos na saída da cadeia de inversores para frequências de 100KHZ até 100MHZ. O sinal de entrada injetado na largura de 1,003ns.	60
Figura 5.10: SETs medidos experimentalmente na saída da cadeia de inversores SOI, para frequências de 1HZ à 100MHZ. O sinal de entrada é exibido na linha pontilhada para comparação.	61
Figura 5.11: Variação na largura do pulso transiente em cadeia de inversores CMOS quando submetido a estresse elétrico contínuo e em seguida a estresse elétrico alternado. a) Forma de onda na entrada b) Forma de onda na saída.	64
Figura 6.1: Impacto da tensão de polarização no desvio da tensão de limiar causado por BTI.	70
Figura 6.2: Circuito NAND de 2 entradas a) Sensibilidade de V_{DD} e V_{th} em porcentagem b) Ajustes em V_{DD} e V_{th} para compensar a degradação da porta sob estresse estático.	70
Figura 6.3: Cadeia de 1000 inversores variando-se as tensões de alimentação para tecnologia 90nm.	72
Figura 6.4: Variação do <i>delay</i> de longa cadeia de inversores CMOS, variando-se o número de inversores, em função da tensão de alimentação.	73
Figura 6.5: Largura de SETs medidos na saída de longas cadeias em função do número de inversores, utilizando simulação de circuitos NGSPICE e o Simulador BTI, para três tensões de alimentações na tecnologia 90nm bulk.	74
Figura 6.6: Resultados de simulação para largura de propagação de SET em cadeia de inversores bulk para diferentes tensões de alimentação como função do local de incidência da radiação – referenciado pelo número de inversores até a saída.	76
Figura 6.7: Resultados experimentais medidos da largura de propagação de SET em cadeia de inversores bulk para diferentes tensões de alimentação como função do local de incidência da radiação – referenciado pelo número de inversores até a saída.	76

LISTA DE TABELAS

Tabela 5.1: Principais parâmetros da tecnologia PTM 90nm da ASU.....	51
Tabela 5.2: SETs medidos na saída da cadeia de inversores para frequências de 100KHZ até 100MHZ. Sinal de entrada possui largura de 1,003ns.	61
Tabela 5.3: Percentual de alargamento do primeiro pulso transiente na saída da cadeia de inversores para três frequências distintas com <i>duty cycle</i> de 50% variando-se o tempo de estresse estático.	65
Tabela 5.4: Alargamento, em valores absolutos, do primeiro pulso transiente na saída da cadeia de inversores para três frequências distintas com <i>duty cycle</i> de 50%.....	66
Tabela 5.5: Cadeia de 1000 inversores submetidos à estresse estático e dinâmico. O circuito sempre apresenta recuperação da degradação em um tempo fixo para <i>duty cycle</i> de 50% na tecnologia 90nm bulk.....	66

LISTA DE ABREVIATURAS E SIGLAS

AC	Corrente alternada (Alternate current)
BTI	Bias Temperature Instability
CCD	Charge-Coupled Devices
CI	Circuit Integrated
CMOS	Complementary Metal–Oxide–Semiconductor
DC	Corrente contínua (Direct Current)
DD	Displacement Damage
HCI	Hot Carrier Injection
LER	Line Edge Roughness
LET	Linear Energy Transfer
MOS	Metal–Oxide–Semiconductor
MOSFET	Metal-Oxide-Semiconductor Field Effect Transistor
NBTI	Negative Bias Temperature Instability
NMOS	Transistor MOS de canal N
PBTI	Positive Bias Temperature Instability
PIPB	Propagation-Induced Pulse Broadening
PMOS	Transistor MOS de canal P
PTM	Predictive Technology Model
RDF	Random Dopant Fluctuation
RTN	Random Telegraph Noise
RTS	Random Telegraph Signal
SEB	Single Event Burnout
SEE	Single Event Effects
SEGR	Single Event Gate Rupture
SEL	Single Event Latchup
SET	Single Event Upset
SET	Single-Event Transient
SEU	Single-Event Upset
SHE	Single Hard Error
SOI	Silicon-on-Insulator
SPICE	Simulation Program with Integrated Circuit Emphasis
SRAM	Static Random Access Memory

TCAD	Technology Computer Aided Design
TDDDB	Time-Dependent Dielectric Break-down
TID	Total Ionizing Dose
VLSI	Very Large-Scale Integrated

LISTA DE SÍMBOLOS

p_{01}	Probabilidade de captura de portador por uma armadilha no intervalo de tempo Δt
p_{10}	Probabilidade de emissão de portador por uma armadilha no intervalo de tempo Δt
τ_c	Tempo de captura de portadores por armadilhas
τ_e	Tempo de emissão de portadores por armadilhas
ΔV_T	Variação da tensão de limiar (<i>threshold</i>)
Δt	Δt é assumido como sendo igual a dt em simulação Spice, passo discreto da simulação transiente
E_F	Nível de Fermi do semiconductor [eV]
E_T	Nível energético de cada uma armadilha. Calculado a partir de uma distribuição em forma de U (U-Shaped), com energia mínima igual a zero e energia máxima igual ao parâmetro <i>hetlim</i> do modelo
K	Constante de Boltzmann
T	Temperatura
t	Tempo de estresse
V_{DD}	Tensão de alimentação [V]
V_{gs}	Tensão entre porta e fonte do transistor MOS [V]
V_{th}	Tensão de limiar acima da qual ocorre a condução do transistor [V]
W	Largura do canal do transistor [μm]
Φ_s	Potencial de Superfície
pi	O parâmetro pi é calculado a partir de uma distribuição uniforme, cujos limites são os parâmetros lpi e hpi do modelo
I_0	Corrente máxima causada pela coleção de carga que representa os efeitos de uma partícula colidindo em um dispositivo semiconductor
τ_α	Constante de tempo que representa o tempo de coleta na junção PN
τ_β	Constante de tempo para o estabelecimento inicial da trajetória de íons $I(t)$
$I(t)$	Pulso de corrente formado por uma dupla exponencial que modela o mecanismo de deposição de carga

SUMÁRIO

1. INTRODUÇÃO	15
1.1 MOTIVO E CONTEXTUALIZAÇÃO DO TRABALHO	17
1.2 DESCRIÇÃO DO PROBLEMA	18
1.3 OBJETIVOS E CONTRIBUIÇÕES	19
1.4 ORGANIZAÇÃO DO DOCUMENTO	19
2. EFEITOS DA RADIAÇÃO IONIZANTE EM DISPOSITIVOS SEMICONDUTORES	20
2.1 EFEITOS SINGULARES.....	21
2.1.1 <i>Soft Errors</i>	21
2.1.2 <i>Hard Errors</i>	23
2.2 DANOS POR DESLOCAMENTO	24
2.3 EFEITOS DE DOSE TOTAL IONIZANTE.....	24
3. BIAS TEMPERATURE INSTABILITY	27
3.1 MODELO <i>REACTION-DIFFUSION</i>	32
3.2 MODELO DE ARMADILHAS (<i>CHARGE TRAPPING MODEL</i>).....	33
4. SIMULAÇÃO DO EFEITO DE BTI	39
4.1 SIMULADOR NGSPICE RTN/BTI	40
4.1.1 <i>Determinação do Número de Armadilhas por Dispositivo</i>	42
4.1.2 <i>Determinação do Desvio da Tensão de Limiar de cada armadilha, do seu nível energético (ET) e do parâmetro pi</i>	42
4.1.3 <i>Calcular o Nível de Fermi no canal</i>	43
4.1.4 <i>Calcular τ_c e τ_e, determinação das probabilidades de transição e determinação da ocorrência ou não de uma transição</i>	43
4.1.5 <i>Contribuição de cada armadilha ao desvio de V_T do transistor</i>	44
4.2 VALIDAÇÃO DO SIMULADOR RTS/BTI	44
5. EFEITO PIPB EM CIRCUITOS CMOS	47
5.1 ENVELHECIMENTO EM CONDIÇÕES DC.....	48
5.1.1 <i>Estudo de caso</i>	50
5.2 ENVELHECIMENTO EM CONDIÇÕES AC	58
5.3 DEPENDÊNCIA DA FREQUÊNCIA DE OPERAÇÃO	58
5.4 DEPENDÊNCIA DO CICLO DE TRABALHO (<i>DUTY CYCLE</i>).....	62
6. IMPACTO DE VDD SOBRE O FENOMENO PIPB.....	68
6.1 SENSIBILIDADE DE VDD E V_{TH}	68
6.2 IMPACTO DO <i>SCALING</i> TECNOLÓGICO NO ALARGAMENTO DE PULSO INDUZIDO	71
7. CONCLUSÃO	78
8. REFERÊNCIAS	80
APÊNDICE A: MODEL CARD PTM CUSTOMIZADO PARA USO NO SIMULADOR RTS/BTI.....	89
APÊNDICE B: USO DO SIMULADOR RTS/BTI	91
APÊNDICE C: NETLIST PARA O NGSPICE.....	92
APÊNDICE D: TRABALHOS PUBLICADOS	93

1. INTRODUÇÃO

O avanço das tecnologias de fabricação dos circuitos integrados CMOS se caracteriza pela redução das dimensões dos transistores. Esta miniaturização tem por objetivo alcançar um melhor desempenho e um menor consumo de área e de energia durante a integração destes dispositivos em um circuito integrado, uma vez que transistores menores levam a uma maior densidade de integração e podem minimizar parasitas que levam a dissipação de potência. Tecnologias, em escala manométrica, têm proporcionado ao projeto de circuitos redução de geometrias, redução de tensão de alimentação, aumento da frequência e aumento da densidade lógica (LAZZARI, 2007). Contudo, essa redução nas dimensões dos transistores torna-os mais sensíveis à radiação (HEIDEL *et al.*, 2008). Questões referentes à confiabilidade e a robustez dos sistemas eletrônicos têm recebido grande atenção da comunidade científica e industrial.

A redução drástica nas dimensões dos transistores tem contribuído para reduzir a imunidade dos circuitos ao ruído, permitindo que pequenas variações de tensão sejam interpretadas como inversão de sinal lógico. Outra consequência importante é o aumento da suscetibilidade dos circuitos a falhas transientes, também conhecidas como *soft errors*. Quando uma partícula ionizante colide com uma região sensível de um circuito combinacional, um pulso transiente pode ser gerado. Neste caso, o fenômeno é denominado *Single Event Transient* (SET). Se o SET se propagar até uma saída primária, ele poderá ser capturado por um elemento de memória e assim ser interpretado como um valor lógico incorreto, gerando assim um *soft error*.

A indústria de semicondutores vem progredindo tornando os circuitos integrados cada vez mais densos e complexos. O aumento da capacidade de integração permite a concepção de circuitos mais baratos (custo relativo por transistor) e capazes de operar em frequências mais elevadas (LUBASZEWSKI; BALEN, 2014). Em contrapartida, os circuitos se tornam mais suscetíveis a falhas, pois, com o tamanho reduzido dos transistores as impurezas presentes no silício (ou ali depositadas involuntariamente durante o processo de produção) podem ser fisicamente maiores do que um ou mais transistores, podendo danificar o circuito (LEHTONEN; PLOSILA; ISOAHO, 2005). O *scaling* tecnológico, ou seja, a redução das dimensões dos transistores de um circuito integrado, acabou tornando-os mais suscetíveis a falhas, além de aumentar a variabilidade do processo de produção, o que pode acarretar em circuitos operando fora das suas faixas de especificação. Dentre os efeitos colaterais da miniaturização estão: efeitos de canal curto, corrente de fuga (TAUR *et al.*, 1997), e uma maior

vulnerabilidade a falhas transientes ocasionadas por incidência de radiação (MESSENGER, 1982).

Outros fatores limitantes de confiabilidade em tecnologias mais recentes devido a não idealidade do processo de fabricação são o *Random Dopant Fluctuation* (RDF) e o e o *Line Edge Roughness* (LER) (BRUSAMARELLO, 2011). O RDF é o efeito causador de variabilidade na tensão de limiar dos transistores tipo MOS devido à redução do número de átomos dopantes presentes no canal, além de não ser mais possível considerar o substrato uniformidade dopado, a localização de cada átomo dopante exerce uma influência mais significativa nas características elétricas dos transistores. Já o LER caracteriza-se por imperfeições decorrentes da rugosidade nas bordas do terminal de porta do transistor durante a litografia e a etapa de corrosão, que resulta em oscilações nas características elétricas do transistor.

Além dos efeitos de variabilidade espacial citados, os transistores estão sujeitos às variabilidades temporais que são problemas devido à alteração dos parâmetros elétricos durante a operação do circuito ao longo do tempo. Este tipo de efeito pode ser dividido em dois grandes grupos, os efeitos transientes e os efeitos de degradação (VALDUGA, 2012). Tanto os efeitos transientes como os de degradação tem aumentado sua importância significativamente com a redução das dimensões dos transistores. Dentre os efeitos transientes, os que mais tem provocado interesse da comunidade científica são o *Random Telegraph Noise* (RTN) com sua origem na atividade de *traps* de interface e *Single Event Transient* (SET) gerado a partir de exposição do circuito à radiação ionizante. Dentre os efeitos de degradação continuada, o mais relevante é o *Bias Temperature Instability* (BTI), onde as características dos transistores se alteram com passar do tempo devido ao fator de chaveamento. As variações estocásticas da corrente de dreno, que é modelada como variação estocástica da tensão de limiar do transistor (V_{th}), são causadas pela sucessiva emissão e captura de um único elétron em uma armadilha (*trap*). Outros fatores que também contribuem para degradar a longo prazo a estrutura do transistor são, *Hot Carrier Injection* (HCI) (WANG *et al.*, 2007) e *Total Ionizing Dose* (TID) (MA; DRESSENDORFER, 1989). No entanto, o efeito considerado dominante no processo de envelhecimento é o *negative bias temperature instability* (NBTI), que é caracterizado por afetar a condução dos transistores PMOS, traduzindo-se esse efeito num aumento da sua tensão limiar de condução, V_{th} (MAHAPATRA; ALAM, 2005).

Motivo e contextualização do trabalho

A degradação sistemática das características iniciais dos transistores é conhecida como envelhecimento (*aging*), característica que diminui a vida útil dos circuitos integrados, devido principalmente ao efeito BTI (SCHLÜNDER, 2009). Este fenômeno representa uma das principais preocupações do ponto de vista da confiabilidade durante a etapa de projeto do CI. Sua origem deve-se ao acúmulo de cargas em *traps* localizadas na interface entre o silício do substrato com o óxido de porta do transistor. Esses defeitos são causados pelo campo elétrico através do óxido sendo intensificado por altas temperaturas.

Em circuitos integrados sobre efeito de radiação ionizante, a probabilidade de um SET resultar em um erro é dependente da distância da propagação através da lógica combinacional e do tempo de chegada do SET no elemento de memória (BUCHNER; BAZE, 2001) e (MASSENGILL *et al.*, 2000). A largura de um pulso de tensão transiente é determinada por muitos fatores, dentre eles a energia da partícula de ionização, a transferência linear de energia da partícula, as características do circuito, a tecnologia do circuito exposto, bem como a posição e o ângulo de incidência da partícula (BUCHNER; BAZE, 2001). Pulsos mais largos têm uma probabilidade maior de serem lidos durante a borda ativa do *clock* em uma célula de memória. Assim, caracterizar as larguras de pulsos de tensão transientes é de grande importância na medição e na investigação de efeitos de SET para uma tecnologia avançada. Diversos estudos são realizados na literatura a fim de investigar a propagação de SETs em circuitos integrados (BUCHNER; BAZE, 2001)(MAVIS; EATON, P. H., 2002)(FERLET-CAVROIS; MASSENGILL; GOUKER, 2013).

A propagação de transientes através de lógica combinacional modela a forma de onda do pulso bem como sua largura. Resultados recentes obtidos na literatura constataram o efeito de *Propagation-induced Pulse Broadening* (PIPB). Este efeito foi primeiramente reportado em Ferlet-Cavrois *et al.* (2007), experimentalmente utilizando pulsos de laser focados, no qual circuitos combinacionais foram estimulados com pulsos transientes de largura inferior a 200ps. Esses pulsos foram progressivamente alargados ao percorrer longas cadeias de inversores, atingindo larguras de nanosegundos na saída do circuito combinacional. O impacto deste efeito na largura de SETs vem sendo analisado (MASSENGILL, 2008) (FERLET-CAVROIS, 2008) e (STERPONE *et al.*, 2011). Resultados indicam que o efeito PIPB aumenta o *soft error rate* (SER)(LI *et al.*, 2011).

Ferlet-Cavrois *et al.* (2007) explicaram que o efeito PIPB é ocasionado especialmente devido ao efeito de corpo flutuante nas tecnologias *silicon-on-insulator* (SOI) e em dispositivos

convencionais (*Bulk Technology*), também chamado “*history effects*”. De fato, a flutuação de efeito de corpo causa modulação de histerese na tensão de limiar de transistores MOS quando o transistor *Metal-Oxide-Semiconductor Field Effect Transistor* (MOSFET) encontra-se ligado ou conduzindo. Porém, este não causa estreitamento da largura do pulso, causa somente o alargamento do pulso mediante condições estáticas de estresse devido à variação da tensão de limiar (V_{th}) que sempre reforça o alargamento.

Contudo, *negative bias temperature instability* (NBTI) aumenta o valor absoluto da tensão de limiar de acordo com histórico de estresse. A característica marcante do NBTI é a fase de recuperação em que a degradada tensão de limiar recupera-se parcialmente, uma vez que o estresse é removido. Isto causa uma similaridade entre as flutuações de efeito de corpo em transistores MOS discutidos (FERLET-CAVROIS, 2007) e NBTI.

Posteriormente foi demonstrado em Harada et al. (2013) que o NBTI causa a modulação de largura de pulso transiente. Assim, foram observados o encolhimento e o alargamento da largura de transientes de acordo com condições de estresse estático e dinâmico.

1.2. Descrição do Problema

Um efeito de degradação que tem recebido atenção é o efeito BTI. Com a tensão de alimentação sendo dimensionada menos agressivamente em comparação com as dimensões do dispositivo, dispositivos diminutos estão sujeitos a altas densidades de corrente e temperaturas. Além disso, o dimensionamento cada vez menor da espessura do óxido dos transistores resulta em campos elétricos altíssimos. As altas temperaturas e altos campos elétricos originam o efeito BTI fazendo com que a tensão limiar do transistor se desvie gradualmente para maiores valores absolutos (JEPPSON; SVENSSON, 1977). Assim, aumentando a incerteza e degradando o desempenho do circuito. O efeito NBTI vem sendo bastante explorado na literatura, no entanto, o fenômeno *Propagation-induced Pulse Broadening* (PIPB) é mais recente e sua origem ainda instaura dúvidas na comunidade científica, sendo importante a sua clarificação. O PIPB induz a uma subestimativa da sensibilidade de circuitos à propagação de *Single Event Transients* (SETs) ao fazer uso de técnicas de simulação tradicionais como injeção de falhas em circuitos complexos. Além disso, há controvérsia entre autores quanto à origem desse fenômeno.

É importante salientar que simulação de circuitos elétricos tradicionais não consideram os efeitos causados por armadilhas de cargas tais como *Bias Temperature Instability* (BTI) e *Random Telegraph Noise* (RTN). Aplicações que requerem um alto nível de controle e segurança

devem considerar a avaliação dos mecanismos de degradação já na fase inicial de projeto a fim de garantir que tais variabilidades em nível de dispositivo não ocasionem perda de confiabilidade.

Objetivos e Contribuições

Diante do exposto anteriormente, este trabalho tem o intuito de auxiliar no entendimento do comportamento elétrico de circuitos submicrométricos capazes de sofrer o efeito PIPB, esclarecendo sua causa e efeitos. Realiza análises de circuitos expostos à *Single-Event Transients* em nível de circuitos e avalia a confiabilidade de circuitos sob radiação ionizante considerando-se o fenômeno PIPB.

Este trabalho utiliza um simulador elétrico que agrega a análise de BTI para uma eficiente caracterização e análise dos efeitos de PIPB na degradação de um circuito MOS. Este estudo tem também como objetivo melhorar estimativas de avaliação de *soft error rate* e analisar o impacto da variação de parâmetros elétricos importantes como tensão de alimentação, *duty cycle* e comprimento da cadeia combinacional.

1.4. **Organização do documento**

Este documento está organizado em 7 capítulos da seguinte forma: o capítulo 2 apresenta os efeitos de radiação ionizante em dispositivos semicondutores, classificando-os em efeitos singulares e efeitos de dose total ionizante. O capítulo 3 apresenta o fenômeno *Bias Temperature Instability*, seu comportamento elétrico e uma revisão bibliográfica. Em seguida, no capítulo 4, será apresentado o efeito de alargamento de pulso simulado em ferramentas tradicionais em contraste com a ferramenta apropriada para emulação das *traps*. Posteriormente no capítulo 5, serão exibidos resultados de simulações e suas implicações na suscetibilidade de circuitos CMOS. O capítulo 6 abordará o efeito de alargamento de pulso transiente sob a variação da tensão de alimentação e por fim o capítulo 7 apresenta as considerações finais.

2. EFEITOS DA RADIAÇÃO IONIZANTE EM DISPOSITIVOS SEMICONDUTORES

O constante avanço no processo de fabricação de circuitos integrados tem reduzido de maneira drástica o tamanho dos transistores e dos níveis das tensões de alimentação. Os circuitos estão mais complexos, apresentando alta densidade e operam a tensões reduzidas, o que significa que uma menor quantidade de carga ou corrente é necessária para produzir o sinal lógico. Com isso, há também o aumento da vulnerabilidade do dispositivo à radiação, pois partículas energizadas que antes eram desprezíveis agora podem ocasionar falhas.

A radiação pode afetar o funcionamento de circuitos integrados através de mecanismos distintos, como os efeitos de eventos único (*Single Event Effects - SEE*), normalmente relacionados a eventos transientes; os efeitos de dose total ionizante (*Total Ionizing Dose- TID*), que são o reflexo dos efeitos acumulados sobre o circuito após um longo período de tempo de exposição contínua à radiação e os danos por deslocamento (*Displacement Damage – DD*).

A radiação no ambiente espacial afeta significativamente o desempenho e a funcionalidade dos dispositivos eletrônicos. Os dispositivos eletrônicos em aplicações aeroespaciais são atingidos por diferentes partículas geradas a partir de atividade solar e galáctica. As principais fontes de partículas carregadas que contribuem para o efeito da radiação são prótons, elétrons e íons pesados. Essas partículas carregadas interagem com os átomos de silício do material causando excitação e ionização dos átomos. Contudo, o impacto destas partículas difere, uma vez que os íons pesados resultam principalmente em SEEs e os elétrons são responsáveis pelos efeitos de TID (ECOFFET, 2007).

A degradação de caráter transiente (SEE) ocorre devido à incidência de uma única partícula e o resultado da interação dessa partícula com região sensível do semicondutor gerando pares elétrons-lacunas que resultam em perturbações elétricas transitórias. Essas perturbações podem ocasionar um defeito permanente no circuito (*hard error*), ou podem causar um erro de sistema, mas não acarretar em erro permanente (*soft error*). Os defeitos que se originam devido à dose acumulada (TID) ocorrem em função do acúmulo gradual de cargas por exposição à radiação ionizante ao longo da vida útil do circuito. Os danos por deslocamento ou *displacement damage* (DD) são danos físicos na estrutura cristalina do material semicondutor que degradam o material e suas propriedades (BOUDENOT, 2007).

Em circuitos no estado da arte, a tolerância a falhas deixa de ser uma preocupação exclusiva de aplicações aeroespaciais e torna-se um problema a ser considerado também em aplicações ao nível do mar. Com o crescente nível de integração dos circuitos integrados, a

sensibilidade desses componentes a partículas presentes na atmosfera terrestre também aumentou, por isso aplicações que requerem um alto nível de confiabilidade e segurança passaram a considerar a inclusão de mecanismos de tolerância a falhas já na fase de projeto tanto de hardware como de software.

Efeitos Singulares

Efeitos singulares ou *Single-Event Effects* (SEE) ocorrem quando um íon colide com um circuito integrado. Isso faz com que seja liberada uma energia suficiente no componente capaz de ocasionar um erro. As falhas resultantes de SEEs podem ser permanentes, sendo chamadas de *hard errors*, ou transitórias, chamadas de *soft errors* (ANELLI, 2000). Basicamente, um *soft error* ocorre quando um pulso transitório ou uma inversão de bit causa um erro detectável na saída do circuito. *Hard errors* são mais destrutíveis para o circuito e causam danos permanentes nele.

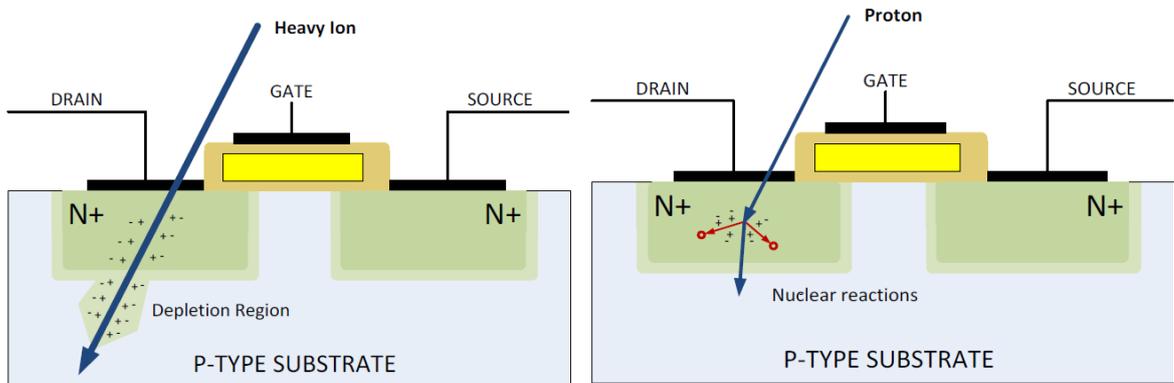
2.1.1. Soft Errors

Soft errors induzidos por radiação ionizante e seus efeitos no funcionamento de dispositivos eletrônicos vêm se tornando um dos problemas mais desafiadores para pesquisadores e projetistas de circuitos integrados, impactando a confiabilidade de sistemas eletrônicos modernos. *Soft errors* são críticos para aplicações que contém grande quantidade de memória ou que possuem rigorosos critérios de confiabilidade.

A ionização direta é o principal mecanismo de deposição de carga para ocorrência de *soft errors*. O termo *Linear Energy Transfer* (LET) é usado para descrever a deposição de energia por unidade de comprimento durante o percurso de uma partícula através de um material. A LET de uma partícula pode ser facilmente associada com a sua capacidade de deposição de carga. Partículas ionizantes com suficiente LET têm a capacidade de causar um SEE. Quando a partícula com elevado LET atinge um dispositivo semicondutor, gera ionização nos átomos ao longo do caminho de propagação, essa ionização resulta em depósito de carga que tem a capacidade de gerar SEE. Normalmente íons pesados têm energia e LET suficientes para causar ionização direta em dispositivos (BROSSER; MILH, 2014). Partículas mais leves, como prótons, elétrons e nêutrons, geralmente não possuem carga suficiente para gerar um SEE por ionização direta. O que ocorre é que elas causam um pulso transitório ou uma inversão de bit através de reações nucleares, tal como a emissão de partículas alfa e gama ou a ejeção de

fragmentos das partículas-alvo. Qualquer uma dessas reações pode gerar deposição de energia ao longo do caminho das partículas radioativas no material. As partículas resultantes dessas reações são muito mais pesadas que os nêutrons ou prótons originais, e acabam contendo carga suficiente para provocar um SEE. A Figura 2.1 ilustra a ocorrência de uma ionização direta e de reações nucleares no material de um transistor.

Figura 2.1: Colisão de uma partícula carregada com o silício. A ilustração à esquerda representa uma ionização direta e a da direita representa reações causadas por partículas leves.



Fonte: BROSSER; MILH (2014).

Quando a energia de uma partícula é suficientemente alta para elevar a corrente de um nodo em um transistor, uma perturbação temporária é gerada nesse nodo. As partículas ionizantes interagem com os átomos de silício provocando pulsos transientes de carga elétrica. Em um circuito do tipo *Complementary Metal-Oxide-Semiconductor* (CMOS) as áreas sensíveis aos efeitos da incidência de partículas ionizantes são as regiões drenador-substrato reversamente polarizadas, existentes nos transistores em regime de corte (VARGAS; NICOLAIDIS, 1994). A incidência de uma partícula ionizante nessa região provoca um pulso de corrente anormal, que flui através da região de depleção da junção atingida. Esse pulso de corrente pode ocasionar os eventos singulares ou SEE, que são classificados em duas formas diferentes. Quando essa perturbação ocorre em um circuito de lógica combinacional, o efeito é conhecido como um *Single-Event Transient* (SET). SETs podem causar um comportamento inesperado em um sistema caso eles sejam propagados para uma memória, por exemplo. Quando a incidência da partícula afeta diretamente o drenador do transistor que compõe um elemento de memória, é possível que esse fato provoque a modificação do valor lógico armazenado nesses componentes, ou seja, um *bit-flip*. Se a partícula energizada atingir um elemento de armazenamento, como *flip-flop*, *latch* e célula de memória *Static Random Access Memory* (SRAM), o SEE é classificado como *Single-Event Upset* (SEU) (LUBASZEWSKI *et al.*, 2007).

Em ambos, o mecanismo de geração é semelhante, diferenciando-se apenas pela natureza do circuito atingido. Uma partícula carregada pode atingir tanto um elemento sequencial quanto um circuito combinacional. Os eventos SEU e SET podem ocasionar erros em sistemas eletrônicos, os quais não danificam o sistema de forma permanente e podem ser corrigidos posteriormente (BALEN, 2010). Tanto SET como SEU são conhecidos como *soft errors*, pois o elemento de memória impactado permanece operacional.

2.1.2. Hard Errors

Esses eventos são catastróficos ou destrutivos e danificam permanentemente o circuito. O erro é irreversível na operação porque dados são perdidos e o dispositivo ou circuito não retorna ao funcionamento adequado após um reset na alimentação. Como exemplo, tem-se o *Single Event Latchup* (SEL), o *Single Event Burnout* (SEB), o *Single Event Gate Rupture* (SEGR) e o *Single Hard Error* (SHE).

Um *Single Hard Error* (SHE) é um SEE capaz de causar danos permanentes na operação de dispositivos eletrônicos. Um SHE ocorre em virtude de uma partícula energizada que atravessa a camada de óxido de porta de um transistor, ocasionando uma expressiva deposição de cargas elétricas. Esse mecanismo pode provocar alteração dos parâmetros elétricos de um dispositivo de armazenamento de forma definitiva. O SHE distingue-se dos demais efeitos singulares pois não é causado pela incidência de partícula ionizante em região semicondutora, mas em uma região isolante do dispositivo. Por isso, o SHE apresenta aspectos semelhantes aos efeitos de dose total.

Um *Single Event Latchup* (SEL) é uma condição que envolve transistores parasitas onde suas correntes podem exceder os limites máximos previstos. Estes transistores podem ser ativados por correntes anormais e elevadas, como as produzidas pelos efeitos da radiação. Em virtude disso, um SEL cria um curto-circuito entre os nodos internos do circuito, sendo capaz de destruí-lo por conta do aumento de temperatura, a menos que a sua alimentação seja interrompida. Contudo, mesmo com *reset* na alimentação o efeito também pode causar dano permanente (HEIJMEN, 2011), já que a dissipação térmica devido à elevada corrente gera a vaporização das linhas de metal, fusão dos fios de ligação ou derretimento do silício.

Um *Single Event Burnout* (SEB) é causado por uma corrente excessiva na estrutura fonte-dreno de um MOSFET, ocasionando a queima do dispositivo.

Um *Single Event Gate Rupture* (SEGR) é uma falha permanente no óxido de porta de um MOSFET devido aos efeitos da radiação. É caracterizada pela isolação entre o terminal de

porta e a região de dreno do transistor, devido ao aumento do campo elétrico através do dielétrico, causando ruptura dielétrica do óxido de porta.

Danos por Deslocamento

Os danos por deslocamento (*displacement damage*) são provocados pela interação entre uma partícula incidente e a rede cristalina do material semiconductor, danificando sua estrutura.

Os *displacement damage* (DD) resultam da interação nuclear ou colombiana entre partícula incidente e os núcleos atômicos da rede cristalina do material semiconductor (VIRMONTOIS *et al.*, 2010). Se esta interação fornecer energia suficiente a um átomo da rede cristalina, ele será deslocado da estrutura. Este deslocamento atômico produz defeitos na estrutura do material, dando origem a diversos defeitos cristalinos, tais como vacâncias, pares de Frenkel, deslocamento para posições intersticiais, entre outros.

Os defeitos cristalinos que caracterizam os danos por deslocamento agem como regiões de acúmulo de carga devido ao efeito armadilha. As vacâncias são posições atômicas que ficam desocupadas na rede cristalina, enquanto intersticiais são átomos deslocados de sua posição original e alocados entre outros átomos da rede (SROUR; PALCO, 2013). O aumento de temperatura pode provocar o recozimento (*annealing*) do cristal, minimizando os efeitos indesejáveis, e embora possa ocorrer recuperação a temperatura ambiente, esta é desprezível.

Os danos por deslocamento afetam principalmente transistores de junção bipolar e dispositivos como os dispositivos de carga acoplada (*charge-coupled devices* – CCDs), uma vez que podem degradar o ganho do dispositivo se usado como amplificador.

Efeitos de Dose Total Ionizante

Os efeitos de dose total ionizante ocorrem devido à exposição do circuito integrado à radiação ao longo do tempo (SCHRIMP, 2007). Os efeitos de dose ionizante total são efeitos cumulativos causados pela dose depositada por diversas partículas, sejam elas íons pesados, prótons, nêutrons, elétrons ou fótons. A deposição de energia destas partículas por diferentes processos não produz instantaneamente uma alta geração de pares elétron-lacuna que afete o dispositivo, porém produz um efeito de acúmulo de cargas no óxido de silício, tornando-se importante em dispositivos baseados em junções MOS. Em óxidos finos, cargas devido à radiação são geradas em menor volume e são rapidamente conduzidas para fora do óxido por tunelamento. Sendo assim, uma quantidade menor de carga é aprisionada. No entanto, óxidos

muito finos são vulneráveis aos efeitos relacionados com o fenômeno de fuga de corrente, enquanto os óxidos do tipo *high-k* (alta constante dielétrica) são mais suscetíveis aos efeitos de radiação ionizante do que os óxidos convencionais, quando comparadas as camadas de isolamento de mesma espessura (SCHRIMPF, 2007).

O resultado da interação entre a radiação ionizante e as estruturas dielétricas do dispositivo é o aprisionamento de carga no interior do óxido e o acúmulo de estados elétricos na interface entre o óxido e o semicondutor (SROUR, 1982). A unidade de medida de dose total de radiação (TID) acumulada no Sistema Internacional de Unidades (SI) é o Gray (Gy) que é definido como a deposição de 1 J de energia em 1 kg do material irradiado de maneira que $100 \text{ rad} = 1 \text{ Gy}$. Uma vez que a absorção de energia depende do material, estas unidades necessitam ser explicitadas em termos do material, como, por exemplo, para o silício: $100 \text{ rad}(\text{Si}) = 1 \text{ Gy}(\text{Si})$ (STASSINOPOULOS; RAYMOND, 1988).

Em tecnologias MOS, assim como em tecnologias bipolares, os efeitos de dose total ionizante se manifestam através da ionização das camadas dielétricas dos dispositivos. Tal ionização conduz a um processo de aprisionamento de cargas no interior destes dielétricos e no acúmulo de armadilhas na interface entre dielétrico e semicondutor. Esses dois mecanismos são considerados os principais responsáveis pela degradação dos parâmetros elétricos devido à radiação ionizante nestas estruturas (SROUR, 1982).

Elétrons gerados em reações secundárias podem ocasionar a ionização de átomos nas camadas de óxido, gerando pares elétron-lacuna. Estes pares são gerados devido à deposição de energia no óxido após a colisão da partícula. Esta densidade de pares de portadores é reduzida logo após sua geração devido ao processo de recombinação. A recombinação é função do campo elétrico e da densidade inicial dos pares criados, que depende do tipo de partícula incidente, como os raios X, os raios gama e nêutrons; e também da sua energia. Os elétrons, devido a sua elevada mobilidade, escapam do óxido em tempos da ordem de picosegundos (OLDHAM; MCLEAN, 2003). As lacunas cuja mobilidade é baixa, permanecem praticamente imóveis nas proximidades do local de geração e lentamente iniciam um processo de transporte de carga através do óxido. As lacunas são capturadas em armadilhas, resultando em uma carga tipicamente positiva.

Embora as cargas aprisionadas no óxido representem defeitos relativamente estáveis (OLDHAM; MCLEAN, 2003), estas não permanecem aprisionadas de maneira definitiva (MCLEAN; OLDHAM, 1987). Além dos defeitos no interior do óxido, a radiação ionizante pode induzir o aumento dos defeitos localizados na interface entre dielétrico e semicondutor. Tais defeitos – conhecidos como *interface traps* ou *interface states* – são decorrentes da

deficiência de oxigênio nesta região no momento da oxidação térmica, dando origem a ligações incompletas entre átomos de silício (WINOKUR, 1989).

Portanto, os efeitos de radiação ionizante em componentes eletrônicos têm relação direta com a tecnologia de fabricação e a redução das dimensões dos transistores (*scaling*). A miniaturização dos transistores aumenta a vulnerabilidade à SEEs, pois as tensões de operações, as capacitâncias e cargas associadas aos nós do circuito diminuem (NARASIMHAM *et al.*, 2007). Efeitos de radiação em dispositivos eletrônicos são uma preocupação em diversas áreas que requerem um elevado grau de confiabilidade. Dentro deste contexto, circuitos de longas cadeias de células idênticas usualmente utilizadas para detecção de radiação ionizante, além dos efeitos de radiação, estão sujeitos a efeitos que degradam as características elétricas do circuito ao longo do tempo, assunto que será abordado no capítulo seguinte.

3. BIAS TEMPERATURE INSTABILITY

O fenômeno *Negative Bias Temperature Instability* (NBTI) é conhecido desde 1966 (MIURA; MATUKURA, 1966) sendo uma das principais preocupações do ponto de vista da confiabilidade durante a etapa de projeto do CI. As características relacionadas à miniaturização, ou *scaling*, aumentaram a importância do efeito. O fenômeno BTI provoca o envelhecimento de transistores do tipo CMOS em tecnologias que envolvem alta integração de circuitos, afetando principalmente a tensão de *threshold* (V_{th}) do transistor, a mobilidade, a transcondutância e corrente de dreno dos dispositivos (SCHRODER, 2007), tendo como consequência, de modo geral, o aumento do tempo de chaveamento do dispositivo, e o comprometimento da integridade de dados em elementos de memória (BAGATIN *et al.*, 2010) e (KANG *et al.*, 2007).

O envelhecimento pode ser caracterizado como uma alteração gradual das características operacionais de um componente eletrônico. Entretanto, alguns fatores podem acelerar o processo de envelhecimento até mesmo dentro do período qualificado como tempo de vida útil do dispositivo. Existe uma série de fenômenos responsáveis por causarem a deterioração dos transistores com o passar do tempo, sendo os principais: *Hot Carrier Injection* (HCI), que é definido como a injeção de elétrons ou lacunas no terminal de porta dos transistores do tipo MOSFETS; *Time-Dependent Dielectric Break-down* (TDDB) que é definido como a formação de um túnel entre o óxido de porta e o substrato; e *Bias Temperature Instability* (BTI). Em termos de magnitude, o BTI tem sido o fator mais proeminente, uma vez que cria alterações ao longo de toda a interface óxido-silício. Já o HCI gera unicamente danos na interface próxima ao dreno (COPETTI, 2015).

O fenômeno BTI é presumivelmente resultado da desestruturação das ligações químicas de Si-H durante sua fase de condução na interface de Si/SiO₂ (KANG *et al.*, 2007)(BAGATIN *et al.*, 2010), sendo o silício (Si) o elemento do corpo do transistor MOSFET e o óxido de silício (SiO₂) a camada isolante entre corpo e porta (SCHRODER, 2007). Quando ocorre essa desestruturação, as lacunas resultantes no silício acabam criando uma carga, que é então modelada como uma variação do valor de tensão de limiar dos transistores MOS durante o tempo em que o transistor é acionado. No momento em que um MOSFET do tipo P é estimulado (aplicação de um valor negativo de tensão entre a porta e o *source*) ocorre uma interação entre as ligações químicas de Si-H e as lacunas do Silício, que, quando expostas a temperaturas elevadas, levam à dissociação dos átomos de hidrogênio, resultando na formação de novas lacunas. As armadilhas presentes na interface do óxido (*interface traps*), que têm origem

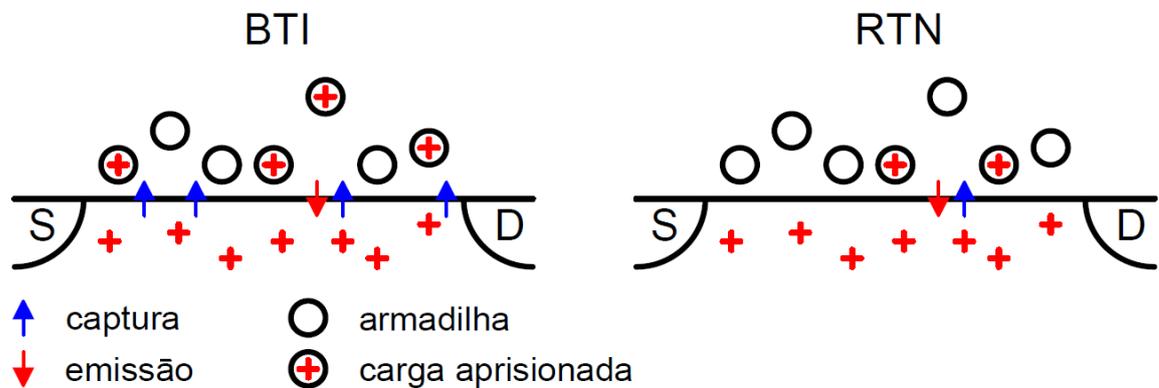
durante o processo de oxidação térmica, possibilitam a troca de cargas (captura e emissão de portadores em decorrência da ionização) com a camada adjacente do silício (BARNABY, 2006). Conforme Both (2013), as armadilhas de interface podem assumir cargas líquidas positivas, negativas ou neutras. Em outras palavras, de acordo com o potencial aplicado à porta do dispositivo, essas armadilhas se deslocam para cima e para baixo do nível de Fermi, podendo ser classificadas como doadoras ou aceitadoras.

O efeito de BTI caracteriza-se por um processo de captura e emissão de portadores por armadilhas situadas no dielétrico e/ou na interface entre dielétrico e semicondutor, sendo a probabilidade de um portador ser capturado por uma armadilha muito maior que a probabilidade de um portador ser emitido, o que resulta em um maior número de cargas aprisionadas. Essas armadilhas, nomeadas *traps*, levam ao aumento do módulo da tensão de limiar dos dispositivos (IELMINI *et al.*, 2009). Este aumento da tensão de limiar dificulta a formação do canal e reduz a corrente de dreno do transistor, tornando-o mais lento e reduzindo o desempenho do circuito como um todo.

O RTN também é um efeito causado pela sucessiva captura e emissão de portadores de carga por armadilhas. As armadilhas responsáveis por esse fenômeno, no entanto, são aquelas cuja probabilidade de ocupação é próxima de 50%, fazendo com que os tempos de emissão e captura possuam valores bastante semelhantes (WIRTH *et al.*, 2014). Neste fenômeno, a ocupação e desocupação das *traps* provocam a variação na quantidade de portadores no canal de condução, causando variações na mobilidade e na distribuição de cargas nas regiões próximas a tais defeitos. Este efeito também é modelado como aumento da tensão de limiar do transistor, resultando na redução da corrente de dreno quando um portador é capturado. O aprisionamento e a posterior liberação de cargas pelas armadilhas provocam flutuações discretas na corrente de dreno dos dispositivos, mesmo que estes estejam sob uma polarização fixa. Tal flutuação é denominada *Random Telegraph Noise* (RTN) (ROSSETO, 2014).

Com a miniaturização dos transistores tem-se uma redução no número absoluto de armadilhas, porém os efeitos de uma única armadilha, em tecnologias mais recentes, têm sua importância potencializada devido ao aumento da amplitude de oscilação da corrente de dreno, tornando o efeito mais relevante para circuitos digitais modernos (CAMARGO *et al.*, 2014). A Figura 3.1 ilustra o processo de captura e emissão de cargas pelas armadilhas na interface e no interior do dielétrico de porta durante a ocorrência dos fenômenos de BTI e RTN.

Figura 3.1: Defeitos na interface entre o silício do substrato com o óxido de porta do transistor para uma tensão de polarização constante. As armadilhas são carregadas e subsequentemente descarregadas pelos portadores do canal. À direita temos o sistema em equilíbrio dinâmico exibindo o efeito RTN. À esquerda temos um estresse que provoca a perturbação NBTI, com excesso de cargas aprisionadas.



Fonte: KACZER *et al.* (2010-a).

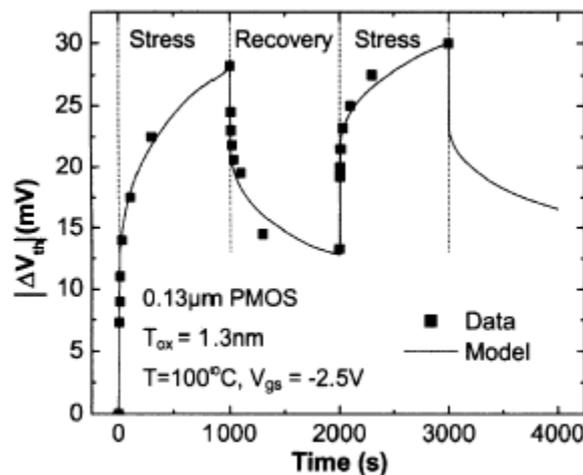
O efeito de BTI está associado à geração de defeitos na interface entre o silício do substrato com o óxido do terminal de transistor. O principal responsável pela geração de defeitos é o campo elétrico através do óxido. Este campo elétrico tem sua magnitude mais elevada quando os transistores estão conduzindo. Ao analisarmos as polaridades dos transistores quando estão conduzindo, concluímos que o transistor PMOS está polarizado negativamente ($V_{gs} < 0$) e o transistor NMOS positivamente ($V_{gs} > 0$). Esta polarização define que o efeito de NBTI (*Negative Bias Temperature Instability*) ocorre nos transistores PMOS e o de PBTI (*Positive Bias Temperature Instability*) afeta transistores do tipo NMOS. Além do campo elétrico, a geração de defeitos na interface está relacionada à temperatura na qual o dispositivo se encontra. Quanto mais alta a temperatura, maior a geração de defeitos. Estes defeitos provocam uma degradação na tensão de limiar (*threshold*) do dispositivo e, consequentemente, no desempenho do circuito. Com a redução da espessura do óxido de silício, o campo elétrico através do óxido aumenta e propicia a geração de defeitos pelo fenômeno NBTI/PBTI, agravando a degradação do desempenho do circuito. Em dispositivos convencionais – concebidos com dióxido de silício e terminal de porta em polisilício – os efeitos de NBTI são muito mais relevantes que os efeitos de PBTI (MAKABE; KUBOTA; KITANO, 2000).

Em tecnologias que utilizam óxidos de alta constante dielétrica (*high-k*) para reduzir a corrente de fuga através do terminal de porta do transistor, tem-se uma implicação em efeitos significativos de BTI em ambos os tipos de transistores (KERBER; CARTIER, 2014). Por

serem mais espessos, os campos elétricos sobre estes novos óxidos são reduzidos, o que a princípio reduziria o efeito de NBTI/PBTI. Contudo, pelo fato de não utilizarem silício na sua composição, estes óxidos possuem uma maior propensão para a geração de defeitos na interface com o substrato, logo apresentam uma considerável taxa de aprisionamento de cargas negativas (KANG, A. Y.; LENAHAN; CONLEY, 2002).

Outra característica importante deste fenômeno é o fato de que quando não existe um campo elétrico sobre o óxido, algumas das armadilhas que capturaram portadores de carga os emitem. Deste modo, o efeito é dividido em duas fases: a fase de *stress* (geração) e a fase de *recovery* (recuperação) (CHEN *et al.*, 2003). O fenômeno de recuperação ocorre quando a tensão de estresse é retirada ou até mesmo diminuída, fazendo com que a tensão limiar do transistor seja parcialmente recuperada. Esse tipo de estresse muitas vezes é chamado de BTI dinâmico para se contrapor ao efeito dado por uma tensão estática, chamado de BTI estático. Na condição de BTI dinâmico, observa-se uma degradação menos severa nos parâmetros do dispositivo quando comparado à degradação sob estresse constante (STATHIS; ZAFAR, 2006). Durante o período de estresse (*stress*), a tensão de limiar apresenta um contínuo aumento ao longo do tempo, observando uma característica logarítmica (Denais *et al.*, 2004). Durante o período de recuperação ou relaxação (*recovery* ou *relaxation*), momento em que a tensão estressante é removida do terminal de porta, é possível observar que o aumento da tensão de limiar é interrompido, começando então a diminuir ao longo do tempo, também observando uma característica logarítmica (Denais *et al.*, 2004). A Figura 3.2 mostra a variação da tensão de limiar de um transistor PMOS durante estes dois períodos distintos.

Figura 3.2: Variação da tensão de *threshold* em um transistor PMOS durante fase dinâmica NBTI.

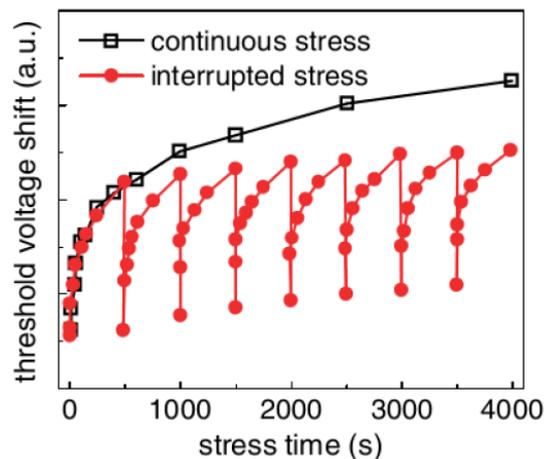


Fonte: VATTIKONDA *et al.* (2006).

O efeito BTI tem se demonstrado independente da frequência do sinal (CHEN *et al.*, 2003). No entanto, para um sinal AC onde ocorrem sucessivos estresses e recuperações, o estresse total será dependente da relação entre o período que o sinal ficou em estresse e o período em que ficou em recuperação, dado pelo ciclo de trabalho (*duty cycle*). Quanto maior o tempo de recuperação em relação ao tempo de estresse, ou seja, menor o *duty cycle* do sinal, menor será o impacto do fenômeno de BTI no transistor.

Sobre condições de operação AC em tecnologias CMOS no estado da arte, o efeito BTI dinâmico resulta em menor severidade na degradação de parâmetros dos dispositivos se comparado com resultados de circuitos em condições DC para longos períodos de tempo. A Figura 3.3 mostra a variação na tensão de limiar de um dispositivo PMOS quando submetido a estresse elétrico contínuo e a estresse elétrico alternado. Uma grande recuperação ocorre quando o transistor não está em condução. Para longos períodos, a degradação de V_{th} é menor se comparada com equivalente para condições estáticas de estresse sem intervalo de relaxação. Em alguns casos, com um ciclo de trabalho de 50% é possível diminuir em mais da metade a degradação de um transistor (STATHIS; ZAFAR, 2006).

Figura 3.3: Variação da tensão de limiar de um transistor PMOS com $W = 10 \mu\text{m}$, $L = 10 \mu\text{m}$ e $t_{ox} = 2 \text{ nm}$ quando submetido a estresse elétrico contínuo e a estresse elétrico alternado.



Fonte: STATHIS; ZAFAR (2006).

As origens do efeito de BTI ainda são muito estudadas e discutidas (GRASSER *et al.*, 2011). Atualmente, as duas teorias com maior presença na literatura são a teoria da criação e restauração de armadilhas na interface (ou *interface traps*) ao longo do tempo, chamada de modelo *Reaction-Difusion* e a teoria do aprisionamento (*trapping*) e liberação (*detrapping*) de portadores em armadilhas presentes no interior do óxido, chamada de modelo *trapping/detrapping*. O modelo *Reaction-Diffusion* foi o primeiro modelo amplamente aceito na literatura para explicar o fenômeno de BTI (SCHRODER, 2007). Porém, a dificuldade deste

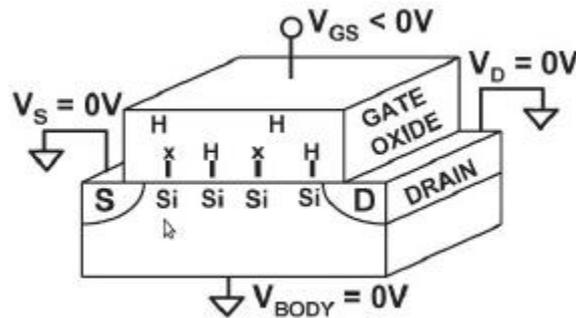
modelo em prever com exatidão o comportamento de recuperação do dispositivo após o estresse (GRASSER *et al.*, 2007) pode ter contribuído para que outros modelos emergissem, como por exemplo, o modelo *trapping/detrapping*, baseado em armadilhas no interior do óxido ou na interface que vem ganhando amplo espaço na literatura.

Modelo Reaction-Diffusion

O modelo conhecido como "Reação - Difusão" (R-D) apresenta consistência entre o modelo de degradação do MOSFET e as dependências das leis de potência (ALAM, 2003). Este modelo tenta explicar a fase de *annealing*, ou recuperação, onde ocorre a volta de parte dos átomos de hidrogênio que se soltaram durante a fase de estresse.

Analisando o comportamento físico do fenômeno, verificou-se em (BAGATIN *et al.*, 2010) e (KANG *et al.*, 2007) que a degradação de um transistor por NBTI é presumivelmente resultado da desestruturação das ligações químicas de Si-H durante sua fase de condução (quando é excitado com uma tensão negativa) na interface na interface de Si/SiO₂. Na estrutura do MOSFET, existem ligações pendentes do Silício (Si), o elemento que compõe o substrato do transistor, na superfície do terminal de porta, devido a incompatibilidade estrutural na camada entre o Silício e o Óxido de Silício (SiO₂), que compõe a camada isolante entre o substrato e o terminal de porta. Assim, convencionalmente é aplicada uma camada de hidrogênio na superfície de silício após o processo de oxidação, durante a sua fabricação para preencher as lacunas de ligações químicas faltantes dos átomos de silício (KRISHNAN *et al.*, 2006) e são estes átomos que acabam sendo perdidos durante a fase de operação do transistor conforme Figura 3.4. Com essa desestruturação, criam-se lacunas na interface de SiO₂ que, por sua vez, acabam por criar uma carga positiva em sua estrutura e assim, enfraquecem o campo gerado pelo polisilício de transistores MOSFETs de canal P durante a condução. Esse efeito acaba sendo observado como um aumento da tensão de *threshold* do transistor afetado durante o tempo em que o transistor é estressado com um valor negativo de tensão aplicado à porta. Na Figura 3.4 pode-se ver um transistor PMOS sendo polarizado negativamente (acionado). Nela se percebem algumas ligações Si-H ainda intactas enquanto outras já apresentam degradação, tendo os locais onde antes haviam átomos de hidrogênio preenchidos com lacunas x.

Figura 3.4: Processo de envelhecimento



Fonte: KANG *et al.*, 2007.

Na fase de recuperação, quando o transistor não está conduzindo, os átomos de hidrogênio voltam para seus locais de origem através de um processo conhecido como *annealing* que nada mais é do que a recuperação das ligações de Si-H através da recuperação de átomos de hidrogênios livres, fazendo com que o valor de deslocamento do *threshold* seja reduzido parcialmente, aproximando-se do valor original. Esta propriedade torna o efeito diretamente ligado aos vetores de entrada do circuito e a probabilidade de ocorrência dos mesmos. As técnicas que tentam reduzir a degradação exploram estas duas características tentando projetar circuitos mais robustos a essa degradação (VATTIKONDA, R; WANG, W.; CAO, 2006)

Com o aumento recente no estudo das características do processo de recuperação dos dispositivos, observou-se que as previsões do modelo R-D apresentavam inconsistências com resultados experimentais (GRASSER *et al.*, 2007) (GRASSER *et al.*, 2011). Além disso, o modelo *Reaction-Diffusion* prevê que as armadilhas de interface são criadas de forma linear com o tempo de estresse enquanto os íons de hidrogênio são criados. Porém, identificou-se em trabalhos recentes que a variação da tensão de limiar em dispositivos submicrométricos possui natureza discreta (GRASSER *et al.*, 2010), o que não é condizente com a teoria R-D. Estes fatores podem ter sido responsáveis para que outra modelagem mais completa dos efeitos de NBTI tomasse maior importância. Este modelo é apresentado na próxima subseção.

Modelo de Armadilhas (*Charge Trapping Model*)

O modelo de aprisionamento e posterior liberação de cargas (*trapping e detrapping*), é explicado pelo efeito de captura e liberação de portadores no interior do dielétrico (GRASSER *et al.*, 2009-a) (KACZER *et al.*, 2009). A variação de V_{th} é dada pela existência de armadilhas localizados na interface entre semiconductor e dielétrico, ou no interior do óxido. As

probabilidades de captura e emissão são dadas pelo de tempo de captura e pelo tempo de emissão, que são os tempos médios transcorridos para que a armadilha capture um portador e emita esse portador, respectivamente. Esses tempos são log-uniformemente distribuídos, ou seja, armadilhas com diversas ordens de grandezas diferentes podem ser encontradas com a mesma probabilidade no óxido do transistor (GRASSER *et al.*, 2010).

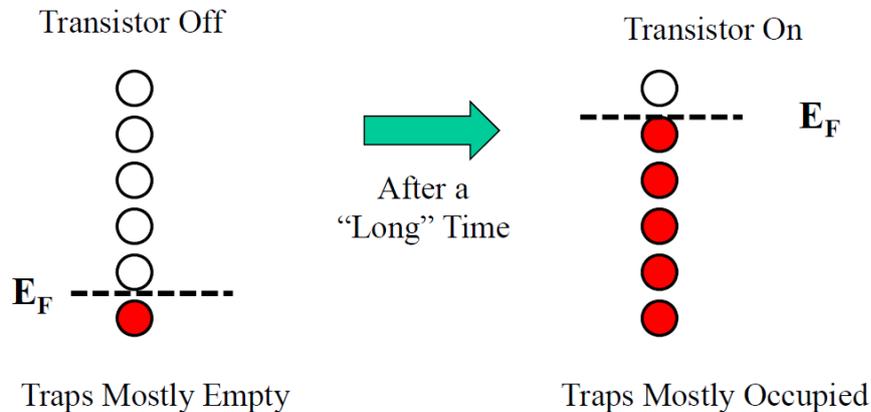
De acordo com o modelo, quando uma armadilha é ocupada por um portador de carga (elétron ou lacuna) ela ficará eletricamente carregada. Assim, a tensão de limiar do transistor é alterada, de acordo com a localização da armadilha no óxido, já que a localização determina o efeito eletrostático que a armadilha terá na porta e no canal de inversão do transistor, e também determina o impacto na mobilidade dos portadores no transistor, já que o seu efeito eletrostático pode obstruir um caminho de percolação no canal (KACZER *et al.*, 2010-a) diminuindo drasticamente a sua condutividade. Combinando todos os efeitos, dados pela localização da armadilha no canal, tem-se o desvio no V_{th} dado por uma determinada armadilha. Fisicamente, estas armadilhas responsáveis pelo aprisionamento e liberação de cargas correspondem a estados elétricos situados no interior do dielétrico ou na interface entre dielétrico e semicondutor, sendo originados por impurezas, ligações não completadas ou má formação do óxido.

No entanto, nem todas as armadilhas presentes em um dispositivo contribuem com o efeito de BTI. As armadilhas responsáveis por esse efeito são aquelas que possuem uma probabilidade bastante alta de permanecer ocupadas após um evento de captura. Isso significa dizer que o tempo de captura associado a essas armadilhas é muito menor que o tempo de emissão (WIRTH *et al.*, 2014). Armadilhas cujos tempos de captura e emissão são mais próximos contribuem para o *Random Telegraph Noise* (RTN).

Durante o período de estresse, armadilhas com diferentes tempos de captura e diferentes desvios de V_{th} são povoadas, alterando assim, a tensão limiar ao longo do tempo. As armadilhas localizadas no dielétrico ou na interface com silício podem capturar e reemitir os portadores responsáveis pela corrente entre dreno e fonte de um MOSFET, promovendo alterações discretas na corrente do canal. Se um portador é capturado, isso afeta a condutividade porque o número de portadores disponíveis no canal se altera, além disso, a armadilha carregada pode se tornar fonte de espalhamento, afetando a corrente do dispositivo. A aplicação de tensão no terminal de porta pode aumentar a probabilidade de ocupação das armadilhas, pois a tensão de porta altera o nível de Fermi de forma que a probabilidade de ocupação das armadilhas aumenta (WIRTH *et al.*, 2011). Assim, a taxa de captura de portadores se torna maior que a taxa de emissão, conduzindo a um acúmulo de carga aprisionada ao longo do tempo. A Figura

3.5 mostra a ocupação das armadilhas presentes em um dispositivo NMOS, onde o transistor muda abruptamente seu estado de desligado para ligado, alterando o potencial de superfície e a probabilidade de ocupação das armadilhas acompanha o novo nível de Fermi.

Figura 3.5: Ocupação das armadilhas de um transistor NMOS para as situações em que o transistor está ligado e desligado.



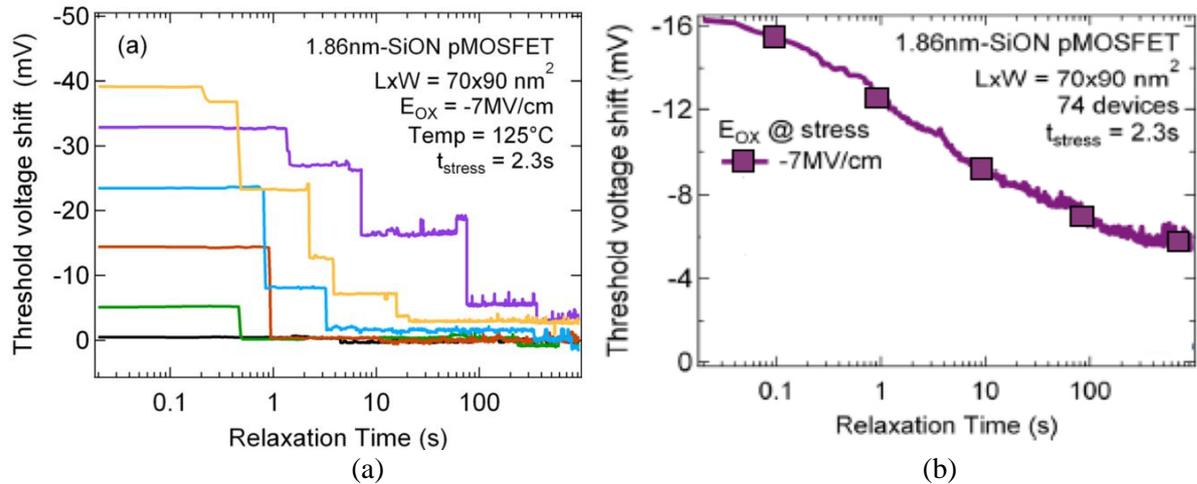
Fonte: WIRTH *et al.* (2014).

Armadilhas situadas abaixo do nível de Fermi são assumidas como ocupadas e aquelas situadas acima são assumidas como vazias. Armadilhas que contribuem para BTI são aquelas cujo tempo de captura é mais curto que o tempo de emissão, possuem uma alta probabilidade de permanecerem ocupada.

Quando um estresse elétrico é aplicado no transistor, então a densidade de armadilhas ocupadas aumenta de maneira logarítmica, devido à natureza estocástica do processo. Na etapa de relaxação ocorre o processo inverso.

Uma vez que cada armadilha contribui com um ΔV_{th} , a variação total da tensão de limiar corresponde à soma das contribuições individuais de cada armadilha. A Figura 3.6 mostra a variação da tensão de limiar de transistores nanométricos durante o processo de recuperação, após um tempo de estresse. Uma variação negativa na tensão de limiar é observada na Figura 3.6a - aumento de V_{th} em módulo - após a aplicação de uma tensão de porta negativa sob elevadas temperaturas em transistores pMOSFETS. Os passos discretos observados são referentes a um único evento de emissão de carga de uma única armadilha. O número discreto de variações de V_{th} por dispositivo segue a distribuição de Poisson (não mostrado).

Figura 3.6: Fase de relaxação (isto é, emissão de carga) após estresse negativo no terminal de porta para transistores pMOSFETs no mesmo wafer com $L = 0,70 \text{ nm}$ e $W = 0,90 \text{ nm}$. A curva com *steps* representa a medida de alguns transistores (a), enquanto que a curva suavizada representa a média para 74 transistores (b).



Fonte: adaptado de TOLEDANO-LUQUE *et al.* (2011).

Os resultados mostrados na Figura 3.6 são relaxações transientes para MOSFETS do tipo PMOS com 1,86nm de espessura de óxido em oxinitreto de silício, $L=70\text{nm}$ e $W= 90\text{nm}$. Após estresse negativo aplicado ao terminal de porta, durante 2.3 segundos à temperatura de 125°C , a fase de recuperação é exibida. A curva em 3.6b exibe traços de 74 dispositivos plotados juntos, o que corrobora que as fases de relaxação transiente são resultado da emissão de múltiplas cargas aprisionadas no dielétrico de porta.

De acordo com (KACZER *et al.*, 2010-b), se assumirmos que o número de armadilhas por dispositivo é dado por uma distribuição de Poisson e que o impacto destes na tensão de limiar é dado por uma distribuição exponencial, é possível descrever BTI de forma analítica. Uma análise estatística detalhada mostra que o comportamento em função do tempo é logarítmico (WIRTH *et al.*, 2011) como experimentalmente observado.

Com a redução dos tamanhos dos dispositivos, a importância do efeito BTI torna-se ainda mais relevante. Apesar do reduzido número de *traps* para transistores com nós tecnológicos mais modernos, o impacto de cada armadilha na tensão de limiar do transistor gera um aumento significativo da variabilidade da degradação (WIRTH *et al.*, 2011). O aumento da variabilidade com a redução do tamanho dos transistores aumenta o impacto que uma única armadilha tem na degradação de V_{th} e aumenta o efeito de flutuações aleatórias na dopagem (RDF). *Random Dopant Fluctuation* é um efeito de variabilidade que afeta transistores nanométricos. A variabilidade é dada pela pequena quantidade de dopantes necessária para dopar esses transistores e pela localização aleatória dos dopantes no canal do transistor. Sabe-

se que a região onde se encontra o átomo dopante é uma região de maior resistência para a passagem do portador, funcionando como barreiras onde a energia de condução é mais elevada. Ao diminuir gradualmente o tamanho do transistor a quantidade de defeitos contida em cada transistor é diminuída proporcionalmente. Dada a natureza estocástica dos defeitos no óxido, devido a sua localização, o efeito BTI apresenta alta variabilidade em transistores diminutos. Assim, mesmo com transistores com mesmas dimensões, parâmetros e até mesmas quantidades de armadilhas, o efeito de BTI pode ser completamente diferente entre eles.

O modelo de armadilhas também não consegue explicar o fenômeno de NBTI em sua totalidade, possuindo algumas deficiências na modelagem para longos tempos de estresse (KACZER *et al.*, 2008) e na influência da temperatura nas etapas de estresse e relaxação (GRASSER, 2008). Na literatura também pode ser encontrado modelos compostos, como em (IELMINI *et al.*, 2009) que combinam as duas técnicas, modelagem RD e modelagem de armadilhas. No entanto, demais variações das modelagens apresentadas não serão discutidas neste trabalho.

O efeito de BTI impacta diretamente no desempenho dos circuitos digitais, uma vez que o efeito de envelhecimento aumenta V_{th} em módulo, e ao aumentar V_{th} , diminui a corrente de dreno do transistor, que por sua vez influencia o tempo de propagação do sinal elétrico em uma porta lógica. O tempo de propagação aumenta, potencializado por variações do processo de fabricação, ou por variações na tensão de alimentação, também por variações na temperatura de operação, ou pelo envelhecimento, ou por um somatório desses, pode ocorrer um erro de sincronismo (MARTINS *et al.*, 2011).

Em circuitos digitais, o NBTI é responsável pelo aumento do atraso das redes de *pull up*. Isso é uma consequência direta do aumento do módulo da tensão de limiar dos transistores que compõem tal rede. O aumento da tensão de limiar reduz a corrente de dreno do transistor operando na região de saturação. A equação 3.1 baseada no modelo quadrático descreve, de maneira simplificada, a corrente de dreno durante a saturação de um MOSFET de forma aproximada. Nesse sentido, é necessário mais tempo para esta rede transportar a mesma quantidade de carga. Um maior atraso na rede de *pull up* se converte em um maior tempo de subida e então em um maior tempo de propagação de um sinal através da rede lógica podendo causar violações do tempo de *setup*, assumindo que a rede lógica se encontra em um circuito digital síncrono (DA SILVA *et al.*, 2009).

$$I_D = \frac{\mu_n C_{OX} W}{2L} (V_{GS} - V_T)^2 \quad (3.1)$$

Durante a etapa de projeto, seja de circuitos digitais, analógicos ou de memórias, é então de grande relevância considerar o impacto do NBTI no circuito para que então se desenvolvam projetos mais robustos e confiáveis. Com esta finalidade, trabalhos que buscam o aprimoramento dessa técnica de projeto têm sido desenvolvidos do nível de projeto físico ao nível de sistema (AHMED; MILOR, 2011), (BILD *et al.*, 2009), (DA SILVA *et al.*, 2009).

O Capítulo abordou os defeitos nos transistores que são responsáveis pelos efeitos de degradação BTI. Os atuais circuitos digitais contêm cerca de bilhões de transistores. Para uma boa prevenção ou predição das consequências da radiação ionizante é importante avaliar condições necessárias à boa caracterização do efeito de envelhecimento. Logo, este trabalho apresenta uma abordagem automatizada, a partir de simulação de circuitos elétricos com análise das atividades das armadilhas, com o objetivo de caracterizar rapidamente centenas de transistores em um circuito eletrônico. No capítulo seguinte será descrito a ferramenta utilizada para a simulação dos resultados obtidos.

4. SIMULAÇÃO DO EFEITO DE BTI

A degradação das características de dispositivos MOSFETs devido aos efeitos de envelhecimento tem se tornado crítico, especialmente para as tecnologias de 45nm e mais modernos. O efeito RDF e o impacto causado pelos defeitos devido às armadilhas no óxido tornam-se significativos. *Random Telegraph Noise* (RTN) e *Bias Temperature Instability* (BTI) implicam em questões de confiabilidade induzindo variabilidade no comportamento elétrico ao longo do tempo. Estes fenômenos induzem flutuações no comportamento elétrico que podem mudar de um instante de tempo para outro.

Enquanto RTN tem sido amplamente discutido por vários autores, sendo alguns sobre a perspectiva de aplicação ao nível de dispositivos. O fenômeno BTI também tem sido abordado no desempenho de circuitos integrados (VATTIKONDA; WANG; CAO, 2006) (WANG *et al.*, 2007) (IELMINI *et al.*, 2009) através de modelagem analítica da degradação de dispositivos. Algumas soluções para tornar o circuito mais robusto aos efeitos de BTI foram apresentadas em (KUMAR, A.; ANIS, 2009) e (WANG *et al.*, 2007). Sensores de envelhecimento foram apresentado em (AGARWAL *et al.*, 2007), realizando uma previsão de falha sobre as células de memória. Porém, o desempenho temporal de um circuito é afetado por muitos fatores para além do envelhecimento, dos quais se destacam as variações de processo, da tensão de alimentação ou da temperatura (SEMIÃO *et al.*, 2008). Em (KANG *et al.*, 2008) e (CERATTI, 2012) um método que modela a degradação de um transistor PMOS em simuladores elétricos como o HSPICE (SYNOPSYS, 2007), baseia-se na adição de uma fonte de tensão em série com o terminal de porta do transistor PMOS de forma a ajustar a tensão da fonte inserida, simulando o deslocamento do valor da tensão de limiar do transistor PMOS.

Longos testes são necessários para se avaliar a degradação do desempenho de um circuito devido ao envelhecimento, aumentando o custo de projeto. Alguns projetistas fazem uso de regras conservadoras protegendo caminhos críticos, o que eleva o custo de fabricação. Uma solução em nível de simulação de circuitos para o fenômeno de BTI é essencial, uma vez que o efeito de envelhecimento bem como as condições de polarização do circuito são uma função do tempo. Deve-se também levar em consideração o comportamento dinâmico dos circuitos, cujos transistores alteram constantemente seu estado de ligado para desligado e vice-versa, sendo essencial para avaliar a suscetibilidade do circuito aos principais efeitos de variabilidade usando uma modelagem precisa no domínio do tempo.

Um simulador que considera a atividade das armadilhas em simulações transientes (WIRTH *et al.*, 2012) foi desenvolvido pelo nosso grupo de pesquisa no Laboratório de

Prototipação e Testes (LAPROT) da Universidade Federal do Rio Grande do Sul. O Simulador tem a capacidade de avaliar os efeitos causados pelas armadilhas, tais como *Random Telegraph Signal* (RTS) e *Bias Temperature Instability* (BTI) ao nível de circuito.

Simulador RTS/BTI

Simulações atomísticas (TCAD - *Technology Computer Aided Design*) mostram que o impacto de uma única armadilha no canal de um transistor na tecnologia 45nm pode aumentar em até 16% a tensão de limiar do dispositivo (KACZER *et al.*, 2011). No entanto, este tipo de simulação não é recomendado para estudar o impacto de armadilhas em circuitos com um número significativo de transistores, devido ao custo computacional.

Recentemente alguns autores apresentaram metodologias de simulação capaz de simular o efeito de BTI em simulações transientes Spice. Porém, as metodologias descritas na literatura não suportam modelos que dependam das condições de polarização do circuito no momento anterior à incidência de radiação ou não são computacionalmente eficientes, não sendo capazes de executar simulações Monte Carlo em circuitos realísticos.

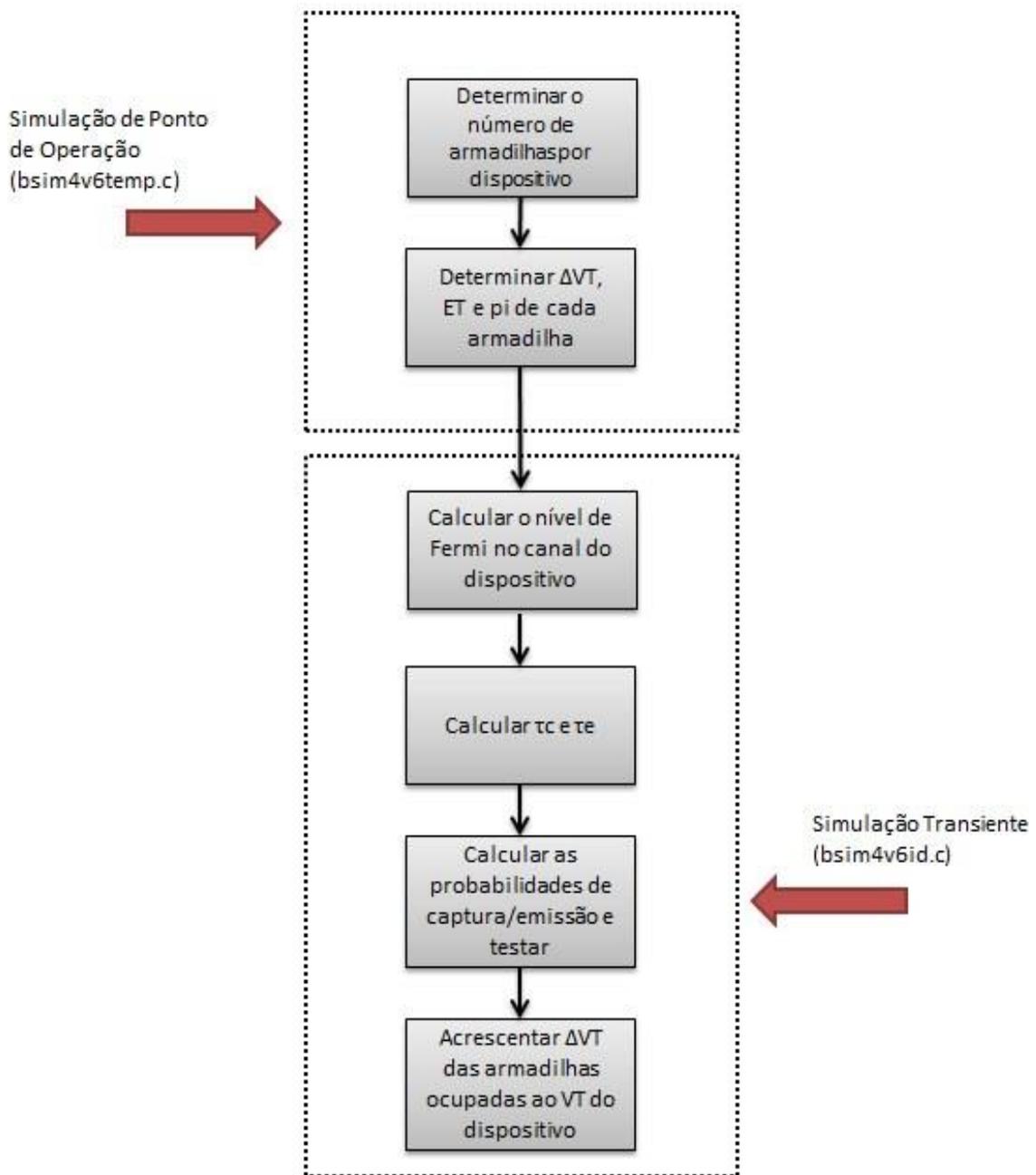
O simulador RTS/BTI tem como objetivo incorporar ao modelo BSIM4 (BSIMV4.6.4, 2009) de transistores MOS, os efeitos transientes dos processos de captura e emissão de portadores em armadilhas. A estes processos de captura e emissão de portadores são associados os fenômenos de *Random Telegraph Signal* (RTS) e *Bias Temperature Instability* (BTI). O Simulador é baseado no código Spice cujo impacto dos efeitos de armadilhas foram adicionados ao código. Através de equações cinéticas e rotinas, a cada passo de simulação transiente é analisada a probabilidade de uma armadilha alterar seu estado. Baseado nessa informação, o próximo estágio de ocupação da armadilha é definido randomicamente. Para cada armadilha que se encontra ocupada, o impacto sobre V_{th} é adicionado ao parâmetro do modelo da tecnologia do transistor (WIRTH *et al.*, 2012).

O funcionamento do simulador consiste em determinar, a cada instante de tempo de uma simulação transiente (*step*), se uma transição de captura ou de emissão ocorre em uma determinada armadilha. Quando uma armadilha é ocupada, ela produz um desvio na tensão de limiar (ΔV_{th}) do dispositivo que, conseqüentemente, resulta em uma diminuição da corrente de dreno do dispositivo para um mesmo ponto de operação (*bias*).

Um fluxograma do funcionamento do simulador é apresentado na Figura 4.1. Ele é incorporado ao modelo BSIM4v6 em duas etapas, implementadas em linguagem de programação C. A primeira, durante a simulação do ponto de operação do dispositivo, quando

é determinada a quantidade de armadilhas por dispositivo, bem como o nível energético de cada uma destas armadilhas e o seu impacto na tensão de limiar do dispositivo ΔV_{th} . Esta simulação é executada somente uma vez durante a execução da simulação do dispositivo e anteriormente a simulação transiente. A segunda parte, durante a simulação transiente do dispositivo, determina se uma armadilha deve ou não estar ocupada em um determinado instante de tempo; caso a armadilha esteja ocupada, ela provoca uma variação na tensão de limiar do dispositivo. Esta etapa é repetida a cada passo da simulação transiente (*step*).

Figura 4.1: Fluxograma simplificado do simulador RTS/BTI



Fonte: Autor

Dessa forma, o código para análise de RTN/BTI foi basicamente implementado em dois arquivos pontuais: um relacionado à inicialização do transistor e outro relacionado aos cálculos transientes. Uma vez que alguns parâmetros de entrada são definidos no arquivo de entrada, a simulação elétrica pode ser iniciada. Os parâmetros de entrada são exemplificados no Apêndice A e seu uso é descrito no Apêndice B. A seguir, serão descritos em maiores detalhes os blocos apresentados no fluxograma.

4.1.1. Determinação do Número de Armadilhas por Dispositivo

A cada transistor do circuito, no início de uma simulação RTS/BTI, é atribuído um número aleatório de armadilhas. Este número é sorteado de uma distribuição de Poisson, cuja média (λ) é igual ao parâmetro *tlbden* do modelo de transistor. Esse é um dos parâmetros de entrada no modelo do transistor, apresentada dentro do modelo PTM no apêndice A. Esta etapa está incluída na simulação do ponto de operação.

Cada armadilha é uma estrutura com determinadas variáveis, como o seu impacto na tensão de limiar, seu nível energético, etc. Outro parâmetro de entrada nomeado *lambda* é utilizado para se determinar o número de armadilhas de um dispositivo, que é diretamente proporcional a área do dispositivo. Isso é natural uma vez que dispositivos menores devem apresentar um número menor de armadilhas e, portanto, *lambda* menor.

4.1.2. Determinação do Desvio da Tensão de Limiar de cada armadilha, do seu nível energético (E_T) e do parâmetro π .

A determinação do impacto de cada armadilha na tensão de limiar também é aleatória. Este impacto é sorteado de uma distribuição exponencial com média (λ) igual ao parâmetro *Vthlb* do modelo. Os tempos de captura (τ_c) e emissão (τ_e) da *trap* dependem da diferença entre os níveis de Fermi (E_F) e o nível de energia da *trap* (E_T). Os parâmetros E_T e π são utilizados para a determinação das constantes de captura e emissão do dispositivo, dadas por

$$\tau_c = 10^{\pi} \left(1 - e^{\frac{E_T - E_F}{KT}} \right) \quad (4.1)$$

$$\tau_e = 10^{\pi} \left(1 - e^{\frac{E_F - E_T}{KT}} \right) \quad (4.2)$$

Onde K é a constante de Boltzmann, T é a temperatura, E_F é a energia de Fermi. Os parâmetros (E_T e π_i) são invariantes durante a simulação transiente e, portanto, podem ser calculados durante a simulação de ponto de operação. O parâmetro E_T é calculado a partir de uma distribuição em forma de U (*U-Shaped*), com energia mínima igual a zero e energia máxima igual ao parâmetro *hetlim* do modelo. O parâmetro π_i é calculado a partir de uma distribuição uniforme, cujos limites são os parâmetros *lpi* e *hpi* do modelo. Observa-se que o impacto de cada armadilha no desvio da tensão de limiar depende do tamanho do transistor, ou seja, transistores menores possuem armadilhas com maior impacto.

No simulador determina-se uma ocupação inicial das *traps*. Quando há interesse na simulação de RTS utiliza-se uma ocupação inicial de 50% das armadilhas, iniciando a simulação com um ΔVT relacionado ao BTI. Por outro lado, determina-se uma ocupação inicial nula, ou seja, não há desvio de tensão de limiar no instante zero (condição ideal para a simulação de BTI) assumindo-se que o circuito está desligado por um tempo suficientemente longo para que todas as armadilhas estejam desocupadas.

4.1.3. Calcular o Nível de Fermi no canal

A determinação do nível de Fermi no canal é feita a partir dos potenciais de porta e substrato do dispositivo e de uma gama de outros parâmetros. Não é o escopo desta documentação tratar da determinação do nível de Fermi no canal. O código para o cálculo do potencial de superfície, como descrito anteriormente, está dentro da simulação de ponto de operação (*bsim4v6temp.c*). A determinação do nível de Fermi no canal é efetuada a cada passo (*step*) de simulação transiente.

Neste bloco, é interessante observar que são utilizados os tempos atual e anterior da simulação com o intuito de determinar um Δt , ou seja, o intervalo de tempo sobre o qual será calculada a probabilidade de transição de uma armadilha.

4.1.4. Calcular τ_c e τ_e , determinação das probabilidades de transição e determinação da ocorrência ou não de uma transição

A partir das equações 4.1 e 4.2 citadas anteriormente, calcula-se a probabilidade de ocorrência de uma transição, seja de captura ou de emissão, durante um intervalo de tempo Δt dada por

$$p_{01} = \frac{\Delta t}{\tau_c} \quad 4.3$$

$$p_{10} = \frac{\Delta t}{\tau_e} \quad 4.4$$

Sorteia-se um número aleatório entre 0 e 1 em uma distribuição uniformemente distribuída, se este número for menor do que p_{01} para uma armadilha vazia ou p_{10} para uma armadilha ocupada, esta armadilha irá efetuar uma transição.

Todas as armadilhas de todos os dispositivos devem ter suas probabilidades recalculadas a cada *step* da simulação e testadas para verificar a ocorrência ou não de uma transição no intervalo de tempo Δt . Em implementação Spice, Δt é assumido como sendo igual a dt , passo discreto da simulação transiente.

4.1.5. Contribuição de cada armadilha ao desvio de V_t do transistor

Finalmente, uma vez determinado se a armadilha está ocupada ou não, deve-se somar ou não a sua contribuição ao desvio da tensão de limiar do dispositivo. Após este passo, pode-se passar para armadilha seguinte do dispositivo ou, ao término de todas as armadilhas, passar ao cálculo do próximo dispositivo.

4.2.

Validação do Simulador RTS/BTI

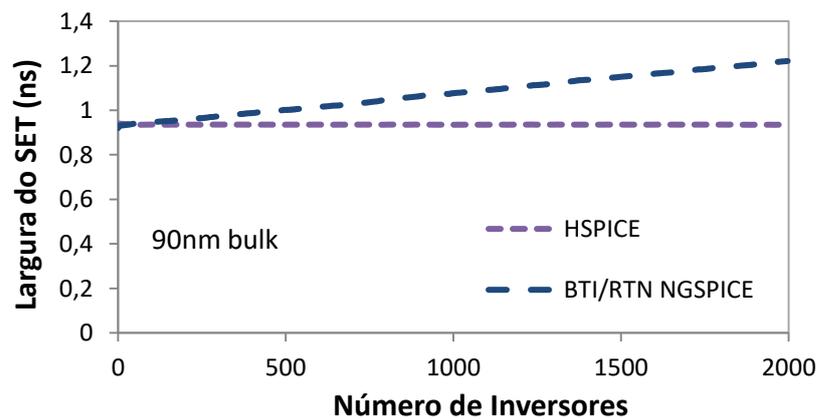
Neste trabalho utilizaremos o simulador descrito para analisar o comportamento elétrico de longas cadeias de portas lógicas com intuito de aferir os efeitos de envelhecimento. O processo de tecnologia adotado foi CMOS 90nm modelo PTM (*Predictive Technology Model*), com V_{DD} nominal de 1,2V. Os transistores foram utilizados próximos aos seus tamanhos mínimos. A atividade das armadilhas durante a simulação elétrica em longas cadeias de inversores para a verificação do efeito BTI é avaliada. A entrada da cadeia foi estabilizada no valor lógico ‘0’ durante diferentes tempos de estresse, no momento anterior a incidência de partícula energética no transistor PMOS, gerando um pulso transiente que se propaga ao longo das portas lógicas e este será medido no final da cadeia.

O mesmo circuito e tecnologia foi estudado utilizando a ferramenta comercial HSPICE (SYNOPTIS, 2007) para comprovar que nenhum pulso é alargado ao longo da cadeia.

Dependendo da energia da partícula incidente o pulso, algumas vezes, pode ser atenuado ou completamente absorvido devido ao mascaramento elétrico, mas em nenhum momento exibe alargamento na saída do circuito, já que esta ferramenta não inclui os efeitos da atividade das armadilhas nos transistores.

Para analisar o impacto do efeito de envelhecimento na propagação do pulso, uma comparação das ferramentas HSPICE (HSPICE, 2017) e do simulador RTS/BTI (WIRTH, G. *et al.*, 2012) é exibida na Figura 4.2 para a verificação de confiabilidade do Simulador RTS/BTI.

Figura 4.2: Largura de SETs medidos na saída de cadeias de inversores usando HSPICE e Simulador RTS/BTI. Entrada estabilizada no valor lógico baixo durante 100ns. A linha pontilhada superior representa a degradação de V_{th} devido ao estresse.



Fonte: Autor

Este método de simulação visa comprovar a ferramenta RTS/BTI como uma ferramenta eficiente para a análise de ambos fenômenos RTN e BTI em simulação transiente. As simulações foram realizadas a fim de analisar as flutuações da tensão de limiar dos transistores ao longo do tempo e seu impacto na largura de SETs injetados em longas cadeias combinacionais. A metodologia foi implementada utilizando-se o software de simulação de circuitos NGSPICE cujo código é livre e disponível abertamente (NGSPICE, 2009). Visto que nenhuma modificação é necessária no *netlist* do circuito a implementação é transparente para o projetista. A ferramenta de simulação elétrica mostrou-se capaz de projetar os efeitos causados pelas armadilhas (WIRTH *et al.*, 2012), levando em consideração a complexidade inerente à dependência entre o estado de ocupação das armadilhas (*traps*) e as condições de polarização (*bias*) do circuito no momento da incidência do pulso. Estudos de casos com inversores em série são normalmente utilizados para este tipo de análise.

A ferramenta de simulação elétrica Ngspice RTN/BTI foi desenvolvida baseada no modelo de BTI mais aceito pela literatura atualmente utilizando o modelo de transistores

BSIMV4 (BSIM4.6.4, 2009), que torna esta ferramenta bastante versátil para avaliação de circuitos MOS em condições de polarização DC, AC, e ainda sob quaisquer aspectos dinâmicos de polarização. A característica peculiar desta ferramenta que inclui as equações cinéticas no modelo do transistor, possibilita o uso desta metodologia com quaisquer projetos ao nível de circuitos permitindo ainda estender esta solução para inclusão outros fatores dependentes do tempo em trabalhos futuros.

Os resultados da simulação confirmaram que os efeitos causados pelas *traps* se tornaram de fato uma grande ameaça a confiabilidade de circuitos devido ao grande aumento da variabilidade na largura de SETs que podem ocorrer na saída de longas estruturas lógicas. No capítulo seguinte será explicado detalhadamente o efeito de alargamento do pulso e suas consequências em circuitos altamente integrados.

5. EFEITO PIPB EM CIRCUITOS CMOS

Técnicas contemporâneas de projetos que levam em consideração efeitos de mascaramento em circuitos digitais não são suficientemente precisas na modelagem da propagação de *soft errors*, uma vez que essas técnicas omitem a possibilidade que um SET possa sofrer alargamento de pulso enquanto propagado ao longo de um circuito combinacional. Em trabalhos recentes (FERLET-CAVROIS *et al.*, 2007) e (LI *et al.*, 2011) os autores observaram a possibilidade da largura de um SET sofrer alargamento ao se propagar em uma cadeia de inversores, subsequentemente, têm sido alvo de diversas pesquisas que analisam o efeito *Propagation Induced Pulse Broadening* (PIPB) e seu impacto na largura de pulsos transientes em cadeia de inversores na tecnologia SOI e bulk CMOS (CAVROIS *et al.*, 2008) (FERLET-CAVROIS *et al.*, 2008) (MASSENGILL; TUINENGA, 2008).

A possibilidade de alargamento ou atenuação do pulso transiente oriundo da incidência de partícula energizada está relacionada a diversos parâmetros provenientes do efeito de BTI em circuitos eletrônicos, tais como: a tensão de alimentação, temperatura do circuito e o estado de polarização do circuito no momento imediatamente anterior à colisão. Embora este último dependa da lógica de operação do circuito e é temporalmente variável, é necessário que seja incorporado à análise de degradação uma vez que um diagnóstico puramente estático forneceria uma estimativa exagerada da deterioração real do circuito (WANG *et al.*, 2007).

Em circuitos combinacionais o principal parâmetro afetado pelo efeito BTI é o atraso entre os caminhos lógicos, resultante da diminuição da corrente de saturação dos transistores da rede de *pull up* (WENPING *et al.*, 2010). Devido a esta variação na tensão de limiar dos transistores, notados principalmente nos transistores de canal P, podemos observar variação na largura do pulso inicial ao longo da cadeia combinacional podendo esta sofrer um alargamento na saída do circuito.

Longas cadeias de inversores serão utilizadas a fim de se verificar os efeitos PIPB no funcionamento da cadeia lógica sobre diferentes condições estáticas e dinâmicas de polarização. Verificamos os efeitos da propagação de uma partícula ionizante oriunda de radiação externa que atinge um inversor da cadeia, inserida no simulador sob a forma convencionalmente adotada de dupla exponencial de corrente. A caracterização da resposta da cadeia lógica representa um ponto importante na compreensão e concepção de estratégias de mitigação dos efeitos de radiação para circuitos integrados.

Normalmente se assume que a largura de um SET é preservada enquanto o pulso se propaga ao longo de uma cadeia de células idênticas, ou, no pior caso, atenuado quando a

capacitância do nodo é relativamente grande. Porém, atualmente, sabe-se que os efeitos de modulação da largura do pulso podem ampliar ou reduzir a largura do SET durante a propagação. Esse efeito também dificulta que pesquisadores avaliem precisamente a distribuição de largura de pulso de um SET ao longo do tempo. Essa hipótese tem exigido um projeto onde testes são realizados através de longas cadeias de inversores, a fim de estudar a geração e propagação de SETs, caracterizando experimentalmente o efeito PIPB (*Propagation Induced Pulse Broadening*) (FERLET-CAVROIS *et al.*, 2007) (FERLET-CAVROIS *et al.*, 2008) (LI, 2011) (MASSENGILL; TUINENGA, 2008) (HARADA *et al.*, 2013).

Pulsos transientes estreitos, menores que 200ps, foram medidos no dreno de um transistor e observou-se um alargamento progressivo até a faixa dos nanosegundos ao percorrer longas cadeias lógicas. Esse fato foi experimentalmente demonstrado usando laser, que revela um progressivo efeito PIPB conforme o pulso transiente propaga ao longo da cadeia de inversores (FERLET-CAVROIS *et al.*, 2007). Quando um SET atravessa apenas poucos inversores o alargamento observado é pequeno. No entanto, a largura do SET medido após este percorrer longas cadeias, resulta em significativo alargamento. Prever estes efeitos e garantir com precisão soluções que garantem as condições de operação de um circuito digital sobre os efeitos radioativos é um desafio para os projetistas.

5.1.

Envelhecimento em Condições DC

A incidência de uma partícula ionizante de elevada energia em uma região sensível de um inversor da série no circuito pode ocasionar um evento transiente. Tais partículas podem originar falhas transientes denominadas SETs (*Single-Event Transients*). Um SET ocorre quando uma partícula atinge uma região sensível de um circuito combinacional (dreno de um transistor que se encontra em estado desligado), resultando na injeção de pares elétron-lacuna livres em alguma área ativa do circuito. Desta forma, a trilha de ionização resultante irá permitir a geração de um pulso de corrente, o qual se transforma em um pulso de tensão. Se o pulso de tensão gerado não for mascarado lógica ou eletricamente, poderá propagar-se pela lógica combinacional até alguma das saídas primárias, podendo ser capturado por um elemento de memória, causando uma falha no circuito.

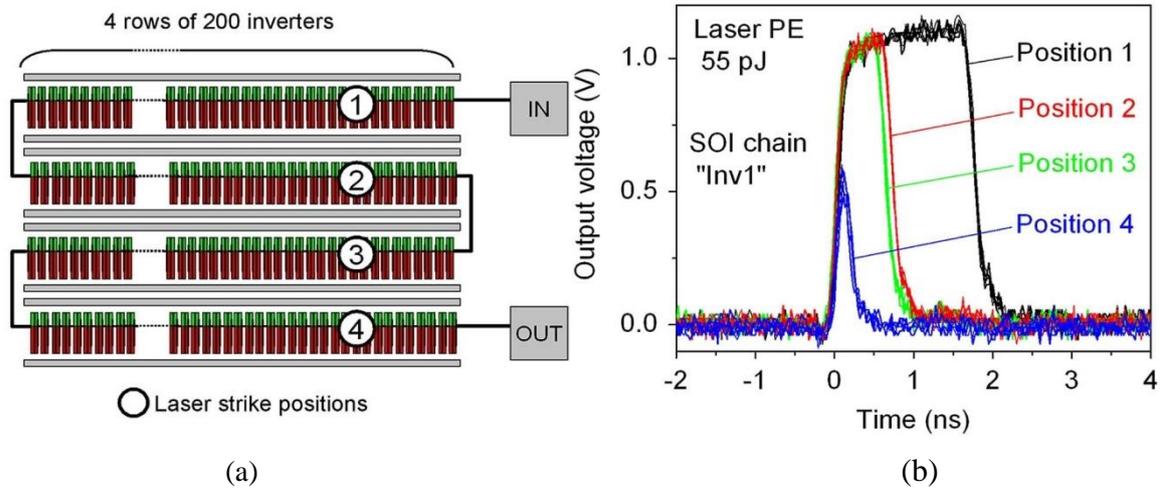
Uma longa cadeia de inversores é mostrada na Figura 5.1 com intuito de exibir os efeitos de alargamento. Radiação a laser foi utilizada na cadeia de 800 inversores idênticos na tecnologia SOI com entradas tanto em nível lógico baixo (0V) quanto em nível lógico alto

lógico (1,2V) estabilizadas. Tensões transientes foram medidas na saída da cadeia na tecnologia 0.13 μ m.

Figura 5.1: (a) Esquemático da cadeia de inversores indicando quatro pontos de incidência à laser. (b)

Tensões transientes verificadas na saída da cadeia em função da posição de incidência do laser.

Entrada do circuito estabilizada em nível lógico ‘baixo’.

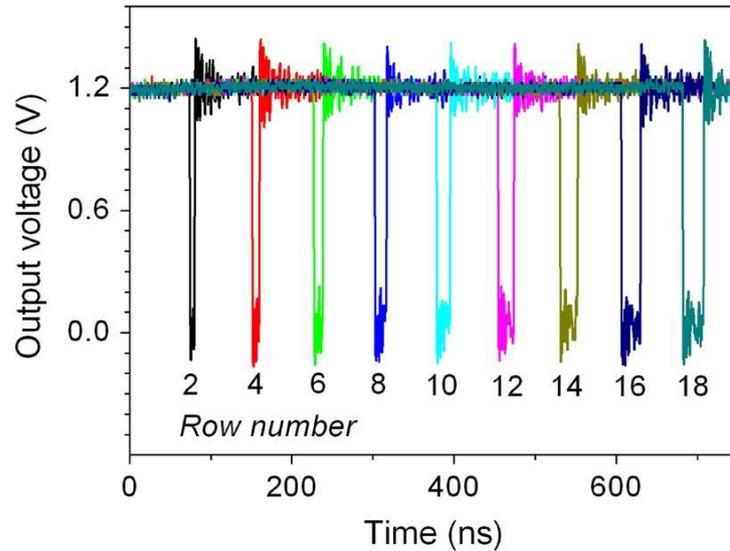


Fonte: FERLET-CAVROIS *et al.* (2007)

A largura do pulso transiente é fortemente dependente da localização de incidência da partícula ionizante. Para o laser que atingiu o circuito próximo à saída (posição 4), a largura do pulso transiente na saída do circuito foi de aproximadamente 200ps. Para partículas ionizantes incidentes nas posições 2 e 3, o pulso transiente mostrou-se maior na saída, aproximadamente 700ps. O SET de maior largura foi observado para partícula incidente perto da entrada da cadeia (posição 1). Estes resultados evidenciam que o SET sofre alargamento conforme se propaga ao longo da cadeia de inversores. A Figura 5.1-b mostra uma faixa de larguras do SET aferidas na saída de 200ps até 1.8ns, onde se verifica uma variação de uma ordem de magnitude para partículas ionizantes de mesma energia.

Para explorar o efeito PIPB outra série de experimentos foi desenvolvida por Ferlet-Cavrois *et al.* (2008) na tecnologia bulk 130nm. A entrada da cadeia foi colocada no valor lógico alto (1,2 V), o que resulta em um SET “101” medido na saída do circuito. A Figura 5.2 mostra uma superposição de SETs quando o laser é focado no primeiro inversor de cada linha. O “RowNumber” referenciado na Figura 5.2 indica o número de linhas separando o local atingido da saída do circuito. Cada linha é composta por 1008 inversores. Logo cada SET mostrado na Figura 5.2 foi medido a cada 2016 inversores. Por exemplo, para partícula incidente na linha 10 “Row 10”, o SET se propagou através de 10.080 inversores.

Figura 5.2: SETs na tecnologia bulk sobre radiação laser. O laser foi focado a cada 2 linhas. A incidência de radiação ocorreu no instante 0ns. Tensão de alimentação é 1.2V.



Fonte: FERLET-CAVROIS *et al.* (2008).

O tempo de propagação pode ser extraído através da Figura 5.2. O tempo de propagação para os SETs gerados próximos da saída será medido rapidamente. Para SETs gerados longe da saída os mesmos são registrados mais lentamente, aproximadamente 375ns para linha 10 “Row 10”. O tempo de propagação tem um comportamento linear que corresponde a uma constante de tempo de 37ps por inversor na tecnologia 130nm bulk CMOS.

A largura do pulso propagado medido na saída da cadeia de inversores varia conforme a posição em que a partícula ionizante incide na cadeia lógica. Para pulsos incidentes perto da saída (próximo ao nodo de medição), o alargamento do pulso é menos impactante. O SET mostra-se mais alargado para pulsos incidentes distantes da saída (longe do nodo de medição). Esta é a característica do efeito *Propagation Induced Pulse Broadening* (PIPB) (FERLET-CAVROIS, *et al.* 2007). Quando o pulso se propaga através de um pequeno número de inversores, a largura do pulso é estreita, ou próximo à largura original. Quando o pulso se propaga por uma distância maior da porta lógica atingida, percorrendo um número grande de inversores, a largura do SET será maior.

5.1.1. Estudo de Caso

Iniciaremos esta seção analisando uma cadeia de cinquenta inversores na tecnologia bulk CMOS 90nm, modelo PTM (*Predictive Technology Model*) level 54 da Arizona State University com todas as dimensões próximas às mínimas. De acordo com a tecnologia desenvolvida em Berkeley (BERKELEY, 2017), apresentam-se na Tabela 5.1 os valores

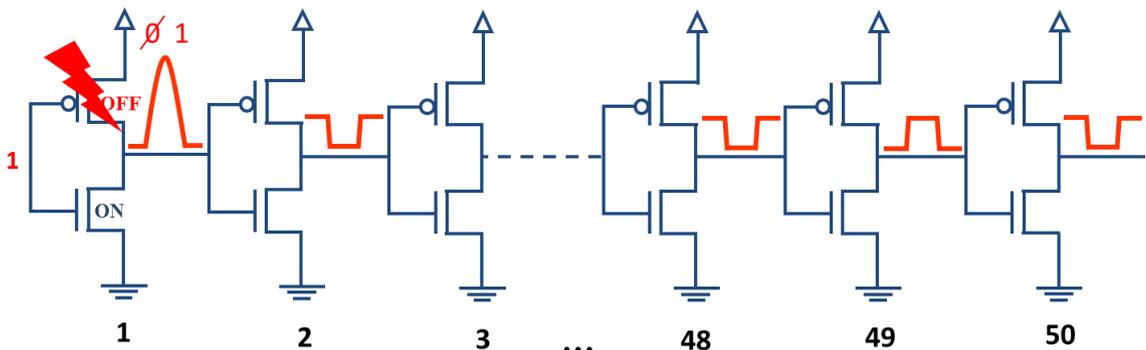
definidos para alguns parâmetros da tecnologia PTM 90nm. Esta cadeia será utilizada para investigar a propagação de um SET. Diferentes períodos de estresses serão analisados adiante para a análise dos efeitos de BTI na cadeia.

Tabela 5.1: Principais parâmetros da tecnologia PTM 90nm da ASU.

<i>Parâmetro</i>	<i>NMOS</i>	<i>PMOS</i>
V_{DD} [V]	1,2	1,2
V_{th0} [mV]	0,284	0,339
T_{oxe} [nm]	1,4	2,2
E_{ox} [V/nm]	0,4	0,4

Fonte: ITRS (2004, p. 12).

Figura 5.3: Cadeia lógica de 50 inversores em série numerados de acordo com número de inversores entre o transistor atingido por partícula ionizada e a saída da cadeia.



Fonte: Autor

O circuito em análise encontra-se sobre condições estáticas de polarização durante um determinado período de tempo, a entrada do circuito da Figura 5.3 encontra-se estabilizado no valor lógico ‘1’, logo o transistor PMOS do primeiro inversor encontra-se em corte e o transistor NMOS em condução. Para o segundo inversor da série teremos o oposto. Teremos 25 transistores PMOS em condução durante um tempo específico de estresse, podendo então sofrer degradação em sua tensão de limiar devido ao efeito BTI. Simulamos a incidência de partícula carregada em região sensível do primeiro inversor, convencionalmente modelada sobre a forma de dupla exponencial de corrente, com energia suficiente para que ocorra a inversão no valor lógico do nodo.

O mecanismo de deposição de carga pode ser modelado por um pulso de corrente formado por uma dupla exponencial (MESSENGER, 1982), dado por

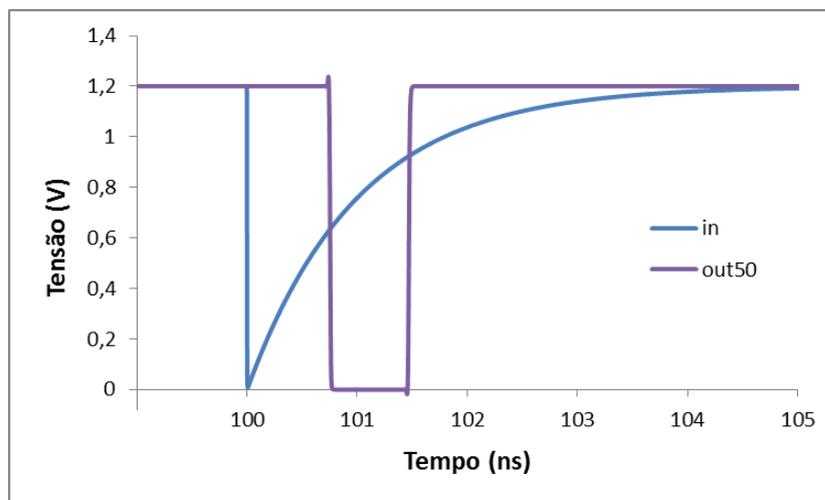
$$I(t) = I_0 \left(e^{-\frac{t}{\tau_\alpha}} - e^{-\frac{t}{\tau_\beta}} \right) \quad (5.1)$$

Onde I_0 é aproximadamente o pico de corrente da carga depositada, τ_α é a constante de tempo de coleção da junção e τ_β é a constante de tempo necessária para gerar os pares elétron-lacuna.

A corrente coletada I_0 depende da partícula ionizante, relacionada ao valor da transferência de energia linear (LET) e parâmetros de processo. Através da análise da equação pode-se constatar que τ_β é responsável pelo aumento do pulso de corrente e τ_α pelo tempo de queda da curva. Normalmente τ_β é assumido como sendo muito menor que τ_α , sendo τ_α um parâmetro variável que aumenta linearmente com o aumento da LET.

A sensibilidade da cadeia é investigada em ambos casos, quando a entrada se encontra em “0” lógico e “1” lógico, o que significa que a entrada estará aterrada ou ligada à alimentação (V_{DD}). Quando a entrada se encontra ligada à V_{DD} e uma falha transiente ocorre no primeiro inversor, teremos um SET “101” medido na saída da cadeia. Tem-se um SET “010” quando a entrada estiver ligada à *ground* (0V). A cadeia de 50 inversores será utilizada para analisar a propagação do pulso. Todos inversores são idênticos e possuem dimensões pequenas próximas às mínimas das regras de projetos para a tecnologia. O pulso transiente é ajustado para possuir energia suficiente para causar inversão no valor lógico do nodo.

Figura 5.4: Primeira forma de onda do tipo dupla exponencial de tensão inserido após 100ns em região sensível do primeiro inversor da cadeia. Segunda forma de onda visualizada na saída da cadeia após percorrer 50 inversores.

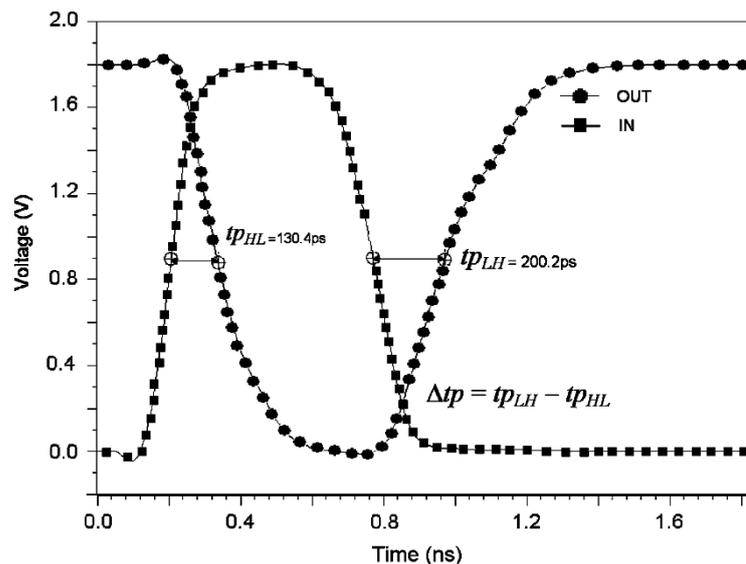


Fonte: Autor

Na simulação elétrica a entrada da cadeia de inversores foi estressada em V_{DD} durante 100ns antes do depósito de carga no nodo, simulando a incidência de radiação. O transistor PMOS do primeiro inversor encontra-se em corte e o transistor NMOS em condução. Analisando as características elétricas dos últimos dois inversores da cadeia, pela lógica

combinacional teremos o 50° inversor da cadeia com PMOS em condução e o transistor NMOS em corte. Este transistor PMOS do 50° inversor estará estressado pelo período de tempo de aproximadamente 101ns, que causará deterioração do seu V_{th} , enquanto o transistor NMOS encontra-se recuperado suficiente. Teremos uma transição “101” em sua saída, com tempo de descida normal, uma vez que o transistor responsável por levar a saída para *ground* encontra-se estabilizado, e um tempo de transição de subida aumentado devido à deterioração da tensão de limiar do transistor PMOS responsável por levar à saída para V_{DD} . Deste modo um alargamento no pulso poderá ser observado. À medida que a cadeia for mais extensa será observado um alargamento progressivo no pulso. Nesse exemplo estamos trabalhando com uma cadeia não muito longa para exemplificarmos o comportamento elétrico com análise detalhada de degradação gradual dos dispositivos envolvidos, adiante veremos exemplos de cadeias mais longas cujo efeito de envelhecimento será dominante. Na Figura 5.5 temos um exemplo do comportamento descrito, observa-se um tempo de transição de subida ampliado devido à deterioração da tensão de limiar do transistor PMOS.

Figura 5.5: Efeito de alargamento de pulso. A primeira transição ocorre mais rapidamente que a segunda transição, o pulso mostra-se alargado na saída.



Fonte: WIRTH; KASTENSMIDT; RIBEIRO (2008)

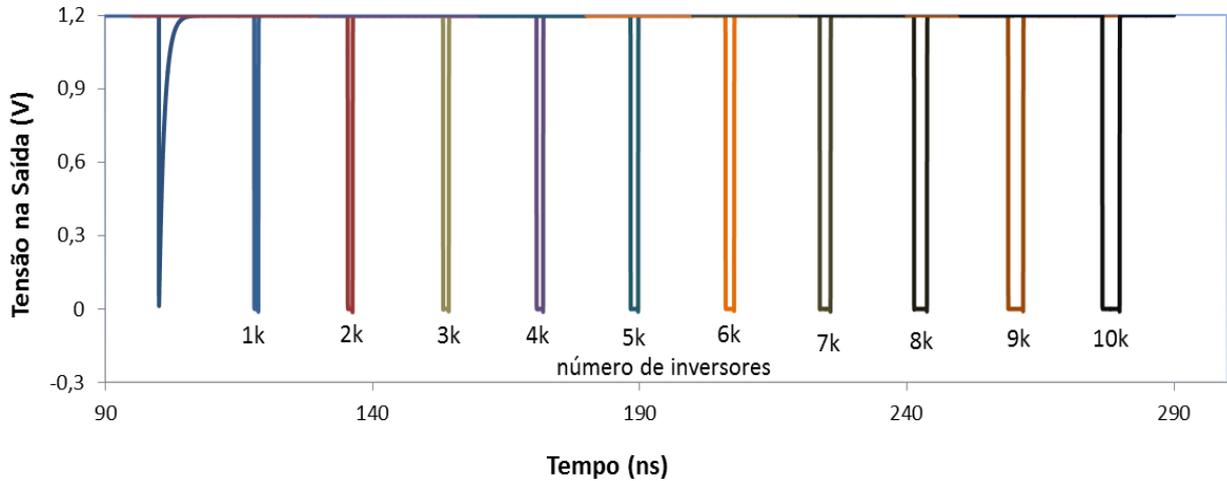
A degradação de um transistor depende do tempo em que o transistor se encontra sob estresse (*Static BTI*). De maneira similar, quando a tensão de entrada do segundo inversor torna-se “1” devido à radiação ionizante, uma breve fase de relaxação ocorre. Como resultado, o número de armadilhas ocupadas é reduzido durante a fase de recuperação e uma fração da tensão de limiar degradada é parcialmente recuperada espontaneamente, ocorrendo sempre que o estresse é removido. O impacto de BTI induzirá a modulação da largura do pulso na

propagação através de uma cadeia de inversores e a fase de recuperação tem impacto significativo na estimativa deste efeito. O efeito de BTI se mostrará mais impactante em tecnologia do estado da arte onde o circuito permanecer um longo período de tempo em um determinado nível de tensão, deste modo, a transição de descida é basicamente drenada por um transistor NMOS e a transição de subida pelo transistor PMOS degradado. Logo, a cada dois inversores, um transistor PMOS estará degradado por um tempo ainda maior quanto maior for o comprimento da cadeia. Em suma, o pulso na saída estará tão alargado quanto maior for o comprimento da cadeia de portas lógicas.

O atraso de propagação total foi de aproximadamente 0,8ns após o pulso percorrer a cadeia de 50 inversores na tecnologia 90nm bulk CMOS. Podemos notar uma modulação na largura do pulso com alargamento e/ou compressão dependendo das condições de estresse estático e dinâmico do circuito no momento anterior à propagação do pulso (FELET-CAVROIS *et al.*,2008) (HARADA *et al.*,2013). O fenômeno de BTI causa degradação na tensão de *threshold* (aumento no valor absoluto) durante a fase de estresse, quando o transistor está ligado. A tensão de *threshold* recupera-se parcialmente durante a fase de recuperação quando o transistor não está em condução. O efeito de envelhecimento BTI depende do histórico de estresse e recuperação do circuito CMOS. A análise das condições de estresse estático envolve o efeito BTI sobre o transistor que está acionado. Então, uma análise precisa de degradação requer análise dos estados lógicos.

Com a finalidade de explorar o efeito PIPB, simulações elétricas foram realizadas com o simulador NGSpice BTI. Utilizando-se longas cadeias na tecnologia 90nm bulk, a entrada do circuito foi estabilizada no valor lógico ‘alto’ (1,2V), que resulta em um SET “101” medido na saída. A Figura 5.6 mostra a superposição de SETs quando o pulso é injetado no primeiro inversor da cadeia. O número de inversores na Figura 5.6 refere-se ao número de células separando a localização da incidência e a saída da cadeia. Cada pulso exibido na Figura 5.6 refere-se a uma propagação de pulso através de 1000 inversores. O Pulso em 10k significa que o pulso percorreu 10000 inversores após sua incidência em 100ns.

Figura 5.6: Análise do impacto de BTI através de simulação elétrica usando o Simulador BTI. Entrada do circuito estável em “1” lógico quando o pulso exponencial é inserido no primeiro inversor da cadeia bulk CMOS e se propaga através de 10000 inversores. A incidência de radiação ocorre no tempo de 100ns e a tensão de alimentação é 1,2V na tecnologia 90nm.



Fonte: Autor

O principal ponto observado na Figura 5.6 é o alargamento do SET com o aumento do número de inversores. O tempo de propagação de SETs gerados próximos da saída será medido rapidamente, aproximadamente 17ns para 1k inversores. Para SETs gerados longe da saída os mesmos são registrados mais lentamente, em aproximadamente 170ns para 10k inversores. O tempo de propagação tem um comportamento linear que corresponde a uma constante de tempo de 17ps por conjunto de 1000 inversores na tecnologia 90nm bulk CMOS.

A largura do pulso propagado medido na saída da cadeia de inversores varia conforme a posição em que a partícula ionizante incide na cadeia lógica. Para pulsos incidentes perto da saída (próximo ao nodo de medição), o alargamento do pulso é menos impactante. O SET mostra-se mais alargado para pulsos incidentes distantes da saída (longe do nodo de medição). Isto caracteriza o efeito *Propagation-Induced Pulse Broadening* (PIPB) (FERLET-CAVROIS *et al.*, 2007).

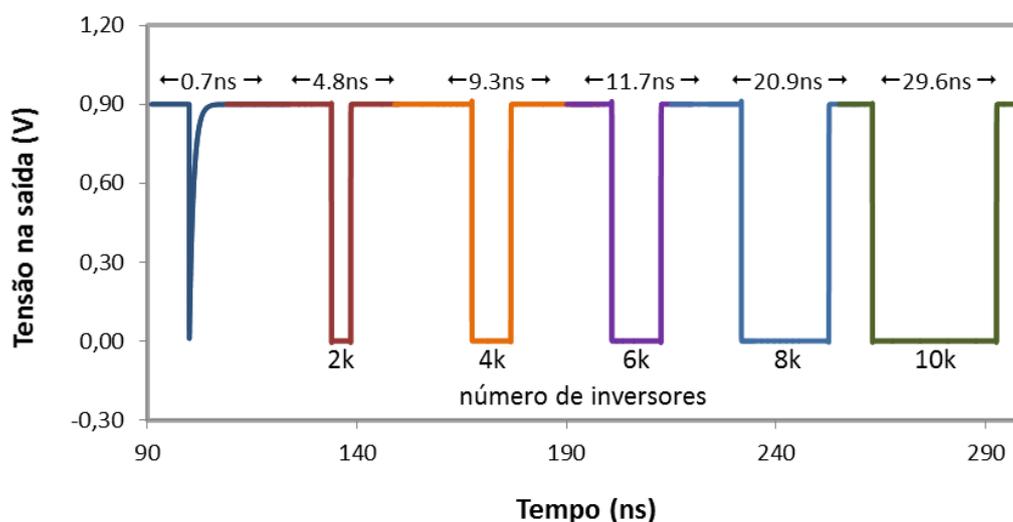
Quando o pulso se propaga através de um pequeno número de inversores, a largura do pulso é estreita, ou próximo à largura original. Quando o pulso se propaga por uma distância maior da porta lógica atingida, percorrendo um número grande de inversores, a largura do SET será maior. Por exemplo, quando o pulso se propaga através de 10mil inversores para o primeiro inversor da cadeia exposto à radiação, mediante um estresse estático de 100ns onde sua entrada encontra-se ligada à alimentação, o transistor NMOS do primeiro inversor estará deteriorado por um tempo de 100ns. Enquanto que, para o inversor rotulado 10K, o tempo de estresse

estático será de 277ns, no qual seu V_{th} foi deteriorado. O efeito PIPB é mostrado neste exemplo para entrada polarizada em “1” lógico, porém também é observada para valor lógico de entrada em “0” (como a Figura 4.2).

Sabe-se que BTI é causado pelo aumento no número de armadilhas causando desvio da tensão de limiar quando uma carga é capturada por um desses defeitos (GRASSER *et al.*, 2011). Uma distribuição estatística do número de defeitos, posição e propriedades (magnitude do desvio do V_{th} , constante de tempo de captura e de emissão) e o fato de com a miniaturização do transistor o número absoluto de defeitos diminuem, são indicadores que uma pequena amostra de transistores não é mais adequada para prever o valor médio do envelhecimento de bilhões de pequenos dispositivos usados nas aplicações digitais, que utilizam o estado da arte na tecnologia de miniaturização dos transistores (BANASZESKI, 2012). Adicionalmente, o custo e tempo de caracterização de grandes amostras de transistores para o teste de circuitos complexos com baixa taxa de falhas impõem um sério desafio ao uso de futuras tecnologias.

Ainda os circuitos fabricados através de processos mais modernos estão sujeitos a defeitos físicos provenientes do material ou do processo, os quais se distribuem estatisticamente através do *waffer*. Os processos de fabricação no estado da arte são capazes de produzir transistores em alto grau de miniaturização e integração. Assim, pequenas flutuações estatísticas do processo ou de degradação dos fatores elétrico devido aos efeitos de envelhecimento, podem ocasionar grande variabilidade nos parâmetros de interesse do circuito fabricado, o que pode fazer com que o circuito não atenda às suas especificações. Na Figura 5.7 a seguir é exibido resultado de simulações do mesmo circuito apresentado na Figura 5.6 porém agora na tecnologia bulk PTM 32nm.

Figura 5.7: Análise do impacto de BTI através de simulação elétrica usando BTI Ngspice em longa cadeia de inversores. A incidência de radiação ocorre no tempo de 100ns e a tensão de alimentação é 0.9V na tecnologia 32nm.



Fonte: Autor

O efeito de BTI exercerá um impacto ainda mais significativo nas características elétricas de transistores mais modernos. O alargamento de pulso transiente mostra-se um efeito dominante na propagação de SETs em longas cadeias de portas lógicas idênticas, conduzindo a severa degradação por envelhecimento dos transistores CMOS e influenciando na operação dos circuitos integrados. Os circuitos integrados utilizados hoje em dia requerem requisitos cada vez mais fortes ao projeto térmico de sistemas eletrônicos.

O efeito de alargamento de pulso pode ser compreendido também quando mostramos a largura de SETs como uma função do número de inversores entre a localização de incidência de radiação e a saída da cadeia. A largura do SETs aumenta quase linearmente com o número de inversores através do qual um SET se propaga. Essa curva de formato próximo ao linear é referida como fator PIPB (expressa em picosegundos por inversor) e corresponde a contribuição de cada inversor para o alargamento total do pulso (FERLE-CAVROIS *et al.*, 2007).

Os resultados obtidos com a ferramenta de simulação de BTI mostram-se qualitativamente equivalentes independentes da tecnologia de projeto utilizada. Resultados para outras tecnologias apenas não foram exibidos para se evitar redundância na visualização dos mesmos. A concordância é dita qualitativa visto que não dispomos de *modelcards* para análise quantitativa dos resultados experimentais. Entretanto, uma abordagem qualitativa foi realizada mostrando comportamento elétrico adequado em comparação com trabalhos voltados à análise do fenômeno de alargamento de pulso transiente na literatura (FERLET-CAVROIS *et al.*, 2008).

Envelhecimento em Condições AC

A análise padrão de envelhecimento em condições de operação AC conduz a uma superestimativa de degradação de sinal sobre condições alternadas de polarização, o que pode levar a diferenças entre a degradação estimada analiticamente e aquela observada eletricamente no circuito, a menos que uma análise completa das fases de estresse e recuperação seja considerada. Durante a fase de estresse há um aumento de forma logarítmica da tensão de limiar em função do tempo, já durante a fase de recuperação, o que acontece é uma redução desta tensão de limiar. Em muitos casos, simulações transientes são a melhor abordagem para circuitos digitais. Outra vantagem de se utilizar simulações transientes para avaliar circuitos em condições AC é a possibilidade de utilização de quaisquer formas de onda de entrada.

Durante a fase de estresse há um aumento de forma logarítmica da tensão de limiar em função do tempo, já durante a fase de recuperação, o que acontece é uma redução desta tensão de limiar. Juntando então estes dois estados, vemos que em um longo período de tempo uma tendência de aumento também logarítmico da tensão de limiar como uma função do *duty cycle* do sinal que polariza o transistor (MASSEY, 2004).

Resultados de simulações em condições AC serão exibidos nas seções 5.3, que aborda a dependência da frequência de operação, e na seção 5.4, que analisa o fator de trabalho do circuito.

5.3.

Dependência da frequência de operação

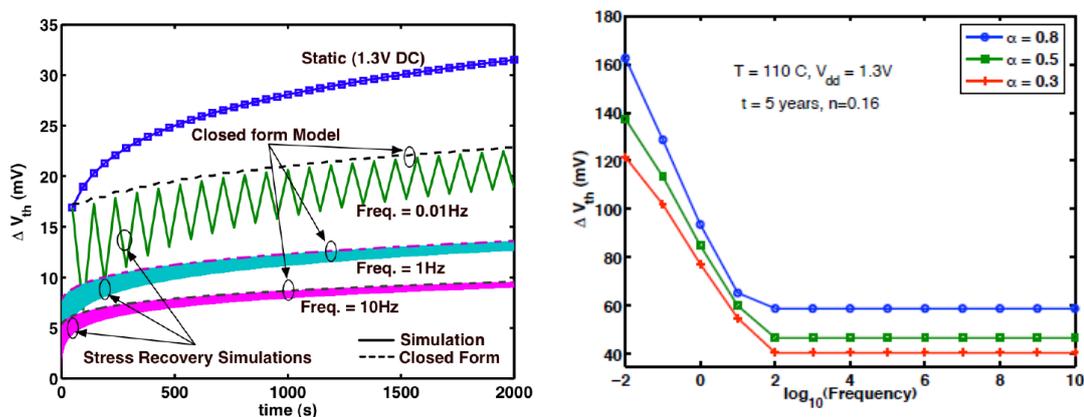
Explicações do efeito BTI e sua dependência com frequência de operação ao nível de transistor ainda geram dúvidas. Alam (2003), defende a independência da frequência devido ao equivalente número de ligações quebradas Si-H e *annealing* durante as fases de estresse e relaxação. Enquanto Grasser et al.(2009-b) sugeriu uma dependência fraca devido à assimetria entre as ligações quebradas. Chen et al. (2003) afirma que BTI se mostra independente da frequência do sinal.

No entanto, o NBTI dinâmico corresponde ao caso onde o transistor PMOS alterna entre períodos de estresse ($V_{gs} = -V_{DD}$) e períodos de recuperação ($V_{gs} = V_{DD}$). A fase de recuperação mostra-se mais rápida no início seguido por uma recuperação mais lenta, conforme visto anteriormente na Figura 3.2. Para avaliar a degradação a curto prazo, simulações SPICE são de excelente serventia visto sua eficiência em analisar as variações de parâmetros elétricos ao

longo do tempo. Para avaliar a degradação de V_{th} a longo prazo devido ao efeito BTI para circuitos de alto desempenho o resultado de modelo tecnológico implementado em código SPICE podem ser demasiadamente grandes para tempo igual a um mês (BHARDWAJ *et al.*, 2006). Assim se torna impraticável desenvolver simulações com a intenção de prever a degradação de V_{th} . Para estes casos pode-se usar modelo analítico como função do *duty cycle* (BHARDWAJ *et al.*, 2006).

O modelo analítico apresentado em (BHARDWAJ *et al.*, 2006) mostra uma estimativa da degradação da tensão de *threshold* em longo prazo. A Figura 5.8-a mostra que em baixas frequências a degradação diminui conforme a frequência é aumentada, sendo o pior caso a análise em condições DC. Apesar de Chen et al. (2003) sugerir que a degradação da tensão de limiar é independente da frequência para altas frequências, os modelos em (VATTIKONDA; WANG; CAO, 2006) e (BHARDWAJ *et al.*, 2006) afirmam que depende do caso. Em seus modelos levam em consideração o período de tempo do sinal na porta do transistor PMOS resultando que apenas a degradação a longo prazo é independente da frequência. A Figura 5.8-b mostra que para baixas frequências a variação da tensão de limiar diminui conforme a frequência aumenta, ou seja, a degradação torna-se menor com o aumento da frequência e finalmente satura para altas frequências num valor constante.

Figura 5.8: a) Comparação entre o efeito NBTI de simulação e modelo analítico (BHARDWAJ *et al.*, 2006) dos períodos de estresse e recuperação. b) Dependência de $|\Delta V_{th}|$ em função da frequência para diferentes ciclos de trabalho.



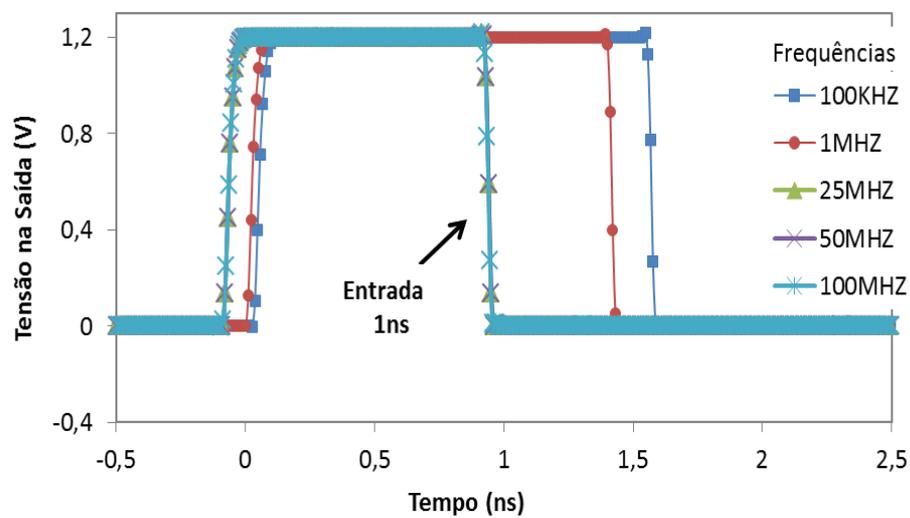
Fonte: BHARDWAJ *et al.* (2006).

Num sinal AC, onde ocorrem sucessivos estresses e recuperações, o estresse total após certo tempo será dependente da relação entre o período que o sinal ficou em estresse e o período em que ficou sem estresse, dado pelo *duty cycle*. Sendo assim, quanto maior o tempo de recuperação em relação ao tempo de estresse, ou seja, menor o *duty cycle* do sinal, menor será o impacto do fenômeno de BTI no transistor, como mostrado na Figura 5.8.

A ocupação e liberação de cargas elétricas de um defeito no óxido é um processo estocástico, onde a probabilidade de ocupação (isto é, a probabilidade de um defeito estar ocupado) referente a um único defeito sobre condições de estresse AC é uma função do *duty cycle* (FANG; SAPATNEKAR, 2012).

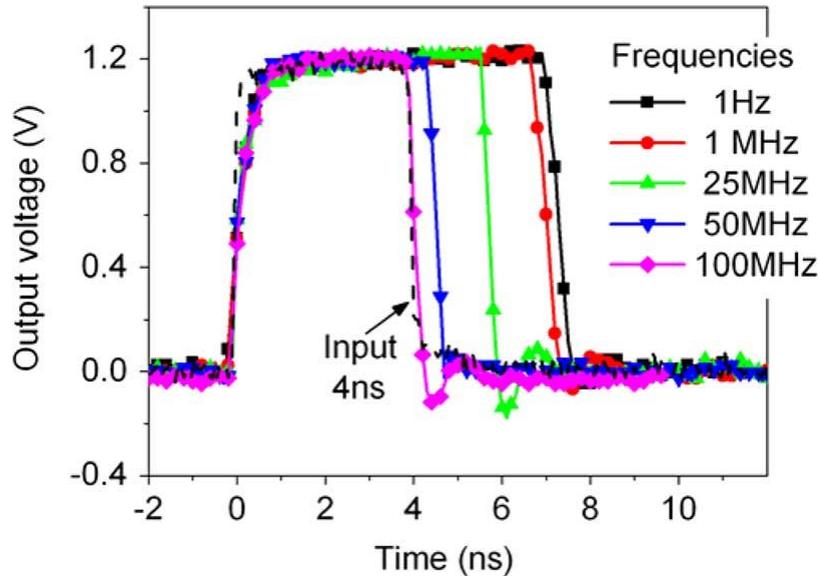
A Figura 5.9 mostra a análise de BTI para uma cadeia de inversores de 1000 portas lógicas sobre diferentes frequências de operação e diferentes *duty cycles*. A figura mostra que a variação em frequência traz significantes variações no impacto NBTI e PBTI quando o período de estresse é de 100ns. Os resultados destas simulações estão de acordo com comportamento experimental obtido na Figura 5.10 (FERLET-CAVROIS *et al.*, 2008), ambos exibidos abaixo.

Figura 5.9: Simulação de *Single Event Transients* medidos na saída da cadeia de inversores para frequências de 100KHZ até 100MHZ. O sinal de entrada injetado na largura de 1,003ns.



Fonte: Autor

Figura 5.10: SETs medidos experimentalmente na saída da cadeia de inversores SOI, para frequências de 1HZ à 100MHZ. O sinal de entrada é exibido na linha pontilhada para comparação.



Fonte: FERLET-CAVROIS *et al.* (2008).

Os resultados exibidos nas Figura 5.9 consistem em alimentar a cadeia de inversores com um pulso elétrico de constante duração (1ns), porém aumentando-se a frequência. Em outras palavras, o efeito PIPB é investigado observando-se à resposta da cadeia de inversores para frequências progressivas. Para baixas frequências, até aproximadamente 1MHZ, um grande efeito PIPB é observado. No entanto, para frequências maiores, 25-100MHZ, que equivalem a períodos de pulso de 40, 20 e 10ns respectivamente, os transistores são brevemente estressados, não sendo suficientes para deteriorar significativamente a tensão de *threshold*, já que os transistores não ficam muito tempo em uma condição de polarização estabilizada. Essas frequências de 25, 50 e 100MHZ correspondem a pulsos de duração de 39, 19 e 9ns no valor lógico ‘baixo’ entre pulsos de 1ns. Para estas frequências bastante elevadas o tempo de degradação de BTI entre pulsos, mostra-se insuficiente e nenhum efeito de alargamento do SET é observado. Logo, o sinal de saída é perfeitamente idêntico ao sinal de entrada para pulso de duração de 1ns e três curvas estão sobrepostas na Figura 5.9. Os resultados quantitativos desta simulação estão exibidos na Tabela 5.2 abaixo.

Tabela 5.2: SETs medidos na saída da cadeia de inversores para frequências de 100KHZ até 100MHZ. Sinal de entrada possui largura de 1,003ns.

Frequência (MHZ)	Período	Estado lógico baixo	Estado lógico alto	Largura na saída
0.1	10us	9.999us	1ns	1,517ns
1	1us	0.999ns	1ns	1,428ns
25	40ns	39ns	1ns	1,005ns

50	20ns	19ns	1ns	1,005ns
100	10ns	9ns	1ns	1,004ns

Fonte: Autor

Este estudo avaliou o tempo necessário para que o transistor sofra o efeito BTI, para estabilizar seu estado lógico entre os pulsos.

O chaveamento do estado OFF para ON de um transistor NMOS quando da ocorrência de transição de subida na entrada ocorre mais facilmente devido à baixa tensão de limiar. A velocidade de chaveamento do transistor neste caso é então rápida na borda de subida. Contudo, o tempo que o transistor demora para ir do estado ON para o estado OFF na borda de descida do transistor é dificultado. O segundo chaveamento do transistor devido ao pulso transiente é atrasado por poucas dezenas de picosegundos devido ao efeito BTI. O transistor PMOS se comporta diferente, mas também contribuem para o efeito de alargamento de pulso transiente através de circuito combinacional. Em estado estático de operação, o transistor PMOS encontra-se ligado antes da entrada de sinal transiente. O transistor recupera-se rapidamente durante o sinal ‘baixo’ e restaura parcialmente a tensão de limiar. A habilidade de o transistor PMOS chavear de ON para OFF na primeira borda transiente é facilitada porque o transistor NMOS está chaveando para o estado ON e não se encontra estressado. Pelo contrário, o transistor PMOS chaveando de volta para o estado ligado é uma transição dificultada pelo fato da maior tensão de limiar, apesar da resposta rápida na borda de subida e da resposta lenta na borda de descida.

5.4.

Dependência do ciclo de trabalho (*Duty Cycle*)

Além das já mencionadas dependências com a temperatura e frequência de operação, o fenômeno de BTI também é dependente do ciclo de trabalho, ou *duty cycle*. Essa dependência se deve ao fenômeno conhecido como recuperação ou relaxação.

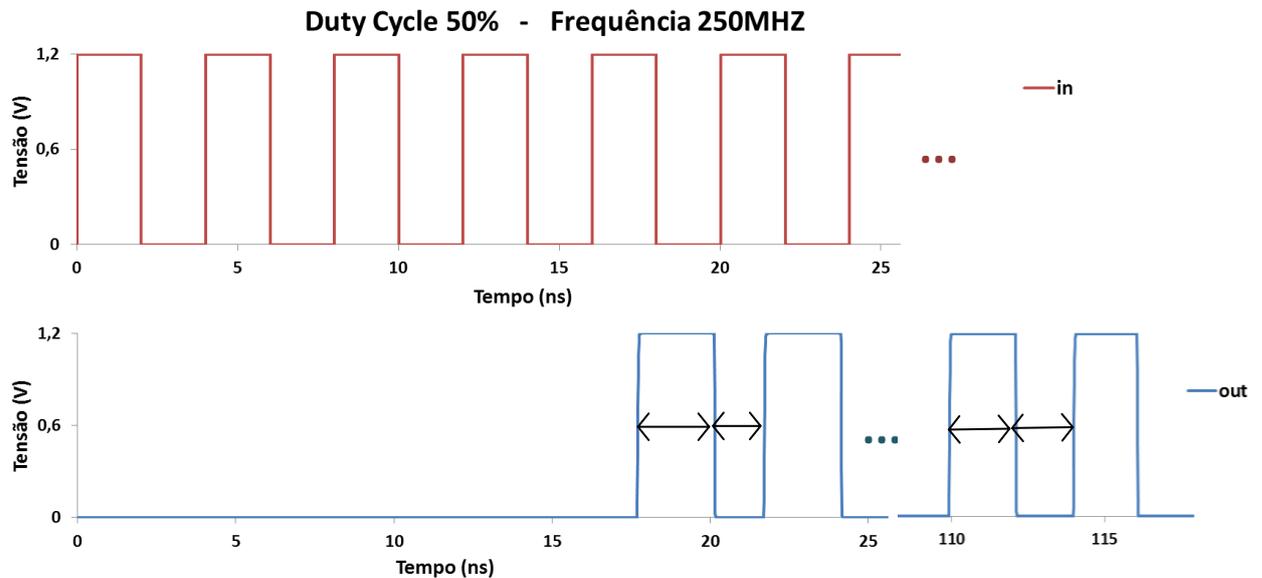
Duty cycle é definido como a proporção de tempo durante o qual um componente, dispositivo ou sistema está em operação. Neste estudo, refere-se ao tempo no qual o dispositivo está com tensão de porta igual a “0” lógico para um transistor PMOS, ou seja, condição de estresse estático. Ao nível de sistema um ajuste no ciclo de trabalho (*duty cycle*) e na frequência de chaveamento do circuito é bastante relevante em técnicas de gerenciamento de energia. No entanto alterar a frequência de operação pode não ser efetivo na degradação de BTI uma vez que NBTI é relativamente independente da frequência (VATTIKONDA; WANG; CAO, 2006).

A diferença entre *Static* e *Dynamic* BTI, é devida aos períodos de recuperação que o dispositivo apresenta entre o intervalo de aplicação de estresse. O período de relaxação será tão maior quanto menor for o ciclo de trabalho (*duty cycle*) da forma de onda da tensão estressante. *Static* BTI (operação D.C) determina condições mais severas de variação na tensão de *threshold*, enquanto *Dynamic* BTI (operação A.C) causa variações menos severas de degradação ao longo do tempo. Nesta seção será analisado o comportamento do circuito quando este é alimentado com entrada elétrica alternada. Em determinados casos, com um ciclo de 50% é possível diminuir em mais da metade a degradação de um transistor (STATHIS; ZAFAR, 2006). Em (VATTIKONDA; WANG; CAO, 2006) estudos em temperatura ambiente mostraram que ΔV_{th} pode ser reduzido em até 30% para ciclos de trabalho de 10%. Diferentemente da frequência de operação, o *duty cycle* tem uma forte influência na degradação de BTI, pois o ciclo de trabalho altera o tempo em que o transistor permanece na fase de estresse ou na fase de recuperação. Quanto mais o dispositivo permanece em recuperação, menor será a ΔV_{th} que o dispositivo irá sofrer.

A degradação de BTI dinâmico como função da frequência para um dado *duty cycle* e o tempo total de estresse vem sendo estudado na literatura (ALAM, 2003) (IELMINI *et al.*, 2009) (CHAKRAVARTHI *et al.*, 2004). Experimentos mostram que o total de degradação de um dispositivo após estresse dinâmico é dependente apenas do período total de tempo em que contribui para o tempo de estresse do dispositivo.

Uma cadeia básica de inversores será analisada para três diferentes frequências para ciclo de trabalho de 50% a fim de avaliarmos o impacto de BTI.

Figura 5.11: Variação na largura do pulso transiente em cadeia de inversores CMOS quando submetido a estresse elétrico contínuo e em seguida a estresse elétrico alternado. a) Forma de onda na entrada b) Forma de onda na saída.



Fonte: Autor

O impacto de BTI em portas lógicas projetadas de acordo com a tecnologia CMOS já é bastante conhecido. Como visto anteriormente, o BTI afeta principalmente a tensão de limiar dos transistores, resultando no atraso das portas lógicas. Estes atrasos provocam falhas devido ao tempo de acesso de escrita, limitando a performance de elemento de memória.

Nas simulações da Figura 5.11 observamos o alargamento do primeiro pulso na saída da cadeia de 1000 inversores. O primeiro pulso '010' na saída mostra-se alargado após o circuito sofrer estresse estático de 1ms. Conseqüentemente o próximo pulso do período '101' estará encolhido, mantendo-se assim a frequência de operação do circuito. O primeiro pulso *low-high-low* resultou em uma largura de 2,43ns e o primeiro pulso *high-low-high* na saída exibiu 1,57ns de largura, mantendo-se o período de 4ns. Estes pulsos mostraram-se recuperados no 26º pulso da seqüência (110ns na escala de tempo) com largura 2,02ns, com a manutenção do período. Resultados numéricos desta simulação estão expressos nas Tabelas 5.3 e 5.4 adiante.

Além do alargamento há uma diferença de atraso na cadeia de inversores. Para as frequências de 250MHZ à 1GHZ os valores de atraso ficaram entre 17,7ns e 18,8ns. Esta tênue diferença deve-se à variação da tensão de *threshold* que faz com que a segunda transição do pulso transiente ficasse mais lenta, ou seja, a degradação aumenta o *delay*.

Considerando-se que o circuito se encontra estabilizado em determinada polarização, podemos considerar que para qualquer ciclo de trabalho o circuito tende a se recuperar. Este

tempo de recuperação dependerá do tempo em que o circuito ficará em fase de relaxação diminuindo então o impacto degradante que ocorreu na fase inicial estática. Na Figura 5.11 os resultados obtidos foram para circuito operando com frequência de operação de 250MHZ com ciclo de trabalho em 50%. Neste caso, o circuito mostrou uma recuperação do pulso alargado em aproximadamente 100ns após o surgimento do primeiro pulso na saída.

Tabela 5.3: Percentual de alargamento do primeiro pulso transiente na saída da cadeia de inversores para três frequências distintas com *duty cycle* de 50% variando-se o tempo de estresse estático.

Frequência	Estresse estático		
	0ns	100ns	1000ns
250MHZ	0,2 %	7,9 %	21,3 %
500MHZ	0,5 %	15,5 %	42,3 %
1GHZ	0,7 %	31,4 %	83,5 %

Fonte: Autor

É mostrado que a largura do pulso muda com a alteração do tempo de estresse. Quanto maior o tempo de estresse maior a deterioração da tensão de limiar. O alargamento dependerá do número de pulsos devido à variabilidade do número de defeitos gerados. Na última coluna o circuito de 1000 inversores foi estressado com tensão de entrada baixa “0” lógico durante 1ms, tempo no qual o transistor PMOS foi deteriorado. No momento do segundo pulso o transistor PMOS sofreu uma breve relaxação durante a largura do pulso em “1” lógico. Após alguns pulsos o transistor tende a se recuperar um pouco mais até um determinado momento em que podemos afirmar que os transistores inicialmente estressados se recuperaram completamente da situação inicial de estresse. Com um *duty cycle* de exatos 50% é fácil compreender que após um período de tempo, ambos os transistores irão alcançar as mesmas condições de estresse, recuperando-se de um possível alargamento. Embora tenha-se que levar em consideração os efeitos randômicos de ocupação da *traps* que pode ter variações acerca da largura do sinal de entrada, mas com toda certeza com efeito de alargamento mitigado.

O *duty cycle* tem impacto significativo sobre o efeito induzido por BTI, já que este deteriora mais um tipo de transistor que o outro. É importante salientar, observando-se a Tabela 5.4 adiante, que se tem exatamente o mesmo valor absoluto de alargamento ~0,43ns para todas frequências estudadas em condição de estresse estático em 1ms. Nota-se também o mesmo alargamento de ~0,16ns para condições de estresse estático de 100ns. Portanto, conclui-se que o efeito de alargamento do pulso é independente da frequência para altas frequências de operação, sendo dependente do *duty cycle* e do tempo de estresse estático (VATTIKONDA; WANG; CAO, 2006) e (BHARDWAJ *et al.*, 2006). O que difere com a variação de frequência

é que em altas frequências o transistor precisa de uma maior quantidade de pulsos para se recuperar da degradação de seus parâmetros elétricos.

Tabela 5.4: Alargamento, em valores absolutos, do primeiro pulso transiente na saída da cadeia de inversores para três frequências distintas com *duty cycle* de 50%.

Frequência	LARGURA DO 1° SET MEDIDO		
	Entrada	Saída	
		<i>Estresse -100ns</i>	<i>Estresse -1000ns</i>
250MHZ	2,003ns	2,161ns	2,429ns
500MGZ	1,003ns	1,160ns	1,43ns
1GHZ	0,503ns	0,661ns	0,924ns

Fonte: Autor

Para se avaliar estratégias de proteção antes do processo de manufatura, deve-se observar o circuito VLSI para uma ampla faixa de frequências. Circuitos modernos operando a altas frequências implicam em maior alargamento em percentuais de V_{DD} . As simulações elétricas são extremamente vantajosas, principalmente se levando em consideração a análise de BTI para ambos transistores como num inversor ou até mesmo em portas de complexidade maior, observados o impacto do ciclo de trabalho de entrada, a frequência de operação, bem como o impacto na localização do transistor estressado.

Tabela 5.5: Cadeia de 1000 inversores submetidos à estresse estático e dinâmico. O circuito sempre apresenta recuperação da degradação em um tempo fixo para *duty cycle* de 50% na tecnologia 90nm bulk.

Estresse inicial	Largura de pulsos na entrada	Largura do 1° pulso na saída	Tempo de recuperação
1000ns	2,003ns	2,429ns	1120ns (26° pulso)
	1,003ns	1,43ns	1120ns (49° pulso)
	0,503ns	0,924ns	1120ns (97° pulso)
100ns	2,003	2,161ns	216ns (25° pulso)
	1,003ns	1,16ns	216ns (49° pulso)
	0,503ns	0,661ns	216ns (96° pulso)

Fonte: Autor

A Tabela 5.5 mostra a variação na tensão da cadeia de inversores CMOS quando submetido a estresse elétrico contínuo e a estresse elétrico alternado. O tempo de propagação que o 1° pulso da sequência de pulsos introduzido na entrada do circuito demorou para percorrer os 1000 inversores e surgir na saída foi de ~20ns para ambos estresses iniciais de 100ns e 1us. Podemos concluir que independente do período de estresse estático o circuito mostrou

recuperação do alargamento para *duty cycles* de 50% em aproximadamente 100ns, tempo no qual ambos os transistores irão alcançar idênticas condições de estresse, após o surgimento do primeiro pulso de onda transiente na saída.

É importante notar que sem um considerável período de estresse não se observa alargamento significativo na saída do circuito. A frequência da onda quadrada mostra-se relevante. Para *duty cycles* menores, NBTI mostra-se mais significativa que o PBTI nas portas lógicas. No entanto, par *duty cycles* maiores, o efeito PBTI mostra-se exaltado (KHAN *et al.*, 2012).

6. IMPACTO DE V_{DD} SOBRE O FENOMENO PIPB

Bias Temperature Instability é o efeito considerado dominante na investigação para prever o impacto do envelhecimento nos circuitos integrados digitais. BTI é fortemente afetado pelas condições de operação às quais o dispositivo está submetido e varia significativamente com alguns parâmetros elétricos. A tensão de operação tem grande impacto na degradação causada por BTI.

Várias abordagens são propostas na literatura a fim de superar a degradação por BTI, alguns métodos exploram o redimensionamento (*resizing*) ou resíntese (KUMAR, S. V.; KIM; SAPATNEKAR, 2007). No nível de circuito, os esquemas adaptativos de tensão de alimentação (CHEN *et al.*, 2009) (KUMAR, S. V.; KIM; SAPATNEKAR, 2011) compensam BTI aumentando dinamicamente os valores das tensões de polarização e do substrato para acelerar o circuito, compensando a degradação relacionada ao envelhecimento. Uma vez que a melhor solução depende do bloco de circuito em questão, esta solução pode envolver a geração de um grande conjunto de valores de tensões aplicadas, o que representa um desafio significativo. Outros esquemas dinâmicos para alterar tensão de polarização ao nível de chip são estudados (KARPUZCU; GRESKAMP; TORRELLAS, 2009) (ABELLA; VERA; GONZALEZ, 2007) (ZHANG, L.; DICK, 2009), com a finalidade de recuperar o desempenho de forma dinâmica variando a tensão de alimentação no nível do processador. Estas propostas visam a mitigação do efeito BTI com base na carga de trabalho do processador, tais esquemas detectam os estados ociosos do circuito durante computação e aplicam um mecanismo de recuperação adequado para reduzir a degradação.

Independente da abordagem a ser considerada, há a necessidade de prever a degradação devido ao efeito de BTI diante da variação na tensão de polarização do circuito, especialmente com o constante avanço tecnológico dos processos de fabricação CMOS em função da diminuição das dimensões dos transistores e seus parâmetros. Na seção 6.1 veremos a sensibilidade da tensão de *threshod* de acordo com a tensão de alimentação aplicada e alguns exemplos da literatura; e na seção 6.2 serão exibidos resultados de simulação para estimar o impacto do *scaling* tecnológico no alargamento de pulso transiente induzido.

Sensibilidade de V_{DD} e V_{th}

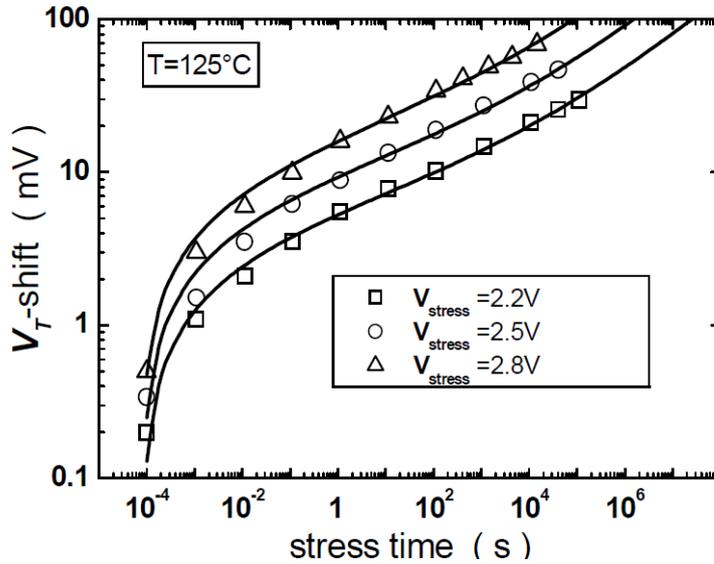
Através da denominada análise da evolução tecnológica, pode-se prever de que forma a tendência de desenvolvimento da tecnologia irá afetar os principais requisitos de um circuito

integrado e quais os desafios que essa redução de dimensões pode causar no tempo de vida útil dos circuitos integrados.

Os avanços tecnológicos em circuitos integrados têm como foco principal a redução das dimensões dos transistores. Transistores menores representam menores áreas para os circuitos, maior densidade de integração, melhor desempenho e menor consumo de potência. Além dos benefícios trazidos aos circuitos, essa redução a escalas nanométricas também trouxe efeitos indesejáveis, como o aumento dos efeitos devido ao envelhecimento, à variabilidade, as correntes de fuga, assim como, o aumento do número de possíveis falhas (ANGHEL; NICOLAIDIS, 2007). A redução constante das tensões leva, no que se diz respeito à tensão de limiar, a aumentar a condução da região de sublimiar e as correntes de fugas (FONSTAD, 2009). Observando a evolução dos processos tecnológicos, nota-se que o *scaling* da tensão de alimentação dos circuitos não tem acompanhado o da tecnologia (ARAUJO, 2008). Por exemplo, para a tecnologia de 90nm, a tensão de alimentação é de 1.2 V, enquanto que para a tecnologia 0.8 μ m a tensão de alimentação era de 5V. Motivado pela impossibilidade de diminuir alguns dos parâmetros intrínsecos aos dispositivos, não escaláveis, como o potencial de Fermi Φ_F , as dimensões e as tensões são reduzidas de fatores independentes (ARAUJO, 2008).

A Figura 6.1 mostra a influência da tensão de operação no desvio da tensão de limiar. Observa-se que, quanto maior a tensão aplicada, maior a degradação da tensão de limiar. Além disso, a Figura 6.1 ilustra a variabilidade da tensão de limiar para diferentes tempos de estresse aplicados até aproximadamente um tempo de estresse de 10 anos, onde a degradação da tensão de limiar devido ao efeito BTI parece saturar em 100mv (REISINGER, 2006).

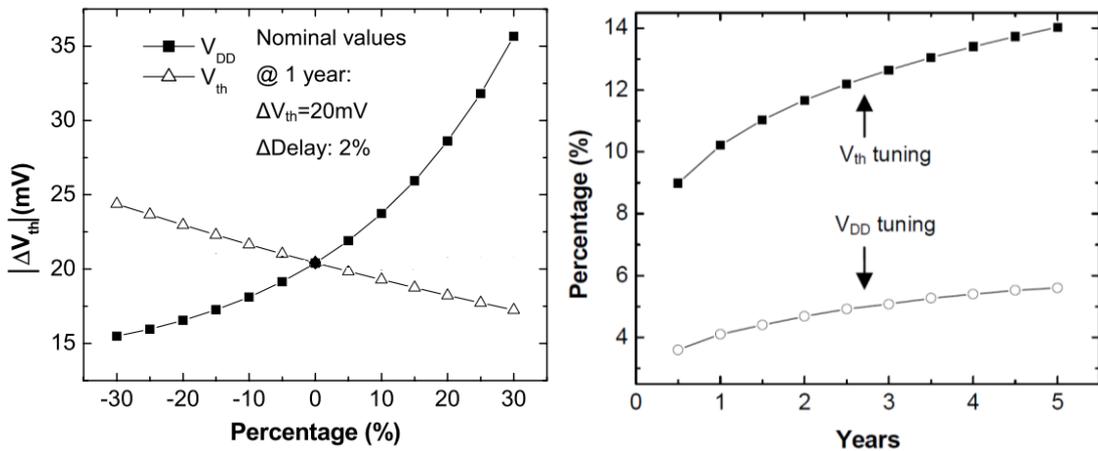
Figura 6.1: Impacto da tensão de polarização no desvio da tensão de limiar causado por BTI



Fonte: Adaptado de (REISINGER, 2006)

O efeito BTI é agravado ao se aumentar a tensão aplicada a porta do transistor. As alterações de V_{th} devido ao *scaling* tecnológico degradam a velocidade do circuito ao longo do tempo, conforme pode ser visto na Figura 6.2-a, que exhibe a variação de V_{DD} em porcentagem e cada ΔV_{th} associado. A velocidade de chaveamento torna-se maior com o a redução das dimensões dos dispositivos semicondutores. Como o aumento de BTI impacta substancialmente circuitos VLSI conforme a redução das tensões de polarização e conseqüente redução da tensão de limiar, faz-se necessário estimar esses efeitos de degradação nos estágios iniciais de projeto e como seu impacto pode ser mitigado de modo a manter os benefícios da alta integração dos dispositivos semicondutores. (VATTIKONDA; WANG; CAO, 2006).

Figura 6.2: Circuito NAND de 2 entradas a) Sensibilidade de V_{DD} e V_{th} em porcentagem b) Ajustes em V_{DD} e V_{th} para compensar a degradação da porta sob estresse estático.



Fonte: Adaptado de (VATTIKONDA; WANG; CAO, 2006)

A Figura 6.2-b ilustra a quantidade de tensão necessária para garantir o desempenho do circuito ao longo dos anos. À medida que a degradação de ΔV_{th} se acumula para maiores tempos de estresse, é necessária uma margem maior de V_{DD} ou V_{th} para compensação.

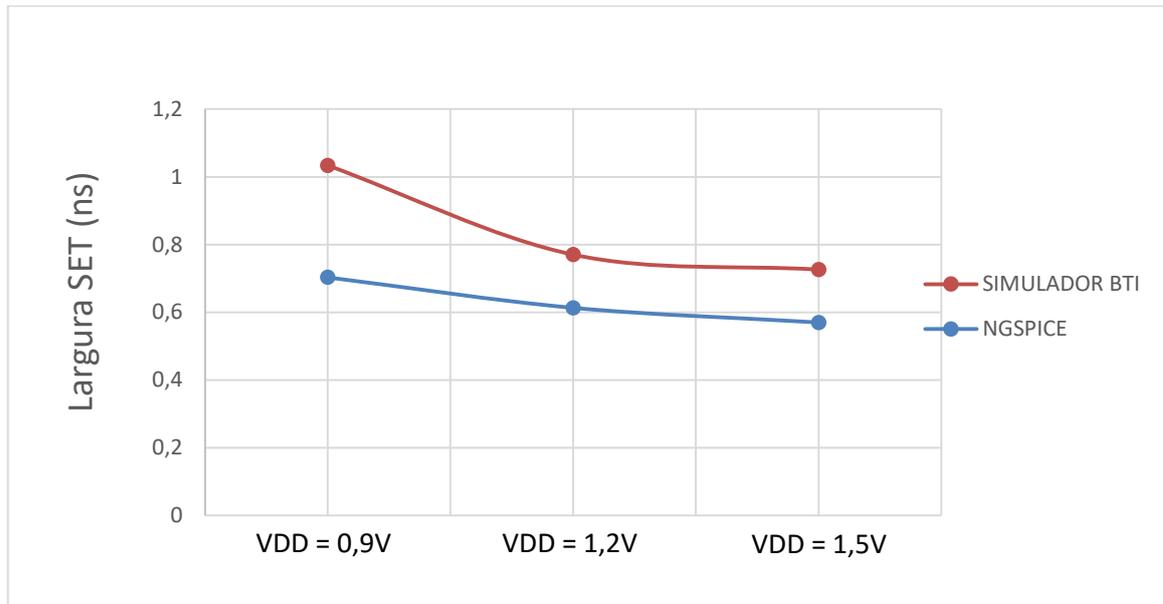
Para alguns propósitos, alterar V_{DD} pode ser mais benéfico devido à grande sensibilidade de circuitos CMOS à tensão de alimentação e a facilidade de controle em fase de projeto. Variações na tensão de alimentação podem ser bastantes efetivas para compensar a degradação de performance devido ao efeito BTI (VATTIKONDA; WANG; CAO, 2006). Embora ΔV_{th} aumente com maior V_{DD} , a degradação do desempenho exibe um comportamento não linear, conforme Figura 6.2-a.

Com a ferramenta apropriada podemos estimar a degradação do tempo de vida útil e encontrar o valor de tensão necessária que garanta um desempenho satisfatório do circuito sujeito aos efeitos de envelhecimento ao longo do tempo. Para um determinado tempo de estresse há um V_{DD} ideal que alcança uma mínima quantidade de degradação de desempenho (VATTIKONDA; WANG; CAO, 2006) (GUPTA; SAPATNEKAR, 2012). Ou seja, é possível conseguir um menor valor de atraso – resultante da degradação BTI – em comparação àquele gerado pela tensão nominal.

6.2. **Impacto do *scaling* tecnológico no alargamento de pulso induzido**

Para mostrar o impacto da redução tecnológica na importância do efeito de alargamento de pulso transiente em circuitos CMOS, são apresentados na Figura 6.3 resultados da simulação de circuitos inversores na tecnologia 90nm bulk PTM. Simulações elétricas foram realizadas com o simulador de circuitos eletrônicos NGSPICE e o Simulador BTI desenvolvido no nosso Laboratório de Prototipação e Testes, otimizado para análise de RTN e BTI. Os resultados mostrados na Figura 6.3 foram obtidos para tempo de estresse estático de 100ns antes da injeção do SET, quando o circuito atingiu um estado estável de polarização. A influência da tensão de alimentação foi investigada para tensão nominal na tecnologia 90nm bulk PTM (1,2V) e também para tensão de alimentação +30mV e -30mV. Somente a tensão de alimentação foi variada neste experimento.

Figura 6.3: Cadeia de 1000 inversores variando-se as tensões de alimentação para tecnologia 90nm.



Fonte: Autor

Nesta simulação, variações extremas para o pior e o melhor caso são realizadas. Três diferentes tensões de alimentação foram utilizadas para efetuar as simulações. Os valores escolhidos para a tensão de alimentação foram adotados levando em conta o processo típico da tecnologia, cuja tensão de alimentação é 1,2V, foram ainda utilizadas as tensão de 0,9V e tensão de alimentação de 1,5V, o melhor caso em termos de velocidade e pior em termos de consumo de potência. A largura de pulso inicial foi simulada através de uma dupla exponencial de corrente de largura aproximada ~ 0.7 ns. Observa-se que a máxima sensibilidade ocorre para a menor tensão de alimentação, ou seja, 0,9V.

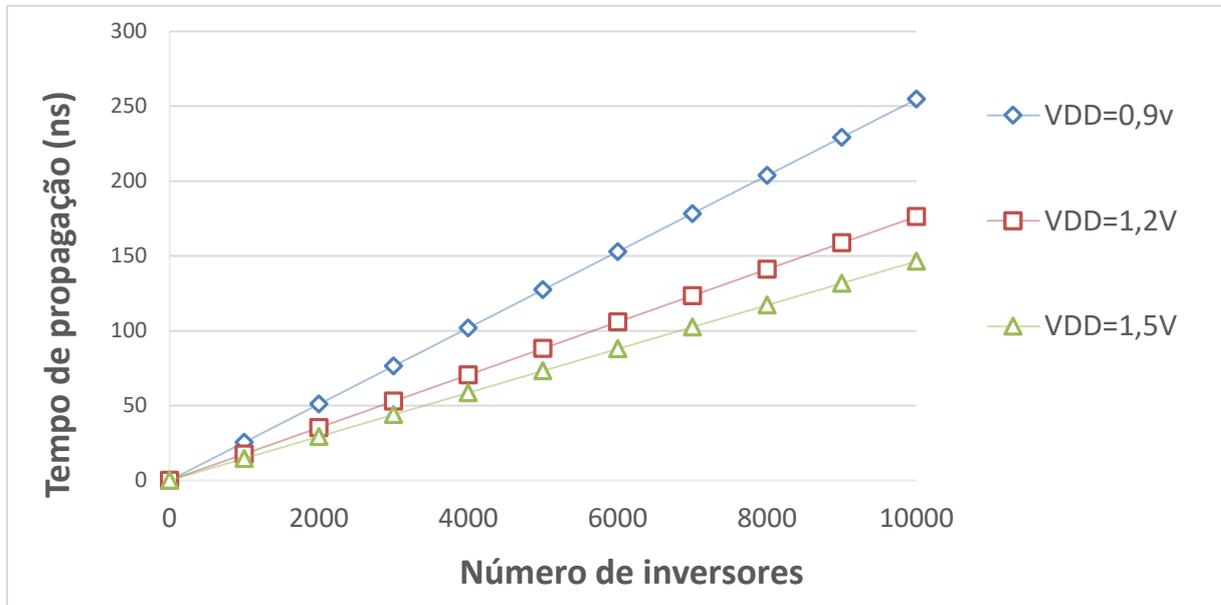
Além disso, evidencia-se a diferença nas larguras de SETs injetados para simulações realizadas entre as duas ferramentas NGSPICE e o Simulador BTI, a sensibilidade mostra-se maior na saída da cadeia de 1000 inversores que emulam os efeitos de envelhecimento, já que o mesmo considera os efeitos elétricos das *traps* - armadilhas.

Sabemos que nos dias atuais a constante preocupação com a redução de potência tem levado a uma redução de V_{DD} . No entanto, a economia em dissipação pode trazer significativo custo em termos de atraso de propagação e impacto no tempo de vida útil do CI (Circuito Integrado) quando considerando tecnologias modernas. Essa questão de performance e balanceamento é normalmente estudada pelo projetista contanto que este tenha a sua disposição ferramentas que auxiliem na prospecção dos efeitos de degradação de circuitos.

O atraso de propagação claramente mostra um efeito negativo diante da redução da tensão. A Figura 6.4 mostra a variação do atraso de propagação em uma cadeia de portas

lógicas, variando-se o número de inversores CMOS como uma função da tensão de alimentação.

Figura 6.4: Variação do *delay* de longa cadeia de inversores CMOS, variando-se o número de inversores, em função da tensão de alimentação.

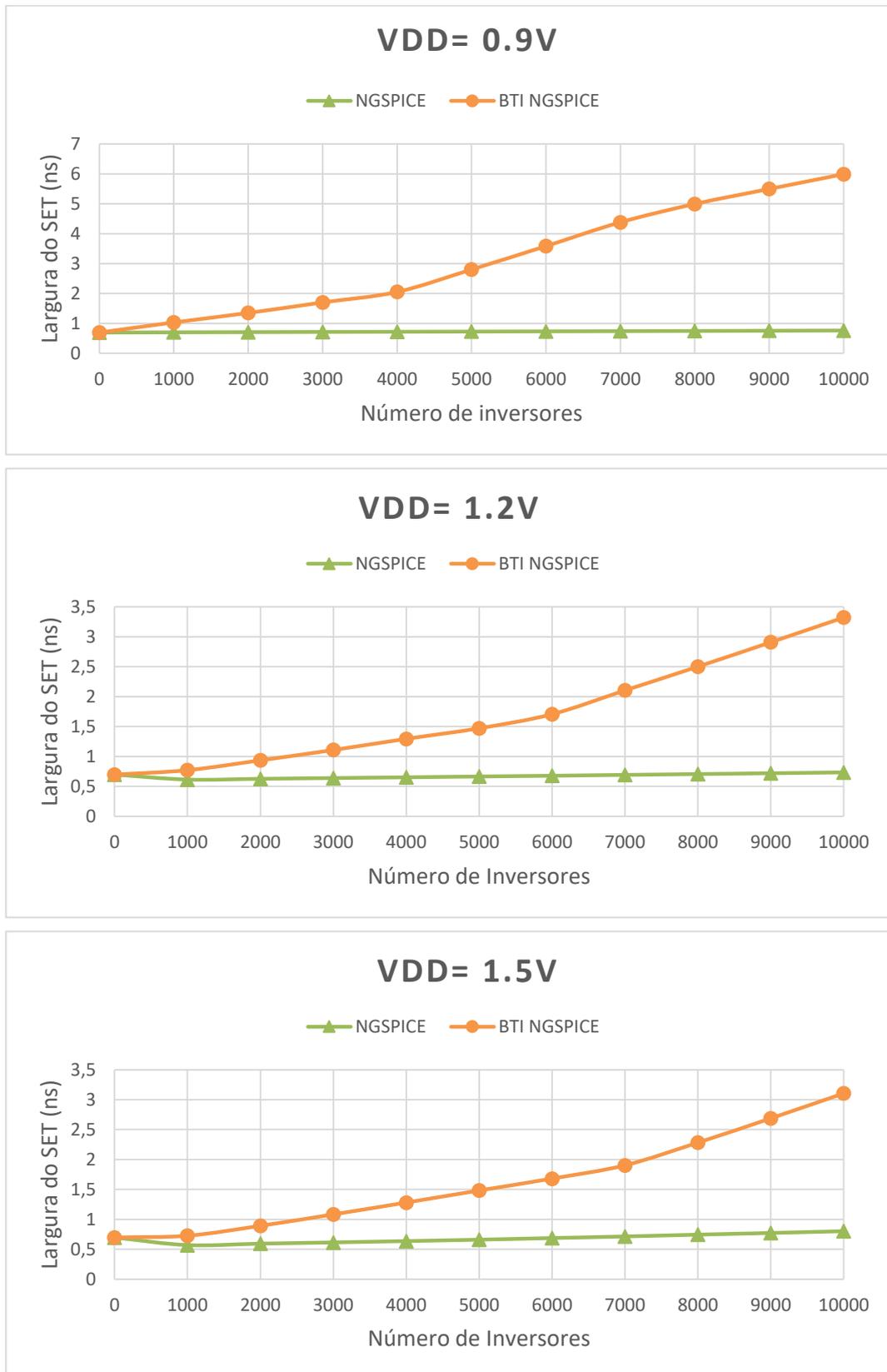


Fonte: Autor

A influência da redução na tensão de alimentação é especialmente evidenciada em circuitos *low power* – baixa potência. Como podemos ver na Figura 6.4 a redução de V_{DD} entre os valores 1,5V e 0,9V aumenta o tempo de propagação. Das simulações efetuadas pode-se ver que o atraso no circuito lógico aumenta significativamente com a diminuição da tensão de alimentação. Por este motivo deve existir especial cuidado com as transições de tensão durante o processo de otimização, para que não ocorram falhas. Deve-se garantir que a transição para uma tensão inferior não tem demasiado impacto no desempenho. Além disso, sabe-se que o atraso de propagação de portas lógicas tem seu valor aumentado pela degradação da tensão de limiar induzida por BTI (FANG; SAPATNEKAR, 2013). Tempos de estresse crescentes levam a maior degradação por BTI, resultando em maior desvio da tensão de limiar (FURTADO, 2017), o que acarreta em maior largura de pulso, que é consequência de um acréscimo no atraso de propagação da sua segunda borda de transição do pulso transiente induzido.

Séries adicionais de simulações foram realizadas para analisar o impacto da variação da tensão de alimentação, variando-se o número de inversores entre o nodo atingido por radiação e o nodo de saída do circuito lógico. Ambas as ferramentas, NGSPICE e Simulador BTI, foram comparadas, a comercialmente distribuída e aquela de nossa autoria.

Figura 6.5: Largura de SETs medidos na saída de longas cadeias em função do número de inversores, utilizando simulação de circuitos NGSPICE e o Simulador BTI, para três tensões de alimentações na tecnologia 90nm bulk.



Fonte: Autor

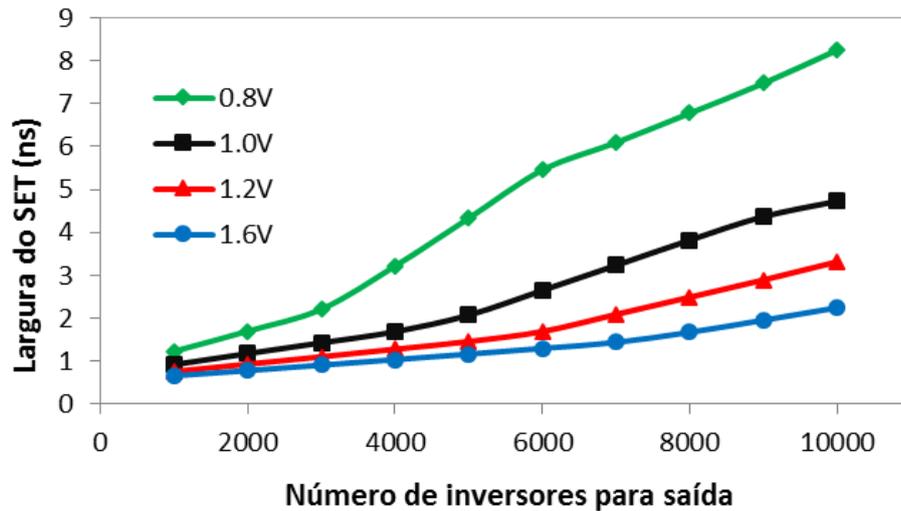
Ao se utilizar a ferramenta livremente disponibilizada – NGSPICE – para a Figura 6.5a cujo $V_{DD} = 0,9V$, foi encontrada uma variação máxima de 10% no alargamento do pulso injetado na entrada do circuito após o mesmo percorrer 10 mil inversores. Percebe-se uma linha quase linear na Figura 6.5 para os resultados de NGSPICE. Os resultados na ferramenta NGSPICE com análise de BTI apresentou um alargamento de 870% ao percorrer a mesma profundidade lógica na Figura 6.5a. Resultados para tensão de alimentação reduzida de 0,9V mostraram-se os mais impactantes em termos dos efeitos de envelhecimento como será explicado adiante.

Novas séries de simulações foram realizadas na tecnologia 90nm bulk com resolução de 10ps para mostrar o efeito BTI induzido e a modulação da largura para tensões de alimentação entre 0,8V e 1,6V em temperatura ambiente, sob condições de estresse. Na tensão nominal para esta tecnologia, 1,2V, o fator de PIPB é 0,26ps por inversor. Conforme a tensão de alimentação é reduzida, o fator PIPB aumenta - 0,40ps/inversor para V_{DD} de 1,0V até 0,76ps/inversor para tensão de alimentação de 0,8V. Portanto, o efeito PIPB tornar-se mais significativo de acordo com o *scaling* tecnológico e sua consequente redução das tensões de alimentações. Os resultados mostrados na Figura 6.6 foram obtidos para tempo de estresse estático de 100ns antes da injeção do SET, quando o circuito atingiu um estado estável de polarização.

Os resultados com o simulador de BTI mostraram-se muito similares aqueles exibidos em Ferlet-Cavrois et al. (2008), que exibiram os mesmos valores percentuais de 35% de diferença entre a largura do SET medido em tensão nominal de 1,2V e a largura de SET medido à tensão de 1,0V – exibido na Figura 6.6. O fator de PIPB apresentou valores entre 1,25ps/inversor e 1,9ps/inversor.

A Figura 6.6 mostra o fator PIPB para as diferentes tensões de alimentações simuladas com NGSPICE BTI, onde a largura do SET foi plotada como função do número de inversores entre o nodo atingido por radiação e a saída da cadeia lógica. A tensão de alimentação tem um impacto significativo sobre a largura do SET desde que este determina a variação de V_{th} do transistor.

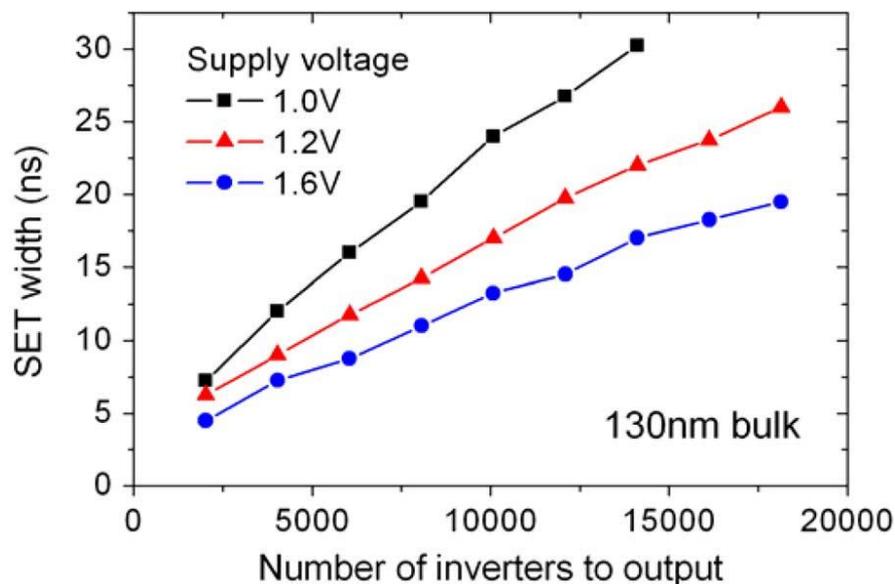
Figura 6.6: Resultados de simulação para largura de propagação de SET em cadeia de inversores bulk para diferentes tensões de alimentação como função do local de incidência da radiação – referenciado pelo número de inversores até a saída.



Fonte: Autor

Os resultados da Figura 6.6 replicam o comportamento experimental da Figura 6.7, reportado em Ferlet-Cavrois et al. (2008). Outros autores também observaram o aumento do fator PIPB quando a tensão de alimentação é reduzida (REZGUI; WON; TIEN, 2012). A largura do pulso injetado aumenta linearmente com o número de inversores através da qual o SET se desloca.

Figura 6.7: Resultados experimentais medidos da largura de propagação de SET em cadeia de inversores bulk para diferentes tensões de alimentação como função do local de incidência da radiação – referenciado pelo número de inversores até a saída.



Fonte: Ferlet-Cavroiset al. (2008)

É conhecido que o efeito BTI depende da tensão de operação na porta, temperatura e tempos de estresse. Essa dependência é modelada na literatura (CHAKRAVARTHI *et al.*, 2004):

$$\Delta VT = A \cdot e^{B \cdot V_{DD}} \cdot e^{-C/T} \log(t) \quad (6.1)$$

Onde A, B e C são constantes, V_{DD} é a tensão de alimentação, T é a temperatura e t é o tempo de estresse. A equação (6.1) indica que ΔVT possui uma dependência exponencial da tensão de alimentação V_{DD} . Neste conjunto de simulações somente foi variado a tensão de alimentação do circuito alvo.

Os valores que reproduzem a modulação da largura do pulso são consistentes com o modelo de BTI, que esclarece que a modulação foi causada por BTI. Os resultados destacam que o fenômeno de BTI está necessariamente envolvido quando medimos a distribuição da largura do pulso. Nota-se que a sensibilidade de V_{th} no atraso de um inversor é diferente a cada tensão de alimentação aplicada, desde que a mesma é responsável pela tensão $V_{DD} - V_{th}$ que determina a corrente ON do transistor. Conforme a tensão de alimentação torna-se maior, a corrente ON aumenta, mas a sensibilidade diminui. Já que a tensão de alimentação ativa um maior número de *traps*. Como resultado o fator PIPB torna-se o menor à tensão de 1,6V.

7. CONCLUSÃO

Neste trabalho foram discutidos diferentes efeitos de radiação ionizante aos quais os transistores MOS estão sujeitos. O estudo teve foco na propagação de *Single Event Transients* (SETs) e os efeitos de envelhecimento que se mostram uma preocupação de confiabilidade durante a etapa de projeto de CIs. Foram apresentados os mecanismos que originam o fenômeno *Bias Temperature Instability* (BTI), as características e o impacto que este efeito causa na degradação de circuitos eletrônicos.

Sobre BTI foram abordadas as técnicas de modelagem detalhando os mecanismos responsáveis pelo aumento do valor absoluto da tensão de limiar. Foi dada ênfase à correta identificação das fases estáticas e dinâmicas de polarização na variabilidade da degradação, principalmente em circuitos altamente miniaturizados.

Esforços significativos estão envolvidos na modelagem e mitigação dos efeitos de radiação ionizantes em circuitos digitais, no entanto, técnicas de simulação modernas que estudam a propagação de SETs em lógica combinacional não se mostram suficientemente eficientes na modelagem da propagação de *soft errors*, uma vez que essas técnicas não levam em consideração que um SET possa sofrer alargamento enquanto propagando.

SETs com larguras amplificadas foram medidos experimentalmente na saída de longas cadeias de inversores idênticos, devido ao alargamento do pulso transiente original. Este fato pode alterar a estimativa de *soft error rate*. Na literatura algumas tentativas de explicar o fenômeno, denominado *Propagation-induced Pulse Broadening* (PIPB), não tiveram sucesso. Este trabalho corrobora a explicação de Harada et al. (2013), afirmando que o fenômeno BTI causa a modulação de largura de pulso transiente sobre condições de estresse estático e dinâmico. O fenômeno PIPB normalmente não é levado em consideração em modelagem de circuitos, o que induz uma subestimativa da sensibilidade de circuitos à propagação de SETs com a utilização de técnicas de simulação tradicionais, como injeção de falhas em circuitos complexos.

Utilizando o simulador elétrico desenvolvido em nosso laboratório, pode-se simular adequadamente a propagação de SETs em circuitos integrados. O simulador oferece uma alternativa robusta e econômica aos extensivos testes de envelhecimento. Projetistas podem estimar a confiabilidade no início do processo, reduzindo significativamente o tempo e o custo da avaliação de confiabilidade.

O simulador modela adequadamente o efeito de recuperação parcial que é essencial para o fenômeno BTI, realiza cálculos de tensão elétrica que impactam na tensão de *threshold*

dos transistores devido a atividade das armadilhas durante a simulação transiente, tornando possível analisar o impacto do envelhecimento no comportamento elétrico de circuitos VLSI. Devido a essas características, o simulador foi empregado com sucesso para estudar a amplificação de pulso induzida por propagação (PIPB) de *Single Event Transients* (SETs).

Os resultados das simulações mostram que o fenômeno BTI pode levar ao alargamento de pulsos induzidos por propagação. Foram apresentados estudos de casos de longas cadeias de inversores normalmente utilizados no estudo do efeito PIPB na literatura, além disso, estes circuitos são normalmente empregados como detectores de radiação ionizante e podem acusar estatísticas superestimadas de carga depositada por partículas ionizantes caso o efeito PIPB não seja considerado.

Os resultados de simulações confirmaram que os efeitos causados pelas armadilhas se tornaram uma grande ameaça à confiabilidade de circuitos devido ao grande aumento da variabilidade causada nos parâmetros elétricos de transistores manométricos. Neste trabalho, as simulações elétricas explicaram diferentes fenômenos observados experimentalmente na literatura, como a dependência da modulação do pulso para diferentes frequências de operação do circuito, *duty cycle*, comprimento da cadeia combinacional, bem como o impacto da variação de parâmetros elétricos importantes como tensão de alimentação e tempo de estresse do circuito antes da incidência da radiação ionizante.

8. REFERÊNCIAS

- ABELLA, J.; VERA, X.; GONZÁLEZ, A. Penelope: The NBTI-aware processor. Proceedings of the Annual International Symposium on Microarchitecture, MICRO, 2007. p. 85–96.
- AGARWAL, M. et al. Circuit Failure Prediction And Its Application To Transistor Aging. In: IEEE. VLSI Test Symposium, 2007. 25th IEEE. [S.l.], 2007. p. 277–286.
- AHMED, F.; MILOR, L.; , "NBTI resistant SRAM design" Advances in Sensors and Interfaces (IWASI), 2011 4th IEEE International Workshop on , vol., no., pp.82-87, 28- 29 June 2011.
- ALAM, M. a. (2003). A critical examination of the mechanics of dynamic NBTI for PMOSFETs. IEEE International Electron Devices Meeting 2003, p.345–348.
- ALAM, M. A. AND MAHAPATRA, S. “A Comprehensive Model of PMOS NBTI Degradation”, Journal of Microelectronics Reliability, Vol. 45 Issue: 1, pp. 71-81, DOI: 10.1016/j.microrel.2004.03.019, January, 2005.
- ANELLI G. M. Conception etCaracterisation de Circuits IntegresResistants aux Radiations pour les Detecteurs de Particules du LHC em Technologies CMOS Sub- microniquesProfondes. 2000. Tese (Doutorado) — Institut National Polytechnique de Grenoble.
- ANGHEL, L.; NICOLAIDIS, M. Defects Tolerant Logic Gates for Unreliable Future. 2007. p. 422–429.
- ARAUJO, João Tiago da Rocha. Impacto do scaling da tecnologia CMOS no desenho de circuitos digitais. Dissertação (Mestrado em Engenharia Electronica e Telecomunicações) Universidade de Aveiro, Portugal. 2008.
- BAGATIN, M. et al. Impact of nbtI aging on the single-event upset of SRAM cells. Nuclear Science, IEEE Transactionson, IEEE, v. 57, n. 6, p. 3245–3250, 2010.
- BALEN, T. Efeitos da radiação em dispositivos analógicos programáveis (FPAA) e técnicas de proteção. 2010. Tese (Doutorado em Engenharia Elétrica) Universidade Federal do Rio Grande do Sul, Porto Alegre. 2010.
- BANASZESKI, M. Circuito On-Chip para a Caracterização em Alta Escala do Efeito de Bias Temperature Instability. Dissertação (Mestrado em Microeletrônica) Universidade Federal do Rio Grande do Sul, Porto Alegre. 2012.
- BARNABY, H. J. Total-Ionizing-Dose Effects in Modern CMOS Technologies. Nuclear Science. IEEE Transactions on, [s.l.] v. 53, n. 6, p. 3103-3121, 2006.
- BHARDWAJ, S. *et al.* Predictive modeling of the nbtI effect for reliable design. Proceedings of the custom integrated circuits conference, 2006. n. Cicc, p. 189–192.
- BILD, D.R.; BOK, G.E.; DICK, R.P.; , "Minimization of NBTI performance degradation using internal node control," Design, Automation & Test in Europe Conference & Exhibition, 2009. DATE '09. , vol., no., pp.148-153, 20-24 April 2009

BOTH, T. H. Análise dos Efeitos de Dose Total Ionizante em Transistores CMOS Tecnologia 0.35 um - Dissertação de Mestrado UFRGS, 2013.

BOUDENOT, J.-C. Radiation Space Environment. In: Velazco, R.; Fouillat, P.; Reis, R. (Ed.). Radiation Effects on Embedded Systems. 1.ed. The Netherlands: Springer, 2007. p.1–9.

BROSSER, F.; MILH, E. SEU Mitigation Techniques for Advanced Reprogrammable FPGA in Space. 2014.

BRUSAMARELLO, L. Modeling and Simulation of Device Variability and Reliability at the Electrical Level. 2011. 152f. Tese (Doutorado em Microeletrônica) – Pós-Graduação em Microeletrônica, UFRGS, Porto Alegre.

BSIM 4.6.4 MOSFET Model Users' Manual. EECS Department, University of California, Berkeley, 2009.

BUCHNER, S. P.; BAZE, M. P. Single-event transients in fast electronic circuits. IEEE NSREC Short Course Notes, Vancouver, p. V 1-105, July 2001.

CAMARGO, V. V. A. *et al.* Circuit simulation of workload-dependent RTN and BTI based on trap kinetics. **Microelectronics Reliability**, 2014. v. 54, n. 11, p. 2364–2370.

CERATTI, A. D. Desenvolvimento de um sensor "on-chip" para monitoramento do envelhecimento de SRAMS. Pontifícia Universidade Católica do Rio Grande do Sul, 2012.

CHAKRAVARTHI, S. *et al.* A comprehensive framework for predictive modeling of negative bias temperature instability. 2004 iee international reliability physics symposium. proceedings, 2004. p. 273–282

CHEN, G. *et al.*, Dynamic NBTI of PMOS Transistors and Its Impact on Device Lifetime, in: IRPS, 2003. Proceedings... [S.l.s.n], p. 169–202.

CHEN, X. *et al.* Variation-aware supply voltage assignment for minimizing circuit degradation and leakage. Proceedings of the 14th ACM/, 2009. p. 39–44.

COPETTI, T. S.; Metodologia Baseada em Hardware para o Desenvolvimento de Circuitos Integrados Tolerantes ao Fenômeno de NBTI. - Dissertação de Mestrado PUCRS, 2015.

DA SILVA, M.B.; CAMARGO, V.V.A.; BRUSAMARELLO, L.; WIRTH, G.I.; DA SILVA, R.; , "NBTI-aware technique for transistor sizing of high-performance CMOS gates," Test Workshop, 2009. LATW '09. 10th Latin American , vol., no., pp.1-5, 2-5 March 2009

DENAI, M. *et al.* On-the-fly characterization of NBTI in ultra-thin gate oxide PMOSFET's. In: ELECTRON DEVICES MEETING, 2004. IEDM TECHNICAL DIGEST. IEEE INTERNATIONAL, 2004, 2004. p.109-112.

DEVICE GROUP AT UC BERKELEY, Berkeley Predictive Technology Model. Disponível em: <<http://ptm.asu.edu/>> Acesso em: 09 Maio de 2017.

DODD, P. E. *et al.* Production and propagation of single-event transients in high-speed digital logic ICs. [S.l.]: [s.n.], 2004. V. 51, p. 3278–3284.

ECOFFET, R. In-flight Anomalies on Electronic Devices. In: Velazco, R.; Fouillat, P. et al (Ed.). Radiation Effects on Embedded Systems. Dordrecht: Springer Netherlands, 2007. cap. 3, p.31-68.

FANG, J.; SAPATNEKAR, S. S. The impact of BTI variations on timing in digital logic circuits. IEEE Transactions on Device and Materials Reliability, 2013. v. 13, n. 1, p. 277–286.

FANG, J.; SAPATNEKAR, S. S. Understanding the impact of transistor-level BTI variability. IEEE International Reliability Physics Symposium Proceedings, 2012.

FERLET-CAVROIS, V. *et al.* Investigation of the Propagation Induced Pulse Broadening (PIPB) effect on single event transients in SOI and bulk inverter chains. IEEE Transactions on Nuclear Science, 2008. v. 55, n. 6, p. 2842–2853.

FERLET-CAVROIS, V. *et al.* New insights into single event transient propagation in chains of inverters - Evidence for propagation-induced pulse broadening. IEEE Transactions on Nuclear Science, 2007. v. 54, n. 6, p. 2338–2346.

FERLET-CAVROIS, V.; MASSENGILL, L. W.; GOUKER, P. Single event transients in digital cmos - a review. Ieee transactions on nuclear Science, 60(3), p. 1767–1790, 2013.

FONSTAD, C. Sub-threshold MOSFET Operation. 2009. Disponível em https://ocw.mit.edu/courses/electrical-engineering-and-computer-science/6-012-microelectronic-devices-and-circuits-fall-2009/lecture-notes/MIT6_012F09_lec12.pdf. Acesso em: 29 Agosto 2017.

FU, X.; LI, T.; FORTES, J. NBTI tolerant microarchitecture design in the presence of process variation. [S.l.]: [s.n.], 2008. p. 399–410. “NBTI Tolerant Microarchitecture Design in the Presence of Process Variation”, Proc. 41st Annual IEEE/ACM International Symposium on Microarchitecture, IEEE Computer Society, Washington, DC, USA, pp. 399-410, DOI: 10.1109/MICRO.2008.4771808, 8-12 Nov, 2008.

FURTADO, G. F. Metodologia Determinística Para Simulação Elétrica Do Impacto De BTI Em Circuitos MOS. Dissertação (Mestrado em Engenharia Elétrica) Universidade Federal do Rio Grande do Sul, Porto Alegre. 2017.

GRASSER T., “Negative bias temperature instability: Modeling challenges and perspectives” in Proc. IRPS Tutorial, 2008.

GRASSER, T. et al, The Paradigm Shift in Understanding the Bias Temperature Instability: From Reaction–Diffusion to Switching Oxide Traps, IEEE Electron Devices Society, v.58, n.11, p 3652 – 3666, 2011.

GRASSER, T. *et al.* Recent advances in understanding the bias temperature instability. In: ELECTRON DEVICES MEETING (IEDM), 2010 IEEE INTERNATIONAL, 2010, 2010. p.4.4.1-4.4.4.

GRASSER, T. et al. The Universality of NBTI Relaxation and its Implications for Modeling and Characterization. In: RELIABILITY PHYSICS SYMPOSIUM, 2007. PROCEEDINGS. 45TH ANNUAL. IEEE INTERNATIONAL, 2007, 2007. p.268-280.

GRASSER, T. et al., A Two-Stage Model for Negative Bias Temperature Instability, in: IRPS, 2009. Proceedings... [S.l.s.n], p. 33–4. 2009-a.

GRASSER, T.; GOES, W.; KACZER, B. Critical modeling issues in negative bias temperature instability. Ecs transactions, 2009. v. 19, n. 2, p. 265–287. 2009-b.

GUPTA, S.; SAPATNEKAR, S. S. GNOMO: Greater-than-NOMinal V_{dd} operation for BTI mitigation. Proceedings of the Asia and South Pacific Design Automation Conference, ASP-DAC, 2012. p. 271–276.

HARADA, R. *et al.* Impact of NBTI-Induced Pulse-Width Modulation on SET Pulse-Width measurement. **IEEE Transactions on Nuclear Science**, 2013. v. 60, n. 4, p. 2630–2634.

HEIDEL, D. F. *et al.* Alpha-particle-induced upsets in advanced CMOS circuits and technology. IBM Journal of Research and Development, 2008. v. 52, n. 3, p. 225–232.

HEIJMEN, T. Soft Errors from Space to Ground: Historical Overview, Empirical Evidence, and Future Trends. In M. Nicolaidis (Ed.), *Soft Errors in Modern Electronic System*. New York: Springer, v.41, 2011. p. 1-25.

IELMINI, D. *et al.* A New NBTI Model Based on Hole Trapping and Structural Relaxation in MOS Dielectrics. *Electron Devices, IEEE Transactions on*, [s.l.], v. 56, n. 9, p. 1943-1952, 2009.

JEPPSON, K. O. SVENSSON, C. M. “Negative Bias Stress of MOS Devices at High Electric Fields and Degradation of NMOS Devices”, *Proc. Journal of Applied Physics*, Vol. 48 Issue 5, pp. 2004-2014, DOI: 10.1063/1.323909, 1977.

KACZER, B. *et al.* Atomistic approach to variability of bias-temperature instability in circuit simulations. [S.l.]: [s.n.], 2011.

KACZER, B. et al. NBTI from the Perspective of Defect States with Widely Distributed Time Scales, in: IRPS, 2009. Proceedings... IEEE International, Montreal, QC, 2009. p. 55-60.

KACZER, B. *et al.* Origin of NBTI variability in deeply scaled pFETs. In: RELIABILITY PHYSICS SYMPOSIUM (IRPS), 2010 IEEE INTERNATIONAL, p.26-32, 2010. 2010-a.

KACZER, B. et al. Ubiquitous relaxation in BTI stressing: New evaluation and insights. In: RELIABILITY PHYSICS SYMPOSIUM, 2008. IRPS 2008. IEEE INTERNATIONAL, 2008, 2008. p.20-27.

KACZER, B., *et al.* Statistics of multiple trapped charges in the gate oxide of deeply scaled MOSFET devices - Application to NBTI. *IEEE Electron Device Letters*, vol. 31, n. 5, p411-413, May, 2010. 2010-b.

KANG, A. Y.; LENAHAN, P. M.; CONLEY, J. F. The radiation response of the high dielectric-constant hafnium oxide/silicon system. *Nuclear Science, IEEE Transactions on*, [s.l.], v. 49, n. 6, p. 2636-2642, 2002.

KANG, K. et al. Impact of negative-bias temperature instability in nanoscale sram array: modeling and analysis. *Computer-Aided Design of Integrated Circuits and Systems, IEEE Transactions on*, IEEE, v. 26, n. 10, p. 1770–1781, 2007.

KANG, K. et al. NBTI Induced Performance Degradation in Logic and Memory Circuits: how effectively can we approach a reliability solution? In: *IEEE COMPUTER SOCIETY PRESS. Proceedings of the 2008 Asia and South Pacific Design Automation Conference*. [S.l.], 2008.

KARPUZCU, U. R.; GRESKAMP, B.; TORRELLAS, J. The BubbleWrap Many-Core : Popping Cores for Sequential Acceleration. 2009. p. 447–458.

KERBER, A.; CARTIER, E. Bias Temperature Instability Characterization Methods. In: Grasser, T. (Ed.). *Bias Temperature Instability for Devices and Circuits: Springer New York*, 2014. cap. 1, p. 3-31

KHAN, S. *et al.* BTI impact on logical gates in nano-scale CMOS technology. *Proceedings of the 2012 IEEE 15th International Symposium on Design and Diagnostics of Electronic Circuits and Systems, DDECS 2012*, 2012. p. 348–353.

KHAN, S.; HAMDIOUI, S. Temperature dependence of nbtI induced delay. *Proceedings of the 2010 IEEE 16th International on-line testing symposium, iolts 2010*, 2010. p. 15–20.

KRISHNAN A. T., et al., “Material dependence of hydrogen diffusion: Implication for NBTI degradation,” in *Proc. IEEE Int. Electron Devices Meeting*, Dec. 2005, pp. 688– 691.

KUMAR, A.; ANIS, M. IR-drop management CAD techniques in FPGAs for power grid reliability. In: *INTERNATIONAL SYMPOSIUM ON QUALITY OF ELECTRONIC DESIGN, ISQED*, 2009. *Proceedings...*, vol., no., pp.746-752, 16-18 March 2009 doi: 10.1109/ISQED.2009.4810386

KUMAR, S. V.; KIM, C. H.; SAPATNEKAR, S. S. Adaptive techniques for overcoming performance degradation due to aging in CMOS circuits. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 2011. v. 19, n. 4, p. 603–614.

KUMAR, S. V.; KIM, C. H.; SAPATNEKAR, S. S. NBTI-aware synthesis of digital circuits. [S.l.]: [s.n.], 2007. p. 370–375.

LAZZARI, Cristiano. Transistor Level Automatic Generation of Radiation-Hardened Circuits. Tese (Doutorado em Microeletrônica) Universidade Federal do Rio Grande do Sul, Porto Alegre. 2007.

LEHTONEN, T.; PLOSILA, J.; ISOAHO, J. On fault tolerance techniques towards nanoscale circuits and systems. *Turku Centre for Computer Science Technical Report*, Turku, v.1,n. 708, p. 1-39, Aug. 2005.

Li Y., Li M., ZHAO J., SCHRIMPF R., FLEETWOOD D., ZHANG B., WANG J., WANG D., WANG Y., Characterizing, modeling, and simulating soft error susceptibility in cell-based designs in highly scaled technologies, In Radiation and Its Effects on Components and Systems (RADECS), Sep. 2011, pp. 353–358, 2011.

LUBASZEWSKI, M.; BALEN, T.; SCHULER, E.; CARRO, L.; HUERTAS, J. L. Effects of Radiation on Analog and Mixed-Signal Circuits. In: VELAZCO, R.; FOUILLAT, P.; REIS, R. (Ed.). Radiation Effects on Embedded Systems. 1.ed. The Netherlands: Springer, 2007. p.89–120.

LUBASZEWSKI, M.; COTA, É. F.; KRUG, M. R. Teste e Projeto Visando o Teste de Circuitos e Sistemas Integrados. **Concepção de Circuitos Integrados**, 2014. n. July, p. 167–189.

MA, T.P. AND DRESSENDORFER, P. V. Ionizing Radiation Effects in MOS Devices and Circuits. John Wiley & Sons. Disponível em: <<http://books.google.com/books?id=Z6jyidJL7Q8C&pgis=1>>.

MAKABE, M.; KUBOTA, T.; KITANO, T. Bias-temperature degradation of pMOSFETs: mechanism and suppression. In: RELIABILITY PHYSICS SYMPOSIUM, 2000. PROCEEDINGS. 38TH ANNUAL 2000 IEEE INTERNATIONAL, 2000, 2000. p.205-209.

MARTINS, C. V., SEMIÃO, J., VAZQUEZ, J. C., CHAMPAC, V., SANTOS, M., TEIXEIRA, I. C., & TEIXEIRA, J. P. (2011). Adaptive Error-Prediction Flip-flop for performance failure prediction with aging sensors. In Proceedings of the IEEE VLSI Test Symposium. p. 203–208, 2011.

MASSENGILL, L. W. *et al.* Analysis of single-event effects in combinational logic-simulation of the am2901 bitslice processor. Ieee transactions on nuclear science, 2000. v. 47, n. 6 III, p. 2609–2615.

MASSENGILL, L. W.; Tuinenga, P. W. (2008). Single-event transient pulse propagation in digital CMOS. In IEEE Transactions on Nuclear Science, pp. 2861–2871, 2008.

MASSEY, J.G.; "NBTI: what we know and what we need to know - a tutorial addressing the current understanding and challenges for the future"; Integrated Reliability Workshop Final Report, 2004 IEEE International; Publication Date: 18-21 Oct. 2004

MAVIS, D. G., Eaton, P. H. (2002). Soft error rate mitigation techniques for modern microcircuits. In IEEE International Reliability Physics Symposium Proceedings (Vol. 2002–January, pp. 216–225).

MCLEAN, F. B.; OLDHAM, T. R. Basic mechanisms of radiation effects in electronic materials and devices.1987. 91 p. Disponível em: <<http://www.dtic.mil/dtic/tr/fulltext/u2/a186936.pdf>>. Acessoem: 11 desetembro de 2016

MESSENGER, G. C. Collection of charge on junction nodes from ion tracks. IEEE Transactions on Nuclear Science, New York, v. 29, n. 6, p. 2024-2031, Dec. 1982.

MIURA, Y.; MATUKURA, Y. Investigation of Silicon-Silicon Dioxide Interface Using MOS Structure, Japanese Journal of Applied Physics, v.5, p. 180, 1966.

NARASIMHAM, B. *et al.* Characterization of digital single event transient pulse-widths in 130-nm and 90-nm CMOS technologies. [S.l.]: [s.n.], 2007. V. 54, p. 2506–2511.

NGSPICE. <ngspice.sourceforge.net>. Acesso em: 09 Maio de 2017.

OLDHAM, T. R.; MCLEAN, F. B. Total ionizing dose effects in MOS oxides and devices. Nuclear Science, IEEE Transactions on, [s.l.], v. 50, n. 3, p. 483-499, 2003.

PAUL, B.C.; *et al.*, "Negative Bias Temperature Instability: Estimation and Design for Improved Reliability of Nanoscale Circuits," Computer-Aided Design of Integrated Circuits and Systems, IEEE Transactions on , vol.26, no.4, pp.743-751, April 2007.

RESINGER, H. *et al.*, Analysis of NBTI degradation and recovery behavior based on ultra fast V_t-measurement, in: IRPS, 2006. Proceedings... IEEE International, San Jose, CA, 2006. p. 448–453.

REZGUI, S.; WON, R.; TIEN, J. Set characterization and mitigation in 65-nm cmos test structures. Ieee transactions on nuclear science, 2012. v. 59, n. 4 PART 1, p. 851–859.

ROSSETO, Alan. Estudo dos efeitos de Bias Temperature Instability e Random Telegraph Noise em dispositivos e circuitos eletrônicos. Dissertação (Doutorado em Microeletrônica) Universidade Federal do Rio Grande do Sul, Porto Alegre. 2014.

SCHLÜNDER, C. Device reliability challenges for modern semiconductor circuit design – a review. Advances in radio science, 2009. v. 7, p. 201–211.

SCHRIMPF, R. D. Radiation Effects in Microelectronics. In: VELAZSCO, R.; FOUILLAT, P.; Reis, R. (Ed.). Radiation Effects on Embedded Systems. Dordrecht: Springer, 2007, p. 11-29.

SCHRODER, D. K. Negative bias temperature instability: What do we understand? Microelectronics Reliability, [s.l.], v. 47, n. 6, p. 841-852, 2007.

SEMIÃO, J. *et al.* Time management for Low-Power Design of Digital Systems. Journal of Low Power Electronics, 2008. v. 4, p. 410–419.

SIMOEN, E. *et al.* Explaining the amplitude of RTS noise in submicrometer MOSFETs. Electron Devices, IEEE Transactions on, [s.l.], v. 39, n. 2, p. 422-429, 1992.

SROUR, J. R. Basic mechanisms of radiation effects on electronic materials, devices, and integrated circuits. 1982. 99 p. Disponível em: <<http://www.dtic.mil/cgibin/GetTRDoc?Location=U2&doc=GetTRDoc.pdf&AD=ADA136393>>. Acesso em: 11 de setembro de 2016.

SROUR, J. R.; PALKO, J. W. Displacement damage effects in irradiated semiconductor devices. Nuclear Science, IEEE Transactions on, [s.l.], v. 60, n. 3, p. 1912-1928, 2013.

STASSINOPOULOS, E.; RAYMOND, J. The space radiation environment for electronics. Proceedings of the IEEE, [S. l.], v. 76, n. 11, p. 1423-1442, Nov. 1988.

STATHIS, J. H.; ZAFAR, S. The negative bias temperature instability in MOS devices: A review. *Microelectronics Reliability*, [s.l.], v. 46, n. 2–4, p. 270-286, 2006.

STERPONE, L., BATTEZZATI, N., KASTENSMIDT, F. L., & CHIPANA, R. (2011). An analytical model of the propagation induced pulse broadening (PIPB) effects on single event transient in flash-based FPGAs. *IEEE Transactions on Nuclear Science*, vol. 58, no. 5, pp. 2333–2340, Oct. 2011.

SYNOPSYS. HSPICE software reference manual. 2017. Disponível em: <<http://www.synopsys.com/>>. Acesso em: 09 Maio de 2017.

TAUR, Y., *et al.* CMOS Scaling into the Nanometer Regime. *Proceedings of the IEEE*, [S.l.], v. 85, n. 4, p. 486-504, Apr. 1997.

The International Technology Roadmap for Semiconductors (ITRS), 2004.

TOLEDANO-LUQUE, M., KACZER, B., SIMOEN, E., ROUSSEL, P. J., VELOSO, A., GRASSER, T., & GROESENEKEN, G. (2011). Temperature and voltage dependences of the capture and emission times of individual traps in high-k dielectrics. In *Microelectronic Engineering*, v. 88, p. 1243–1246, 2011.

VALDUGA, Vinicius. Modelagem e Simulação de NBTI em Circuitos Digitais. Tese (Mestrado em Microeletrônica) Universidade Federal do Rio Grande do Sul, Porto Alegre. 2012.

VARGAS, F.; NICOLAIDIS, M. SEU-tolerant SRAM design based on current monitoring. In: *International Symposium On Fault-Tolerant Computing*, 24., 1994, Austin. *Proceedings...* Los Alamitos: IEEE Computer Society Press, 1994. p.106-115.

VATTIKONDA, R.; WANG, W.; CAO, Y. Modeling and minimization of PMOS NBTI effect for robust nanometer design, in: *DAC*, 2006. *Proceedings...* [S.l.s.n], p. 1047-1052.

VIRMONTOIS, C. *et al.* Displacement damage effects due to neutron and proton irradiations on CMOS image sensors manufactured in deep submicron technology. *Nuclear Science, IEEE Transactions on*, [s.l.], v. 57, n. 6, p. 3101-3108, 2010.

WANG, W. *et al.* An efficient method to identify critical gates under circuit aging. [S.l.]: [s.n.], 2007. p. 735–740.

WANG, W., Yang, S., Bhardwaj, S., Vattikonda, R., Vruthula, S., Liu, F., & Cao, Y. (2007). The impact of NBTI on the performance of combinational and sequential circuits. In *Proceedings - Design Automation Conference*, p. 364–369, 2007.

WENPING, W. *et al.* The Impact of NBTI Effect on Combinational Circuit: Modeling, Simulation, and Analysis. *Very Large Scale Integration (VLSI) Systems, IEEE Transactions on*, [s.l.], v. 18, n. 2, p. 173-183, 2010.

WINOKUR, P. S. Radiation-induced interface traps. In: Ma, T. P. e Dressendorfer, P. V. (Ed.). *Ionizing Radiation Effects in MOS Devices and Circuits*. 1st ed. New York: John Wiley & Sons, 1989. p. 193-255.

WIRTH, G. *et al.* Charge Trapping in MOSFETS: BTI and RTN Modeling for Circuits. In: Grasser, T. (Ed.). Bias Temperature Instability for Devices and Circuits: Springer New York, 2014. cap. 29, p. 751-782.

WIRTH, G. *et al.* Compact modeling and simulation of Random Telegraph Noise under non-stationary conditions in the presence of random dopants. *Microelectronics Reliability*, v. 52, n. 12, p. 2955–2961, 2012.

WIRTH, G. I.; DA SILVA, R.; KACZER, B. Statistical Model for MOSFET Bias Temperature Instability Component Due to Charge Trapping. *Electron Devices, IEEE Transactions on*, [s.l.], v. 58, n. 8, p. 2743-2751, 2011.

WIRTH, G.; KASTENSMIDT, F. L.; RIBEIRO, I. Single Event Transients In Logic Circuits - Load And Propagation Induced Pulse Broadening. *IEEE Transactions on Nuclear Science*, 2008. v. 55, n. 6, p. 2928–2935.

ZHANG, L.; DICK, R. P. Scheduled voltage scaling for increasing lifetime in the presence of NBTI. *Proceedings of the Asia and South Pacific Design Automation Conference, ASP-DAC*, 2009. p. 492–497.

APÊNDICE A: MODEL CARD PTM CUSTOMIZADO PARA USO NO SIMULADOR

RTS/BTI

* Customized PTM 90nm NMOS (90nm_bulk.pm)

.model nmosnmos level = 54

+version = 4.6.5 binunit = 1 paramchk= 1 mobmod = 0
+capmod = 2 igcmod = 1 igbmod = 1 geomod = 1
+diomod = 1 rdsmod = 0 rbodymod= 1 rgatemod= 1
+permod = 1 acnqsmod= 0 trnqsmod= 0

* parameters related to the technology node

+tnom = 27 epsrox = 3.9
+eta0 = 0.0074 nfactor = 1.7 wint = 5e-09
+cgso = 1.9e-10 cgdo = 1.9e-10 xl = -4e-08

*** BTI Parameters**

+ tlbden=1e12 lpi=2 hpi=9 vthlb=5e-6 hetlim=1.25

* parameters customized by the user

+toxe = 2.05e-09 toxp = 1.4e-09 toxm = 2.05e-09 toxref = 2.05e-09
+dtox = 6.5e-10 lint = 7.5e-09
+vth0 = 0.408 k1 = 0.486 u0 = 0.05383 vsat = 113760
+rdsw = 180 ndep = 2.02e+18 xj = 2.8e-08

* secondary parameters

+ll	= 0	wl	= 0	lln	= 1	wln	= 1
+lw	= 0	ww	= 0	lwn	= 1	wwn	= 1
+lwl	= 0	wwl	= 0	xpart	= 0		
+k2	= 0.01	k3	= 0				
+k3b	= 0	w0	= 2.5e-006	dvt0	= 1	dvt1	= 2
+dvt2	= -0.032	dvt0w	= 0	dvt1w	= 0	dvt2w	= 0
+dsub	= 0.1	minv	= 0.05	voff1	= 0	dvtp0	=
1.0e-009							
+dvtpl	= 0.1	lpe0	= 0	lpeb	= 0		
+ngate	= 2e+020	nsd	= 2e+020	phin	= 0		
+cdsc	= 0.000	cdscb	= 0	cdscd	= 0	cit	= 0
+voff	= -0.13	etab	= 0				
+vfb	= -0.55	ua	= 6e-010	ub	= 1.2e-018		
+uc	= 0	a0	= 1.0	ags	= 1e-020		
+a1	= 0	a2	= 1.0	b0	= 0	b1	= 0
+keta	= 0.04	dwg	= 0	dwb	= 0	pclm	=
0.04							
+pdiblc1	= 0.001	pdiblc2	= 0.001	pdiblc3	= -0.005	dROUT	= 0.5
+pvag	= 1e-020	delta	= 0.01	pscbel	= 8.14e+008	pscbel	= 1e-
007							
+fprout	= 0.2	pdits	= 0.08	pditsd	= 0.23	pdits1	=
2.3e+006							
+rsh	= 5	rsw	= 85	rdw	= 85		
+rdswmin	= 0	rdwmin	= 0	rswmin	= 0	prwg	= 0
+prwb	= 6.8e-011	wr	= 1	alpha0	= 0.074	alpha1	=
0.005							
+beta0	= 30	agidl	= 0.0002	bgidl	= 2.1e+009	cgidl	=
0.0002							
+egidl	= 0.8						
+aigbacc	= 0.012	bigbacc	= 0.0028	cigbacc	= 0.002		
+nigbacc	= 1	aigbinv	= 0.014	bigbinv	= 0.004	cigbinv	=
0.004							
+eigbinv	= 1.1	nigbinv	= 3	aigc	= 0.012	bigc	=
0.0028							
+cigc	= 0.002	aigsd	= 0.012	bigsd	= 0.0028	cigsd	=
0.002							
+nigc	= 1	poxedge	= 1	pigcd	= 1	ntox	= 1

+xrcrg1	= 12	xrcrg2	= 5				
+cgbo	= 2.56e-011	cgdl	= 2.653e-10				
+cgsl	= 2.653e-10	ckappas	= 0.03	ckappad	= 0.03	acde	= 1
+moin	= 15	noff	= 0.9	voffcv	= 0.02		
+kt1	= -0.11	kt11	= 0	kt2	= 0.022	ute	= -
1.5							
+ua1	= 4.31e-009	ub1	= 7.61e-018	uc1	= -5.6e-011	prt	= 0
+at	= 33000						
+fnoimod	= 1	tnoimod	= 0				
+jss	= 0.0001	jsws	= 1e-011	jswgs	= 1e-010	njs	= 1
+ijthsfwd	= 0.01	ijthsrev	= 0.001	bvs	= 10	xjbvs	= 1
+jsd	= 0.0001	jswd	= 1e-011	jswgd	= 1e-010	njd	= 1
+ijthdfwd	= 0.01	ijthdrev	= 0.001	bvd	= 10	xjbvd	= 1
+pbs	= 1	cjs	= 0.0005	mjs	= 0.5	pbsws	= 1
+cjsws	= 5e-010	mjsws	= 0.33	pbswgs	= 1	cjswgs	= 3e-
010							
+mjswgs	= 0.33	pbid	= 1	cjd	= 0.0005	mjd	= 0.5
+pbswd	= 1	cjswd	= 5e-010	mjswd	= 0.33	pbswgd	= 1
+cjswgd	= 5e-010	mjswgd	= 0.33	tpb	= 0.005	tcj	=
0.001							
+tpbsw	= 0.005	tcjsw	= 0.001	tpbswg	= 0.005	tcjswg	=
0.001							
+xtis	= 3	xtid	= 3				
+dmcg	= 0e-006	dmci	= 0e-006	dmdg	= 0e-006	dmcgt	= 0e-
007							
+dwj	= 0.0e-008	xgw	= 0e-007	xgl	= 0e-008		
+rshg	= 0.4	gbmin	= 1e-010	rbpb	= 5	rbpd	= 15
+rbps	= 15	rbdb	= 15	rbsb	= 15	ngcon	= 1

APÊNDICE B: USO DO SIMULADOR RTS/BTI

To properly use the noise model the following parameters should be set in the transistor model:

- ▶ Trap density lambda (*tlbden*)
- ▶ *pi* range (*lpi* and *hpi*)
- ▶ Size dependent trap ΔV_{th} lambda (*vthlb*)
- ▶ Highest trap energy limit (*hetlim*)

The mean of the Poisson distribution for the trap number could also be set individually for each transistor using *tlambda* parameter.

Model Parameters:

- ▶ *tlbden* (cm^{-2})

Poisson lambda to calculate trap density (cm^{-2})

Default: *tlbden* = $1\text{e-}12$

- ▶ *lpi*

Lowest value for *pi* distribution

Default: *lpi* = 2

- ▶ *hpi*

Highest value for *pi* distribution

Default: *hpi* = 8

- ▶ *vthlb* ($\text{V}\cdot\mu\text{m}^2$)

Size dependent Lambda of exponential distribution for trap ΔV_{th} calculation

Default: *vthlb* = $5\text{e-}6$

- ▶ *hetlim* (eV)

Highest limit for trap energy

Default: *hetlim* = 1.2

Transistor Parameters:

- ▶ *tlambda*

Poisson lambda to calculate number of traps

It overwrites ***tlbden*** parameter

tlambda= 0 disable transistor from noise simulation

APÊNDICE C: NETLIST PARA O NGSPICE

Netlist para análise de degradação da largura do pulso em cadeia de inversores na tecnologia 90nm

```
.include 90nm_bulk.pm
.include Circuit1000inversors.sp
.include measure_pulse_output.sp

*Parameters
.paramvdd = 1.2v

.subckt INV in out vdgn
Mn out in gn gn nmos L=0.090u W=0.104u AD=0.0281p AS=0.0281p Pd=0.748u Ps=0.748u
Mp vd in out vd pmos L=0.090u W=0.104u AD=0.0281p AS=0.0281p Pd=0.748u Ps=0.748u
.ends INV

vddvd 0 dc 'vdd'
vssvs 0 dc 0

*simulação de falha provocada por partícula radioativa alfa na entrada da cadeia de
inversores

vin in000 0 exp(0 'vdd' 100n 1p 100.001n 1n)

*Longo período de relaxamento inicial

.tran 0.01n 110n 100n 0.01n

.control
rusageall
run
.endc

.end
```

APÊNDICE D: TRABALHOS PUBLICADOS

VIEIRA, MICHELE; WIRTH, GILSON I. Automated Analysis of Propagation Induced Pulse Broadening of Single Event Transients. In 31st SBMicro – Devices and Processes, 2016, Belo Horizonte - Brazil.

FURTADO, GABRIELA; HANNA BOTH, THIAGO; VIEIRA, MICHELE; WIRTH, GILSON I. Deterministic Methodology for Electrical Simulation of BTI Induced Pulse Broadening. IEEE TRANSACTIONS ON DEVICE AND MATERIALS RELIABILITY, v. 1, p. 1-1, 2017.