

AUTOMAÇÃO DE MODELOS ANALÍTICOS PARA A ESTIMATIVA DE DESEMPENHO DE PORTAS LÓGICAS CMOS

Gabriel Ammes Pinho, Renato Perez Ribas
Instituto de Informática, UFRGS, Porto Alegre, Brasil
{gapinho, rpribas}@inf.ufrgs.br

INTRODUÇÃO

Diferentes modelos analíticos de atraso de portas CMOS têm sido propostos pelo laboratório LogiCS [1] e por outros grupos [2]. Porém, a validação e aplicação destes modelos estão limitadas a redes simples devido à falta de uma ferramenta que automatize o processo de cálculo do atraso. Este trabalho tem como objetivo suprir esta limitação.

MODELOS DE ATRASO

Para calcular o atraso em portas lógicas CMOS, é necessário resolver sistemas complexos de equações, que são intratáveis manualmente. Consequentemente, ferramentas que utilizam estas equações tem um alto custo computacional.

Modelos de atraso são desenvolvidos para facilitar o cálculo do atraso [2]. Isso é feito simplificando equações e desconsiderando efeitos que podem afetar o atraso da porta. Desta maneira, a estimativa do atraso fica mais simples e rápida, porém a precisão é reduzida.

O atraso existe porque é necessário um certo tempo para carregar e descarregar as capacitância presentes nos nodos, como é mostrado na Fig. 1 e é calculado pela equação 1.

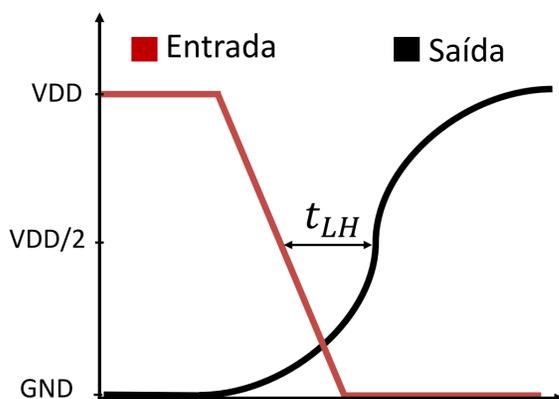


Figura 1: Gráfico mostrando a atraso entre a entrada e a saída em um porta lógica.

$$t_{HL,LH}(i) = \frac{Q}{\langle I \rangle} = \frac{C_L * \Delta V}{\langle I \rangle}$$

Equação 1: Equação do atraso

FLUXO DA AUTOMAÇÃO

A entrada da automação consiste em uma rede de transistores, especificada no formato SPICE, e um vetor que é utilizado para definir quais transistores estão ligados e qual transistor vai chavear o seu estado lógico.

O primeiro passo é dividir a rede em estágios, ou seja, nos transistores que implementam cada porta lógica.

Para cada um destes estágios é feito o cálculo de seu atraso, sendo o atraso total da rede (ou da porta lógica) a soma dos atrasos dos estágios.

Para calcular a tensão inicial de cada nodo, é feito uma avaliação do valor lógico, ou seja, 1-forte, 1-fraco, 0-forte e 0-fraco, através de buscas em largura no estágio, que é necessário para definir quais nodos devem ou não ser considerados no cálculo do atraso, conforme visto na Fig. 2.

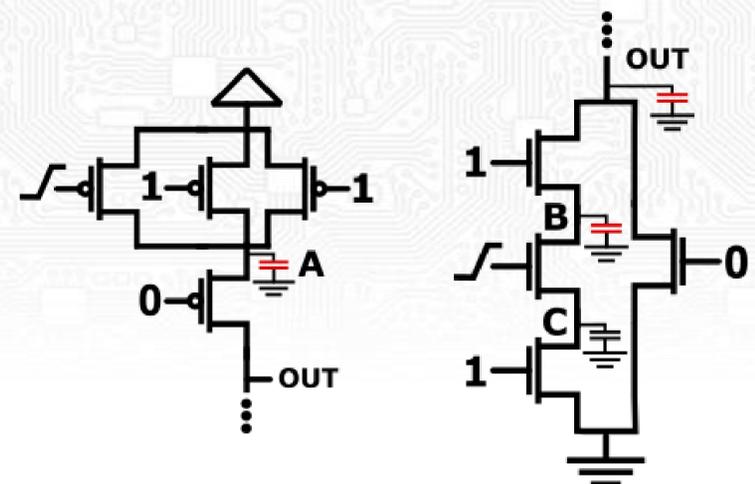


Figura 2: Rede de transistores dividida em (a) rede pull-up e (b) e rede pull-down. Os capacitores marcados em vermelho são os que terão que ser descarregados após a transição do transistor especificado. Como o capacitor no nodo 'C' tinha um valor lógico 0-forte, ele não entra no cálculo.

Após o cálculo da tensão inicial é feita a transição no transistor especificado e calculada então a tensão final. Para o cálculo desta tensão é considerado cada transistor como um resistor, enquanto que as referências e o nodo mais próximo à saída, pois sua tensão é conhecida, são tratados como fontes de tensão, como visto na Fig. 3(b).

Também é necessário calcular a capacitância em cada nodo da rede. Isso é feito somando as capacitâncias parasitas presentes em todos os transistores ligados ao nodo, conforme representado na Fig. 3(c).

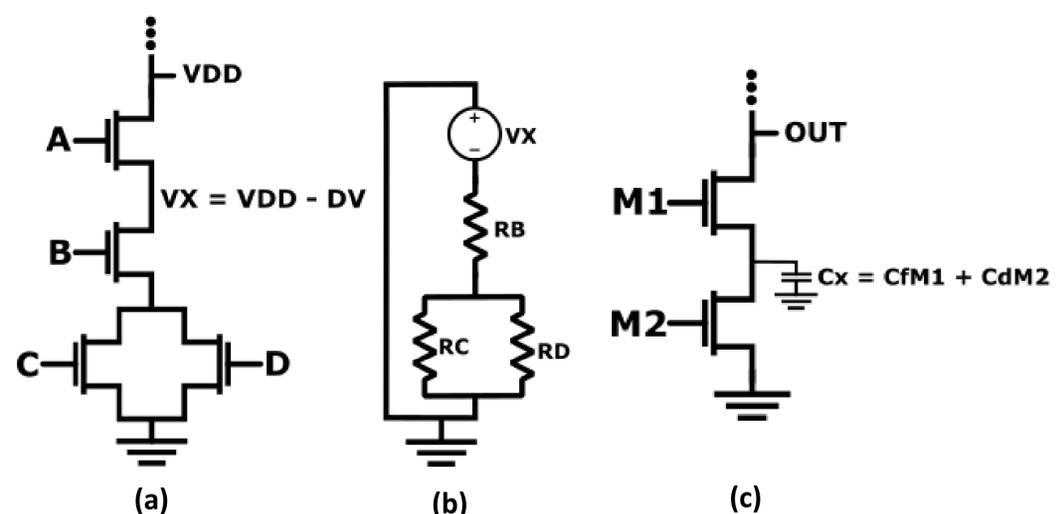


Figura 3: (a) Rede de transistores original e (b) a sua representação com fontes e resistores; (c) Capacitância em um nodo em termos das capacitâncias parasitas de fonte e dreno dos transistores conectados a ele.

Tendo a variação de tensão, um valor médio para a corrente pode ser obtido. Desta maneira, a equação do atraso da Fig. 1 pode ser resolvida. O ambiente encontra-se operacional.

- [1] F. S. Marranghello, A. I. Reis, R. P. Ribas. "Delay model for static CMOS complex gates," in Symp. on Integrated Circuits and Systems Design (SBCCI), 2013, pp.1-6.
[2] Daga, J. M.; Auvergne, D.; "A comprehensive delay macro modeling for submicrometer CMOS logics," *IEEE JSSC*, vol. 34, no. 1, Jan. 1999, pp. 42-55.

Agradecimentos: Pesquisa realizada com apoio do CNPq. Os autores agradecem ao doutorando Felipe Marranghello, do PGMicro/UFRGS, pela co-orientação e acompanhamento deste trabalho.