



Evento	Salão UFRGS 2017: FEIRA DE INOVAÇÃO TECNOLÓGICA DA UFRGS - FINOVA
Ano	2017
Local	Campus do Vale - UFRGS
Título	ANÁLISE DO VOLTAGE SCALING EM PORTAS LÓGICAS XOR UTILIZANDO DISPOSITIVOS FINFET
Autores	LEONARDO HEITICH BRENDLER ALEXANDRA LACKMANN ZIMPECK YGOR QUADROS DE AGUIAR
Orientador	RICARDO AUGUSTO DA LUZ REIS

RESUMO DO TRABALHO - ALUNO DE INICIAÇÃO TECNOLÓGICA E INOVAÇÃO 2016-2017

TÍTULO DO PROJETO: Análise do *Voltage Scaling* em Portas Lógicas XOR utilizando Dispositivos FinFET

Aluno: Leonardo Heitich Brendler

Orientador: Ricardo Augusto da Luz Reis

A tecnologia *bulk* CMOS (Semicondutor de Óxido Metálico Complementar) atingiu o seu limite físico e atualmente, a tecnologia FinFET (*Fin-Shaped Field Effect Transistor*) já está substituindo a tecnologia CMOS planar tradicional em circuitos sub-22nm. FinFET são dispositivos *multigate* que oferecem melhor controle dos efeitos de canal curto e a diminuição das correntes de fuga nos circuitos.

A estrutura de um FinFET é composta por *fins* de silício verticais que formam a região do canal e que conectam as regiões de fonte e dreno em cada extremidade. A fabricação de transistores FinFET é bastante compatível com a de transistores CMOS convencionais, possibilitando uma rápida adaptação para a fabricação.

Circuitos aritméticos são utilizados no caminho crítico de diversos sistemas computacionais, tendo grande influência no desempenho geral. Portas lógicas XOR são fundamentais para projeto destes circuitos. Por isso, as características elétricas das portas lógicas XOR definidas durante o projeto são muito importantes, pois elas irão afetar significativamente o desempenho final desses sistemas. Pode-se implementar portas lógicas XOR com diferentes arranjos de transistores. As topologias propostas no projeto exploram tanto os conceitos das famílias lógicas CMOS Complementar quanto da família PTL (Lógica de Transistor de Passagem).

Embora existam vários métodos que visem o baixo consumo de potência, a técnica escolhida para o projeto foi a do *voltage scaling*, consistindo em uma variação na tensão de alimentação dos dispositivos. No caso deste trabalho, a tensão de alimentação nominal é reduzida em

10% tentando chegar até no máximo 0,3V. O objetivo é a redução do consumo de potência dos circuitos.

O objetivo da pesquisa está sendo realizar comparações entre o desempenho e o consumo de energia de dez diferentes topologias de portas lógicas XOR. Todos os experimentos são realizados com dispositivos FinFET na tecnologia de 16nm da PTM-MG (*Predictive Technology Model*) e com o uso do simulador elétrico HSPICE. Foi considerada a técnica de *voltage scaling* em dois modelos tecnológicos diferentes: o de Baixo Consumo (LSTP) e o de Alto Desempenho (HP).

A comparação dos resultados mostra vantagem das portas implementadas com transistores de passagem. No entanto, algumas portas implementados com lógica complementar também apresentam resultados satisfatórios, alcançando uma redução de consumo de energia de aproximadamente 98% com o uso do *voltage scaling*.

Com o objetivo de um projeto de baixo consumo, o modelo LSTP fornece os melhores resultados. Mesmo não alcançando valores de tensões de alimentação tão reduzidos quanto o modelo HP, as topologias apresentam os menores consumos de todo o estudo.

Apesar da grande redução do consumo de potência fornecida pelo *voltage scaling*, essa técnica causa um aumento significativo nos tempos de propagação dos sinais. Considerando os tempos de propagação das dez portas lógicas XOR analisadas com *voltage scaling*, foi visto que ocasionou em perda de desempenho de 8 à 10 vezes em relação a tensão de alimentação nominal.

Desta forma, esta pesquisa é relevante pois os resultados ajudam os projetistas a decidir quais são as topologias de portas lógicas XOR que são mais adequadas às necessidades e limitações de cada projeto visando sempre o baixo consumo de energia.