



Evento	Salão UFRGS 2018: FEIRA DE INOVAÇÃO TECNOLÓGICA DA UFRGS - FINOVA
Ano	2018
Local	Campus do Vale - UFRGS
Título	Explorando o Projeto Multi-Nível de Portas Básicas para Reduzir a Variabilidade e os Efeitos de Radiação na Tecnologia FinFET
Autores	LEONARDO HEITICH BRENDLER ALEXANDRA LACKMANN ZIMPECK CRISTINA MEINHARDT
Orientador	RICARDO AUGUSTO DA LUZ REIS

RESUMO

TÍTULO DO PROJETO: Explorando o Projeto Multi-Nível de Portas Básicas para Reduzir a Variabilidade e os Efeitos de Radiação na Tecnologia FinFET

Aluno: Leonardo Heitich Brendler

Orientador: Ricardo Augusto da Luz Reis

RESUMO DAS ATIVIDADES

1. Introdução:

Devido às limitações físicas encontradas nos dispositivos MOSFET, foi necessário introduzir a tecnologia FinFET para dar continuidade ao dimensionamento tecnológico abaixo de 22nm. A evolução no processo de fabricação dos circuitos integrados resultou em dispositivos cada vez menores e tornou a etapa de litografia cada vez mais complicada. Além disso, mesmo no nível da Terra, circuitos integrados estão expostos a diferentes fontes de radiação. Todos esses fatores prejudicam a confiabilidade dos circuitos e podem causar um desvio no comportamento esperado. Isso enfatiza a importância de criar novas diretrizes capazes de lidar com os desafios impostos pelo desenvolvimento tecnológico. Algumas portas lógicas podem ser projetadas utilizando diferentes topologias de transistores. É sabido que diferentes combinações de transistores, que implementam a mesma função lógica, apresentam diferentes características elétricas e físicas, bem como comportamentos distintos sob os efeitos da variabilidade de processo e falhas de radiação.

Por este motivo, este trabalho analisa o impacto da variabilidade de processo e de falhas transientes considerando diferentes arranjos de transistores. Esses arranjos consideram portas lógicas complexas e portas lógicas básicas em multi-nível. Todas as análises consideram o *Process Design Kit* de 7nm em FinFET da ASAP.

2. Atividades realizadas:

Sete funções lógicas foram escolhidas (AOI21, OAI21, AOI22, OAI22, AOI211, OAI211 e XOR) e dois arranjos foram comparados: a porta complexa e o arranjo que utiliza somente portas NAND2. Para a topologia de transistor de porta complexa, as funções são otimizadas e projetadas como uma topologia CMOS de porta lógica complexa. Então, as funções são convertidas, usando o teorema de *De Morgan*, em arranjos multi-níveis, de modo que somente células básicas NAND2 são utilizadas.

Foi utilizado o *Process Design Kit* (PDK) de 7nm FinFET da ASAP7, desenvolvido pela *Arizona State University* em parceria com a ARM (CLARK et al., 2016), para executar todas as etapas deste trabalho. Foram projetados os leiautes das sete portas lógicas em seus dois diferentes arranjos, utilizando a ferramenta Virtuoso® da Cadence®. Nos experimentos, o dimensionamento do transistor considera todos os transistores com um número de *fins* igual a três. A tensão de alimentação nominal do modelo adotado é de 0,7V e a frequência mínima de chaveamento dos sinais de entrada foi de 500MHz. Para tornar as entradas dos circuitos mais realistas, dois inversores foram colocados em série em cada entrada de cada porta lógica. Ainda, quatro inversores (*Fanout* 4) foram

utilizados como carga na saída do circuito. Todos os layouts foram validados pelos passos de DRC (*Design Rule Check*) e LVS (*Layout Versus Schematic*) utilizando o Calibre® da Mentor®. Um novo *netlist* foi gerado após a avaliação dos efeitos parasitas. Então, a ferramenta HSPICE® foi utilizada, ela é responsável pela simulação dos efeitos da variabilidade de processo e o impacto dos SETs.

A análise deste trabalho pode ser dividida em três etapas: (1) comportamento nominal, (2) variabilidade de processo e (3) efeitos de radiação. Além de comparar os resultados obtidos em cada etapa, uma comparação geral dos resultados também é realizada.

3. Objetivos atingidos:

O principal objetivo deste trabalho foi avaliar o impacto da variabilidade de processo e das falhas oriundas da radiação em um conjunto de portas lógicas complexas, considerando diferentes arranjos de transistores. Foi realizada uma comparação entre as portas complexas em suas versões tradicionais e portas lógicas básicas utilizando a lógica multi-nível, que implementam a mesma função. Essa análise foi realizada com sucesso, fornecendo os resultados que serão descritos na próxima seção.

4. Resultados obtidos:

Em condições nominais, para obter diminuição nos atrasos de propagação e no consumo de potência, a melhor opção é escolher os arranjos de portas complexas. Por outro lado, quando o comportamento das portas lógicas é investigado com efeitos de radiação ou de variabilidade de processo, os arranjos de portas lógicas básicas em multi-nível se tornam mais promissores. A tabela a seguir resume os resultados obtidos no trabalho, destacando a topologia/função lógica que apresentou o melhor/pior resultado para cada análise.

Resultados por função lógica	Comportamento Nominal		Robustez a Variabilidade de Processo		Sensibilidade a Falhas Transientes		Penalidade em Área
	Função Lógica	Topologia	Função Lógica	Topologia	Função Lógica	Topologia	Função Lógica
Melhores Resultados	OAI21	Complexa	AOI211	NAND2	OAI22	NAND2	XOR
Piores Resultados	AOI21	NAND2	AOI211	Complexa	AOI22	Complexa	OAI22/AOI211
Melhor Topologia (geral)	Complexa		NAND2		NAND2		Complexa

5. Conclusão:

Quando as portas lógicas foram analisadas em condições nominais, ficou evidente que o arranjo de portas complexas é a melhor escolha para obter um menor consumo de potência e uma diminuição no atraso de propagação. Isso ocorre porque a topologia de porta complexa reduz significativamente o número de transistores e as conexões entre eles. Por outro lado, quando o comportamento das portas lógicas é investigado com efeitos de radiação ou de variabilidade de processo, os arranjos multi-nível de portas básicas são a melhor opção. O conjunto de informações apresentado neste trabalho ajuda os projetistas a escolherem a melhor topologia dependendo do foco de aplicação.