

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL
INSTITUTO DE INFORMÁTICA, FÍSICA, QUÍMICA E ESCOLA DE ENGENHARIA
PROGRAMA DE PÓS-GRADUAÇÃO EM MICROELETRÔNICA

GUILHERME SCHWANKE CARDOSO

Avaliação de aspectos de projeto analógico usando *Enclosed Layout Transistors* em tecnologia CMOS.

Tese apresentada como requisito parcial para a
obtenção do grau de Doutor em Microeletrônica

Prof. Dr. Tiago Roberto Balen
Orientador

Porto Alegre
2018

CIP – CATALOGAÇÃO NA PUBLICAÇÃO

Cardoso, Guilherme Schwanke

Avaliação de aspectos de projeto analógico usando *Enclosed Layout Transistors* em tecnologia CMOS.

[manuscrito] / Guilherme Schwanke Cardoso. – 2018.

178 f.:il.

Orientador: Tiago Roberto Balen

Tese (doutorado) – Universidade Federal do Rio Grande do Sul. Programa de Pós-Graduação em Microeletrônica. Porto Alegre, BR – RS, 2018.

1. ELT. 2. Extração de W/L de ELT. 3. Efeitos da radiação em circuitos analógicos. 4. Associação série e paralela de ELTs. I. Balen, Tiago Roberto II. Título.

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL

Reitor: Prof. Rui Vicente Oppermann

Vice-Reitor: Profa. Jane Fraga Tutikian

Pró-Reitor de Pós-Graduação: Prof. Celso Giannetti Loureiro Chaves

Diretor do Instituto de Informática: Profa. Carla Maria Dal Sasso Freitas

Coordenador do PGMICRO: Profa. Fernanda Gusmão de Lima Kastensmidt

Bibliotecária-Chefe do Instituto de Informática: Beatriz Regina Bastos Haro

DEDICATÓRIA

Dedico essa terceira conquista às pessoas que eu mais admiro e que estiveram mais próximos de mim me dando força: minha família, em especial, minha esposa e minha filha.

AGRADECIMENTOS

Agradeço a Deus por essa conquista e por todas as coisas boas que tem acontecido na minha vida.

Agradeço à UFRGS e ao Programa de Pós Graduação em Microeletrônica (PGMicro) por ter aberto as portas lá no ano de 2010, através do prof. Dr. Marcelo Soares Lubaszewski, para que eu desse continuidade a minha formação. Também agradeço a essa universidade por ter me dado à oportunidade de conviver com os melhores. À CAPES e ao CNPq, pela contemplação dos projetos de pesquisas que viabilizaram a participação nos eventos, prototipação dos chips e realização de experimentos durante o período do doutorado.

Os meus mais sinceros agradecimentos ao meu orientador prof. Dr. Tiago Roberto Balen, pelos ensinamentos, incentivo e compreensão. Gostaria de expressar meu sentimento de gratidão a ti, pois fosse uma pessoa incomparável desde o mestrado.

Também sou grato aos colegas que de forma gentil me ajudaram em vários momentos importantes. Em ordem cronológica, ao M.Sc. Pablo Ilha Vaz, pelas dicas para simular ELTs, ao M.Sc. Israel Sperotto de Mello pelas dicas para resolver erros de LVS no Virtuoso®, e ao Prof. M.Sc. Paulo César Comassetto de Aguirre pelos ensinamentos na parte de medições dos chips. Valeu Gurizada!

Gostaria de agradecer ao IFSul e a PROPESP pela oportunidade do afastamento. Em especial, agradeço aos colegas da coordenadoria de eletrônica que apoiaram minha qualificação desde o começo lá no mestrado. Também, sem esquecer, ao professor que me deu a primeira oportunidade lá na iniciação científica, Prof. Dr. Adão Antonio de Souza Júnior.

Agradeço agora aos de fé, aos que não me abandonaram quando a gira girou... Meus pais que muito viajaram comigo para Porto Alegre como companhia e me deram muitos conselhos com sua experiência de vida. Minha irmã e meu cunhado por ter aberto as portas da sua casa para eu desenvolver meu trabalho e também pela força na época do nascimento da

Marina. Agradeço aos meus sogros por toda ajuda desde sempre. Aos cunhados pelas ajudas em geral. Aos pequenos João Vitor, Valentina, Lorenzo e Camila por suas inocentes sapequices que me ajudaram a me distrair. Aos compadres por toda a força nos vários momentos. Espero estar recompensando vocês com essas palavras. Muito obrigado! Partiu Lobão?!

Por fim, agradeço a minha esposa por toda ajuda e companheirismo. Por ter sido uma fortaleza e ter suportado toda a barra durante esse período. Espero estar te recompensando com essas simples palavras, por tudo que fizeste por mim, minha FLOR! Obrigado também por ter concebido a nossa filha.

Marina és o meu presente de Deus, obrigado por ter enchido nossas vidas de alegria. Espero que possas te orgulhar disso quando entenderes.

RESUMO

Este trabalho estuda o fluxo de projeto analógico com ferramentas de EDA (*Electronic Design Automation*) comerciais, adotando técnicas de proteção em nível de layout (RHBD – do inglês - *Radiation Hardened-By-Design*) através do uso de transistores de geometria fechada (ELT – do inglês - *Enclosed Layout Transistor*) na construção de circuitos integrados. A radiação ionizante de origem espacial pode interferir no correto funcionamento dos dispositivos eletrônicos que operam no espaço ou em altitudes elevadas. O uso de ELTs é uma conhecida técnica de proteção em nível de layout dos transistores, que pode reduzir as correntes de fuga entre transistores vizinhos ou entre os terminais de um mesmo dispositivo, quando estes são submetidos aos efeitos de dose total ionizante (TID – do inglês – *Total Ionizing Dose*). O uso desse tipo de transistor de geometria fechada implica no acréscimo de desafios em aspectos que tangem ao projeto dos circuitos analógicos. Por exemplo, a extração do W/L dos ELTs. A determinação do W/L de forma correta é importante para definição de parâmetros no projeto analógico como, correntes de polarização, transcondutância de porta e condutância de saída. Com isso, neste trabalho, aspectos relacionados à extração do W/L de ELTs são investigados através da comparação dos diferentes modelos usando simulações. As análises mostram que as divergências entre os métodos podem apresentar cerca de 29 % de diferença entre o modelo utilizado pela ferramenta de EDA e o modelo matemático mais aceito quando $L=4xL_{min}$. Outro aspecto que pode impactar o projeto analógico com esses transistores é a sua natureza assimétrica. Ou seja, tipicamente as regiões de dreno e fonte dos ELTs são diferentes. Com isso, o comportamento elétrico do ELT configurado com o dreno sendo o terminal interno tende a ser diferente do dispositivo que usa o dreno como terminal externo. Visando obter simetria do dispositivo de geometria fechada é proposto o uso de ELT-PS (Pseudo Simétrico) que apresenta área de dreno e fonte iguais. Os resultados de simulações mostram que os transistores com essas dimensões tendem a apresentar um comportamento elétrico mais aproximado aos transistores com layout standard. O projeto de circuitos com uso de ELTs limita a faixa de W/L possíveis de serem atingidas. Visando aumentar essa gama de possibilidades de W/L, esse trabalho propõe o estudo de associações em série e em paralelo de ELTs. Os resultados das análises da associação de quatro transistores em série e em paralelo mostram que essa estratégia pode ser útil para aumentar a faixa possível de W/L em relação a um único transistor, como também na economia de área ocupada pelo layout. A precisão desses aspectos levantados sobre o uso de ELT foram analisados através de simulações e prototipação/medições experimentais de 22 circuitos. De forma a permitir fazer comparações, os circuitos fabricados têm nas suas estruturas dispositivos ELTs e transistores com layout padrão de porta retangular. As análises experimentais foram feitas e as curvas $I_D \times V_{DS}$ e $I_D \times V_{GS}$ foram levantadas, mostrando que os ELT-PS exibem uma diferença de cerca de 45% na corrente de dreno quando é comparado com o transistor de porta retangular, quando $V_{DS}=600$ mV e $V_{GS}=600$ mV. Considerando os ELTs assimétricos, essa diferença sobe para cerca de 80%. Isso demonstra a potencialidade do ELT-PS em aproximar os seus resultados em relação aos transistores de porta retangular de

mesma razão de aspecto. Os resultados da extração do W/L dos ELTs indicam que o modelo proposto por (XUE, 2011) é o que apresenta maior concordância com os dados experimentais com erros máximo de +10,78%. O modelo proposto por (GIRALDO 1998) também exibem bons resultados com -12,24% de divergência máxima em relação aos dados experimentais. Os resultados experimentais das associações paralelas de ELTs indicaram que as razões de aspecto podem, dependendo das condições de polarização, ser multiplicadas por um fator quatro em relação a uma configuração com um único transistor. Do mesmo modo que, nas associações série a razão pode ser dividida por um fator quatro. O impacto de se utilizar ELTs no layout de um circuito mais complexo também foi investigado utilizando um amplificador operacional presente em um modulador sigma delta como estudo de caso. Os resultados oriundos de simulação indicam uma modificação máxima nas tensões de polarização foi de aproximadamente 58 mV. Já o produto ganho largura de faixa exibiu uma redução de 20 MHz da configuração protegida com ELT em relação à versão com layout convencional.

Palavras-Chave: ELT, Extração de W/L de ELT, efeitos da radiação em circuitos analógicos, associação série e paralela de ELT.

Evaluation of analog design aspects using Enclosed Layout Transistors in CMOS technology

ABSTRACT

This work studies the analog design flow with commercial Electronic Design Automation (EDA) tools, adopting Radiation Hardening-By-Design (RHBD) techniques by using Enclosed Layout Transistor (ELT) in the design of integrated circuits. Ionizing radiation from spatial origin may interfere in the correct functionality of electronic devices operating in space or at high altitudes. The use of ELTs is a well-known layout hardening technique that can reduce current leakage between adjacent transistors or between terminals of the same device when they are exposed to ionizing radiation. The use of this type of transistor with enclosed geometry implies in additional challenges in the design of analog circuits, as for example, the extraction of ELTs aspect ratio (W/L). Properly determination of W/L is important for defining parameters in analog design, such as: bias currents, gate transconductance and output conductance. Thus, in this work, aspects related to W/L extraction of ELTs are investigated by comparing different models by means of electrical simulations. Analyses show that divergences of estimation methods may present about 29% difference, when considering the difference between the model used by the EDA tool and the most accepted mathematical model, for $L=4 \times L_{min}$. Another aspect that can impact analog design with these transistors is their asymmetric nature, since the drain and source regions of ELTs are usually different. Thus, the electrical behavior of the ELT configured with drain being the inner terminal tends to be different from device that uses the drain as outer terminal. In order to obtain symmetry of the enclosed geometry device the use of Pseudo Symmetric ELTs (that has equal drain and source areas) is proposed in this thesis. The simulation results show that transistors with these dimensions tend to exhibit an electrical behavior closer to transistors with standard layout with the same aspect ratio. The design of circuits with the use of ELTs imposes limits on the possible range of W/L to be reached. In order to increase this range of W/L possibilities, this work proposes the study of series and parallel associations of ELTs. The results of analysis considering association of four transistors in series and in parallel show that this strategy can be useful to raise the possible range of W/L compared with a single transistor, as well as in the economy of area occupied by the layout. Besides the analyses using *spice* simulations, experimental measurements on 22 prototyped circuits were performed. In order to make comparisons, the manufactured circuits were designed both with ELT devices and transistors

with standard layout (with rectangular gate). Analyses in individual transistors were done by measuring the $I_D \times V_{DS}$ and $I_D \times V_{GS}$ curves. Results show that the ELT-PS presents near 45% difference in the drain current when compared to the rectangular gate transistor, when $V_{DS}=600$ mV and $V_{GS}=600$ mV. Considering asymmetric ELTs, this difference rises to around 80%. This demonstrates the potential of the ELT-PS in order to approximate its results related to the rectangular gate transistors with the same aspect ratio. The results of W/L extraction of the ELTs indicate that the model proposed by (XUE, 2011) presents highest agreement with the experimental data with maximum errors of +10.78%. The model proposed by (GIRALDO 1998) also shows good results with -12.24% of maximum divergence according to the experimental data. The experimental results of the parallel associations of ELTs indicated that the aspect ratios may, depending on the biasing conditions, be multiplied by a factor of four compared with a single transistor configuration. Similarly, in series associations, the ratio can be divided by a factor four. The impact of using ELTs in the layout of a more complex circuit was also investigated using an operational amplifier present in a sigma-delta modulator as a case study. The results from simulation indicate maximum shift in the bias voltages of approximately 58 mV, when substituting the NMOS transistors by ELT devices. Additionally, the gain-bandwidth product exhibited 20 MHz reduction in the version hardened with ELT when compared to the version with conventional layout.

Keywords: ELT, W/L Extraction, radiation effects in analog circuits, series and parallel association of ELT, hardening by design.

LISTA DE FIGURAS

Figura 2.1 - Anomalia magnética do Atlântico Sul simulada com o modelo AP-8, 27 considerando 500 Km de altitude..... 27	27
Figura 2.2 - Relação das partículas e os seus respectivos efeitos nos circuitos eletrônicos..... 28	28
Figura 2.3 – Caminho da corrente de fuga entre dreno e fonte de dois dispositivos vizinhos..... 31	31
Figura 2.4 - Região de inversão no substrato (<i>P</i>) induzidas por cargas positivas aprisionadas nos óxidos de campo em decorrência do acúmulo de dose total - a) Para LOCOS e b) Para STL..... 32	32
Figura 2.5 - Caminho da corrente de fuga entre dreno para n-well de dois dispositivos vizinhos..... 33	33
Figura 2.6 - Caminho da corrente de fuga entre dreno e fonte de um mesmo dispositivo..... 33	33
Figura 2.7 - Aumento da corrente de fuga para um transistor NMOS de um transistor na tecnologia 0.18 μm à medida em que a TID é aumentada..... 34	34
Figura 2.8 - Característica $I_D V_{GS}$ de transistores NMOS antes e depois da irradiação até a dose acumulada de 2 Mrad. (a) Transistor com layout convencional e (b) com layout usando ELT..... 36	36
Figura 2.9 – Forma do ELT usada para definir os parâmetros dos modelos analisados..... 38	38
Figura 2.10 – Influência de cada adendo da equação 2.1 juntamente com a estimativa da área de porta. 39	39
Figura 2.11 – Estrutura básica do circuito simulado: (a) Layout do amplificador; (b) Circuito esquemático; (c) Células ELT com $L=0.36 \mu\text{m}$ e $L=0.72 \mu\text{m}$ 41	41
Figura 3.1– Layout dos ELT usados na composição dos blocos analógicos. (a) ELT-C; (b) ELT-PS. 45	45
Figura 3.2 – Transistores com layouts convencionais com porta retangular. (a) STD-C; (b) STD-PS. 46	46
Figura 3.3 – Circuito esquemático do amplificador fonte comum..... 47	47
Figura 3.4 – Layout do circuito de polarização usado nos amplificadores fonte comum..... 48	48
Figura 3.5 - Layout do amplificador em fonte comum. (a) ELT- C com dreno interno; (b) ELT-C com dreno externo..... 50	50
Figura 3.6 - Layout do amplificador em fonte comum. (a) ELT- PS com dreno interno; (b) ELT-PS com dreno externo..... 51	51
Figura 3.7 - Layout do amplificador em fonte comum. (a) STD- C; (b) STD-PS. 52	52
Figura 3.8 - Circuitos esquemáticos dos amplificadores fonte comum usados nas associações em paralelo e em série..... 53	53
Figura 3.9- Layout do amplificador fonte comum usando associação de ELTs-C em paralelo, onde todos dos transistores são configurados com dreno interno (configuração PA1). 55	55
Figura 3.10 - Layout do amplificador fonte comum usando associação de ELTs-C em paralelo, onde todos dos transistores são configurados com dreno externo (configuração PA2)..... 56	56
Figura 3.11 - Layout do amplificador fonte comum usando associação de ELTs-C em paralelo, onde dois transistores são com dreno interno e dois com dreno externo (configuração PA3)..... 57	57
Figura 3.12 - Layout do amplificador em fonte comum usando associação de transistores STD-C em paralelo..... 58	58
Figura 3.13 - Layout do amplificador fonte comum usando associação de transistores STD-PS em paralelo..... 59	59
Figura 3.14 - Layout do amplificador fonte comum usando associação de ELTs-C em série (a) com todos os transistores com dreno interno (SE1); (b) com todos os transistores com dreno externo (SE2) e (c) com dois transistores com dreno interno e dois com dreno externo (SE3). 61	61
Figura 3.15 - Layout do amplificador fonte comum usando associação de STDs-C em série..... 62	62

Figura 3.16 – Forma do ELT para definir os parâmetros das equações usadas para obter os ELT-PS.	65
Figura 3.17 - Layout do amplificador em fonte comum usando associação de ELTs-PS em paralelo, onde todos dos transistores são configurados com dreno interno (PA1).....	67
Figura 3.18- Layout do amplificador fonte comum usando associação de ELTs-PS em paralelo, onde todos dos transistores são configurados com dreno externo (PA2).....	68
Figura 3.19 - Layout do amplificador fonte comum usando associação de ELTs-PS em paralelo, onde dois transistores são com dreno interno e dois com dreno externo (PA3).	69
Figura 3.20 - Layout do amplificador fonte comum usando associação de ELTs-PS em série (a) com todos os transistores com dreno interno (SE1); (b) com todos os transistores dreno externo (SE2) e (c) com dois transistores com dreno interno e dois com dreno externo (SE3).	70
Figura 3.21– Layout do transistor <i>Dogbone</i>	72
Figura 3.22– Aspecto geral do chip prototipados na rodada MOSIS 2017 com destaque para região ocupada pelos 22 blocos.....	73
Figura 4.1 - W/L estimado pelos diferentes modelos em função do comprimento do canal.	75
Figura 4.2 – Diferença percentual entre o modelo EDA e os modelos matemáticos na estimativa de W/L de ELTs.....	76
Figura 4.3 – Diferença estimada nos parâmetros W e L entre os modelos EDA e GIR.	77
Figura 4.4 – Influência de cada variável controlada pelo projetista na estimação da razão de aspecto. 78	
Figura 4.5 - Forma do ELT com a região da porta (que causa divergência entre os modelos GIR e EDA) destacada.....	78
Figura 4.6 - Curva característica DC do amplificador fonte comum com $L=0.18 \mu\text{m}$ considerando as respostas dos modelos analisados.	80
Figura 4.7 – Curva característica DC dos amplificadores fonte comum com $L=0.18 \mu\text{m}$	81
Figura 4.8 - Resposta em frequência dos amplificadores fonte comum considerando os dois principais modelos para extrair W/L de ELTs.	82
Figura 4.9 – Capacitância total dos nós do amplificador com dispositivos standard e ELT, quando $L = 1x$	83
Figura 4.10 – Capacitância total dos nós do amplificador com dispositivos standard e ELT, quando $L = 4x$	84
Figura 4.11 – Condutância de saída (g_{DS}) dos dispositivos STD e ELT, considerando diferentes modelos para estimar o W/L e tamanhos dos transistores.....	87
Figura 4.12 - g_m/I_D dos dispositivos STD e ELT, considerando diferentes modelos para estimar o W/L e tamanhos dos transistores.	88
Figura 4.13 – Razões de aspecto possíveis e áreas dos ELTs considerando a associações de transistores.....	89
Figura 4.14 - Resposta em frequência da associação de ELTs em paralelo juntamente com a configuração STD equivalente.	90
Figura 4.15 – Resposta em frequência da associação de ELTs em série juntamente com a configuração STD equivalente.....	91
Figura 4.16 – Setup de medições DC.....	93
Figura 4.17 – Curvas $I_D \times V_{DS}$ dos dispositivos ELT-C (dreno interno e externo) e STD-C.....	94
Figura 4.18 – Diferença percentual da corrente de dreno entre o transistor STD-C e o ELT-C Inner..	95
Figura 4.19 - Diferença percentual da corrente de dreno entre o transistor STD-C e o ELT-C Outer..	95
Figura 4.20 – Curvas $I_D \times V_{DS}$ simuladas dos dispositivos ELT-C (dreno interno e externo) e STD-C.	96
Figura 4.21 – Diferença percentual entre os dados simulados e experimentais nas curvas $I_D \times V_{DS}$ dos ELTs-C e transistor STD-C, considerando apenas $V_{GS}=600 \text{ mV}$	97
Figura 4.22 – Curvas $I_D \times V_{GS}$ dos dispositivos ELTs e do transistor STD-C considerando os resultados experimentais e simulados quando $V_{DS}=600 \text{ mV}$	98
Figura 4.23 - Curvas $I_D \times V_{DS}$ das associações em paralelo com os dispositivos ELT-C e STD-C.	100
Figura 4.24 - Curvas $I_D \times V_{DS}$ simuladas das associações em paralelo com os dispositivos ELT-C e STD-C.	101
Figura 4.25 – Diferença percentual entre os dados simulados e experimentais nas curvas $I_D \times V_{DS}$ das associações paralelo com ELTs-C e com transistor STD-C, considerando apenas $V_{GS}=600 \text{ mV}$	102
Figura 4.26 – Comportamento do FMC considerando a configuração paralela PA1 comparando com um único ELT-C dreno interno.	103

Figura 4.27 – Comportamento do FMC considerando a configuração paralela PA2 comparando com um único ELT-C dreno interno.	104
Figura 4.28 – Comportamento do FMC considerando a configuração paralela PA3 comparando com um único ELT-C dreno interno.	104
Figura 4.29 – Comportamento do FMC considerando a configuração paralela com transistores STD comparando com um único transistor STD-C.	105
Figura 4.30 – Curvas $I_D \times V_{GS}$ das associações em paralelo com dispositivos ELTs-C e com transistor STD-C considerando os resultados experimentais e simulados quando $V_{DS}=600$ mV.	106
Figura 4.31 - Curvas $I_D \times V_{DS}$ das associações em série com os dispositivos ELT-C e STD-C.	108
Figura 4.32 - Curvas $I_D \times V_{DS}$ simuladas das associações em série com os dispositivos ELT-C e STD-C.	109
Figura 4.33 – Diferença percentual entre os dados simulados e experimentais nas curvas $I_D \times V_{DS}$ das associações série com ELTs-C e com transistor STD-C, considerando apenas $V_{GS}=600$ mV.	109
Figura 4.34 – Comportamento do FDC considerando a configuração série SE1 comparando com um único ELT-C dreno interno.	111
Figura 4.35 – Comportamento do FDC considerando a configuração série SE2 comparando com um único ELT-C dreno interno.	111
Figura 4.36 – Comportamento do FDC considerando a configuração série SE3 comparando com um único ELT-C dreno interno.	112
Figura 4.37 – Comportamento do FDC considerando a configuração série com transistores STD-C comparando com um único transistor STD-C.	112
Figura 4.38 – Curvas $I_D \times V_{GS}$ das associações em série com dispositivos ELTs-C e com transistor STD-C considerando os resultados experimentais e simulados quando $V_{DS}=600$ mV.	113
Figura 4.39 – Comparação da resposta em frequência entre o ELT-PS e o ELT-C equivalente e com a configuração STD equivalente.	117
Figura 4.40 – Curvas $I_D \times V_{DS}$ dos dispositivos ELT-PS (dreno interno e externo) e STD-PS.	118
Figura 4.41 – Diferença percentual da corrente de dreno entre o transistor STD-PS e o ELT-PS Inner.	119
Figura 4.42 – Diferença percentual da corrente de dreno entre o transistor STD-PS e o ELT-PS Outer.	119
Figura 4.43 – Curvas $I_D \times V_{DS}$ simuladas dos dispositivos ELT-PS (dreno interno e externo) e STD-PS.	120
Figura 4.44 – Diferença percentual entre os dados simulados e experimentais nas curvas $I_D \times V_{DS}$ dos ELTs-PS e transistor STD-PS, considerando apenas $V_{GS}=600$ mV.	121
Figura 4.45 – Curvas $I_D \times V_{GS}$ dos dispositivos ELTs-PS e do transistor STD-PS considerando os resultados experimentais e simulados quando $V_{DS}=600$ mV.	121
Figura 4.46 - Curvas $I_D \times V_{DS}$ das associações em paralelo com os dispositivos ELT-PS e STD-PS.	123
Figura 4.47 - Curvas $I_D \times V_{DS}$ das associações em paralelo com os dispositivos ELT-PS e STD-PS com polarização V_{GS} entre 400 mV e 200 mV.	124
Figura 4.48 - Curvas $I_D \times V_{DS}$ simuladas das associações em paralelo com os dispositivos ELT-PS e STD-PS.	125
Figura 4.49 – Diferença percentual entre os dados simulados e experimentais nas curvas $I_D \times V_{DS}$ das associações paralelo com ELTs-PS e com transistor STD-PS, considerando apenas $V_{GS}=600$ mV.	126
Figura 4.50 – Comportamento do FMC considerando a configuração paralela PA1 usando ELT-PS comparando com um único ELT-PS dreno interno.	127
Figura 4.51 – Comportamento do FMC considerando a configuração paralela PA2 usando ELT-PS comparando com um único ELT-PS dreno interno.	128
Figura 4.52 – Comportamento do FMC considerando a configuração paralela PA3 usando ELT-PS comparando com um único ELT-PS dreno interno.	128
Figura 4.53 – Comportamento do FMC considerando a configuração paralela com transistores STD-PS comparando com um único transistor STD-PS.	129
Figura 4.54 – Curvas $I_D \times V_{GS}$ das associações em paralelo com dispositivos ELTs-PS e com transistor STD-PS considerando os resultados experimentais e simulados quando $V_{DS}=600$ mV.	130
Figura 4.55 - Curvas $I_D \times V_{DS}$ das associações em série com os dispositivos ELT-PS e STD-PS.	131

Figura 4.56 - Curvas $I_D \times V_{DS}$ simuladas das associações em série com os dispositivos ELT-PS e STD-PS.	133
Figura 4.57 – Diferença percentual entre os dados simulados e experimentais nas curvas $I_D \times V_{DS}$ das associações série com ELTs-PS e com transistor STD-PS, considerando apenas $V_{GS}=600$ mV.	133
Figura 4.58 – Comportamento do FDC considerando a configuração série SE1 comparando com um único ELT-PS dreno interno.	134
Figura 4.59 – Comportamento do FDC considerando a configuração série com transistores STD-PS comparando com um único transistor STD-PS.	135
Figura 4.60 – Curvas $I_D \times V_{GS}$ das associações em série com dispositivos ELTs-PS e com transistor STD-PS considerando os resultados experimentais e simulados quando $V_{DS}=600$ mV.	136
Figura 4.61 – Comportamento geral da resistência de saída do MOSFET.	138
Figura 4.62 – Mecanismo de formação do <i>kink effect</i> considerando um transistor NMOS em tecnologia PD-SOL.	140
Figura 5.1 – Circuito esquemático do amplificador operacional de dois estágios.	144
Figura 5.2 – Circuito esquemático do CMFB.	144
Figura 5.3 – Circuito de polarização do amplificador operacional e do CMFB.	145
Figura 5.4 – Resposta de frequência do amplificador operacional com layout convencional e com layout protegido com ELTs.	148
Figura 5.5 – Resposta DC do amplificador operacional com layout convencional e com layout protegido com ELTs.	148
Figura 5.6 – Foto do chip prototipado na rodada MOSIS 2017, com a área ocupada pelos amplificadores operacionais destacada pelo retângulo preto.	149

LISTA DE TABELAS

Tabela 2.1 - Desvios na tensão de limiar em 10 MRad.....	30
Tabela 3.1 - Dimensões dos transistores elementares do amplificador fonte comum.....	46
Tabela 3.2 – Dimensões dos transistores usados para polarização do amplificador fonte comum.	48
Tabela 4.1 - Resumo em relação à variação dos parâmetros do modelo EDA.....	77
Tabela 4.2 - Dimensões de dreno e fonte dos ELTs.....	85
Tabela 4.3 – Ganho DC e GBW dos amplificadores fonte comum sem carga na saída.	85
Tabela 4.4 – Descrição dos circuitos medidos.	92
Tabela 4.5 – Resultados obtidos para W/L dos ELTs-C dreno interno e externo.	99
Tabela 4.6 – Resultados obtidos para os W/L das associações paralelas com ELTs-C.	106
Tabela 4.7 – Resultados obtidos para os W/L das associações série com ELTs-C.....	114
Tabela 4.8 – Possíveis dimensões de ELTs-PS considerando $L=0.12 \mu\text{m}$	115
Tabela 4.9 - Possíveis dimensões de ELTs-PS considerando $L=0.48 \mu\text{m}$	115
Tabela 4.10 - Possíveis dimensões de ELTs-PS considerando $L=5 \mu\text{m}$	116
Tabela 4.11 – Resultados obtidos para W/L dos ELTs-PS dreno interno e externo.	122
Tabela 4.12 – Resultados obtidos para os W/L das associações paralelas com ELTs-PS.	130
Tabela 4.13 – Resultados obtidos para os W/L das associações série com ELTs-PS.....	136
Tabela 4.14 – Resultados obtidos para os W/L dos ELTs-C e ELTs-PS considerando os modelos...	141
Tabela 5.1 – Dimensões dos transistores do amplificador.	146
Tabela 5.2 – Dimensões dos transistores do circuito de CMFB.	146
Tabela 5.3 – Dimensões dos transistores do circuito de polarização.	146
Tabela 5.4 – Dimensões dos ELTs.....	146
Tabela 5.5 – Valores das tensões de polarização obtidas por simulações.....	149
Tabela 5.6 – Estimativa de área e potência dissipada pelos circuitos analisados.....	150

LISTA DE ABREVIATURAS E SIGLAS

AC – Alternated Current

A_D – Área de Dreno

A_S – Área de Fonte

BP - Implante do tipo P no PDK da tecnologia cmrf8sf 0.13 μm da IBM

CA – Contato entre M1 e RX no PDK da tecnologia cmrf8sf 0.13 μm da IBM

CAD – Computer Aided Design

CBERS – China-Brasil Earth Resources Satellite

CI - Circuito Integrado

CITAR – Circuito Integrados Tolerantes a Radiação

CLM - Channel Length Modulation

CMFB – Common Mode FeedBack

CMOS – Complementary Metal Oxide Semiconductor

COTS – Commercial Of The Shelf

CS - Common Source

CTI - Centro de Tecnologia da Informação Renato Archer

DC – Direct Current

DD - Displacement Damage

DIBL - Drain Induced Barrier Lowering

DIP – Dual In-line Package

DRC – Design Rule Check

EDA – Electronic Design Automation

ELT - Enclosed Layout Transistor

ELT-C - Enclosed Layout Transistor Convencional

ELT-PS – Enclosed Layout Transistor Pseudo-Simétrico

FDC – Fator de Divisão da Corrente

FMC – Fator de Multiplicação da Corrente

FPAAs – Field Programmable Analog Array

f_T – Frequência de ganho unitário do MOSFET
GBW - Gain BandWidth product
IBM - International Business Machines
IEAv – Instituto de Estudos Avançados
LEO – Low Orbit Earth
LOCOS – Local Oxidation of Silicon
LQFP – Low profile Quad Flat Package
LVS – Layout Versus Schematic
MOS – Metal Oxide Semiconductor
MOSFET – Metal Oxide Semiconductor Field Effect Transistor
MPW – Multi Project Wafer
M1 – Nível de metal 1 no PDK da tecnologia cmrf8sf 0.13 μm da IBM
M2 – Nível de metal 2 no PDK da tecnologia cmrf8sf 0.13 μm da IBM
M1 pin – Pino em metal 1 no PDK da tecnologia cmrf8sf 0.13 μm da IBM
NMOS – Transistor MOS de canal N
NW – Implante do tipo N no PDK da tecnologia cmrf8sf 0.13 μm da IBM
n+ - Região n-well do MOSFET no PDK da tecnologia cmrf8sf 0.13 μm da IBM
PA – Post Anneling
PC – Terminal de porta em polisilício no PDK da tecnologia cmrf8sf 0.13 μm da IBM
 P_D – Perímetro de dreno
PDK – Process Design Kit
PD-SOI – Partially-Depleted Silicon-On-Insulator
PMOS – Transistor MOS de canal P
 P_S – Perímetro de fonte
p+ - Região p-well do MOSFET no PDK da tecnologia cmrf8sf 0.13 μm da IBM
RHBD – Radiation Hardened-By-Design
RX – Difusão de dreno e fonte no PDK da tecnologia cmrf8sf 0.13 μm da IBM
SCBE - Substrate Current Induced Body Effect
SEB – Single Event Burnout
SEL – Single Event Latchup
SEE – Single Event Effects
SET – Single Event Transient
SEGR – Single Event Gate Rupture
SHE - Single Hard Error
SMU - Source Monitor Units

SOI – Silicon On Insulator

STI – Shallow Trench Isolation

TID - Total Ionizing Dose

TSMC – Taiwan Semiconductor Manufacturing Company

V_A – Tensão de Early

VCO – Voltage Controlled Oscillator

V_{DS} – Tensão entre dreno e fonte

V_{GS} – Tensão ente porta e fonte

V_{th} - Threshold Voltage

V1 – Via 1 entre Metal 1 e Metal 2 no PDK da tecnologia cmrf8sf 0.13 μm da IBM

ΔV_T – Variação da tensão de threshold

SUMÁRIO

RESUMO	6
ABSTRACT	8
LISTA DE FIGURAS.....	10
LISTA DE TABELAS	14
LISTA DE ABREVIATURAS E SIGLAS.....	15
1. INTRODUÇÃO.....	20
2. EFEITOS DA RADIAÇÃO EM ESTRUTURAS MOS	26
2.1 Efeitos De Dose Total Ionizante	28
2.1.1 Desvios na Tensão de Limiar de Transistores MOS	28
2.1.2 Correntes de Fuga Induzidas por Radiação em Transistores MOS	30
2.2 Proteção à Radiação com Transistores de Geometria Fechada	34
2.3 Revisão dos Modelos para Estimar a Razão de Aspecto de ELT	37
3. PROJETO DE AMPLIFICADORES FONTE COMUM USANDO ELTS	44
3.1 Layout dos circuitos a serem prototipados.....	48
3.1.1 Propostas de Alternativas para Obtenção de Simetria dos ELTs	63
3.1.2 O ELT Pseudo-Simétrico.....	64
3.1.3 O Transistor Dogbone.....	71
3.2 Considerações gerais	72
4. RESULTADOS E DISCUSSÕES.....	74
4.1 Resultados de Simulação Considerando a Tecnologia XC018 da xFAB.....	74
4.2 Resultados Considerando a Tecnologia cmrf8sf 0.13 µm da IBM	91
4.2.1 Resultados considerando individualmente ELTs assimétricos	93
4.2.2 Resultados considerando as associações de ELTs assimétricos.....	99
4.2.2.1 Associações em paralelo	99

4.2.2.2	Associações em série	107
4.2.3	Resultados Considerando as Propostas de Alternativas para Obtenção de Simetria dos ELTs 114	
4.2.4	Resultados experimentais considerando individualmente ELTs Pseudo-Simétricos	117
4.2.5	Resultados experimentais considerando as associações de ELTs Pseudo-Simétricos	122
4.2.5.1	Associações em paralelo	122
4.2.5.2	Associações em série	131
4.2.6	Considerações gerais dos resultados experimentais	137
5.	ANÁLISE DE SUBCIRCUITOS DE UM MODULADOR SIGMA DELTA COM TRANSISTORES ELT	143
6.	CONCLUSÕES.....	151
	PERSPECTIVAS DE TRABALHOS FUTUROS.....	156
	PUBLICAÇÕES	158
	REFERÊNCIAS.....	160
	APÊNDICE A – ANÁLISES ADICIONAIS COM OS DADOS EXPERIMENTAIS	167

1. INTRODUÇÃO

Os modernos processadores i9 da Intel® usando litografia de 14 nm ao lado dos processos de 7 nm da GlobalFoundries® e TSMC® representam os níveis mais altos do avanço da tecnologia de semicondutores (INTEL1, 2017; GF1, 2017 e TSMC1, 2017). Essas empresas têm feito esforços relevantes para manter válida a lei de Moore, que já perdura por cinco décadas. No entanto, os nós de 7 nm e 5 nm são considerados por alguns especialistas como o limite físico do material silício. Para transistores com 1.5 nm de comprimento de canal, espera-se que seja necessário o uso de técnicas e materiais diferentes dos que são utilizadas hoje (SEMIENGINEERING1, 2014).

Quando se fala em novos materiais para a indústria eletrônica de circuitos integrados (CIs), o grafeno tem sido bastante referenciado como o provável substituto do silício nos processos tecnológicos futuros. Entre suas vantagens as que se destacam são alta condutividade, sua fina espessura e a possibilidade de tornar os circuitos eletrônicos maleáveis e assim mais resistentes ao manuseio humano durante o dia a dia. Adicionalmente, tem-se obtido resultados acima de 200 GHz para frequência de transição (f_T) em *Field Effects Transistors* (FETs). Isso coloca o grafeno como um bom candidato para aplicações em circuitos integrados de radio frequência. Porém, ainda existem desafios como a variabilidade do processo para que seja possível a produção em larga escala de forma confiável (SEMIENGINEERING2, 2017; FRÉGONÈSE et al., 2013; RODRIGUEZ et al., 2014).

A produção de CIs nessas tecnologias mais avançadas é essencialmente direcionada aos circuitos no domínio digital. De fato, os circuitos digitais assumem um papel mais relevante nos processos de integração em função da maior possibilidade de inserir funcionalidades ao sistema ao custo de um aumento equilibrado em área e consumo de energia pelo chip. Mesmo assim, os circuitos analógicos sempre irão desempenhar um papel importante nos sistemas, pois são eles que fazem o interfaceamento dos sistemas digitais com o mundo real.

Infelizmente o Brasil não faz parte do grupo de países que têm domínio completo do processo de fabricação de CIs, mas desde a criação do plano nacional de microeletrônica em 2002, o país tem se organizado e intensificado os investimentos em todas as frentes relacionadas à fabricação de circuitos integrados (PNM, 2002). A criação do programa CI Brasil representa uma dessas ações que, a cada ano tem formado projetistas especializados em CIs analógicos, digitais e de rádio frequência. A criação da empresa pública CEITEC-S/A é outro exemplo da tentativa do país em figurar no mercado de semicondutores. Entretanto é completamente inviável pensar que a CEITEC-S/A e o Brasil possam competir com as maiores empresas estrangeiras no desenvolvimento das tecnologias estado da arte. Por isso, a estratégia da entidade brasileira de atender a determinados nichos de mercado, como é o caso do “chip do boi” baseados na realidade do país tem se mostrado bastante promissora, conforme descrito no relatório anual de 2016 (DOU, 2017).

O escalamento da tecnologia tem imposto desafios referentes à variabilidade do processo, e uma maior vulnerabilidade a efeitos físicos inerentes ao funcionamento dos transistores, e também que podem ser induzidos por ações do meio onde irão operar. Um exemplo disso são os efeitos da radiação ionizante que interferem no pleno funcionamento dos chips (SCHWANK et al., 2008). Esses efeitos não são uma preocupação restrita aos CIs digitais, mas aos analógicos também.

Um acordo bilateral entre China e Brasil assinado em 1988, propiciou a construção e lançamento de cinco satélites até 2014. Com isso, a parceria com os chineses permitiu ao nosso país adentrar no seleto grupo de países detentores da tecnologia de geração de dados primários de sensoriamento remoto (CBERS, 2016). Os circuitos integrados utilizados nesse tipo de aplicação tendem a apresentar estruturas adicionais e/ou diferenciadas em relação aos CIs adotados em aplicações convencionais, justamente por terem de ser capazes de suportar os efeitos da radiação ionizante presente no espaço.

Sendo assim, não são todos os países que detém o domínio desse tipo de projeto, e os que detém, buscam colocar entraves que inviabilizam o acesso dos outros países a tecnologias robustas aos efeitos da radiação. Uma alternativa para os países que querem figurar nesse cenário (produção de aeronaves e satélites, por exemplo) é a utilização de chips comercialmente disponíveis (COTS – *Commercial Of The Shelf* – Dispositivos de Prateleira) e que sejam tolerantes à radiação produzidos pelos próprios países detentores desse domínio tecnológico. No entanto, isso não impede que possíveis embargos aconteçam. É o que ocorre

com os EUA que tem regulamentações rígidas no que tange a comercialização desse tipo de chips para projetos de outras nações (BALEN, 2010).

Por isso, o Brasil tem que se tornar capaz de fazer todo o fluxo de projeto dos circuitos integrados aqui no país, independentemente do nó tecnológico. Ao mesmo tempo, os projetistas de CI destinados a aplicações aeroespaciais precisam ter um domínio maior das técnicas disponíveis e comprovadas cientificamente, para que o país se torne mais independente e competitivo neste cenário.

Técnicas de proteção à radiação em nível de projeto, ou como o termo é conhecido em inglês, *Radiation Hardened-By-Design (RHBD) techniques*, são utilizadas para melhorar a robustez de CIs utilizados em aplicações que irão enfrentar os efeitos da radiação em sua vida útil. O ELT (*Enclosed Layout Transistor*), que compreende uma das técnicas de RHBD, apresenta características importantes na diminuição de correntes de fuga entre o dreno e fonte de transistores vizinhos e de um mesmo transistor, quando esses transistores são submetidos à radiação ionizante por longo tempo. Maiores detalhes serão apresentados no capítulo seguinte. Por isso, esse tipo de dispositivo tem sido escolhido para compor o projeto de circuitos integrados juntamente com transistores com layout convencional em tecnologias comerciais CMOS (*Complementary Metal Oxide Semiconductor*).

A inclusão dos ELTs impõe alguns desafios do ponto de vista de projeto, em função de sua geometria particular. Esses desafios podem variar de um processo tecnológico para outro. A experiência de conhecer e saber como tratar desses detalhes é importante para que os circuitos desenvolvidos sejam confiáveis e competitivos em um cenário comercial.

Baseado nesse contexto, esse trabalho busca abordar alguns tópicos que são relevantes para o projeto de CI analógicos tolerantes à radiação ionizante com ELTs, conforme segue (FACCIO, 2007; ANELLI, 2000):

(1) Atualmente, existem diversos modelos para extrair a estimativa da razão de aspecto (W/L) efetiva dos ELTs. Tanto em modelos acadêmicos, como também, nas metodologias incorporadas pelas ferramentas de EDA comerciais, não existe um padrão para se obter o W/L desse tipo de dispositivo. Sendo assim, o trabalho inicia demonstrando as diferenças quantitativas entre os principais métodos (equações) para estimar o W/L de ELTs presentes na literatura e as metodologias adotadas pelas ferramentas comerciais e kits de projeto (design kits) de processos comerciais da tecnologia de 0.18 μm e 0.13 μm . Para isso, foram desenhados alguns amplificadores de estágio simples, com ELTs, para se obter as

equações empregadas pelas ferramentas de EDA disponíveis, uma vez que essas informações não são fornecidas no PDK. Além disso, foram prototipados alguns circuitos com o objetivo de agregar dados experimentais para verificar entre os modelos estudados qual é a melhor estratégia para obter a estimativa W/L de ELTs na tecnologia de 0.13 μm considerada.

(2) Os ELTs possuem uma limitada faixa de razões de aspecto possíveis de serem atingidas. Isso representa uma importante limitação em utilizar esse tipo de dispositivo. Esse é um problema ainda mais relevante nos projetos analógicos, onde são necessários transistores com razões de aspecto muito grandes (para estágios de ganho) e também necessitam de transistores com W/L pequenos (menores que 1), para se aplicar em espelhos de corrente, por exemplo. Visando amenizar esse aspecto negativo dos ELTs, propõe-se, neste trabalho, o uso de associações de transistores em paralelo e em série. Dezesesseis circuitos foram fabricados com o intuito de se obter dados experimentais e com isso poder corroborar com os resultados já obtidos oriundos de simulações SPICE. Os resultados experimentais são apresentados e discutidos.

(3) Os ELTs são, na maioria das vezes, desenhados com geometria que apresenta assimetria entre as regiões de dreno e fonte. Isso implica que as capacitâncias associadas a essas regiões serão diferentes entre si. Em (JARRON et al., 1999) essa assimetria dos ELTs é explorada conduzindo a diferentes resultados experimentais. Ou seja, os resultados da configuração com o dreno sendo a região interna e a fonte a região externa serão diferentes da configuração contrária (maiores detalhes são apresentados no capítulo dos resultados). Nos transistores com layout convencional de porta retangular (STD), nos quais as regiões de dreno e fonte são simétricas, isso, a princípio, não caracteriza um problema, já que as duas regiões são simétricas entre si. Os circuitos amplificadores que foram fabricados usando ELTs foram avaliados, no sentido de obter a magnitude da diferença entre a configuração com dreno interno e externo para tecnologia 0.13 μm .

(4) Visando resgatar uma possível simetria no conjunto das associações em série e em paralelo de ELTs é proposta a utilização de metade dos ELTs da associação com a região de dreno interna e a outra metade sendo externa. Nesse caso, é feita uma comparação com os resultados de transistores STD com portas retangulares equivalentes. Os dados obtidos através das simulações, no processo de 0.18 μm , mostraram que o comportamento AC do circuito que usa associação de ELT usando metade com dreno interno e metade com dreno externo é similar ao comportamento da configuração que utiliza somente dispositivos STD, quando comparado com o circuito que usa na sua constituição apenas ELTs com dreno interno, ou

somente com dreno externo. Ainda, com o intuito de obter simetria com o uso de ELTs é proposto o estudo do ELT-PS (*Enclosed Layout Transistor Pseudo-Simétrico*) esse dispositivo apresenta a área das regiões de dreno e fonte simétricas. Com a utilização desse dispositivo os resultados das simulações AC mostram-se ainda mais próximos daqueles de uma configuração com transistores STD com porta retangular (simétricos). Os dados experimentais das curvas $I_D \times V_{DS}$ e $I_D \times V_{GS}$ são apresentados e discutidos mostrando sua eficiência.

(5) O fato do layout de um ELT ser diferente dos transistores convencionais, juntamente com a possível extração de W/L de forma equivocada, uma vez que as ferramentas e/ou design kits podem não estar preparados para realizar a corrente extração de W/L e, também, devido ao fato de algumas *foundries* fornecerem vários modelos SPICE, que se adequam bem a certas faixas de W e L, contribuem para a introdução de incertezas no processo de simulação com os dados extraídos do circuito após o layout. Sendo assim, a confiabilidade das simulações elétricas, feitas para garantir o funcionamento do circuito de acordo com as especificações estabelecidas, pode ser comprometida. Os resultados experimentais dos circuitos prototipados mensuram essas diferenças através da comparação com os dados de simulações. Nesse conjunto de circuitos integrados existem blocos que utilizam apenas transistores com layout convencional para permitir a comparação dos resultados.

Diante desses aspectos, foram prototipados 22 circuitos (amplificadores de estágio simples em fonte comum) de forma a obter resultados experimentais para complementar as análises feitas por simulação. Um amplificador operacional mais complexo foi alvo de análise para verificar o impacto na funcionalidade do circuito quando se usa ELT no layout dos transistores NMOS. Os dados foram comparados com a versão que usa apenas transistores com layout convencional.

Com isso espera-se estudar o fluxo de projeto de circuitos integrados com ênfase nos circuitos analógicos tolerantes à radiação (utilizando ELTs), buscando apontar as dificuldades, imprecisões e procurando apresentar alternativas para amenizar esses aspectos.

Essa tese está organizada da seguinte maneira: o capítulo 2 apresenta as origens da radiação espacial e os seus efeitos nos circuitos eletrônicos, assim como discute os modelos usados para estimar o W/L de ELTs. No capítulo 3 são descritos os circuitos que foram prototipados. Os resultados oriundos de simulação e de medições experimentais são apresentados e discutidos no capítulo 4. A análise do funcionamento de um circuito analógico

mais complexo, que emprega em seu layout ELTs é feito no capítulo 5. Finalmente, as conclusões dessa tese são feitas no capítulo 6.

2. EFEITOS DA RADIAÇÃO EM ESTRUTURAS MOS

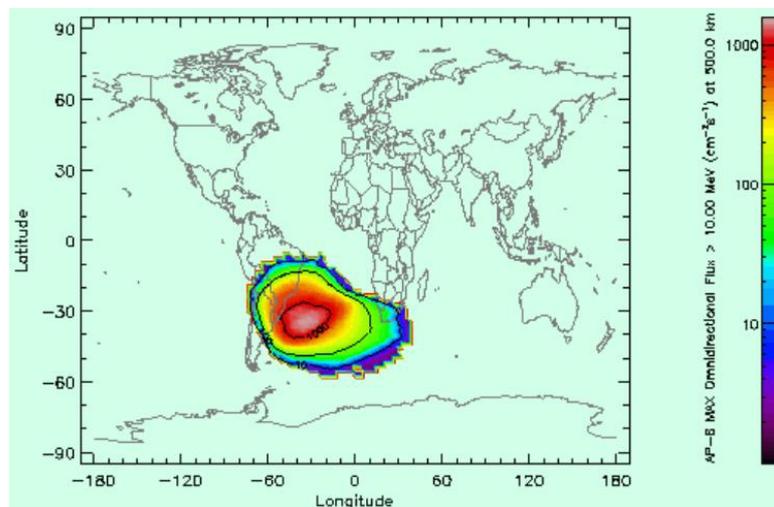
A radiação ionizante presente no espaço pode afetar as funcionalidades dos circuitos integrados (CIs). Esse é um problema mais relevante para aplicações em altas altitudes, pois quanto mais alto em relação ao nível do mar o circuito opera, maior tende a ser a intensidade da radiação ionizante. Na década de 60, quando foi observado, pela primeira vez, os riscos que a radiação representava aos circuitos eletrônicos, as preocupações eram restritas a aplicações em altas altitudes (VELAZCO; FOUILLAT; REIS, 2007). Porém, com o avanço da tecnologia e a redução das dimensões dos dispositivos MOS, a radiação ionizante começou a gerar atividade indesejada nos circuitos operando em rotas aéreas comerciais e em nível do mar (O’GORMAN, 1994). Isso porque uma quantidade de cargas de ionização cada vez menor é suficiente para gerar uma atividade elétrica indesejada no circuito, em função da redução das capacitâncias e, conseqüentemente, resultando em uma menor carga crítica.

Conforme retratado em (BALEN, 2010) o funcionamento dos circuitos integrados MOS podem ser perturbados por prótons, elétrons, nêutrons, partículas alfa, íons pesados, além da radiação eletromagnética produzida por raios-x e raios gama. Essas partículas têm origem nos cinturões de *Van Allen*, na atividade solar, nos Raios Cósmicos Galácticos e nos chuviros de radiação na atmosfera.

O nosso país encontra-se sob uma região bastante crítica em relação à incidência de prótons. A NASA através do modelo AP-8, que foi gerado a partir de dados coletados por satélites, criou uma ferramenta para obter estimativas do fluxo de prótons para uma determinada órbita. Na Figura 2.1 é mostrado uma simulação feita com esse modelo para uma altitude de 500 km. Conforme pode ser visto, o território brasileiro encontra-se no centro de uma região conhecida como anomalia magnética do atlântico Sul. Nessa região, o fluxo de prótons é cerca de 100 vezes maior do que nas outras regiões da terra (HEYNDERICKX. et al., 1996). Nos satélites de baixa órbita (LEO – Low Orbit Earth) que atravessam esta região

os circuitos eletrônicos tendam a apresentar maior vulnerabilidade quanto aos efeitos induzidos por radiação.

Figura 2.1 - Anomalia magnética do Atlântico Sul simulada com o modelo AP-8, considerando 500 Km de altitude.



Fonte: Figura Extraída de (SPENVIS, 2012).

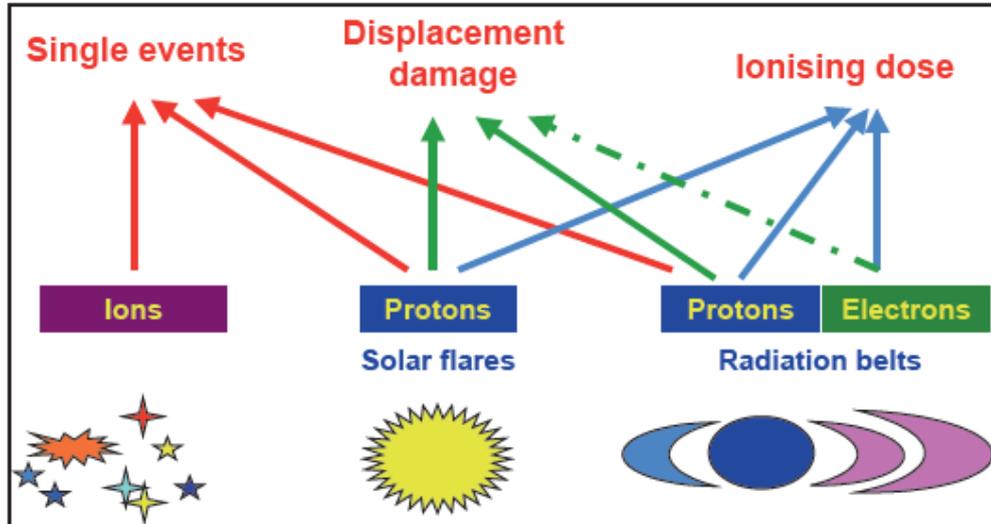
Como consequência da incidência de radiação ionizante os circuitos eletrônicos podem apresentar vários efeitos indesejados sendo que os mais importantes são (BOUDENOT, 2007):

- (1) **Displacement Damage (DD)**– Danos por deslocamento.
- (2) **Total Ionizing Dose (TID)**– Dose Ionizante Total
- (3) **Single Event Effects (SEEs)** – Efeitos Singulares – que podem ser classificados como:
 - (a) SEU (*Single Event Upset*)
 - (b) SET (*Single Event Transient*)
 - (c) Eventos Singulares Catastróficos
 - SEL (*Single Event Latchup*)
 - SEB (*Single Event Burnout*)
 - SEGR (*Single Event Gate Rupture*)
 - SHE (*Single Hard Error*)

A Figura 2.2 mostra os três efeitos indesejados e as partículas que podem dar origem a esses efeitos. Nessa figura também é possível observar as origens das partículas ionizantes. Desses três eventos citados, esse trabalho busca produzir resultados para contribuir com a tarefa de agregar aos circuitos integrados um maior nível de tolerância aos efeitos acumulativos ocasionados por TID, os quais limitam a vida útil dos circuitos eletrônicos. Por

isso, uma discussão mais aprofundada será feita na seção seguinte apenas para esse tipo de efeito.

Figura 2.2 - Relação das partículas e os seus respectivos efeitos nos circuitos eletrônicos.



Fonte: Figura extraída de (ECOFFET R., 2007 p. 34).

2.1 Efeitos De Dose Total Ionizante

Os efeitos de dose total ionizante são efeitos cumulativos que se manifestam ao longo do tempo de exposição do circuito à radiação e que são proporcionais ao tempo de exposição e intensidade do campo de radiação. Logo, quanto maior é o tempo de exposição dos circuitos eletrônicos maior tende a ser a degradação do desempenho dos dispositivos MOS. O outro fator que pode interferir na durabilidade de um CI exposto a radiação é a intensidade do fluxo de partículas que atinge a estrutura do chip, sendo que quanto maior a intensidade, maior tende a serem os efeitos indesejados na sua funcionalidade (SCHRIMPF, 2007).

Os principais efeitos ocasionados por TID são, o aumento dos níveis de densidade espectral de ruído intrínseco, a degradação da mobilidade dos portadores, desvios na tensão de limiar dos transistores (V_{th}) e o aumento das correntes de fuga (leakage current) (SCHRIMPF, 2007). Os dois primeiros efeitos fogem do escopo deste trabalho e por isso não serão abordados.

2.1.1 Desvios na Tensão de Limiar de Transistores MOS

Com o passar dos anos tem ocorrido o aprimoramento das tecnologias CMOS. Com isso, o impacto da radiação nos desvios da tensão de limiar dos transistores vem sendo naturalmente reduzido, em virtude da redução da espessura dos óxidos de isolamento de porta e

de campo (RE. et al., 2005; MANGHISONI. et al., 2003). Pensando num MOSFET de canal N, ao longo do tempo de exposição à TID, a radiação incide na área da estrutura MOS fazendo surgir pares elétron-lacuna nas regiões dos óxidos de isolamento. As cargas negativas, em função da sua maior mobilidade, são repelidas dos óxidos devido ao potencial V_{GS} aplicado a porta do dispositivo levando ao surgimento de correntes de fuga na porta. Já as cargas positivas são aprisionadas nas eventuais imperfeições do óxido, contribuindo para ocorrer os desvios na tensão de limiar do dispositivo. Considerando MOSFETs canal P, o mecanismo de aprisionamento de cargas é semelhante, porém os elétrons gerados são atraídos para a região da interface entre óxido/silício (SCHRIMPF, 2007). O desvio da tensão de limiar dos dispositivos MOS sempre foi um problema para ambos os tipos de transistores. Os mecanismos de aprisionamento de carga em transistores do tipo N mostram que os desvios na tensão de limiar podem ser positivos, negativos ou neutros dependendo do tempo de exposição, da taxa de dose, do campo elétrico aplicado e da natureza das imperfeições dos óxidos (BALEN, 2010). Para transistores do tipo P os desvios em V_{th} são sempre no sentido negativo (SCHRIMPF, 2007). De todo modo, embora os desvios na tensão de limiar ocorram, eles são de uma magnitude menos preocupante para as tecnologias consideradas nesse trabalho (0.13 μm e 0.18 μm). Por isso, não será alvo de um estudo mais aprofundado nas técnicas de mitigação de seus efeitos. Detalhes mais aprofundados sobre o processo de aprisionamento de cargas nos óxidos de isolamento, no idioma português, podem ser encontrados em (BALEN, 2010).

Esse trabalho está sendo desenvolvido considerando, mais especificamente, as tecnologias de 0.18 μm da xFAB e 0.13 μm da IBM (hoje pertencente a GlobalFoundries) que usam e isolamento STI (*Shallow-Trench Isolation*). Por isso, a Tabela 2.1, que foi extraída de (RE. et al., 2005), traz os valores obtidos pelos autores, para esses dois nós tecnológicos, para os desvios de V_{th} considerando uma dose de 10 Mrad e isolamento STI. Conforme pode ser observado nessa tabela, uma evolução significativa na redução dos desvios de V_{th} foi observada da tecnologia de 0.18 μm para 0.13 μm . Esses resultados são ainda mais expressivos se comparados com tecnologias mais antigas onde desvios da tensão de limiar na ordem de Volts podem ocorrer, conforme pode ser observado, para tecnologia de 2 μm , no trabalho de (DJEZZAR. et al., 2000).

Tabela 2.1 - Desvios na tensão de limiar em 10 MRad.

	Threshold voltage shift	
	ΔV_T (mV)	
	0.13 μm	0.18 μm
	process	process
NMOS	- 3	+ 20
PMOS	- 1	- 5

Fonte: Tabela extraída de (RE et al., 2005 p. 123).

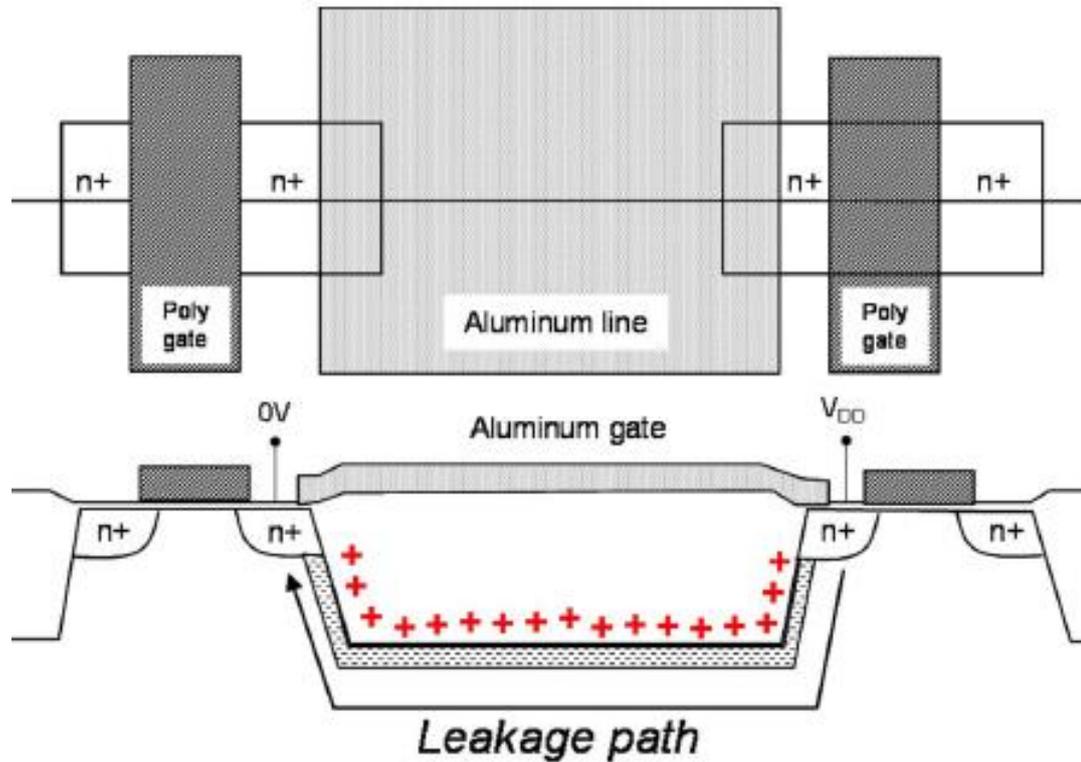
2.1.2 Correntes de Fuga Induzidas por Radiação em Transistores MOS

Existem basicamente três caminhos para correntes de fuga em estruturas MOS que são denominadas como (BARNABY, 2006):

- i) Correntes entre dreno e fonte de transistores vizinhos (*interdevice leakage path*);
- ii) Correntes entre dreno e n-well de transistor vizinho, que também pode ser denominada *interdevice leakage path*;
- iii) E correntes entre dreno e fonte de um mesmo transistor (*intradevice leakage path*).

Considerando esses três tipos de correntes de fuga induzidas por radiação, o transistor do tipo N é merecedor de uma atenção maior do que o dispositivo do tipo P, pois as cargas aprisionadas nos óxidos de isolamento são sempre positivas independentemente do tipo de transistor (SCHRIMPF, 2007). Logo, nos transistores do tipo N, isso propicia que cargas negativas sejam atraídas para a região onde essas cargas positivas estão, formando assim uma região de inversão parasita que configura um caminho para corrente fluir de um dispositivo para outro, conforme pode ser visto na Figura 2.3 (BARNABY, 2006).

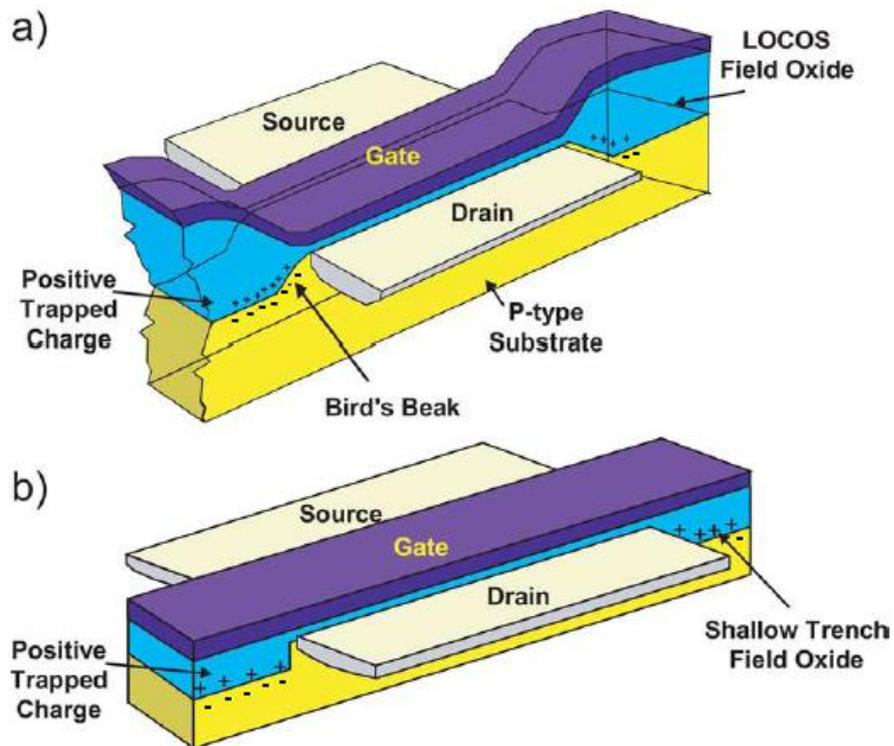
Figura 2.3 – Caminho da corrente de fuga entre dreno e fonte de dois dispositivos vizinhos.



Fonte: Figura extraída de (BARNABY, 2006 p. 3116).

O aumento da corrente de fuga também pode ocorrer entre os terminais de dreno e fonte de um mesmo transistor. Nas tecnologias que usam isolamento do tipo LOCOS (*Local Oxidation of Silicon* - Oxidação Local de Silício) a região onde as cargas positivas são aprisionadas e onde ocorre a formação do canal parasita é conhecida como “*bird’s beak*” (bico de pássaro), conforme pode ser visto na Figura 2.4(a). Na Figura 2.4(b), é mostrado de outra perspectiva o acúmulo de cargas nos óxidos de campo e os caminhos para as correntes de fuga considerando também isolamento STI.

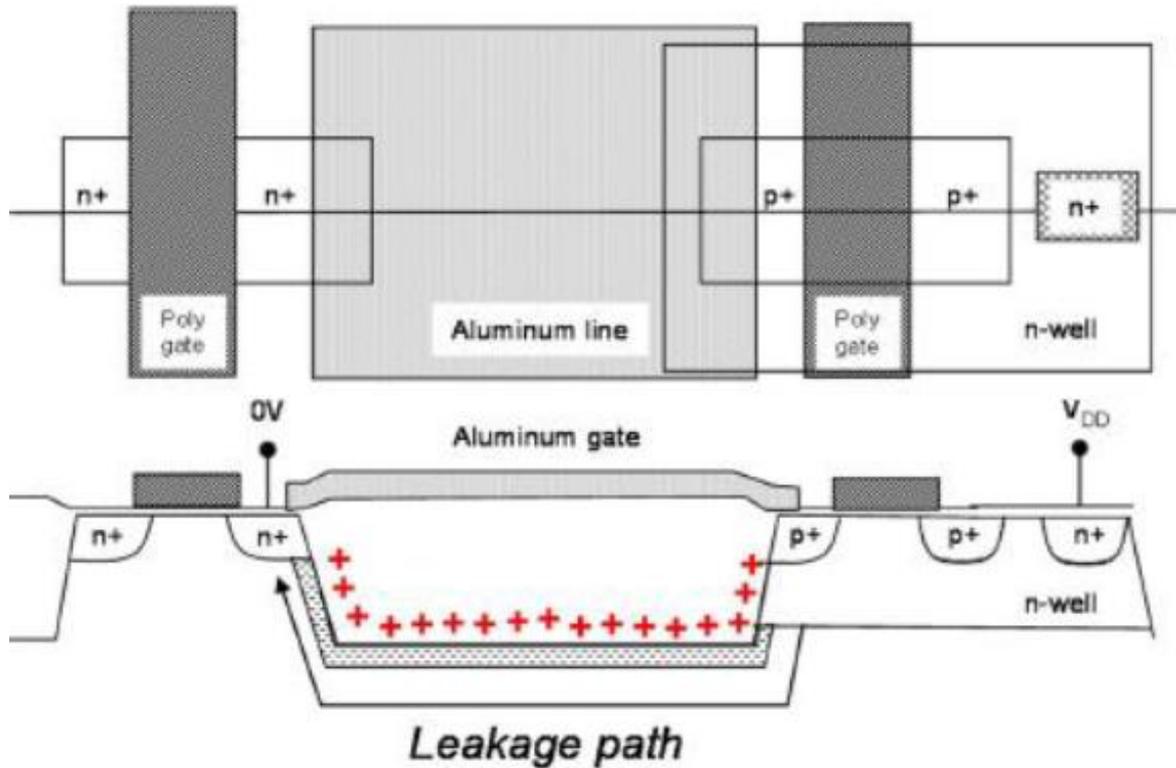
Figura 2.4 - Região de inversão no substrato (P) induzidas por cargas positivas aprisionadas nos óxidos de campo em decorrência do acúmulo de dose total - a) Para LOCOS e b) Para STI.



Fonte: Figura adaptada de (SCHWANK. et al., 2008 p. 1841).

O caminho das correntes de fuga entre o dreno e uma região n-well de um transistor adjacente é mostrada na Figura 2.5. O mecanismo de aprisionamento de cargas é o mesmo que no caso anterior. A diferença é que este ocorre na região n-well de um transistor vizinho do tipo P.

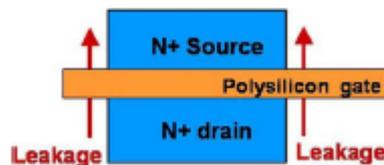
Figura 2.5 - Caminho da corrente de fuga entre dreno para n-well de dois dispositivos vizinhos.



Fonte: Figura extraída de (BARNABY, 2006 p. 3116).

A Figura 2.6 ilustra o caminho dessa corrente. Os óxidos de campo são cerca de cem vezes mais espessos que os óxidos de porta, o que pode levar a um acúmulo de cargas maiores nesses óxidos, entre os três tipos de correntes de fuga avaliados, as que ocorrem entre dreno e fonte de um mesmo transistor são dominantes em relação às outras duas para a tecnologia de $0.13\ \mu\text{m}$, conforme retratado em (BARNABY, 2006).

Figura 2.6 - Caminho da corrente de fuga entre dreno e fonte de um mesmo dispositivo.



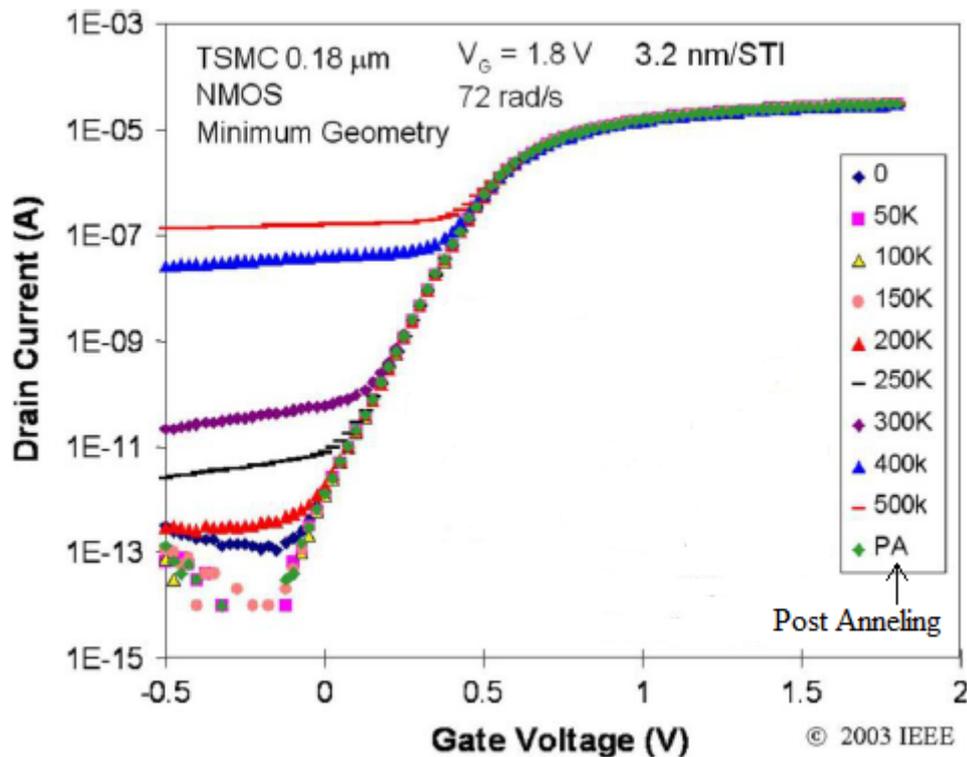
Fonte: Figura extraída de (BARNABY, 2006 p. 3113).

O transistor do tipo P não representa uma grande preocupação em relação às correntes de fuga, pois nesse dispositivo as cargas positivas acumuladas nos óxidos irão levar mais o substrato do tipo N ou N-well para acumulação sem perigo de formar uma camada de inversão (SNOEYS, et al. 2000, JARRON. et al. 1999).

Um exemplo da magnitude das correntes de fuga e o efeito que elas podem produzir estão mostradas na curva $I_{Dx}V_{GS}$ ilustrada na Figura 2.7. Inicialmente, o transistor apresenta

correntes de fuga, quando está desligado, da ordem de pico amperes (pA) e quando a dose acumulada é de 500 Krad esse valor sobe para centenas de nano amperes (nA). Nessa dose acumulada, é possível notar que as características $I_D \times V_{GS}$ do transistor estão bastante prejudicadas o que pode impedir o seu perfeito funcionamento. Esses resultados foram obtidos com um transistor NMOS da tecnologia 0.18 μm com layout convencional. Uma alternativa para mitigar essas correntes de fuga é a adoção das técnicas de RHBD com uso de transistores de geometria fechada.

Figura 2.7 - Aumento da corrente de fuga para um transistor NMOS de um transistor na tecnologia 0.18 μm à medida em que a TID é aumentada.



Fonte: Figura adaptada de (BARNABY, 2006 p. 3113).

2.2 Proteção à Radiação com Transistores de Geometria Fechada

Em uma análise ampla, os sistemas eletrônicos que são caracterizados por ser tolerantes a radiação, podem ser desenvolvidos considerando diferentes técnicas de mitigação dos efeitos da radiação. Basicamente, as proteções podem ser inseridas em três momentos do desenvolvimento do sistema ou até mesmo nos três ao mesmo tempo (BALEN, 2010), são eles: (1) proteção no nível de processo ou tecnologia de fabricação dos circuitos, um exemplo é o uso da tecnologia SOI (*Silicon On Insulator*) que apresenta um isolamento do transistor em relação ao substrato, o que leva a redução da coleta de cargas em eventos singulares SEE; (2) proteção no nível de projeto, que são modificações incorporadas ao projeto no nível de

dispositivo, onde pode ser citado o uso de ELT (foco desse trabalho), assim como, para circuitos digitais, o uso de memórias protegidas por código corretores de erros, ou por inserção de inversores redundantes na estrutura física do circuito da memória. Para circuitos analógicos, o uso de pares diferenciais com os transistores duplicados e associados em paralelo para mitigar efeitos de SETs em circuitos a capacitores chaveados é outro exemplo e (3) proteção no nível de sistema, que se diferencia da proteção em nível de projeto por ser inserida pelo projetista integrador, onde este não tem mais acesso a modificar layout dos circuitos, bibliotecas de células ou circuitos integrados. Um exemplo de técnica de proteção em nível de sistema é a utilização do TMR (*Triple Modular Redudancy*) que consiste em triplicar a estrutura que se deseja proteger (geralmente de um circuito digital) e utilizar um votador de maioria na saída. Sendo assim, quando a radiação incide no sistema ela tende a afetar um bloco por vez (SEE), com isso o votador tem condições de tomar a decisão correta, porque os outros dois blocos estarão dando em sua saída os valores corretos (BALEN, 2010). As proteções em nível de tecnologia e em nível de sistema não fazem parte do escopo desse trabalho e por isso não serão detalhadas. A intenção é pormenorizar aspectos relacionados ao endurecimento de circuitos integrados analógicos em relação aos efeitos da radiação no nível de projeto com o uso exclusivo de ELT.

A adoção de técnicas de RHBD com ELT é uma alternativa adequada para aumentar a tolerância à radiação de circuitos integrados, independentemente do nó tecnológico (FACCIO & CERVELLI, 2005). Tal técnica de layout é uma efetiva alternativa para reduzir a degradação elétrica causada pela radiação ionizante em transistores MOS. Geometrias fechadas evitam a concepção de regiões de óxido espesso nas bordas do canal (Figura 2.6), evitando o aumento das correntes de fuga induzidas pela radiação ionizante.

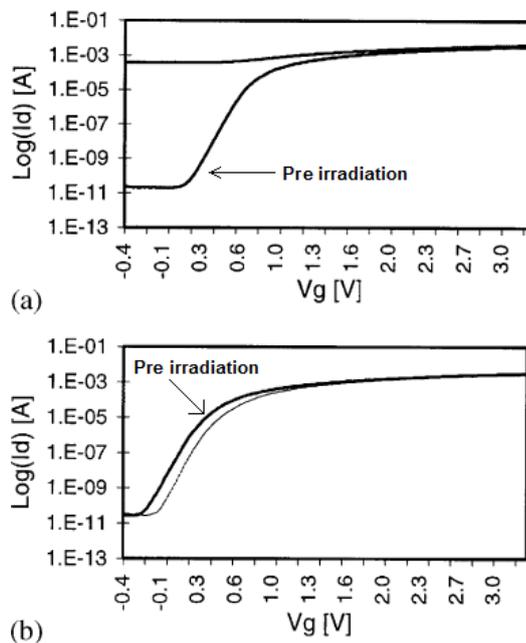
Os ELTs têm sido usados desde os primórdios da tecnologia CMOS nos anos 70, e a sua efetividade na diminuição das correntes de fuga para aplicações em ambientes com radiação é conhecida desde o início da década de 80 (ANELLI, 2000). A aplicação de ELTs também já foi explorada em um VCO (Voltage Controlled Oscillator) para maximizar a frequência de operação de osciladores (CHEN & GEIGER, 2000).

Na Figura 2.8 é possível observar o ganho que os ELTs incorporam na redução da correntes de fuga. Na parte (a) dessa figura é mostrado o resultado da irradiação de um transistor NMOS com layout convencional, enquanto que a porção (b) mostra o resultado para um transistor com geometria fechada equivalente ao NMOS convencional. Notoriamente se percebe que a corrente de fuga foi reduzida, pois na região onde V_G é negativo a curva pós

irradiação da figura (b) segue muito similar à situação de pré-irradiação, apenas pequenas alterações são observadas no V_{th} e nas características de *subthreshold*. Esses dispositivos foram irradiados até 2 Mrad (SNOEYS et al., 2000). Segundo os autores desse trabalho, o dispositivo NMOS convencional já apresentava índices insatisfatórios de correntes de fuga quando a dose acumulada era de apenas 40 krad.

Observando as figuras 2.7 e 2.8 (a) é possível notar que os comportamentos gerais em relação às correntes de fuga são semelhantes. No entanto, a magnitude da corrente de fuga é maior na figura 2.8 (a). O nó tecnológico usado nesse experimento foi o de 0.5 μm com a espessura do óxido de porta igual a 10 nm (SNOEYS et al., 2000) enquanto que no experimento da Figura 2.7 o óxido de isolamento usado no terminal de porta foi de 3.2 nm.

Figura 2.8 - Característica $I_D V_{GS}$ de transistores NMOS antes e depois da irradiação até a dose acumulada de 2 Mrad. (a) Transistor com layout convencional e (b) com layout usando ELT.



Fonte: Figura adaptada de (SNOEYS, et al. 2000 p. 351).

O projeto de circuitos integrados que combinem ELT e transistores standard e que sejam protegidos contra os efeitos induzidos por radiação apresenta algumas particularidades e complexidades, especialmente em aplicações analógicas. Com o objetivo de obter êxito na fabricação desses circuitos integrados os projetistas devem tomar cuidado com tais particularidades, que são:

- i) A técnica de modelamento para estimar a relação W/L de ELTs (FACCIO, 2007);

- ii) A limitada faixa atingível de razões de aspecto (FACCIO, 2007; ANELLI, 2000);
- iii) As diferenças na condutância de saída causada pela assimetria entre as regiões de dreno e fonte (FACCIO, 2007; ANELLI, 2000);
- iv) E a forma como as ferramentas de EDA interpretam a geometria ELT para realizar a verificação de pós layout nos projetos analógicos, incluindo as simulações SPICE com os modelos extraídos.

Embora alguns trabalhos relacionados já estejam disponíveis na literatura, a respeito dos aspectos negativos dos ELTs (JARRON, et al., 1999; GIRALDO, et al., 2000; STROHBEHN, 2004; CHAMPION, 2005; MARTIN, 2003), um entendimento adicional desses tópicos e possíveis melhoramentos são cruciais para aumentar a confiabilidade dos circuitos analógicos utilizados em ambientes com radiação, e, ao mesmo tempo, obter projetos mais previsíveis e efetivos do ponto de vista de área ocupada em silício.

Levando em consideração a abrangência do nosso país, são poucas as pesquisas relacionadas com ELTs realizadas nacionalmente. O projeto CITAR (Circuitos Integrados Tolerantes A Radiação) utiliza dispositivos ELTs considerando que esse é uma “caixa preta”. Nesse caso, os ELTs são obtidos de uma biblioteca fornecida por uma empresa estrangeira. Por ser uma biblioteca proprietária é necessário pagar para poder fazer sua utilização e isso pode ser bastante oneroso. Além disso, têm-se poucas informações da maneira como foi feito o modelamento dos dispositivos ELTs e de que forma a biblioteca foi feita, ou seja, ela é apenas utilizada pelo projetista. Por isso, esse é mais um ponto a favor de se ter pesquisas relacionadas a esses tipos de dispositivo, tão crucial às aplicações em ambientes com radiação.

2.3 Revisão dos Modelos para Estimar a Razão de Aspecto de ELT

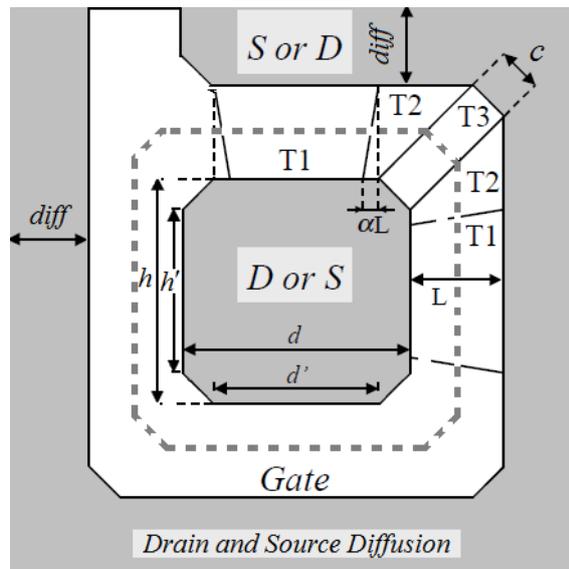
Com o objetivo de investigar uma das dificuldades de se utilizar os ELTs, que é a forma de obter a razão de aspecto desse tipo de dispositivo, foram estudados quatro modelos matemáticos e dois modelos adotados pela ferramenta de EDA da CadenceTM (um para a tecnologia de 0.18 μm e outro para 0.13 μm). A Figura 2.9 apresenta o ELT usado para descrever os modelos matemáticos avaliados nesse trabalho para obter a estimativa da razão de aspecto de transistores com geometria fechada.

Nesse tipo de transistor as regiões de dreno e fonte são assimétricas, isso implica que as capacitâncias associadas a essas regiões serão diferentes, ocasionando diferença no

desempenho de cada transistor, conforme é retratado para condutância de saída em (JARRON et al., 1999). Essa diferença, relativa à configuração do dreno como interno ou externo, no entanto, não altera a forma de cálculo da razão de aspecto desses transistores.

No processo de obtenção/extração do W/L dos ELTs as linhas de campo elétrico na porta do dispositivo não são equipotenciais, conforme discussão devidamente abordada em (GIRALDO et al., 2000) e (GIACOMINI & MARTINO, 2005). No entanto, por simplicidade alguns autores consideram que elas sejam, conforme retratado em (SNOEYS et al., 2000). Obviamente, isso pode impactar na precisão dos modelos matemáticos que serão abordados nessa tese.

Figura 2.9 – Forma do ELT usada para definir os parâmetros dos modelos analisados.



Fonte: Figura adaptada de (ANELLI, 2000 p. 104).

O modelo proposto por Giraldo em (GIRALDO, 1998) e retratado em (JARRON, et al. 1999; GIRALDO, 2000; ANELLI, 2000) é baseado na decomposição do ELT em transistores de borda e de cantos conforme pode ser observado na Figura 2.9 através das regiões compreendidas por T1, T2 e T3. A influência de cada parte é mostrada na seguinte equação:

$$\left(\frac{W}{L}\right)_{eff}^{Gir} = 4 \cdot \left(\frac{2\alpha}{\ln\left(\frac{d'}{d'-2\alpha L}\right)} \right) + 2 \cdot K \frac{1}{\Delta(\alpha)} \frac{(1-\alpha)}{\ln(\alpha)} + 3 \cdot \frac{d-d'}{L} \quad (2.1)$$

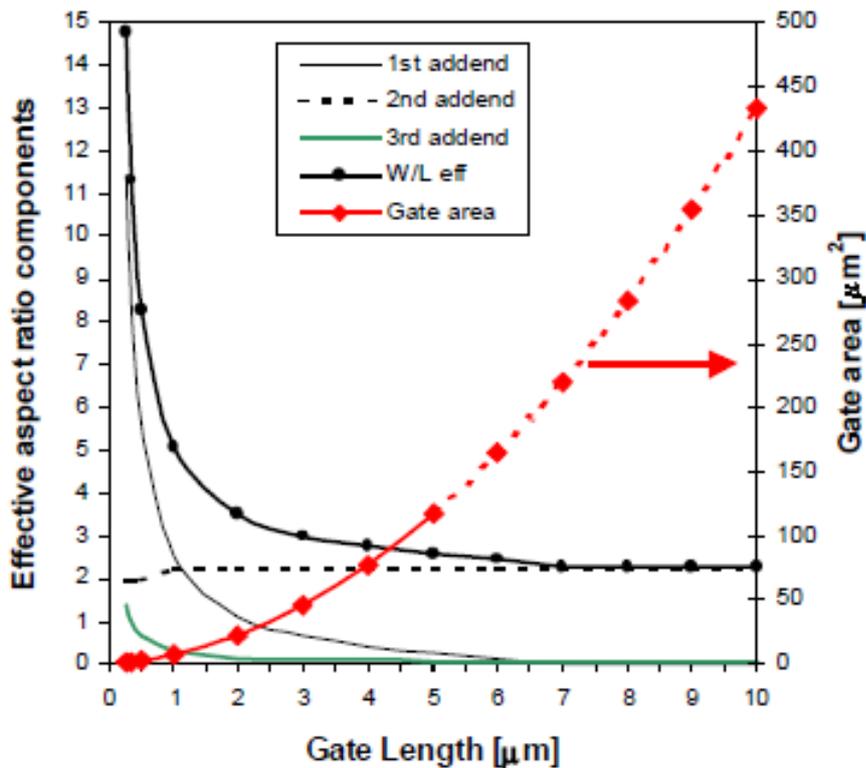
$T1$ $T2$ $T3$

onde, o parâmetro K é dependente da geometria do ELT (3.5 para comprimentos de canais menores que $0.5 \mu\text{m}$ e 4 para dispositivos de canal longo); α representa a fronteira entre T1 e

T2 (Figura 2.9), e é quase tecnologicamente independente com valor apropriado de 0.05 para as tecnologias de 0.25 μm , 0.5 μm e 2.5 μm ;

$d' = d - c\sqrt{2}$ e $\Delta(\alpha) = \frac{1}{2}\sqrt{\alpha^2 + 2\alpha + 5}$. Este modelo alcança uma boa concordância com dados experimentais nas tecnologias de 0.25 μm , 0.5 μm e 2.5 μm , conforme mencionado em (GIRALDO et al., 2000). Em (ANELLI, 2000) esse modelo é estudado em maiores detalhes e a influência de cada adendo da equação proposta na composição da estimativa do W/L à medida que o comprimento do canal aumenta, é estimado conforme pode ser visto na Figura 2.10 que foi extraída do trabalho do referido autor. De acordo com essa figura, para comprimentos de canal pequenos, o termo que exerce maior influência na composição do W/L efetivo de ELTs é o representado pelo transistor T1. Por outro lado, para comprimentos de canal grandes, o termo que exerce maior influência é o T2. Nessa figura é possível notar um importante aspecto negativo dos ELTs que é a impossibilidade de obter um W/L efetivo abaixo de $\approx 2,26$ (JARRON et al., 1999). Esse modelo será referenciado no texto como modelo GIR.

Figura 2.10 – Influência de cada adendo da equação 2.1 juntamente com a estimativa da área de porta.



Fonte: Figura extraída de (ANELLI, 2000 p. 106).

O segundo modelo avaliado nesse trabalho é apresentado na seguinte equação:

$$\left(\frac{W}{L}\right)_{eff}^{Snoeys} = \frac{8}{\ln\left(\frac{d+2.L}{d}\right)} \quad (2.2)$$

onde, os parâmetros d e L são definidos na Figura 2.9.

Esse modelo foi proposto em (SNOEYS et al., 2000). Essa equação foi obtida para ELTs quadrados considerando que as linhas de campo são equipotenciais em toda a extensão da porta. Isso é uma aproximação simplificada para transistores com dimensões grandes. Porém pode ser interessante para aplicações mais simples, conforme é retratado pelo próprio autor no referido trabalho. De acordo com o trabalho de (JARRON et al., 1999) esse modelo apresentado na Equação 2.2 pode superestimar o W/L dos ELTs em cerca de 30%-40% em relação ao modelo GIR. Nesse texto, esse modelo será referenciado como modelo SNO.

O modelo mais recente para estimar a razão de aspecto de ELTs compreende o seguinte equacionamento:

$$\left(\frac{W}{L}\right)_{eff}^{Xue} = \frac{2.d + 2.h}{L} + C_{ab} \quad (2.3)$$

onde, os parâmetros L , d e h são definidos na Figura 2.9 e C_{ab} é uma constante entre 1 e 2. Esse modelo foi proposto em (XUE et al., 2011) e considera que a porta do transistor é dividida em retângulos especiais e não considera diretamente os cantos dos transistores conforme é considerado pelo modelo GIR. Esse modelo foi proposto considerando o nó tecnológico 0.35 μm .

Quando o ELT tiver a forma quadrada, isso implica que d e h são iguais. Nas simulações realizadas foi adotado o valor 2 para constante C_{ab} .

Essa constante empírica pode ter sido definida com esse valor para resolver a questão de não existir um termo específico na Equação 2.3 que modele os cantos do ELT. Ao analisar a Figura 2.10 é possível notar que a influência, na composição do W/L, dos cantos do ELT (adendo T2 da Equação 2.1), para comprimentos de canais curtos, não chega a contribuir com 2 (ANELLI, 2000). Isso pode ser uma explicação para que essa constante seja atribuída entre 1 e 2.

Esse modelo será referenciado no texto como modelo XUE.

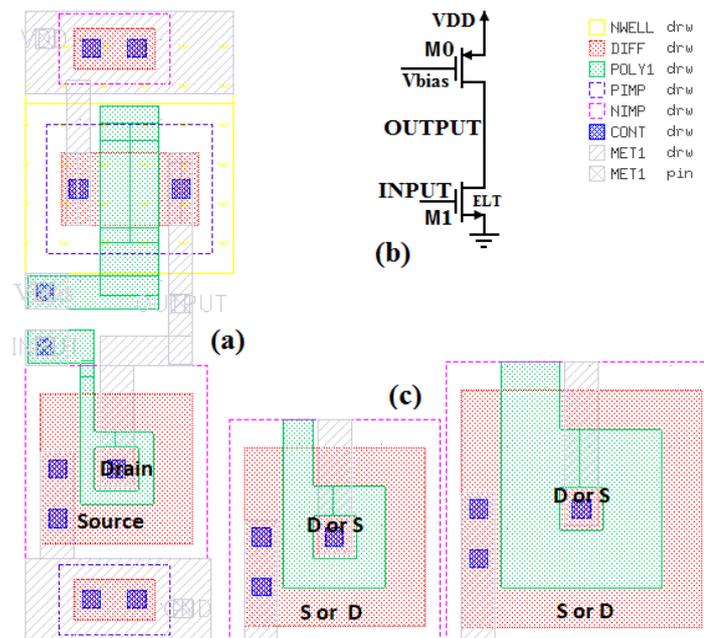
A aproximação midline (modelo MID) consiste em obter a distância da linha anelar (linha tracejada na Figura 2.9) dividido pelo L , que é a mínima distância da porta fechado, conforme:

$$\left(\frac{W}{L}\right)_{eff}^{Mid} = \frac{4.(c+L) + 2.d' + 2.h'}{L} \quad (2.4)$$

onde os parâmetros geométrico L , c , h' e d' são definidos na Figura 2.9.

Neste trabalho, foram usadas ferramentas de projeto comerciais com PDKs (*Process Design Kits*) originais de tecnologias de 0.18 μm e 0.13 μm . Vários amplificadores de um único estágio em configuração fonte comum foram projetados utilizando ELTs com diferentes dimensões. A Figura 2.11 ilustra o layout de um dos amplificadores analisados (a), e o seu circuito esquemático é mostrado em (b). A Figura 2.11(c) ilustra outras duas dimensões de ELTs que foram consideradas. Esses projetos foram usados para identificar o modelo matemático usado pelas ferramentas de EDA para extrair o W/L dos ELTs nos dois nós tecnológicos analisados. Ressalta-se que o estudo sobre o método de modelamento para extração de W/L da ferramenta comercial de EDA utilizada, já são contribuições deste trabalho de doutorado.

Figura 2.11 – Estrutura básica do circuito simulado: (a) Layout do amplificador; (b) Circuito esquemático; (c) Células ELT com $L=0.36 \mu\text{m}$ e $L=0.72 \mu\text{m}$.



Fonte: O autor

A metodologia adotada pela ferramenta de EDA no processo de 0.18 μm extrai o W/L dos ELTs conforme segue:

$$(W_{EDA})_{0.18\mu\text{m}} = \frac{(PeriG_{EXT} + PeriG_{INT})}{2} \quad (2.5)$$

onde, $PeriG_{EXT}$ é o perímetro externo da porta que é sobreposto pela difusão e $PeriG_{INT}$ é o perímetro interno da porta do transistor. Esta equação foi previamente apresentada em (XUE et al., 2011), e foi confirmada nesse trabalho através dos resultados de extração. O comprimento do canal L do ELT é obtido através da equação:

$$(L_{EDA})_{0.18\mu m} = \frac{A_{GATE}}{W_{EDA}} \quad (2.6)$$

onde, A_{GATE} é a área da porta e W_{EDA} é o W extraído pela ferramenta de EDA.

Adequando (2.5) com a nomenclatura dos parâmetros da Figura 2.9, tem-se a seguinte equação:

$$(W_{EDA})_{0.18\mu m} = \frac{(2 \cdot diff + 7 \cdot L + 4 \cdot d' + 4 \cdot h' + 8 \cdot c)}{2} \quad (2.7)$$

onde, os parâmetros $diff$, L , d' , h' e c são definidos na Figura 2.9.

Da mesma forma, ajustando (2.6), chega-se em:

$$(L_{EDA})_{0.18\mu m} = \frac{(diff + 4 \cdot L + 2 \cdot d + 2 \cdot h) \cdot L + \frac{(d - d')^2}{4}}{W_{EDA}} \quad (2.8)$$

onde, os parâmetros $diff$, L , d , d' e c são definidos na Figura 2.9 e W_{EDA} é o W extraído pela ferramenta de EDA, calculado através de (2.5).

Combinando as equações 2.7 e 2.8 de forma a isolar o W e o L chega-se na equação

$$\left(\left(\frac{W}{L} \right)_{eff}^{EDA} \right)_{0.18\mu m} = \frac{(2 \cdot diff + 7 \cdot L + 4 \cdot d' + 4 \cdot h' + 8 \cdot c)^2}{(diff + 4 \cdot L + 2 \cdot d + 2 \cdot h) \cdot 4 \cdot L + (d - d')^2} \quad (2.9)$$

onde, os parâmetros $diff$, L , d , d' , h' e c são definidos na Figura 2.9. Essa equação é usada pela ferramenta de EDA em $0.18 \mu m$ para estimar a razão de aspecto de ELTs com geometria quadrada.

No processo $0.13 \mu m$ a extração do parâmetro W ocorre da mesma forma como realizado no processo $0.18 \mu m$. Já a obtenção do L do ELT ocorre de forma diferente. Nesse caso, o L extraído é considerado como sendo a metade do L desenhado no layout do circuito, conforme:

$$(L_{EDA})_{0.13\mu m} = \frac{L}{2} \quad (2.10)$$

com o parâmetro L sendo definido na Figura 2.9.

Realizando os devidos ajustes algébricos entre a Equação 2.7 e a Equação 2.10 chega-se na expressão abaixo, que representa a fórmula adotada pela ferramenta de EDA para extrair a razão de aspecto de ELTs no processo 0.13 μm

$$\left(\left(\frac{W}{L} \right)_{\text{eff}}^{\text{EDA}} \right)_{0.13\mu\text{m}} = \frac{(2.\text{diff} + 7.L + 4.d' + 4.h' + 8.c)}{L} \quad (2.11)$$

O fato do L extraído ser metade do valor do L desenhado no layout irá teoricamente gerar problemas nas simulações dos circuitos enquanto o L desenhado for menor que 240 nm. Pois quando $L=240$ nm, metade desse valor será 120 nm, que é o comprimento mínimo do canal permitido na tecnologia 0.13 μm . Quando o L desenhado for, por exemplo, 120 nm, o L extraído será 60 nm, o que não é permitido nas simulações SPICE em função do L ser menor do que o L mínimo da tecnologia. Em virtude disso, nas simulações realizadas foi considerado que o L desenhado é o L extraído, por acreditar que isso possa ser um erro de modelagem que ocorre no PDK da ferramenta de EDA. Esse tópico está sendo estudado nessa tese. Diante desse contexto, o cálculo do W/L para a tecnologia 0.13 μm será conforme mostrado na equação

$$\left(\left(\frac{W}{L} \right)_{\text{eff}}^{\text{EDA}} \right)_{0.13\mu\text{m}} = \frac{(2.\text{diff} + 7.L + 4.d' + 4.h' + 8.c).L}{2} \quad (2.12)$$

A correção do valor do L foi inicialmente feita de forma manual editando o arquivo de saída da extração de parasitas ($Av_extracted$). No entanto, isso caracteriza uma ação não permitida dentro do ambiente de simulação Cadence™, pois a ferramenta detecta a alteração desse arquivo e gera um erro. Diante disso, os dados oriundos das extrações de parasitas foram salvos no formato Spice e as simulações foram realizadas fora do ambiente da Cadence™ usando o software Hspice™ da Synopsys™.

Em relação à extração das áreas de fonte (A_S) e dreno (A_D) e os perímetros das regiões de fonte (P_S) e dreno (P_D) do ELT a ferramenta de EDA extrai adequadamente no processo 0.13 μm devendo o projetista somente estar atento quando usar o layer GRLOGIC. Pois, caso a delimitação desse layer coincida com a delimitação da difusão do ELT isso poderá levar a ferramenta extrair de forma errada o perímetro da região coincidente. No processo 0.18 μm esse problema não ocorre, pois tanto a área de dreno e fonte, como também o perímetro dessas regiões, são obtidos de forma correta, conforme as dimensões do ELT desenhado no layout.

3. PROJETO DE AMPLIFICADORES FONTE COMUM USANDO ELTS

Visando agregar dados experimentais a esta tese um total de 22 circuitos foram fabricados utilizando o serviço de *Multi-Project Wafer* (MPW) da MOSIS, com o objetivo de investigar o comportamento e os impactos de se utilizar ELTs em circuitos integrados analógicos. Para chegar a esse entendimento, amplificadores em configuração fonte comum, ou, em inglês, *common source* (CS), são utilizados. Esses circuitos serão apresentados a seguir. No próximo capítulo serão mostrados resultados oriundos das simulações e os dados experimentais destes blocos. Nesses circuitos estão inclusos blocos com dispositivos ELTs e também blocos contendo apenas transistores com layout convencional, identificados neste texto pela sigla STD (abreviação para *standard*). Em cada circuito fabricado são disponibilizadas uma entrada e uma saída para medições. Esses acessos são feitos ou através dos pinos do CI ou por meio de MicroPADS (μ PADS). Para realização das medições foram usados um analisador de parâmetros da Agilent™ modelo 4156C, juntamente com uma estação de micro ponteiras de semicondutores. Esses equipamentos estão disponíveis no Laboratório de Caracterização Elétrica da UFRGS. Detalhes do setup utilizado para realização das medições serão apresentados no capítulo seguinte (resultados).

Dois transistores ELTs foram escolhidos para serem os dispositivos primitivos para dar origem aos diversos circuitos prototipados. A Figura 3.1 mostra o layout desses dois dispositivos ELT separadamente. O transistor de geometria fechada visto na parte (a) representa o ELT-C (Convencional) que é mais comumente usado, onde as regiões de dreno e fonte são assimétricas no que se refere a área e ao perímetro. No ELT que pode ser observado na porção (b), suas dimensões foram apropriadamente escolhidas para que as regiões de dreno e fonte tenham a mesma área, esse dispositivo será referenciado como ELT-PS (Pseudo Simétrico), maiores detalhes serão abordados no decorrer deste capítulo.

Outros dois transistores com layout tradicional de porta retangular (STD) serviram de base para a criação de blocos exclusivamente com transistores STD. Os layouts desses dois transistores STD estão ilustrados na Figura 3.2. O dispositivo mostrado em (a) possui os mesmo valores para os parâmetros W e L do ELT-C. Enquanto que, o layout do transistor mostrado em (b) é equivalente ao ELT-PS, por isso a abreviação STD-PS. Esses dois dispositivos foram criados para permitir que comparações mais completas possam ser feitas, já que eles têm os mesmos valores de W/L que os estimados para os dispositivos ELTs. A Tabela 3.1 mostra as dimensões dos transistores elementares, ELTs e STDs, que são usados para constituir os 22 blocos de circuitos amplificadores que foram prototipados. Nessa tabela também são informados os valores das áreas e dos perímetros das regiões de dreno e fonte quando o ELT possui dreno interno e dreno externo. Esses dados foram extraídos pela ferramenta de EDA nas fases de LVS (*Layout Versus Schematic*) e Extração de Parasitas. O comprimento de canal escolhido foi $L=0.48 \mu\text{m}$, que é quatro vezes o comprimento mínimo do canal permitido nessa tecnologia.

Figura 3.1– Layout dos ELT usados na composição dos blocos analógicos. (a) ELT-C; (b) ELT-PS.

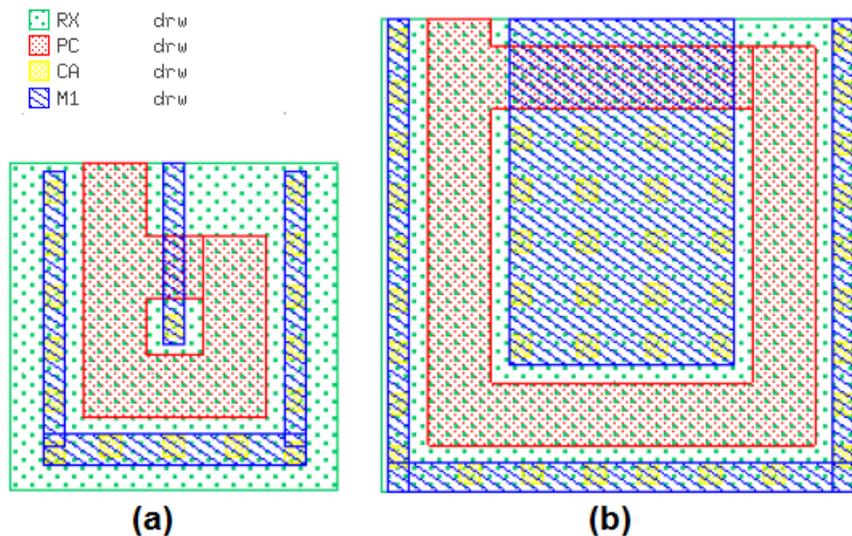


Figura 3.2 – Transistores com layouts convencionais com porta retangular. (a) STD-C; (b) STD-PS.

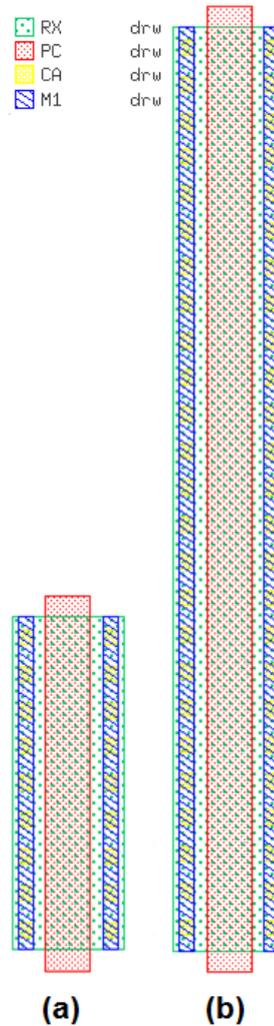


Tabela 3.1 - Dimensões dos transistores elementares do amplificador fonte comum.

Transistor	W(μm)	L(μm)	Drain dimensions		Source dimensions	
			A _D (μm^2)	P _D (μm)	A _S (μm^2)	P _S (μm)
ELT-C inner	3.6265	0.48	0.1934	1.73657	2.1157	13.21657
ELT-C outer	3.6265	0.48	2.1157	13.21657	0.1934	1.73657
ELT-PS inner	10.0665	0.48	4.1998	8.17657	4.2001	26.09657
ELT-PS outer	10.0665	0.48	4.2001	26.09657	4.1998	8.17657
STD-C*	3.62	0.48	1.3068	7.98	1.3068	7.98
STD PS**	10.07	0.48	3.6252	20.86	3.6252	20.86

*-C se refere ao transistor STD que é equivalente ao ELT-C ** -PS se refere ao transistor STD que é equivalente ao ELT-PS.

O amplificador de estágio simples configurado em fonte comum da Figura 3.3 é o circuito usado como base para criação dos 22 blocos que foram prototipados. Nesse circuito, o transistor NMOS ELT é o responsável pelo estágio de ganho. A entrada de sinal ocorre entre a porta e a fonte e a saída de sinal é obtida entre o dreno e a fonte. O terminal comum no processo de entrada e saída é a fonte, e daí o nome da configuração ser fonte comum. A

polarização do ELT é feita através do transistor PMOS (M0) configurado como carga ativa. A tensão de polarização V_{bias} necessária ao transistor M0 é obtida através de dois transistores configurados como diodos (Mpb e Mnb). A escolha desse circuito de polarização se deu exclusivamente por economia de área de silício. As razões de aspecto W/L dos transistores M0, Mpb e Mnb foram escolhidas após terem sido feitos alguns testes para verificação das tensões de polarização considerando todos os blocos, já que as dimensões W/L desses transistores iriam ser mantidas para os 22 blocos fabricados. A Figura 3.4 destaca o layout do circuito de polarização.

A estrutura formada pelos dispositivos Mpb, Mnb e M0 será sempre replicada e mantida de um circuito para o outro, permitindo observar somente a influência dos dispositivos ELTs no funcionamento das várias estruturas que serão analisadas. A Tabela 3.2 define as dimensões desses transistores que usarão o layout convencional STD com porta retangular.

Figura 3.3 – Circuito esquemático do amplificador fonte comum.

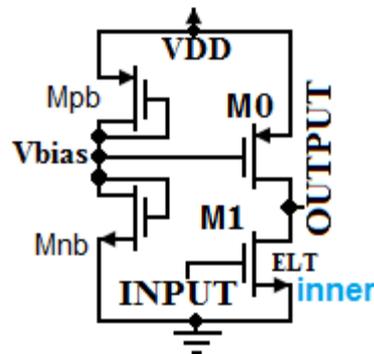


Figura 3.4 – Layout do circuito de polarização usado nos amplificadores fonte comum.

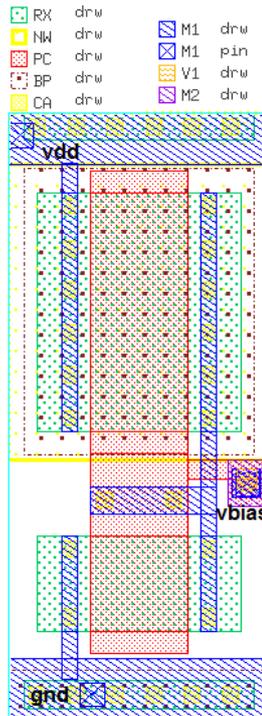


Tabela 3.2 – Dimensões dos transistores usados para polarização do amplificador fonte comum.

<i>Transistor</i>	W(μm)	L(μm)
<i>Mpb</i>	2.5	1
<i>Mnb</i>	1	1
<i>M0</i>	12	1

3.1 Layout dos circuitos a serem prototipados

Conforme destacado na introdução desse trabalho, um dos objetivos dessa tese é promover uma discussão em relação a qual modelo matemático melhor se adapta para obter a estimativa do W/L de ELTs no processo comercial utilizado do nó tecnológico de 0.13 μm . Além disso, também se busca poder comparar os dados de medições com o modelo adotado pela ferramenta de EDA e o PDK utilizados. Em trabalhos anteriores (GIRALDO et al., 2000; JARRON et al., 1999; SNOEYS et al., 2000; XUE et al., 2011) os modelos matemáticos foram mapeados e ajustados para nós tecnológicos acima de 0.25 μm . Desta forma, num primeiro momento, esse trabalho irá trazer dados experimentais para a tecnologia cmrf8sf 0.13 μm da IBM que permitirá entender qual dos modelos se adapta melhor a este processo. Ainda que, a tecnologia 0.13 μm não seja uma tecnologia do *estado da arte*, ela é bastante relevante para aplicações analógicas de uso aeroespacial. Logo, esses dados experimentais certamente consistirão em uma importante contribuição.

O primeiro layout consiste em usar o ELT com o dreno interno, enquanto que a segundo considera o ELT com dreno externo, conforme pode ser notado nos layouts desses dois blocos ilustrado na Figura 3.5 (a) e (b), respectivamente. De acordo com a Tabela 3.1, nessas duas versões os ELTs têm os mesmos valores para os parâmetros W e L .

Duas versões foram criadas considerando o ELT-PS, uma com dreno interno e outra com dreno externo. Os layouts desses circuitos estão ilustrados na Figura 3.6.

Outros dois circuitos foram produzidos usando somente transistores STD, conforme pode ser visto na Figura 3.7. O circuito da Figura 3.7 (a) é considerado equivalente STD aos circuitos da Figura 3.5, pois usam as mesmas dimensões de W e L . Enquanto que, o circuito apresentado na Figura 3.7 (b) é considerado o equivalente STD para os circuitos da Figura 3.6.

Figura 3.5 - Layout do amplificador em fonte comum. (a) ELT- C com dreno interno; (b) ELT-C com dreno externo.

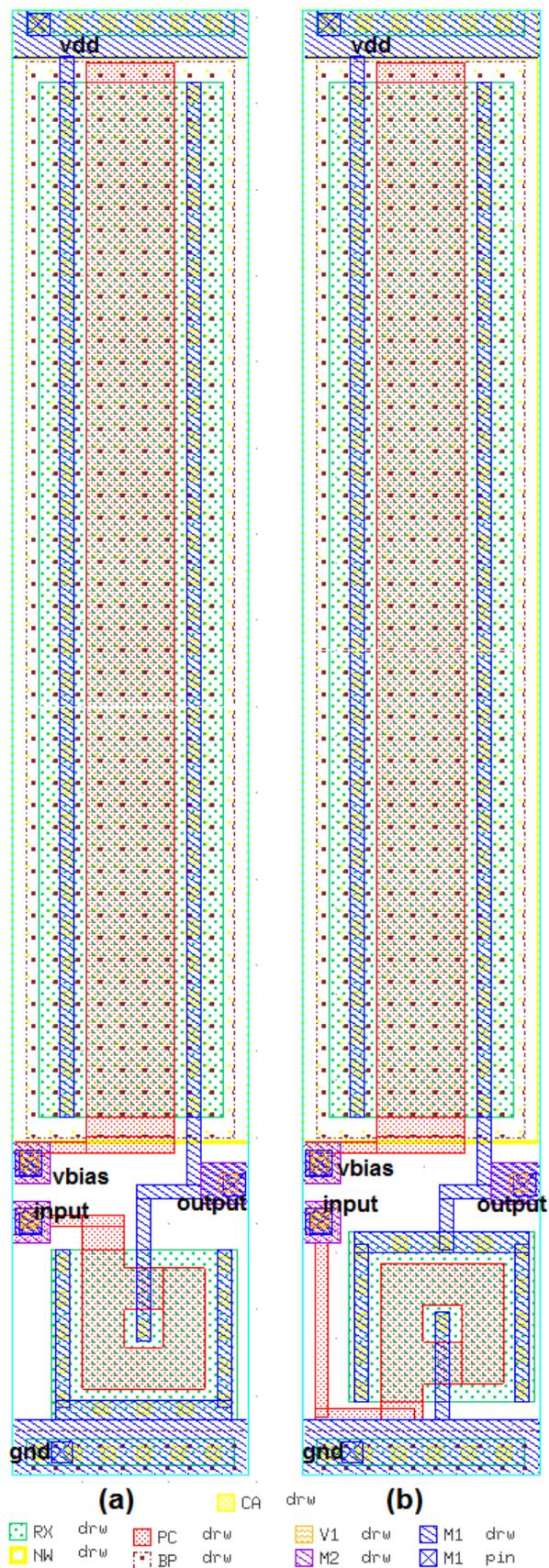


Figura 3.6 - Layout do amplificador em fonte comum. (a) ELT- PS com dreno interno; (b) ELT-PS com dreno externo.

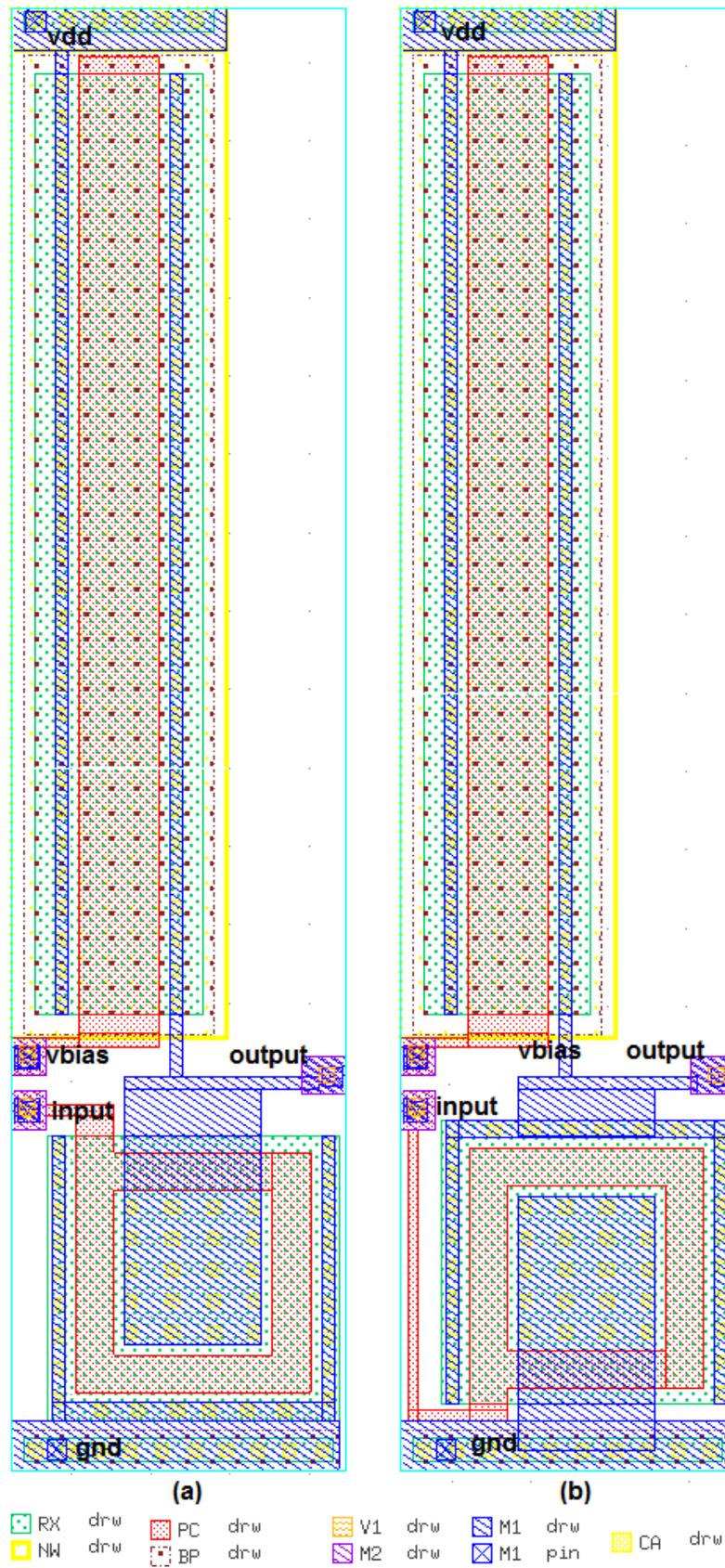
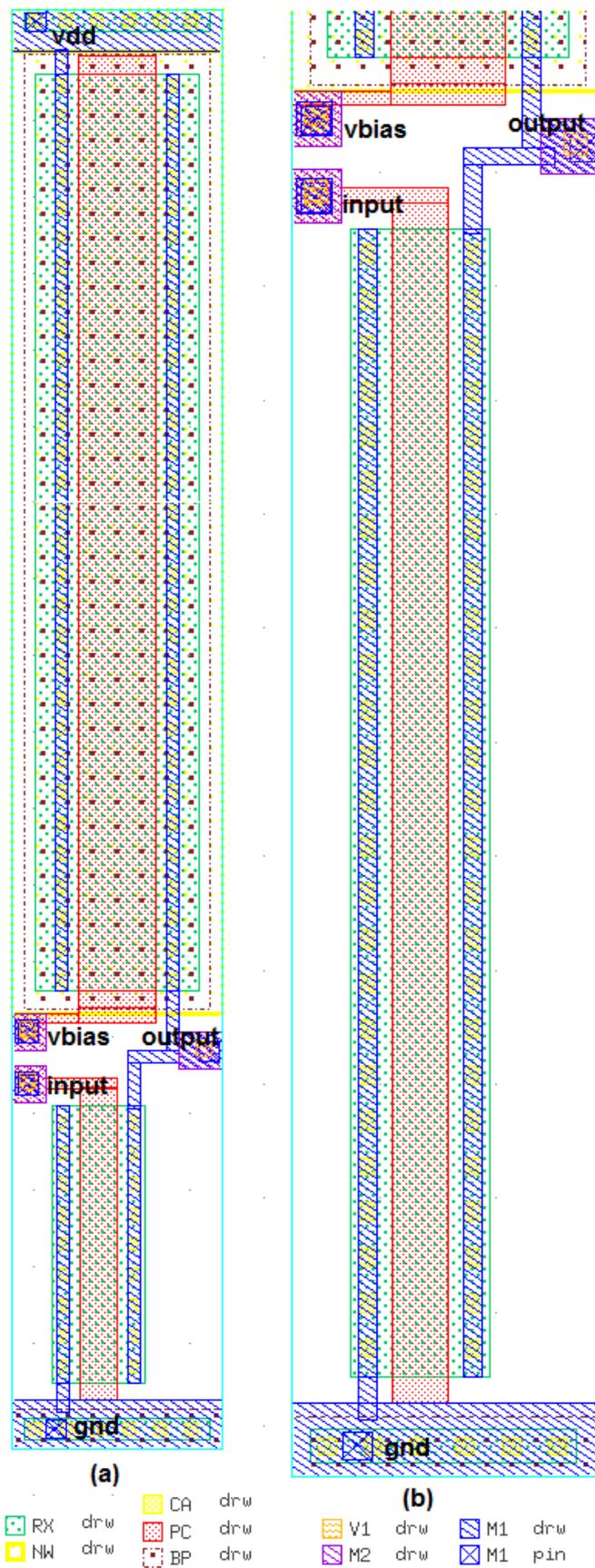


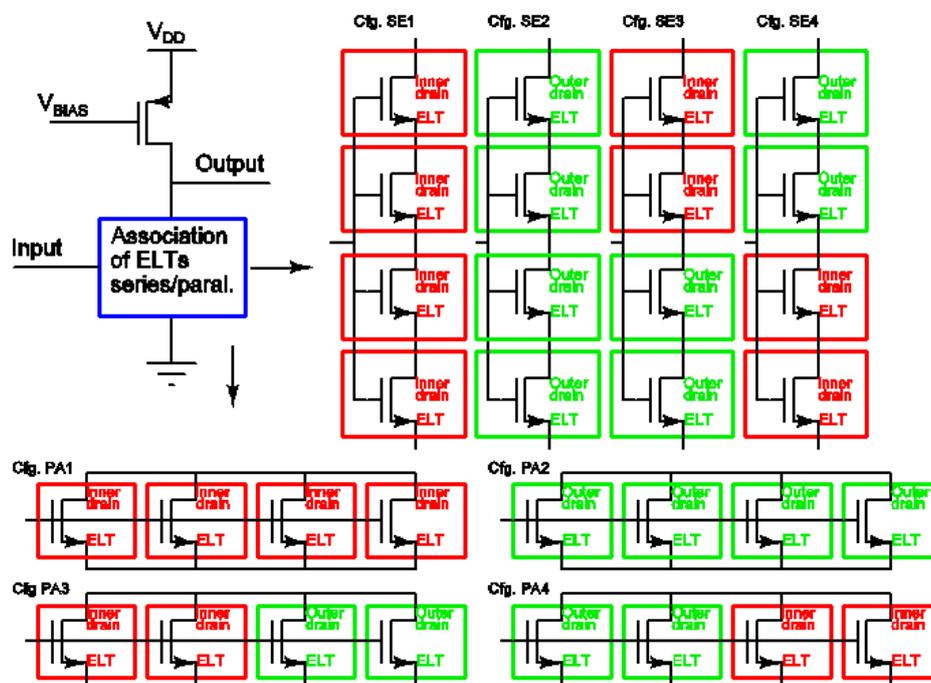
Figura 3.7 - Layout do amplificador em fonte comum. (a) STD- C; (b) STD-PS.



O layout da Figura 3.7 (b) visando diminuir capacitância de porta, não representa a forma mais adequada de fazer o layout do transistor NMOS com W grande ($W=10.07 \mu\text{m}$). Seria mais apropriado usar a técnica de “fingers” e dividir esse transistor grande em transistores menores e associa-los em paralelo. No entanto, isso aumentaria os caminhos possíveis para correntes de fuga, conforme retratado na Figura 2.6. Por isso, em aplicações em ambientes com radiação ionizante um único transistor pode ser mais adequado (FUSCO & BALEN, 2016). No layout da Figura 3.7 (b) foi suprimido o transistor PMOS para que a figura pudesse ficar mais bem alocada na página.

Um dos objetivos da tese, que diz respeito à eficiência no aumento da faixa de razões de aspecto possíveis de serem atingidas com associações de ELTs, será observada através dos circuitos apresentados na Figura 3.8. Na parte inferior, são apresentadas as configurações de ELTs em paralelo denominadas de PA1, PA2, PA3 e PA4. Com essa configuração espera-se que a razão de aspecto do conjunto dos quatro transistores seja quadruplicada em relação à configuração com um único transistor (Figura 3.3). Na parte superior direita, é mostrado as configurações de quatro ELTs associados em série que receberam as identificações SE1, SE2, SE3 e SE4. Com isso, espera-se reduzir a razão de aspecto do conjunto todo por um fator próximo a quatro em relação ao circuito da Figura 3.3.

Figura 3.8 - Circuitos esquemáticos dos amplificadores fonte comum usados nas associações em paralelo e em série.



Fonte: O autor

Nas associações em paralelo foram criadas três versões considerando o ELT com layout convencional (ELT-C), ou seja, com as regiões de dreno e fonte assimétricas. A primeira delas usa todos os ELTs-C configurados com dreno interno, conforme pode ser observado na Figura 3.9 (configuração PA1 pela Figura 3.8). Na segunda versão, todos os ELT-C são configurados com dreno externo (configuração PA2), enquanto que na terceira versão dois ELT-C são com dreno interno e dois com dreno externo (configuração PA3), conforme pode ser visto nos layouts apresentados nas Figuras 3.10 e 3.11, respectivamente. A mesma sequência foi feita considerando os ELT-PS. Os layouts dos circuitos com ELT-PS serão apresentados nas próximas subseções quando esse dispositivo será abordado em maiores detalhes. Em relação aos transistores com porta retangular STD, foi criado um circuito com associação em paralelo com STD-C (Figura 3.12) e outro com STD-PS (Figura 3.13). Com isso, na associação em paralelo serão avaliados 8 circuitos (três com ELT-C, três com ELT-PS, um com STD-C e um com STD-PS).

Usando as medições de parâmetros elétricos desses circuitos se espera corroborar com dados experimentais para as conclusões já obtidas através das simulações (discussões no capítulo de resultados).

Figura 3.9- Layout do amplificador fonte comum usando associação de ELTs-C em paralelo, onde todos dos transistores são configurados com dreno interno (configuração PA1).

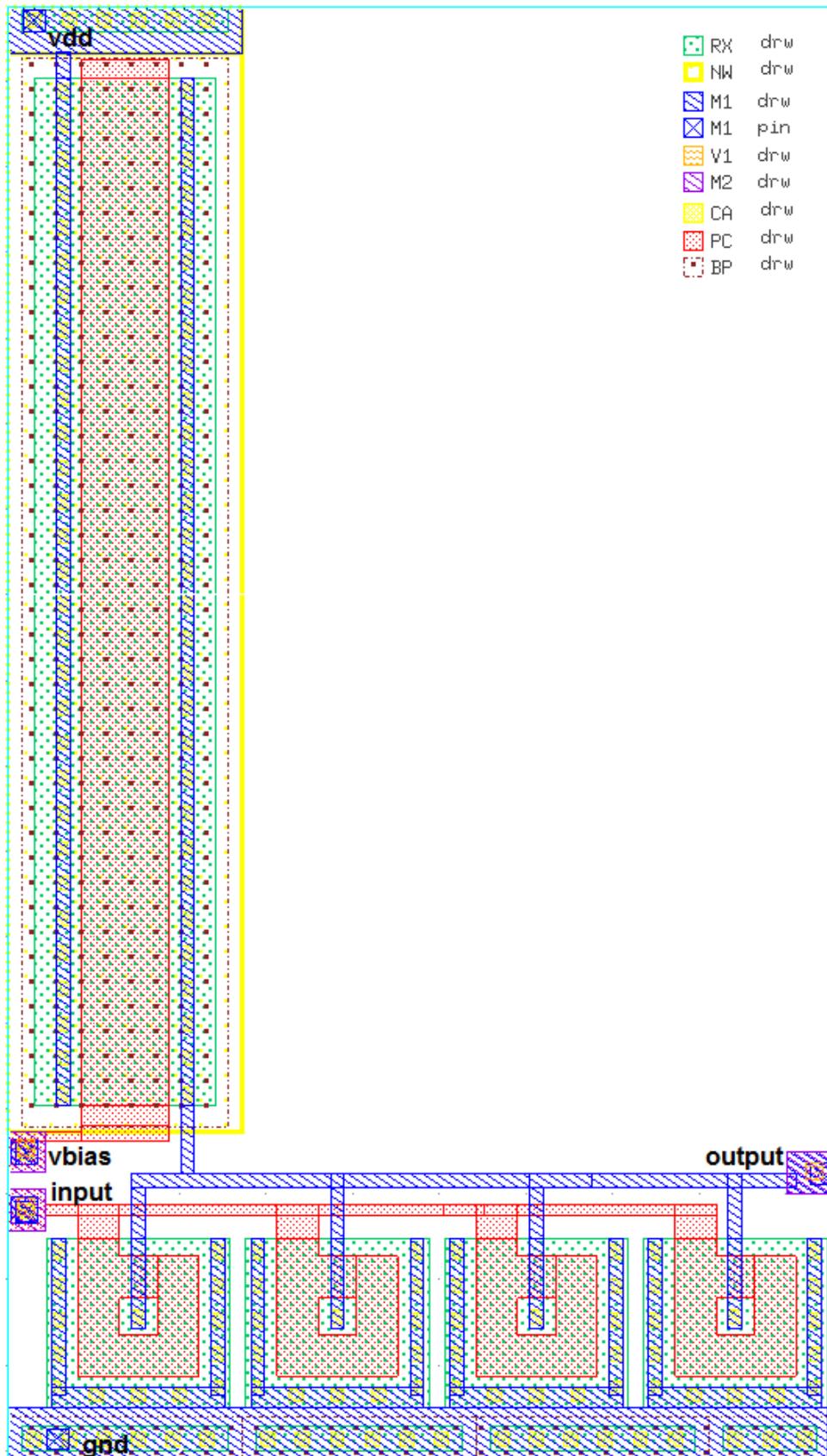


Figura 3.10 - Layout do amplificador fonte comum usando associação de ELTs-C em paralelo, onde todos dos transistores são configurados com dreno externo (configuração PA2).

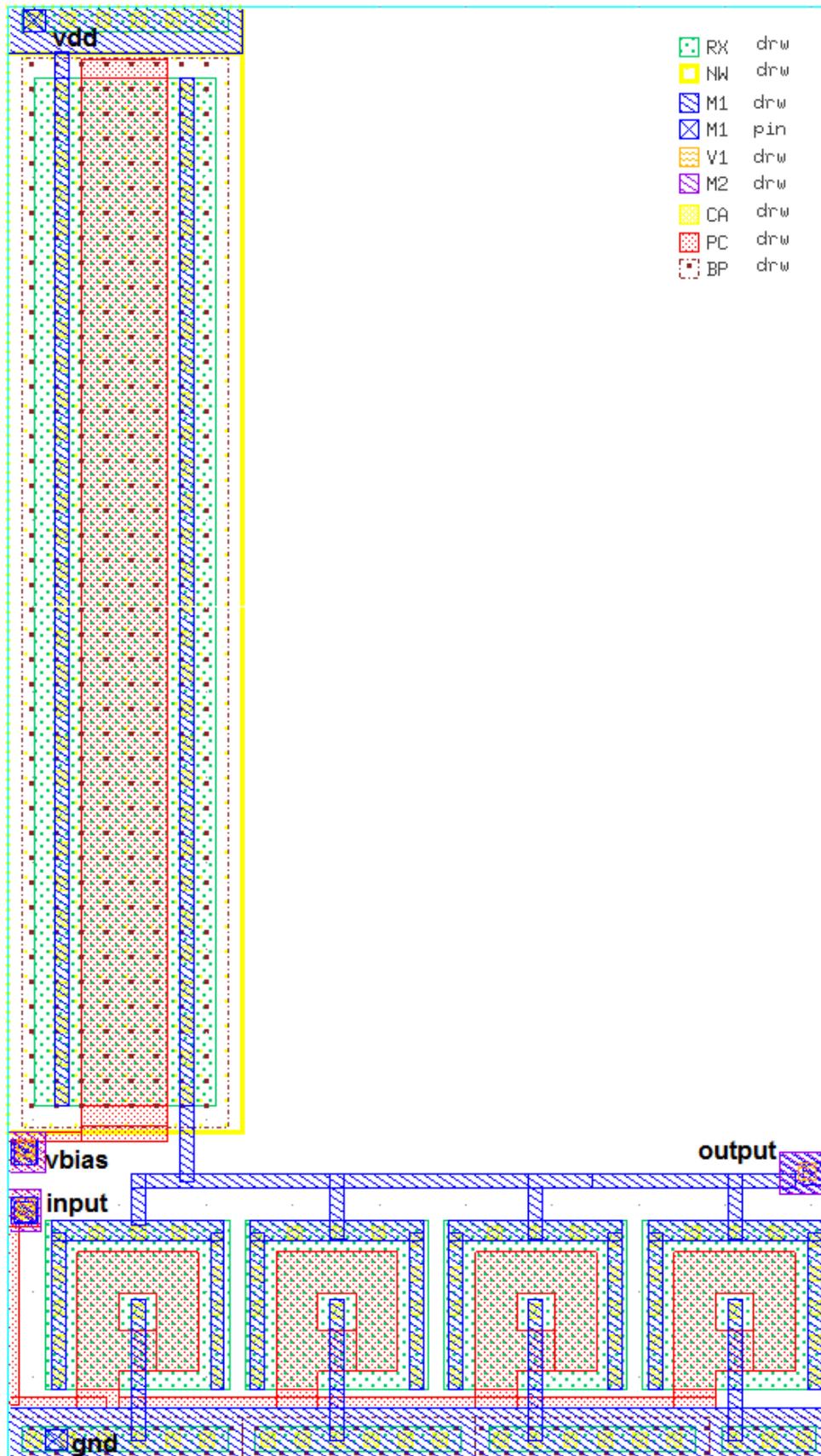


Figura 3.11 - Layout do amplificador fonte comum usando associação de ELTs-C em paralelo, onde dois transistores são com dreno interno e dois com dreno externo (configuração PA3).

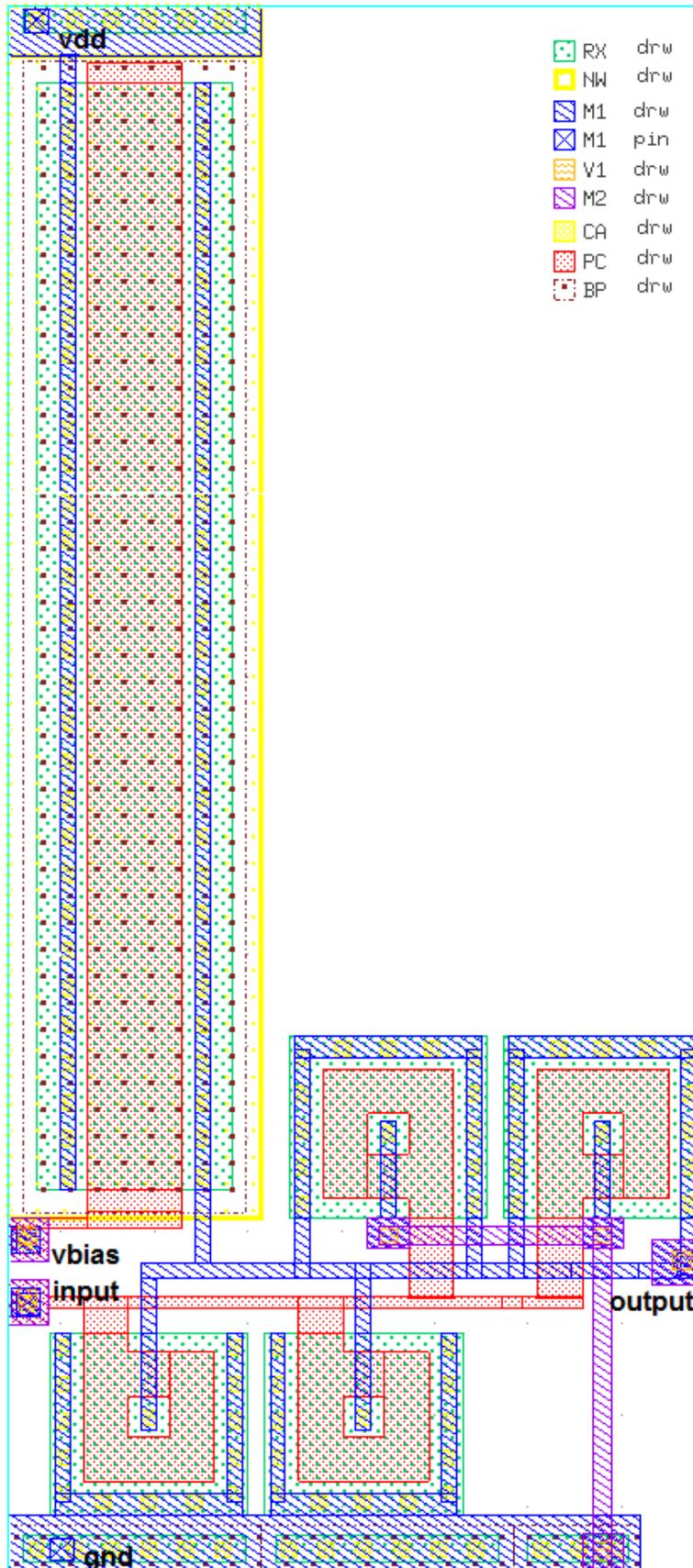


Figura 3.12 - Layout do amplificador em fonte comum usando associação de transistores STD-C em paralelo.

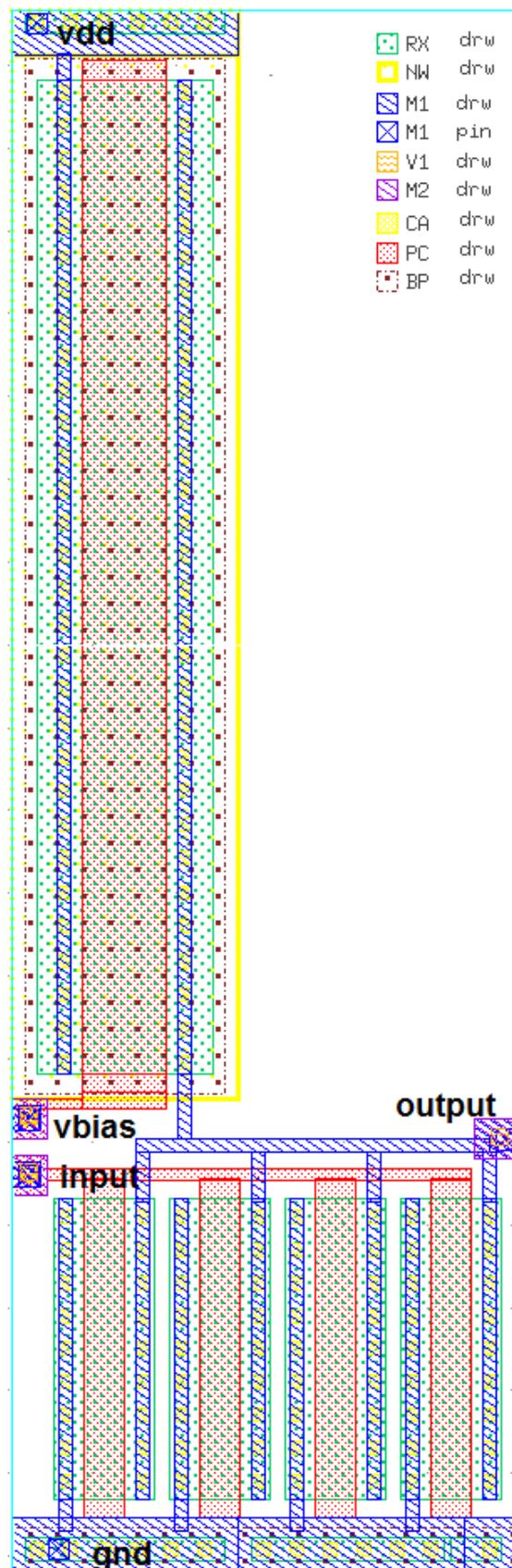
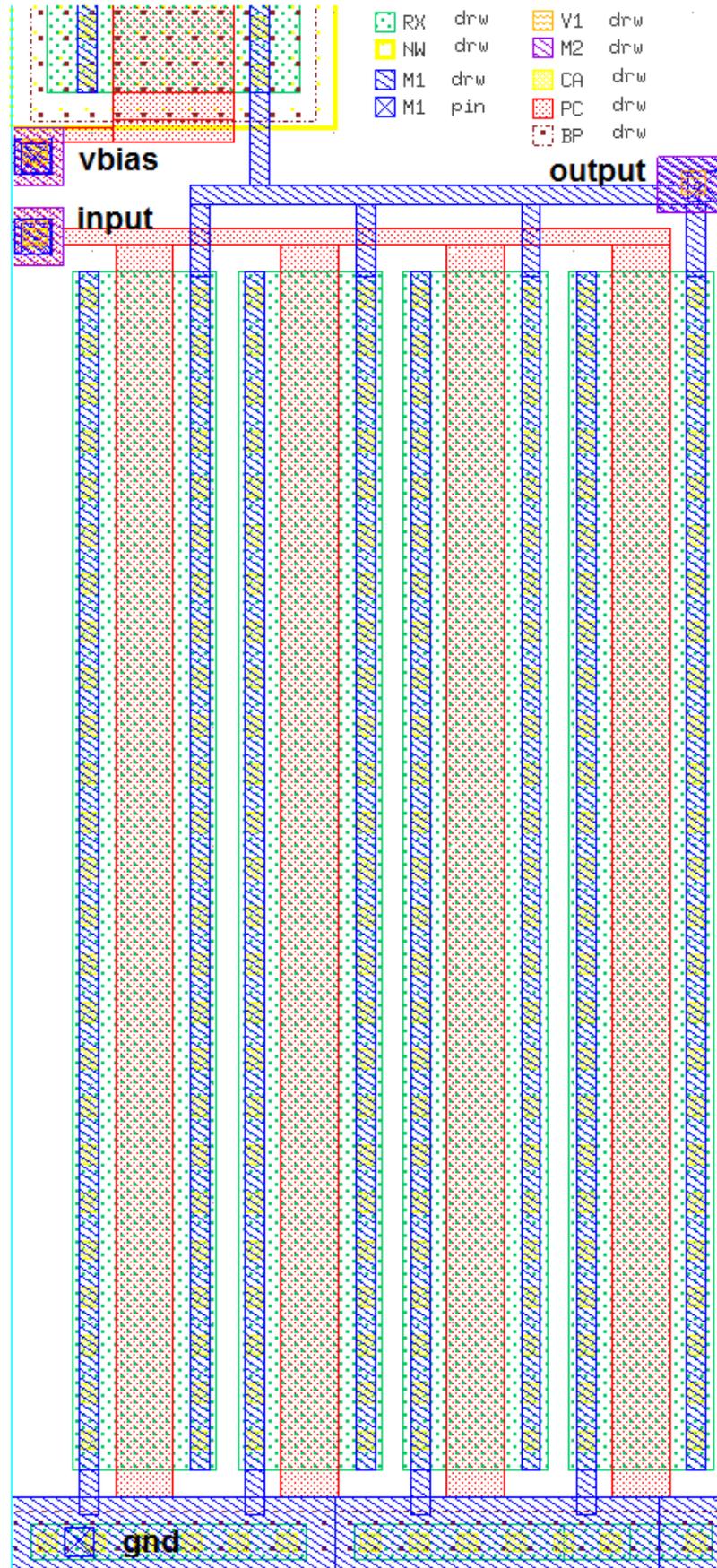


Figura 3.13 - Layout do amplificador fonte comum usando associação de transistores STD-PS em paralelo.



Considerando os circuitos mostrados na Figura 3.8, onde quatro transistores são associados em série, se espera observar que a razão W/L do conjunto seja diminuída, em relação à configuração com um único ELT (Figura 3.3). Essa técnica pode permitir inclusive, que o limite mínimo da razão de aspecto dos ELTs $\approx 2,26$ (JARRON, et al. 1999) possa ser diminuído, caso seja usado um ELT com comprimento de canal grande. A mesma sequência de circuitos criada para as associações em paralelo também foi criada para as associações em série, conforme pode ser visualizado nos layouts da Figura 3.14 que representam os layouts com ELTs-C para as configurações SE1, SE2 e SE3. Além disso, duas versões com transistores STD foram criadas para serem usadas como comparação, conforme destaca a Figura 3.15. A configuração com associação série com transistores STD-PS não é mostrada. Sendo assim, nas associações em série foram criados também um total de 8 circuitos (três com ELT-C, três com ELT-PS, um com STD-C e um com STD-PS(circuito não mostrado nos layouts)).

Figura 3.14 - Layout do amplificador fonte comum usando associação de ELTs-C em série (a) com todos os transistores com dreno interno (SE1); (b) com todos os transistores com dreno externo (SE2) e (c) com dois transistores com dreno interno e dois com dreno externo (SE3).

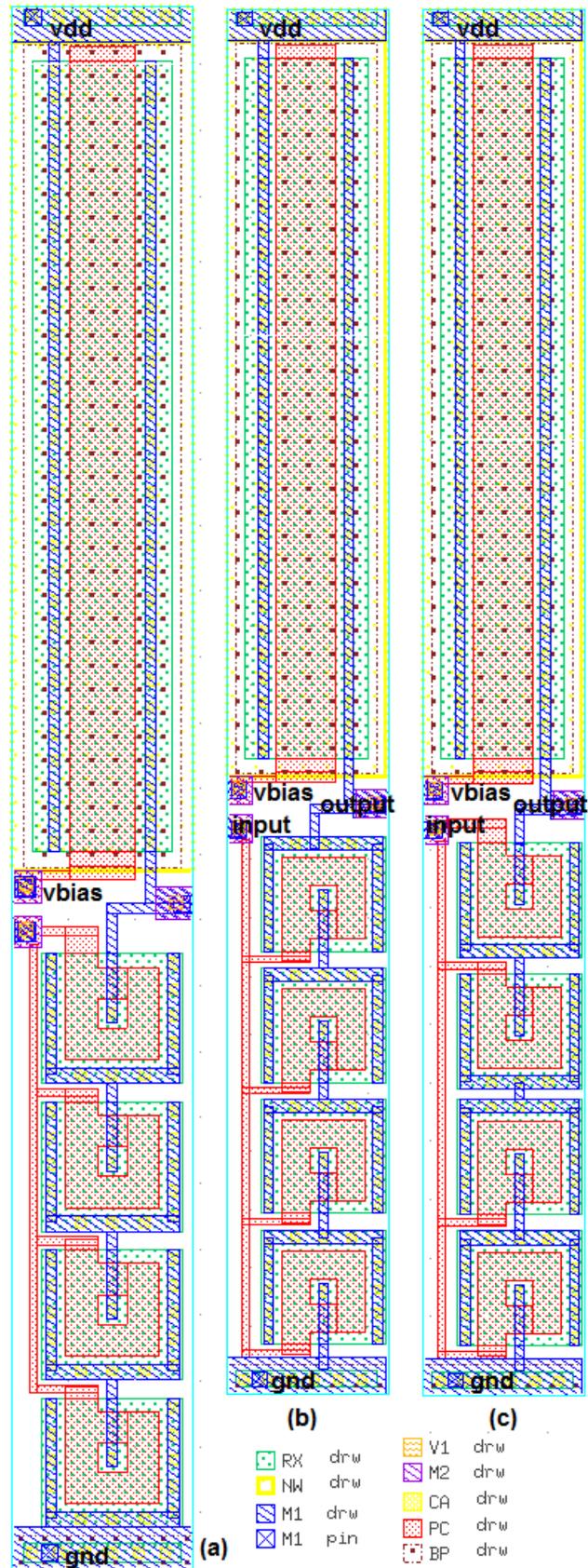
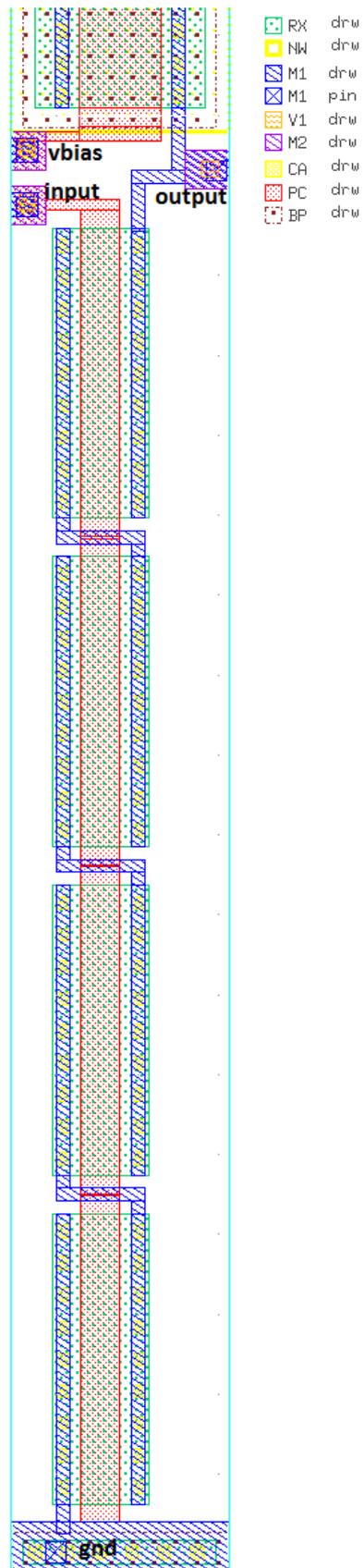


Figura 3.15 - Layout do amplificador fonte comum usando associação de STDs-C em série.



Os dados oriundos das simulações combinados com as medições experimentais dos circuitos com associações de ELTs irão constituir uma contribuição importante desse trabalho. Até a altura da escrita desse texto não foram encontrados na literatura dados experimentais dessa natureza para ELTs. Os trabalhos de (MONTORO et al., 1994; FIORELLI et al., 2004), que explora associações de transistores com porta retangular STD em blocos analógicos, indica que essa estratégia pode trazer outras vantagens além da mudança da relação de aspecto, como, por exemplo, reduzir o offset randômico, aumentar a relação transcondutância/condutância-de-saída e aumentar a frequência de corte dos circuitos.

Para observar o comportamento dos circuitos com ELTs que usam dreno interno e dreno externo em relação ao produto ganho largura de faixa (GBW – Gain BandWidth product) todos os circuitos com ELT-C e ELT-PS podem ser analisados. Conforme já retratado na literatura (JARRON et al., 1999; ANELLI, 2000) é esperado que as configurações com o dreno interno tenham melhor desempenho em frequência (maior GBW) quando comparado com as configurações com o dreno externo. No capítulo de resultados serão apresentadas curvas oriundas de simulação, que demonstram que essa diferença entre o desempenho do circuito com dreno interno e com dreno externo pode ser significativa quando a capacitância de carga é baixa.

3.1.1 Propostas de Alternativas para Obtenção de Simetria dos ELTs

A assimetria de transistores com geometria fechada pode ser vantajosa em outras aplicações além das que estão sendo tratadas nessa tese, conforme é mostrado em (CHEN & GEIGER, 2000). Nessa referência encontrada na literatura pesquisada, os autores tiram proveito da configuração que usa dreno interno, que tem menor capacitância associada ao dreno em relação à região de fonte, para conseguir elevar a frequência de oscilação de VCOs.

Essa assimetria, por outro lado, pode tornar o projeto dos circuitos integrados um desafio ainda maior nas ocasiões onde as especificações de desempenho sejam bastante restritas. Isso ocorre porque os simuladores comerciais utilizam o equacionamento matemático desenvolvido para transistores STD, que podem fornecer resultados de simulações errôneos em relação aos dados experimentais para ELTs. Por isso, nessa tese de doutorado, um dos objetivos consiste em propor alternativas no contexto do projeto de circuitos que resultem em simetria das regiões de fonte e dreno de ELTs.

A primeira proposta para tornar o circuito simétrico, do ponto de vista de área e perímetro das regiões de dreno e fonte foi apresentada na Figura 3.11. Essa figura ilustra a situação onde dois ELTs-C são usados com dreno interno e outros dois com dreno externo.

Nesse caso, os ELT-C são configurados em paralelo. Os resultados de simulações, que serão apresentados no capítulo seguinte, demonstram que essa configuração apresenta uma resposta em frequência mais próxima da configuração equivalente que usa apenas transistores STD, quando é comparada com as respostas dos circuitos das Figuras 3.9 e 3.10. Algo semelhante é esperado que ocorra na associação em série entre o circuito da Figura 3.14(c) e seu circuito equivalente com transistores STD quando são comparados com os resultados obtidos para os circuitos da Figura 3.14 (a) e (b).

3.1.2 O ELT Pseudo-Simétrico

Em função da geometria pouco comum do ELT, as simulações Spice de circuitos integrados que contenham esses dispositivos podem ser imprecisas. As possíveis inserções de imprecisões têm origem na assimetria das regiões de dreno e fonte do dispositivo. Neste trabalho considera-se que as simulações são feitas utilizando os mesmos dados de parâmetros da tecnologia usados em circuitos com transistores com porta retangular STD, e, também, adotando o uso de simuladores comerciais sem alteração nas suas configurações originais. O maior problema em um projeto ocorre quando o projetista deseja obter o transistor equivalente ELT baseado em um W/L calculado para transistores STD. Já que, ele deve considerar que a configuração com dreno interno tem comportamento diferente da configuração com dreno externo e que é diferente da situação com transistores STDs. Logo, visando tornar os aspectos físicos do ELT (características que são extraídos pela ferramenta de EDA para fazer as simulações) mais próximos de um transistor STD é proposto o uso de ELT com a mesma área de dreno e fonte. Com isso, se espera que os resultados experimentais dos circuitos com ELT-PS sejam mais próximos aos dos circuitos que usam transistores STD, quando comparados com a diferença entre circuitos com transistores STD e circuitos com ELT assimétricos. Deste modo, o mapeamento de um projeto desenhado com transistores STD para um projeto com ELTs pode ser feito de um modo mais direto, garantindo uma melhor correspondência das especificações funcionais dos dois circuitos. Para que essas áreas dos ELTs sejam iguais é necessário que as variáveis controladas pelo projetista sejam apropriadamente escolhidas.

O ELT somente será Pseudo-Simétrico para alguns casos específicos, onde os parâmetros d , h e L são devidamente ajustados. A seguinte equação representa a expressão matemática para calcular a área de fonte de um ELT (ou a área do terminal externo):

$$A_s = 2((h + 2.L + diff1 + diff), diff1) + ((d + 2.L), diff1) + ((d + L), diff) + ca^2 \quad (3.1)$$

modelos fornecidos pelas *foundries*, pois, os modelos são definidos para transistores menores e em faixas de W e L específicas.

Uma equação semelhante à Equação 3.3 pode ser deduzida para qualquer outro nó tecnológico, basta apenas definir os valores de cada dimensão do ELT. Na tecnologia de 180 nm considerada neste trabalho, os parâmetros *diff* e *diff1* são iguais e valem 0.48 μm . Já a variável *ca* pode ser mantida igual a 0.01 μm . Com isso, igualando a Equação 3.1 da área da região externa e a Equação 3.2 da área da região interna e fazendo os ajustes e substituições necessárias, chega-se na equação

$$h_{0,18\mu\text{m}} = \frac{0,96.d + 3,36.L + 0,9219}{d - 0,96} \quad (3.4)$$

onde, os parâmetros d , L são definidos na Figura 3.16.

Nessa tecnologia de 0.18 μm , para que ocorra simetria é necessário que a distância d seja no mínimo 0.97 μm , para que o denominador da Equação 3.4 seja positivo e diferente de zero. Satisfazendo essa condição e usando o L mínimo da tecnologia o h calculado pela Equação 3.4 valeria $h=245,79 \mu\text{m}$. Assim como para tecnologia de 0.13 μm , esse é um valor relativamente alto. No capítulo de resultados, serão apresentadas algumas opções para os parâmetros d , h e L em ELTs-PS para demonstrar sua potencialidade no que se refere as razões de aspecto possíveis de ser atingidas com esse dispositivo.

Conforme já foi descrito, o ELT-PS é uma alternativa usando ELTs, que apresenta uma pseudo-simetria. Não é uma simetria completa, mas pode ser interessante, no sentido de reduzir tempo de projeto e área ocupada do circuito, quando é comparado com outra opção de transistor tolerante a radiação, o “transistor *dogbone*” (descrição e maior argumentação a seguir).

Com o objetivo de demonstrar a eficiência do dispositivo ELT-PS serão avaliadas oito estruturas com ELTs-PS. Entre eles estão os circuitos que usam apenas um ELT-PS, conforme pode ser visto na Figura 3.6 (a) e (b). Assim como os circuitos mostrados das figuras 3.17 até 3.20 que englobam as associações em série e em paralelo.

Para efeito de comparação e conclusões, os resultados das medições de todos os blocos prototipados serão levados em consideração. Somente assim será possível observar as diferenças das respostas entre os blocos que usam ELT-PS e ELT-C comparados às suas versões equivalentes que usam transistores STDs.

Figura 3.17 - Layout do amplificador em fonte comum usando associação de ELTs-PS em paralelo, onde todos dos transistores são configurados com dreno interno (PA1).

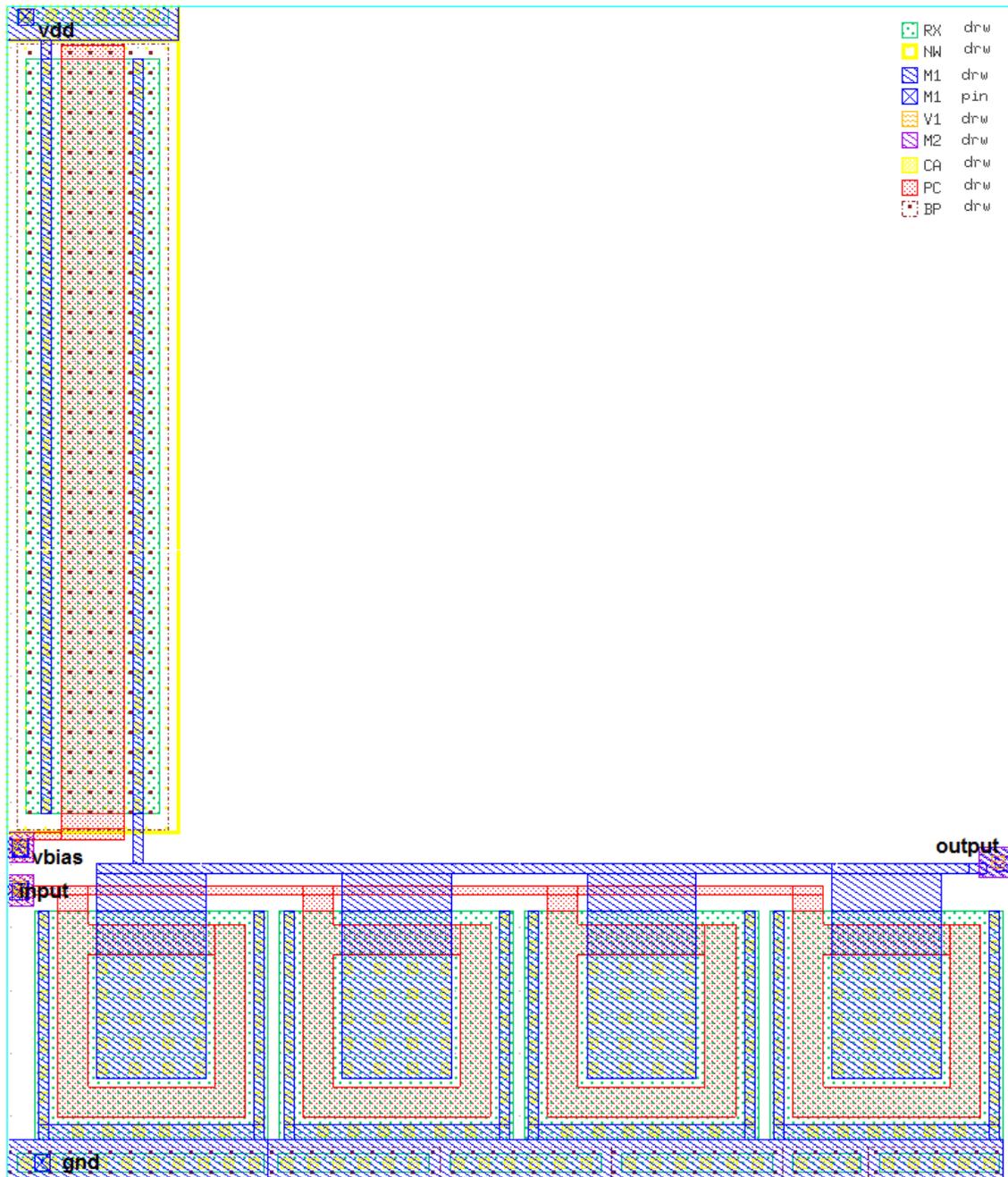


Figura 3.18- Layout do amplificador fonte comum usando associação de ELTs-PS em paralelo, onde todos dos transistores são configurados com dreno externo (PA2).

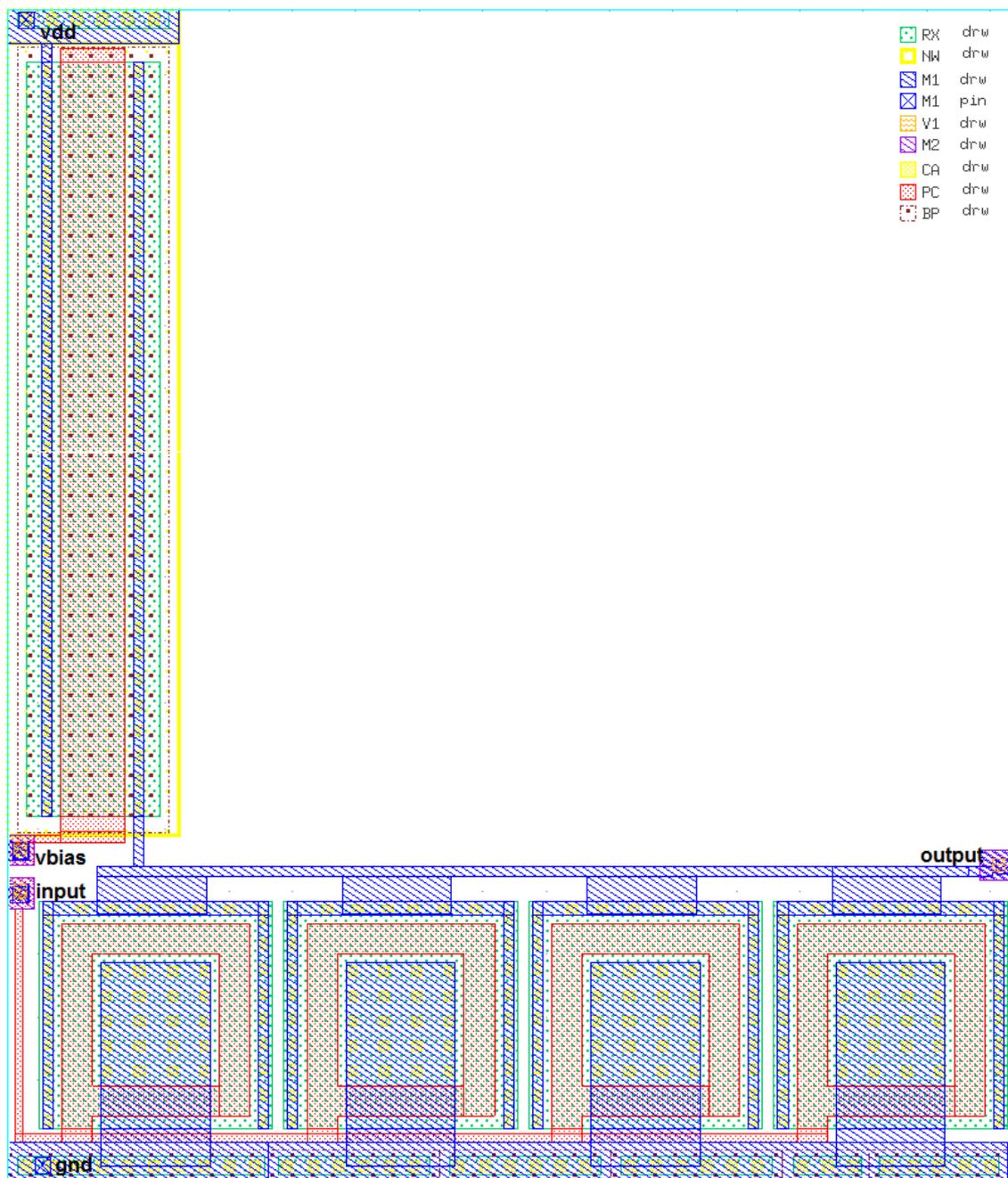


Figura 3.19 - Layout do amplificador fonte comum usando associação de ELTs-PS em paralelo, onde dois transistores são com dreno interno e dois com dreno externo (PA3).

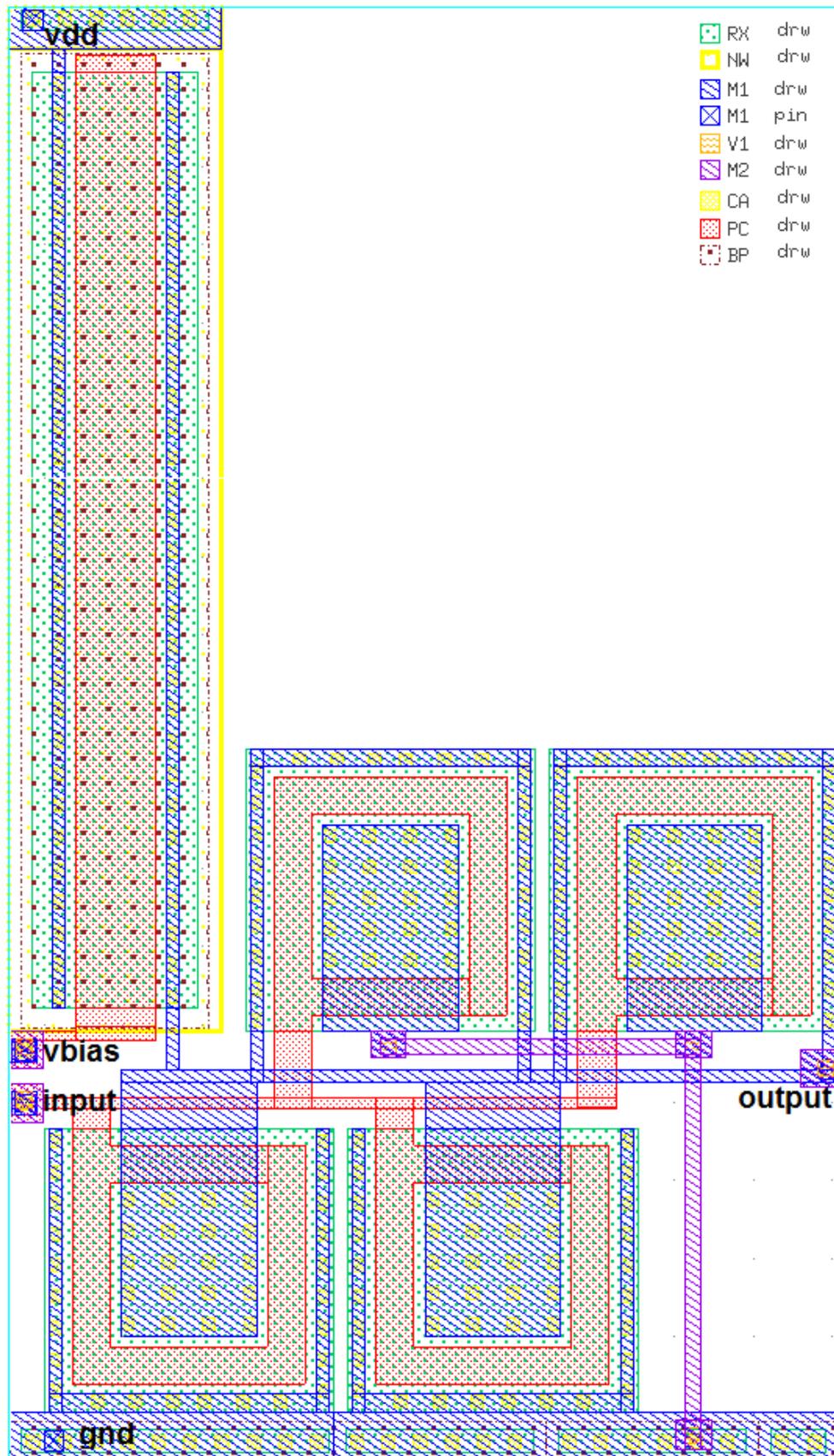
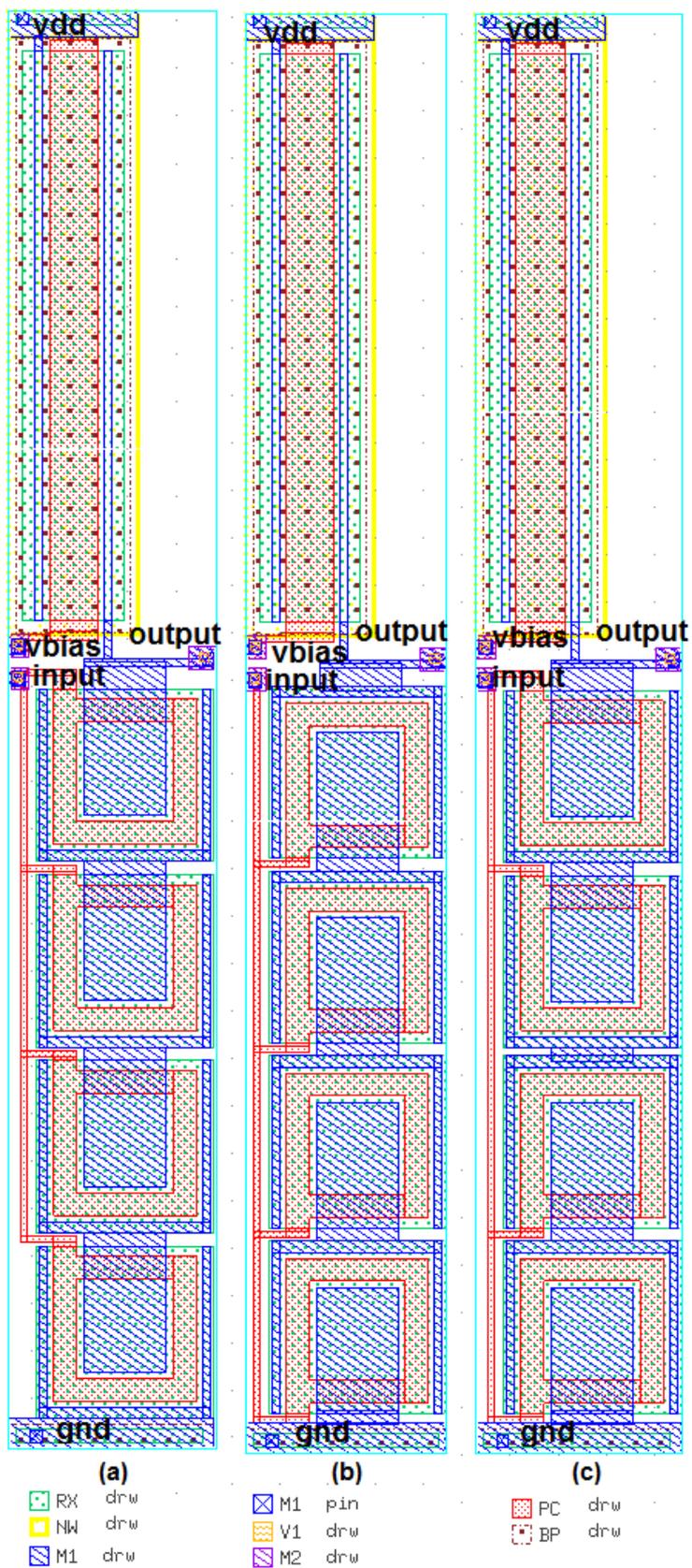


Figura 3.20 - Layout do amplificador fonte comum usando associação de ELTs-PS em série (a) com todos os transistores com dreno interno (SE1); (b) com todos os transistores dreno externo (SE2) e (c) com dois transistores com dreno interno e dois com dreno externo (SE3).

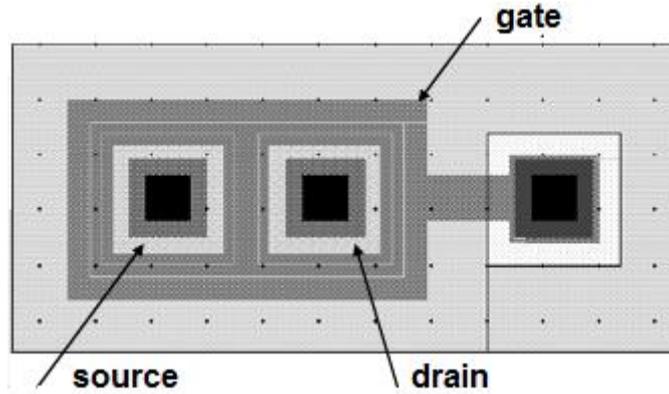


Um dos aspectos negativos do ELT-PS é que ele restringe ainda mais as razões de aspecto possíveis de serem atingidas. No capítulo seguinte serão mostradas algumas possibilidades de W/L com esses dispositivos. ELTs-PS individuais, com valores pequenos de W/L são impossíveis de serem obtidos, nessa situação seria necessário combinar a técnica das associações em série para diminuir o W/L no conjunto total de ELT-PS.

Ainda assim, considerando o contexto de circuitos integrados analógicos programáveis, onde é necessário usar estruturas prontas e reconfiguráveis, os ELT-PS poderiam ser incorporados nos circuitos amplificadores e nas chaves analógicas. A maior vantagem de usar essas estratégias é, possivelmente, poder aumentar a confiabilidade dos dados de simulações com esse tipo de transistor com geometria fechada sem alterar o equacionamento dos simuladores e sem modificar os parâmetros dos dispositivos fornecidos pelas *foundries*. Até por que, de acordo com as pesquisas realizadas nessa tese, não existe simuladores comerciais endereçados especificamente para ELTs. Nem mesmo são fornecidos pelas *foundries* modelos (parâmetros) de dispositivos específicos para esse tipo de dispositivos. Com isso, com a adoção dos ELT-PS, os projetistas poderiam executar o projeto de circuitos integrados que combinem ELTs e transistores STD com maior confiabilidade com relação ao desempenho elétrico observados nas simulações em nível de esquemático.

3.1.3 O Transistor Dogbone

O uso de transistores *dogbone* constitui uma alternativa que é simétrica em relação a A_D , P_D , A_S e P_S . Porém, ele é difícil de ser implementado em ferramentas de CAD comerciais. A Figura 3.21 ilustra a geometria desse tipo de transistor. Esse transistor possui todas as vantagens em relação aos efeitos da radiação que os ELTs têm, além de possuir um anel externo com difusão P^+ (não mostrado na Figura 3.21), que eleva o valor da tensão de limiar (V_{th0}) dificultando a inversão do substrato nessa região, impedindo a condução entre dois transistores próximos (LIMA, 2006, SNOEYS et al., 2002). No entanto, até o momento da escrita desse texto, não foi possível fazer o projeto de um circuito com o transistor *dogbone* que passasse pela fase de LVS no fluxo convencional de circuitos integrados analógicos usando a ferramenta de EDA comercial utilizada neste trabalho. Por isso, não foi possível obter resultados de simulações (comportamento DC e AC) que permitissem comparar o desempenho elétrico do circuito com *dogbone* e com o ELT-PS (que está sendo proposto nessa tese de doutorado). Porém, avaliando qualitativamente os dois dispositivos, para um mesmo W/L é esperado que a capacitância de porta do transistor *dogbone* seja maior, além disso, o transistor *dogbone* tende a consumir uma maior área.

Figura 3.21– Layout do transistor *Dogbone*.

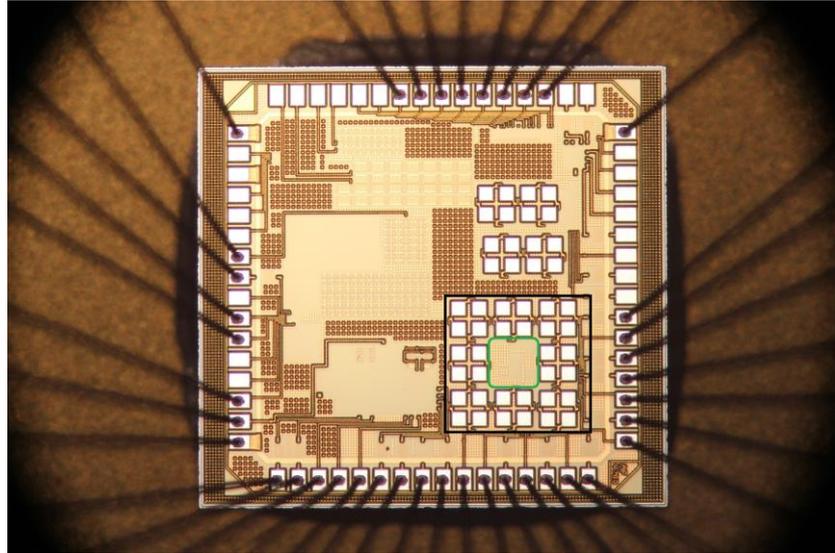
Fonte: Figura extraída de (LIMA, 2006 p.28).

3.2 Considerações gerais

A confiabilidade das simulações SPICE usando softwares com configurações originais foram avaliadas neste trabalho, considerando circuitos que combinem transistores tradicionais com porta retangular STD e ELTs. Para isso, todos os circuitos apresentados na seção 3.1 foram levados em consideração. Os circuitos amplificadores com transistores STD são usados como referência, sendo possível observar a diferença real entre as curvas oriundas de simulação e curvas experimentais. Essa diferença poderá ser desconsiderada nos dados de circuitos com ELTs. Com isso, se espera obter uma estimativa mais realista sobre os resultados de circuitos com ELTs e suas respectivas simulações.

O chip prototipado contendo os 22 circuitos pode ser observado na Figura 3.22. Os circuitos anteriormente descritos encontram-se na região destacada pelo retângulo maior na foto do chip. Grande parte da área ocupada se refere aos 32 μ PADs inseridos para realização das medidas experimentais. A área total ocupada por essas estruturas foi de $657,93 \mu\text{m} \times 633,58 \mu\text{m}$. Sendo que a região onde efetivamente estão os blocos (os transistores) é a área interna destacada pelo retângulo com os cantos arredondados de cor verde.

Figura 3.22– Aspecto geral do chip prototipados na rodada MOSIS 2017 com destaque para região ocupada pelos 22 blocos.



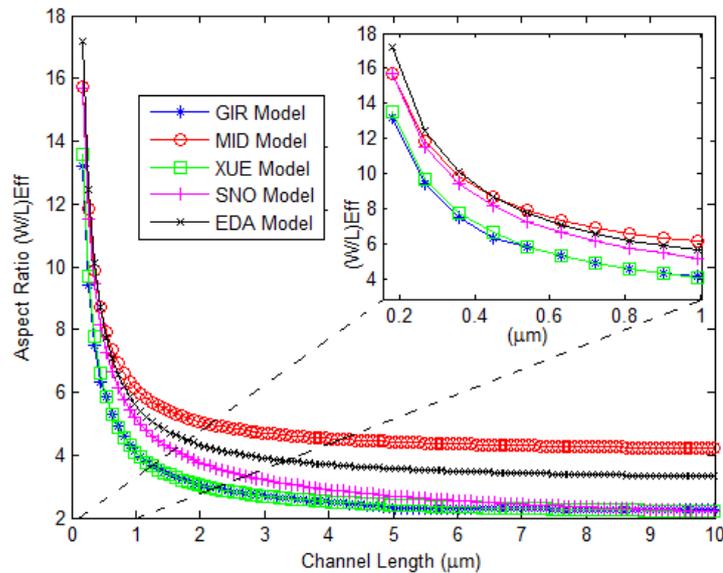
4. RESULTADOS E DISCUSSÕES

Os resultados que serão apresentados e discutidos a seguir referem-se a dois nós tecnológicos CMOS. Para a tecnologia XC018 da xFAB são ilustrados dados oriundos apenas de simulações considerando os diferentes modelos utilizados para obter o W/L de ELTs estudados no capítulo 2, bem como as implicações no ponto de operação, frequência de ganho unitário e ganho DC de amplificadores em fonte comum. Já para a tecnologia IBM cmrf8sf 0.13 μm são ilustrados resultados não somente de simulações como também oriundos de experimentos práticos dos circuitos integrados discutidos no capítulo 3.

4.1 Resultados de Simulação Considerando a Tecnologia XC018 da xFAB

A estimativa do W/L efetivo do ELT à medida que o comprimento de canal aumenta (considerando a tecnologia XC018 da xFAB) é apresentado na Figura 4.1. Conforme pode ser visto nessa figura, usando o L mínimo, dependendo de qual modelo for adotado é possível atingir um W/L entre 17,17 e 13,21. Enquanto que na outra extremidade, quando o L é grande, os modelos resultam em valores entre 4,2 e 2,16. Com esses dados e observando a tendência do gráfico, é possível perceber que o ELT apresenta certa limitação em relação às possibilidades de W/L disponíveis para serem usadas em um projeto. No canto superior direito dessa figura é exibida, em maiores detalhes, a região que compreende comprimentos de canal entre 0.18 μm e 1 μm . Tanto na tendência completa das curvas, quanto já nessa região destacada, é possível observar que as curvas de resposta dos modelos se interceptam. Isso representa que, dependendo do comprimento de canal, um modelo ora pode fornecer uma estimativa mais precisa do W/L do ELT ora pode se afastar dessa precisão. Embora não seja possível afirmar qual desses modelos é o mais preciso.

Figura 4.1 - W/L estimado pelos diferentes modelos em função do comprimento do canal.



Fonte: O autor

Na Figura 4.2 são apresentadas as diferenças, em termos percentuais, na estimativa do W/L entre o modelo usado pela ferramenta de EDA na tecnologia XC018 da xFAB e os modelos estudados nesse trabalho. De acordo com (GIRALDO, et al., 2000; XUE, et al., 2011) o modelo MID superestima a razão de aspecto, quando é comparado com os outros três modelos matemáticos estudados. Com isso, é esperado que, para dispositivos com comprimentos de canal curtos, o modelo EDA superestime ainda mais o W/L do ELT, conforme pode ser notado nas figuras 4.1 e 4.2. O comportamento do modelo XUE e do modelo GIR são semelhantes, conforme pode ser visto na Figura 4.2.

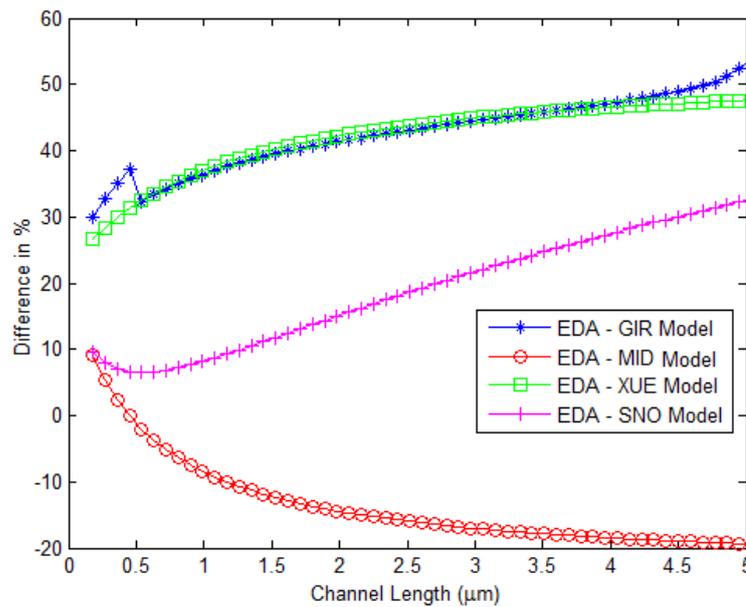
De acordo com a literatura, considerando os quatro modelos estudados, o modelo GIR é o mais preciso para estimar o W/L efetivo dos ELTs. Isso pode ser explicado em função desse modelo considerar a influência dos cantos da porta do transistor, através dos adendos T2 e T3 (Figura 2.9 e Equação 2.1). Por essa razão, daqui em diante, os comentários serão focados no modelo GIR em comparação com o modelo EDA.

Em relação ao comportamento do modelo GIR e do modelo EDA, é possível notar observando a Figura 4.2, que a diferença percentual tende a aumentar à medida que o comprimento de canal aumenta. A exceção é a região próxima a $L=0.5 \mu\text{m}$. Isso pode ser explicado pela mudança discreta feita no parâmetro K na equação do modelo GIR, o qual foi mudado de 3,5 para 4, como já foi mencionado (GIRALDO, et al., 2000).

O modelo EDA pode introduzir um erro ao estimar W/L de 29% (em comparação com os modelos estudados), para o comprimento mínimo do canal ($0.18 \mu\text{m}$) até 34% quando o

comprimento do canal é 4 vezes o comprimento mínimo do canal ($0.72 \mu\text{m}$), conforme pode ser observado na Figura 4.2. Comprimentos de canal de 2 até 4 vezes o L_{min} são frequentemente usados pelos projetistas analógicos, deixando a largura do transistor como o principal parâmetro para obter a característica desejada do transistor. Por estes motivos, estas divergências podem configurar um problema importante quando circuitos integrados analógicos mais complexos são projetados com ELTs e usando as ferramentas comerciais de EDA, devido ao erro introduzido ao estimar o W/L na fase de extração do layout.

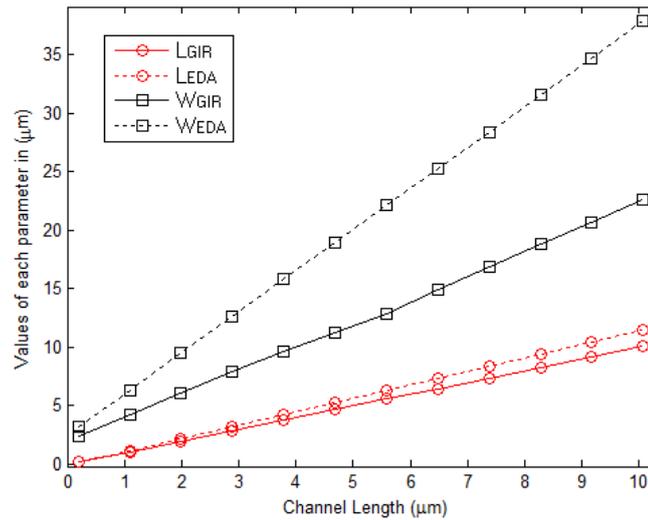
Figura 4.2 – Diferença percentual entre o modelo EDA e os modelos matemáticos na estimativa de W/L de ELTs.



Fonte: O autor

A Figura 4.3 mostra as diferenças na estimativa em relação aos valores obtidos para o comprimento do canal (L_{GIR} e L_{EDA}), assim como, entre a largura (W_{GIR} e W_{EDA}) à medida em que o comprimento de canal é aumentado. A diferença entre W_{GIR} e W_{EDA} é maior, quando comparado com a diferença entre L_{GIR} e L_{EDA} , conforme pode ser visto na Figura 4.3. Em razão disso, pode-se concluir que a principal causa de divergências entre o modelo EDA e o modelo GIR pode ser originado pela metodologia adotada pela ferramenta de EDA para extrair o parâmetro W.

Figura 4.3 – Diferença estimada nos parâmetros W e L entre os modelos EDA e GIR.



Fonte: O autor

Análises adicionais foram realizadas sobre outros parâmetros do layout controlados pelo projetista (c , d , $diff$) para observar a sensibilidade na razão de aspecto estimada pelo modelo EDA e pelo modelo GIR. Nessas análises foram considerados como parâmetros nominais: $L=L_{\min}=0.18 \mu\text{m}$, $c=0.0028284 \mu\text{m}$, $diff=0.48 \mu\text{m}$ e $d=0.54 \mu\text{m}$. Cada parâmetro foi então modificado separadamente, enquanto os outros foram mantidos constantes com os valores nominais. A Tabela 4.1 resume os resultados dessas análises, bem como mostra detalhes sobre a faixa variada em cada parâmetro. A Figura 4.4 mostra as tendências em relação ao aumento de cada parâmetro.

Tabela 4.1 - Resumo em relação à variação dos parâmetros do modelo EDA.

<i>Parameters</i>	<i>Variation</i>		<i>Aspect Ratio</i>		<i>Area Penalty</i>
	From (µm)	To (µm)	GIR Model	EDA Model	
$diff$	0.48	1.58	Constant	Raise	$(\Delta diff)^2$ *
d	0.54	1.64	Raise	Raise	$(\Delta d)^2$ *
c	0.001	0.2	Reduce	Reduce	No alteration

* If square geometry is preserved

Da Tabela 4.1 e Figura 4.4 pode ser observado que o parâmetro $diff$ pode ser uma importante causa de divergência na estimativa da razão de aspecto entre o modelo GIR e modelo EDA. Levando em consideração as variações feitas nesse parâmetro específico do layout, a razão de aspecto estimada pelo modelo EDA abrange de $(W/L)_{EDA}=17,16$ até $(W/L)_{EDA}=23,21$, enquanto que a razão de aspecto calculada pelo modelo GIR é constante: $(W/L)_{GIR}=13,2$. Nenhum dos outros três modelos analisados nesse trabalho consideram a

região compreendida pela porção em polysilício da faixa da porta que conecta o terminal do transistor ao restante do circuito (região destacada na Figura 4.5). Essa porção é influenciada pela dimensão *diff*. Portanto, a divergência entre o modelo EDA e as outras três metodologias estudadas tende a apresentar as mesmas características, assim como foi observado para o modelo GIR.

Figura 4.4 – Influência de cada variável controlada pelo projetista na estimação da razão de aspecto.

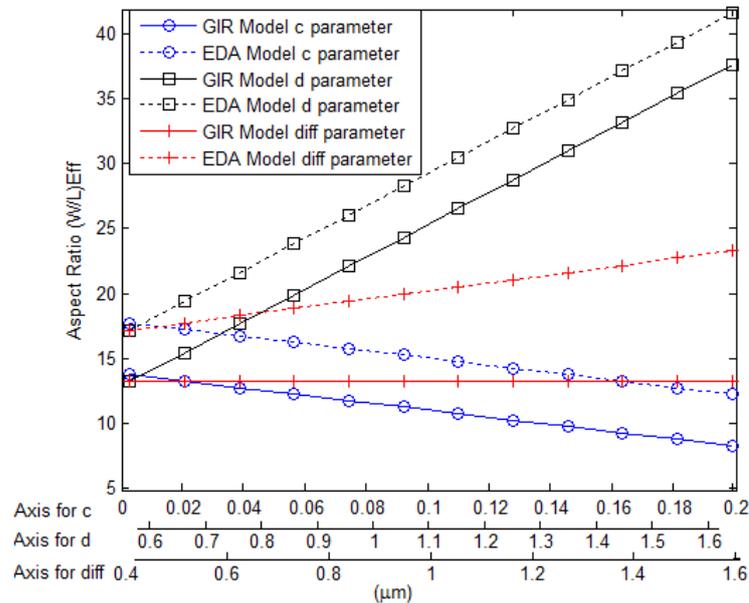
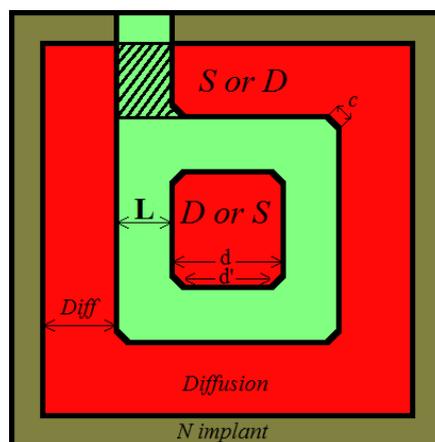


Figura 4.5 - Forma do ELT com a região da porta (que causa divergência entre os modelos GIR e EDA) destacada.



Fonte: O autor

Considerando a variação do parâmetro *d*, é possível observar, usando a Figura 4.4, que a estimativa do *W/L* aumenta com o mesmo fator de inclinação para os dois modelos. Por outro lado, aumentando o parâmetro *c*, o valor estimado para o *W/L* é reduzido. No entanto, a magnitude das divergências entre os dois modelos são similares.

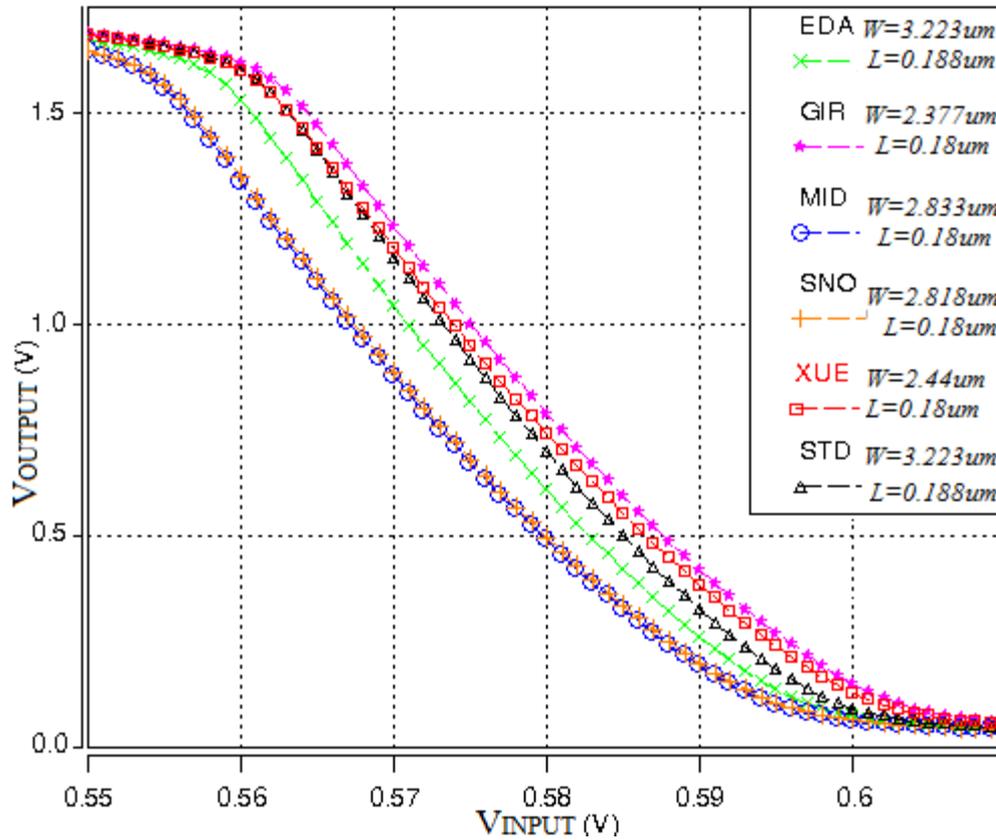
O *overhead* de área também foi observado quando os parâmetros foram variados. Foi considerado que a variação desses parâmetros ocorreu na direção dos eixos X e Y, com a mesma proporção, com o objetivo de manter a forma quadrada do ELT. Na última coluna da Tabela 4.1 é possível ver que o *overhead* de área aumenta quadraticamente, para ambos os parâmetros *diff* e *d*. No caso do parâmetro *c*, nenhuma alteração na área ocorre.

Considerando que o ELT apresenta uma limitada faixa atingível de razão de aspecto e conhecendo essas implicações das variações desses parâmetros controlados pelo projetista, é possível usar essas modificações nessas variáveis do layout como uma alternativa para modificar a razão de aspecto obtida do ELT, especialmente os parâmetros *c* e *d*.

Como o objetivo dessas análises foi manter o ELT com geometria quadrada, a influência do parâmetro *d*, na razão de aspecto efetiva do ELT não foi totalmente explorada. Conseqüentemente, se for necessário aumentar o W/L, o uso de geometria retangular pode melhorar o W/L efetivo tornando o *overhead* de área linear, conforme discutido em (GIRALDO, et al, 2000; XUE, et al.; 2011).

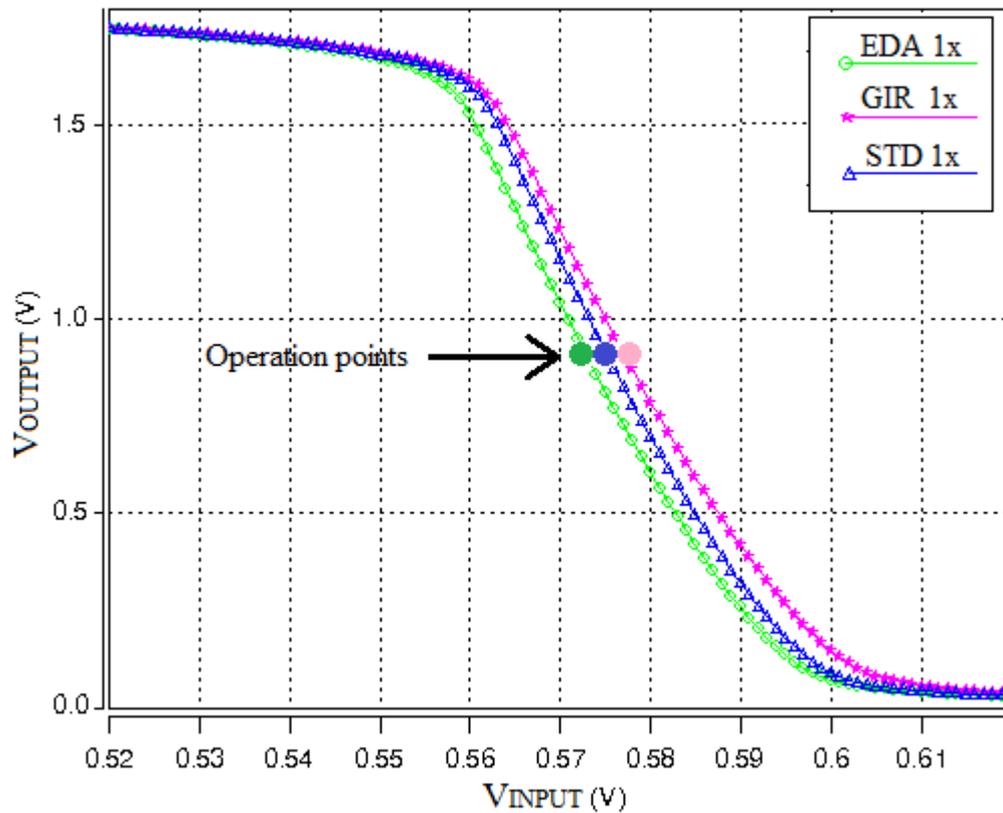
A Figura 4.6 apresenta o comportamento da resposta DC do amplificador fonte comum, simulado com as razões de aspecto estimadas com os modelos estudados, bem como a configuração com transistores STD de porta retangular. Os ganhos desses amplificadores, que pode ser estimado pelo fator de inclinação das curvas, apresentam diferenças sutis entre si. Em relação ao modelo EDA e ao modelo GIR o comportamento é bastante similar, conforme pode ser notado na Figura 4.7. O amplificador com transistores STD é o que apresenta o maior ganho, comparado com as outras configurações.

Figura 4.6 - Curva característica DC do amplificador fonte comum com $L=0.18\ \mu\text{m}$ considerando as respostas dos modelos analisados.



Pode-se notar, visualizando a Figura 4.7, que o ponto de operação ótimo (em relação à excursão simétrica da saída) desses amplificadores é diferente em cada caso. Essas diferenças podem impactar na resposta em frequência do amplificador se o ponto de operação não for ajustado no valor apropriado, embora esses problemas tendam a ser relevantes somente em configurações de malha aberta, quando o ganho DC é grande. Em aplicações em malha fechada essa questão tende a ser minimizada.

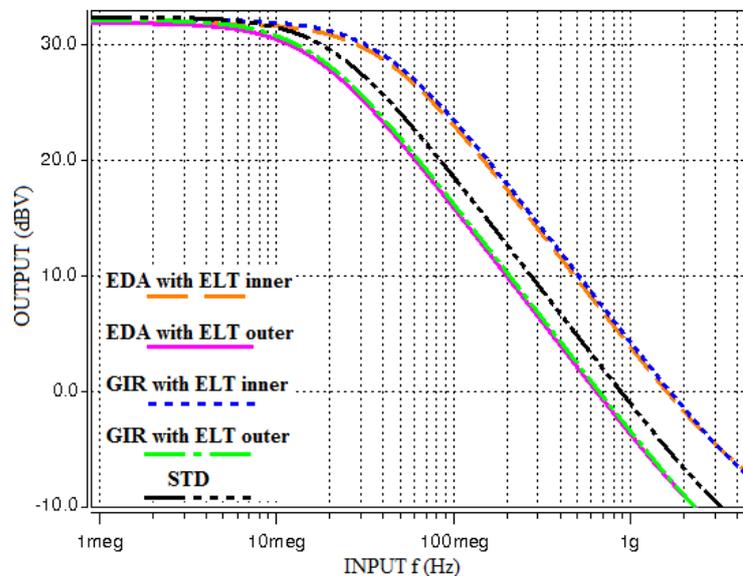
Figura 4.7 – Curva característica DC dos amplificadores fonte comum com $L=0.18\ \mu\text{m}$.



Fonte: O autor

O comportamento em frequência do amplificador, considerando o ELT com tamanho mínimo é mostrado na Figura 4.8. Os resultados mostrados nessa figura consideram os ELTs com ambas as disposições do dreno, interna e externa, assim como com modelos SPICE obtidos aplicando ambos os modelos de cálculo de W/L e também para o amplificador com transistores STD. Nota-se que a resposta em frequência é melhor na configuração que usa o ELT com dreno como terminal interno, quando é comparado com o seu equivalente usando transistores STD. Por outro lado, quando o ELT usa dreno externo, a resposta é degradada. Essa tendência é também observada na condutância de saída quando as configurações interna e externa são comparadas (JARRON, et al., 1999).

Figura 4.8 - Resposta em frequência dos amplificadores fonte comum considerando os dois principais modelos para extrair W/L de ELTs.



Fonte: O autor

Essas diferenças nos resultados da resposta em frequência podem ser explicadas pelas diferenças entre as áreas de dreno e fonte (A_D e A_S) causadas pela assimetria do dispositivo, conforme pode ser notado na Tabela 4.2. Considerando o ELT com dreno interno e com $L=0.18 \mu\text{m}$, essa área de dreno é menor ($\approx 5x$) do que a área de um transistor STD equivalente. Por essa razão, as capacitâncias associadas ao dreno são menores. Desta forma, seu produto ganho-faixa é maior ($\approx 2x$) do que o GBW do amplificador com transistores STD.

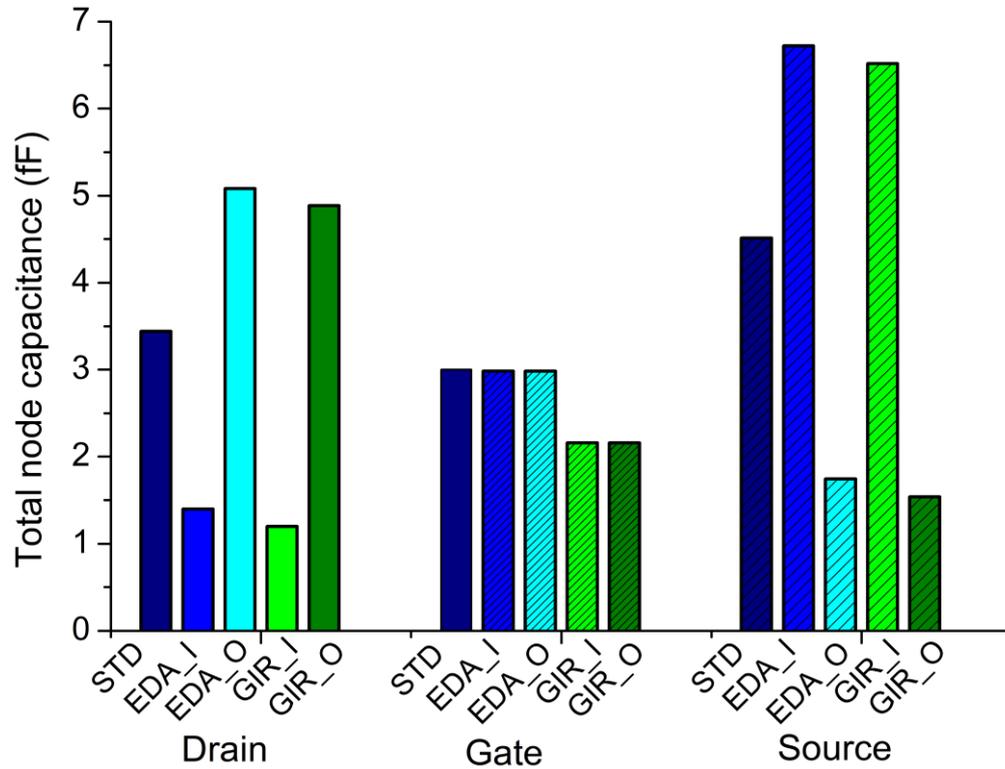
A situação oposta ocorre para o amplificador com dreno externo. Nesse caso, sua área de dreno é ($\approx 2x$) maior do que a área de dreno do transistor STD. Em razão disso, seu GBW alcança apenas 70% do GBW do amplificador STD. É importante mencionar que os amplificadores fonte comum são influenciados pelo efeito Miller. Consequentemente, o efeito da capacitância de dreno é combinado com o efeito Miller contribuindo para aumentar a diferença na resposta em frequência entre as configurações com dreno interno e externo.

As Figuras 4.9 e 4.10 mostram a capacitância total para os terminais de fonte, porta e dreno do transistor amplificador, considerando $L=1x$ e $L=4x$ para os dispositivos standard com porta retangular (STD) e para ambas as versões de ELT (com dreno interno e externo). Para o dispositivo ELT, as capacitâncias foram obtidas para as situações onde os dados foram reportados pela ferramenta de EDA (EDA_I, para dreno interno e EDA_O para dreno externo) e para a atualização dos dados de extração após layout obtendo o W/L pela aplicação do modelo GIR (GIR_I e GIR_O). Pode ser visto que as capacitâncias de fonte e dreno

dependem, é claro, de qual terminal é interno ou externo. O terminal interno apresenta menor área e perímetro com o externo, o que impacta na resposta em frequência do dispositivo como previamente apresentado.

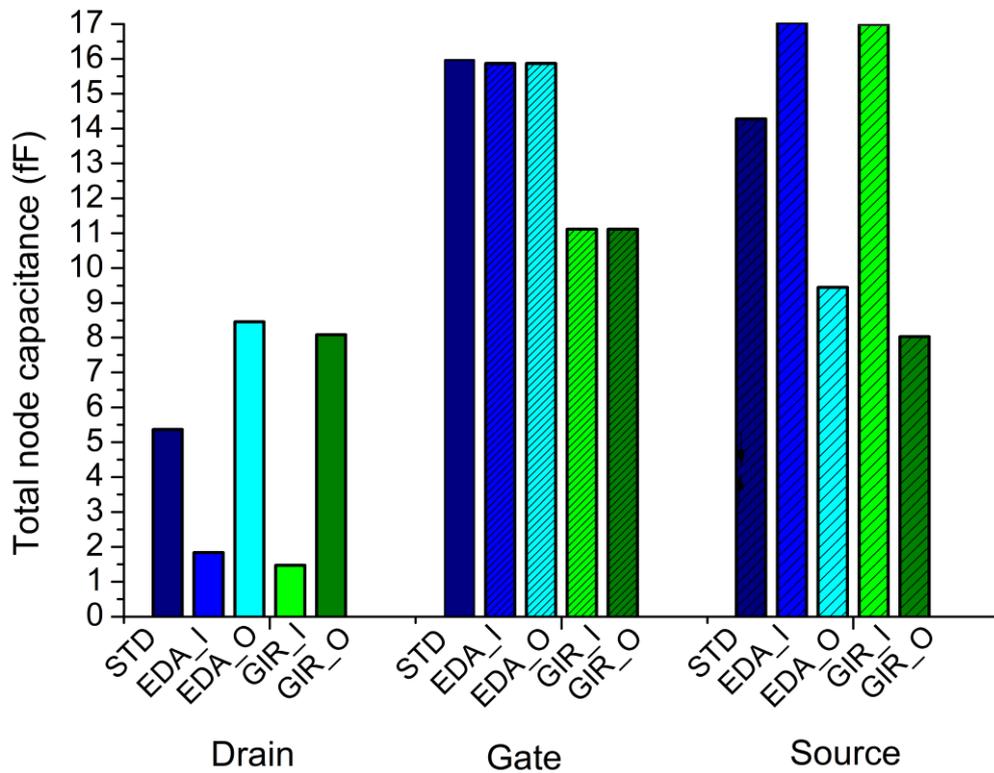
Figura 4.9 – Capacitância total dos nós do amplificador com dispositivos standard e ELT, quando $L =$

1x.



Fonte: O autor

Figura 4.10 – Capacitância total dos nós do amplificador com dispositivos standard e ELT, quando $L = 4x$.



Fonte: O autor

Também pode ser notado através das Figuras 4.9 e 4.10, que as capacitâncias extraídas da porta do ELT são similares aos obtidos para o transistor standard, se considerado o modelo EDA. A diferença observada para o modelo GIR é relacionada com as diferentes razões de aspecto obtidas pelo modelo. O aumento observado na capacitância de porta ($L=4x$) é devido ao aumento da área de porta, conforme pode ser visualmente inferido da Figura 2.11. Diferentemente dos transistores com layout standard, o aumento nas áreas de porta, dreno e fonte não apresentam a mesma proporcionalidade relacionada ao aumento da largura do transistor. Por exemplo, para o ELT com dreno interno, aumentando o W e L não modifica a área de dreno, enquanto que as áreas de fonte e porta aumentam aproximadamente com a mesma proporção observada para o dispositivo STD, conforme pode ser visto na Tabela 4.2. Isso reflete no aumento diferente da capacitância relativa observada nas Figuras 4.9 e 4.10.

Tabela 4.2 - Dimensões de dreno e fonte dos ELTs.

<i>Transistor</i>	<i>Drain dimensions</i>		<i>Source dimensions</i>	
	A_D (μm^2)	P_D (μm)	A_S (μm^2)	P_S (μm)
	L=1x			
<i>ELT inner</i>	0.2908	2.11314	2.5636	11.59314
<i>ELT outer</i>	2.5636	11.59314	0.2908	2.11314
<i>STD</i>	1.5456	7.4	1.5456	7.4
	L=2x			
<i>ELT inner</i>	0.2908	2.11314	3.1684	14.11314
<i>ELT outer</i>	3.1684	14.11314	0.2908	2.11314
<i>STD</i>	1.848	8.66	1.848	8.66
	L=4x			
<i>ELT inner</i>	0.2908	2.11314	4.378	19.15314
<i>ELT outer</i>	4.378	19.15314	0.2908	2.11314
<i>STD</i>	2.4624	11.22	2.4624	11.22

Da Tabela 4.2 é possível notar que as diferenças das dimensões do ELT com dreno interno e transistor STD tende a aumentar, à medida que o comprimento do canal do transistor é aumentado. Por outro lado, as dimensões do terminal de fonte do ELT com dreno interno tende a compensar essas divergências, já que a divergência entre a área total de dreno e fonte permanece quase que inalterada, quando comparada com a soma das áreas de dreno e fonte de um transistor STD. A mesma ideia é válida para a soma dos perímetros dessas regiões. Por estas razões, a magnitude relativa da diferença no GBW dos amplificadores construídos com dreno interno, comparado com a respectiva versão do amplificador STD, é mantida quase que inalterada para as configurações 1x, 2x, 4x, conforme pode ser observado na Tabela 4.3. O mesmo se aplica na comparação do amplificador ELT com dreno externo, quando comparado com o amplificador STD. A Tabela 4.3 resume os valores obtidos para o ganho DC e o GBW para as diferentes configurações de amplificadores, e métodos de estimativa de W/L, considerando também os diferentes tamanhos dos dispositivos (1x: L=0.18 μm , 2x: L=0.36 μm , 4x: L=0.72 μm).

Tabela 4.3 – Ganho DC e GBW dos amplificadores fonte comum sem carga na saída.

<i>Model</i>	<i>DC Gain (dB)</i>			<i>GBW (GHz)</i>		
	1x	2x	4x	1x	2x	4x
<i>EDA inner</i>	31.93	42.96	49.41	1.60	1.45	1.31
<i>EDA outer</i>	31.93	42.96	49.41	0.639	0.534	0.388
<i>GIR inner</i>	32.21	42.54	48.40	1.66	1.51	1.38
<i>GIR outer</i>	32.21	15.63	11.37	0.663	0.435	0.279
<i>STD</i>	32.45	42.91	49.44	0.879	0.750	0.582

O baixo ganho DC observado nas configurações 2x e 4x “GIR outer” (Tabela 4.3) é devido ao deslocamento no ponto de operação do amplificador. Durante as simulações, a

mesma polarização foi mantida independentemente do modelo simulado. Desta forma, nessas situações o ponto de operação dessas configurações pode não estar na região adequada, conforme já foi discutido.

A Figura 4.11 mostra a condutância de saída (g_{DS}), e o parâmetro g_m/I_D dos dispositivos estudados são apresentados na Figura 4.12. A divergência no g_{DS} observada entre os modelos variam de 6.24% ($L=1x$) até 13.94% ($L=4x$). Para uma corrente de dreno fixa (I_D), o parâmetro g_m/I_D para um transistor NMOS operando na saturação é proporcional a raiz quadrada da razão de aspecto

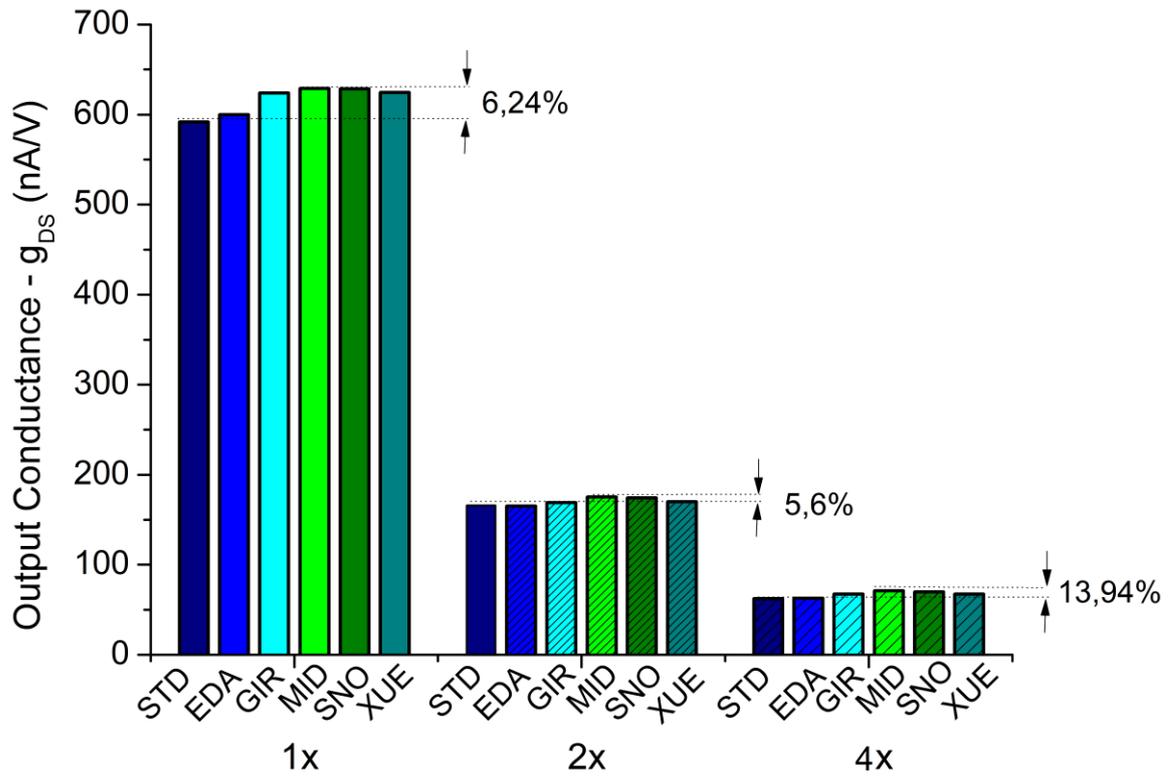
$$\frac{g_m}{I_D} = \sqrt{\frac{2\mu_n C_{ox} \frac{W}{L}}{I_D}} \quad (4.1)$$

onde, μ_n é a mobilidade dos elétrons no canal e C_{ox} é a capacitância de óxido da porta por unidade de área. Assim, a divergência observada nesse parâmetro entre os modelos estudados (variando entre 0.2 até 3.11%) são menores do que as divergências no W/L e capacitâncias, conforme pode ser visto na Figura 4.12.

A partir desses resultados pode ser concluído que a divergência observada nas simulações de performance mostradas nas Figuras 4.7 e 4.8 são principalmente relacionadas com as capacitâncias, influenciando o GBW do amplificador. Entretanto, variações no g_m e g_{DS} também impactam na performance e podem também se manifestar nas características DC do amplificador, embora não como notadamente se observa nos resultados das implicações dinâmicas oriundas da diferença nas capacitâncias do ELT.

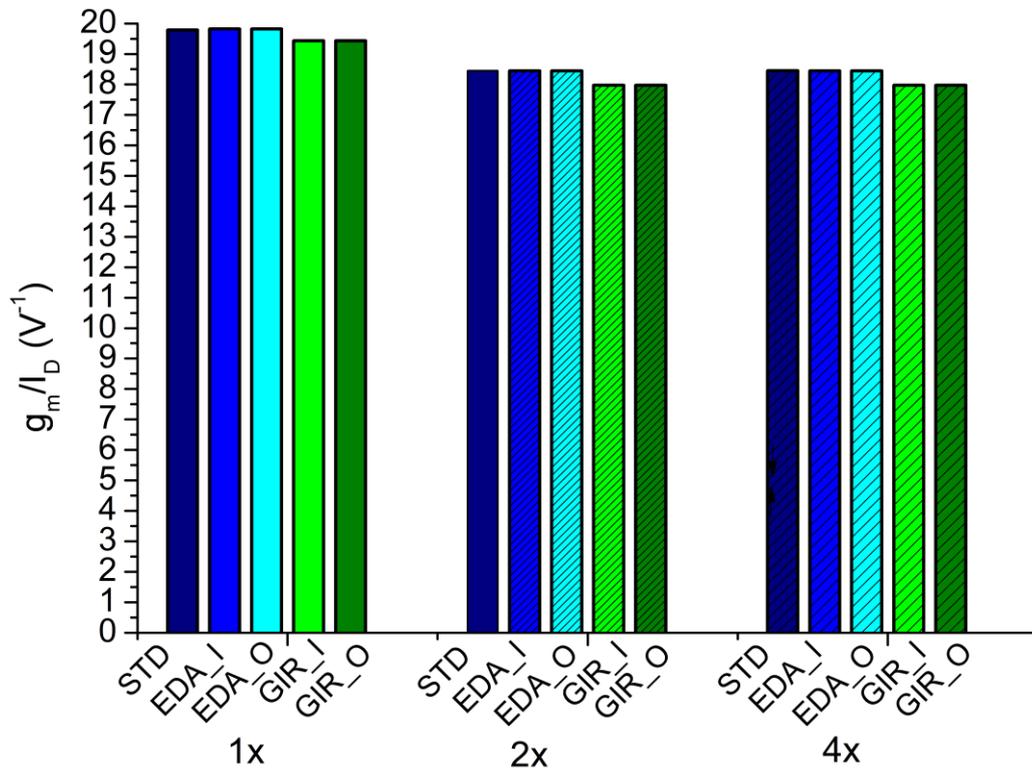
Com o objetivo de aumentar a confiabilidade entre as simulações e o comportamento real de circuitos integrados baseados em ELTs, uma abordagem frequentemente usada em projetos de RF, onde o projetista está restrito ao uso de apenas algumas geometrias pré-caracterizadas, é sugerido em (MARTIN & STRONHBEHN, 2003) para ser aplicado no aprimoramento de circuitos integrados analógicos para ambientes com radiação. Embora o contexto de RF seja diferente, o uso de ELTs previamente caracterizados pode ser apropriado para aumentar a faixa de razão de aspecto atingível quando esses dispositivos são associados em paralelo e/ou serie ao mesmo tempo em que resultados mais previsíveis são alcançados.

Figura 4.11 – Condutância de saída (g_{DS}) dos dispositivos STD e ELT, considerando diferentes modelos para estimar o W/L e tamanhos dos transistores.



Fonte: O autor

Figura 4.12 - g_m/I_D dos dispositivos STD e ELT, considerando diferentes modelos para estimar o W/L e tamanhos dos transistores.



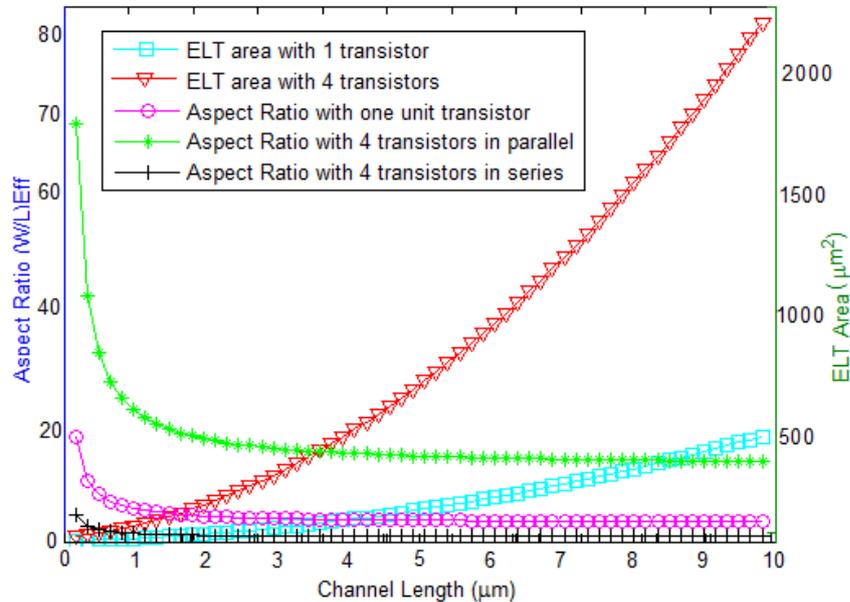
Fonte: O autor

A Figura 4.13 mostra a estimativa da razão de aspecto efetiva de dispositivos ELT a medida que o comprimento de canal aumenta. Esses valores foram obtidos com o modelo EDA. A faixa de razões de aspecto atingível de um único ELT quadrado é limitada de 17,16 até 3,29, conforme pode ser observado na Figura 4.13. Isso pode ser um aspecto negativo para projetos analógicos (onde frequentemente são necessários transistores com razões de aspecto maiores). Quando quatro ELTs idênticos são combinados em paralelo, é esperado que o W/L dessa associação tenda a quadruplicar, conforme também mostra a Figura 4.13. Essa figura também mostra uma curva com os resultados da associação de quatro ELTs em série. Assim, considerando associações de até quatro ELTs, pode-se obter razões de aspecto de 68,64 até 0.8225.

A Figura 4.13 também mostra a área de silício ocupada pelo ELT (eixo da direita), considerando um único dispositivo e com a associação em série/paralelo. Pode ser notado que, além de aumentar a faixa de razões de aspecto atingível dos ELTs quadrados, essas associações podem ser úteis para redução de área. Considerando a necessidade de ELTs com W/L pequenos, usando apenas um único ELT, é necessário adotar um comprimento de canal grande. No entanto, se ELTs com comprimentos de canal pequenos forem combinados em

série, é possível alcançar o mesmo W/L usando menos área, conforme pode ser inferido da Figura 4.13.

Figura 4.13 – Razões de aspecto possíveis e áreas dos ELTs considerando a associações de transistores.



Fonte: O autor

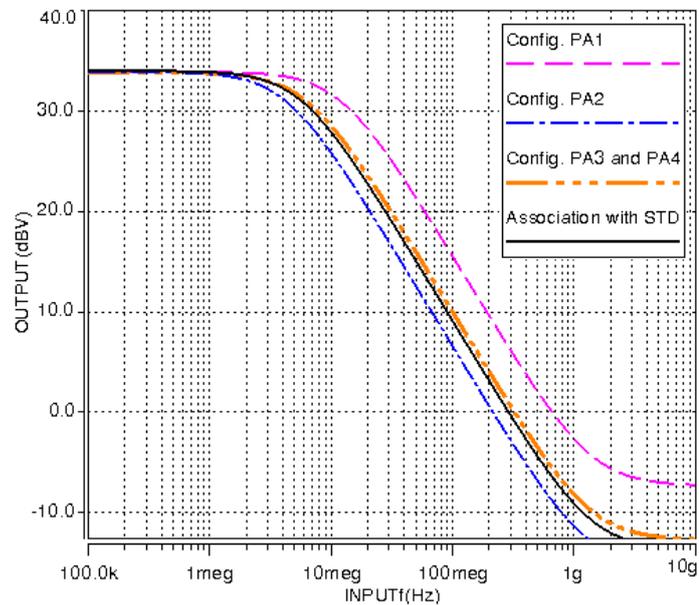
As associações de ELTs foram exploradas levando em consideração a disposição dos terminais do transistor, ou seja, se o ELT está configurado com dreno interno ou com dreno externo. O motivo para tanto é observar as diferenças entre a resposta elétrica dos dispositivos dreno interno e dreno externo e também verificar o comportamento das configurações em relação à tentativa de tornar a associação simétrica, por meio da configuração de dois transistores com dreno interno e dois com dreno externo. A Figura 3.8 mostra a disposição dos ELTs em cada configuração criada. As configurações de SE1 até SE4 se referem às associações em série, enquanto que as abordagens PA1 até PA4 pertencem às associações em paralelo. No capítulo anterior foram mostrados os layouts dessas configurações na tecnologia 0.13 μm. Logo, os layouts mostrados nas Figuras 3.9, 3.10 e 3.11 representam as configurações de PA1 até PA3 com ELT-C e os das Figuras 3.17, 3.18 e 3.19 os layouts com ELT-PS. Já os layouts da Figura 3.14 (com ELT-C) e Figura 3.20 (com ELT-PS) contemplam as configurações SE1 até SE3.

A Figura 4.14 mostra a resposta em frequência dos amplificadores com associação em paralelo, considerando as configurações de PA1 até PA4 (ver Figura 3.8). A tendência observada na Figura 4.8 foi mantida para a associação em paralelo, em relação ao ELT com terminal de dreno desenhado para ser interno ou externo. Dessa figura também é possível

notar que PA3 e PA4 mostram quase o mesmo comportamento em frequência, quando comparados com o amplificador construído com associação paralela de transistores STD. Essa pequena diferença pode ser explicada através da soma das áreas de dreno e fonte (A_D+A_S) do ELT ser menor do que a soma das áreas de dreno e fonte do transistor STD, conforme pode ser observado na Tabela 4.2 (com referência ao $L=1x$).

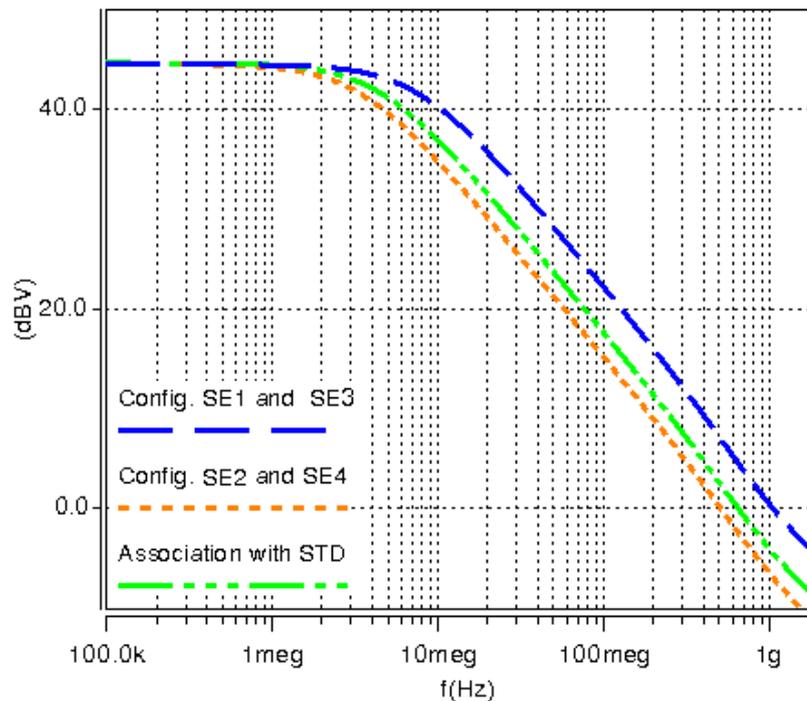
Na Figura 4.15 é apresentada a resposta em frequência do amplificador fonte comum considerando a associação série. Os resultados mostram que as configurações com dreno interno têm maior GBW quando comparado com dreno externo. No entanto, as configurações criadas para obter simetria SE3 e SE4 apresentaram resultados muito semelhantes as configurações SE1 e SE2, respectivamente. O fato das configurações SE3 e SE4 não serem semelhantes à configuração STD pode ser atribuída ao fato do efeito de corpo causado pelos transistores cujos terminais de bulk não estão ligados ao terra.

Figura 4.14 - Resposta em frequência da associação de ELTs em paralelo juntamente com a configuração STD equivalente.



Fonte: O autor

Figura 4.15 – Resposta em frequência da associação de ELTs em série juntamente com a configuração STD equivalente.



4.2 Resultados Considerando a Tecnologia cmrf8sf 0.13 μm da IBM

Os resultados mostrados até esse momento foram considerando a tecnologia XC018 da xFAB. A partir de agora serão apresentados dados de simulações considerando a tecnologia 0.13 μm da IBM (GlobalFoundries), bem como os resultados experimentais do conjunto de medições realizadas. Inicialmente esperava-se caracterizar eletricamente todos os circuitos prototipados tanto com medidas DC como AC. Porém, em virtude da mudança no cronograma de fabricação do lote e o posterior retardo na entrega das amostras, foram realizadas apenas medições $I_D \times V_{DS}$ e $I_D \times V_{GS}$ para caracterizar os transistores NMOS, bem como suas associações em série e em paralelo.

Considerando medições DC, foram analisados no mínimo cinco amostras de cada um dos 22 circuitos mostrados na Tabela 4.4 (cujos layouts foram apresentados no capítulo 3). Através desse conjunto de medidas foram levantadas as curvas $I_D \times V_{DS}$ e $I_D \times V_{GS}$ para os transistores do tipo NMOS usados em cada um dos amplificadores. Nos casos onde o circuito é composto pela associação série ou paralela de transistores, foram medidos os comportamentos dessas associações referentes à corrente versus tensão. Na caracterização $I_D \times V_{DS}$, foram levantadas curvas com V_{DS} variando de 0 a 1.2 V, quando V_{GS} era mantido fixo em 0 V, depois em 50 mV, em 100 mV até 600 mV, ou seja, um aumento com passo de

50 mV. Nas curvas $I_D \times V_{GS}$, foi considerado variações em V_{GS} de 0 a 600 mV, com V_{DS} fixo em 0 V, depois 100 mV, 200 mV até chegar em 1.2 V, ou seja, com passo de 100 mV.

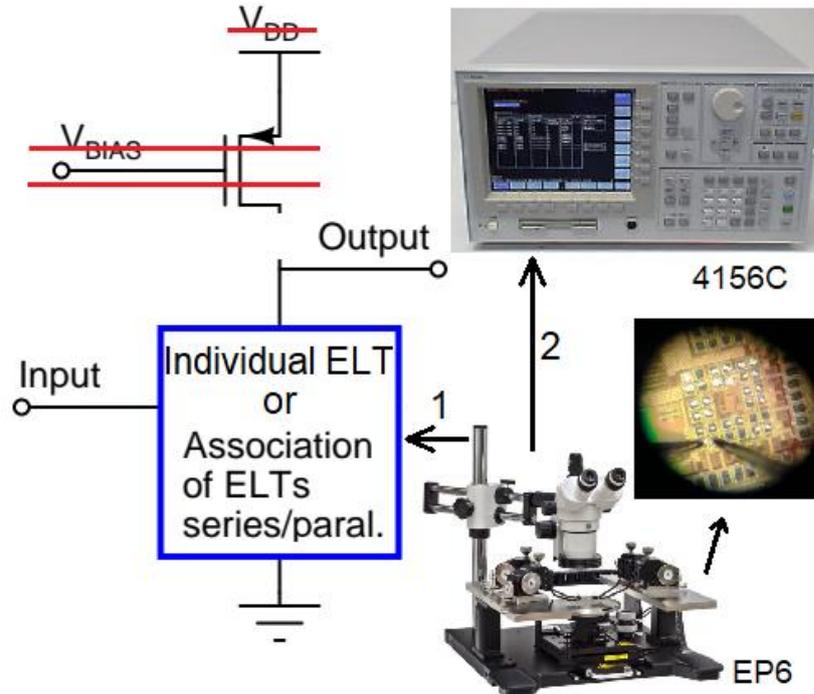
Tabela 4.4 – Descrição dos circuitos medidos.

<i>Circuit Code</i>	<i>Description</i>
<i>Cir_1_ELT_C_inner</i>	<i>Amplifier using ELT assymetric (conventional) with inner drain terminal</i>
<i>Cir_2_ELT_C_outer</i>	<i>Amplifier using ELT assymetric with outer drain terminal</i>
<i>Cir_3_ELT_C_PA1</i>	<i>Amplifier using parallel association of ELT assymetric with PA1(4 inner drain)</i>
<i>Cir_4_ELT_C_PA2</i>	<i>Amplifier using parallel association of ELT assymetric with PA2(4 outer drain)</i>
<i>Cir_5_ELT_C_PA3</i>	<i>Amplifier using parallel association of ELT assymetric with PA3(2 inner drain and 2 outer drain)</i>
<i>Cir_6_ELT_C_SE1</i>	<i>Amplifier using series association of ELT assymetric with SE1(4 inner drain)</i>
<i>Cir_7_ELT_C_SE2</i>	<i>Amplifier using series association of ELT assymetric with SE2 (4 outer drain)</i>
<i>Cir_8_ELT_C_SE3</i>	<i>Amplifier using series association of ELT assymetric with SE3 (2 inner drain and 2 outer drain)</i>
<i>Cir_9_ELT_PS_inner</i>	<i>Amplifier using Pseudo-Simetric ELT with inner drain terminal</i>
<i>Cir_10_ELT_PS_outer</i>	<i>Amplifier using Pseudo-Simetric ELT with outer drain terminal</i>
<i>Cir_11_ELT_PS_PA1</i>	<i>Amplifier using parallel association of Pseudo-Simetric ELT with PA1 (4 inner drain)</i>
<i>Cir_12_ELT_PS_PA2</i>	<i>Amplifier using parallel association of Pseudo-Simetric ELT with PA2 (4 outer drain)</i>
<i>Cir_13_ELT_PS_PA3</i>	<i>Amplifier using parallel association of Pseudo-Simetric ELT with PA3 (2 inner drain and 2 outer drain)</i>
<i>Cir_14_ELT_PS_SE1</i>	<i>Amplifier using series association of Pseudo-Simetric ELT with SE1 (4 inner drain)</i>
<i>Cir_15_ELT_PS_SE2</i>	<i>Amplifier using series association of Pseudo-Simetric ELT with SE2 (4 outer drain)</i>
<i>Cir_16_ELT_PS_SE3</i>	<i>Amplifier using series association of Pseudo-Simetric ELT with SE3 (2 inner drain and 2 outer drain)</i>
<i>Cir_17_STD_C</i>	<i>Amplifier using STD*transistors</i>
<i>Cir_18_STD_C_parallel</i>	<i>Amplifier using parallel association of transistors STD*</i>
<i>Cir_19_STD_C_series</i>	<i>Amplifier using series association of transistors STD*</i>
<i>Cir_20_STD_PS</i>	<i>Amplifier using transistors STD Pseudo-Simetric**</i>
<i>Cir_21_STD_PS_parallel</i>	<i>Amplifier using parallel association of transistors STD Pseudo-Simetric**</i>
<i>Cir_22_STD_PS_series</i>	<i>Amplifier using series association of transistors STD Pseudo-Simetric**</i>

** Standard transistors with the same W/L of ELT_C. ** Standard transistors with the same W/L of ELT_PS.*

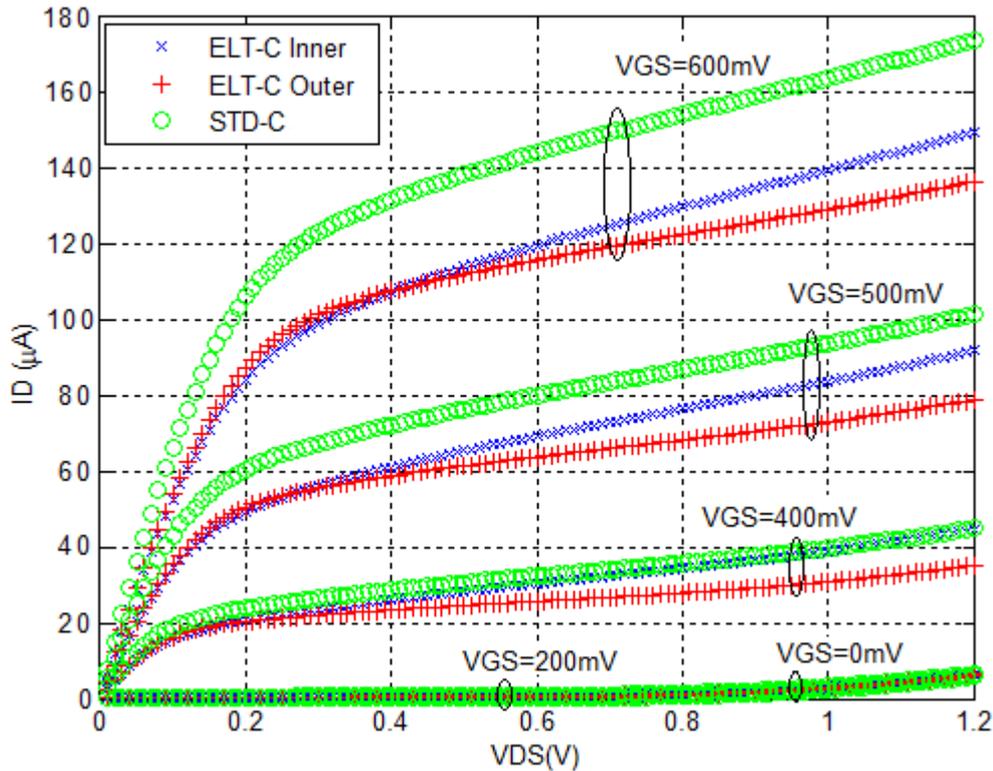
Para caracterizar eletricamente o comportamento dos transistores NMOS individuais e das associações foram utilizados o analisador paramétrico de precisão para semicondutores Agilent 4156C e a estação de micro ponteiros modelo EP6 da CascadeMicrotech. Esses equipamentos encontram-se disponíveis no Laboratório de Caracterização Elétrica (LCE) do Departamento de Engenharia Elétrica da UFRGS. O setup utilizado para realizar as medições é apresentado na Figura 4.16. Através da estação de micro ponteiros foram feitos os acessos aos microPADs disponíveis para as medidas (etapa 1 pela Figura 4.16). O Agilent 4156C foi conectado à estação EP6 através das suas SMUs (*Source Monitor Units*) via conector BNC, passo 2. De forma a isolar o efeito do transistor PMOS dos amplificadores, durante a realização das medidas, eles não receberam a alimentação DC (V_{DD}) nem a tensão de polarização (V_{BIAS}).

Figura 4.16 – Setup de medições DC.



4.2.1 Resultados considerando individualmente ELTs assimétricos

Os resultados experimentais do comportamento $I_D \times V_{DS}$ dos ELTs usados nos circuitos Cir_1_ELT_C_inner, Cir_2_ELT_C_outer e Cir_17_STD_C (de acordo com a Tabela 4.4) são mostrados na Figura 4.17. Esses ELTs têm, de acordo com a extração da ferramenta de EDA utilizada, $W=3.6265 \mu\text{m}$ e $L=0.48 \mu\text{m}$. Já o transistor com porta retangular STD tem $W=3.63 \mu\text{m}$ e $L=0.48 \mu\text{m}$. Cada curva representa a média de cinco amostras medidas. Conforme pode ser notado, quando V_{DS} é pequeno e os transistores estão operando na região de triodo, os dispositivos ELTs apresentam comportamentos semelhantes mesmo para os diferentes valores de V_{GS} testados. Considerando valores de V_{DS} mais altos quando os transistores estão na saturação, ocorre um distanciamento entre as curvas do ELT com dreno interno e o com dreno externo. Nos casos onde V_{GS} é grande ($V_{GS}=500 \text{ mV}$ e $V_{GS}=600 \text{ mV}$), o transistor com porta retangular STD-C apresenta maior capacidade de corrente em relação aos ELTs. Quando $V_{GS}=400 \text{ mV}$, o comportamento do ELT-C com dreno interno é bem aproximado ao do transistor STD-C, conforme pode ser visto na Figura 4.17.

Figura 4.17 – Curvas $I_{Dx}V_{DS}$ dos dispositivos ELT-C (dreno interno e externo) e STD-C.

De forma a deixar mais clara a diferença entre os resultados obtidos para o transistor com porta retangular STD-C em relação aos ELTs dois gráficos são mostrados. Neles são apresentadas as diferenças percentuais entre as correntes de dreno ao longo da variação de V_{DS} e V_{GS} . A Figura 4.18 compara o STD-C e o ELT com dreno interno. Valores positivos de porcentagem indicam que a corrente de dreno do dispositivo STD-C é maior do que a do ELT e valores negativos indicam o contrário. Nessa figura é possível observar que as maiores diferenças (quase 30%) estão localizadas na região de triodo, ou seja, quando $V_{GS} > V_{th}$ e $V_{DS} < V_{GS} - V_{th}$. Considerando a Figura 4.19, que mostra a diferença percentual entre o dispositivo STD-C e o ELT com dreno externo, é possível notar que as maiores diferenças entre as correntes de dreno ocorrem quando os transistores estão na saturação com valores de V_{DS} altos. Nessas situações, a diferença entre as correntes se encontram bem próximas de 30%. Em relação aos casos onde os transistores estão em corte (com $V_{GS} = 0$ V e $V_{GS} = 200$ mV), pode ser observado que embora as diferenças percentuais entre as correntes sejam grandes, numericamente isso representa apenas poucos nano Ampères (nA).

Figura 4.18 – Diferença percentual da corrente de dreno entre o transistor STD-C e o ELT-C Inner.

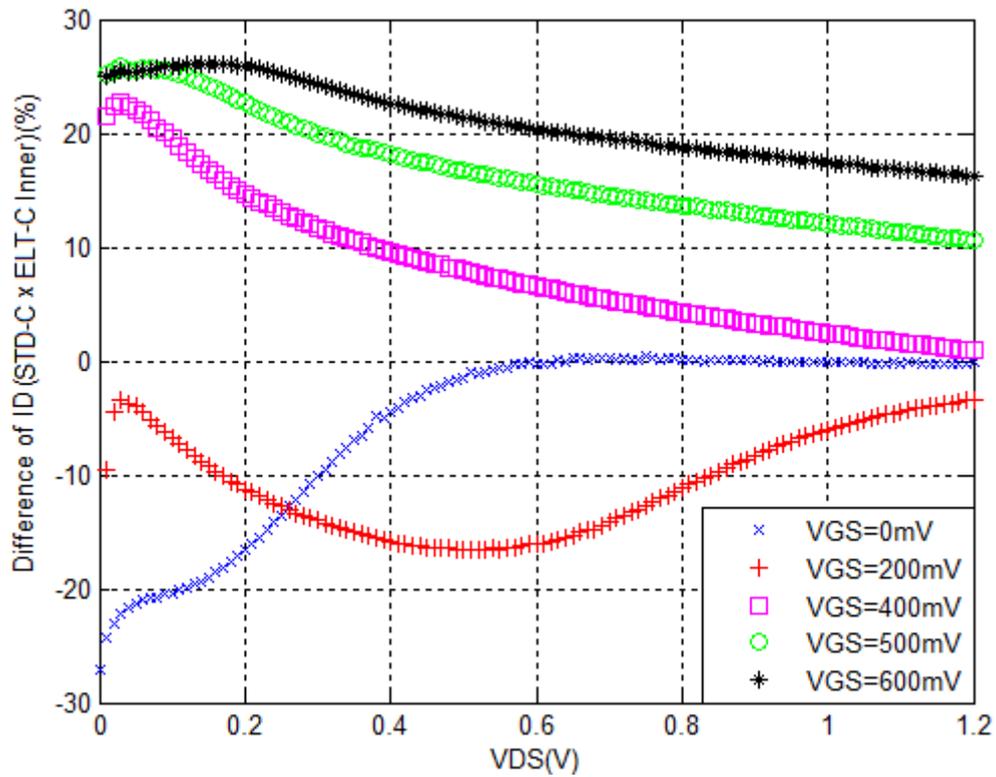
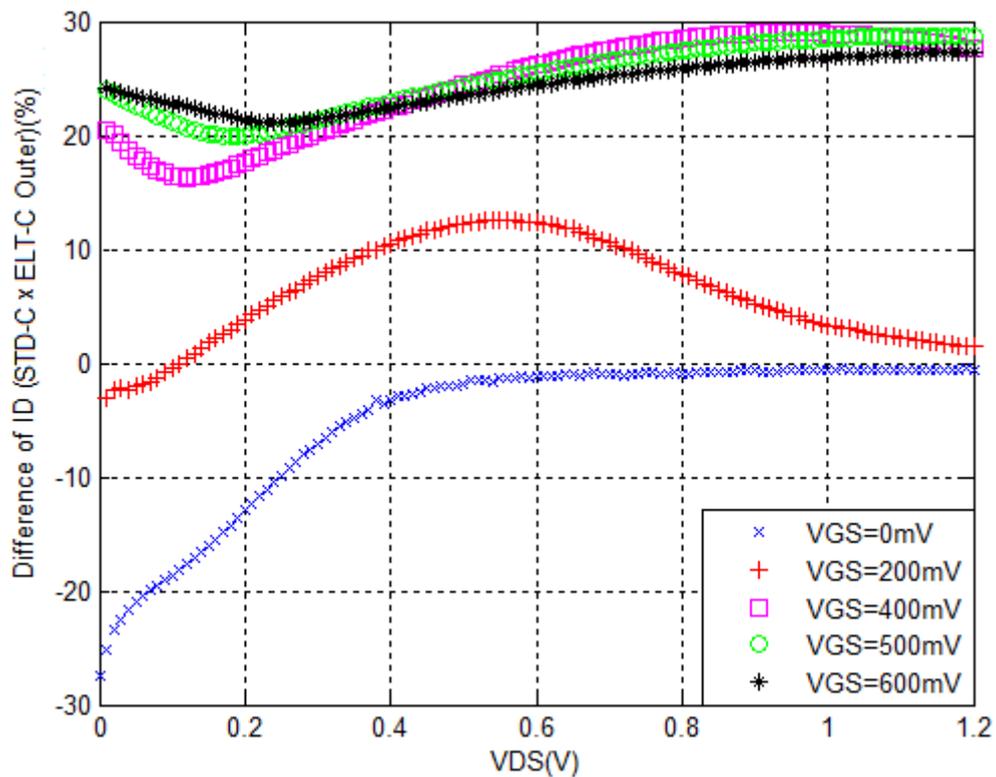


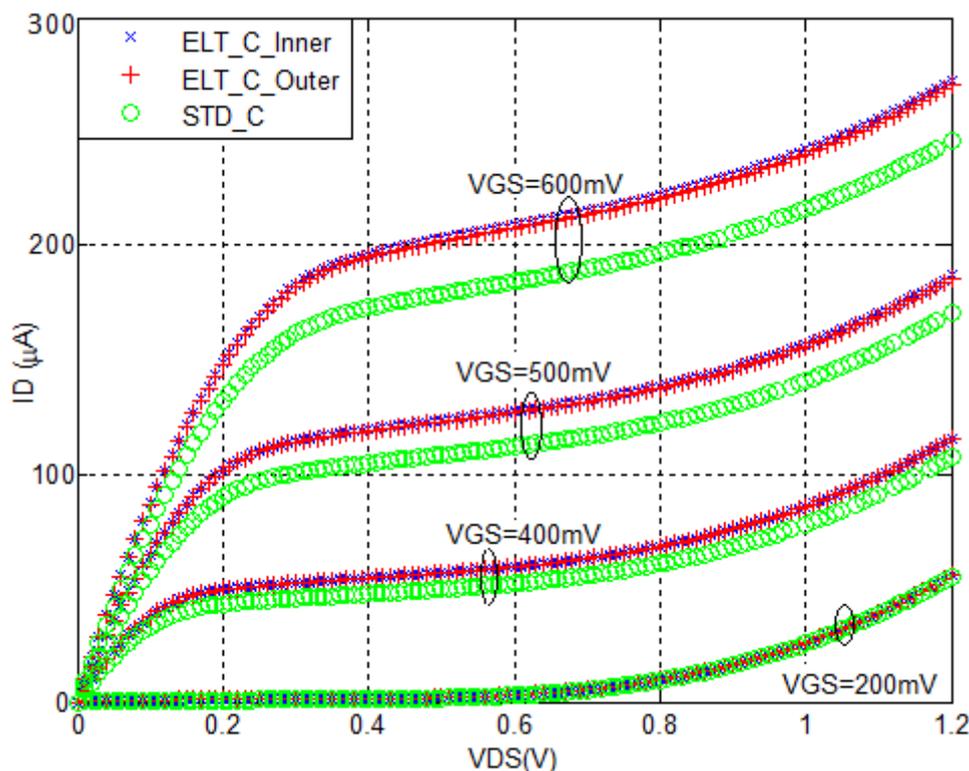
Figura 4.19 - Diferença percentual da corrente de dreno entre o transistor STD-C e o ELT-C Outer.



Os resultados simulados para esses três tipos de transistor são mostrados na Figura 4.20. A diferença entre o ELT com dreno interno e com dreno externo é menos significativa quando comparado com as medições experimentais para todos os valores de V_{GS} e durante

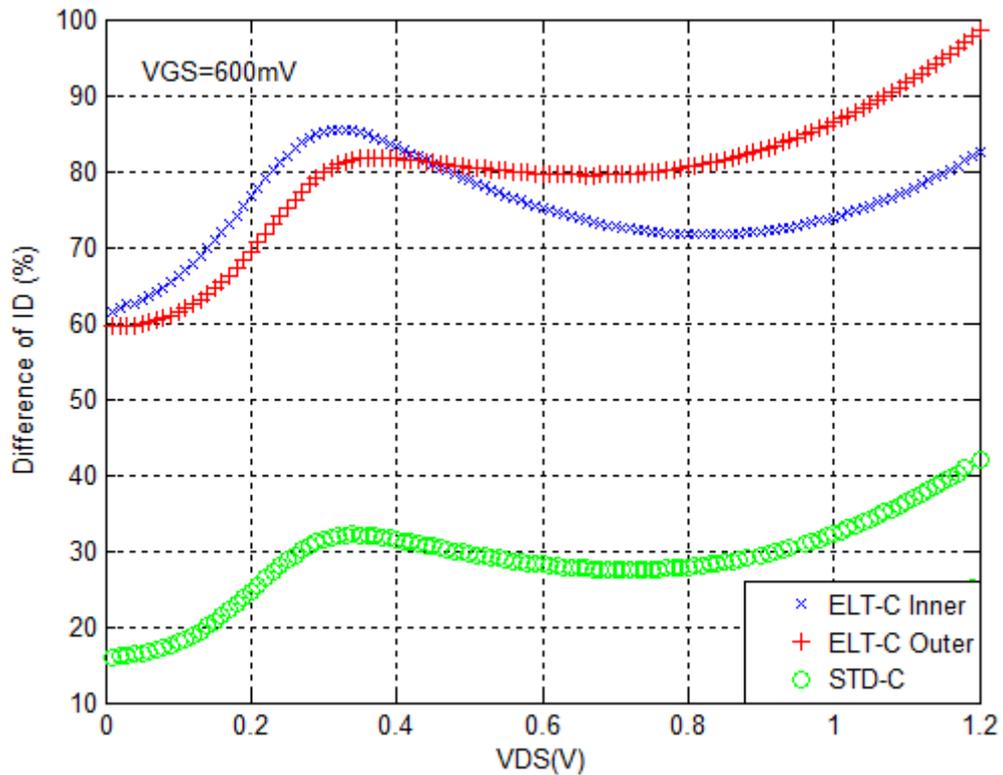
toda a extensão de V_{DS} analisados. Considerando o circuito com transistor de porta retangular STD-C pode ser notado que ocorre o aumento da diferença em relação aos ELTs para $V_{GS}=400$ mV, $V_{GS}=500$ mV e $V_{GS}=600$ mV, assim como ocorreu nas medições experimentais. Porém, a corrente nesses casos é menor, ilustrando um comportamento contrário do que foi observado nos resultados experimentais.

Figura 4.20 – Curvas $I_D \times V_{DS}$ simuladas dos dispositivos ELT-C (dreno interno e externo) e STD-C.



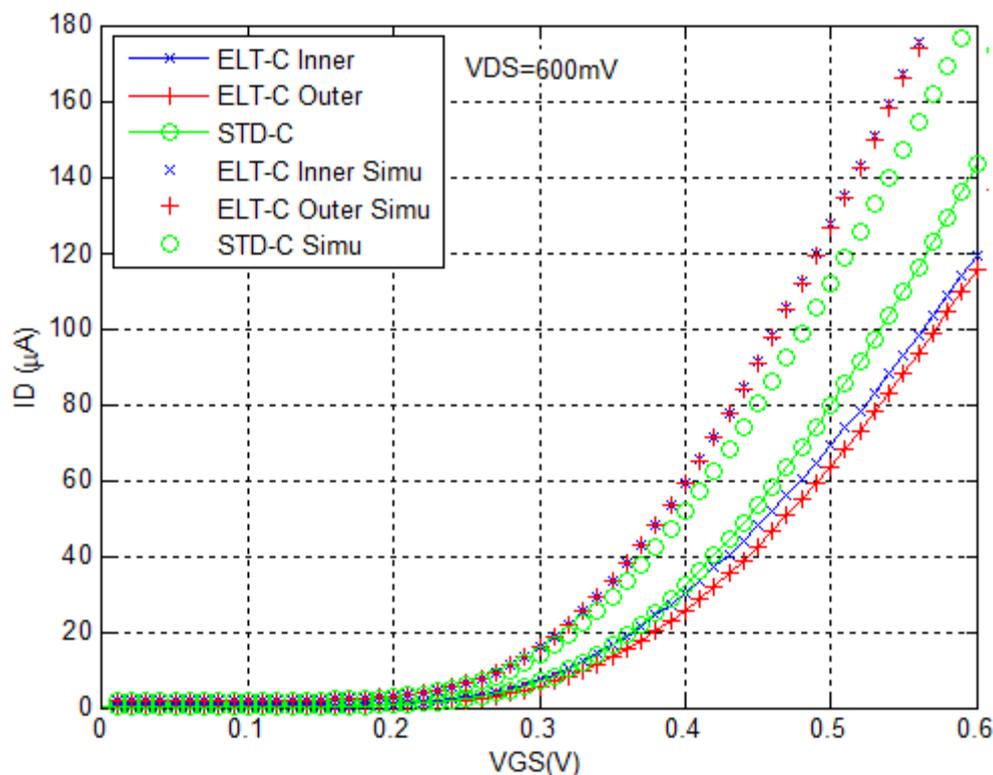
Para ilustrar a diferença percentual entre as correntes de dreno obtidas nas simulações e na caracterização elétrica foi feita a divisão entre essas correntes considerando ponto por ponto dentro da faixa de V_{DS} analisado e fixando o V_{GS} em 600mV. Porcentagens positivas indicam que os valores de correntes obtidas por simulação são maiores que as correntes obtidas experimentalmente. A Figura 4.21 apresenta os resultados considerando toda a extensão de V_{DS} , mas apenas a situação para $V_{GS}=600$ mV. Esses dados mostram que a maior concordância entre simulação e dados elétricos ocorre para o transistor STD-C, ainda assim é possível observar diferenças percentuais acima de 40% quando $V_{DS} \approx 1.2$ V. Considerando os ELTs, é possível perceber que, as diferenças variam entre $\approx 60\%$ e $\approx 100\%$ durante a faixa de V_{DS} analisada. Isso mostra que, para esta tecnologia as correntes dos ELTs tem tendência de ser superestimadas no processo de simulação quando se usa nas simulações o W/L extraído pelo modelo adotado pela ferramenta de EDA.

Figura 4.21 – Diferença percentual entre os dados simulados e experimentais nas curvas $I_D \times V_{DS}$ dos ELTs-C e transistor STC-C, considerando apenas $V_{GS}=600$ mV.



O comportamento $I_D \times V_{GS}$ dos dispositivos ELTs-C e do transistor STD-C foram medidos experimentalmente e os resultados são mostrados nas curvas com linha cheia da Figura 4.22. Essas curvas representam apenas a situação com $V_{DS}=600$ mV. Nessa mesma figura são apresentados também os resultados oriundos de simulação que estão representados pelos caracteres sem linha. Nota-se que a maior concordância entre as simulações e os dados experimentais ocorre para o transistor STD-C, conforme também mostrou a análise apresentada na Figura 4.21.

Figura 4.22 – Curvas $I_D \times V_{GS}$ dos dispositivos ELTs e do transistor STD-C considerando os resultados experimentais e simulados quando $V_{DS}=600$ mV.



Visando estimar o W/L dos ELTs através das curvas $I_D \times V_{GS}$ experimentais, foi aplicado o método da segunda derivada, conforme discutido em (ORTIZ-CONDE, 2002), para extrair o V_{th} de cada um dos dispositivos. Em seguida, foi extraído o valor de corrente de dreno da configuração STD-C, quando $V_{GS}=600$ mV. De posse dessas informações, foi utilizado o modelo quadrático dos MOSFETs na saturação, sem levar em consideração a modulação do comprimento do canal (λ). Com isso, foi estimado o parâmetro $K_n = \mu_n \cdot C_{OX}$ para o transistor STD-C usando o W e o L desenhados no layout, que foi $W=3.63$ μm e $L=0.48$ μm . Depois disso, essa informação de K_n foi usada, junto com o valor de corrente I_D (extraído da Figura 4.22 quando $V_{GS}=600$ mV para os ELTs) e V_{th} , para estimar o W/L dos ELTs. As estimativas de corrente de dreno apresentadas nessa figura representam a média de cinco amostras. A Tabela 4.5 ilustra os resultados obtidos, onde é possível perceber que no caso do ELT-C com dreno interno, o W/L obtido é 33,11% menor que o desenhado na ferramenta de EDA. Já no caso do ELT-C com dreno externo, o W/L estimado é 21,05% menor do que o desenhado. Para chegar a esses resultados assumiu-se que, o K_n é igual para todos os transistores analisados e que o W/L do transistor STD-C desenhado representa também o obtido no experimento prático.

Tabela 4.5 – Resultados obtidos para W/L dos ELTs-C dreno interno e externo.

<i>Device</i>	$I_D(\mu A)$	$V_{GS}(mV)$	$K_n(\mu A/V^2)$	$V_{th}(mV)$	W/L -EDA	W/L -Exp	% (EDA x EXP)
<i>ELT-C Inner</i>	149,06	600	943,98	380	7,55	5,05	-33,11
<i>ELT-C Outer</i>	136,24	600	943,98	350	7,55	5,96	-21,05
<i>STD-C</i>	172,76	600	943,98	380	7,56	7,56	0

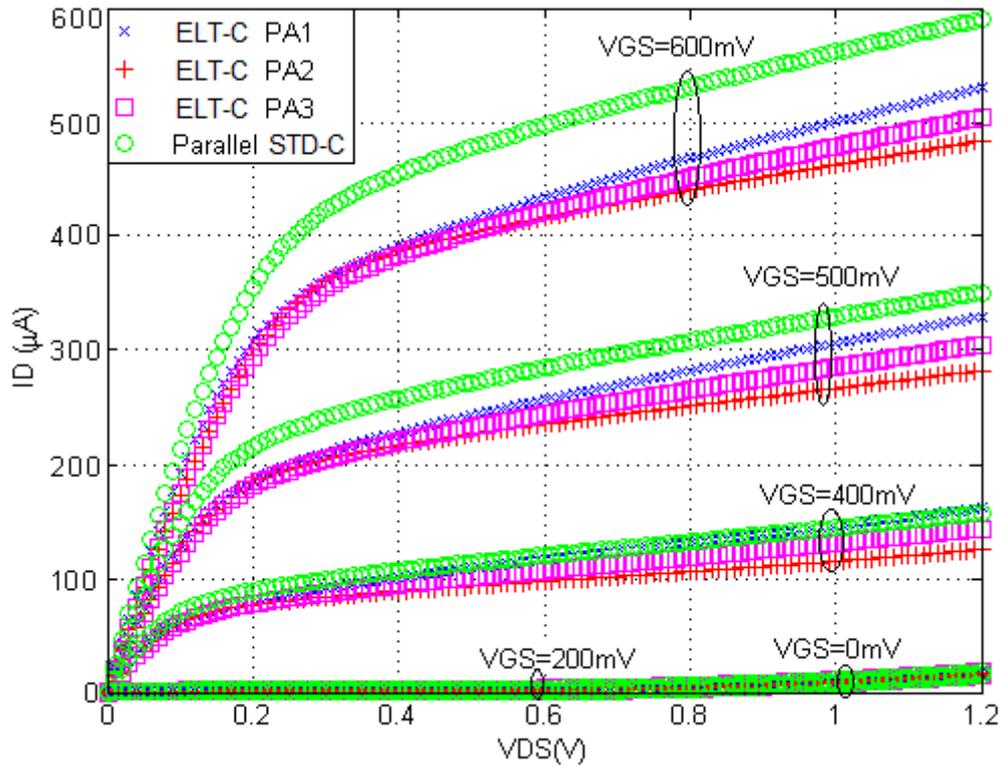
4.2.2 Resultados considerando as associações de ELTs assimétricos

A realização das medições DC das associações de ELTs em paralelo e em série observaram a mesma estratégia adotada nas medições de um único ELT. Cada curva que será apresentada representa a média de cinco amostras. Os circuitos prototipados, de acordo com a Figura 3.8 foram, para as associações em paralelo, as configurações PA1, PA2 e PA3 e para as associações em série, as configurações SE1, SE2 e SE3. Circuitos considerando as associações em paralelo e em série com transistores STD também foram medidos.

4.2.2.1 Associações em paralelo

Considerando os resultados das curvas $I_D \times V_{DS}$ para as configurações em paralelo PA1, PA2 e PA3 (Cir_3_ELT_C_PA1, Cir_4_ELT_C_PA2 e Cir_5_ELT_C_PA3 pela Tabela 4.4) apresentados na Figura 4.23, é possível notar que, os comportamentos são próximos para os diferentes valores de V_{GS} analisados. Conforme pode ser observado, as curvas demonstram um comportamento semelhante ao mostrado para os circuitos com um único transistor da Figura 4.17, a diferença reside no fato da corrente de dreno ser multiplicada por aproximadamente quatro. Na região de saturação, para valores de V_{DS} grandes, o circuito com a configuração PA3 (dois ELTs com dreno interno e dois ELTs com dreno externo) apresenta valores de correntes intermediários em relação as configurações PA1 (todos ELTs com dreno interno) e PA2 (todos ELTs com dreno externo). Os resultados obtidos nas medições experimentais usando apenas transistores STD (Cir_18_STD_C_parallel) também são mostrados nessa figura, onde é possível notar que à medida que se aumenta V_{GS} aumenta a diferença para as curvas PA1, PA2 e PA3. A configuração paralela com transistores de porta retangular STD apresenta claramente maior capacidade de corrente nas situações em que os V_{GS} são iguais a 500 mV e 600 mV.

Figura 4.23 - Curvas $I_D \times V_{DS}$ das associações em paralelo com os dispositivos ELT-C e STD-C.



A diferença percentual da corrente de dreno entre o circuito paralelo com transistores STD-C e das associações com ELTs (PA1, PA2 e PA3) foram avaliadas, os resultados dessas análises estão no Apêndice A nas Figuras A1 – A3.

Uma rodada de simulações para obter as curvas $I_D \times V_{DS}$ considerando os circuitos Cir_3_ELT_C_PA1, Cir_4_ELT_C_PA2, Cir_5_ELT_C_PA3 e Cir_18_STD_C_parallel foi realizada. Isso permite que comparações possam ser feitas com os resultados experimentais. A Figura 4.24 ilustra os resultados dessas simulações onde é possível notar que a corrente das três configurações PA1, PA2 e PA3 são bastante próximas para todos os V_{GS} analisados. A configuração com transistores STD-C exibe valores de correntes menores para os V_{GS} que colocam os transistores na saturação, conforme pode ser visto nas curvas verdes com círculos. Esse comportamento é o contrário do que foi observado nos experimentos práticos, conforme pode ser inferido da Figura 4.23. No contexto global das curvas pode ser percebido que nas simulações os valores de correntes são superestimados. A precisão desses valores pode ser observada na Figura 4.25, que mostra a diferença percentual da corrente de dreno entre os valores simulados e experimentais, considerando esses quatro circuitos na condição de $V_{GS}=600$ mV. Na configuração STD-C os valores simulados superam os valores experimentais, dependendo de V_{DS} , entre $\approx 15\%$ e $\approx 30\%$, conforme pode ser visto na curva

verde com círculos. Por outro lado, nas configurações que usam ELT-C a diferenças são maiores e ficam entre $\approx 35\%$ e $\approx 70\%$, dependendo de V_{DS} e da configuração analisada.

Figura 4.24 - Curvas $I_D \times V_{DS}$ simuladas das associações em paralelo com os dispositivos ELT-C e STD-C.

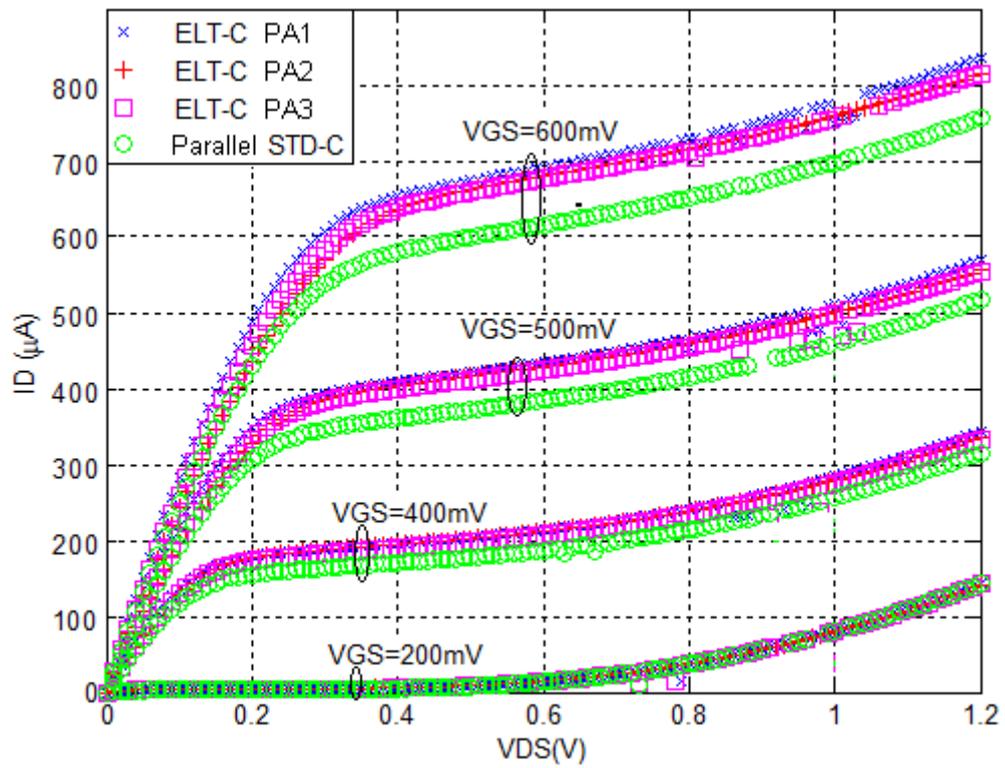
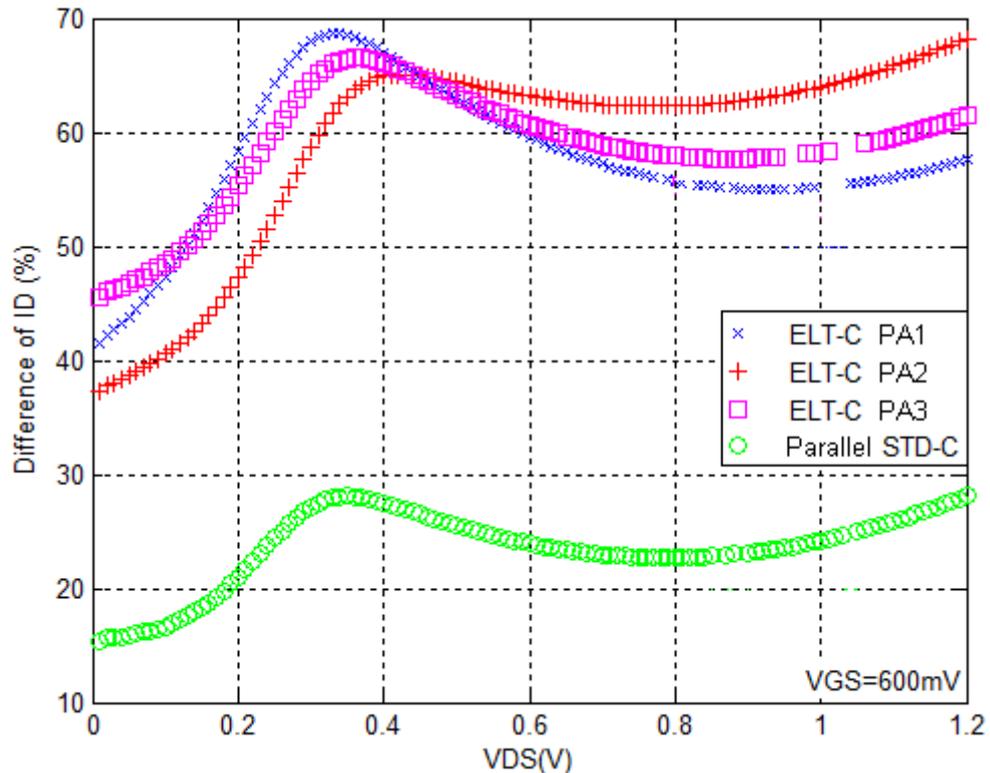


Figura 4.25 – Diferença percentual entre os dados simulados e experimentais nas curvas $I_D \times V_{DS}$ das associações paralelo com ELTs-C e com transistor STD-C, considerando apenas $V_{GS}=600$ mV.



Com o objetivo de verificar quantas vezes a corrente é multiplicada pela associação de transistores foi observado/criado o fator de multiplicação da corrente (FMC) de dreno da associação em paralelo em relação à configuração com um único transistor. Esse fator de multiplicação foi analisado considerando variações de V_{DS} e para diferentes valores de V_{GS} . Esse parâmetro pode também indicar “efetivamente” quantas vezes a razão de aspecto da associação é aumentada. Para obtê-los foi feita a divisão das correntes de dreno obtidas nos experimentos práticos das configurações PA1, PA2 e PA3 pelas correntes dos ELTs com dreno interno e externo individualmente. Por exemplo, a corrente de dreno dos ELTs do circuito Cir_3_ELT_C_PA1 divididos pela corrente de dreno do ELT do circuito Cir_1_ELT_C_inner.

A Figura 4.26 ilustra o comportamento do FMC considerando a configuração PA1 em relação ao **ELT com dreno interno**, onde é possível observar que, para as curvas com V_{GS} pequenos ($V_{GS}=0$ V e $V_{GS}=200$ mV), onde o transistor está no modo corte, o fator de multiplicação varia bastante entre 1 podendo chegar próximo de 5.1 (quando $V_{DS} \approx 600$ mV). Quando os transistores estão na saturação ($V_{GS}=400$ mV, $V_{GS}=500$ mV e $V_{GS}=600$ mV), o fator se mantém mais estável, porém sem alcançar o valor quatro, como era estimado que pudesse atingir. A Figura 4.27 apresenta o comportamento do fator de multiplicação da

configuração PA2 em relação ao ELT com dreno interno. Quando $V_{GS}=0$ V, a tendência observada durante toda a variação em V_{DS} é semelhante ao observado para a configuração PA1, que foi mostrada na Figura 4.26. Porém, para os demais valores de V_{GS} não é possível observar correlação com a configuração PA1. Além disso, a variação do fator de multiplicação, considerando todo o intervalo de V_{DS} analisado, é maior nos casos em que o transistor está na saturação. Os dados do comportamento da configuração PA3 em relação ao ELT dreno interno são plotados na Figura 4.28. Convém notar que a tendência mostrada nas configurações anteriores da curva para $V_{GS}=0$ V é mantida. Assim como, é possível observar que os comportamentos para $V_{GS}=400$ mV, $V_{GS}=500$ mV e $V_{GS}=600$ mV são mantidos em relação à configuração PA2. Porém, com uma variação menor no caso da configuração PA3. O comportamento do FMC das configurações PA1, PA2 e PA3 quando estes são comparados com um único **ELT com dreno externo** foram avaliados e os resultados podem ser visualizados no Apêndice A nas Figuras A.4 – A.6.

Figura 4.26 – Comportamento do FMC considerando a configuração paralela PA1 comparando com um único ELT-C dreno interno.

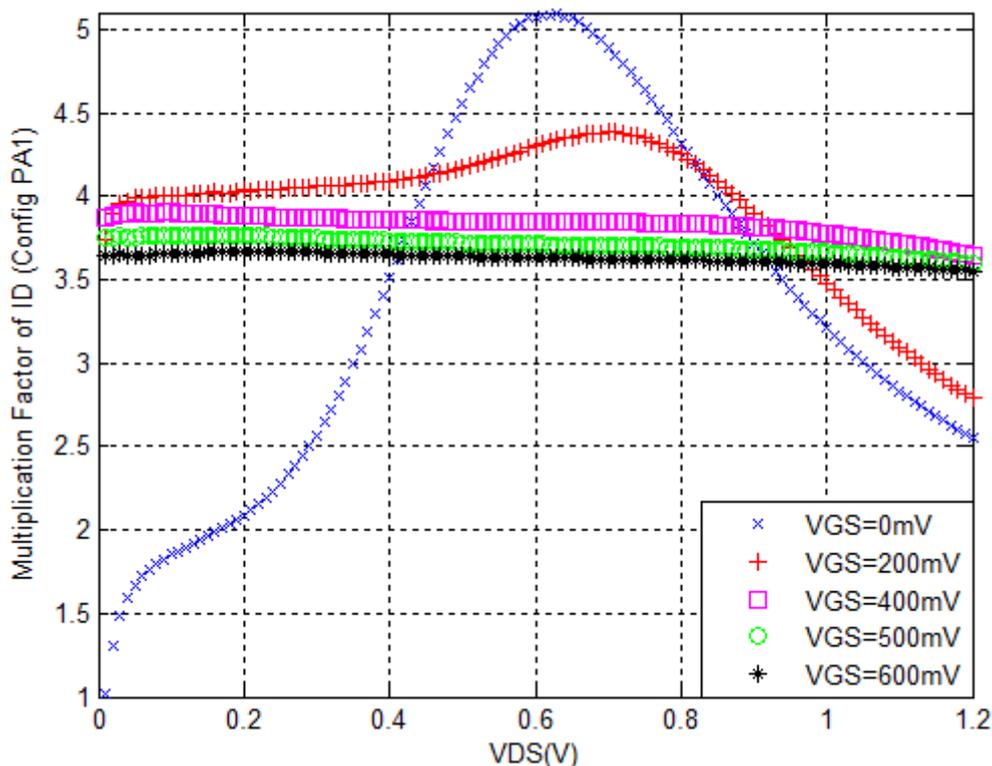


Figura 4.27 – Comportamento do FMC considerando a configuração paralela PA2 comparando com um único ELT-C dreno interno.

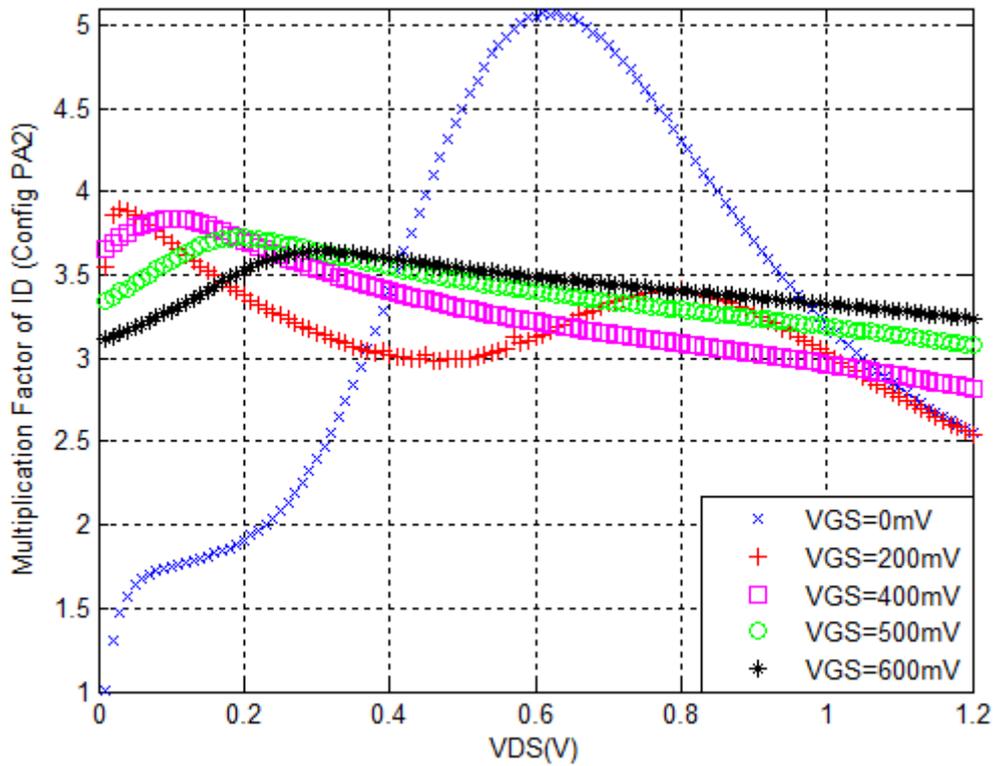
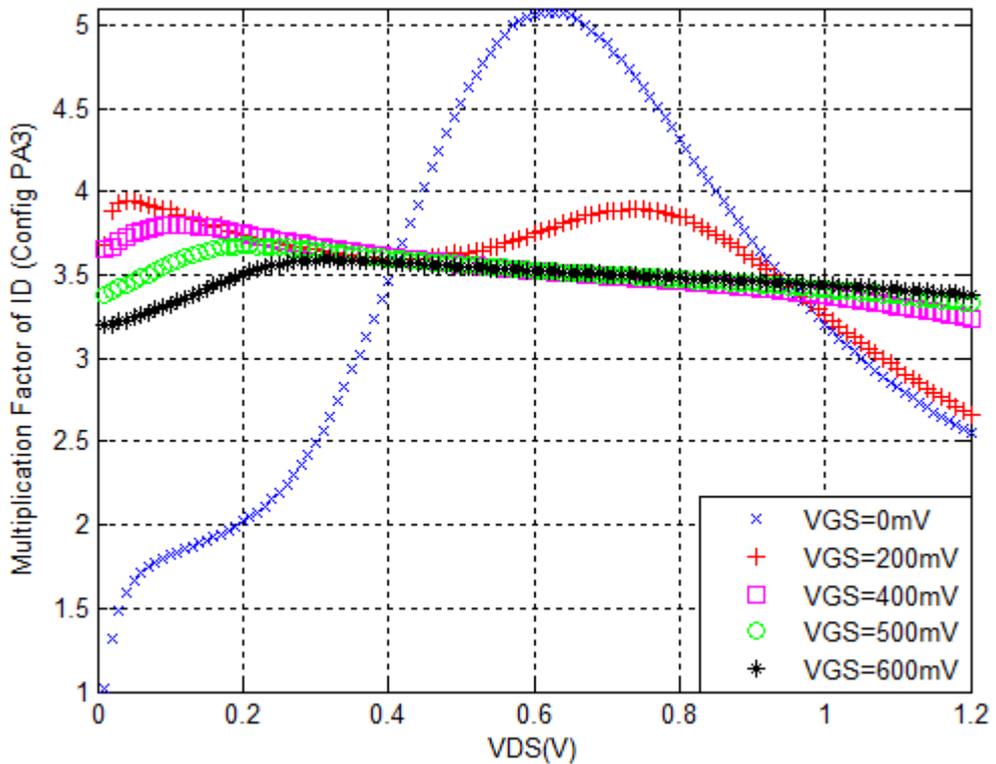
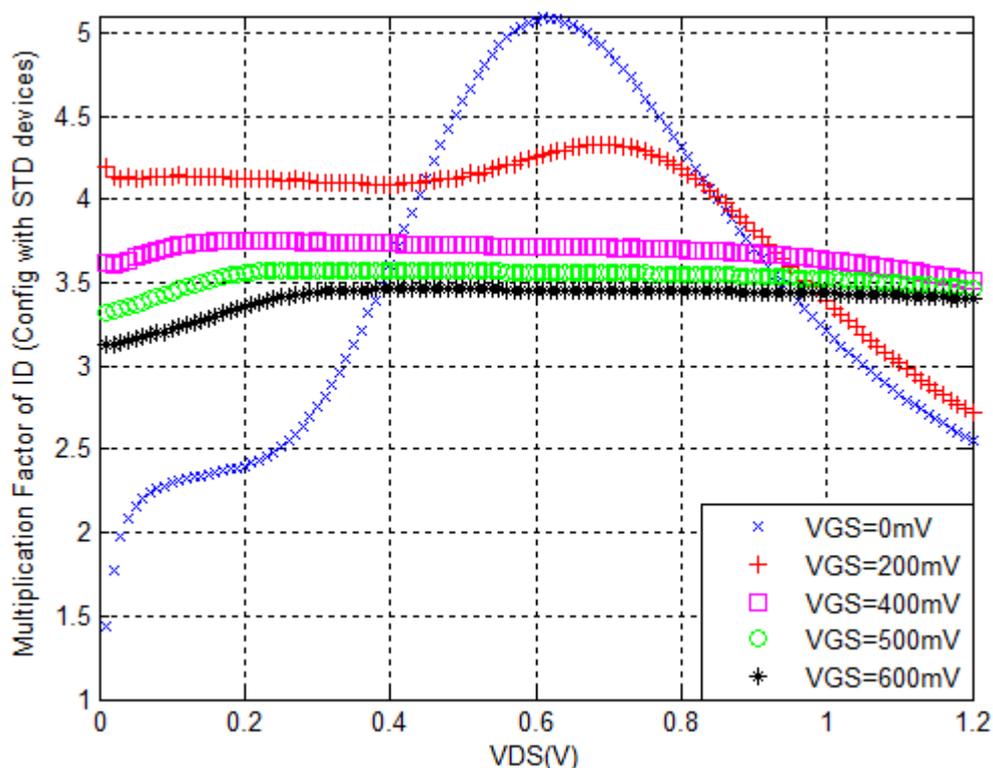


Figura 4.28 – Comportamento do FMC considerando a configuração paralela PA3 comparando com um único ELT-C dreno interno.



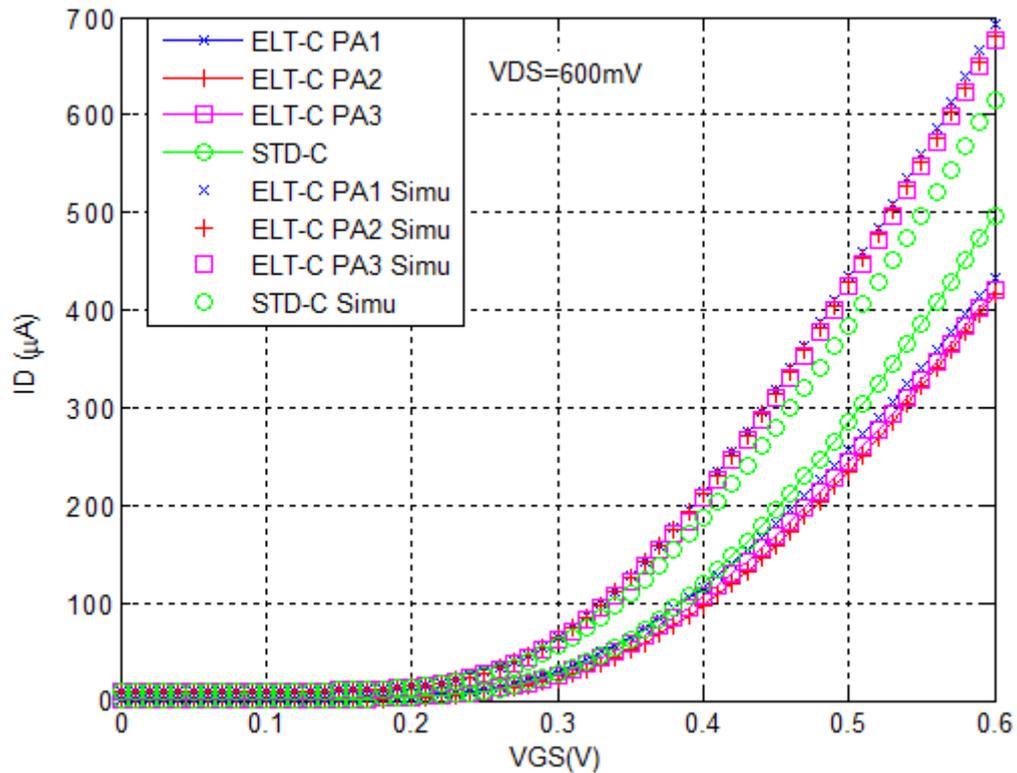
De forma a permitir fazer comparações com os transistores que usam layouts tradicionais em relação ao FMC, essa análise foi feita com a associação paralela de transistores STD-C, conforme pode ser observado na Figura 4.29. Essa figura foi obtida dividindo os resultados das correntes da associação paralela STD (Cir_18_STD_C_parallel) pelos valores de correntes de um único transistor STD (Cir_17_STD_C). Através dessa figura é possível notar que a tendência das curvas segue aos que foram apresentados na Figura 4.26 (Config. PA1 em relação ao ELT com dreno interno). Os dados das análises do FMC apresentadas até aqui, demonstram que, o fator de multiplicação depende das condições de polarização (V_{GS} e V_{DS}) em que os transistores se encontram, assim como se as associações usam ELTs com dreno interno ou externo.

Figura 4.29 – Comportamento do FMC considerando a configuração paralela com transistores STD comparando com um único transistor STD-C.



O comportamento $I_D \times V_{GS}$, quando $V_{DS}=600$ mV, foi traçado para as associações paralelas considerando os resultados da caracterização elétrica e os dados de simulação, conforme pode ser visto na Figura 4.30. Através dessa figura é possível notar que as correntes obtidas por simulação são maiores (curvas com caracteres sem linha), quando comparado com a respectiva amostra experimental. Isso demonstra que a simulação superestima os valores das correntes de dreno. Esse problema é mais evidente nos ELTs, onde se observa as maiores diferenças.

Figura 4.30 – Curvas $I_D \times V_{GS}$ das associações em paralelo com dispositivos ELTs-C e com transistor STD-C considerando os resultados experimentais e simulados quando $V_{DS}=600$ mV.



O W/L das associações paralelas PA1, PA2 e PA3 foram extraídos a partir dos dados experimentais das curvas $I_D \times V_{GS}$ com a mesma estratégia descrita na seção 4.2.1 e também assumindo que o K_n calculado para a associação com transistores STC-C é adotado nos cálculos da extração das configurações PA1, PA2 e PA3. Os valores de corrente I_D são oriundos dos dados apresentados na Figura 4.30 quando $V_{GS}=V_{DS}=600$ mV. Para realizar esse processo, o conjunto de quatro transistores associados em paralelo é considerado como um único dispositivo equivalente. A Tabela 4.6 exhibe os resultados obtidos no processo de extração que apontam que as diferenças para a configuração STD-C são, para as associações PA1, PA2 e PA3, respectivamente, -31,63%, -8,27% e -22,10%. Os sinais negativos indicam que os W/L extraídos são menores do que o desenhado na ferramenta de EDA.

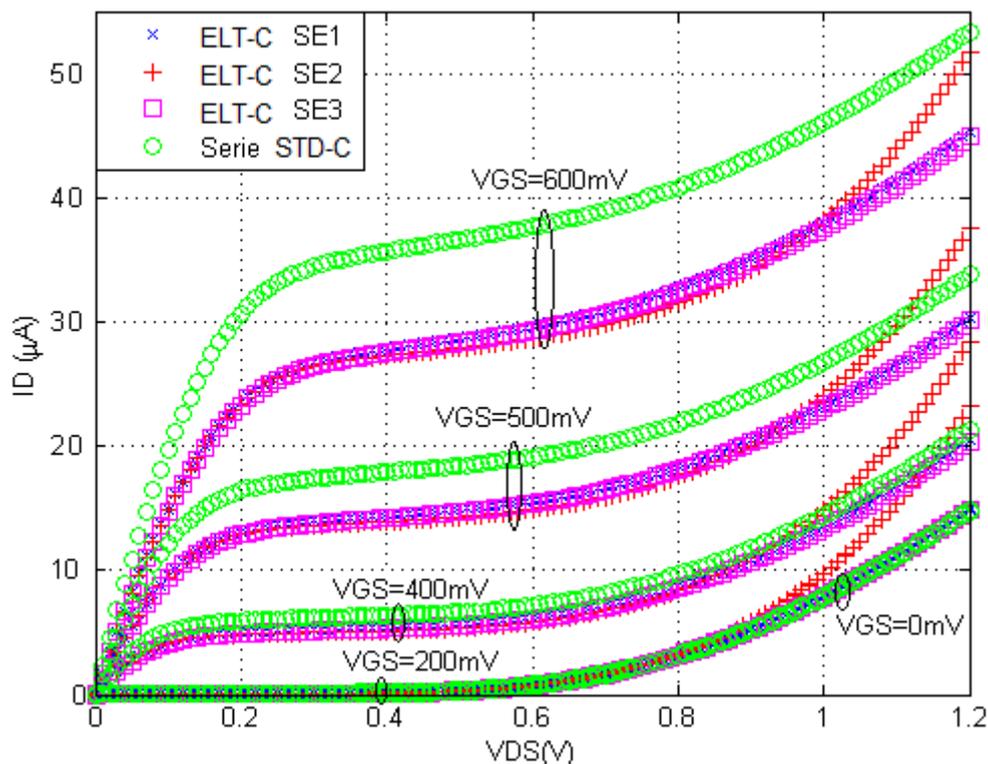
Tabela 4.6 – Resultados obtidos para os W/L das associações paralelas com ELTs-C.

Association	$I_D(\mu A)$	$V_{GS}(mV)$	$K_n(\mu A/V^2)$	$V_{th}(mV)$	W/L -EDA	W/L -Exp	% (EDA x EXP)
ELT-C PA1	433,74	600	621,1626	340	30,22	20,6589	-31,63
ELT-C PA2	416,75	600	621,1626	380	30,22	27,72	-8,27
ELT-C PA3	421,15	600	621,1626	360	30,22	23,54	-22,10
STD-C parallel	497	600	621,1626	370	30,25	30,25	0

4.2.2.2 Associações em série

Nas associações séries SE1, SE2 e SE3 (Cir_6_ELT_C_SE1, Cir_7_ELT_C_SE2 e Cir_8_ELT_C_SE3, de acordo com a Tabela 4.4) com ELTs-C, os resultados das curvas $I_D \times V_{DS}$ foram bastante próximos para todos os valores de V_{GS} e em toda extensão de V_{DS} analisados, até mesmo nas regiões de transição do modo tríodo para saturação, conforme pode ser visualizado na Figura 4.31. Na saturação, não é possível afirmar que a configuração SE3 apresenta resultados intermediários entre SE1 e SE2, conforme foi possível notar para as associações em paralelo. Para a associação SE2 é possível notar uma inclinação mais acentuada da corrente em relação às outras configurações quando V_{DS} supera ≈ 1 V. Isso pode ser explicado devido a contribuição de um efeito conhecido como *Substrate Current Induced Body Effect* (SCBE) na tensão de *Early* (V_A). Esse efeito também pode ser observado nas configurações SE1 e SE3, porém de forma mais suave do que foi observado em SE2. Em relação aos dados obtidos da associação série com transistores STD (Cir_19_STD_C_series), pode ser notada a mesma tendência observada para associação paralela, ou seja, quando V_{GS} é aumentado ocorre o aumento também da diferença para as curvas SE1, SE2 e SE3. Do mesmo modo que já foi observado para as outras análises, quando $V_{GS}=400$ mV, $V_{GS}=500$ mV e $V_{GS}=600$ mV, a configuração com transistores de porta retangular STD demonstra maior capacidade de corrente que as configurações com ELTs. A exceção é a configuração SE2 quando V_{DS} possui valores próximos de V_{DD} .

Figura 4.31 - Curvas $I_D \times V_{DS}$ das associações em série com os dispositivos ELT-C e STD-C.



A diferença percentual na corrente de dreno entre o arranjo com transistores STD e a configuração SE1, SE2 e SE3 foram avaliadas, os resultados são mostrados no Apêndice A nas Figuras A.7 – A.9.

Simulações dos arranjos SE1, SE2 e SE3 juntamente com a configuração série com transistores STD-C foram feitas para obter as curvas $I_D \times V_{DS}$, cujos dados são exibidos na Figura 4.32. Conforme pode ser observado, os resultados foram consideravelmente diferentes quando comparado com os dados experimentais demonstrados na Figura 4.31. As divergências aumentam significativamente quando os valores de V_{DS} são maiores que 600 mV. A precisão dessas diferenças é apresentada na Figura 4.33. Essa figura representa a diferença percentual na corrente de dreno caso a caso entre os resultados experimentais e simulados, considerando apenas a polarização com $V_{GS}=600$ mV. Enquanto V_{DS} é menor que 600 mV os resultados das simulações se mostram coerentes em relação aos dados obtidos para um único transistor (Figura 4.21) e das associações em paralelo (Figura 4.25). Porém, quando V_{DS} é maior que 600 mV, o aumento da divergência entre simulação e prática cresce com tendência aproximadamente exponencial. Os valores dessas diferenças na estimativa da corrente de dreno superam os 300% para as associações com ELTs. Isso mostra de forma mais incisiva que a corrente de dreno tende a ser superestimada no processo de simulação principalmente para os dispositivos ELTs.

Figura 4.32 - Curvas $I_D \times V_{DS}$ simuladas das associações em série com os dispositivos ELT-C e STD-C.

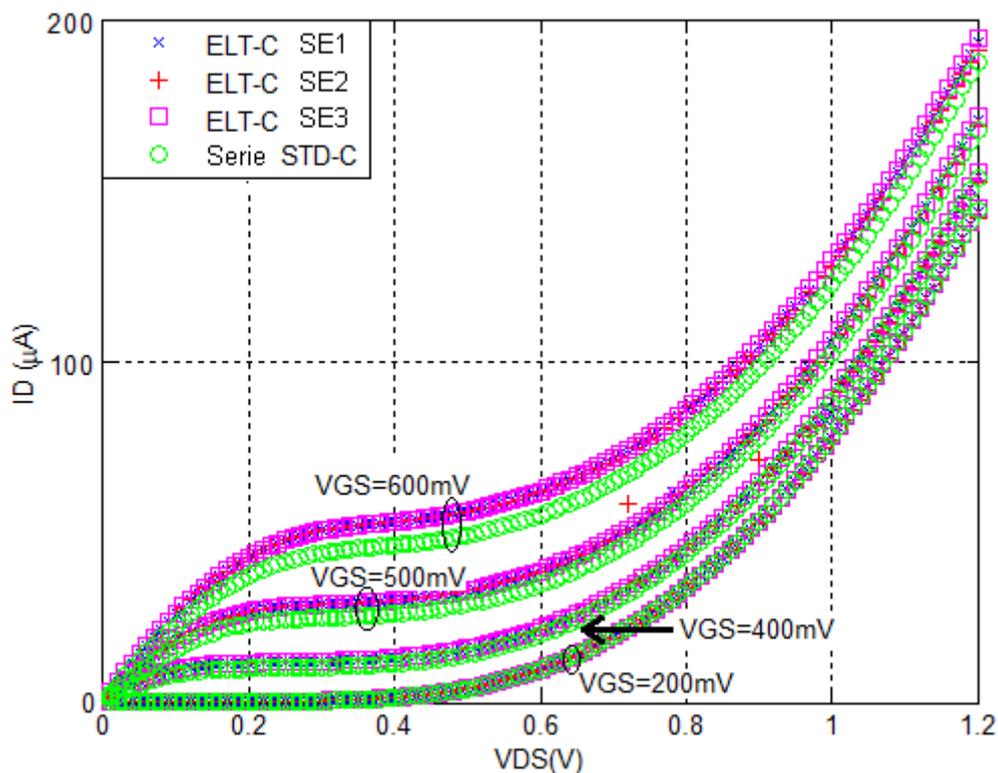
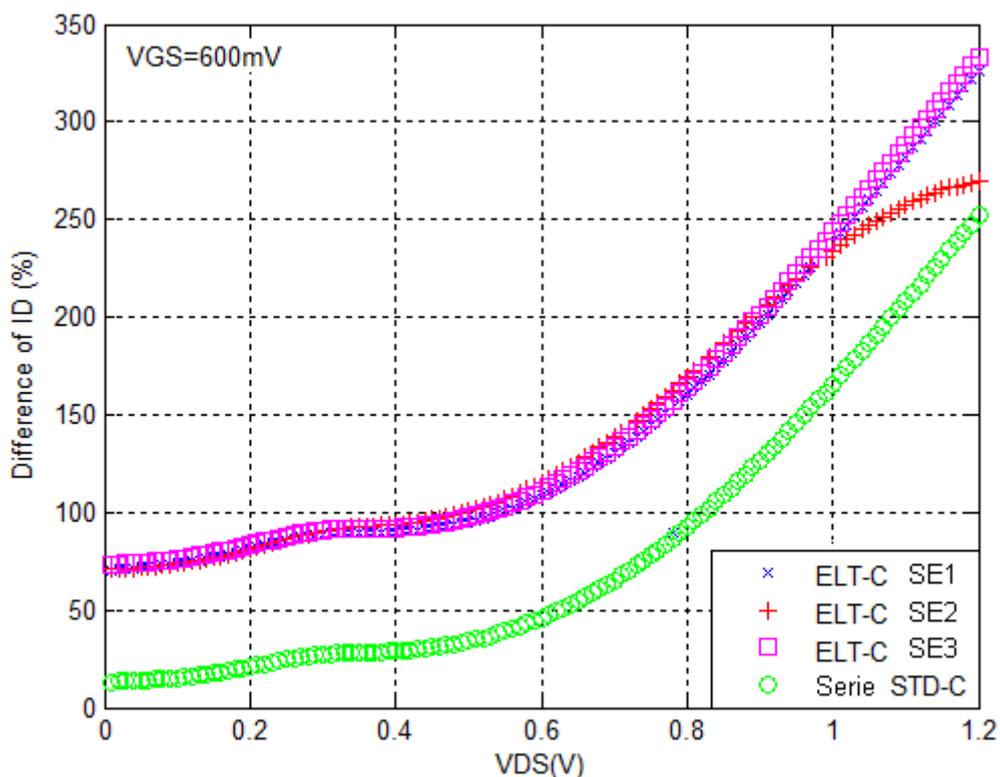


Figura 4.33 – Diferença percentual entre os dados simulados e experimentais nas curvas $I_D \times V_{DS}$ das associações série com ELTs-C e com transistor STD-C, considerando apenas $V_{GS} = 600\text{ mV}$.



Nas associações em série foi avaliado/criado o fator de divisão da corrente (FDC) de dreno em relação à configuração com um único ELT. O objetivo é observar o quão próximo de 4 vezes a corrente de dreno é reduzida nas associações em série. Esse parâmetro pode também indicar “efetivamente” quantas vezes a razão de aspecto da associação é diminuída. De forma análoga ao que foi feito para as configurações paralelas, foram consideradas as correntes de dreno de um único ELT e divididas pelas correntes de dreno das associações série. A seguir são apresentados os comportamentos do FDC considerando a **comparação com ELT dreno interno**. As Figuras 4.34-4.36 representam os FDC para as configurações SE1, SE2 e SE3, respectivamente. Conforme pode ser notado através dessas figuras, a tendências das curvas são mantidas para as três configurações de associações série. No entanto, nota-se que o FDC pode variar bastante à medida que se altera V_{DS} e V_{GS} . A Figura 4.37 apresenta os resultados do FDC considerando a associação de transistores STD-C em série na comparação com um único transistor STD-C. Através dessa figura pode ser identificada a mesma tendência encontrada nas configurações SE1, SE2 e SE3. A manutenção de um padrão de comportamento não foi observado nas associações em paralelo. Convém salientar que para determinadas faixas de valores de V_{DS} e V_{GS} o fator de divisão da corrente supera o valor 4. O comportamento do FDC considerando a **comparação com ELT dreno externo** segue as mesmas tendências observadas nas Figuras 4.34-4.36 e por isso não serão mostradas.

Figura 4.34 – Comportamento do FDC considerando a configuração série SE1 comparando com um único ELT-C dreno interno.

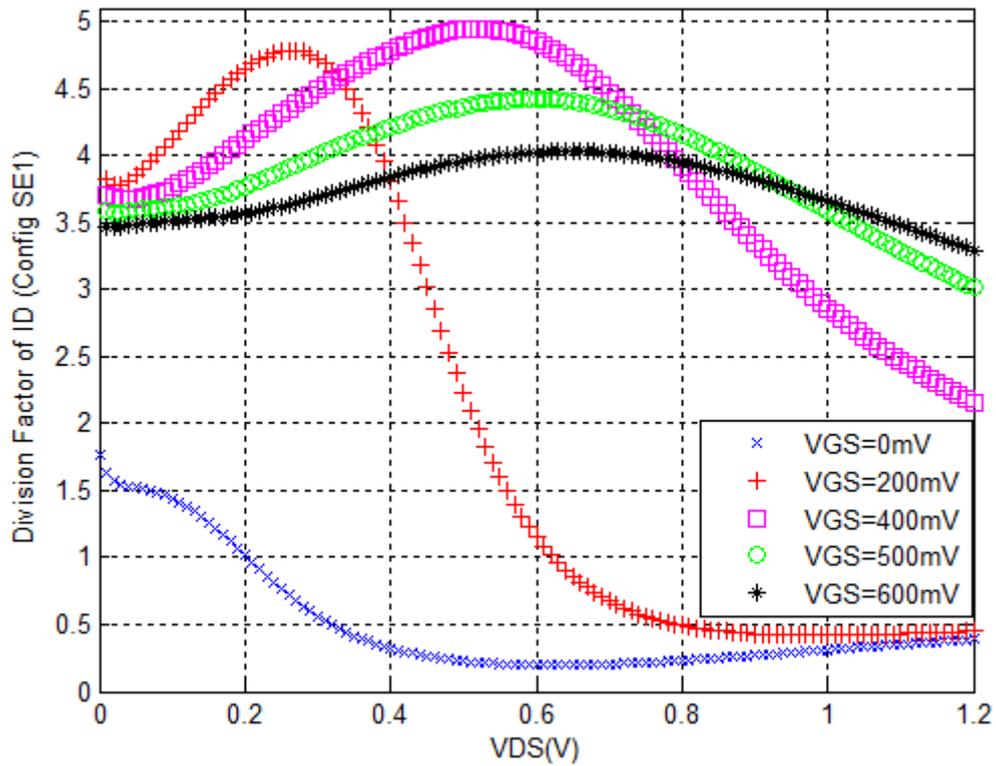


Figura 4.35 – Comportamento do FDC considerando a configuração série SE2 comparando com um único ELT-C dreno interno.

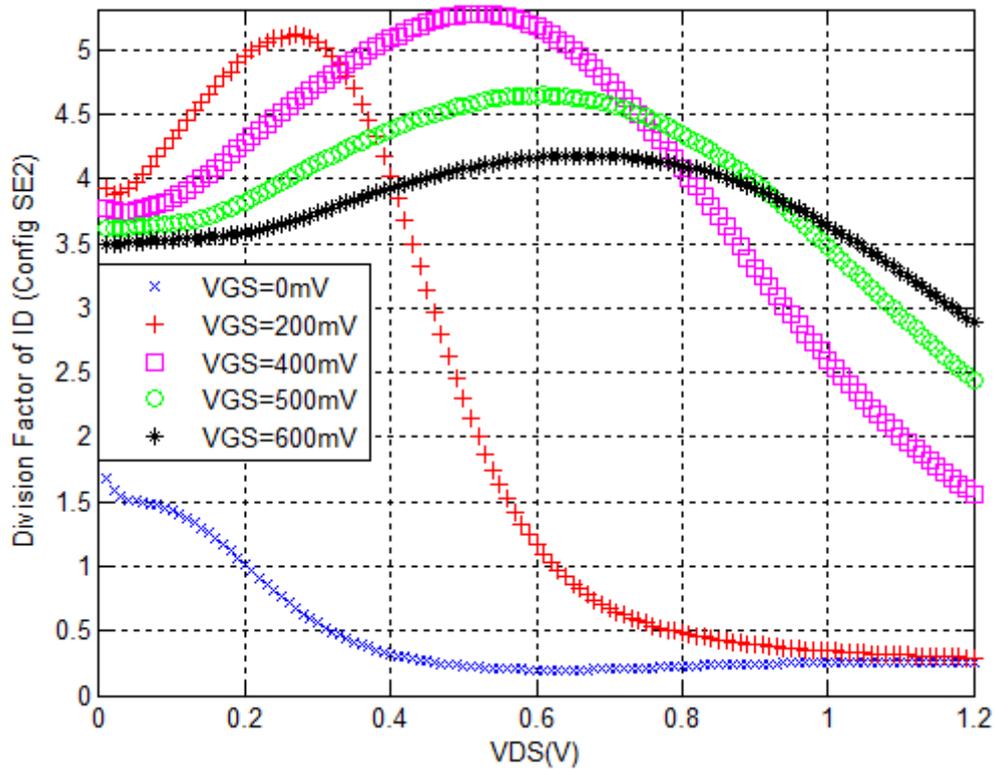


Figura 4.36 – Comportamento do FDC considerando a configuração série SE3 comparando com um único ELT-C dreno interno.

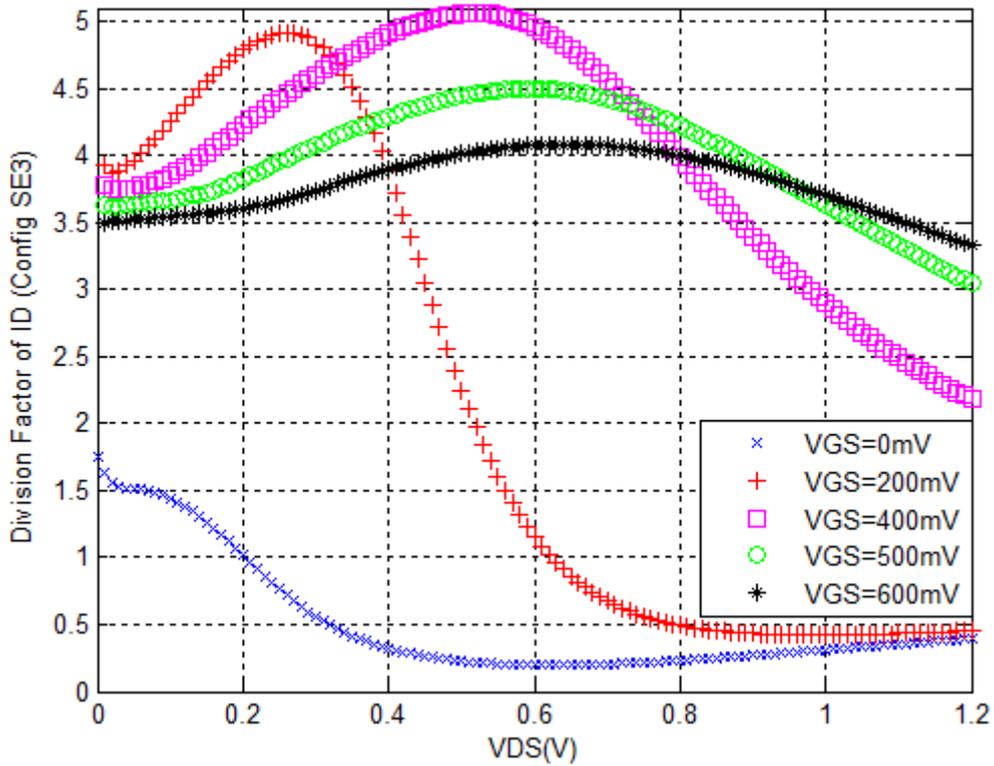
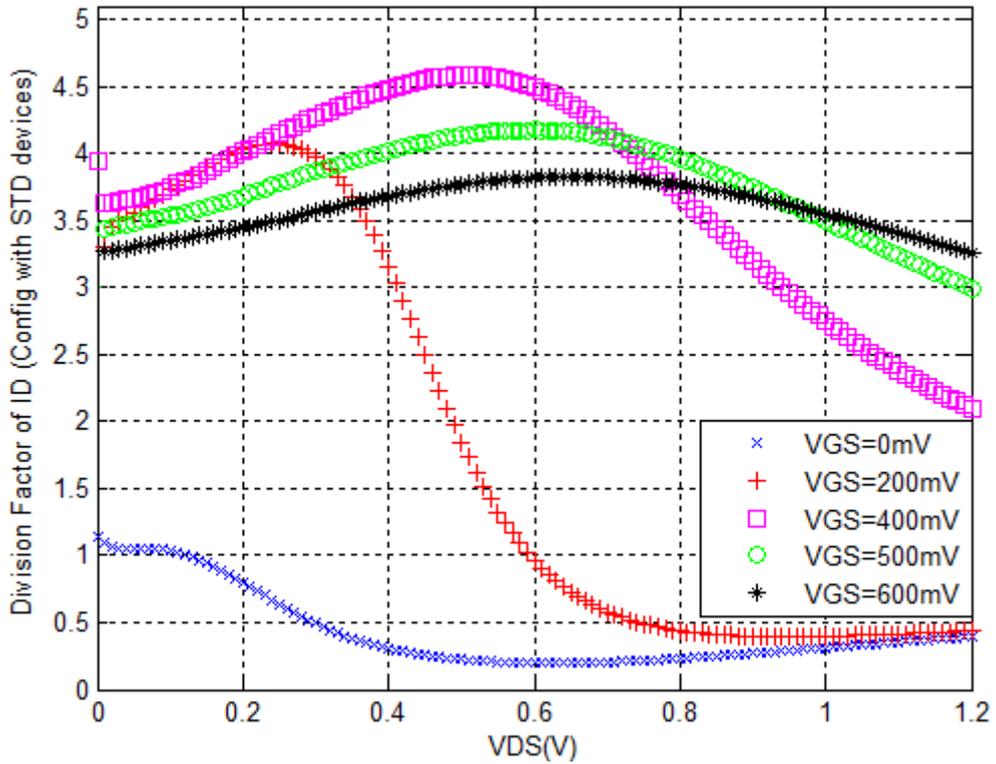
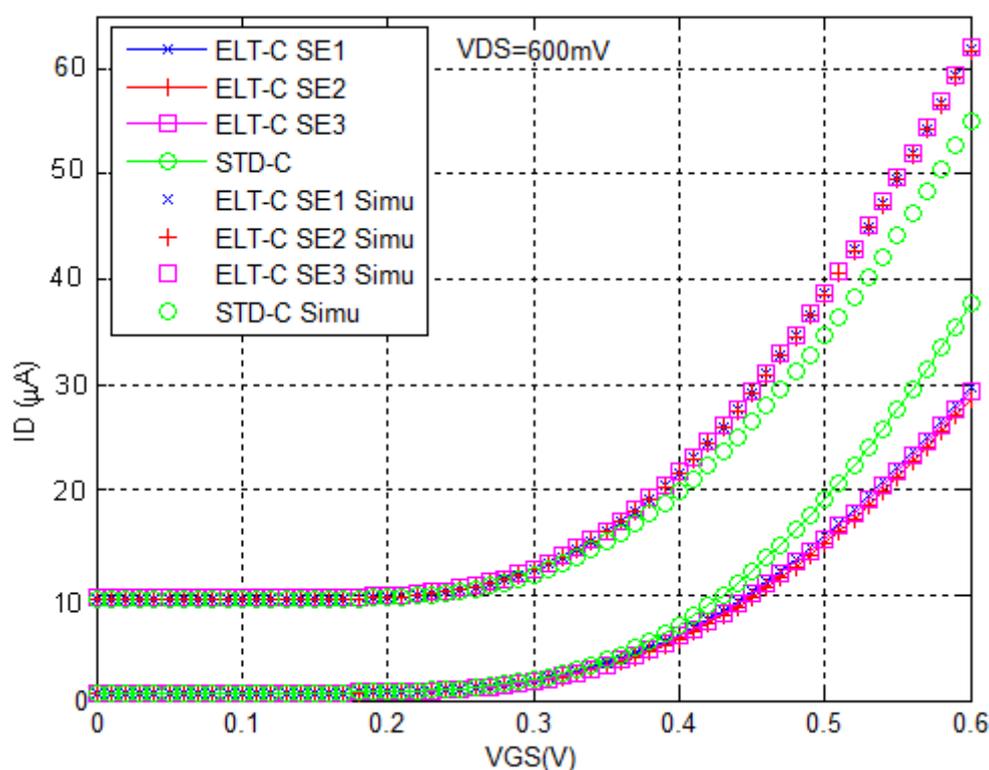


Figura 4.37 – Comportamento do FDC considerando a configuração série com transistores STD-C comparando com um único transistor STD-C.



A Figura 4.38 exibe o comportamento comparativo $I_D \times V_{GS}$ das associações série com os dados experimentais e obtidos por simulações, com V_{DS} fixo em 600 mV. A tendência observada é mesma apresentada para os ELTs individuais (Figura 4.22) e das associações em paralelo (Figura 4.30) no que se refere as associações com ELTs na comparação com as que usam transistor STD. Porém, nos casos das simulações, é observado o aumento da corrente de sublimiar (cerca de 10 μA) para todas as configurações, conforme pode ser inferido da Figura 4.38, na região que compreende o V_{GS} abaixo de 300 mV. Os dados experimentais do comportamento das associações SE1, SE2 e SE3 são praticamente idênticos.

Figura 4.38 – Curvas $I_D \times V_{GS}$ das associações em série com dispositivos ELTs-C e com transistor STD-C considerando os resultados experimentais e simulados quando $V_{DS}=600$ mV.



Através dos dados apresentados na Figura 4.38 foram extraídos os valores necessários de I_D , quando $V_{GS}=V_{DS}=600$ mV, para estimar o W/L equivalente das associações em série. A estratégia utilizada segue a mesma que já foi comentada na seção 4.2.1. Logo, o K_n obtido para a associação série com transistores STD-C foi considerado igual para as associações com ELT-C. Os resultados mostram que os W/L extraídos das associações série com ELT-C são menores do que foram desenhados na ferramenta de EDA (cujo o modelo para estimar o W/L foi o que a própria ferramenta adota), conforme indica a Tabela 4.7. As diferenças observadas considerando as limitações desse método de extração são -20,74% para configuração SE1, -23,45% para a configuração SE2 e -22,14% para a associação SE3.

Tabela 4.7 – Resultados obtidos para os W/L das associações série com ELTs-C.

Association	$I_D(\mu A)$	$V_{GS}(mV)$	$K_n(\mu A/V^2)$	$V_{th}(mV)$	W/L -EDA	W/L -Exp	% (EDA x EXP)
ELT-C SE1	29,695	600	1770,145	450	1,88	1,49	-20,74
ELT-C SE2	28,667	600	1770,145	450	1,88	1,439	-23,45
ELT-C SE3	29,303	600	1770,145	450	1,88	1,4715	-22,14
STD-C Serie	37,651	600	1770,145	450	1,89	1,89	0

4.2.3 Resultados Considerando as Propostas de Alternativas para Obtenção de Simetria dos ELTs

Os resultados experimentais considerando o uso de ELT assimétricos mostraram-se diferentes em relação aos dados dos transistores com porta retangular STD de mesma razão de aspecto. Essa diferença também pode ser significativa nas respostas de frequência. Visando diminuir a diferença entre as respostas elétricas dos dispositivos ELTs e o equivalente que usa layout convencional foram prototipados circuitos com ELTs-Pseudo Simétricos. Esses ELTs têm a mesma área de dreno e fonte e por isso espera-se que os resultados experimentais sejam mais aproximados entre ELTs e dispositivos STD com layout de porta retangular. Com a utilização de ELT-PS não se busca economia de área em relação aos ELT assimétricos, e nem que eles sejam mais rápidos ou que consumam menos energia. A busca é de que eles apresentem resultados elétricos experimentais mais próximos aos transistores com layout STD de mesma razão de aspecto, quando comparados com ELTs assimétricos.

Usando a Equação 3.3 e tomando como exemplos os comprimentos de canal de $L=0.12 \mu m$, $L=0.48 \mu m$ e $L=5 \mu m$ foram obtidas as dimensões para o parâmetro h considerando diferentes valores de d de um ELT-PS (ver Figura 3.16 para identificar d e h), conforme mostra as Tabelas 4.8, 4.9 e 4.10. Nessas tabelas também são apresentadas as estimativas de W/L usando a Equação 2.12 (que é a equação usada pela ferramenta de EDA para extrair o W/L), e a seguinte equação

$$\left(\frac{W}{L}\right)_{eff}^{Gir} = 2 \cdot \underbrace{\left(\frac{2\alpha}{\ln\left(\frac{d'}{d'-2\alpha L}\right)}\right)}_{T1} + 2 \cdot \underbrace{\left(\frac{2\alpha}{\ln\left(\frac{h'}{h'-2\alpha L}\right)}\right)}_{T1} + 2 \cdot K \frac{1}{\Delta(\alpha)} \frac{(1-\alpha)}{\ln(\alpha)} + 3 \cdot \underbrace{\frac{d-d'}{L}}_{T3} \quad (4.2)$$

onde, os parâmetros dessa equação foram definidos na Equação 2.1 da seção 2.3. Essa expressão é o modelo GIR adaptado para um transistor retangular.

Observando as três tabelas a seguir, é possível concluir que, à medida que o parâmetro h é aumentado, a diferença na estimativa do W/L entre o modelo EDA e o modelo GIR diminui. Isso ocorre, pois diminui a influência das porções da Equação 4.2 relacionadas aos

cantos do ELT. Ou seja, a porção T1 da equação é dominante em relação às outras. Além disso, a porção que causa divergências entre esses dois modelos (região do “pescoço” do ELT região destacada na Figura 4.5) tem sua importância reduzida quando a razão de aspecto é grande.

Por outro lado, no exemplo da Tabela 4.10 onde o $L=5 \mu\text{m}$, a diferença entre os dois modelos, pode chegar a 30% quando d e h têm valores próximos um do outro e geram razões de aspecto pequenas. Nesse caso específico os cantos do ELT, juntamente com a região destacada na Figura 4.5, exercem uma influência importante na determinação da razão de aspecto.

Tabela 4.8 – Possíveis dimensões de ELTs-PS considerando $L=0.12 \mu\text{m}$.

$d (\mu\text{m})$	$h(\mu\text{m})$	$W/L -EDA$	$W/L -GIR$	$\% (EDA-GIR)$
0.73	111.12	1869.2	1865.5	+0.1979
0.74	55.845	948.15	944.4	+0.3955
0.75	37.42	641.2	637.5	+0.5770
0.76	28.21	487.85	484.14	+0.7605
0.78	18.99	334.65	330.93	+1.1116
0.8	14.39	258.2	254.49	+1.4369
0.85	9.07	170.45	166.74	+2.1766
0.9	6.71	131.9	128.21	+2.798
1	4.52	97.05	93.31	+3.854
2	1.43	62.25	58.57	+5.912

Tabela 4.9 - Possíveis dimensões de ELTs-PS considerando $L=0.48 \mu\text{m}$.

$d (\mu\text{m})$	$h(\mu\text{m})$	$W/L -EDA$	$W/L -GIR$	$\% (EDA-GIR)$
0.73	196.44	469.9	467.7	+0.4681
0.74	98.50	239.65	237.43	+0.9263
0.75	65.86	162.9	160.70	+1.3505
0.76	49.54	124.6	122.36	+1.7977
0.78	33.21	86.3	84.05	+2.6072
0.8	25.05	67.15	64.95	+3.276
0.85	15.64	45.25	43.01	+4.9502
0.9	11.45	35.6	33.37	+6.264
1	7.56	26.9	24.65	+9.795
2	2.10	18.2	15.96	+12.307

Tabela 4.10 - Possíveis dimensões de ELTs-PS considerando $L=5 \mu\text{m}$.

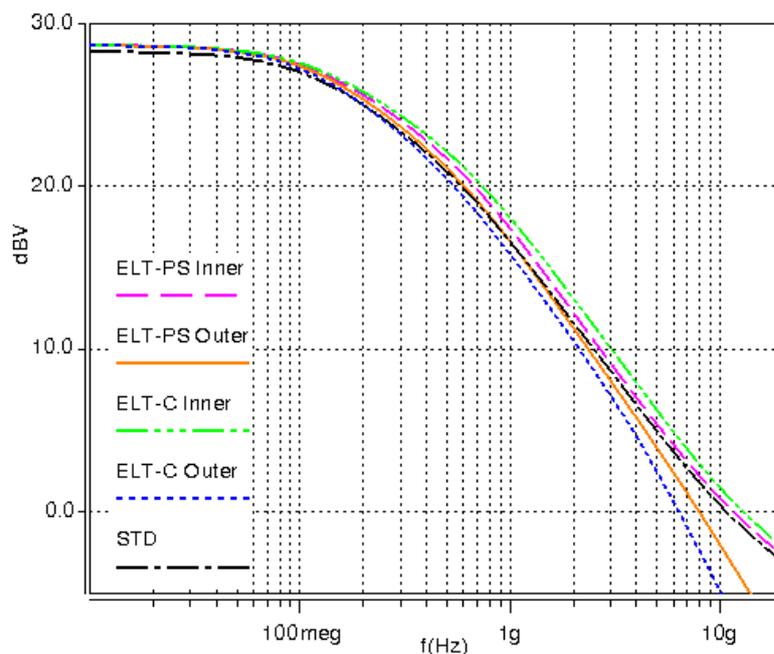
$d(\mu\text{m})$	$h(\mu\text{m})$	W/L -EDA	W/L -GIR	% (EDA-GIR)
0.73	1267.7	48.275	46.75	+3.159
0.74	634.12	26.17	24.65	+5.8082
0.75	422.9	18.805	17.28	+8.109
0.76	317.34	15.125	13.60	+10.083
0.78	211.75	11.445	9.92	+13.3246
0.8	158.96	9.61	8.09	+15.8168
0.85	98.04	7.505	5.99	+20.186
0.9	70.96	6.58	5.06	+23.1
1	45.82	5.74	4.23	+26.3066
2	10.47	4.9	3.39	+30.8163

Observando essas três tabelas, é possível notar que para obter um ELTs-PS com razões de aspecto pequenas são necessários comprimentos de canal grandes, e mesmo assim, com $L=5 \mu\text{m}$ o W/L obtido foi 4.9 (usando o modelo EDA). Por isso, a técnica de usar transistores associados em série (seja com ELT-C ou ELT-PS) surge com boas perspectivas visando reduzir o W/L de transistores, podendo também proporcionar a redução da área, conforme pode ser deduzido da Figura 4.13. Essas tabelas também podem ser utilizadas pelos projetistas de circuitos integrados analógicos tolerantes à radiação com técnicas de RHBD usando ELT-PS, de forma a realizar a etapa de projeto partindo do princípio de, sempre que possível, usar apenas esses transistores pré-definidos.

Para melhorar a abrangência das comparações, um ELT-C com as mesmas dimensões W e L do ELT-PS foi projetado no Virtuoso® apenas para obter dados de simulação (não foi incluso no conjunto de circuitos prototipados) para permitir demonstrar as implicações no desempenho de um amplificador fonte comum quando se usa um ou outro dispositivo. Os resultados em termos de resposta em frequência são mostrados na Figura 4.39. Conforme pode ser notado nessa figura, as curvas das configurações ELT-PS com dreno interno e ELT-PS com dreno externo são mais próximas da configuração com transistor de porta retangular STD equivalente, quando são comparados com as configurações equivalentes com ELTs-C. A magnitude dessa diferença demonstra que as configurações ELT-PS têm o GBW entre 7.96 GHz e 11.5 GHz enquanto que os circuitos com ELT-C têm GBW entre 6.39 GHz e 12.86 GHz. Já a resposta da configuração com transistores STD tem GBW igual a 10.69 GHz. Em relação ao ganho DC, todas as configurações com ELT tiveram ganho DC de 28.62 dB, já a configuração STD apresentou ganho DC de 28.24 dB. Esses resultados demonstram a potencialidade dos ELT-PS no sentido de aproximar os resultados do comportamento dos

circuitos integrados com ELT-PS com os resultados dos circuitos integrados que usam apenas dispositivos com porta retangular STD.

Figura 4.39 – Comparação da resposta em frequência entre o ELT-PS e o ELT-C equivalente e com a configuração STD equivalente.



Os resultados das simulações SPICE de dispositivos ELT-PS mostram que os resultados experimentais podem ser mais próximos da configuração STD, quando comparados com ELTs convencionais (com áreas de dreno e fonte assimétricos). O lado negativo dessa alternativa é que restringe ainda mais a faixa atingível de razões de aspecto. Finalmente, a complexidade do *overhead* causado pelo melhoramento em alguma parte do fluxo de projeto deve ser avaliada, de tal forma que o *tradeoff* entre a precisão nas simulações e o tempo de projeto/simulação possa ser vantajoso.

4.2.4 Resultados experimentais considerando individualmente ELTs Pseudo-Simétricos

Os circuitos Cir_9_EL_T_PS_inner e Cir_10_EL_T_PS_outer (de acordo com a Tabela 4.4) compostos por um único ELT-PS com $W=10.0665 \mu\text{m}$ e $L=0.48 \mu\text{m}$ e o circuito Cir_20_STD_PS que representa a versão equivalente com transistor STD, foram analisados no que se refere ao comportamento $I_D \times V_{DS}$. Através das medições experimentais, é possível notar que, o comportamento global manteve-se, em relação ao mostrado na Figura 4.17, conforme pode ser notado na Figura 4.40. Na região de saturação, para os casos onde os valores de V_{GS} são maiores (400 mV, 500 mV e 600 mV), nota-se que o ELT-PS com dreno interno apresenta corrente de dreno maior quando comparado com o dispositivo com dreno

externo. Numericamente essa diferença é semelhante a observada entre os ELTs-C com dreno interno e externo (Figura 4.17). As correntes de dreno da configuração STD-PS tendem a ser superiores na saturação, quando comparadas com os valores obtidos para os ELTs-PS. Essa diferença é mais acentuada nas curvas com $V_{GS}=500$ mV e $V_{GS}=600$ mV, conforme pode ser visualizado na Figura 4.40. A Figura 4.41 exibe a diferença percentual entre a corrente de dreno do dispositivo STD-PS em relação ao ELT-PS com dreno interno. Conforme pode ser notado, as diferenças se mostram menores quando comparado com os dados entre STD-C e o ELT-C com dreno interno (Figura 4.18). Considerando o que foi exposto na seção 4.2.1 (destinada aos ELT-C), a diferença observada, de menos de 5% para uma ampla faixa de V_{DS} e para diferentes valores de V_{GS} , pode ser considerada pequena. Da mesma forma que, são menores as diferenças percentuais nas correntes de dreno entre o transistor STD-PS e dispositivo ELT-PS (com dreno externo) na comparação com o transistor STD-C e ELT-C com dreno externo, conforme pode ser averiguado na Figura 4.42 e Figura 4.19. Pode ser visualizado também que as diferenças ficam com média aproximada de 5%, para os casos em que os transistores estão na saturação. Esses primeiros resultados já permitem observar que, os dispositivos ELT-PS exibem um comportamento mais próximos do dispositivo STD, embora deva-se salientar que essa diferença menor era esperada, pois os transistores ELT-PS e STD-PS possuem W/L maiores.

Figura 4.40 – Curvas $I_D \times V_{DS}$ dos dispositivos ELT-PS (dreno interno e externo) e STD-PS.

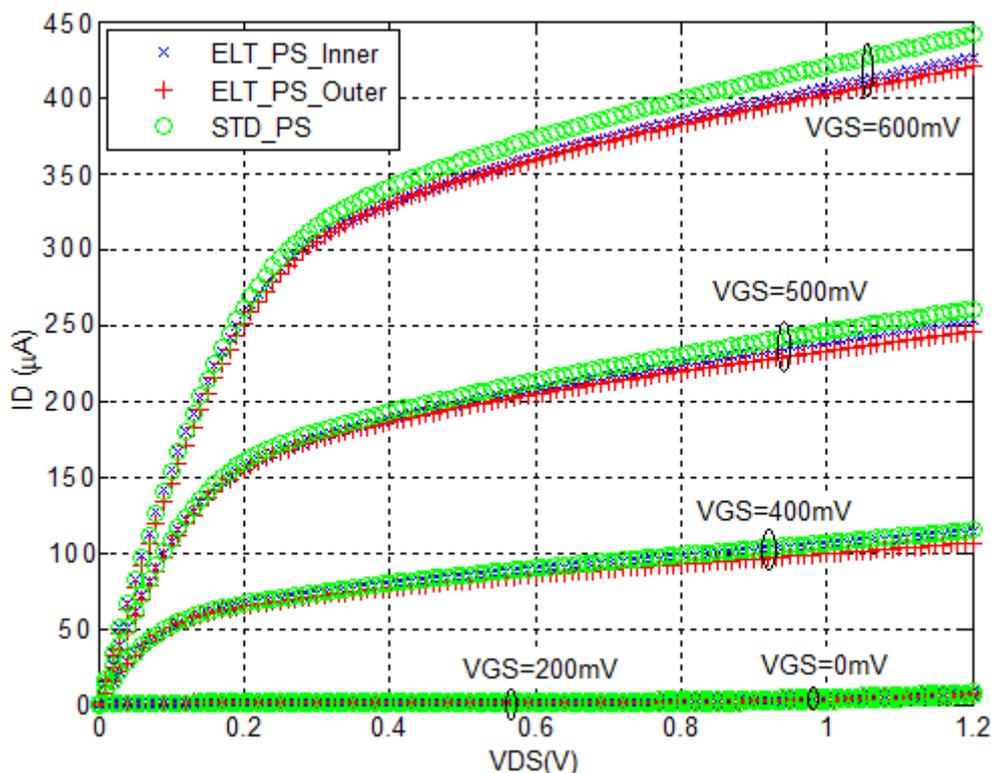


Figura 4.41 – Diferença percentual da corrente de dreno entre o transistor STD-PS e o ELT-PS Inner.

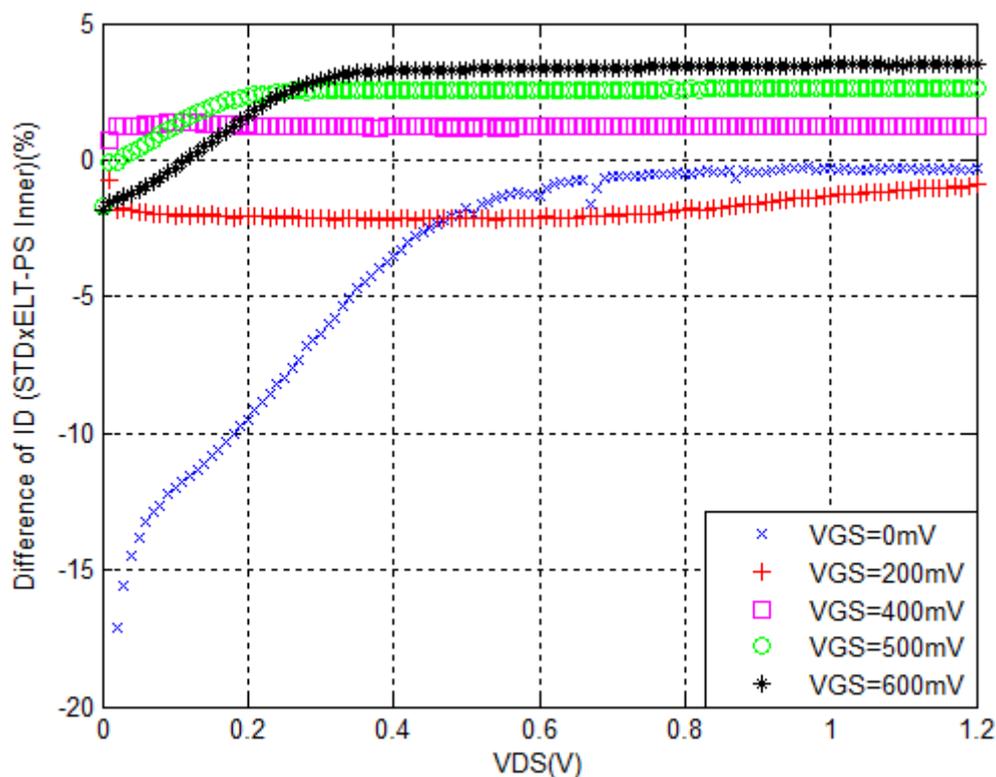
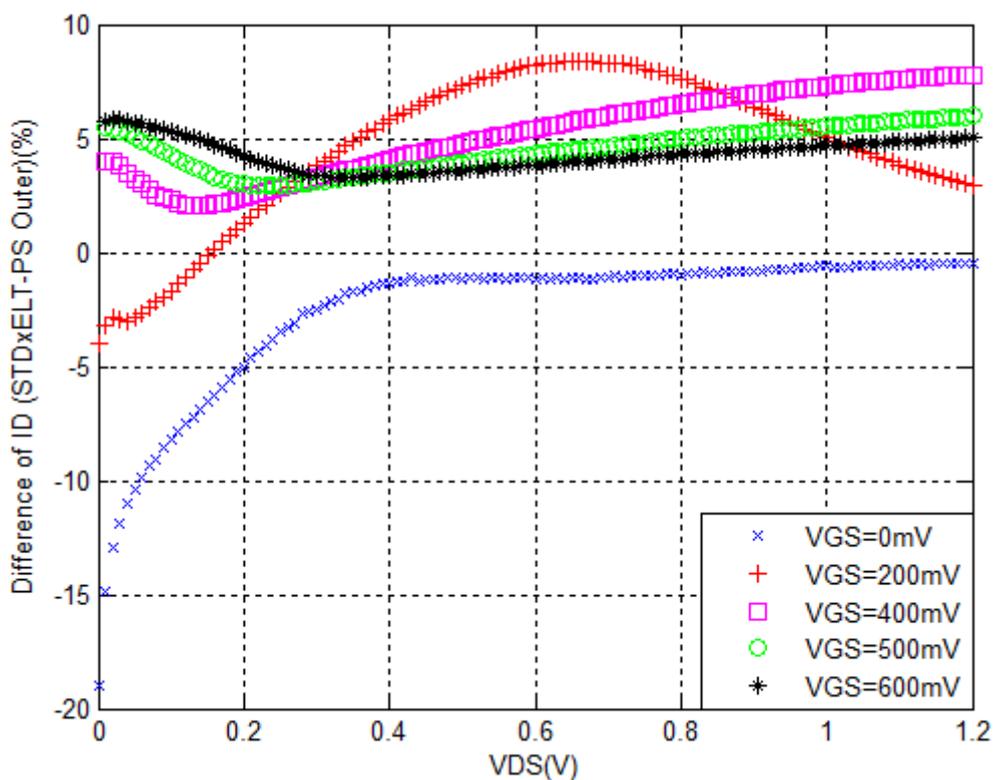


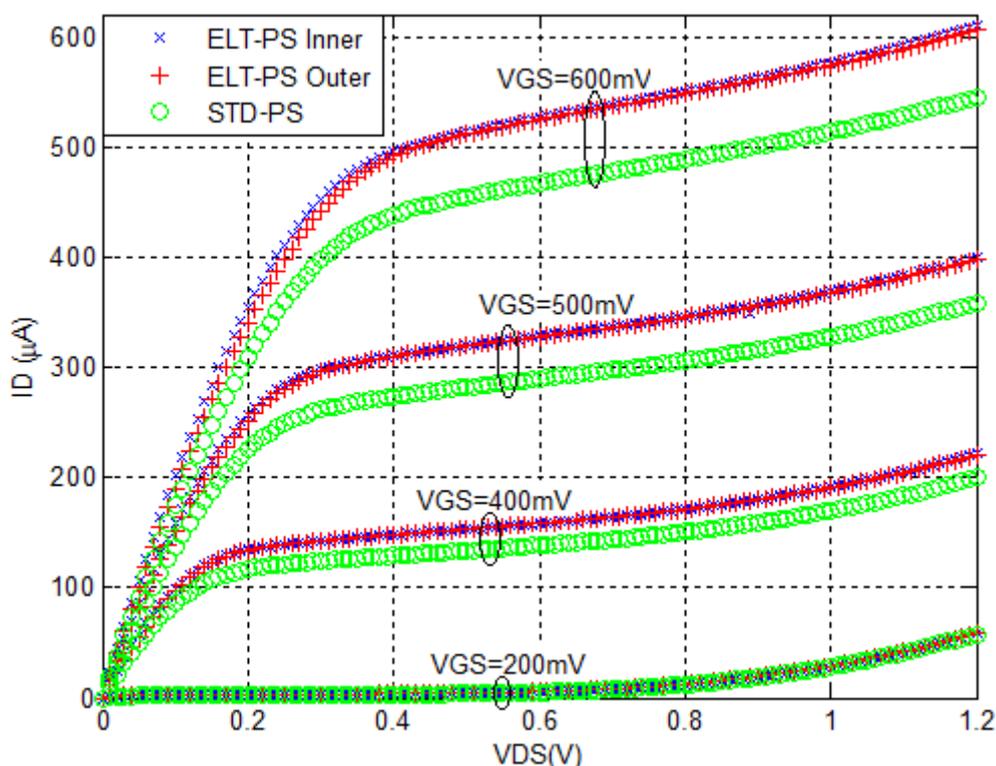
Figura 4.42 – Diferença percentual da corrente de dreno entre o transistor STD-PS e o ELT-PS Outer.



Simulações foram conduzidas como objetivo de apresentar o comportamento estimado das curvas $I_D \times V_{DS}$ dos dispositivos ELT-PS e STD-PS os dados obtidos são destacados na Figura 4.43. Considerando os ELTs-PS com dreno interno e externo, é possível notar que os

resultados são muito próximos, independentemente de V_{GS} e para toda a faixa de V_{DS} analisada. Porém, as curvas do dispositivo STD-PS se diferem das demais, principalmente nas situações em que $V_{GS}=400$ mV, $V_{GS}=500$ mV e $V_{GS}=600$ mV. Essa tem sido a tendência dos resultados das simulações, conforme pode ser notado nas Figuras 4.20, 4.24 e 4.32. No entanto, nos dados experimentais, um comportamento contrário é observado para os dispositivos STD, ou seja, as correntes são maiores nesses casos de polarização.

Figura 4.43 – Curvas $I_D \times V_{DS}$ simuladas dos dispositivos ELT-PS (dreno interno e externo) e STD-PS.



De forma a ilustrar a diferença percentual na corrente de dreno entre as respostas das simulações e os dados experimentais, é apresentada a Figura 4.44. Por exemplo, esses resultados mostram a diferença entre os dados experimentais dos ELT-PS dreno interno comparado com os dados simulados do ELT-PS dreno interno. Essa estimativa considera apenas $V_{GS}=600$ mV. Pode ser percebido, através dessa figura, que as diferenças percentuais são menores quando comparado com os resultados apresentados na Figura 4.21 (que representa a mesma estimativa só que para os ELT-C e STD-C). Isso corrobora o que foi analisado na seção anterior de que o uso de ELT-PS tenderia a aproximar os resultados experimentais dos simulados quando comparado com os ELT-C.

Figura 4.44 – Diferença percentual entre os dados simulados e experimentais nas curvas $I_D \times V_{DS}$ dos ELTs-PS e transistor STD-PS, considerando apenas $V_{GS}=600$ mV.

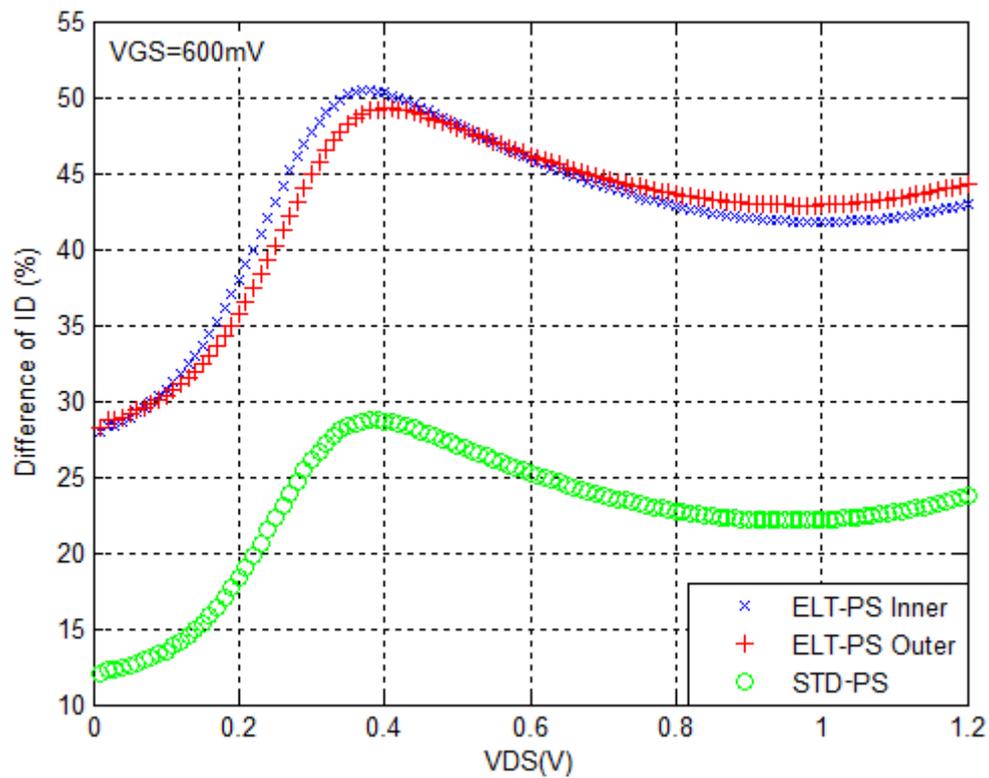
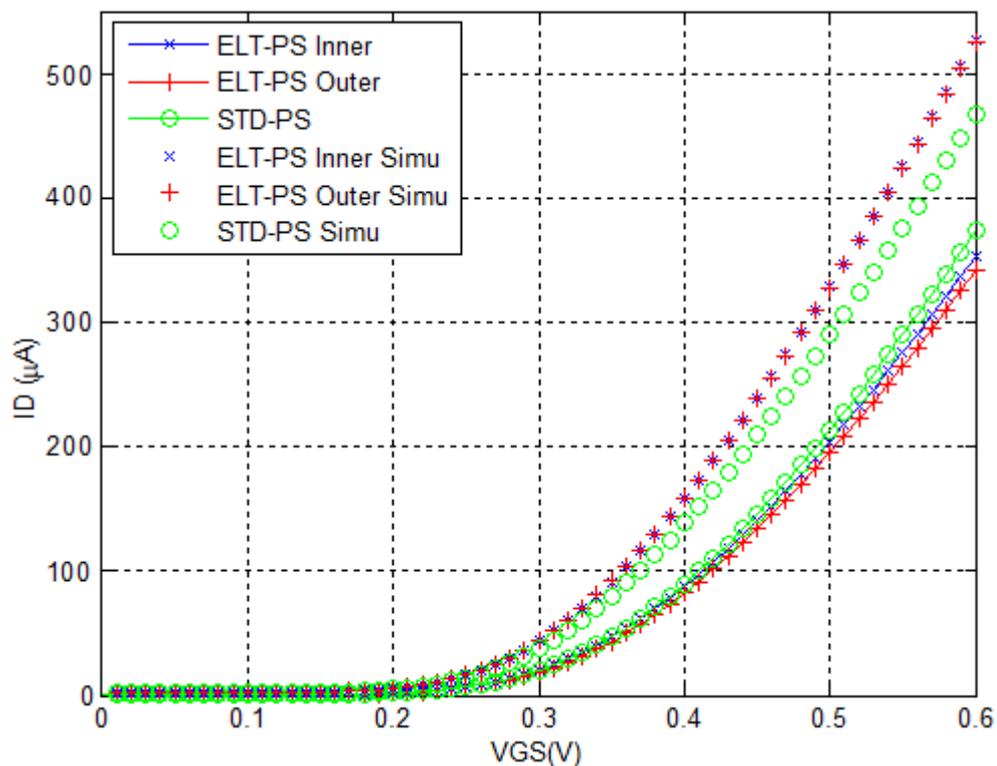


Figura 4.45 – Curvas $I_D \times V_{GS}$ dos dispositivos ELTs-PS e do transistor STD-PS considerando os resultados experimentais e simulados quando $V_{DS}=600$ mV.



O W/L dos ELTs-PS foram estimados considerando as informações de I_D extraídas dos dados apresentados Figura 4.45, quando $V_{GS}=V_{DS}=600$ mV. A Tabela 4.11 ilustra os resultados obtidos utilizando o mesmo método adotado nas extrações anteriores. Conforme pode ser notado, as diferenças observadas são -5,24% para o ELT-PS com dreno interno e -8,53% para o ELT-PS com dreno externo. Comparando essas informações com os resultados do ELT-C (Tabela 4.5) é possível notar que, os W/L obtidos experimentalmente, para os ELTs-PS, são mais aproximados em relação ao transistor STD-PS, do que os W/L dos ELTs-C em relação ao STD-C. Isso de certa forma era esperado, pois as razões de aspecto dos ELT-PS e STD-PS são maiores.

Tabela 4.11 – Resultados obtidos para W/L dos ELTs-PS dreno interno e externo.

<i>Device</i>	$I_D(\mu A)$	$V_{GS}(mV)$	$K_n(\mu A/V^2)$	$V_{th}(mV)$	W/L -EDA	W/L -Exp	% (EDA x EXP)
<i>ELT-PS Inner</i>	353,59	600	672,66	370	20,97	19,87	-5,24
<i>ELT-PS Outer</i>	341,42	600	672,66	370	20,97	19,18	-8,53
<i>STD-PS</i>	373,26	600	672,66	370	20,98	20,98	0

4.2.5 Resultados experimentais considerando as associações de ELTs Pseudo-Simétricos

4.2.5.1 Associações em paralelo

As curvas com as características $I_D \times V_{DS}$ das associações em paralelo de ELTs-PS (Cir_11_ELT_PS_PA1, Cir_12_ELT_PS_PA2 e Cir_13_ELT_PS_PA3 de acordo com a Tabela 4.4) são mostradas na Figura 4.46. Conforme pode ser visto, quando $V_{GS} \geq 400$ mV ocorre uma variação bastante acentuada entre as três configurações tanto na região de triodo como na saturação. As curvas para as configurações PA1 e PA3 não apresentam a mesma inclinação na região de saturação do que a observada em PA2. PA2 apresenta um comportamento com maior concordância ao que tem sido exibido para as demais análises no que se refere à inclinação das curvas na região de saturação. Os circuitos PA1 e PA3 exibiram um comportamento que não havia sido observado para as associações em paralelo com os ELTs-C e também com transistores STD-C. Esse comportamento já foi observado em outros trabalhos e é descrito na literatura como “*kink effect*” (GIMENEZ et al., 2006; SARAJLIĆ & RAMOVIĆ, 2006; HAFEZ et al., 1989), maiores detalhes podem ser encontrados na seção de considerações gerais desse capítulo. As curvas do circuito com transistores de porta retangular STD-PS (Cir_21_STD_PS_parallel) acompanham a mesma tendência dos resultados de PA1 e PA3, conforme pode ser visto na Figura 4.46, ou seja, também exibem o *kink effect* quando $V_{GS}=400$ mV, $V_{GS}=500$ mV e $V_{GS}=600$ mV. Esses dados se referem à média de cinco amostras. Pode ser notado também, que o arranjo STD-PS possui maiores

correntes na saturação, quando comparado com as configurações com ELTs conforme tem sido observado nas análises anteriores. Em função do comportamento observado nas curvas de PA1, PA3 e STD-PS, foram avaliadas mais cinco amostras, em um outro experimento independente, cujos resultados mostraram a mesma tendência, não caracterizando assim, possíveis erros nas medições. A Figura 4.47 ilustra o detalhamento maior das curvas $I_D \times V_{DS}$ para valores de V_{GS} menores que 400 mV e maiores que 200 mV. Através dessa figura é possível notar que o comportamento se mostra mais compatível com que tem sido obtido nas outras configurações, desta forma pode ser entendido que o *kink effect* inicia somente para valores mais altos de V_{GS} .

Figura 4.46 - Curvas $I_D \times V_{DS}$ das associações em paralelo com os dispositivos ELT-PS e STD-PS.

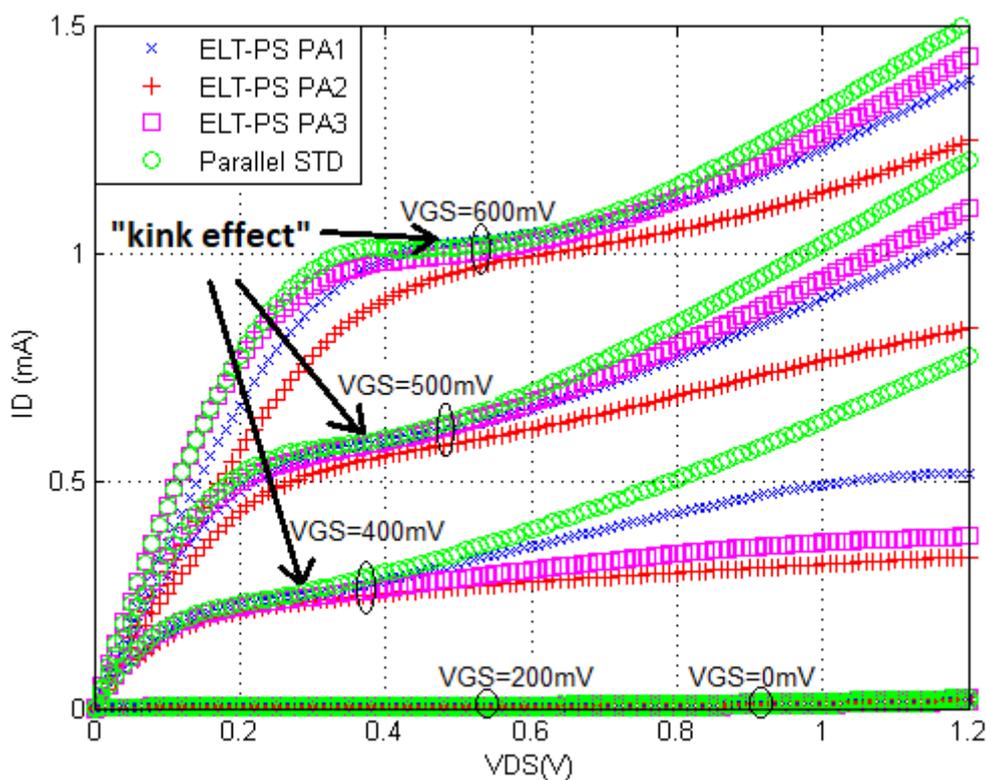
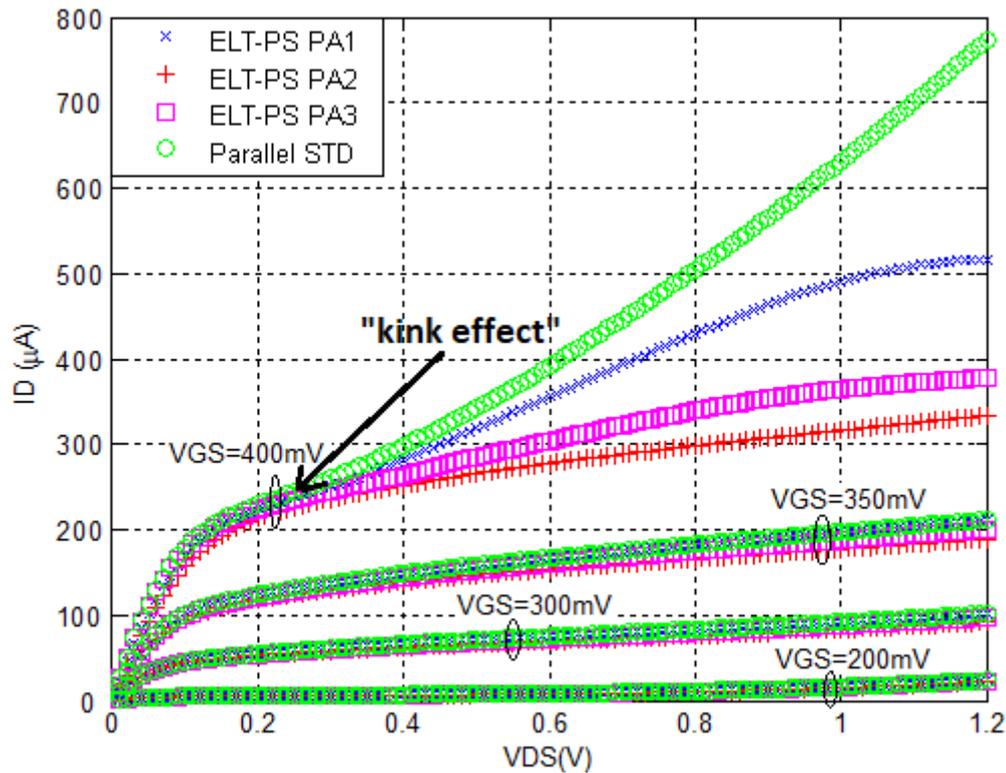


Figura 4.47 - Curvas $I_D \times V_{DS}$ das associações em paralelo com os dispositivos ELT-PS e STD-PS com polarização V_{GS} entre 400 mV e 200 mV.



As diferenças percentuais entre as correntes de dreno das associações em paralelo com STD-PS e as configurações com ELT-PS foram investigadas e os resultados são apresentados no Apêndice A nas Figuras A.10 – A.12.

As curvas $I_D \times V_{DS}$ das associações com ELTs-PS e STDs-PS com dados obtidos por simulações são apresentadas na Figura 4.48. Através dessa figura é possível notar que não se caracteriza, na região de saturação, a mesma tendência de ocorrência do *kink effect* que foi observada nos resultados experimentais de PA1, PA3 e STD-PS. Da mesma forma como têm sido evidenciado nas simulações das outras configurações, as curvas com os resultados da associação com transistores de porta retangular STD-PS tendem a apresentar menor corrente na região de saturação. Na região de triodo, as curvas da configuração PA2 se destacam das demais, principalmente quando $V_{GS}=500$ mV e $V_{GS}=600$ mV. Esse comportamento também pôde ser notado nas curvas experimentais dessa configuração, conforme pode ser averiguado na Figura 4.46. A diferença percentual na corrente de dreno entre os resultados das simulações e os dados experimentais é apresentado na Figura 4.49. Esses dados se referem a situação com $V_{GS}=600$ mV. Valores percentuais positivos indicam que as correntes obtidas por simulações são maiores que as obtidas experimentalmente. Conforme pode ser notado, as diferenças na corrente de dreno não ultrapassam 40%, a exceção é a configuração PA1, que na

região de triodo, exibe $\approx 65\%$ de diferença. Em termos gerais essas diferenças são menores em relação às associações paralelas de ELT-C (Figura 4.25). Isso demonstra que o uso de ELT-PS pode promover resultados de simulações com maior concordância em relação aos dados experimentais.

Figura 4.48 - Curvas $I_{Dx}V_{DS}$ simuladas das associações em paralelo com os dispositivos ELT-PS e STD-PS.

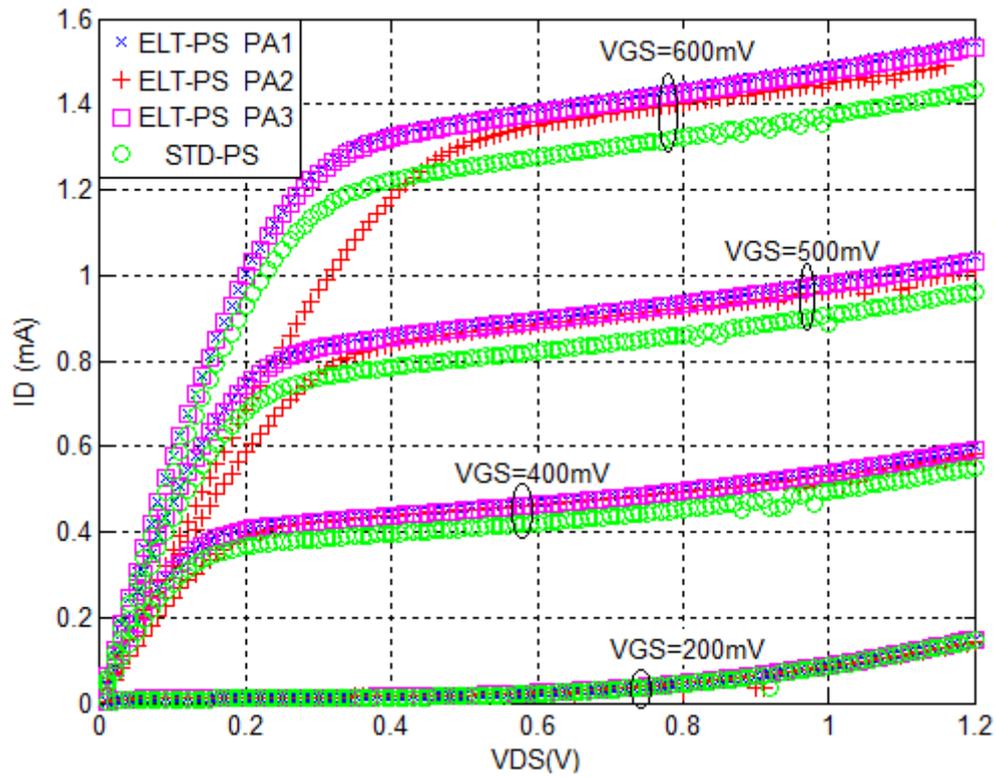
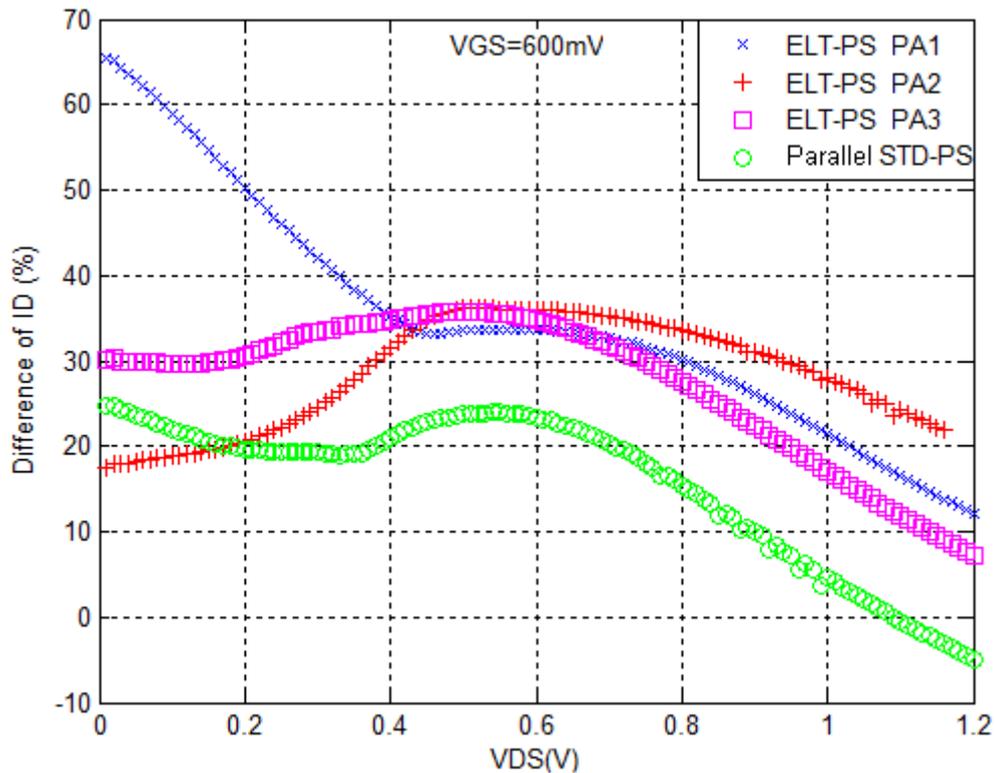


Figura 4.49 – Diferença percentual entre os dados simulados e experimentais nas curvas $I_D \times V_{DS}$ das associações paralelo com ELTs-PS e com transistor STD-PS, considerando apenas $V_{GS}=600$ mV.



O FMC também foi analisado para as associações paralelas com ELT-PS e STD-PS. Esse parâmetro pode também indicar “efetivamente” quantas vezes a razão de aspecto da associação é aumentada. A Figura 4.50 ilustra os resultados para a associação PA1 quando comparada com o ELT-PS com dreno interno. Esses resultados mostram que o FMC pode variar bastante na saturação, dependendo de V_{GS} e V_{DS} , podendo inclusive superar 4, conforme pode ser notado na figura para $V_{DS} > 600$ mV. Na Figura 4.51 são apresentados os resultados do FMC da configuração PA2 comparado ao ELT-PS dreno interno. Esses dados mostram que, na saturação, o FMC não ultrapassa o valor 4. Da mesma forma, ocorre para a configuração PA3, com exceção da situação com $V_{GS}=500$ mV e $V_{DS} > 1$ V que supera o valor 4, conforme pode ser visto na Figura 4.52. A comparação de cada configuração paralela com ELT-PS em relação a um único ELT-PS com dreno externo foi feita e os resultados mostraram a mesma tendência observada nas Figuras 4.50- 4.52 e por isso as figuras não serão mostradas. A Figura 4.53 exhibe a tendência do FMC considerando apenas a associação paralela com transistores STD-PS na comparação com um único transistor STD-PS. Conforme pode ser notado, quando $V_{GS}=400$ mV, o FMC atinge os maiores valores observados chegando a próximo de 7, quando $V_{DS}=1.2$ V. Esse valor alto aconteceu em

função do *kink effect* observado nas curvas $I_{Dx}V_{DS}$ dessa configuração, que foi apresentada na Figura 4.46 e Figura 4.47.

Figura 4.50 – Comportamento do FMC considerando a configuração paralela PA1 usando ELT-PS comparando com um único ELT-PS dreno interno.

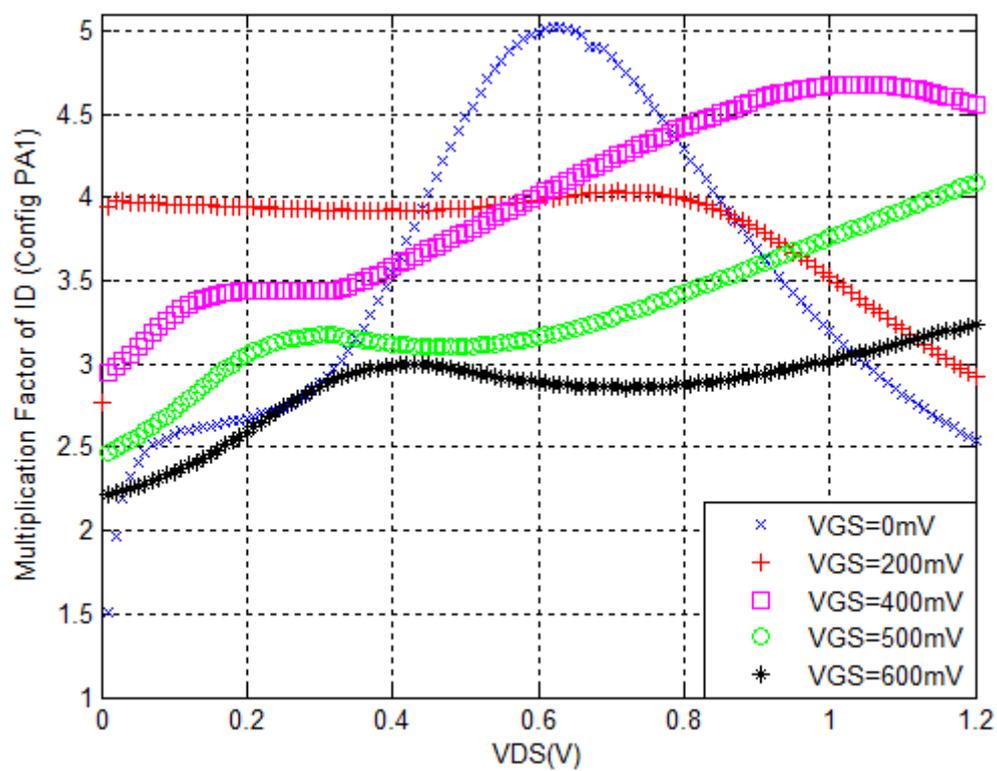


Figura 4.51 – Comportamento do FMC considerando a configuração paralela PA2 usando ELT-PS comparando com um único ELT-PS dreno interno.

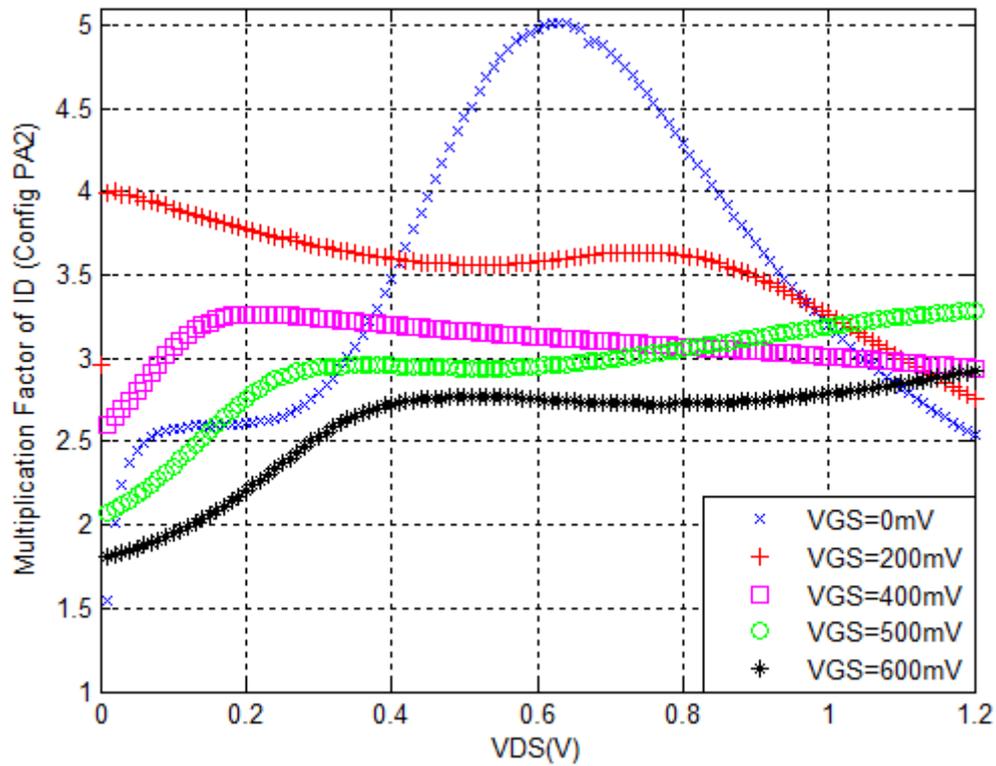


Figura 4.52 – Comportamento do FMC considerando a configuração paralela PA3 usando ELT-PS comparando com um único ELT-PS dreno interno.

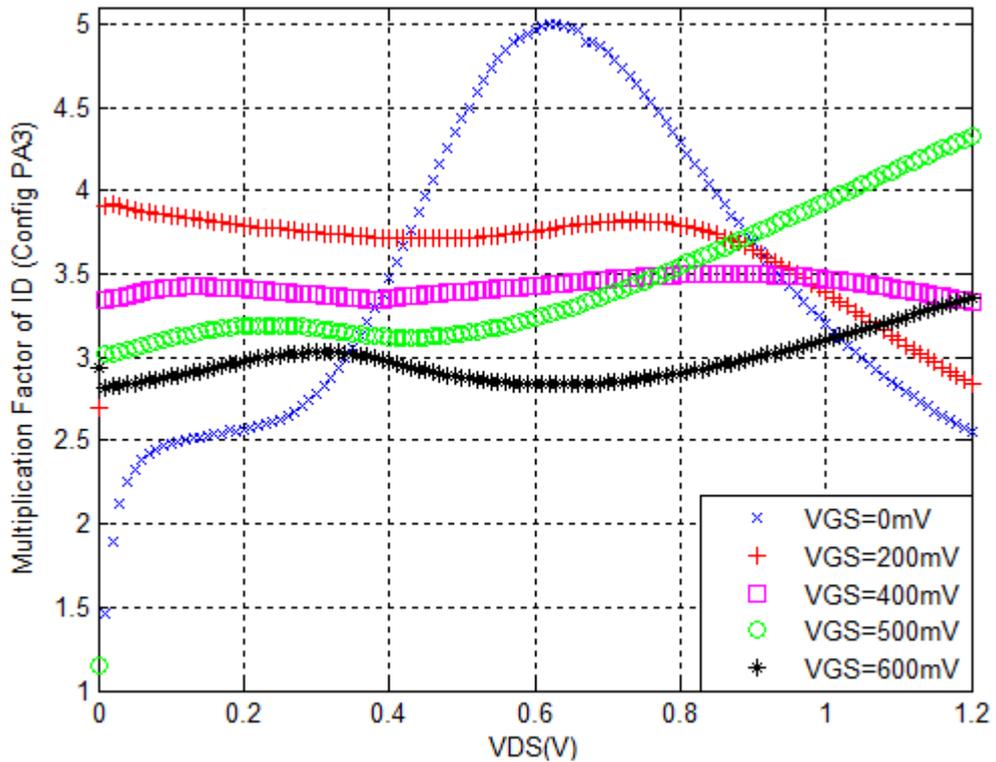
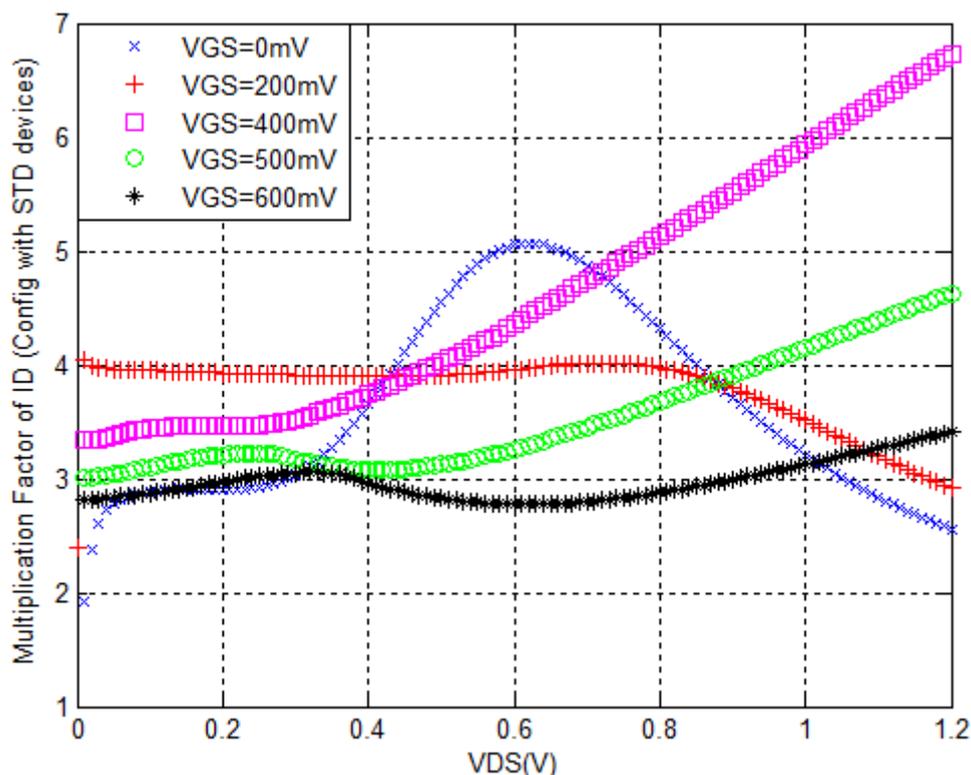
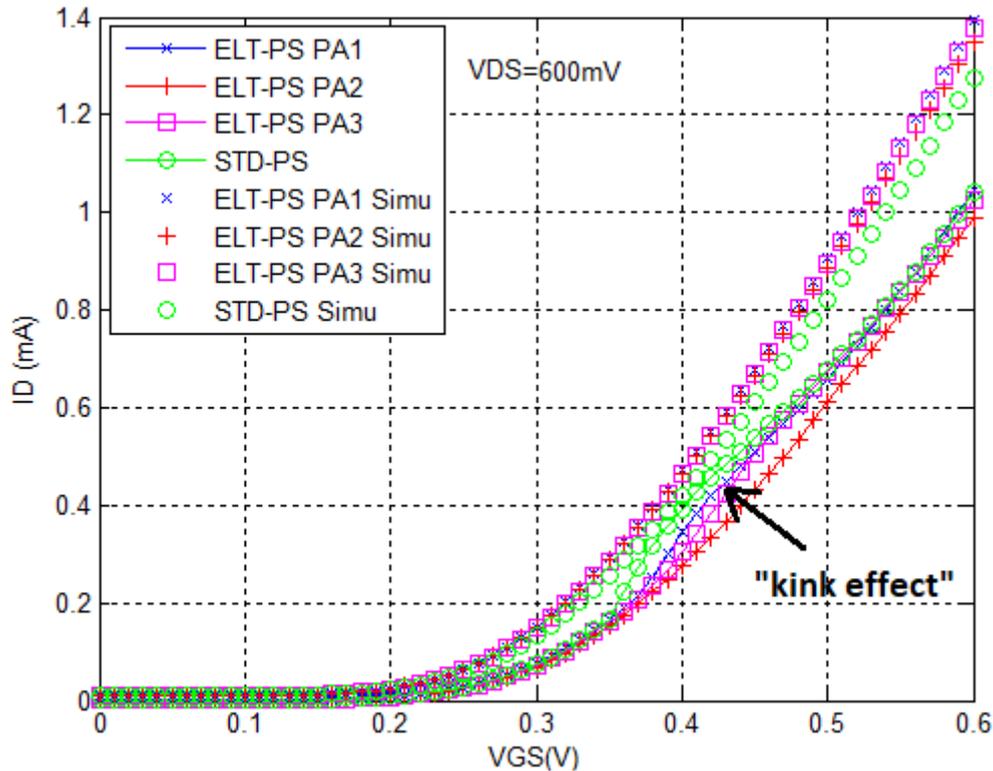


Figura 4.53 – Comportamento do FMC considerando a configuração paralela com transistores STD-PS comparando com um único transistor STD-PS.



A Figura 4.54 ilustra o comportamento $I_D \times V_{GS}$ das associações paralelas com ELTs-PS e STD-PS oriundas dos experimentos práticos e das simulações. Nos resultados experimentais, é possível notar o *kink effect* nas configurações PA1, PA3 e STD-PS, conforme foi observado nas curvas $I_D \times V_{DS}$ apresentadas nas Figuras 4.46 e 4.47. Para valores de V_{GS} acima do *kink effect*, é possível notar, nos resultados experimentais, que as curvas PA1, PA2 e PA3 são bastante próximas à configuração com transistores STD. São, inclusive, mais próximas que as curvas oriundas das simulações, conforme pode ser visto na Figura 4.54.

Figura 4.54 – Curvas $I_D \times V_{GS}$ das associações em paralelo com dispositivos ELTs-PS e com transistor STD-PS considerando os resultados experimentais e simulados quando $V_{DS}=600$ mV.



A Tabela 4.12 apresenta os resultados no processo de extração da estimativa de W/L para as associações em paralelo com ELT-PS. Conforme pode ser notado através dessa tabela, as diferenças em relação à configuração paralela com transistores STD-PS foram +0,5% para a configuração PA1 e +8,04 % para a configuração PA3. Esses resultados, com porcentagens positivas, indicam que os W/L equivalentes extraídos são maiores do que foram desenhados na ferramenta de EDA. Considerando a configuração PA2 é observada uma diferença de -31,83% em relação à configuração STD-PS. Essa diferença significativamente maior pode ser atribuída ao *kink effect*, pois essa configuração não apresentou tal efeito. Nota-se que o *kink effect*, impactou significativamente no resultado da extração de V_{th} da configuração PA2, conforme pode ser visto na quinta coluna da Tabela 4.12.

Tabela 4.12 – Resultados obtidos para os W/L das associações paralelas com ELTs-PS.

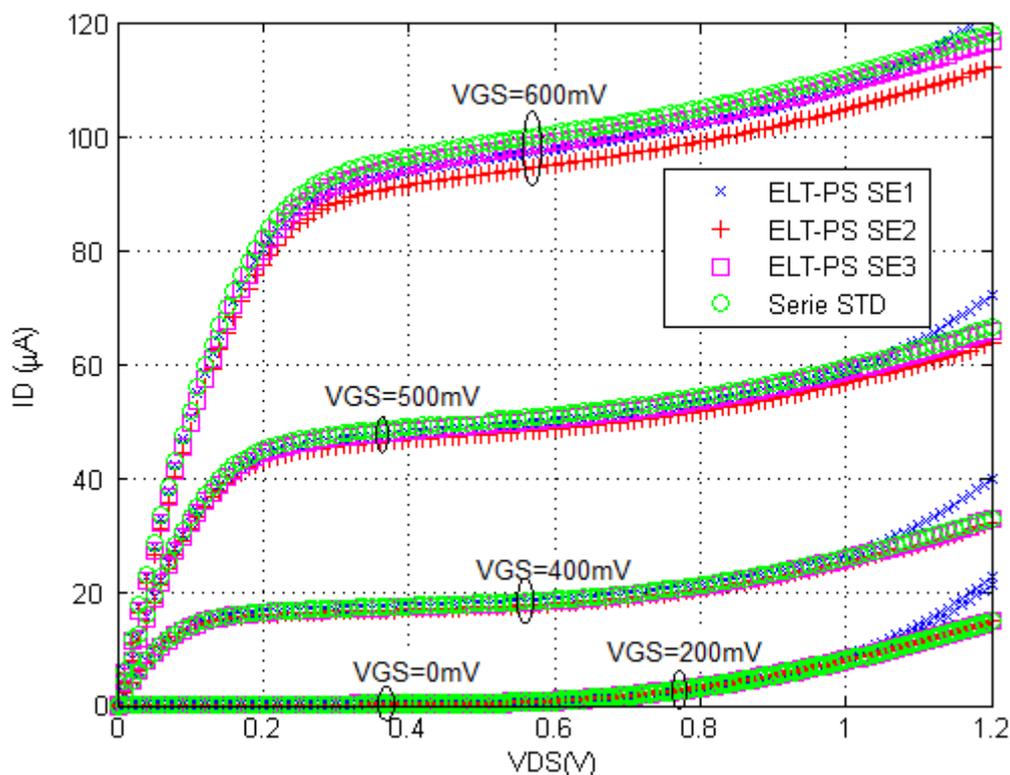
Association	$I_D(\mu A)$	$V_{GS}(mV)$	$K_n(\mu A/V^2)$	$V_{th}(mV)$	W/L -EDA	W/L -Exp	% (EDA x EXP)
ELT-PS PA1	1045,4	600	512,35	380	83,89	84,31	+0,5
ELT-PS PA2	990,51	600	512,35	340	83,89	57,19	-31,83
ELT-PS PA3	1024,1	600	512,35	390	83,89	90,64	+8,04
STD-PS parallel	1040,5	600	512,35	380	83,91	83,91	0

4.2.5.2 Associações em série

A Figura 4.55 ilustra os dados experimentais dos circuitos Cir_14_ELT_PS_SE1, Cir_15_ELT_PS_SE2, Cir_16_ELT_PS_SE3 e Cir_22_STD_PS_series (de acordo com a Tabela 4.4). Dela é possível inferir que SE1, SE2 e SE3 apresentam respostas próximas para todos os valores de V_{GS} e V_{DS} analisados. Da mesma forma que a resposta da configuração série com transistores de porta retangular STD-PS é bastante aproximada das respostas dos circuitos com ELTs.

A diferença percentual entre a configuração série com transistores STD-PS e as configurações SE1, SE2 e SE3 são apresentadas no apêndice A nas Figuras A.13 - A.15. Esses resultados demonstram, mais uma vez, que os circuitos com ELT-PS tendem a apresentar comportamento bastante aproximado em relação ao circuito com transistor STD-PS visto que, durante a saturação, na maior parte da faixa de valores de V_{GS} e V_{DS} , as diferenças entre as correntes de dreno ficam restritas a menos de 10%. A exceção ocorre para a configuração SE1 quando $V_{DS} > 1.0$ V, conforme pode ser visto na Figura A.13. Essa diferença mais acentuada na corrente de dreno pode ser atribuída ao efeito SCBE, que fica mais evidente nessa configuração quando $V_{DS} > 1.0$ V.

Figura 4.55 - Curvas $I_D \times V_{DS}$ das associações em série com os dispositivos ELT-PS e STD-PS.



As curvas $I_D \times V_{DS}$ das associações série com dados de simulações são apresentadas na Figura 4.56. Através dessa figura pode ser notado que as configurações SE1, SE2 e SE3

apresentam resultados mais próximos entre si, do que o observado nos resultados experimentais (Figura 4.55). No entanto, a configuração STD-PS apresenta, na região de saturação, maior diferença daquelas que foram observados nos resultados experimentais em relação aos circuitos com ELTs-PS, conforme pode ser visto na Figura 4.56 nas condições de $V_{GS}=400$ mV, $V_{GS}=500$ mV e $V_{GS}=600$ mV. O comportamento semelhante a uma exponencial da tensão de Early quando $V_{DS}>600$ mV fica bem evidenciado. Esse efeito também foi observado nas simulações das curvas $I_D \times V_{DS}$ das associações série com ELT-C, conforme mostrado na Figura 4.32. Possivelmente esse comportamento foi causado pelo SCBE, já que esse efeito é o mais significativo quando V_{DS} é grande e apresenta em seu modelamento no BSIM4.3.0 equações exponenciais (BSIM4, 2003). Esse comportamento de V_A , quando V_{DS} é grande, foi observado nas medições experimentais, porém com menos intensidade. Com isso, avaliando essas análises pode ser percebido que o efeito causado pelo SCBE é superdimensionado nas simulações, em relação aos dados medidos. A magnitude da diferença na corrente de dreno entre os resultados simulados e obtidos nas medições práticas podem ser observadas na Figura 4.57. Esses resultados consideram apenas a condição de $V_{GS}=600$ mV. A configuração serie com transistores STD é a que apresenta menor diferença entre os dados simulados e experimentais. Enquanto $V_{DS}<600$ mV, as diferenças percentuais considerando SE1, SE2 e SE3 ficam restritas entre 35% e 65%. As diferenças maiores ocorrem quando $V_{DS}>600$ mV, podendo chegar próximas a 140% de divergência entre as simulações e os dados experimentais.

Figura 4.56 - Curvas $I_D \times V_{DS}$ simuladas das associações em série com os dispositivos ELT-PS e STD-PS.

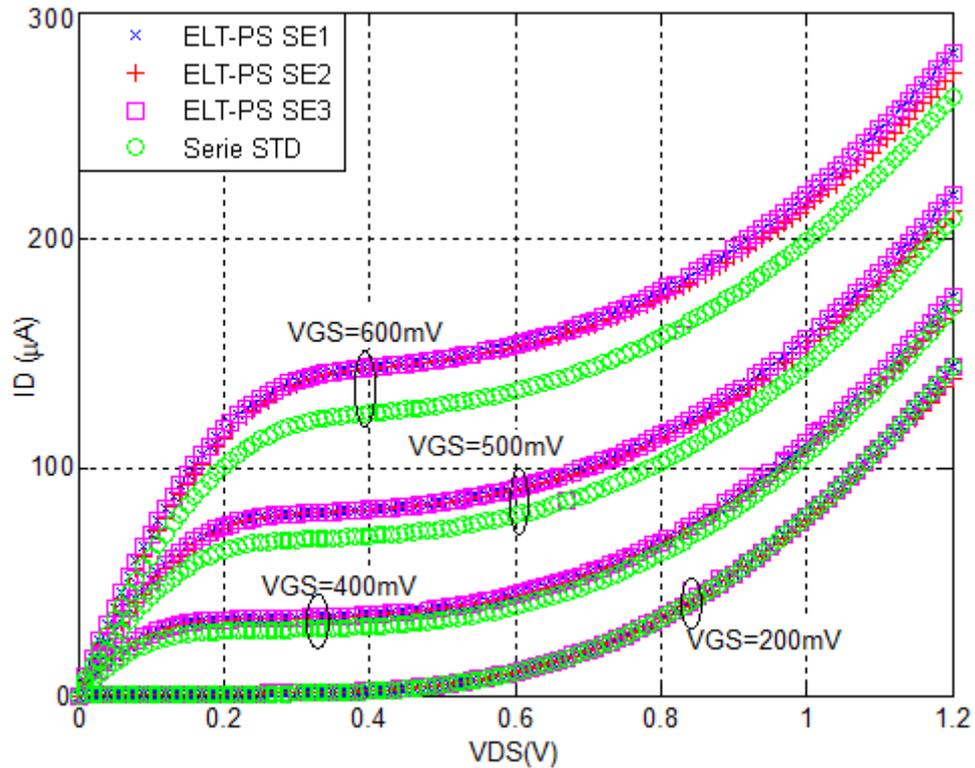
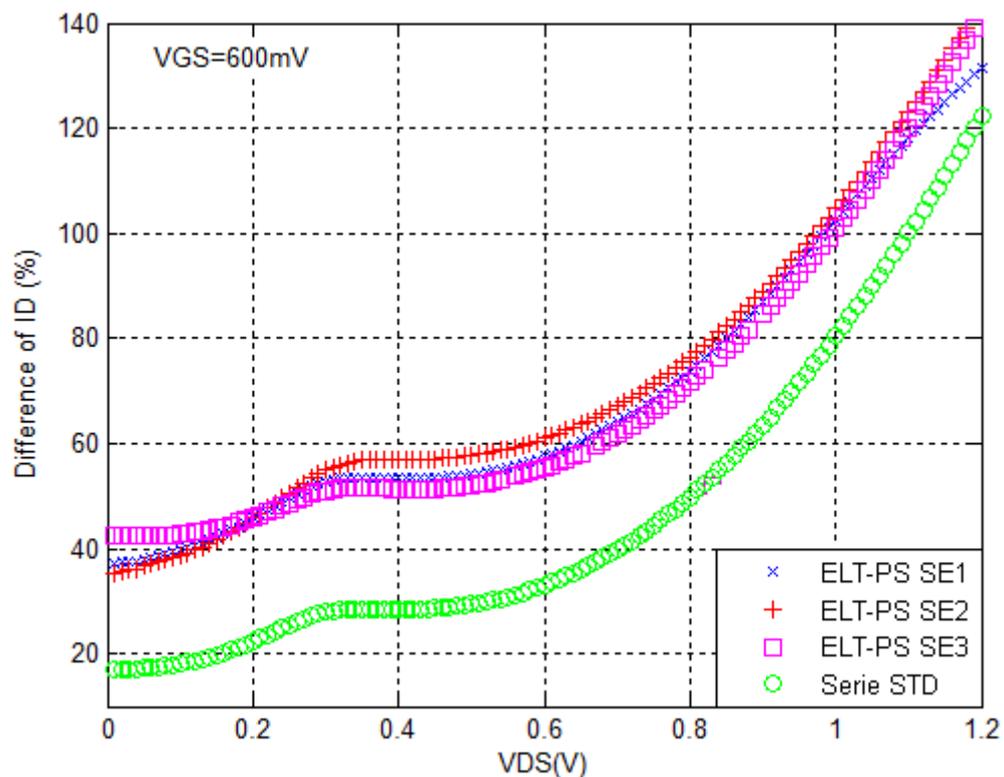


Figura 4.57 – Diferença percentual entre os dados simulados e experimentais nas curvas $I_D \times V_{DS}$ das associações série com ELTs-PS e com transistor STD-PS, considerando apenas $V_{GS}=600$ mV.



O fator de divisão da corrente de dreno foi monitorado, considerando cada circuito das associações série SE1, SE2 e SE3 comparando com um único ELT-PS dreno interno. Adicionalmente, a corrente de dreno da associação série de transistores STD-PS foi comparada com os valores obtidos para um transistor unitário STD-PS. Os valores de correntes utilizados para fazer as comparações são oriundos dos experimentos práticos. O parâmetro FDC pode também indicar “efetivamente” quantas vezes a razão de aspecto da associação é diminuída. A Figura 4.58 mostra o comportamento do FDC para a associação SE1 em comparação com o ELT-PS. Observando essa figura é possível perceber que, na saturação, os resultados do FDC estão em muitos momentos com valores superiores a 4, conforme pode ser notado quando $V_{GS}=400$ mV e $V_{GS}=500$ mV. Os resultados das configurações SE2 e SE3 demonstram resultados muito semelhantes mesmo para os diferentes valores analisados de V_{GS} e por isso os resultados não serão apresentados. A Figura 4.59 mostra o comportamento do FDC quando o transistor STD-PS é comparado com a associação série usando transistores STD-PS. Conforme pode ser notado, os FDC exibem a mesma tendência observada para o caso dos ELT-PS.

Figura 4.58 – Comportamento do FDC considerando a configuração série SE1 comparando com um único ELT-PS dreno interno.

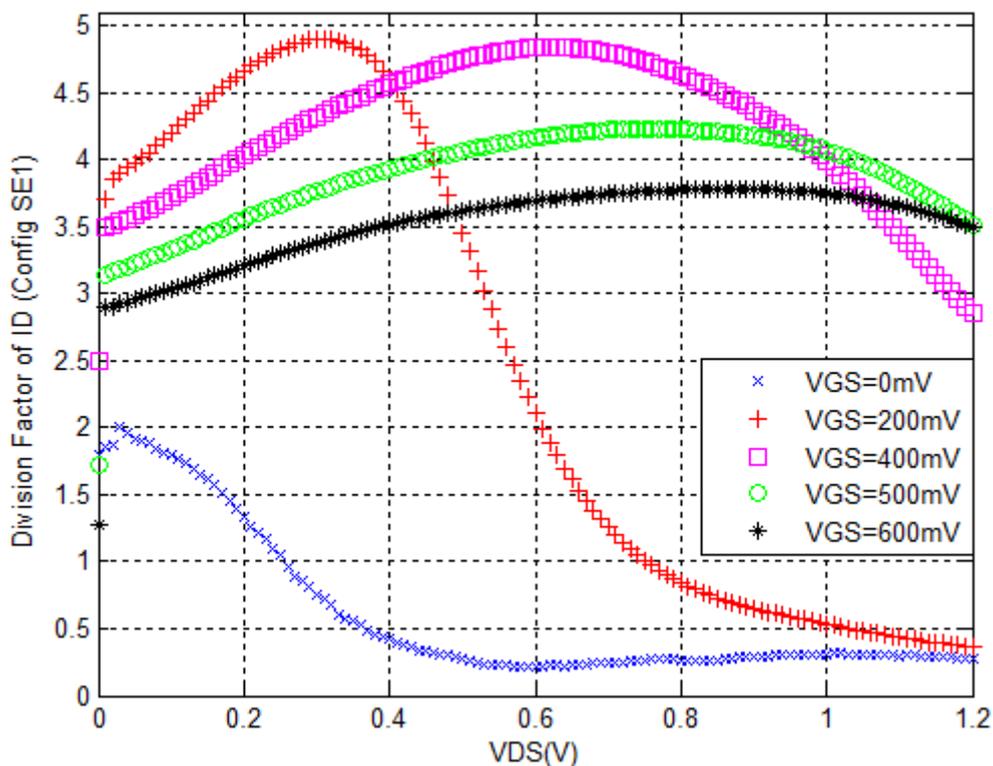
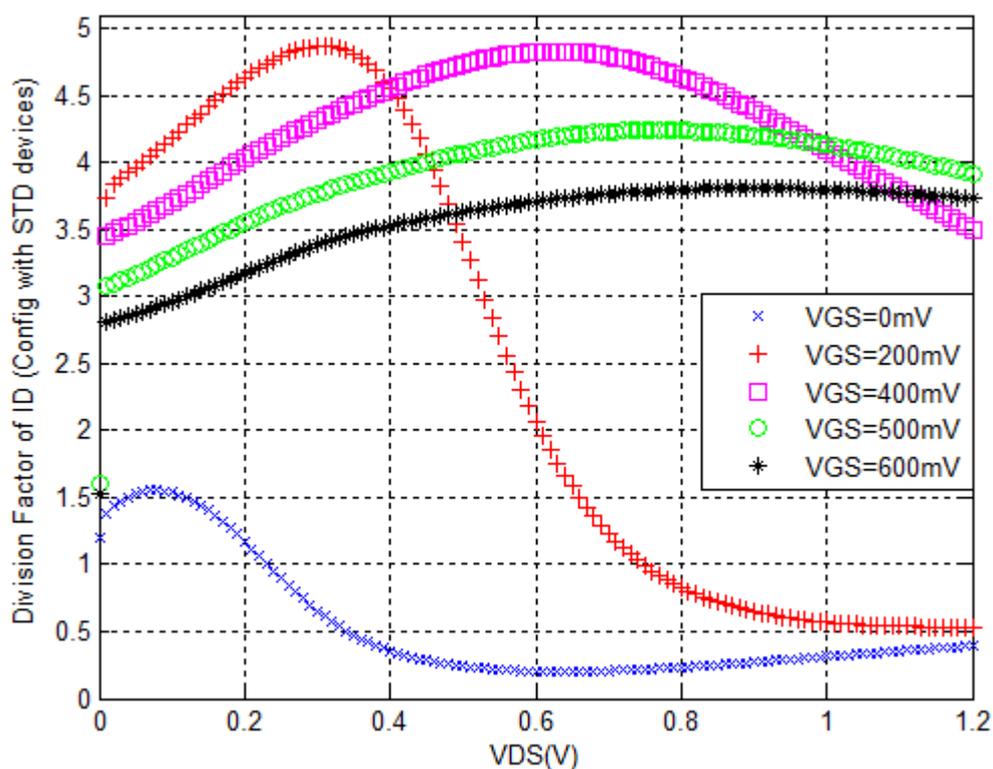
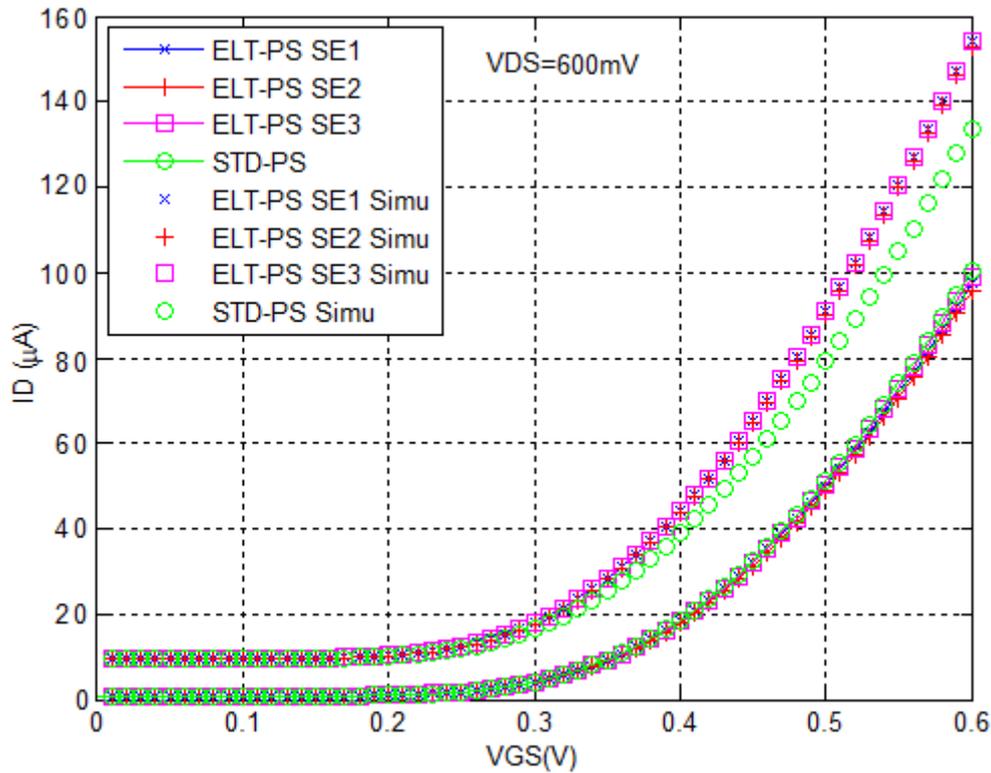


Figura 4.59 – Comportamento do FDC considerando a configuração série com transistores STD-PS comparando com um único transistor STD-PS.



O comportamento $I_D \times V_{GS}$ das associações série foram observados através de dados experimentais e simulados. A Figura 4.60 ilustra os resultados onde é possível observar que, os dados experimentais (curvas com caracteres e com linha) praticamente se sobrepõem para todas as versões de associações série. Isso demonstra a potencialidade dos ELT dimensionados para terem área de fonte e dreno iguais. Os resultados simulados indicam uma corrente de sublimar maior (cerca de $10 \mu\text{A}$), dos que foram observados experimentalmente, conforme pode ser observado para $V_{GS} < 300 \text{ mV}$ na Figura 4.60. Essa tendência da corrente de sublimar também foi observada nas associações série com ELTs-C apresentadas na Figura 4.38.

Figura 4.60 – Curvas $I_D \times V_{GS}$ das associações em série com dispositivos ELTs-PS e com transistor STD-PS considerando os resultados experimentais e simulados quando $V_{DS}=600$ mV.



Os dados obtidos na extração do W/L das associações série com ELTs-PS estão resumidos na Tabela 4.13. As diferenças observadas de -3,05%, -4,62% e -1,39% para as configurações SE1, SE2 e SE3, respectivamente, indicam que os W/L extraídos através dos cálculos são muito próximos em relação ao que foi desenhado na ferramenta de EDA. Esses dados ilustram o potencial de se fazer, na medida do possível, a área de dreno e de fonte dos ELTs o mais próximo possível. Considerando todos os resultados das extrações, esses valores de SE1, SE2 e SE3 apresentam maior conformidade com o que foi desenhado no projeto, quando comparado com as associações série com ELTs-C, conforme pode ser inferido na comparação com a Tabela 4.7.

Tabela 4.13 – Resultados obtidos para os W/L das associações série com ELTs-PS.

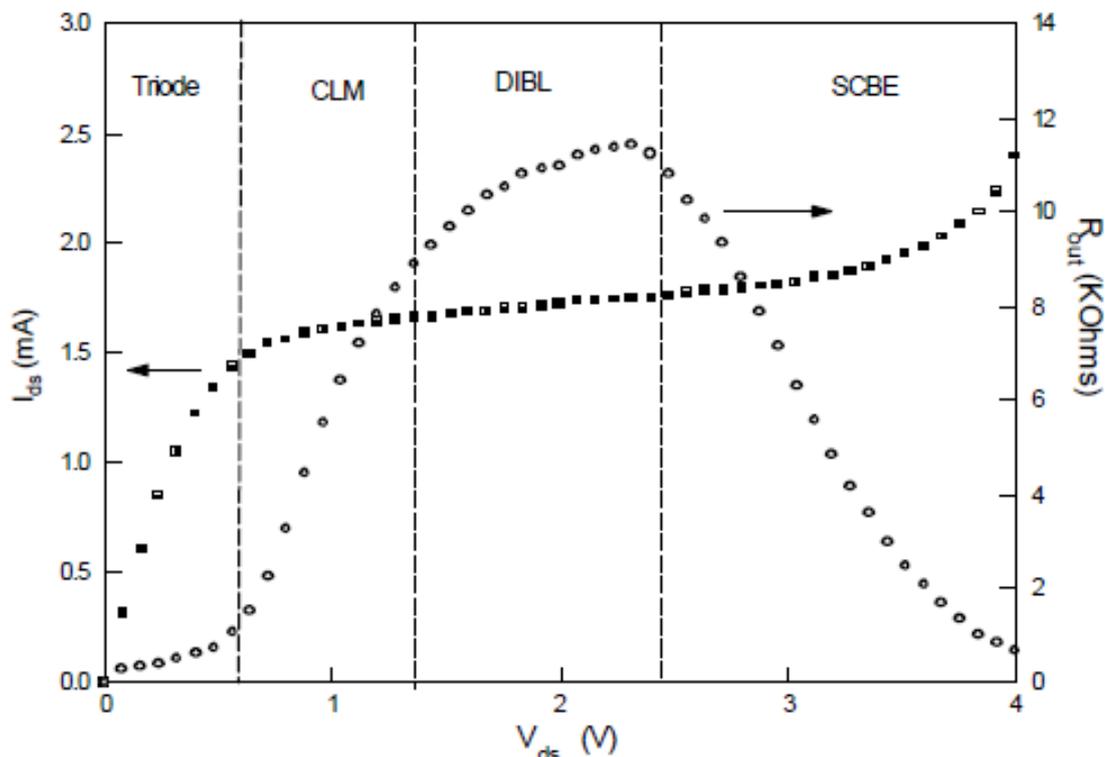
Association	$I_D(\mu A)$	$V_{GS}(mV)$	$K_n(\mu A/V^2)$	$V_{th}(mV)$	W/L -EDA	W/L -Exp	% (EDA x EXP)
ELT-PS SE1	97,464	600	1703,95	450	5,24	5,08	-3,05
ELT-PS SE2	95,82	600	1703,95	450	5,24	4,998	-4,62
ELT-PS SE3	99,05	600	1703,95	450	5,24	5,167	-1,39
STD-PS Serie	100,54	600	1703,95	450	5,24	5,24	0

4.2.6 Considerações gerais dos resultados experimentais

Parte da diferença observada no comportamento da corrente de dreno na comparação individual de ELTs-C com dreno interno e externo e entre ELT-PS (dreno interno e externo) pode ser atribuída à variabilidade do processo de fabricação. Mesmo assim, baseado no contexto desses resultados, pode-se observar que a resistência de saída (r_o), na saturação, para os ELTs com dreno externo é maior. Ou em outras palavras, a tensão V_A , em módulo, é maior para esse tipo de ELT. Essa tendência é observada para os diferentes valores de V_{GS} , conforme as Figura 4.17 e 4.40. Uma investigação mais detalhada no comportamento de r_o indica que esse parâmetro pode ser influenciado por diferentes fatores ao longo de toda a extensão de valores de V_{DS} analisados, conforme indica a Figura 4.61. Essa figura foi obtida do manual BSIM4.3.0 (BSIM4, 2003). Nessa referência, encontra-se também a explicação detalhada juntamente com o equacionamento para os fenômenos físicos que influenciam r_o quando se varia a tensão V_{DS} , que são: CLM (*Channel Length Modulation*), DIBL (*Drain Induced Barrier Lowering*) e SCBE (*Substrate Current Induced Body Effect*). A diferença na condutância de saída (g_{DS}) entre o ELT dreno interno e externo foi observada em (JARRON et al., 1999) para diferentes valores de L considerando a tecnologia de $0.25 \mu\text{m}$. Os resultados indicam indiretamente que a configuração com dreno externo apresenta maior r_o , pois a condutância g_{DS} é menor. Desta forma, esses resultados obtidos nos experimentos práticos dessa tese estão em concordância com os que foram obtidos no trabalho relacionado presente na literatura pesquisada para outro processo tecnológico.

O FMC indica de forma direta, o quanto da corrente de dreno foi ampliada pela associação em paralelo em relação a um único transistor, mas de forma indireta, pode indicar a tendência dos efeitos CLM, DIBL e SCBE quando se associa transistores em paralelo. Por exemplo, quando são feitas a polarização com $V_{GS}=0 \text{ V}$ e a varredura em V_{DS} de 0 à 1.2 V , pode ser notado que o DIBL tem seu efeito ampliado, pois observa-se que o FMC é próximo de 5 na região de $V_{DS}=600 \text{ mV}$, conforme indicam as curvas azuis com caractere “X” nas Figuras 4.26 – 4.29 e Figuras 4.50-4.53. Ou seja, se o efeito de DIBL fosse mantido na associação paralelo em relação a um único transistor, o valor do FMC deveria ser 4. Do mesmo modo, pode-se pensar que, quando o FMC fica abaixo de 4 isso indica que os efeitos foram atenuados. Da análise dessas figuras é possível notar que as condições de polarização dos transistores influenciam bastante o FMC e por consequência no quanto cada efeito está sendo ampliado ou atenuado pela associação paralela. Esse mesmo raciocínio pode ser estendido ao FDC para as associações em série.

Figura 4.61 – Comportamento geral da resistência de saída do MOSFET.



Fonte: Figura extraída de (BSIM4, 2003 p. 5.11).

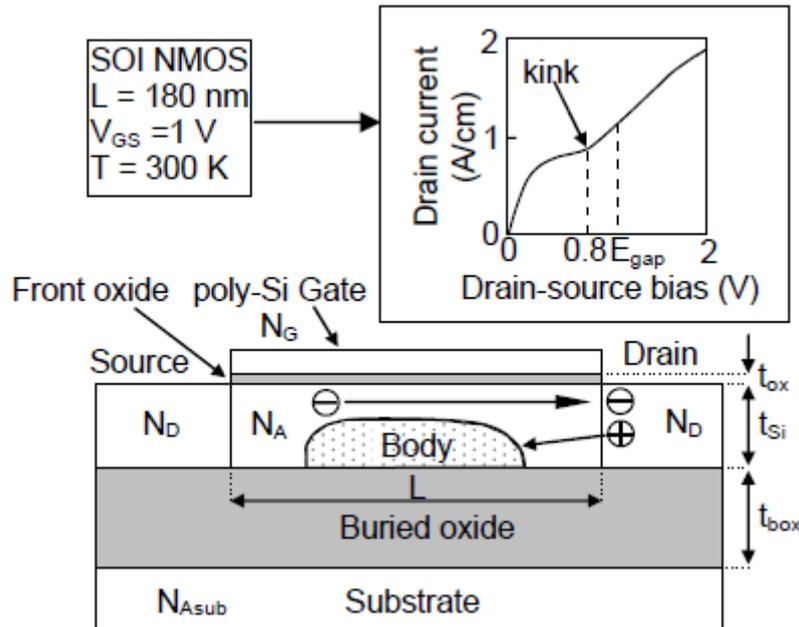
Em (NARENDRA et al., 2001) foi observado que transistores com layout tradicional com porta retangular STD associados em série apresentam menor corrente de fuga do que um único transistor devido ao comportamento que os autores se referem como *stack effect*. Os dados experimentais dessa presente tese, não indicam claramente essa tendência, conforme pode ser visualizado, para os ELTs-C, na Figura 4.31 em comparação com a Figura 4.17. E para os ELT-PS, na Figura 4.55 na comparação com a Figura 4.40, na condição de $V_{GS} = 0$ V.

Considerando os resultados globais, é possível observar que as associações em paralelo e série com ELT-PS apresentam maior proximidade nas correntes de dreno, com os dados das associações com transistores STD-PS, quando comparado com as associações com ELT-C e seu equivalente com transistores STD-C. Mais dados que apontam esta tendência podem ser observados no apêndice A, Figuras A.1 - A.3 e A.7 - A.9 para as associações com ELT-C e STD-C, em comparação com as Figuras A.10 - A.15, para as associações com ELT-PS e STD-PS. Essa tendência foi observada também quando se analisou os resultados de um único transistor, conforme mostrou as Figuras 4.18 e 4.19 para os ELT-C e STD-C, em comparação com as Figuras 4.41 e 4.42 para os ELT-PS e STD-PS. De forma geral, os transistores STD apresentam maior capacidade de corrente em relação aos ELTs equivalentes, esse comportamento também foi observado em (XUE et al., 2011).

Além disso, considerando os resultados das simulações e dados experimentais, de forma geral, pode-se afirmar que eles corroboram com o que foi exposto em (CARSOSO & BALEN, 2017), onde se esperava que as divergências entre os dados de simulações e experimentais fossem maiores para os ELTs quando comparado com os transistores STD-C, conforme indica as Figura 4.21 e Figura 4.44. Isso representa um agravante para os projetistas de circuitos com ELTs.

O *kink effect* foi observado nas associações em paralelo com ELTs-PS nas configurações PA1 e PA3, além da configuração com STD-PS. Já a configuração PA2 não exibiu esse efeito. Isso causou estranheza, pois em (GIMENEZ et al., 2006) foi observado esse efeito para transistores com geometria circular nas versões com dreno interno e externo. Cabe salientar que em (GIMENEZ et al., 2006) os referidos transistores eram NMOS em processo *Partially-Depleted Silicon-On-Insulator* (PD-SOI) CMOS. O *kink effect* é mais comum de ser observado em dispositivos PD-SOI CMOS, conforme pode ser averiguado em uma quantidade maior de trabalhos presente na literatura. No entanto, em tecnologia bulk esse efeito também já foi observado, porém apenas para transistores com layout convencional e mais comumente em baixas temperaturas (HAFEZ et al., 1989; PRAGER, et al., 2008; HAFEZ et al., 1990). De acordo com, (SARAJLIĆ & RAMOVIĆ, 2006) o *kink effect* acontece de forma mais pronunciada em dispositivos NMOS do que nos PMOS. Esse efeito ocorre quando as lacunas geradas por avalanche na região da interface entre o canal e o dreno ficam aprisionadas na região do canal, causando a redução da tensão de limiar do dispositivo (PRAGER, et al., 2008). A Figura 4.62 mostra o mecanismo descrito para o dispositivo PD-SOI NMOS. Desta forma, o *kink effect* possivelmente não se manifestou na configuração PA2 (que usa ELT-PS dreno externo) em função da menor densidade de corrente na região de dreno, não fazendo ocorrer o mecanismo de avalanche na interface entre o canal e o dreno. A densidade de corrente nesse tipo de dispositivo tende a ser menor, do que os ELT-PS dreno interno, em virtude do seu maior perímetro. Uma questão que pode surgir é por que o *kink effect* também não se manifestou nas associações com ELT-C e STD-C seja com dreno interno ou externo? Possivelmente, isso não ocorreu em função das correntes de dreno serem menores para esses dispositivos.

Figura 4.62 – Mecanismo de formação do *kink effect* considerando um transistor NMOS em tecnologia PD-SOI.



Fonte: Figura extraída de (SARAJLIĆ & RAMOVIĆ, 2006 p.1).

Baseado no contexto da estratégia adotada para extrair W/L dos ELTs, foi possível mensurar efetivamente que os valores extraídos são menores do que aqueles que foram desenhados na ferramenta de EDA. Tipicamente, considerando os ELTs-C e suas associações, as diferenças observadas ficaram aproximadamente entre -33% e -8% em relação ao que foi projetado na ferramenta, conforme pode ser visto nas Tabelas 4.5 - 4.7. Considerando os ELTs-PS e suas associações, as diferenças observadas ficaram aproximadamente entre, -8% e -1%, conforme pode ser notado nas Tabelas 4.11 – 4.13. As exceções são os valores extraídos de W/L para as associações paralelas com ELTs-PS, que são afetadas pelo *kink effect*.

Considerando os modelos para calcular o W/L de ELTs apresentados no capítulo dois, foi feito o levantamento dos W/L para os ELT-C e ELT-PS e são apresentados para comparações na Tabela 4.14. As porcentagens com sinal positivo indicam que o modelo superestima o W/L, enquanto que, valores negativos indicam que o modelo subestima o valor do W/L. Tomando o ELT-C como referência, é possível notar que os modelos SNO e MID são os que apresentam maior divergência em relação ao que foi extraído com os dados experimentais. As diferenças podem chegar à +33%, conforme pode ser visualizado para o ELT-C inner nos modelos MID e EDA. De fato, as diferenças nos ELTs-C tendem a ser maiores, pois as diferenças em relação a área e perímetro entre dreno e fonte são maiores. Com base nos ELTs-PS, é possível notar que, todos os modelos apresentam divergências

abaixo de 10%. Esses resultados podem ser analisados como divergências de valores baixos. Sendo assim, considerando as limitações dessas análises, quando se trabalha com ELTs com dimensões maiores, qualquer modelo pode ser considerado como uma boa alternativa para estimar o W/L.

Levando em consideração ambos ELTs, é possível notar que, o modelo MID e o EDA exibem valores muito similares, porém apresentando as maiores divergências em relação aos dados experimentais quando comparados com os outros modelos. Por outro lado, os modelos GIR e XUE são os que exibem maior concordância. Se houvesse a necessidade de optar por um modelo para referenciar como sendo o melhor para os circuitos medidos, esse modelo seria o XUE, pois é ele que apresenta os melhores resultados. Todavia, o modelo GIR também merece ser referenciado como uma opção valiosa.

Com base no contexto dessas medições experimentais e na maneira como foi feita a extração do W/L, os resultados apresentados na Tabela 4.14 corroboram com o que foi exposto em (GIRALDO et al., 2000; JARRON et al., 1999; SNOEYS et al., 2000; XUE et al., 2011; CARDOSO&BALEN, 2017). Do ponto de vista de simulação, se o modelo da ferramenta de EDA for utilizado para fazer as estimativas pré-fabricação, isso tende a fazer com que os resultados simulados sejam divergentes em relação aos dados experimentais. Isso é um problema mais acentuado nos ELTs-C, ou seja, que são assimétricos.

Tabela 4.14 – Resultados obtidos para os W/L dos ELTs-C e ELTs-PS considerando os modelos.

<i>Devices</i>	<i>W/L - EDA</i>	<i>W/L - GIR</i>	<i>W/L - SNO</i>	<i>W/L - MID</i>	<i>W/L - XUE</i>	<i>W/L - EXP *</i>
<i>ELT-C Inner</i>	7,55	5,31	6,91	7,62	5,66	5,05
<i>ELT-C Outer</i>	7,55	5,31	6,91	7,62	5,66	5,96
<i>ELT-PS Inner</i>	20,97	18,74	20,82	21,07	19,08	19,87
<i>ELT-PS Outer</i>	20,97	18,74	20,82	21,07	19,08	19,18
<i>Deviation compared with experimental data* (%)</i>						
<i>ELT-C Inner</i>	-33,11	+4,89	+26,91	+33,73	+10,78	-
<i>ELT-C Outer</i>	-21,05	-12,24	+13,75	+21,78	-5,3	-
<i>ELT-PS Inner</i>	-5,24	-6,03	+4,56	+5,69	-4,14	-
<i>ELT-PS Outer</i>	-8,53	-2,35	+7,88	+8,98	-0,52	-

Em relação à extração dos W/L das associações série e paralelo de ELTs, não é possível obter uma estimativa direta através dos modelos estudados. No entanto, foi obtido o W/L de cada associação considerando os resultados experimentais, conforme pôde ser visto nas Tabelas 4.6 e 4.7, para associações com ELT-C, e nas Tabelas 4.12 e 4.13, para as associações com ELTs-PS.

Tendo em mente esses resultados experimentais da extração de W/L é possível sugerir aos projetistas de circuitos integrados analógicos com ELTs que, correções no W/L podem ser feitas durante o processo de simulação do circuito na fase pré fabricação. Essa intervenção pode ser feita no arquivo de saída da etapa de extração de parasitas, através da alteração do W/L extraído pela ferramenta de EDA pelos novos parâmetros calculados pelo modelo do XUE ou pelo modelo GIR ou qualquer outro que o projetista desejar. Essa correção pode melhorar a precisão dos resultados das simulações na comparação com os dados experimentais, mas essas alterações sozinhas pode não garantir que os dados irão casar perfeitamente. Isso pode ser inferido das comparações realizadas entre os dados de simulação e os dados experimentais ilustradas a partir da seção 4.2. Logo, isso indica que o comportamento dos ELTs precisam ser mais bem modelados pelas ferramentas de simulação.

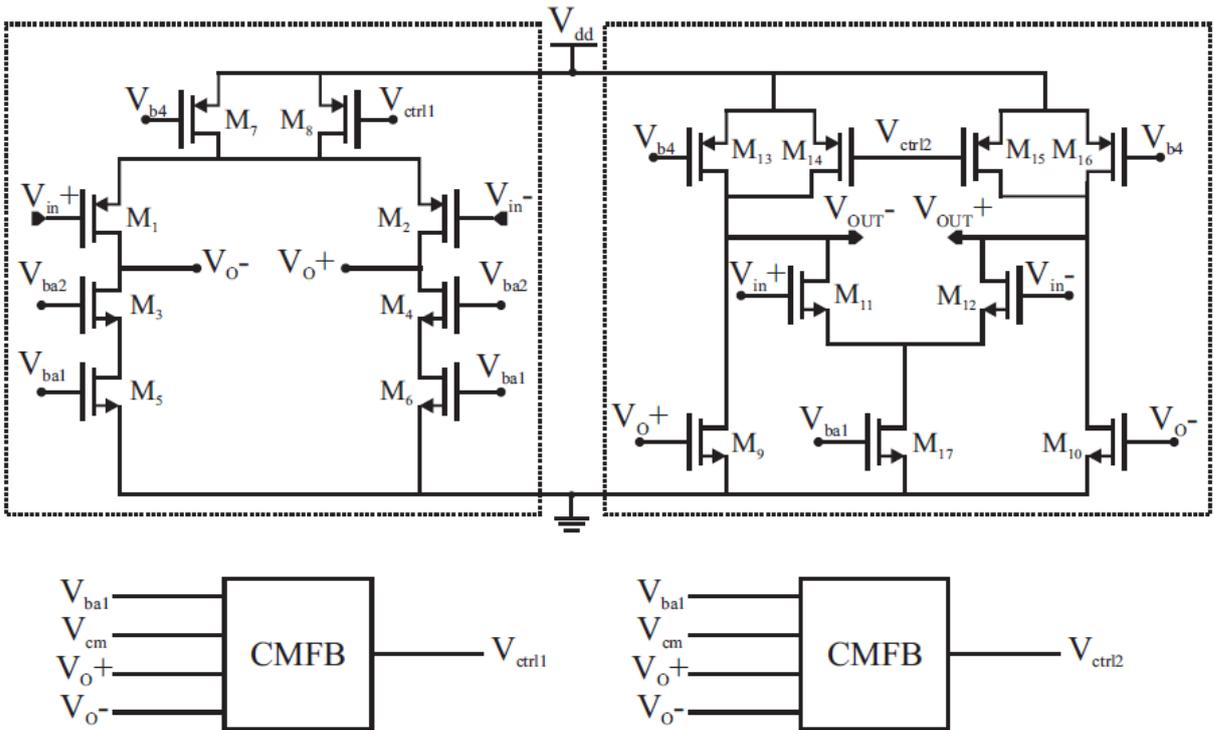
5. ANÁLISE DE SUBCIRCUITOS DE UM MODULADOR SIGMA DELTA COM TRANSISTORES ELT

Um circuito analógico com mais complexidade foi avaliado através de simulações para observar o impacto no seu comportamento quando os transistores NMOS, com layout convencional, são substituídos pelos ELTs. O circuito escolhido para realizar essa análise foi o amplificador operacional mostrado na Figura 5.1. Esse circuito foi projetado para ser utilizado em um modulador sigma-delta. Na composição desse amplificador é possível observar que ele apresenta dois estágios de ganho. O primeiro estágio é formado por um amplificador diferencial (transistores M1 e M2) com fontes de corrente cascode implementadas pelos transistores M3, M4, M5 e M6. O segundo estágio é composto pelos transistores M9 e M10. Uma compensação em fase é empregada através da realimentação em avanço com os transistores M11 e M12.

Junto com esse amplificador é utilizado um circuito de *Common Mode Feedback* (CMFB), que está ilustrado na Figura 5.2, para gerar as tensões de controle V_{ctrl1} e V_{ctrl2} . Dois circuitos iguais de CMFB são usados para gerar essas duas tensões.

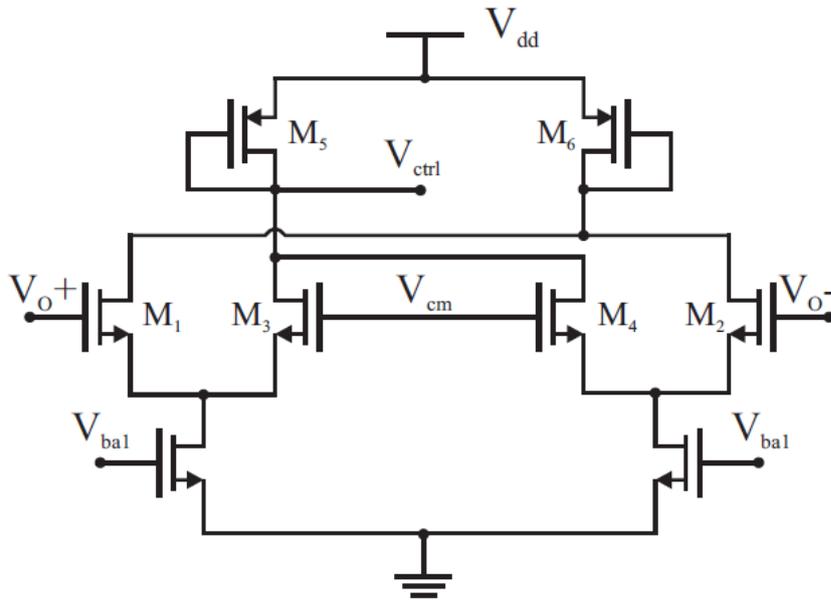
O circuito responsável por fornecer as tensões de polarização ao amplificador é apresentado na Figura 5.3. A fonte de corrente I utilizada nesse circuito é fornecida externamente ao chip e possui valor de $20\mu A$.

Figura 5.1 – Circuito esquemático do amplificador operacional de dois estágios.



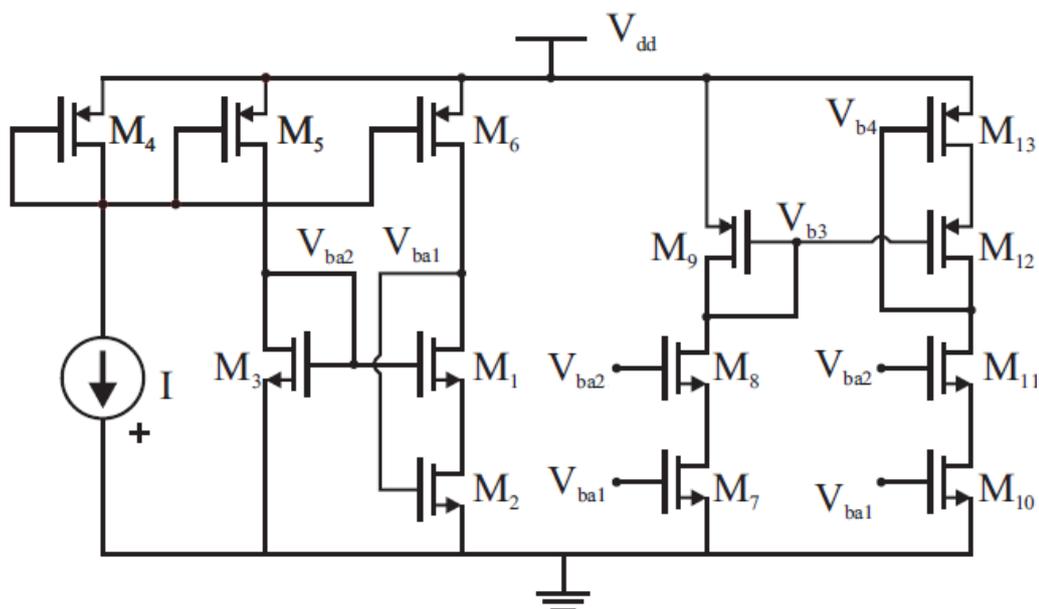
Fonte: Figura extraída de (AGUIRRE, 2014 p. 73).

Figura 5.2 – Circuito esquemático do CMFB.



Fonte: Figura extraída de (AGUIRRE, 2014 p. 74).

Figura 5.3 – Circuito de polarização do amplificador operacional e do CMFB.



Fonte: Figura extraída de (AGUIRRE, 2014 p. 74).

A análise desses circuitos usando transistores com layout convencional foi realizada no trabalho (AGUIRRE, 2014). Os layouts desses circuitos foram disponibilizados pelo autor e as análises de interesse foram refeitas. Os resultados obtidos serão apresentados logo a seguir. Esses layouts foram editados e os transistores NMOS foram substituídos por ELTs para criar circuitos protegidos contra os efeitos relacionados à radiação ionizante. As Tabelas 5.1, 5.2 e 5.3 exibem as dimensões dos transistores dos circuitos, assim como destaca os transistores que serão substituídos por ELTs. Os transistores que não foram identificados por ELTs nessas tabelas referem-se a dispositivos PMOS que não foram substituídos.

Já a Tabela 5.4 mostra as dimensões dos ELTs que foram usados no processo de mapeamento de NMOS com layout convencional para ELT. A obtenção dos parâmetros d e h dos ELTs foram feitas com o auxílio da Equação 3.3, que foi definida na seção 3.1.2. Logo, considerou-se o modelo da ferramenta de EDA para a tecnologia de $0.13\ \mu\text{m}$ como modelo de conversão. Para alguns casos, eram possíveis duas configurações de d e h . Nesses casos então, optou-se por fazer com que os ELTs tivessem a área das regiões de dreno e fonte o mais próximo possível, de forma a tornar as características elétricas das mesmas semelhantes uma da outra. Para obter a razão de aspecto especificada na Tabela 5.1 para o ELT_3 foi necessário configurar quatro desses dispositivos em série. Isso foi necessário em virtude de que existe a impossibilidade de se obter razões de aspecto pequenas com ELTs pelos aspectos discutidos no capítulo 4. O mesmo aconteceu com o ELT_8. Porém, para esse transistor, mesmo com a associação de quatro transistores em série não foi possível obter a razão de

aspecto especificada ($W/L=0.555$). Isso ocorreu em função de que seria necessário aumentar muito a área ocupada (usar L grandes) ou elevar o número de transistores configurados em série (maior que quatro), o que não é adequado em função da baixa tensão de alimentação. Diante dessas particularidades, já foi possível visualizar a necessidade/importância do uso de associações de ELTs (que foram estudadas nessa tese) para conseguir efetivar no layout razões de aspecto pequenas.

Tabela 5.1 – Dimensões dos transistores do amplificador.

<i>Transistores</i>	<i>W/L(μm)</i>	<i>Multiplicidade</i>	<i>Fingers</i>	<i>Legenda ELT</i>
M_1 e M_2	6/0.6	6	1	
M_3 e M_4	10/0.6	6	1	ELT_1
M_5 e M_6	10/1.2	6	1	ELT_2
M_7 e M_8	10/1.2	6	1	
M_9 e M_{10}	5/2.4	2	1	ELT_3
M_{11} e M_{12}	12/0.6	1	1	ELT_4
M_{13} e M_{16}	10/1.2	14	1	
M_{14} e M_{15}	10/1.2	9	1	
M_{17}	20/1.2	9	1	ELT_5

Tabela 5.2 – Dimensões dos transistores do circuito de CMFB.

<i>Transistores</i>	<i>W/L(μm)</i>	<i>Multiplicidade</i>	<i>Fingers</i>	<i>Legenda ELT</i>
M_1, M_2, M_3 e M_4	96/0.6	1	8	ELT_6
M_5, M_6, M_7 e M_8	80/1.2	1	8	ELT_7

Tabela 5.3 – Dimensões dos transistores do circuito de polarização.

<i>Transistores</i>	<i>W/L(μm)</i>	<i>Multiplicidade</i>	<i>Fingers</i>	<i>Legenda ELT</i>
M_1, M_8 e M_{11}	10/0.6	1	1	ELT_1
M_2, M_7 e M_{10}	10/1.2	1	1	ELT_2
M_3	2/3.6	1	1	ELT_8
M_4	10/1.2	2'	2	
M_5, M_6 e M_{13}	10/1.2	1	1	
M_9	2.4/1.2	1	1	
M_{12}	8/0.6	1	1	

Tabela 5.4 – Dimensões dos ELTs.

<i>Transistores</i>	<i>W/L(μm)</i>	<i>d(μm)</i>	<i>h(μm)</i>
ELT_1	10/0.6	2	1.86
ELT_2	10/1.2	1.48	1.33
ELT_3	5/2.4	2.93	2.78
ELT_4	12/0.6	1.49	3.37
ELT_5	20/1.2	1.31	6.5
ELT_6	96/0.6	0.77	46.09
ELT_7	80/1.2	0.82	36.99
ELT_8	2/3.6	0.44	0.44

O desempenho do amplificador operacional de dois estágios de ganho com CMFB foi avaliado considerando uma versão do circuito com layout convencional e outra com os transistores NMOS usando ELTs. As curvas com a resposta em frequência são apresentadas na Figura 5.4. O ganho DC do amplificador com a configuração que usa layout convencional foi de 47.44dB. Já o amplificador que usa ELTs apresentou um ganho de 47.83dB. Essa diferença pode ser considerada pequena tendo em vista as diferenças ocorridas no mapeamento dos W/L de transistores convencionais para os ELTs e em todos os ajustes necessários nos layouts. O GBW para o amplificador com layout convencional foi de 153.91 MHz. Considerando o amplificador com transistores NMOS ELTs o GBW obtido foi de 134.44 MHz. Essa diferença também pode ser considerada pequena, quando comparado com os resultados apresentados na Figura 4.8 entre uma configuração com layout convencional e com ELT. Isso pode ser atribuído ao fato de que na medida do possível buscou-se fazer as áreas de dreno e fonte o mais próximo uma da outra, já que as capacitâncias associadas a essas regiões influenciam a resposta em frequência do circuito. Desse modo, quando as áreas de dreno e fonte são próximas, isso tende a fazer com que os ELTs apresentem um comportamento em frequência mais aproximado em relação aos transistores convencionais de mesma razão de aspecto.

A Figura 5.5 ilustra o comportamento DC dos amplificadores operacionais, onde é possível observar que, ambos os circuitos apresentam respostas semelhantes para as saídas V_{OUT+} e V_{OUT-} . Conforme pode ser notado, esses circuitos exibem um comportamento indesejado na região próxima à saturação positiva, mas que não devem prejudicar o funcionamento global dos amplificadores em malha fechada.

Figura 5.4 – Resposta de frequência do amplificador operacional com layout convencional e com layout protegido com ELTs.

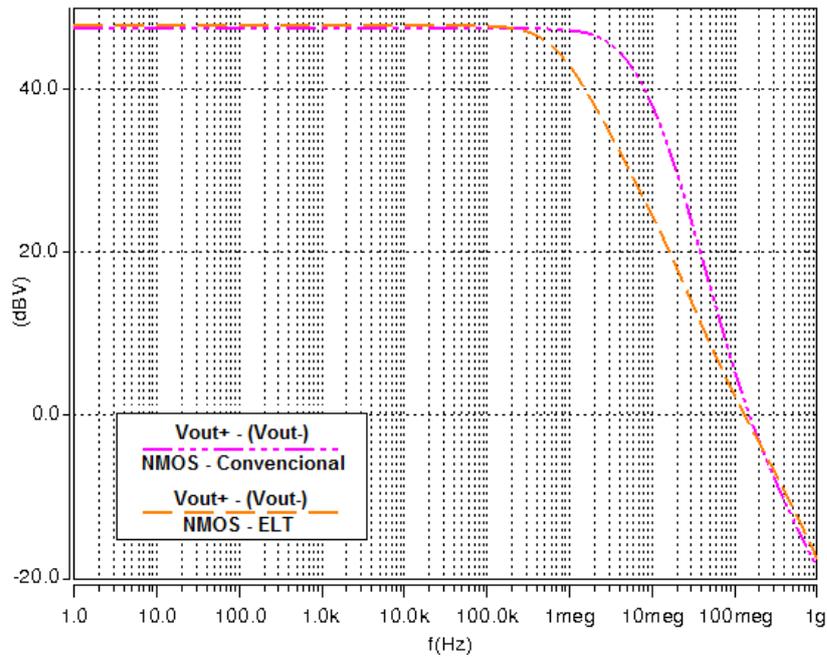
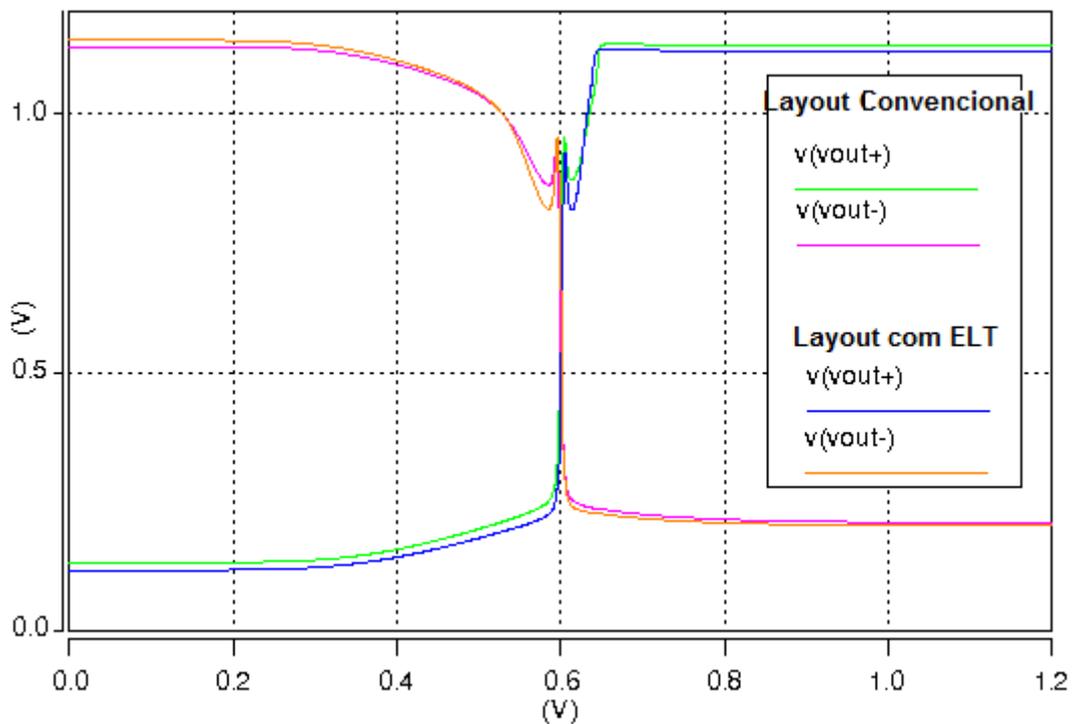


Figura 5.5 – Resposta DC do amplificador operacional com layout convencional e com layout protegido com ELTs.



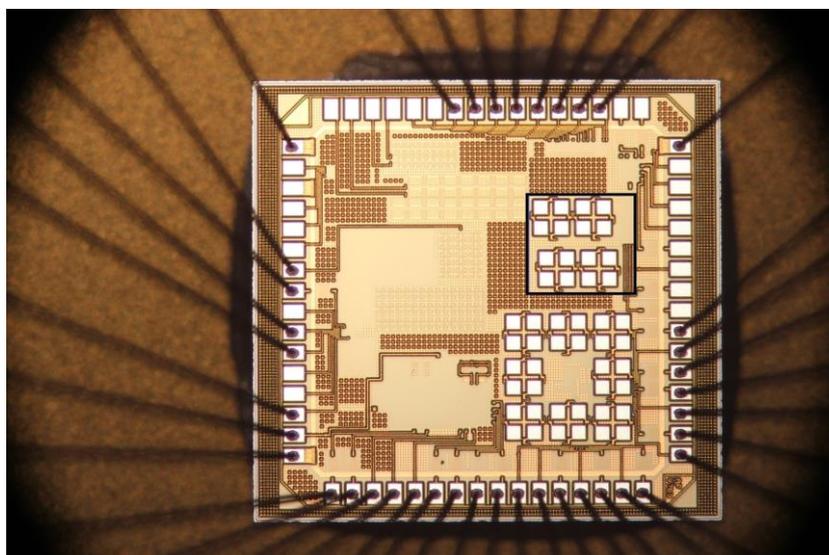
A Tabela 5.5 mostra as tensões de polarização considerando o circuito com layout convencional e o circuito com layout usando ELTs. Os valores obtido através das simulações SPICE foram próximos, sendo a maior diferença observada no nó Vba2. Este nó apresentou uma diferença de tensão entre as duas versões, de aproximada 58 mV.

Tabela 5.5 – Valores das tensões de polarização obtidas por simulações.

<i>Nó</i>	<i>Circuito STD (Volts)</i>	<i>Circuito ELT (Volts)</i>
<i>Vba1</i>	0.247838	0.245730
<i>Vba2</i>	0.433176	0.374487
<i>Vb3</i>	0.610574	0.609959
<i>Vb4</i>	0.796379	0.795985
<i>Vctrl1</i>	0.795520	0.794427
<i>Vctrl2</i>	0.780272	0.779299
<i>VbiasMASTER</i>	0.812833	0.812833

A versão protegida com ELTs e a versão usando layout convencional também foram prototipadas na rodada MOSIS 2017. A foto do chip pode ser vista na Figura 5.6, onde é possível observar a área ocupada pelos circuitos do amplificador operacional. Essa região possui as dimensões de 478,01 μm x 495,08 μm e incluem os μPADs .

Figura 5.6 – Foto do chip prototipado na rodada MOSIS 2017, com a área ocupada pelos amplificadores operacionais destacada pelo retângulo preto.



A Tabela 5.6 ilustra a estimativa de área desconsiderando os μPADs (que foram inseridos para realização das medições experimentais) que cada amplificador ocupou. Conforme pode ser notado há um *overhead* próximo de 50% no circuito que é protegido contra os efeitos relacionados à incidência de radiação ionizante. Esse valor pode variar dependendo do modelo adotado para fazer o mapeamento das razões de aspecto. Por exemplo, se o modelo GIR for utilizado, é esperado que esse *overhead* diminua, pois esse modelo indica que os valores efetivos dos W/L para os ELTs, necessitam ser menores que os W/L de transistores convencionais, conforme pode ser averiguado através do uso da Equação 4.2. A estimativa de potência dissipada, por cada um dos circuitos amplificadores, também é

mostrada nessa tabela (considerando dados de simulações). Esses resultados mostram que o consumo de energia aumenta discretamente.

Tabela 5.6 – Estimativa de área e potência dissipada pelos circuitos analisados.

	<i>Dimensões</i>	<i>Área (μm^2)</i>	<i>Overhead de área devido aos ELTs</i>	<i>Potência Dissipada (mW)</i>
<i>Circuito STD</i>	<i>190 μm X 60 μm</i>	<i>11400</i>	-	<i>1.5000567</i>
<i>Circuito ELT</i>	<i>193 μm X 89,54 μm</i>	<i>17281,22</i>	+51,58 %	<i>1.5087567</i>

Esses amplificadores não foram medidos experimentalmente até o momento da finalização dessa tese, em virtude de que alguns acessos a tensões de polarização do circuito foram implementados via pino e nas amostras encapsuladas em *Dual In-Line Package* (DIP) (DIP40 - que foram oferecidas pela MOSIS) não foi possível a conexão com esses PADS pela falta de espaço. Vinte amostras adicionais foram encapsuladas posteriormente no CTI (Centro de Tecnologia da Informação Renato Archer). Esses circuitos receberam o encapsulamento *Low Profile Quad Flat Package* (LQFP) de 64 pinos para permitir o acesso aos amplificadores operacionais. É esperado que em breve essas medidas experimentais possam ser feitas para ilustrar efetivamente a influência de utilizar ELTs no comportamento funcional do circuito na comparação com o amplificador que usa layout convencional para os transistores NMOS.

6. CONCLUSÕES

Este trabalho consiste em um estudo do fluxo de projeto de circuitos integrados analógicos tolerantes a radiação ionizante usando ferramentas de CAD comerciais sem alterações nas configurações originais. O estudo baseia no uso de técnicas de RHBD com a adoção de ELTs. Inicialmente, no capítulo 2 é feita uma revisão nas origens e nos mecanismos de aprisionamentos de cargas nos óxidos de isolamento referentes à TID e seus impactos na funcionalidade dos circuitos eletrônicos. O uso de ELT pode contribuir para um desempenho melhor dos circuitos integrados que operam sob efeitos de radiação ionizante. No entanto, isso implica em alguns desafios adicionais na etapa de projeto. Um dos principais desafios ao usar ELTs é extrair o seu W/L. Por isso, boa parte do capítulo 2 é dedicado a explorar os modelos que são utilizados para estimar o W/L desses dispositivos. Entre os modelos apresentados estão os utilizados pela ferramenta de EDA comercial para os nós tecnológicos de 0.18 μm e 0.13 μm , e, também, os que foram desenvolvidos baseados em resultados experimentais até o processo tecnológico 0.25 μm e que estão presente na literatura estudada.

Logo em seguida, são apresentados os circuitos que foram prototipados a fim de que se pudesse: (1) estimar o W/L e concluir, entre os modelos estudados, qual o que melhor se adapta ao processo de 0.13 μm . (2) investigar o comportamento das associações série e paralelo de ELTs. (3) estudar a confiabilidade (precisão) do processo de simulação elétrica de ELTs. (4) verificar a eficiência da adoção do uso de ELTs pseudo simétricos (com área de dreno e de fonte iguais) em comparação com ELTs convencionais (com área de dreno e fonte assimétricas). O objetivo da proposta de usar ELT-PS (Pseudo Simétrico) é obter resultados elétricos experimentais mais próximos de um transistor com layout convencional de mesma razão de aspecto. Isso também pode contribuir para o aumento da confiabilidade do processo de simulação dos ELTs.

As análises iniciais foram realizadas considerando a tecnologia XC018 da xFAB® onde os modelos para estimar o W/L dos ELTs foram comparados através de simulações SPICE e estimativas utilizando o software Matlab®. Os resultados apresentados permitiram melhorar o entendimento em relação ao comportamento dos circuitos integrados analógicos com uso de ELTs e transistores com layout convencional. Nessa investigação, ferramentas comerciais foram usadas para projetar e simular os circuitos. As escolhas dos projetistas podem levar a uma melhora na precisão das simulações, de tal forma que o comportamento elétrico do dispositivo fabricado esteja o mais próximo possível do comportamento obtido nas simulações após a extração do layout.

De acordo com os resultados de simulação, suportados também por dados de trabalhos relacionados (MARTIN & STRONHBEHN, 2003; CHAMPION & LA RUE, 2005), pode-se apontar três principais tópicos em relação ao fluxo de projeto analógico que necessitam de atenção do projetista ou melhoramentos dos modelos usados pelas ferramentas de EDA, conforme segue: (1) Considerando a ferramentas de extração de layout, melhoramentos no modelo empregado na fase de LVS, para extrair os parâmetros W e L dos ELTs, são necessários. De acordo com o nossos trabalhos prévios (CARDOSO & BALEN 2016a; CARDOSO & BALEN 2016b; CARDOSO & BALEN, 2017), ferramentas comerciais podem superestimar estes parâmetros, quando comparado com um dos modelos teóricos mais aceitos, os quais são suportados por dados experimentais. Os resultados experimentais apresentados nessa tese evidenciam esse fato principalmente para ELTs com dimensões menores. Considerando a ferramenta de EDA usada nesse trabalho na tecnologia XC018, foram observados erros ao estimar o W/L de 29%, para comprimentos de canal mínimo ($L=0.18 \mu\text{m}$), até 34%, quando o comprimento do canal é 4 vezes maior do que o valor do L mínimo ($0.72 \mu\text{m}$), conforme mostrou a Figura 4.2. Isso pode ser um problema relevante quando circuitos integrados complexos com especificações muito restritivas são projetados com ELTs usando ferramentas de EDA comerciais; (2) Levando em consideração a ferramenta de extração de parasitas, embora as capacitâncias extraídas envolvidas são comumente na faixa de 10^{-15}F até 10^{-19}F , em alguns casos pode ser necessário checar se os valores obtidos estão de acordo com as dimensões de fonte e dreno do ELT; (3) O modelo com os parâmetros do dispositivo fornecidos pela *foundry* para um processo específico destina-se a modelar transistores com porta retangular STD. No entanto, para dispositivos ELTs, as capacitâncias intrínsecas, tais como C_{GS} , C_{GD} , C_{BS} , C_{BD} e as capacitâncias extrínsecas de *overlap* and *fringing*, podem ser influenciadas pela área e perímetro de dreno e fonte pelo fato delas serem

assimétricas. Desse modo, esses parâmetros podem ser atualizados no modelo SPICE fornecido pela *foundry*.

Os conhecimentos adquiridos durante o projeto usando as ferramentas de EDA, inicialmente na tecnologia de 0.18 μm , foram importantes e serviram para nortear e diminuir os contratempos na tecnologia cmrf8sf 0.13 μm da Global Foundries. O *know-how* para fazer um circuito com um tipo de transistor, que se difere das formas convencionais, pode ser considerado como uma conquista importante, já que no início do desenvolvimento dessa tese, se acreditava que a ferramenta de EDA comercial, que foi utilizada, não conseguisse interpretar a forma do ELT para extrair os parâmetros W e L. As medições experimentais foram conduzidas no sentido de se obter curvas $I_{\text{D}} \times V_{\text{DS}}$ e $I_{\text{D}} \times V_{\text{GS}}$ para as duas dimensões de ELTs fabricados (denominados de ELT-C e ELT-PS) considerando também as versões com dreno interno e com dreno externo, bem como as versões equivalentes com layout convencional. Os resultados experimentais mostraram que, nos casos estudados, o processo de simulação superestima o valor das correntes de dreno em cerca de 30% para os transistores com layout convencional, e em $\approx 80\%$ para os ELTs-C, e em $\approx 45\%$ para os ELT-PS. As análises experimentais mostram que o ELT que usa o terminal interno configurado como dreno, apresenta maior capacidade de corrente na região de saturação, do que o ELT que usa o dreno como terminal externo. As medições também permitem observar, de forma indireta, que os ELT-C e ELT-PS com dreno interno, apresentam maior condutância de saída (g_{DS}), conforme retratado em (JARRON et al., 1999). Esses resultados demonstram que os ELTs assimétricos têm tendência a exibir maiores inconformidades entre os dados de simulações e os dados experimentais.

O W/L dos ELTs foram extraídos a partir da análise dos dados das curvas experimentais de $I_{\text{D}} \times V_{\text{GS}}$, conforme descrito na seção 4.2.1. Os resultados mostram que, para a tecnologia 0.13 μm considerada, na qual os circuitos foram prototipados em silício, os modelos que conseguem maior concordância com os dados experimentais são os modelos propostos em (XUE et al., 2011) e (GIRALDO, 1998). Já os modelos que divergem mais (até 33% de diferença) dos dados extraídos são o que a ferramenta de EDA usa na fase de LVS e o modelo MidLine (GIRALDO, et al., 2000). Considerando apenas a extração do W/L dos ELT-PS, todos os modelos analisados apresentaram diferenças em relação aos resultados experimentais menores que 10%. Isso pode ser considerado uma diferença aceitável. Desta forma, os ELTs-C, que são menores e com um grau de assimetria maior, foram os que

exibiram as maiores diferenças entre os modelos analisados, conforme retrata a seção 4.2.6 através da Tabela 4.14.

Os ELTs possuem limitações nas possibilidades de razões de aspecto. Isso é um problema mais relevante quando se busca obter ELTs com W/L pequenos. Desta forma, o estudo de associações série e paralelo de ELTs foram introduzidos com o intuito de poder elevar a faixa de valores possíveis de W/L. O comportamento das associações de ELTs foi investigado, onde resultados das medições experimentais de $I_D \times V_{GS}$ e $I_D \times V_{DS}$ se mostram funcionais. Dependendo das condições de polarização de V_{DS} e V_{GS} , se observa que as associações de quatro ELTs em paralelo podem exibir um fator de multiplicação da corrente (FMC) de dreno igual a 4. Da mesma forma que, nas associações de quatro ELTs em série, observou-se um fator de divisão da corrente (FDC) igual a 4. Foram originadas diversas curvas para mostrar o comportamento do FMC e do FDC que podem ser interessantes aos projetistas analógicos. Ao mesmo tempo, o FMC pode ser um indicativo efetivo de quantas vezes o W/L foi ampliado pela associação paralela, enquanto que o FDC pode indicar efetivamente quantas vezes o W/L foi reduzido pela associação série. O *stack effect* observado em (NARENDRA et al. 2001) para as associações série, que prevê que as correntes de fuga quando os transistores da associação estão desligados, tendem a ser menores, não foram confirmadas claramente pelos resultados experimentais das configurações série com ELTs-C, ELTs-PS, STD-C e STD-PS.

Nas associações em paralelo com ELTs-PS observou-se um comportamento descrito na literatura como *kink effect*. De acordo com o que foi pesquisado, essa pode ser a primeira vez que esse efeito foi observado em transistores ELTs com geometria retangular fabricados em tecnologia CMOS convencional em temperatura ambiente. Esse efeito ocorreu também na associação paralela com transistores standard. Esse comportamento tende a ser mais comum em dispositivos PD-SOI do que na tecnologia Bulk convencional, conforme pode ser notado em uma ampla quantidade de trabalhos disponível na literatura para os dispositivos PD-SOI (GIMENEZ et al., 2006; SARAJLIĆ & RAMOVIĆ, 2006).

A escolha adequada das dimensões dos ELTs pode conduzir à dispositivos pseudo simétricos, ou seja, com área de dreno e fonte iguais. É o caso dos ELTs-PS, que foram propostos e analisados nessa tese. Os resultados experimentais das curvas $I_D \times V_{GS}$ e $I_D \times V_{DS}$ evidenciam que esses dispositivos apresentam maior concordância com os dados dos transistores tradicionais com porta retangular STD-PS (com W/L equivalente ao ELT-PS), quando são comparados ao ELT-C em relação ao seu equivalente STD-C. A maior

conformidade dos dados experimentais entre ELT-PS e STD-PS também podem ser estendidas às suas associações série e paralelo.

O impacto da utilização de ELTs em circuitos integrados analógicos mais complexos foi investigado através de simulações no capítulo 5. Foi escolhido para análise um amplificador operacional com CMFB, e também o seu circuito de polarização. Estas estruturas são parte de um modulador sigma–delta previamente projetado. O layout desse amplificador foi protegido através da substituição dos transistores NMOS (com layout convencional de porta retangular) pelos ELT de mesma razão de aspecto. Nesse momento, o desafio de se utilizar ELT é observado na prática. Com isso, foi observada a real possibilidade de encontrar os ELTs com mesmo W/L, dos transistores NMOS com layout convencional. Os resultados mostram uma pequena variação nas tensões de polarização ≈ 58 mV (diferença máxima obtida) em comparação com a versão que usa apenas transistores com layout convencional. Em relação ao comportamento em frequência, foi observada uma diminuição na frequência de -3dB e redução do GBW do amplificador. A versão do amplificador com layout convencional (não protegida) e a versão protegida com ELTs também foram prototipados. No entanto, esses circuitos ainda não puderam ser medidos experimentalmente. Ainda assim, pode se citar que houve um acréscimo próximo de 50% na área do circuito que usa ELTs em relação ao circuito não protegido.

Finalmente, os trabalhos realizados nessa tese trazem algumas contribuições importantes para a área de projeto de circuitos integrados analógicos tolerantes a radiação ionizante, porém ficaram muitos aspectos para serem contemplados. No entanto, a mensagem que precisa ser passada aos projetistas é que o uso de ELTs pode implicar em diferenças significativas entre os resultados oriundos de simulações e experimentais. Parte dessa diferença pode ser atribuída à forma de extração do W/L realizada pela ferramenta computacional de edição de layout. Por isso, sugere-se que correções/alterações, no parâmetro W/L, sejam feitas através da edição dos arquivos de saída da fase de extração de parasitas de forma a melhorar o casamento dos resultados de simulação e experimentais. Mas somente isso, não garante a total equivalência entre esses dados indicando que o ELT precisa ser mais bem modelado pelo modelo SPICE adotado. Na seção seguinte, encontra-se uma lista com perspectivas de trabalhos futuros decorrentes dessa tese. As publicações realizadas em função desse trabalho de doutorado, e outras publicações relacionadas (que fiz parte) são listadas na seção de publicações.

PERSPECTIVAS DE TRABALHOS FUTUROS

Ao final desta tese foi possível identificar oportunidades para trabalhos futuros. Inicialmente, o objetivo passa a ser a criação de um artigo com os resultados apresentados no capítulo 4 com a adição de dados de variabilidade, pois temos disponíveis ao menos mais 25 amostras que podem ser medidas. Outro artigo pode ser criado destacando o FMC e o FDC para associações em paralelo e série usando ELTs.

Em seguida, os esforços podem ser conduzidos a realizar o restante das medições experimentais AC nos 22 circuitos prototipados no chip. Além disso, também precisam ser feitas as medições experimentais no amplificador operacional protegido contra os efeitos da radiação ionizante através do uso de ELTs. Esses resultados podem gerar, ao menos mais um artigo para ser publicado em eventos internacionais.

Depois do término das medições, as amostras do chip prototipados podem ser conduzidos aos experimentos de efeitos de dose total ionizante no IEAv. Os resultados desses testes podem gerar, ao menos mais um artigo para serem publicados em conferências internacionais especializadas em efeitos de radiação ionizante em circuitos eletrônicos.

Infelizmente, em função dos limites na área e no número de pinos disponíveis no chip prototipado, muitas questões importantes não puderam ser cobertas nos circuitos integrados que foram fabricados. Tópicos que podem ser citados aqui e que poderiam ser aprofundados: (1) utilizar mais de um comprimento de canal nos ELTs, especialmente com valores altos para investigar o comportamento quando se deseja fazer W/L pequenos; (2) poder prototipar em outros processos tecnológicos; (3) poder colocar outras formas, como *dogbone* e fazer comparações; (4) em função das poucas amostras que foram medidas, as conclusões dos dados de medições, não podem ser consideradas como definitivas para essa tecnologia, ou seja, um maior número de amostras necessitaria serem medidas; (5) Considerando o *kink effect* observado nos resultados das associações paralelas com ELT-PS, é interessante em uma próxima rodada de prototipação disponibilizar para medições o terminal de substrato para

poder observar variações de corrente no substrato que possam caracterizar efetivamente que o *kink effect* ocorreu; (6) Fazer um estudo mais aprofundado das associações de transistores, sobretudo, as associações série que são importantes para se conseguir fazer razões de aspecto pequenas. Criar um conjunto de associações usando diferentes valores de L, irão ser importantes para mapear o funcionamento detalhado dessas estruturas.

PUBLICAÇÕES

Abaixo segue a lista de trabalhos publicados no período do doutorado que são diretamente relacionados à tese (1-4) e indiretamente relacionados (5-8). Os trabalhos publicados que estão diretamente relacionados com a tese compreendem um artigo na revista *Analog Integrated Circuits and Signal Processing* e três publicações em anais de evento.

[1] CARDOSO G.S, BALEN T.R Performance and simulation accuracy evaluation of analog circuits with enclosed layout transistors, **Analog Integrated Circuits and Signal Processing**, v. 93 n. 3 455-466, doi: 10.1007/s10470-017-1050-z. 2017.

[2] CARDOSO G.S, BALEN T.R Study of Layout Extraction Accuracy on W/L Estimation of ELT in Analog Design Flow, **IEEE Latin American Symp. Circuits and Systems**, 279-282, doi:10.1109/LASCAS.2016.7451064. 2016a.

[3] CARDOSO G.S, BALEN T.R. Performance evaluation of radiation hardened analog circuits based on Enclosed Layout geometry, **17th Latin-American Test Symposium**, 123-128, doi: 10.1109/LATW.2016.7483351. 2016b.

[4] CARDOSO G.S, BALEN T.R. Studying the Impacts of Applying Enclosed Layout Transistor in Analog Designs **VI Workshop sobre os Efeitos das Radiações Ionizantes em Componentes Eletrônicos e fotônicos de uso aeroespacial** 2015.

[5] CARDOSO, G. S.; BALEN, T. R; LUBASZEWSKI, M. S.; GONCALEZ, O. L.. Reliability Analysis of 0.5um CMOS Operational Amplifiers under TID Effects. **JICS. Journal of Integrated Circuits and Systems** (Ed. Português), v. 9, p. 70-79, 2014.

- [6] BECKER T. E.; LANOT, A. J.C.; CARDOSO, G S.; BALEN, T. R.. Single event transient effects on charge redistribution SAR ADCs. **Microelectronics Reliability**, v. 73, p. 22-35, 2017.
- [7] BENDER, I. D. ; CARDOSO, G. S. ; OLIVEIRA, A. C. ; SEVERO, L. C. ; GIRARDI, A. ; BALEN, T. R . Testing Fully Differential Amplifiers Using Common Mode Feedback Circuit: a case study. **6th IEEE Latin American Symposium on Circuits and Systems**, 2015, Montevideo.
- [8] BENDER, I. D. ; CARDOSO, G. S. ; OLIVEIRA, A. C. ; SEVERO, L. C. ; GIRARDI, A. ; BALEN, T. R . Testing a Fully Differential Amplifier for Catastrophic and Parametric Faults by Reusing the Common Mode Feedback Circuit. **XXX Simpósio Sul de Microeletrônica - SIM 2015**, 2015, Santa Maria - RS.

REFERÊNCIAS

AGUIRRE, P. C. C. de. **Projeto e análise de moduladores sigma-delta em tempo contínuo aplicados à conversão AD**. 2014. 119p Dissertação (Mestrado) – Universidade Federal do Rio Grande do Sul, Porto Alegre - RS. Disponível em: < <http://hdl.handle.net/10183/105065>>.

ANELLI, G. M., **Conception et caracterisation de circuits integres resistants aux radiations pour les detecteurs de particules du LHC en technologies CMOS submicroniques profondes**, 188 p. These Docteur de l'ingp, Institut National Polytechnique de Grenoble. Grenoble - 2000.

BALEN, T. R. **Efeitos da radiação em dispositivos analógicos programáveis (FPAA) e técnicas de proteção**. 210 p. Tese (Doutorado em Engenharia Elétrica) -Programa de Pós-Graduação em Engenharia Elétrica. Universidade Federal do Rio Grande do Sul, Porto Alegre, 2010.

BARNABY, H.J. Total-ionizing-dose effects in modern CMOS Technologies, **IEEE Transactions on Nuclear Science**. New York. V. 53, n. 6, p. 3103-3121. Dec. 2006.

BOUDENOT, J. C. Radiation space environment. In: VELAZCO, R.; FOUILLAT, P.; REIS, R. (Ed.). **Radiation effects on embedded systems**. Dordrecht: Springer, 2007. p. 1-9.

BSIM4 - MOSFET Model User Manual – Disponível em: <http://cmosedu.com/cmos1/BSIM4_manual.pdf> Acesso em: 12 de julho 2018.

CARDOSO G.S, BALEN T.R Study of Layout Extraction Accuracy on W/L Estimation of ELT in Analog Design Flow, **IEEE Latin American Symp. Circuits and Systems**, 279-282, doi:10.1109/LASCAS.2016.7451064. 2016a.

CARDOSO G.S, BALEN T.R. Performance evaluation of radiation hardened analog circuits based on Enclosed Layout geometry, **17th Latin-American Test Symposium**, 123-128, doi: 10.1109/LATW.2016.7483351. 2016b.

CARDOSO G.S, BALEN T.R Performance and simulation accuracy evaluation of analog circuits with enclosed layout transistors, **Analog Integrated Circuits and Signal Processing**, v. 93 n. 3 455-466, doi: 10.1007/s10470-017-1050-z. 2017.

CBERS – **China-Brasil Earth Resources Satellite** - Disponível em: http://www.cbears.inpe.br/sobre_satelite/introducao.php Acesso em: 31 agosto 2016.

CHAMPION C and LA RUE G.S. Accurate SPICE Models for CMOS Analog Radiation-Hardness-by-Design. **IEEE Transaction on Nuclear Science**, vol. 52, no. 6, Dec. 2005, pp. 2542-2549.

CHEN, H., and GEIGER, R. L.. Maximing the oscillation frequency of CMOS VCOs. **IEEE International Symposium on Circuits and Systems** (pp. 1248–1251), Lansing, MI: Michigan State University. (2000).

ORTIZ-CONDE, A. A review of recent MOSFET threshold voltage extraction methods, **Microelectronics Reliability**, v.42, n.4, p. 583-596, Abril 2002.

DOU- **Diário Oficial da União** – Disponível em: <http://pesquisa.in.gov.br/imprensa/jsp/visualiza/index.jsp?jornal=1&pagina=22&data=14/03/2017> Acesso em: 23 de novembro de 2017.

DJEZZAR, B.; SMATTI, A.; AMROUCHE, A.; KECHOUANE, M.; Channel-length impact on radiation-induced threshold-voltage shift in N-MOSFET devices at low gamma ray radiation doses. **IEEE Transactions on Nuclear Science** v.47 p. 1872-1878, 2000.

ECOFFET, R. In-flight anomalies on electronic devices. In: VELAZCO, R.; FOUILLAT, P.; REIS, R. (Ed.). In: **Radiation effects on embedded systems**. Dordrecht: Springer, 2007. p. 31-68.

FACCIO F. and CERVELLI G., Radiation-induced edge effects in deep submicron CMOS transistors, **IEEE Transaction on Nuclear Science**, vol. 52, no. 6, pp. 2413–2420, Dec. 2005.

FACCIO F. “Design Hardening Methodologies for ASICs” In: Velazco, R; Fouillat, P; Reis, R. (Org). **Radiation Effects on Embedded Systems**. Springer, pp. 11-29, 2007.

FIORELLI R., ARNAUD A. and MONTORO-GALUP C., Series-parallel association of transistors for the reduction of random offset in nonunity gain current mirrors, in **Proc. IEEE ISCAS**, 2004, vol. 1, pp. 881–884.

FRÉGONESÈ S., et al. Scalable Electrical Compact Modeling for Graphene FET Transistors **IEEE Transactions On Nanotechnology**, V. 12, No. 4, pp. 539-546 July 2013.

FUSCO D., BALEN T. R., Radiation Effects in Low Power and Ultra-Low Power Voltage References. **Journal of low power electronics** v. 12, n. 4, pp. 403-412(10). <https://doi.org/10.1166/jolpe.2016.1453> Dec 2016.

GB1 – **GlobalFoundries Semiconductor Foundry** - Disponível em: <https://www.globalfoundries.com/news-events/press-releases/globalfoundries-track-deliver-leading-performance-7nm-finfet-technology>>. Acesso em: 23 de novembro 2017.

GIACOMINI R., MARTINO J. A. A simple current model for edgeless SOI nMOSFET and a 3-D analysis **Solid-State Electronics** Vol. 49 p. 1255–1261 2005.

GIMENEZ S. P., FERREIRA R. M. G., MARTINO J. A. Early voltage behavior in circular gate SOI NMOSFET using 0.13 μm partially-depleted SOI CMOS technology. **ECS Transactions**, 4 (1) p. 309-318. 2006.

GIRALDO A., **Evaluation of Deep Submicron Technologies with Radiation Tolerant Layout for Electronics in LHC Environments**, Ph.D. Thesis at the University of Padova, Italy, December 1998.

GIRALDO A, PACCAGNELLA A, MINZONI A. Aspect ratio calculation in nchannel MOSFETs with a gate-enclosed layout. **Solid-State Electron**, 44(6): 981, 2000.

HAFEZ I.M., GHIBAUDO G., BALESTRA F. Analytical Modelling of the Kink Effect in MOS Transistors **19th European Solid State Device Research Conference** p. 897 – 900 1989.

HAFEZ I.M., GHIBAUDO G., BALESTRA F. Reduction of Kink Effect in Short-Channel MOS Transistors **IEEE Electron Device Letters**, v.11 n° 3, 1990.

HEYNDERICKX, D. et al. Calculating low-altitude trapped particles fluxes with the NASA models AP-8 and AE-8. **Radiation Measurements**, Amsterdam: Elsevier, v. 26,n. 6, p. 947-952, Nov. 1996.

INTEL1 – **Intel Corporation** – Disponível em: <https://ark.intel.com/pt-br/products/126240/Intel-Core-i9-7920X-X-series-Processor-16_50M-Cache-up-to-4_30-GHz> Acesso em: 22 de novembro 2017.

JARRON P.; ANELLI G,CALINT,et al. Deep submicron CMOS technologies for the LHC experiments, **Nucl Phys B-Proc Sup**, vol. 78, pp. 625-634, 1999.

LIMA, Kátia Goretti de. **Estruturas APS Resistentes à Radiação para Aplicações Espaciais**. 2006. 105p Dissertação (Mestrado) – Universidade Federal do Rio de Janeiro, Rio de Janeiro - RJ.

MANGHISONI, M.; RATTI, L.; RE, V.; SPEZIALI, V.; TRAVERSI, G.; CANDELORI, A.; Comparison of ionizing radiation effects in 0.18 and 0.25 μm CMOS technologies for analog applications, **IEEE Transaction on Nuclear Science**, vol. 50, No. 6, pp. 1827-1833, 2003.

MARTIN M.N. and STROHBEHN K., Analog Rad-Hard by Design Issues, **proceeding of the 11-th NASA Symposium on VLSI Design**, Coeur d'Alene, Idaho, May 28-29,2003.

MONTORO-GALUP C., SCHNEIDER M. C., and LOSS I. J. B., Series-parallel association of FET's for high gain and high frequency applications, **IEEE JSSC**, vol.29, n°9, pp.1094-1101, September 1994.

NARENDRA S., S. BORKAR, V. De, D. ANTONIADIS and A. CHANDRAKASAN, Scaling of stack effect and its application for leakage reduction **International Symposium on Low Power Electronics and Design**, Huntington Beach, CA, pp. 195-200, Aug. 2001.

O'GORMAN, T. J. The effect of cosmic rays on the soft errors of a DRAM at ground level. **IEEE Transactions on Electron Devices**, [S. l.], v. 41, n. 4, p. 533-557, Apr.1994.

PRAGER A. A., GEORGE H. C., ORLOV A. O., SNIDER G. L. Cryogenic MOSFET Kink Effect Abatement **IEEE Silicon Nanoelectronics Workshop** Honolulu, HI, USA. DOI: 10.1109/SNW.2008.5418490 2008.

PNM – **Plano Nacional de Microeletrônica** – Disponível em: <http://www.mct.gov.br/upd_blob/0002/2378.pdf>. Acesso em 31 agosto 2016.

RE, V.; MANGHISONI, M.; RATTI, L.; SPEZIALI, V.; TRAVERSI, G.; Total ionizing dose effects on the noise performance of a 0.13 μ m CMOS technology, **IEEE Radiation Effects Data Workshop**, p. 122 – 126, 2005.

RODRIGUEZ S., at al. Static Nonlinearity in Graphene Field Effect Transistors, **IEEE Transactions On Electron Devices**, v. 61, No. 8, p. 3001 – 3003. August 2014.

SARAJLIĆ M., RAMOVIĆ R. Analytical Modeling of the Triggering Drain Voltage at the Onset of the Kink Effect for PD SOI NMOS **Proc. 25th International Conference on microelectronics**, Belgrade, Serbia And Montenegro. 2006.

SCHRIMPF, R. D. Radiation Effects in Microelectronics In: Velazco, R; Fouillat, P; Reis, R. (Org). **Radiation Effects on Embedded Systems**. Springer, pp. 11-29, 2007.

SCHWANK, J.R.; SHANEYFELT, M.R.; FLEETWOOD, D.M.; FELIX, J.A.; DODD, P.E.; PAILLET, P.; FERLETCAVROIS, V. Radiation effects in MOS oxides, **IEEE Transaction on Nuclear Science**, Vol.55 N° 4, pp. 1833-1853, August, 2008.

SEMIENGINEERING1 – **Semiconductor Engineering Website** - Disponível em: <<http://semiengineering.com/will-7nm-and-5nm-really-happen/>> Acesso em: 23 de novembro 2017.

SEMIENGINEERING2 – **Semiconductor Engineering Website** - Disponível em: <<https://semiengineering.com/chipmakers-look-to-new-materials/>> Acesso em: 1 de outubro 2017.

SNOEYS W.J. et al.. Layout techniques to enhance the radiation tolerance of standard CMOS technologies demonstration on a pixel detector readout chip. **Nuclear, Instruments and Methods in Physics Research**, 439(2–3), 349–360. 2000.

SNOEYS, W. J., PALACIOS GUTIERREZ T.A, ANELLI G. A New NMOS Layout Structure for Radiation Tolerance, **IEEE Transactions on Nuclear Science**, Vol. 49, no. 4, August 2002.

SPENVIS. **European Space Agency**: space environment information system.

Disponível em: <<http://www.spennis.oma.be/help/background/traprad/traprad.html#EFFECTS>>. Acesso em: 19 maio 2012.

STROHBEHN K. and MARTIN M. N, Spice macro models for annular MOSFETs, in **Proc. IEEE Aerospace Conf.**, Bozeman, MT, 2004, vol. 4, pp. 2370–2377.

TSMC1 - **Taiwan Semiconductor Manufacturing Company Limited** - Disponível em: <<http://www.tsmc.com/english/dedicatedFoundry/technology/7nm.htm>> Acesso em: 23 de novembro 2017.

VELAZCO, R.; FOUILLAT, P.; REIS, R. (Ed.). **Radiation effects on embedded systems**. Dordrecht: Springer, 2007.

XUE F. PING L.; WEI L.; ZHANG B et al., Gate-enclosed NMOS transistors, **Journal of Semiconductors**; 32(8):084002. 08/2011.

APÊNDICE A – ANÁLISES ADICIONAIS COM OS DADOS EXPERIMENTAIS

Este apêndice ilustra resultados de análises adicionais que foram feitas, mas que precisaram ser extraídas do texto principal, para deixá-lo mais direcionado aos comportamentos $I_D \times V_{DS}$ e $I_D \times V_{GS}$ dos dispositivos ELT e STD.

A diferença percentual da corrente de dreno entre o circuito paralelo com transistores STD-C e as configurações com ELTs (PA1, PA2 e PA3) foram avaliadas. A Figura A.1 ilustra a diferença entre o circuito Cir_18_STD_C_parallel (pela Tabela 4.4) e a configuração PA1 (Cir_3_EL_T_C_PA1) considerando diferentes valores de V_{GS} . Quando $V_{GS}=600$ mV (curva com asterisco preto) é que se observam as maiores diferenças ($\approx 18\%$) entre esses dois circuitos. Na Figura A.2 é mostrado a diferença percentual entre o circuito Cir_18_STD_C_parallel e a configuração PA2 (Cir_4_EL_T_C_PA2). Através dessa figura é possível notar que no contexto geral as diferenças são maiores que as que foram observadas na análise apresentada da Figura A.1, quando se observa as curvas com $V_{GS}=400$ mV, $V_{GS}=500$ mV e $V_{GS}=600$ mV. A Figura A.3 apresenta a diferença percentual na corrente de dreno da configuração PA3 (Cir_5_EL_T_C_PA3), em relação à situação com transistores STD (Cir_18_STD_C_parallel). Nesse caso, é possível perceber uma tendência, para o comportamento na saturação, que se assemelha com o observado no arranjo PA1, já que, as maiores diferenças ocorrem, respectivamente, em $V_{GS}=600$ mV, $V_{GS}=500$ mV e $V_{GS}=400$ mV.

Figura A.1 – Diferença percentual das correntes de dreno entre a configuração paralela com transistor STD-C e da associação PA1. Resultados com base nos dados da Figura 4.23.

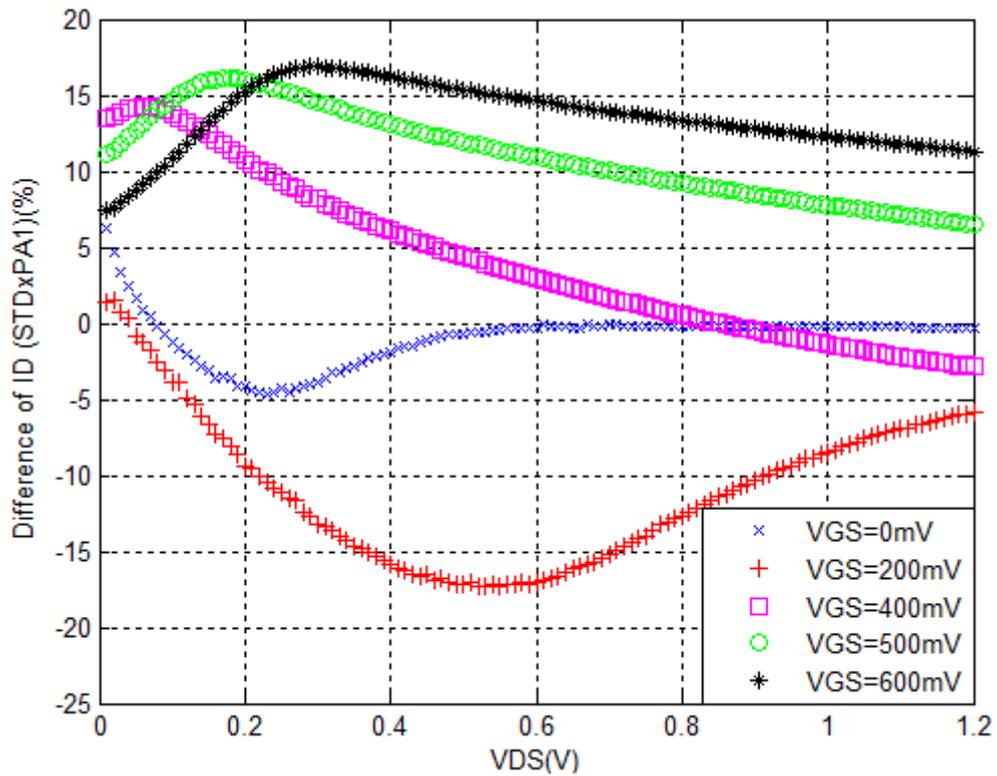


Figura A.2 – Diferença percentual das correntes de dreno entre a configuração paralela com transistor STD-C e da associação PA2. Resultados com base nos dados da Figura 4.23.

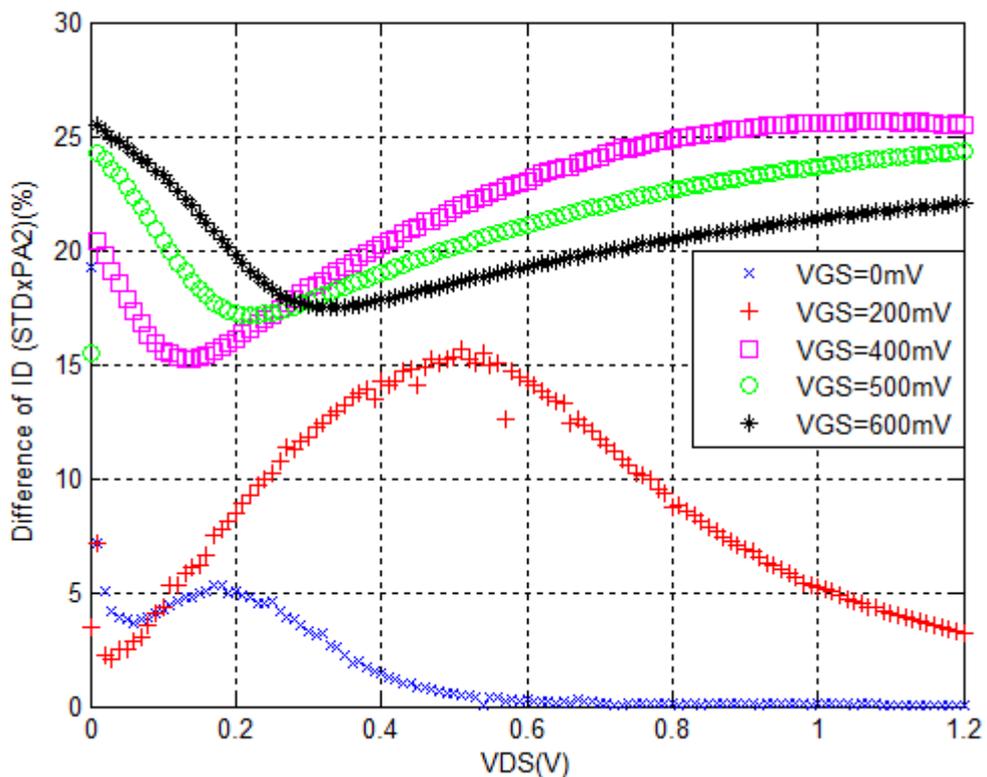
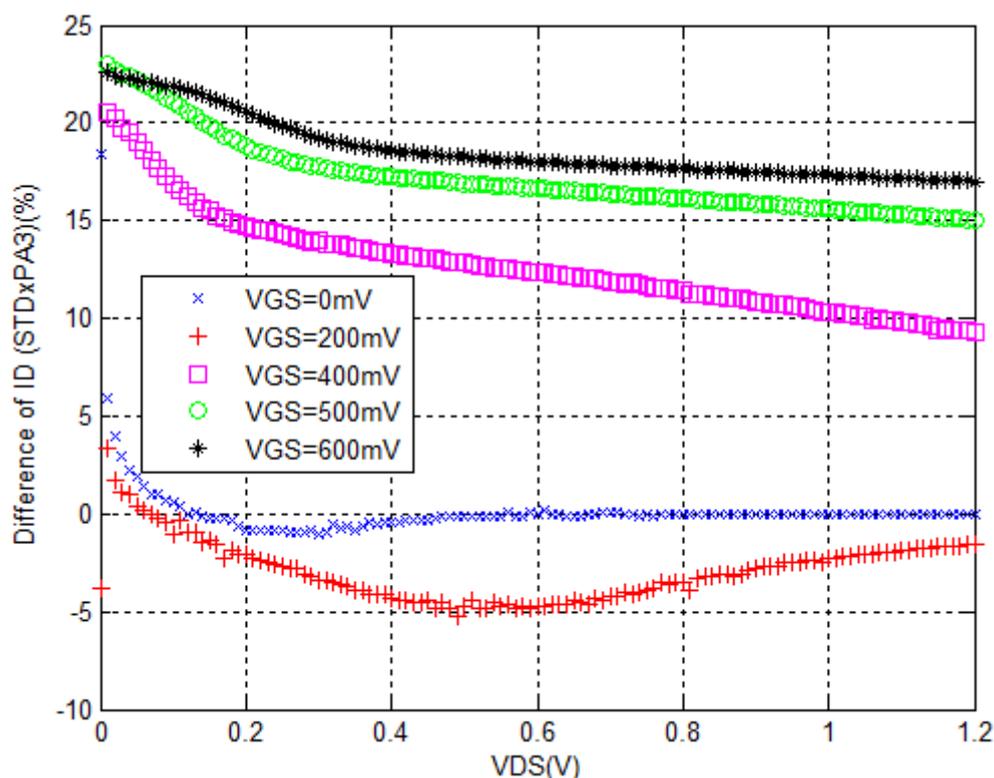


Figura A.3 – Diferença percentual das correntes de dreno entre a configuração paralela com transistor STD-C e da associação PA3. Resultados com base nos dados da Figura 4.23.



De forma a permitir a melhor cobertura do comportamento das associações de transistores em paralelo, são apresentadas as curvas que mostram as tendências do FMC das configurações PA1, PA2 e PA3 quando estes são comparados com um único **ELT com dreno externo**. A Figura A.4 ilustra o comportamento da configuração PA1, onde é possível perceber que pode ocorrer um fator de multiplicação maior que 4 com os transistores na saturação ($V_{GS}=400\text{ mV}$ curva com quadrados rosa), assim como em $V_{GS}=500\text{ mV}$ para os casos de V_{DS} acima de $\approx 500\text{ mV}$). Quando todos os transistores da associação são com dreno externo (config PA2), pode ser observado que o fator de multiplicação não ultrapassa 4, mas fica relativamente estável ($3.5 < \text{FMC} < 4$), conforme pode ser visto na Figura A.5 para os casos em que os transistores estão na saturação. Os resultados da Figura A.6 mostram que, o comportamento da configuração PA3 é semelhante ao da configuração PA1 (Figura A.4), embora somente em $V_{GS}=400\text{ mV}$ é que o FMC supera 4.

Figura A.4 – Comportamento do FMC considerando a configuração PA1 comparando com um único ELT-C dreno externo.

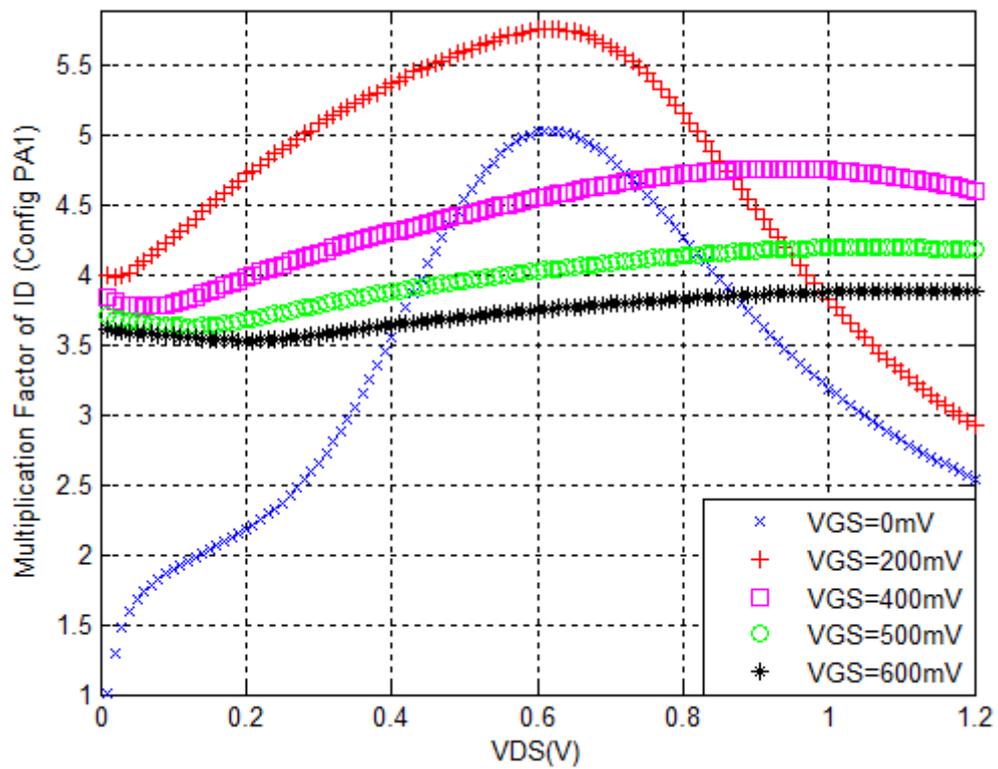


Figura A.5 – Comportamento do FMC considerando a configuração PA2 comparando com um único ELT-C dreno externo.

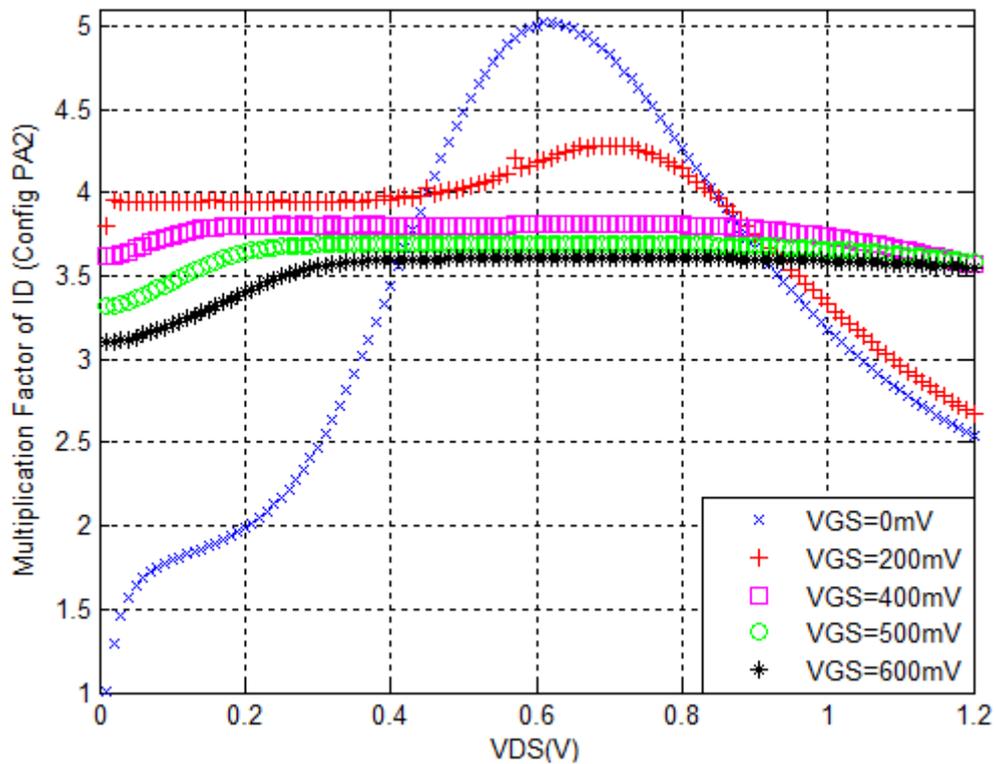
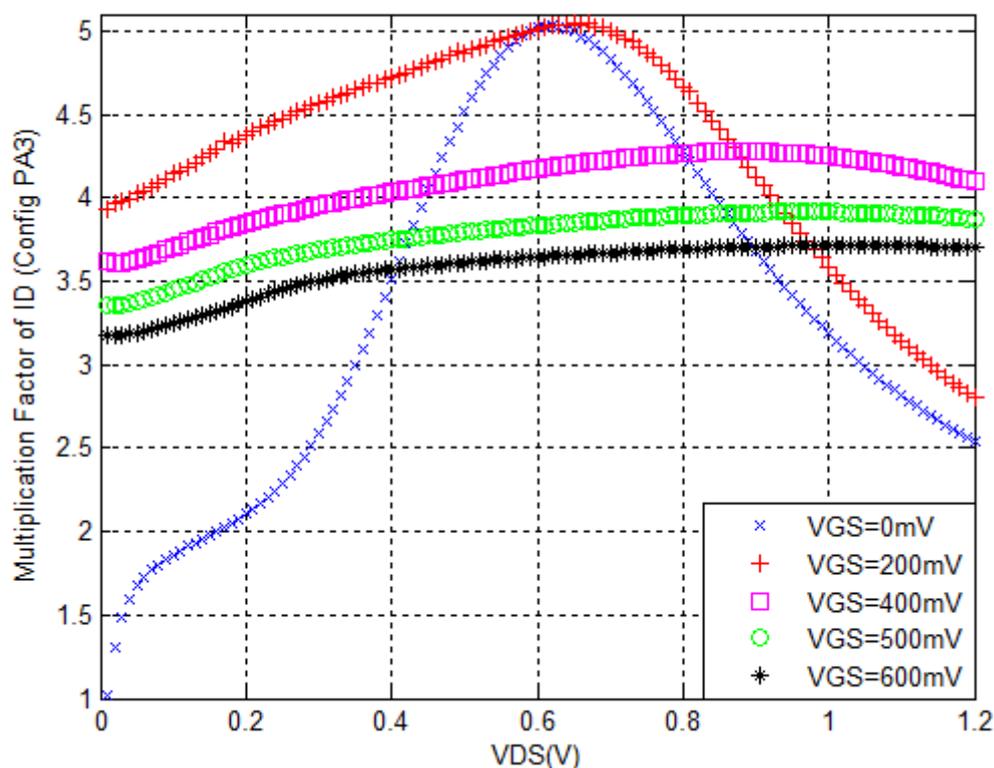


Figura A.6 – Comportamento do FMC considerando a configuração PA3 comparando com um único ELT-C dreno externo.



A diferença percentual na corrente de dreno, entre o arranjo com transistores STD-C e a configuração SE1 (com ELTs-C) é mostrada na Figura A.7. Considerando os casos em que, os transistores estão com $V_{GS}=400\text{ mV}$, $V_{GS}=500\text{ mV}$ e $V_{GS}=600\text{ mV}$, é possível notar que as diferenças percentuais vão diminuindo, à medida que se eleva o valor de V_{DS} . Com exceção das situações em que os transistores estão em corte, esses resultados também mostram que as correntes na configuração STD-C são sempre maiores, independentemente de V_{DS} e V_{GS} . A Figura A.8 exhibe os comportamentos das diferenças percentuais da corrente de dreno entre a configuração STD-C e SE2. Nessa figura pode ser notado que, o comportamento nos casos com $V_{GS}=400\text{ mV}$, $V_{GS}=500\text{ mV}$ e $V_{GS}=600\text{ mV}$, é semelhante até o momento em que o possível efeito de SCBE seja mais acentuado em SE2, levando a corrente de dreno para valores superiores à configuração STD-C (razão pela qual se observa valores negativos no eixo das porcentagens). Em função desse efeito, ocorre uma diferença percentual na corrente de dreno maior entre esses dois circuitos. Os resultados comparando a configuração STD-C com a associação SE3 são mostrados na Figura A.9. As tendências globais das curvas são bastante próximas ao que foi exposto para a configuração SE1 e que foi apresentado na Figura A.7.

Figura A.7 – Diferença percentual das correntes de dreno entre a configuração série com transistor STD-C e da associação SE1. Resultados com base nos dados da Figura 4.31.

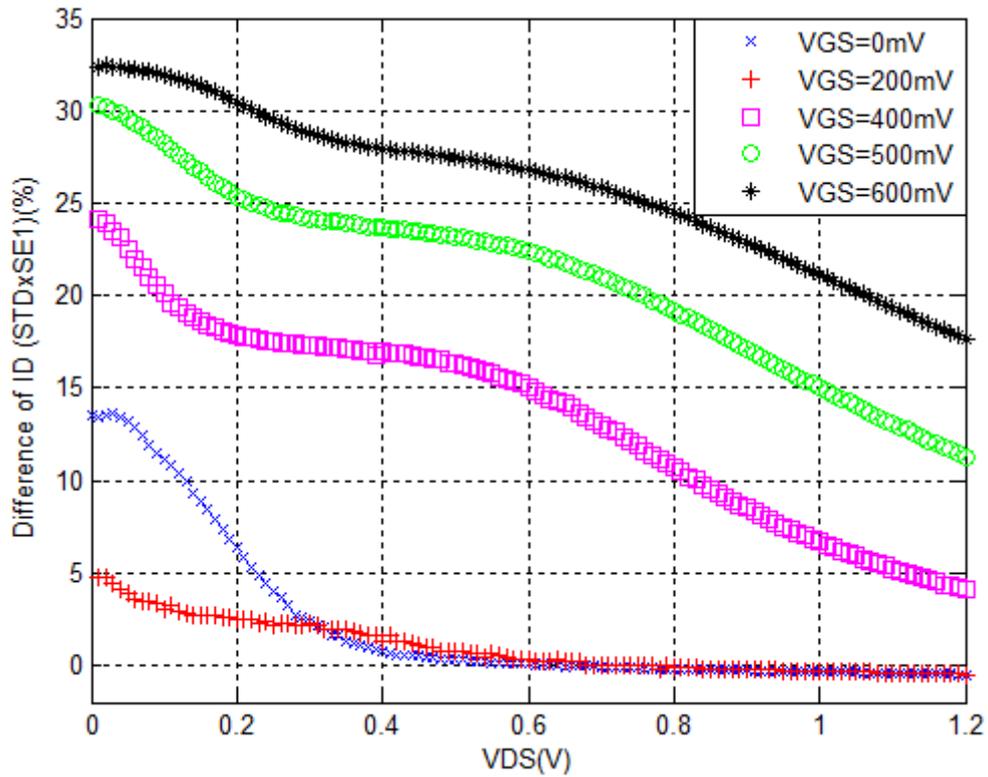


Figura A.8 – Diferença percentual das correntes de dreno entre a configuração série com transistor STD-C e da associação SE2. Resultados com base nos dados da Figura 4.31.

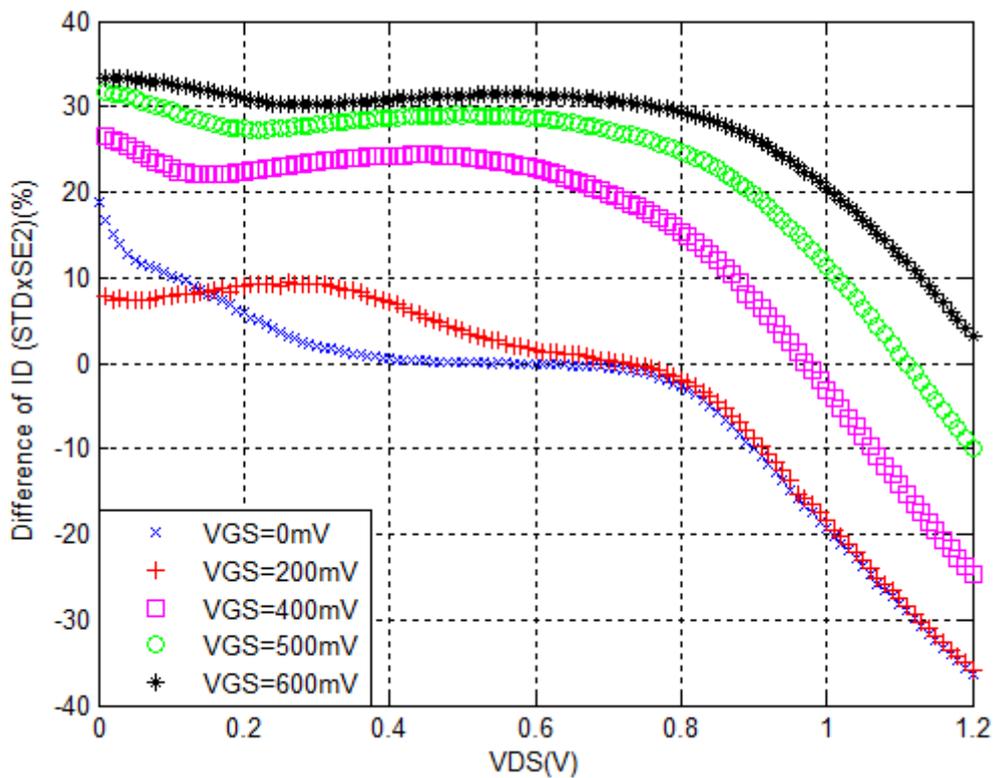
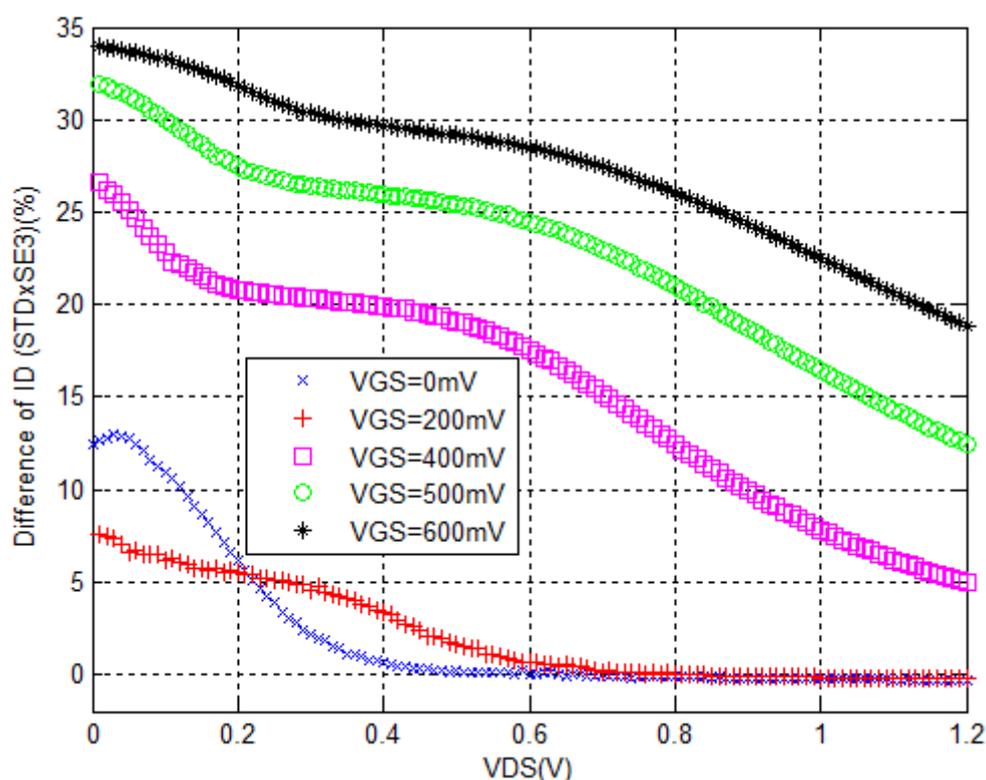


Figura A.9 – Diferença percentual das correntes de dreno entre a configuração série com transistor STD-C e da associação SE3. Resultados com base nos dados da Figura 4.31.



As diferenças percentuais entre as correntes de dreno das associações em paralelo com STD-PS e as configurações com ELT-PS foram investigadas. A Figura A.10 apresenta os resultados da associação STD-PS em comparação com PA1. Considerando todo o intervalo avaliado de V_{DS} , as maiores diferenças observadas ($\approx 50\%$) ocorrem quando V_{DS} está próximo de 1,2V e $V_{GS}=400\text{ mV}$. O mesmo acontece para a configuração PA2, onde se observa uma diferença percentual de $\approx 130\%$, e para configuração PA3, onde é possível notar uma diferença de $\approx 110\%$, conforme pode ser visto na Figura A.11 e na Figura A.12, respectivamente. Essas porcentagens maiores são ocasionadas pelo *kink effect*.

Figura A.10 – Diferença percentual das correntes de dreno entre a configuração paralela com transistor STD-PS e da associação PA1. Resultados com base nos dados da Figura 4.46.

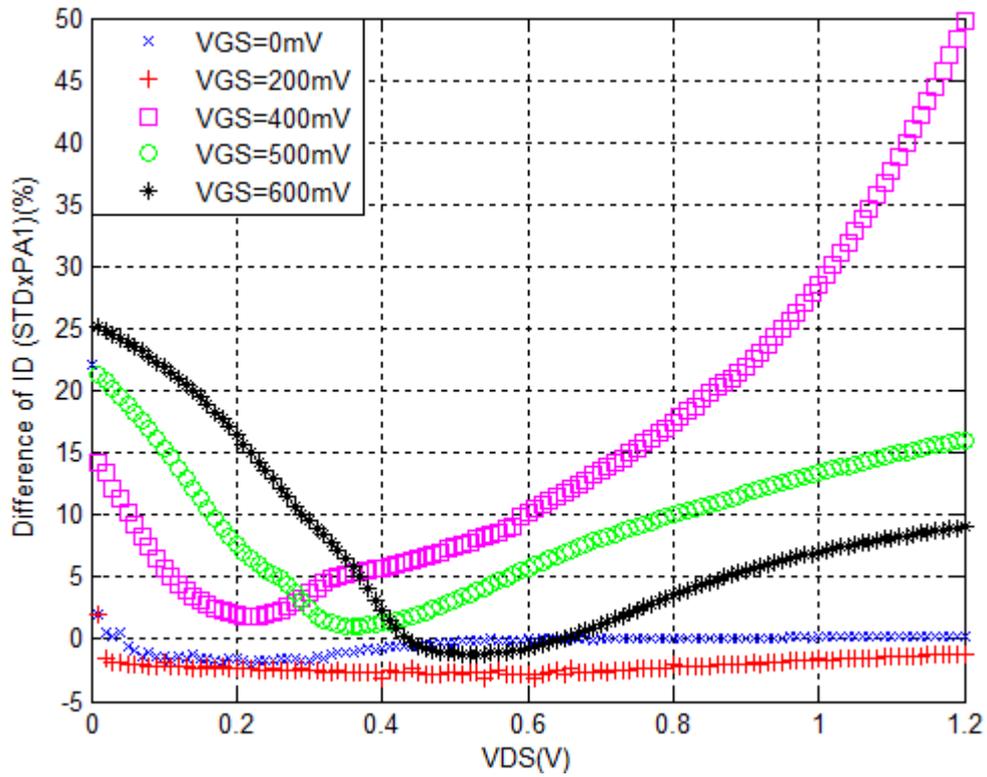


Figura A.11 – Diferença percentual das correntes de dreno entre a configuração paralela com transistor STD-PS e da associação PA2. Resultados com base nos dados da Figura 4.46.

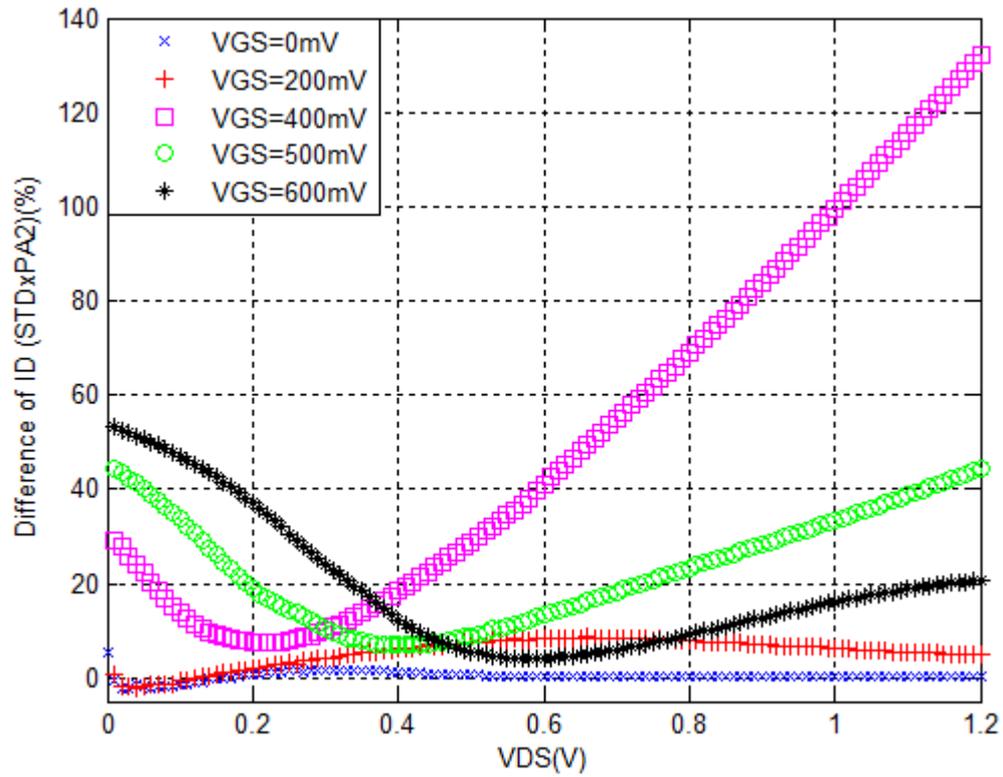
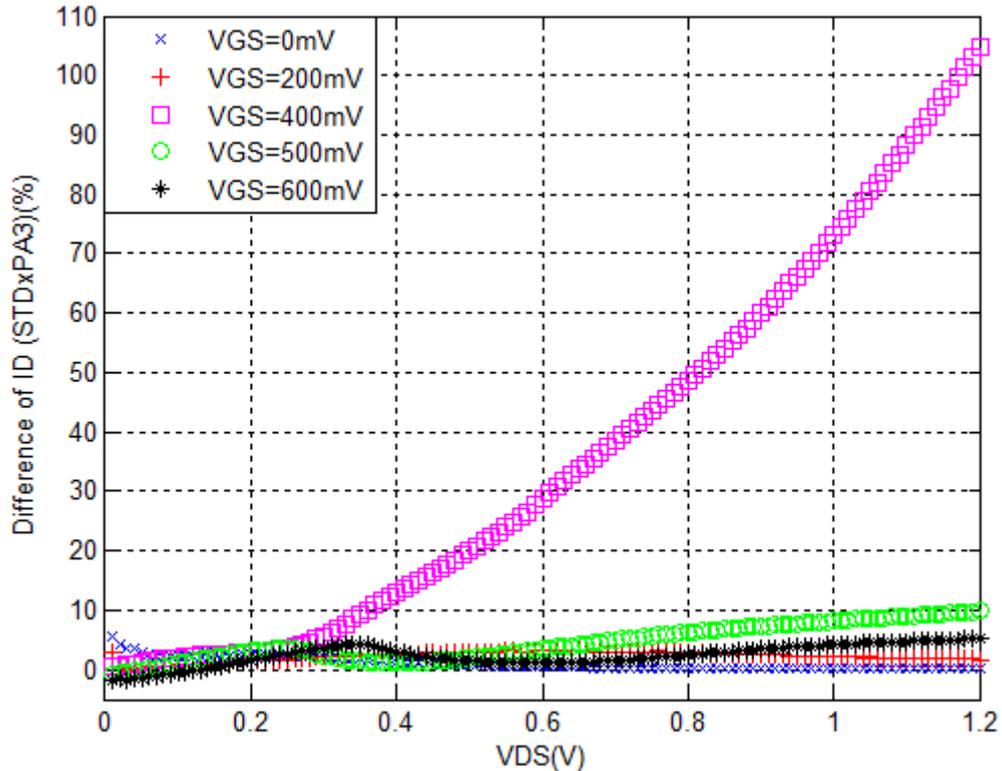


Figura A.12 – Diferença percentual das correntes de dreno entre a configuração paralela com transistor STD-PS e da associação PA3. Resultados com base nos dados da Figura 4.46.



A diferença percentual entre a configuração série com STD-PS e as configurações SE1, SE2 e SE3 (com ELTs-PS) são ilustradas nas Figuras A.13 - A.15. Esses resultados demonstram que, os circuitos com ELT-PS tendem a apresentar comportamento bastante aproximado em relação ao circuito com transistor STD-PS. Já que, durante a saturação, na maior parte de V_{GS} e V_{DS} , as diferenças entre as correntes de dreno ficam restritas a menos 10%. A exceção ocorre para a configuração SE1 quando $V_{DS}>1,0$, conforme pode ser visto na Figura A.13. Essa diferença mais acentuada na corrente de dreno pode ser atribuída ao efeito SCBE que fica mais evidente nessa configuração quando $V_{DS}>1,0\text{V}$.

Figura A.13 – Diferença percentual das correntes de dreno entre a configuração série com transistor STD-PS e da associação SE1. Resultados com base nos dados da Figura 4.55.

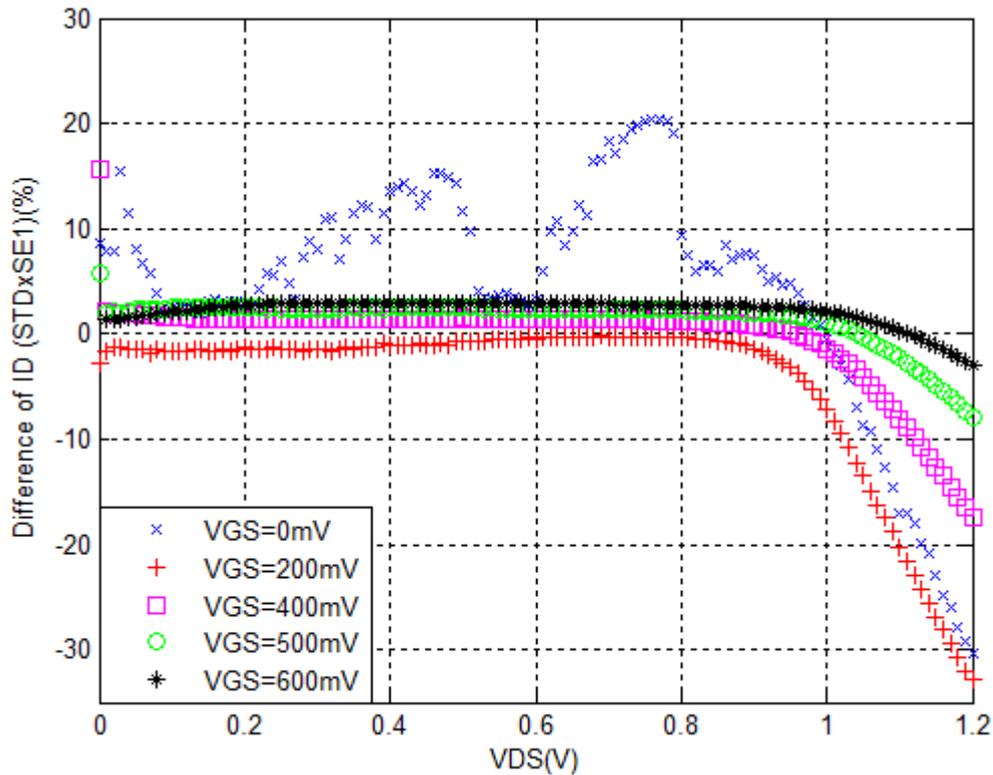


Figura A.14 – Diferença percentual das correntes de dreno entre a configuração série com transistor STD-PS e da associação SE2. Resultados com base nos dados da Figura 4.55.

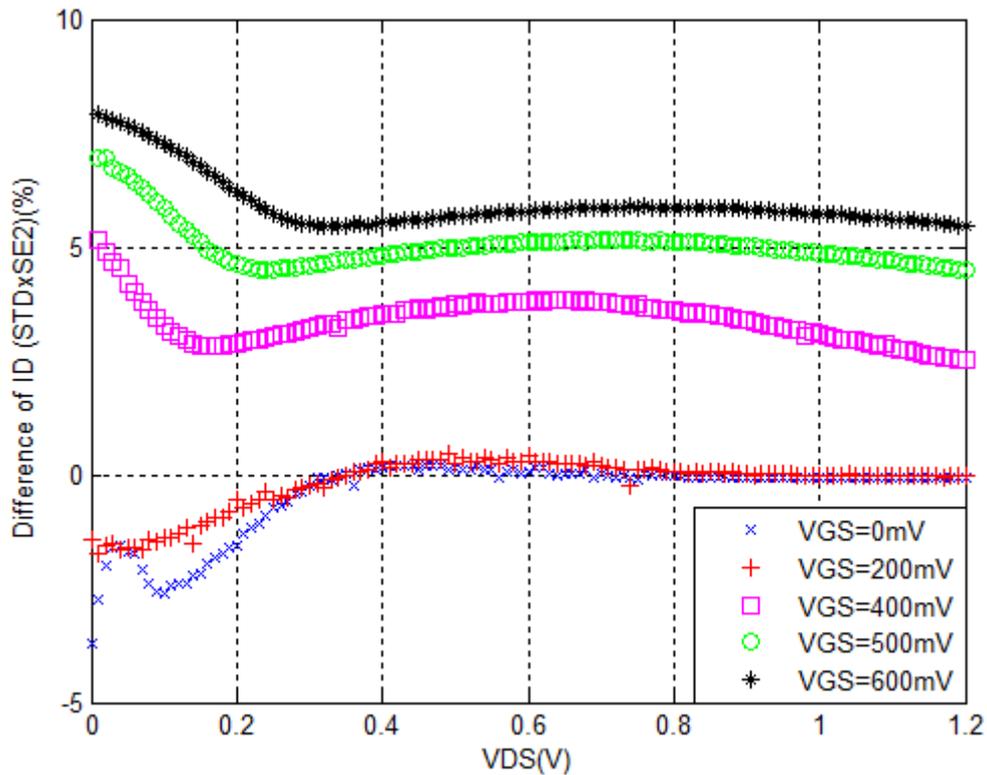


Figura A.15 – Diferença percentual das correntes de dreno entre a configuração série com transistor STD-PS e da associação SE3. Resultados com base nos dados da Figura 4.55.

