

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL
ESCOLA DE ENGENHARIA
ENGENHARIA ELÉTRICA

OCTAVIO PEREIRA

**ANÁLISE DA SINTONIA POR LAÇO
TRAVADO EM FASE APLICADA EM
SISTEMAS PARA TRANSFERÊNCIA DE
ENERGIA SEM FIO**

Porto Alegre
2021

OCTAVIO PEREIRA

**ANÁLISE DA SINTONIA POR LAÇO
TRAVADO EM FASE APLICADA EM
SISTEMAS PARA TRANSFERÊNCIA DE
ENERGIA SEM FIO**

Trabalho de Conclusão de Curso (TCC-CCA)
apresentado à COMGRAD-CCA da Universidade
Federal do Rio Grande do Sul como parte dos re-
quisitos para a obtenção do título de *Bacharel em
Engenharia Elétrica* .

ORIENTADOR: Prof. Dr. Ivan Müller

Porto Alegre
2021

OCTAVIO PEREIRA

**ANÁLISE DA SINTONIA POR LAÇO
TRAVADO EM FASE APLICADA EM
SISTEMAS PARA TRANSFERÊNCIA DE
ENERGIA SEM FIO**

Este Trabalho de Conclusão de Curso foi julgado adequado para a obtenção dos créditos da Disciplina de TCC do curso *Engenharia Elétrica* e aprovado em sua forma final pelo Orientador e pela Banca Examinadora.

Orientador: _____
Prof. Dr. Ivan Müller, UFRGS
Doutor pela Universidade Federal do Rio Grande do Sul –
Porto Alegre, Brasil

Banca Examinadora:

Prof. Dr. Raphael Martins Brum, UFRGS
Doutor pela Université Montpellier – Montpellier, França

Prof. Dr. Valner Brusamarello, UFRGS
Doutor pela Universidade do Estado de Santa Catarina – Joinville, Brasil

Porto Alegre, junho de 2021.

DEDICATÓRIA

Dedico este trabalho a minha dinda.

AGRADECIMENTOS

Gostaria de agradecer a minha família por investir em mim desde pequeno. Aos meus amigos por comemorarem juntos minhas vitórias e me acolherem em momentos difíceis. Ao Prof. Dr. Ivan Müller pela disponibilidade em ajudar em diversos momentos durante este projeto. E, por fim, a universidade.

RESUMO

O uso de enlace indutivo sem fio, ou WPT (*Wireless Power Transfer*), é uma forma de transferência de energia que encontra diversas aplicações, entre elas, recarga de baterias, diminuindo a necessidade de plugs e cabos, e evitando desgaste mecânico, rupturas e oxidação. A eficiência de transferência de potência, ou PTE (*Power Transfer Efficiency*), é altamente impactada com a frequência de operação do acoplamento magnético. Assim, tem-se uma frequência ótima de operação, nomeada frequência de ressonância, que é responsável pelo maior PTE. Essa frequência de ressonância, porém, varia com o alinhamento das bobinas, variações na carga e no fator de acoplamento k . Devido a isso, um dos métodos para garantir a operação na frequência de ressonância, consiste no controle ativo da frequência de operação por meio de um sistema de laço travado em fase, ou PLL (*Phase-Locked Loop*). Neste trabalho foram realizadas simulações do circuito, projetadas e fabricadas placas de circuito impresso e, por fim, realizados testes e análises. A avaliação experimental mostrou a viabilidade da proposta, embora o sistema desenvolvido funcione por hora somente em malha aberta devido a um erro de fase observado na entrada do circuito de PLL. Os próximos passos para correção do problema observado, bem como possíveis melhoramentos no circuito, são apontados ao final do texto.

Palavras-chave: Transferência de energia sem fio, Laço de Travamento em Fase, Acoplamento indutivo.

ABSTRACT

The use of wireless inductive coupling, or WPT (Wireless Power Transfer), is a more modern form of power transferring used for battery charging, reducing the need for plugs and cables, avoiding mechanical wear, ruptures and oxidation. The PTE (Power Transfer Efficiency) is highly impacted by the magnetic coupling operational frequency. Therefore, the optimum operational frequency is named resonant frequency, and it is responsible for the greater PTE. However, this resonant frequency varies with the coil alignments, charge and coupling factor (k). Due to this, one of the methods to guarantee the operation using the resonant frequency consists in the operational frequency active control using a PLL (Phase-Locked Loop) system. This project includes simulations using software, PCB design and manufacturing, tests and an analysis. The experimental results shown that the proposed solution is viable, although the developed system only works in open loop for now because of a phase error observed in the PLL circuit input. The corrections and improvements are pointed out at the end of the text.

Keywords: WPT, PLL, Inductive Coupling.

SUMÁRIO

LISTA DE ILUSTRAÇÕES	9
LISTA DE TABELAS	12
LISTA DE ABREVIATURAS	13
LISTA DE SÍMBOLOS	14
1 INTRODUÇÃO	15
2 FUNDAMENTAÇÃO TEÓRICA	16
2.1 WPT - Transferência de Potência sem fio	16
2.2 Rastreamento de Frequência de Ressonância	19
2.3 PLL	20
2.3.1 Detecção de Fase	20
2.3.2 Filtro de Laço	21
2.3.3 Oscilador Controlado por Tensão	21
3 TRABALHOS RELACIONADOS	23
4 SOLUÇÃO PROPOSTA	25
4.1 Topologia do Sistema WPT	26
4.2 Topologia do Sistema: Laço de Realimentação	26
5 SIMULAÇÕES	28
5.1 Simulação: WPT e Retificação	28
5.2 Simulação: Transmissão Óptica	31
5.2.1 Transmissão Óptica por Infravermelho	31
5.2.2 Transmissão Óptica por opto-acoplador	31
5.3 Simulação: Detecção de Passagem por Zero	34
5.4 Simulação do Sistema em Malha Aberta	34
5.4.1 Análise em Regime Transiente	36
5.4.2 Análise em Regime Permanente	40
6 PROJETO DE HARDWARE	44
6.1 Placa 1: Driver do Primário	44
6.2 Placa 2: Secundário	45
6.3 Placa 3: Receptor Infravermelho	47
6.4 Placa 4: PLL (Gerador de Frequências)	48
6.5 Placa 5: Jiga de Testes	50

6.6	Alterações e Considerações	53
7	VALIDAÇÃO DE HARDWARE	54
7.1	Avaliação do WPT	55
7.2	Avaliação da Regulação de Tensão	58
7.3	Avaliação da Transmissão Óptica	61
7.3.1	Transmissão Óptica Teste 1: Diodo Emissor e Receptor	61
7.3.2	Transmissão Óptica Teste 2: opto-acoplador	63
7.3.3	Transmissão Óptica Teste 3: Fase do Sinal Recebido	65
7.4	Avaliação do Laço de Travamento de Fase	67
7.4.1	PLL Teste 1: Frequência de Operação	67
7.4.2	PLL Teste 2: Travamento de Laço em Fase	69
8	CONCLUSÕES	74
	REFERÊNCIAS	76

LISTA DE ILUSTRAÇÕES

Figura 1:	Representação de um acoplamento de bobinas campo magnético com linhas de campo em vermelho.	16
Figura 2:	Modelo simplificado de um acoplamento magnético.	17
Figura 3:	Exemplo de efeito de potência transmitida para diferentes fatores de acoplamento contemplando o efeito da divisão de frequência de ressonância para link indutivo.	18
Figura 4:	Potência de saída normalizada, eficiência e fator de potência de entrada de um IPTS com compensação série-série, onde a frequência de ressonância rastreada pelo PLL está em vermelho GATI et al., 2015.	19
Figura 5:	Diagrama de blocos da topologia de PLL utilizada.	20
Figura 6:	Detector de fase por Ou Exclusivo (XOR).	20
Figura 7:	Formas de onda dos sinais de entrada e saída de um detector de fase por Ou Exclusivo. (a) Sinais com erro de fase igual a zero (ZPA). (b) Sinais com erro de fase positivo.	21
Figura 8:	Diagrama geral do sistema de WTP com laço de realimentação óptico.	25
Figura 9:	Topologia utilizada para o sistema de transmissão WTP.	26
Figura 10:	Topologia utilizada para o laço de realimentação.	27
Figura 11:	Diagrama esquemático com tensões do sistema WTP com retificação simulado.	28
Figura 12:	Representação gráfica da corrente no primário, medida a partir da tensão em um shunt de $0,1 \Omega$ simulado.	29
Figura 13:	Representação gráfica da corrente no secundário, medida a partir da tensão em um shunt de $0,1 \Omega$ simulado.	29
Figura 14:	Representação gráfica da tensão de entrada e saída do regulador U1 em conjunto com a corrente no secundário, simulado.	30
Figura 15:	Representação gráfica da corrente no secundário em regime permanente comparada com a tensão no secundário, simulado.	30
Figura 16:	Diagrama esquemático com tensões do sistema de transmissão óptica por infravermelho simulado.	31
Figura 17:	Representação gráfica da tensão nos diodos emissor e receptor simulados a partir do sistema de transmissão óptica por infravermelho utilizando software Multisim.	32
Figura 18:	Diagrama esquemático com tensões do sistema de transmissão óptica por opto-acoplador simulado.	32
Figura 19:	Representação gráfica da tensão na entrada e saída do opto-acoplador simulada.	33

Figura 20:	Diagrama esquemático com tensões do sistema de detecção de passagem por zero simulado.	34
Figura 21:	Representação gráfica da tensão no diodo emissor simulada a partir do sistema de detecção de passagem por zero.	35
Figura 22:	Diagrama esquemático com tensões do sistema em malha aberta simulado.	35
Figura 23:	Representação gráfica da corrente nas bobinas primária e secundária, obtidas a partir do sistema em malha aberta simulado.	36
Figura 24:	Representação gráfica da corrente do secundário e a saída do comparador de fase nos primeiros 100 μ s da simulação.	37
Figura 25:	Representação gráfica da tensão de entrada e saída do regulador de tensão em regime transiente.	38
Figura 26:	Representação gráfica da entrada e saída do divisor de frequência em regime transitório.	39
Figura 27:	Representação gráfica da saída do divisor de frequência e da tensão no diodo emissor infravermelho.	39
Figura 28:	Representação gráfica das correntes nos enrolamentos primários e secundários numa janela de 20 μ s.	40
Figura 29:	Representação gráfica da relação entre a tensão e corrente no enrolamento secundário no regime permanente numa janela de 20 μ s.	41
Figura 30:	Representação gráfica da entrada e saída do regulador de tensão em regime permanente.	41
Figura 31:	Representação gráfica da relação entre a corrente do secundário e a saída do comparador.	42
Figura 32:	Representação gráfica da comparação entre a tensão do secundário e a saída do comparador.	43
Figura 34:	Design de PCB da Placa 1: Primário (Driver) desenvolvido com o software Altium Designer.	44
Figura 33:	Diagrama esquemático da Placa 1: Primário (Driver) desenvolvido com o software Altium Designer.	45
Figura 35:	Diagrama esquemático da Placa 2: Secundário desenvolvido com o software Altium Designer.	46
Figura 36:	Design de PCB da Placa 2: Secundário desenvolvido com o software Altium Designer.	46
Figura 37:	Diagrama esquemático da Placa 3: Receptor Infravermelho desenvolvido com o software Altium Designer.	47
Figura 38:	Design de PCB da Placa 3: Receptor Infravermelho desenvolvido com o software Altium Designer.	47
Figura 39:	Diagrama esquemático da Placa 4: PLL (Gerador de Frequência) desenvolvido com o software Altium Designer.	48
Figura 40:	Design de PCB da Placa 5: PLL (Gerador de Frequência) desenvolvido com o software Altium Designer.	49
Figura 41:	Diagrama esquemático da Placa 5: Jiga de Testes desenvolvido com o software Altium Designer.	50
Figura 42:	Design de PCB da Placa 5: Jiga de Testes desenvolvido com o software Altium Designer.	51
Figura 43:	Design de PCB da Placa 5: Jiga de Testes desenvolvido com o software Altium Designer.	52

Figura 44:	Cenário com todas as placas conectadas.	54
Figura 45:	Teste para validação da capacidade de WPT.	55
Figura 46:	Tensão na saída da ponte retificadora do secundário em relação a frequência do clock externo.	56
Figura 47:	Tensão na saída da ponte retificadora do secundário em relação a frequência do clock externo, em frequência de operação.	57
Figura 48:	Cenário de teste para validação da capacidade de Regulação de Tensão.	58
Figura 49:	Tensão na saída do regulador do secundário em relação a frequência do clock externo com uma carga de 0,05W.	59
Figura 50:	Tensão na saída da ponte retificadora do secundário em relação a frequência do clock externo entre 200kHz e 230kHz com uma carga de 0,05W.	60
Figura 51:	Características elétricas do regulador de tensão TL720M05.	60
Figura 52:	Cenário de teste para validação da transmissão óptica com diodo emissor e receptor.	61
Figura 53:	Resposta em frequência do bloco de transmissão óptica com diodo emissor e receptor.	62
Figura 54:	Representação gráfica da entrada e saída do bloco de transmissão óptica com diodo emissor e receptor para uma frequência de 100kHz.	62
Figura 55:	Cenário de teste para validação da transmissão optica com opto-acoplador.	63
Figura 56:	Resposta em frequência do bloco de transmissão optica com opto-acoplador.	63
Figura 57:	Representação gráfica da entrada e saída do bloco de transmissão óptica com opto-acoplador para uma frequência de 100kHz.	64
Figura 58:	Representação gráfica da entrada e saída do bloco de transmissão óptica com opto-acoplador para uma frequência de 200kHz.	64
Figura 59:	Ambiente de teste para validação da capacidade de Transmissão por Infravermelho.	65
Figura 60:	Representação gráfica da diferença de fase entre o sinal gerado para clock externo da Placa Driver (amarelo), e o sinal de saída do bloco de recepção IR (verde).	66
Figura 61:	Cenário de teste para validação da capacidade de PLL.	67
Figura 62:	Medida da frequência de operação do limite superior do PLL projetado.	68
Figura 63:	Medida de frequência de operação mínima do PLL projetado.	68
Figura 64:	Cenário de teste para validação da capacidade de PLL (realimentação).	69
Figura 65:	Representação gráfica do sinal de entrada e saída do PLL com comparador de fase 1 selecionado.	70
Figura 66:	Medidas sinal de saída do PLL com comparador de fase 1 selecionado.	70
Figura 67:	Medidas sinal de entrada do PLL com comparador de fase 1 selecionado.	71
Figura 68:	Medidas sinal de saída do PLL com comparador de fase 2 selecionado.	72
Figura 69:	Medidas sinal de saída do PLL com comparador de fase 2 selecionado.	72
Figura 70:	Medidas sinal de entrada do PLL com comparador de fase 2 selecionado.	73

LISTA DE TABELAS

Tabela 1:	Resultados da simulação da corrente nas bobinas do primário e secundário em regime transiente.	36
Tabela 2:	Resultados da simulação da corrente nas bobinas do primário e secundário em regime permanente.	40
Tabela 3:	Frequência de chaveamento das bobinas em que observou-se um pico de tensão.	56
Tabela 4:	Valores medidos da tensão de saída da ponte retificadora do secundário no intervalo de frequência entre 180kHz e 260kHz. Máxima eficiência destacada em negrito.	57
Tabela 5:	Valores medidos da tensão de saída do regulador do secundário no intervalo de frequência entre 200kHz e 230kHz para uma carga de 0,05W. Máxima eficiência destacada em negrito.	59
Tabela 6:	Resultados dos cenários da primeira etapa de teste da capacidade de PLL.	69
Tabela 7:	Valores de <i>duty cycle</i> do sinal de entrada e saída do pll com o sistema operando com o comparador de fase 1.	71
Tabela 8:	Valores de <i>duty cycle</i> do sinal de entrada e saída do PLL com o sistema operando com o comparador de fase 2.	73

LISTA DE ABREVIATURAS

CC	Corrente Contínua
CA	Corrente Alternada
FM	<i>Frequency Modulation</i>
IPTS	<i>Inductive Power Transfer Systems</i>
IR	<i>Infrared</i>
PCB	<i>Printed Circuit Board</i>
PLL	<i>Phase-Locked Loop</i>
PTE	<i>Power Transfer Efficiency</i>
TCVC	<i>Transistor Controlled Variable Capacitor</i>
VCO	<i>Voltage Controlled Oscillator</i>
V _{pp}	<i>Peak-to-Peak Voltage</i>
WPT	<i>Wireless Power Transfer</i>
XOR	<i>Exclusive OR</i>
ZPA	<i>Zero Phase Angle</i>

LISTA DE SÍMBOLOS

Ω	Resistência Elétrica
V	Tensão Elétrica
I	Corrente Elétrica
P	Potência Elétrica
Hz	Frequência
k	Fator de Acoplamento
μ_0	Permeabilidade do Vácuo
μ_r	Permeabilidade Relativa do Ar
N_T	Número de Voltas na Bobina Transmissora
N_R	Número de Voltas na Bobina Receptora
A_e	Área Efetiva do Caminho magnético
l_e	Comprimento do Caminho Magnético
ϕ	Angulo de Fase

1 INTRODUÇÃO

Devido o crescente uso de aparelhos eletrônicos, a demanda por uma modernização na forma de recarregamento originou o WPT (*Wireless Power Transfer*). Este consiste no uso de enlace indutivo sem fio, que facilita da recarga de baterias feita pelo usuário, pois não há mais dependência de mais de plugs e cabos, e assim evitando problemas de desgaste mecânico, rupturas e oxidação.

Por outro lado, o WPT apresenta baixa transferência de potência, ocasionada por mudanças na estreita faixa de frequências de operação, em função de desalinhamentos mecânicos.

Um dos motivos para isso é pelo fato do WPT funcionar como um transformador com baixo fator de acoplamento, onde a bobina do primário é a transmissora, a do secundário é a receptora e o dielétrico é o ar. Devido a isso, no acoplamento há uma dependência de fatores menores, como ambientais, e maiores (geométricos), como a posição das bobinas em relação uma à outra. Assim, para garantir maior eficiência na transferência de potência, um controle ativo da frequência de operação deve ser implementado.

Um desses métodos consiste no controle de frequência de ressonância por laço travado em fase, ou PLL (*Phase Locked Loop*). Este método consiste em comparar e controlar a fase entre a frequência de chaveamento da bobina transmissora e receptora, a fim de torná-la zero. Assim, quando em fase, a frequência de chaveamento da bobina transmissora e receptora representa a frequência ótima, e a eficiência do acoplamento é a máxima.

Este trabalho mostra o resultado de simulações e análises experimentais de um WPT para transferência de energia sem fio sintonizada por laço travado em fase. A proposta contempla o projeto de placas em circuito impresso, avaliação das simulações, e finaliza com testes e validação do hardware desenvolvido. Ao fim também são propostas melhorias que podem futuramente serem implementadas.

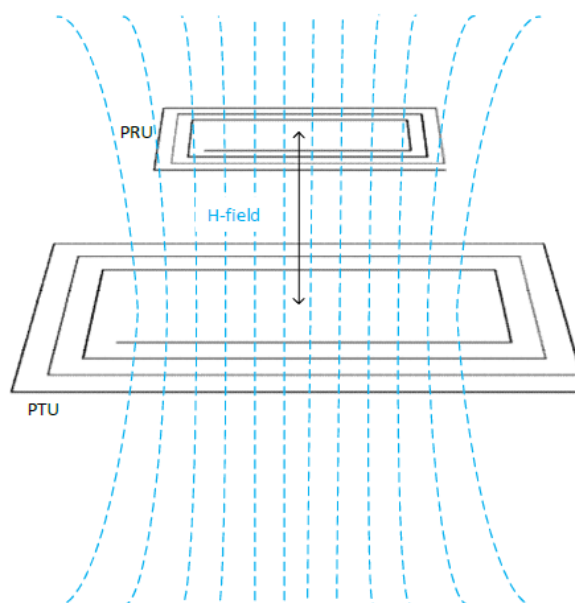
2 FUNDAMENTAÇÃO TEÓRICA

Este capítulo apresenta os fundamentos teóricos necessários para a compreensão desse trabalho. São abordados os assuntos transferência de potência sem fio, rastreamento de frequência de ressonância e PLL.

2.1 WPT - Transferência de Potência sem fio

O princípio de funcionamento da transferência de potência sem fio (*Wireless Power Transfer* - WPT) se baseia na ressonância entre duas bobinas, uma transmissora e uma receptora. Devido a característica espiral circular/retangular da bobina, a corrente alternada desta gera um campo magnético com linhas de campo aproximadamente paralelas na parte próxima ao centro, representado na Figura 1.

Figura 1: Representação de um acoplamento de bobinas campo magnético com linhas de campo em vermelho.



Fonte: (GREEN, 2018)

Assim, é possível observar que o WPT funciona tipicamente como um transformador com baixo fator de acoplamento (k), onde a bobina do primário é a transmissora, a do secundário é a receptora e o dielétrico é o ar.

Um fator de acoplamento alto é considerado em geral com 'k' maior que 0,5. Já no WPT o fator de acoplamento é tipicamente menor que 0,1, sendo que a indutância mútua entre as bobinas é definida pela Equação 1.

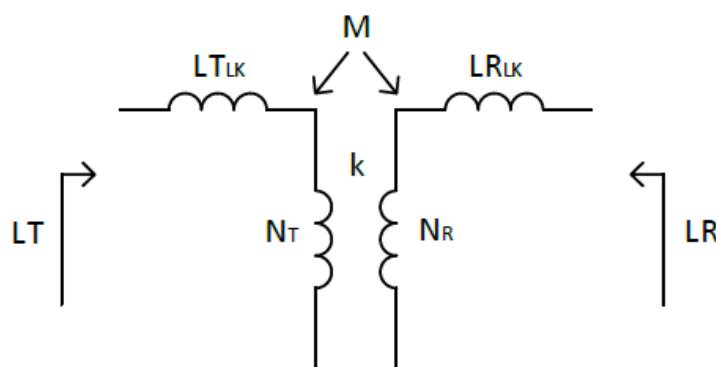
$$M = \frac{\mu_0 \mu_r N_T N_R A_e}{l_e} \quad (1)$$

Onde N_T e N_R são o número de espiras nas bobinas transmissoras e receptoras respectivamente, com valor tipicamente 10 ou menos. A_e e l_e respectivamente a área efetiva e comprimento do caminho magnético, que é dependente do tamanho e orientação espacial de ambas as bobinas. μ_0 a permeabilidade do vácuo, que tem valor $4\pi \times 10^{-7}$ H/m e μ_r a permeabilidade relativa do ar, que tem valor 1. Assim, k é definido pela Equação 2, onde LT e LR são respectivamente a indutância na bobina transmissora e receptora.

$$k = \frac{M}{\sqrt{LT \cdot LR}} \quad (2)$$

Pode-se então, para uma primeira análise, representar o modelo simplificado a partir da Figura 2.

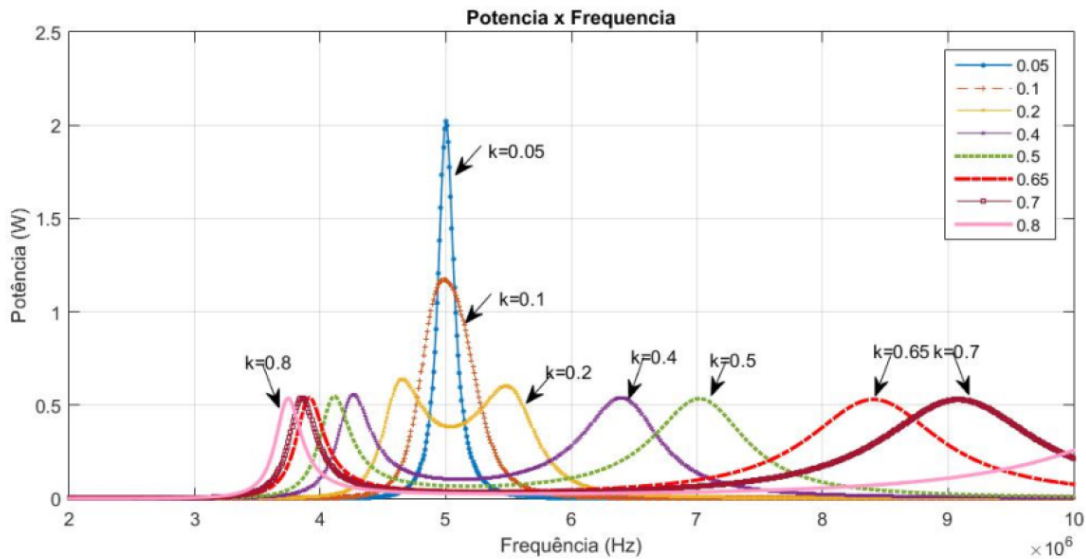
Figura 2: Modelo simplificado de um acoplamento magnético.



Fonte: Adaptado de (GREEN, 2018)

Para compensar o baixo fator de acoplamento, é utilizada frequência de ressonância que leve a uma eficiência maior na transferência de energia. Uma representação gráfica espectral da eficiência máxima de um acoplamento WPT para diferentes fatores de acoplamento pode ser observada na Figura 3.

Figura 3: Exemplo de efeito de potência transmitida para diferentes fatores de acoplamento contemplando o efeito da divisão de frequência de ressonância para link indutivo.



Fonte: (MURLIKY, 2017)

Pelas curvas representadas em azul e laranja representadas na Figura 3, é possível observar que para fatores de acoplamento é muito baixo, a maior transferência de potência do sistema ocorre em uma frequência, que nesse exemplo é de 5MHz. Já para os demais fatores de acoplamento ocorre o efeito da bifurcação (ou divisão) da frequência de ressonância. Esse efeito faz com que a frequência de ressonância do circuito seja dividida em duas, e o PTE na frequência de operação se torne menor. Porém, a eficiência nos dois picos de frequência gerados pelo efeito da bifurcação apresentam elevada eficiência, o que indica que a eficiência do sistema pode ser recuperada com o ajuste da frequência de operação.

Como dito por Gati (GATI et al., 2015), a transferência de uma potência significativa entre duas bobinas acopladas e separadas por ar é possível por meio de um circuito LC ressonante. Assim, para compensar a redução do fator de acoplamento em função da ausência do núcleo, são utilizados circuitos ressonantes com a inclusão de capacitores em série ou paralelo com as bobinas transmissoras e receptoras.

Da teoria de oscilações forçadas, a potência média suprida por uma fonte V_{in} para uma carga R de uma rede LCR é dada pela Equação 3 e é maximizada quando a corrente I está em fase ($\phi = 0$) com a tensão de excitação.

$$\bar{P}_o = \tilde{I}^2 R = \frac{\tilde{V}_{in}^2}{|Z|^2} R = \frac{\tilde{V}_{in}^2}{|Z|} \cos\phi \xrightarrow{\phi=0} \bar{P}_{o,max} = \frac{\tilde{V}_{in}^2}{|Z|} \quad (3)$$

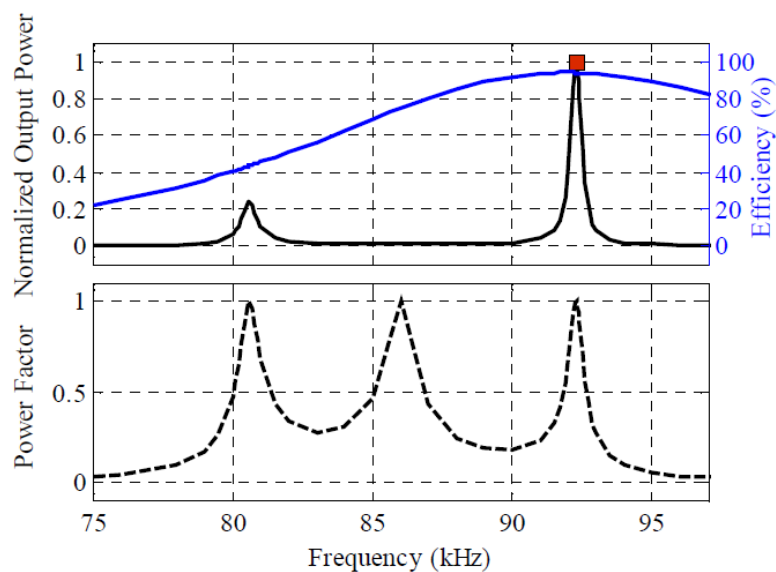
Assim, seguindo com a conclusão também extraída de Gati (GATI et al., 2015), é esperado que a máxima potência transferida seja alcançada com o controle da fase ϕ entre corrente da carga e tensão de saída do inversor.

2.2 Rastreamento de Frequência de Ressonância

O rastreamento de frequência em tempo real pode ser feito a partir da medição da corrente do primário e tensão fonte (GATI et al., 2015). Em sistemas indutivos de transferência de potência, ou IPTS (*Inductive Power Transfer Systems*), pesquisadores rastreiam a fase da corrente do primário em relação a uma tensão de referência para que ambos estejam em fase (ZPA, *Zero Phase Angle*). Isso implica na minimização da potência aparente que precisa ser fornecida para o funcionamento do sistema, aumentando a eficiência de transmissão.

Porém, devido ao fenômeno de bifurcação, como explicado em (WANG et al., 2001), em sistemas com fatores de acoplamento médios, três frequências ZPA podem ser observadas, como demonstrado na Figura 4. Isso, em conjunto com as variações geradas por diferentes posições entre transmissor e receptor, podem gerar instabilidades no controle da fase do sinal de excitação da bobina transmissora.

Figura 4: Potência de saída normalizada, eficiência e fator de potência de entrada de um IPTS com compensação série-série, onde a frequência de ressonância rastreada pelo PLL está em vermelho GATI et al., 2015.



Fonte: (GATI et al., 2015)

Estas instabilidades podem ser evitadas com uma boa caracterização do sistema e restrições impostas pelo projeto de hardware. Porém restrições nas possíveis frequências de operação são um problema grande para a universalidade, de modo que diferentes sistemas receptores podem não funcionar com um transmissor feito para uma faixa muito pequena de operação. Um exemplo disso também citado por (GATI et al., 2015) é o esperado com o sistema de recarga de baterias em diferentes modelos de carros elétricos a partir de um mesmo transmissor WPT.

Neste trabalho o rastreamento da frequência de ressonância do acoplamento indutivo WPT é feito a partir de um PLL. Os blocos fundamentais que compõem o PLL estão descritos na próxima seção.

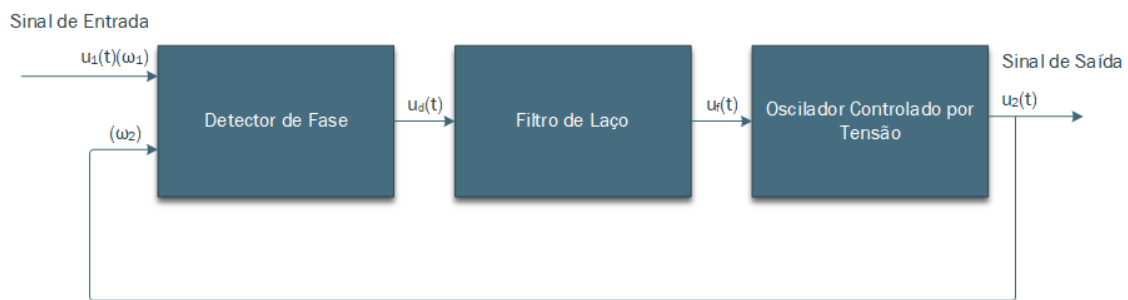
2.3 PLL

O princípio de funcionamento de um PLL é resumido em (BEST, 2007) como um circuito que causa a saída em frequência de um sistema particular a seguir outro, de referência. Mais precisamente, um PLL é um circuito que sincroniza frequência e fase de um sinal de saída (gerado por um oscilador) a partir de uma referência ou um sinal de entrada. No estado de 'sincronizado', conhecido como travado (locked), o erro de fase entre o sinal de saída do oscilador e o sinal de referência é zero ou permanece constante.

Ainda utilizando os princípios de operação descritos em (BEST, 2007), se o erro de fase aumenta, um mecanismo de controle atua de forma a reduzir este erro de fase para um mínimo. Assim o sinal de saída está travado na fase do sinal de referência, por isso o sistema é nomeado laço travado em fase (PLL).

Nas próximas subseções serão abordadas as principais etapas de funcionamento de um PLL, sendo elas Detecção de Fase (PD), Filtro de Laço (LF) e Oscilador Controlado por Tensão (VCO). A Figura 5 apresenta o diagrama de blocos da topologia utilizada.

Figura 5: Diagrama de blocos da topologia de PLL utilizada.

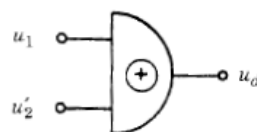


Fonte: Elaborada pelo Autor

2.3.1 Detecção de Fase

A etapa de detecção de fase é responsável pela geração da informação do erro entre as fases de referência e do sinal de entrada. Existem vários métodos de gerar esse sinal de erro, como visto em (BEST, 2007), porém esse trabalho será focado no detector de fases utilizando o "ou exclusivo" (XOR, Exclusive Or) observado na Figura 6 em virtude do PLL utilizado ser digital.

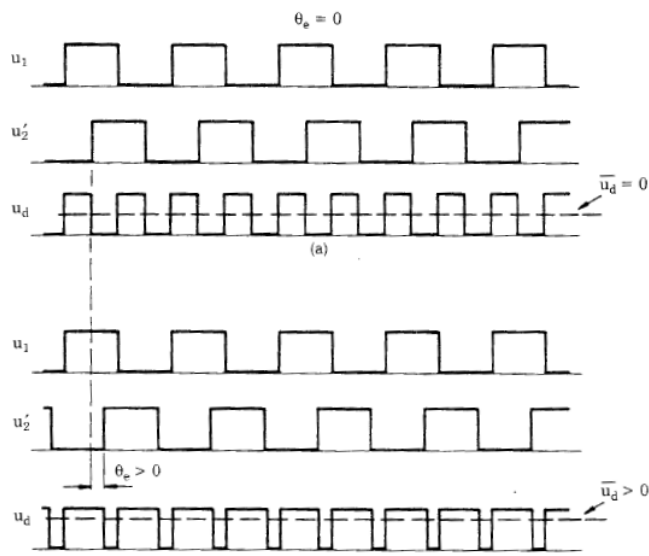
Figura 6: Detector de fase por Ou Exclusivo (XOR).



Fonte: (BEST, 2007)

Na Figura 7 é possível observar a saída ideal esperada de um detector de fase por XOR com alimentação simétrica.

Figura 7: Formas de onda dos sinais de entrada e saída de um detector de fase por Ou Exclusivo. (a) Sinais com erro de fase igual a zero (ZPA). (b) Sinais com erro de fase positivo.



Fonte: (BEST, 2007)

Em (a) é representado o momento de ZPA (Zero Phase Angle), onde uma defasagem de exatamente 90 graus é observada. A partir disso, é demonstrada a saída u_d que, em função da alimentação simétrica, tem valor médio $\overline{u_d}$ igual a zero (nível DC).

Já em (b) é possível observar que devido a um atraso no sinal de referência u'_2 o ciclo de trabalho (*duty cycle*) da saída deixa de ser 50%, e o nível médio se torna maior que zero. Essa variação é proporcional à variação da fase entre as entradas do detector de fase. Assim, é possível observar que a informação do nível médio da saída do detector de fase nos dá o erro de fase.

2.3.2 Filtro de Laço

O Filtro de Laço é utilizado para converter a informação do erro de fase, que está na média do sinal de saída do detector de fase, em níveis de tensão CC para ser utilizado como entrada da próxima etapa, que é um oscilador controlado por tensão. Essa conversão é feita geralmente com um filtro passa baixa de primeira ordem, que elimina as componentes de tensão alternada, restando apenas a componente de corrente contínua, que é aproximadamente proporcional as variações de fase.

2.3.3 Oscilador Controlado por Tensão

A etapa do oscilador controlado por tensão, como o próprio nome sugere, é responsável pela geração de um sinal de corrente alternada com frequência controlada a partir de um nível de tensão CC. Em geral quanto maior o nível da tensão de entrada, maior a frequência na saída do oscilador.

Um atraso no sinal de referência na etapa de detecção de fase, gerará uma saída com módulo da componente em nível CC da saída maior que zero. Essa saída, quando passar pelo filtro de laço, se transformará em um nível de tensão CC. Isso impactará no aumento da frequência do sinal gerado pelo oscilador.

Em um projeto de um oscilador controlado por tensão, é necessário caracterizar as frequências de operação ω_0 e $\omega_{2_{max}}$ e $\omega_{2_{min}}$. Onde ω_0 representa a frequência central de operação, e $\omega_{2_{max}}$ e $\omega_{2_{min}}$ são as frequências nas bordas de operação. Tipicamente, um VCO opera em ω_0 quando a tensão de controle é metade da sua tensão de alimentação. Já quando a tensão de controle é igual a tensão de alimentação ou zero volts, a frequência da saída do oscilador é igual a $\omega_{2_{max}}$ e $\omega_{2_{min}}$, respectivamente.

Como na topologia do PLL utilizado, a saída do oscilador é uma das entradas do detector de fase, é possível observar que o oscilador controlado por tensão é o responsável por gerar o sinal de saída do PLL controlado a partir do sinal de entrada. Enquanto que o detector de fase em conjunto com o filtro de laço são os responsáveis em coletar a informação necessária para esse controle.

3 TRABALHOS RELACIONADOS

Este capítulo apresenta os trabalhos relacionados obtidos durante o desenvolvimento da pesquisa.

O trabalho de (CHAN; CHEN, 2008) desenvolve um sistema WPT para alimentação de um sistema de monitoramento de sinais biológicos (WHAM-BioS). É considerada uma camada de pele como obstáculo entre o transmissor e receptor. Um PLL é utilizado para sincronizar as fases do primário e secundário, de modo a obter a frequência de ressonância e aumentar a eficiência da transmissão. Foi observado que diferentes grossuras de pele, implicam em diferentes frequências de ressonância. A eficiência do sistema foi avaliada em 12%, e a justificativa utilizada para a baixa eficiência é o coeficiente de acoplamento baixo e o tamanho reduzido das bobinas.

Em (WANG et al., 2013) é desenvolvido um potenciômetro sem fio, utilizando um PLL para controle ativo da frequência de ressonância do transmissor WPT. Foi concluído que o sistema é robusto o suficiente para atuar em situações em que um obstáculo de vidro, madeira ou papel é presente entre o transmissor e receptor.

A pesquisa de (GATI et al., 2015) implementa WPT para carregamento de bateria de 9V. A informação da frequência e fase de operação do secundário é obtida através de um sensor ultra-rápido de corrente. Esta informação é então enviada para a placa transmissora por meio de um acoplamento óptico. A frequência e fase detectadas são então utilizadas por um sistema de controle de fase composto por um PLL digital, que garante a operação do sistema na frequência de ressonância. O sistema se provou estável para diversas situações onde há desalinhamento entre as bobinas, devido à mudança da frequência de ressonância ser compensada pelo PLL.

Em (TIAN; HU, 2016) é desenvolvido um capacitor variável controlado por transistor (TCVC). Este difere dos varicaps normalmente utilizados pela capacidade de atuar em altas tensões e frequências. Assim, o TCVC foi implementado em paralelo com uma bobina transmissora WPT para ajuste de frequência de ressonância. Esse ajuste é realizado por meio de um controlador baseado em PLL para garantir maiores eficiências em alterações no fator de acoplamento e na carga. A frequência de operação utilizada foi de 1,65 MHz, e esta é possível de ser mantida com variações de carga resistiva entre 50 Ω e 250 Ω , e variações de fator de acoplamento entre 0,62 e 0,53. A máxima potência transferida atingida pelo experimento foi de 10,8 W.

(ZHAO; GLADWIN; STONE, 2016) desenvolve um sistema WPT controlado por um PLL sem fio híbrido, nomeado HyWi-FFTPLL. Este funciona como um PLL com comparação de fase em duas etapas. Comparando a diferença de fase entre a tensão de chaveamento e corrente de ressonância, utilizando o sinal de tensão da saída do primário como sinal de referência na primeira etapa de comparação. Neste projeto foi utilizada transmissão FM analógica e digital para envio de informações de frequência e fase da tensão e corrente

do transmissor e receptor. O projeto desenvolvido introduz uma topologia híbrida de PLL que viabiliza a transmissão sem fio, diminuindo a banda necessária pelo sistema.

(SAAD et al., 2017), propõe o ajuste de frequência de ressonância do receptor para a frequência de operação do transmissor WPT. Isso foi realizado a partir de um sistema de variação da indutância do receptor controlado ativamente por um PLL. Foi concluído que o sistema se mantém estável para variações de distância e outros parâmetros do circuito para frequências até 80 kHz.

Nesse projeto, é utilizada uma topologia de WPT controlado por PLL similar a de (GATI et al., 2015) sem a utilização de um sensor ultra rápido de corrente. Em troca são utilizados shunts e comparadores para a obtenção da informação de corrente nas bobinas de um acoplamento WPT. A informação é enviada do secundário para o primário utilizando acoplamento óptico.

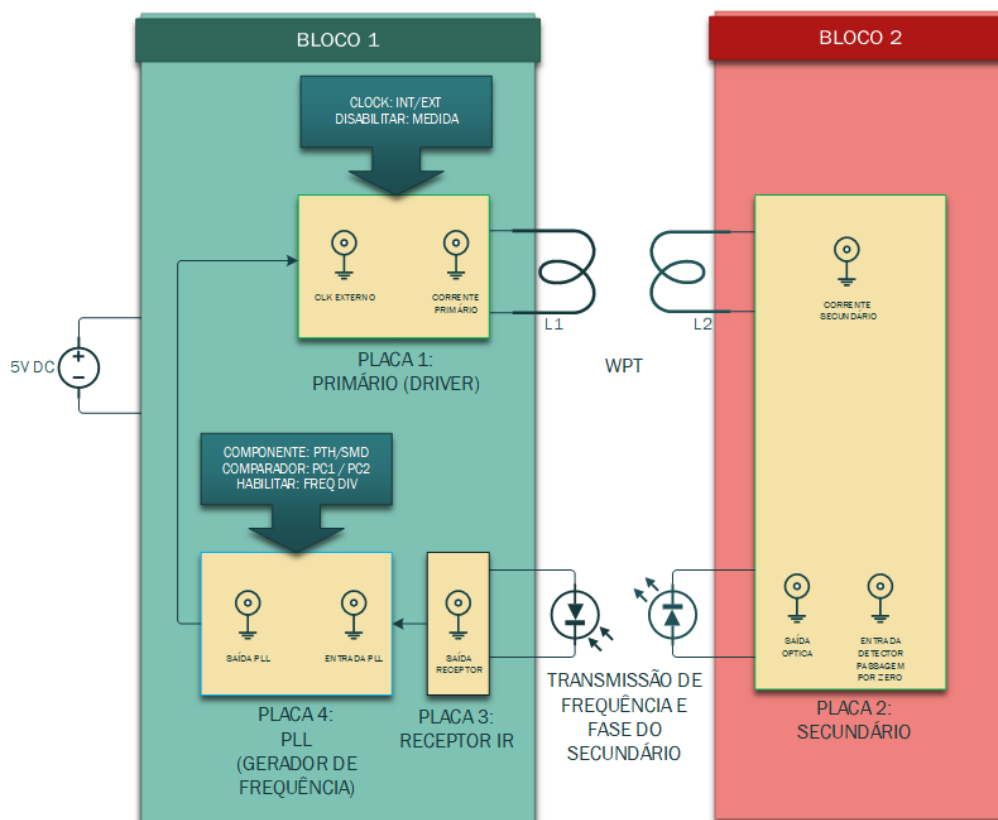
4 SOLUÇÃO PROPOSTA

Esse capítulo apresenta o desenvolvimento da solução proposta, que consiste em duas etapas:

1. Transferência de potência sem fio (WPT) entre dois sistemas;
2. Laço de realimentação para frequência de ressonância, a fim de aumentar a transferência de potência.

Na Figura 8, representando o diagrama geral da solução adotada, é possível analisar estas duas etapas entre os dois blocos principais do sistema. São eles o bloco primário (verde) e bloco secundário (vermelho).

Figura 8: Diagrama geral do sistema de WPT com laço de realimentação óptico.



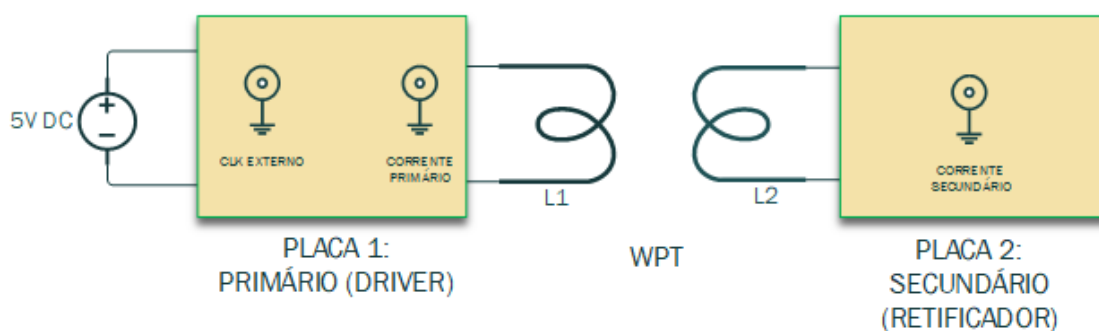
Fonte: Elaborada pelo Autor

4.1 Topologia do Sistema WPT

Para a realização do WPT são utilizadas essencialmente duas placas acopladas eletromagneticamente. A primeira é uma placa transmissora, observada na Figura 9 como “Placa 1: Primário (Driver)”. A segunda é uma placa receptora, que tem como função a recepção da energia, retificação, regulação e transferência do sinal para controle por infravermelho, para fechar o laço de realimentação (Figura 9 como “Placa 2: Secundário”). O projeto leva em consideração sistemas WPT para potências de até 500mW utilizando bobinas planares para frequências entre 100 kHz e 300 kHz.

As bobinas transmissora (TX..., 2012) e receptora (NEW..., 2012) são representadas na Figura 9 como L1 e L2.

Figura 9: Topologia utilizada para o sistema de transmissão WPT.



Fonte: Elaborada pelo Autor

A frequência de operação da Placa 1 é idealmente a frequência de ressonância do sistema, e proveniente do laço de realimentação. A Placa 2, realiza a recepção e retificação da corrente alternada afim de fornecer potência para um sistema alimentado por bateria, portanto, corrente contínua.

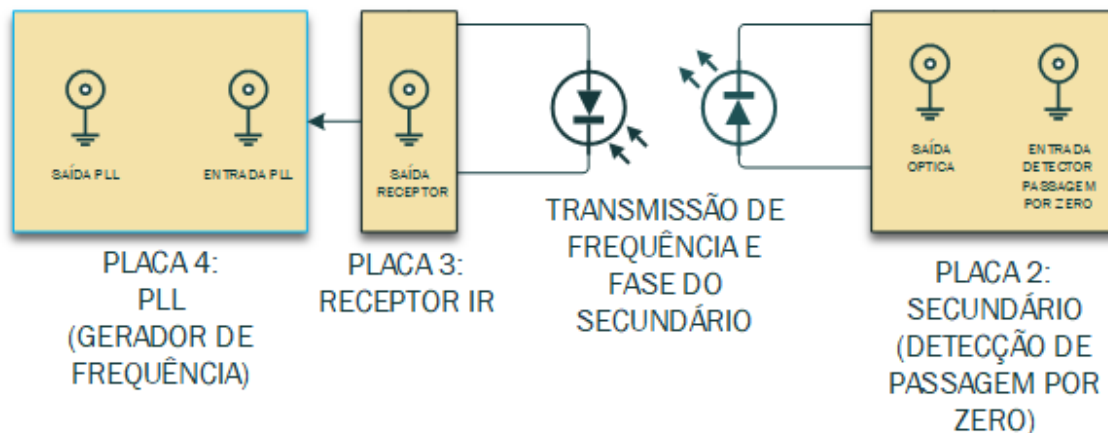
4.2 Topologia do Sistema: Laço de Realimentação

O laço de realimentação deve levar à frequência de ressonância do acoplamento. Divide-se esse subsistema em três etapas:

1. Detecção de frequência do secundário;
2. Transmissão óptica;
3. Cálculo de Frequência de ressonância;

A topologia para o laço de realimentação é observada na Figura 10.

Figura 10: Topologia utilizada para o laço de realimentação.



Fonte: Elaborada pelo Autor

A primeira etapa do sistema de realimentação é a Detecção de Frequência do Secundário. Esta é realizada em um bloco interno da “Placa 2: Secundário”, representada na Figura 10 como Detecção de Passagem por Zero (*Zero Cross Detection Optical Transmission*), e utiliza a Detecção de Passagem por Zero para identificar a frequência e fase do secundário.

A segunda etapa consiste na transferência desta frequência e fase a partir de um LED infravermelho presente na Placa 2, e recebimento a partir de um fotodiodo presente na placa receptora, representada na Figura 10 como “Placa 3: Receptor IR”.

Por fim, na terceira etapa é calculada a frequência de ressonância a partir da diferença de fase entre a frequência do primário e secundário. Para isso é utilizada a “Placa 4: PLL”, observada na Figura 10. Essa frequência é enviada então para a Placa 1, completando o circuito.

Todas as PCBs foram fabricadas visando um sistema modular para facilitar a análise e possibilitar reutilização do hardware em projetos futuros.

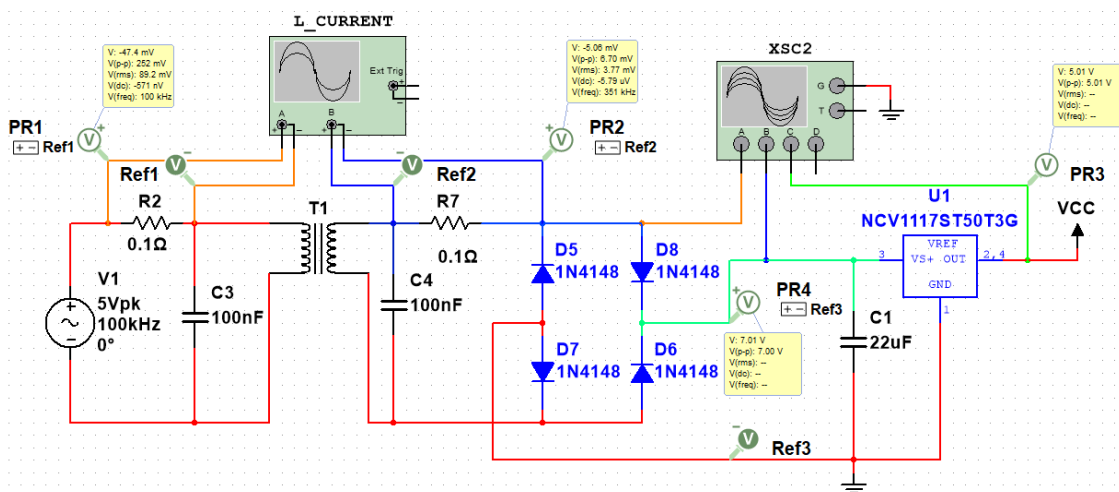
5 SIMULAÇÕES

Afim de verificar a característica modular do sistema, as simulações foram realizadas inicialmente em partes. Ao final deste capítulo é mostrada a simulação completa do sistema. O software utilizado para simulações foi o Multisim.

5.1 Simulação: WPT e Retificação

A simulação da etapa de WPT é feita a partir do diagrama esquemático representado na Figura 11.

Figura 11: Diagrama esquemático com tensões do sistema WPT com retificação simulado.

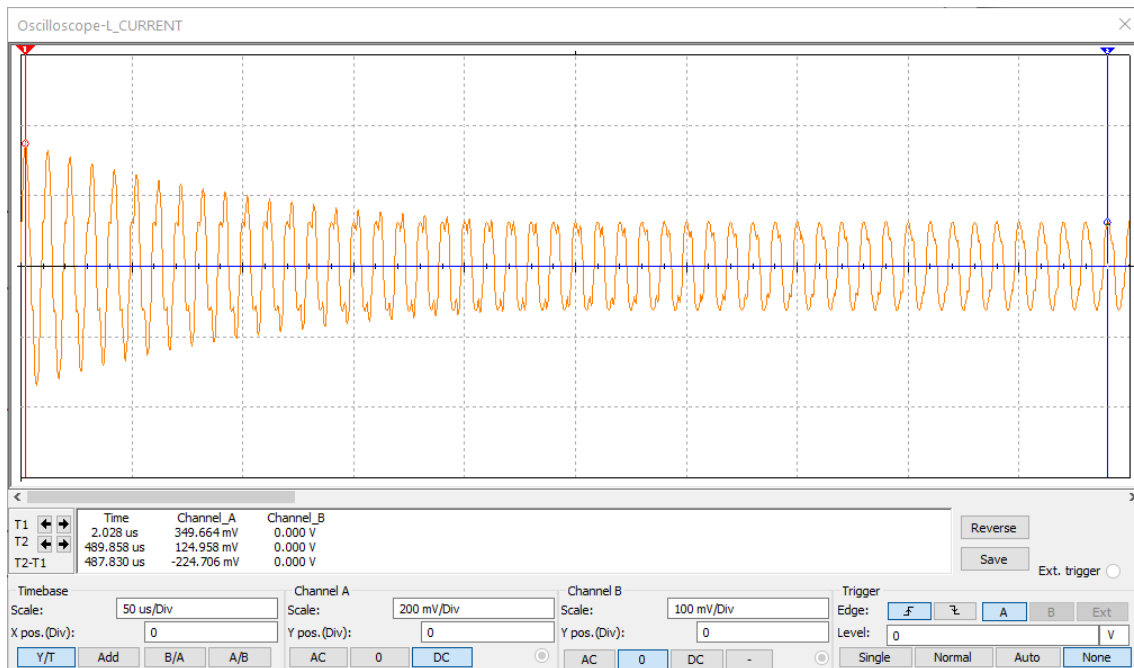


Fonte: Elaborada pelo Autor

A operação do driver do primário foi simplificada nessa etapa de simulação, para o simples uso uma fonte de tensão com corrente alternada e 5Vpp.

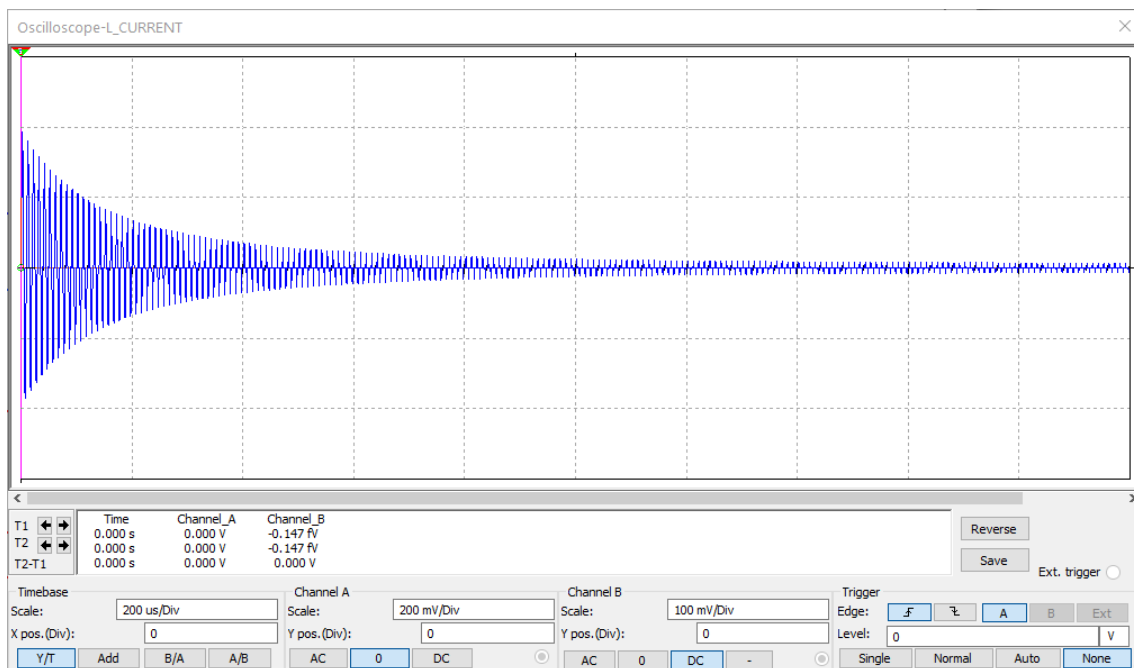
As correntes do primário e secundário são medidas a partir da tensão em resistores *shunts* conectados em série com as bobinas. As respectivas formas de onda são observadas nas Figuras 12 e 13.

Figura 12: Representação gráfica da corrente no primário, medida a partir da tensão em um shunt de $0,1 \Omega$ simulado.



Fonte: Elaborada pelo Autor

Figura 13: Representação gráfica da corrente no secundário, medida a partir da tensão em um shunt de $0,1 \Omega$ simulado.



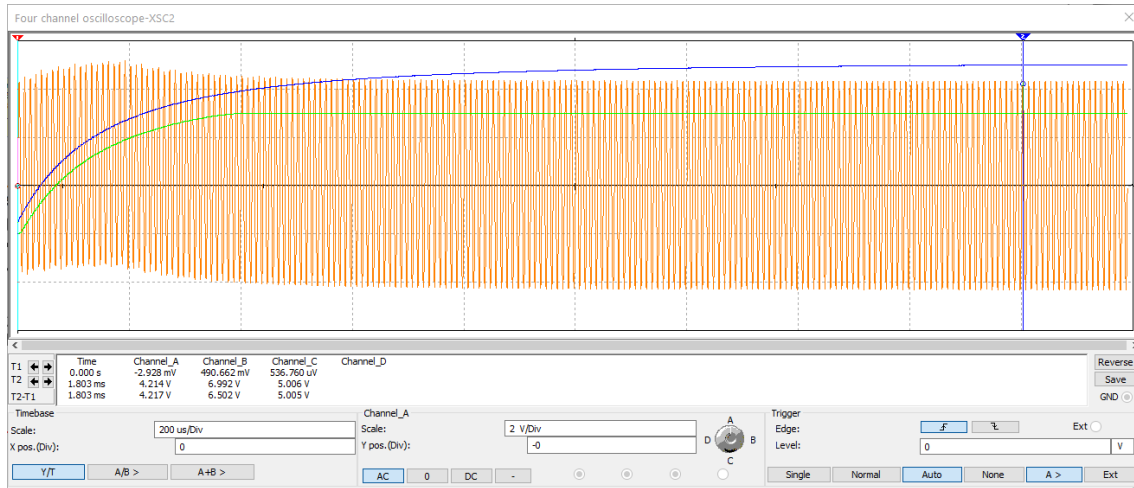
Fonte: Elaborada pelo Autor

A corrente alternada é retificada pela ponte completa presente no secundário. Após isso, a tensão DC resultante é superior a 6V, variável dependendo da carga. A seguir, a

tensão é aplicada a um regulador de tensão, resultando em 5VDC estáveis.

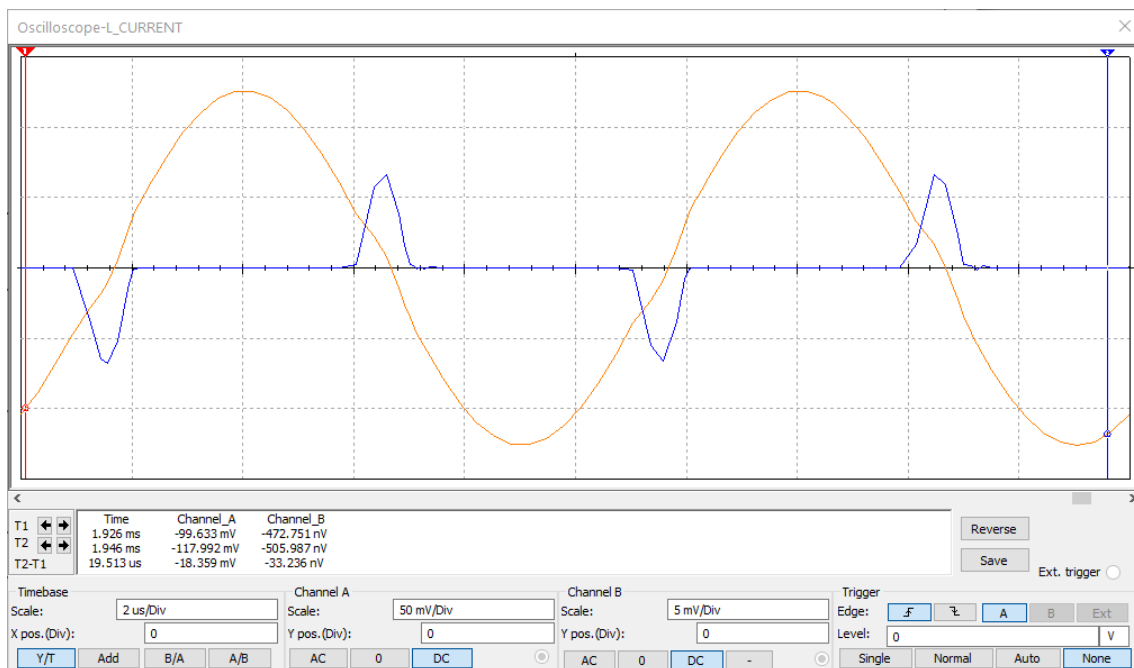
A forma de onda da tensão da entrada e saída do regulador de tensão U1 podem ser observadas na Figura 14.

Figura 14: Representação gráfica da tensão de entrada e saída do regulador U1 em conjunto com a corrente no secundário, simulado.



Fonte: Elaborada pelo Autor

Figura 15: Representação gráfica da corrente no secundário em regime permanente comparada com a tensão no secundário, simulado.



Fonte: Elaborada pelo Autor

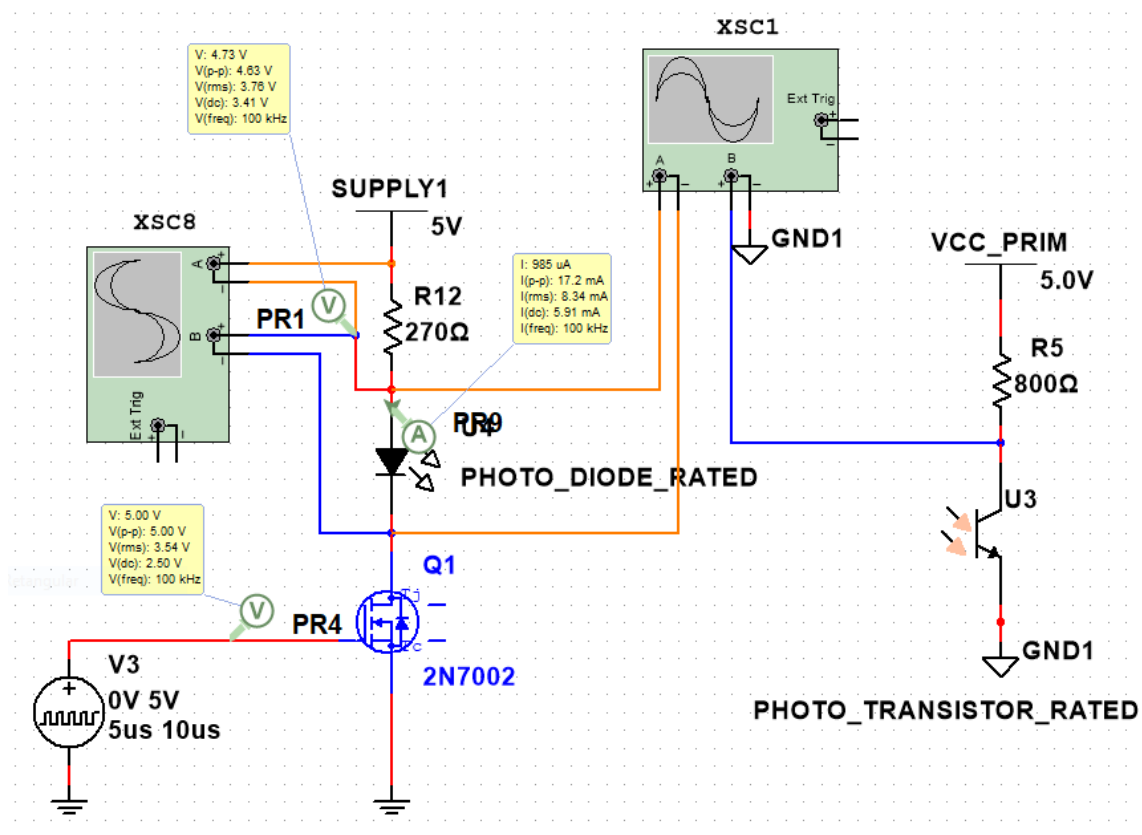
5.2 Simulação: Transmissão Óptica

Foram realizadas duas simulações de transmissão óptica, sendo a primeira considerando um diodo emissor e um fototransistor, e a segunda considerando um opto-acoplador. Ambas são abordadas nas subseções seguintes.

5.2.1 Transmissão Óptica por Infravermelho

A simulação Transmissão Óptica por Infravermelho (IR) realizada uma alteração em comparação com a topologia do hardware utilizado. Essa alteração está no diodo receptor IR sendo substituído por um fototransistor, devido a ferramenta de simulação não permitir acoplamento óptico com diodos emissores e receptores de luz. O diagrama esquemático desta simulação pode ser observado na Figura 16.

Figura 16: Diagrama esquemático com tensões do sistema de transmissão óptica por infravermelho simulado.



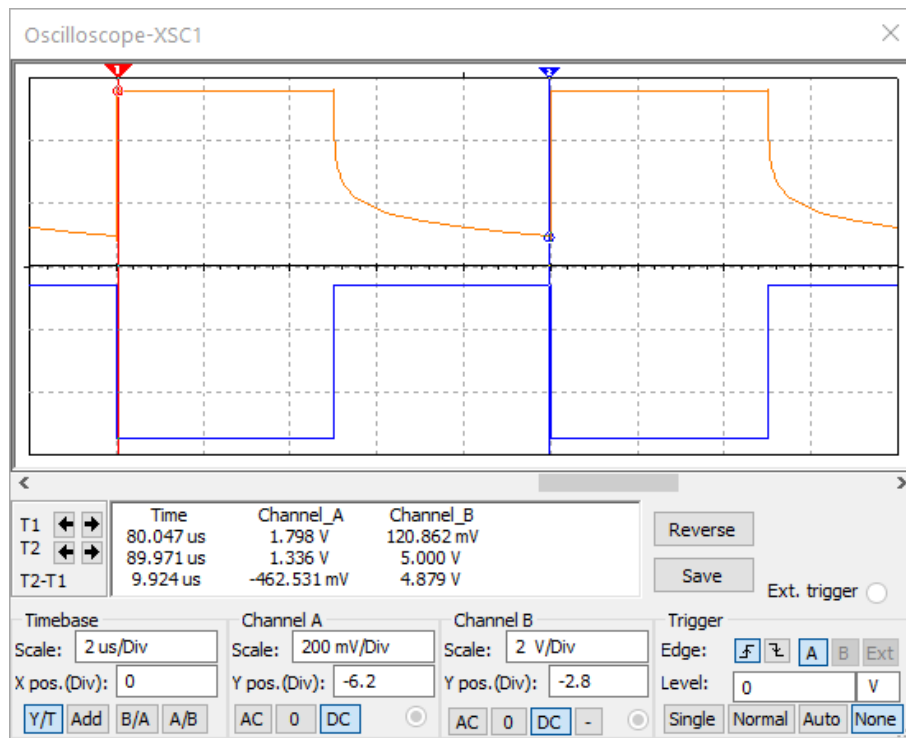
Fonte: Elaborada pelo Autor

A representação gráfica da tensão no diodo emissor e do diodo receptor pode ser observada na Figura 17.

5.2.2 Transmissão Óptica por opto-acoplador

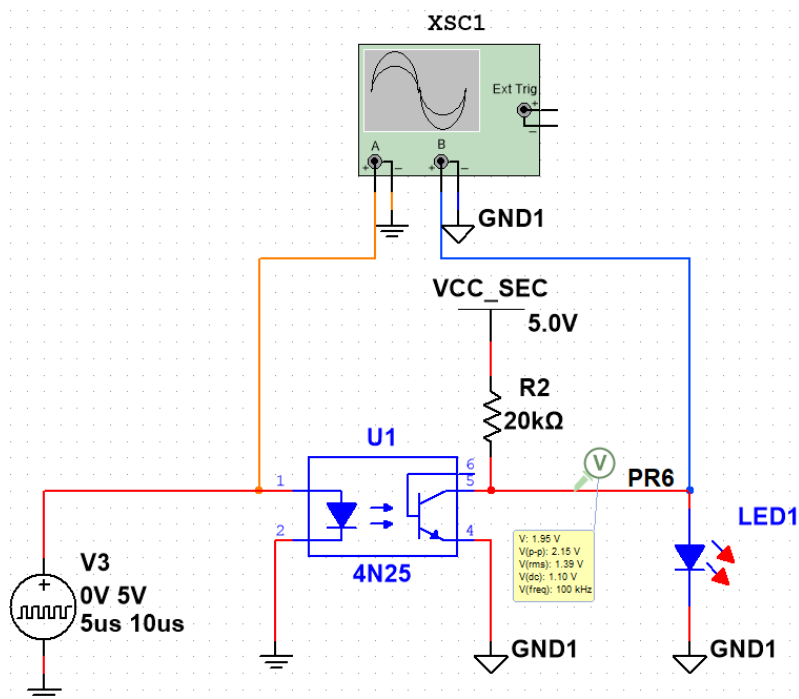
A simulação da Transmissão Óptica por opto-acoplador tem como objetivo validar uma segunda solução capaz de obter isolamento Óptico. Esta pode ser utilizada na avaliação do hardware final, para validar o resto do sistema com pouca influência do enlace óptico. O esquemático da simulação pode ser observado na Figura 18.

Figura 17: Representação gráfica da tensão nos diodos emissor e receptor simulados a partir do sistema de transmissão óptica por infravermelho utilizando software Multisim.



Fonte: Elaborada pelo Autor

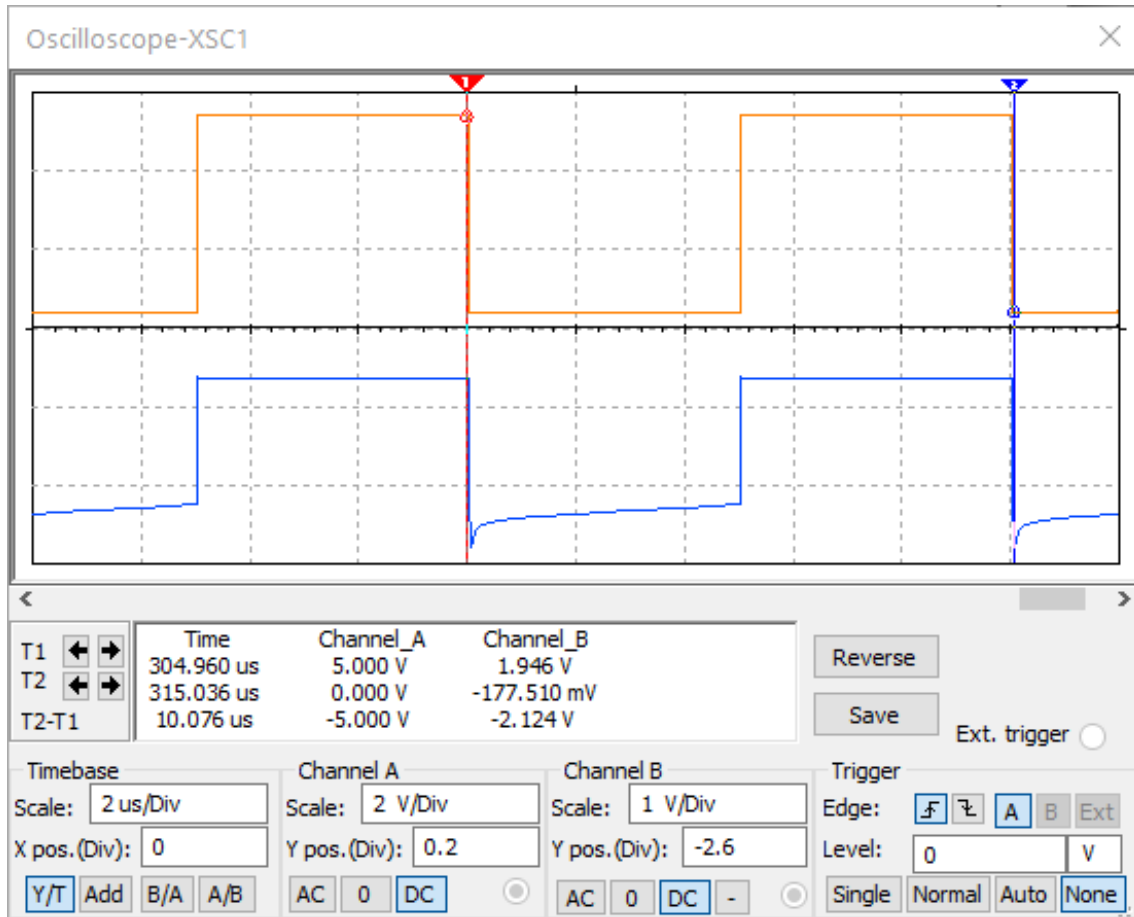
Figura 18: Diagrama esquemático com tensões do sistema de transmissão óptica por optoacoplador simulado.



Fonte: Elaborada pelo Autor

A representação gráfica da tensão na entrada e saída do opto-acoplador pode ser observada na Figura 19.

Figura 19: Representação gráfica da tensão na entrada e saída do opto-acoplador simulada.

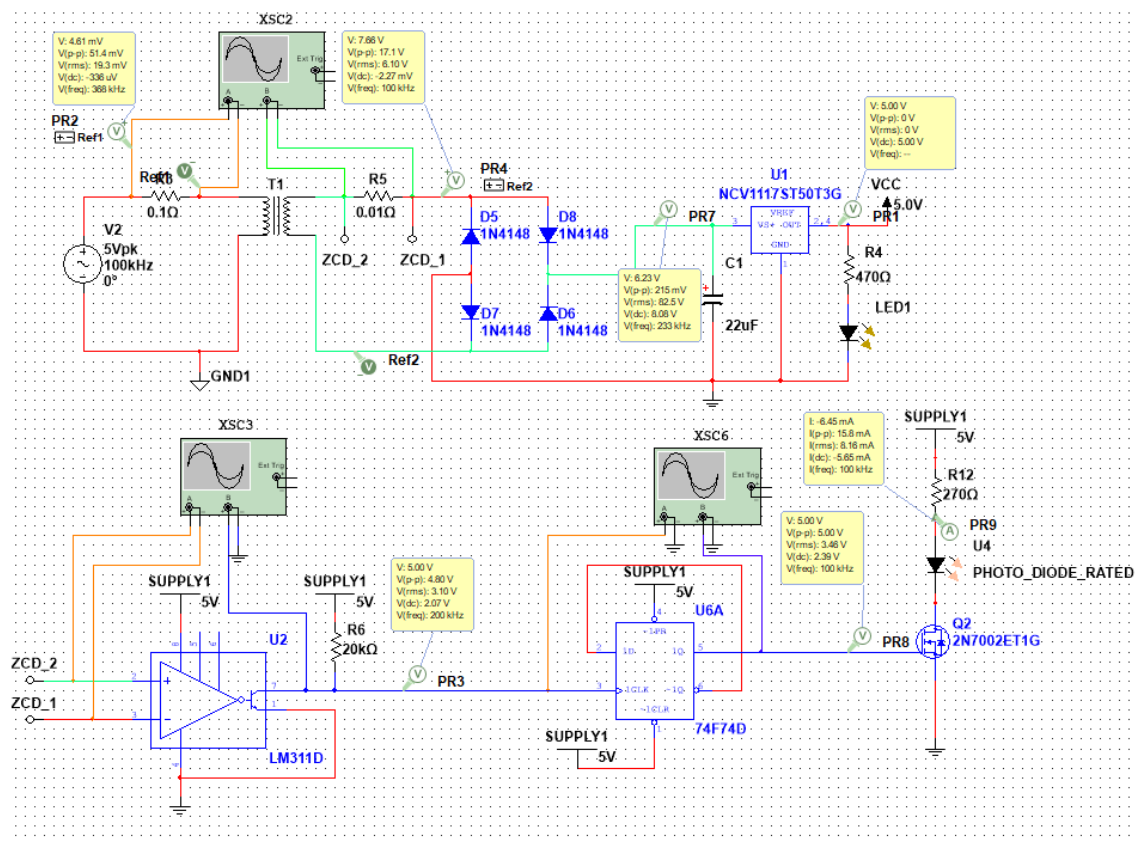


Fonte: Elaborada pelo Autor

5.3 Simulação: Detecção de Passagem por Zero

A fim de simular a tensão no *shunt* do secundário, foi utilizada uma fonte de corrente alternada 5Vpp 100KHz. O esquemático da simulação pode ser observado na Figura 20.

Figura 20: Diagrama esquemático com tensões do sistema de detecção de passagem por zero simulado.



Fonte: Elaborada pelo Autor

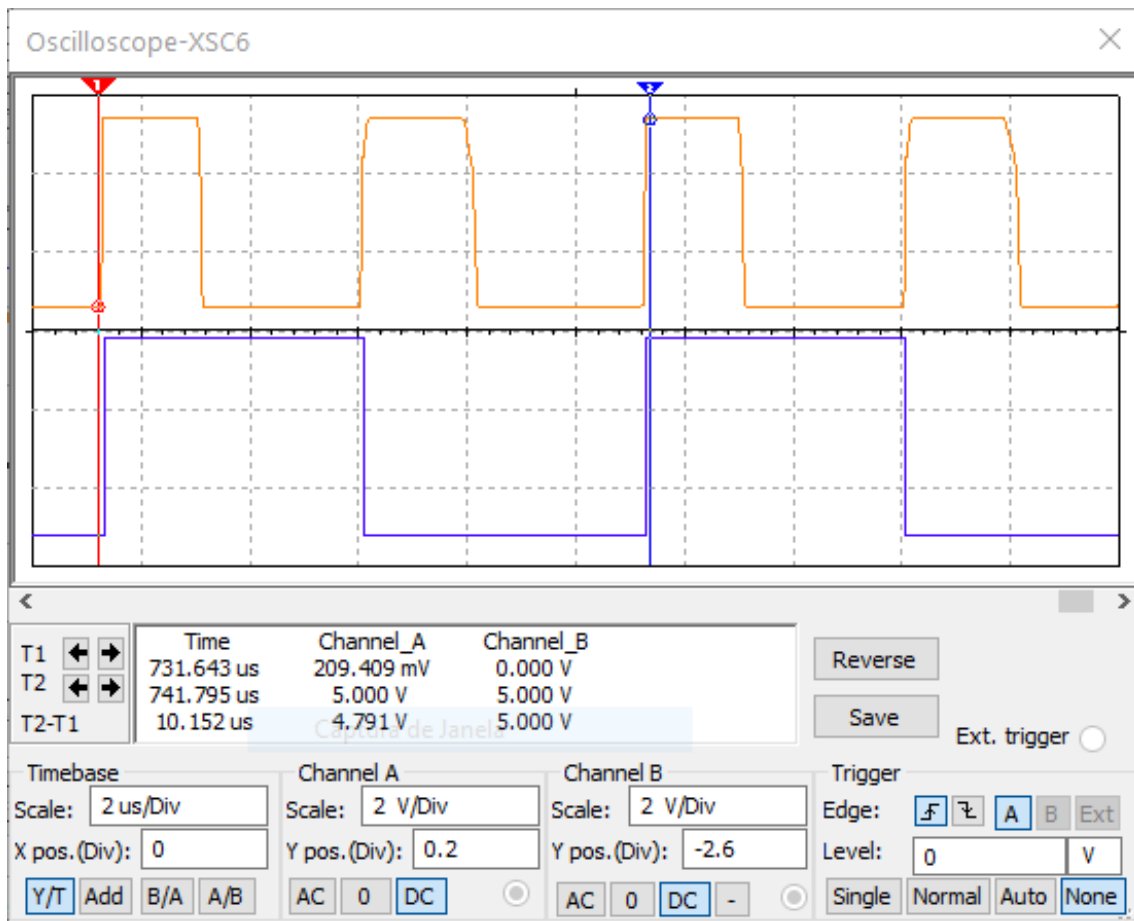
Foi colocado um buffer em série e um opto-acoplador afim de gerar pulsos de tensão que fazem a função de driver do diodo emissor IR.

Na Figura 21 é possível observar a forma de onda da tensão no diodo emissor.

5.4 Simulação do Sistema em Malha Aberta

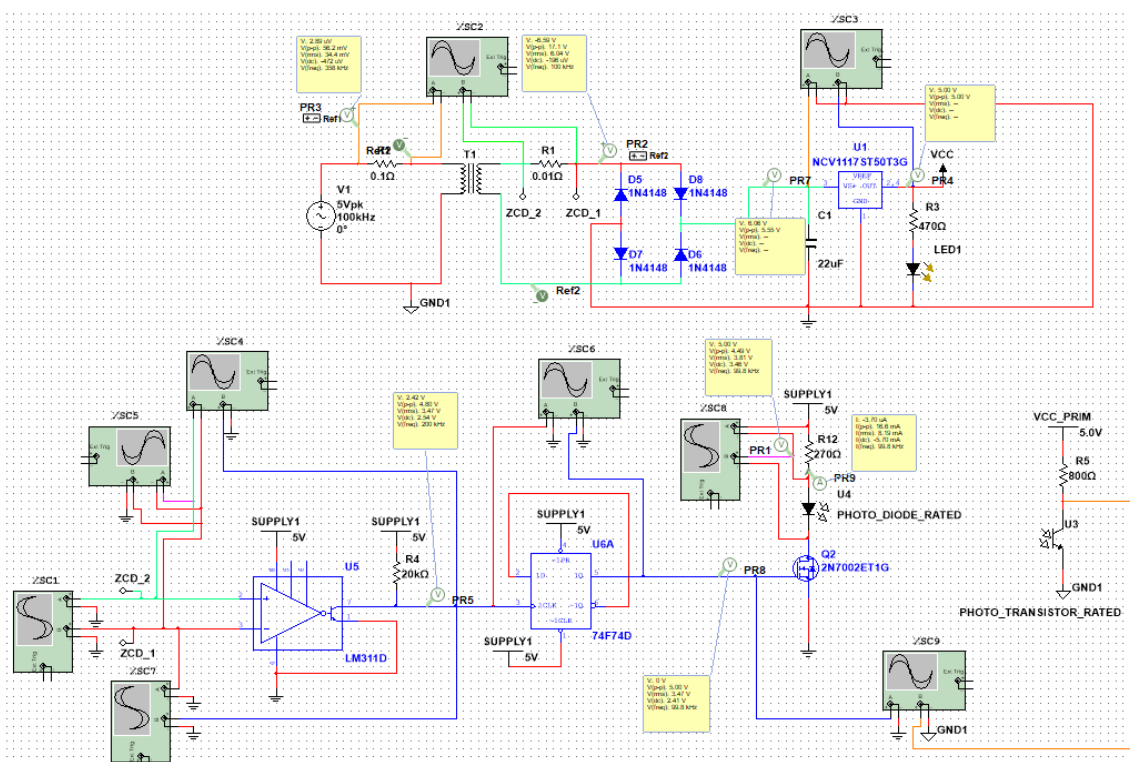
A partir da junção das simulações anteriores, é possível simular o sistema em malha aberta no regime transiente e permanente, considerando o WPT e o acoplamento óptico. O diagrama esquemático do sistema em malha aberto é representado na Figura 22.

Figura 21: Representação gráfica da tensão no diodo emissor simulada a partir do sistema de detecção de passagem por zero.



Fonte: Elaborada pelo Autor

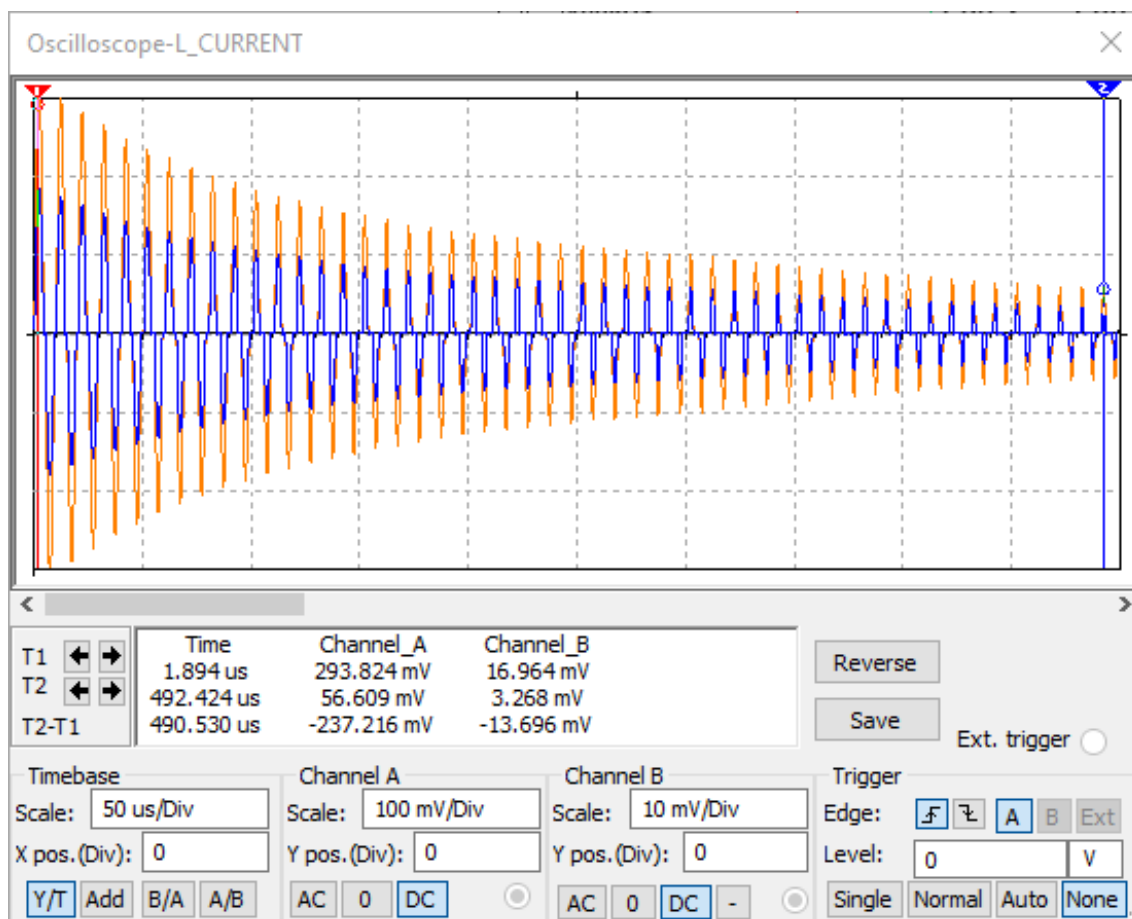
Figura 22: Diagrama esquemático com tensões do sistema em malha aberta simulado.



5.4.1 Análise em Regime Transiente

A partir da Figura 23 é possível observar que o regime transiente vai de zero até em torno de 0,5 ms. A Figura 23 apresenta a corrente das bobinas do primário e secundário, a partir de *shunts* posicionados em série com o enrolamento.

Figura 23: Representação gráfica da corrente nas bobinas primária e secundária, obtidas a partir do sistema em malha aberta simulado.



Fonte: Elaborada pelo Autor

Devido aos *shunts* da simulação serem de $0,1 \Omega$ no primário e $0,01 \Omega$ no secundário, o valor da corrente é obtido multiplicando a tensão medida por 10 e por 100, respectivamente. A Tabela 1 apresenta os valores obtidos com a simulação a partir da Figura 23.

Tabela 1: Resultados da simulação da corrente nas bobinas do primário e secundário em regime transiente.

Tempo (μs)	Tensão Primário [mV]	Tensão Secundário [mV]	Corrente Primário [A]	Corrente Secundário [A]
1,899	293,824	16,964	2,938	1,694
492,424	50,609	3,268	0,506	0,327

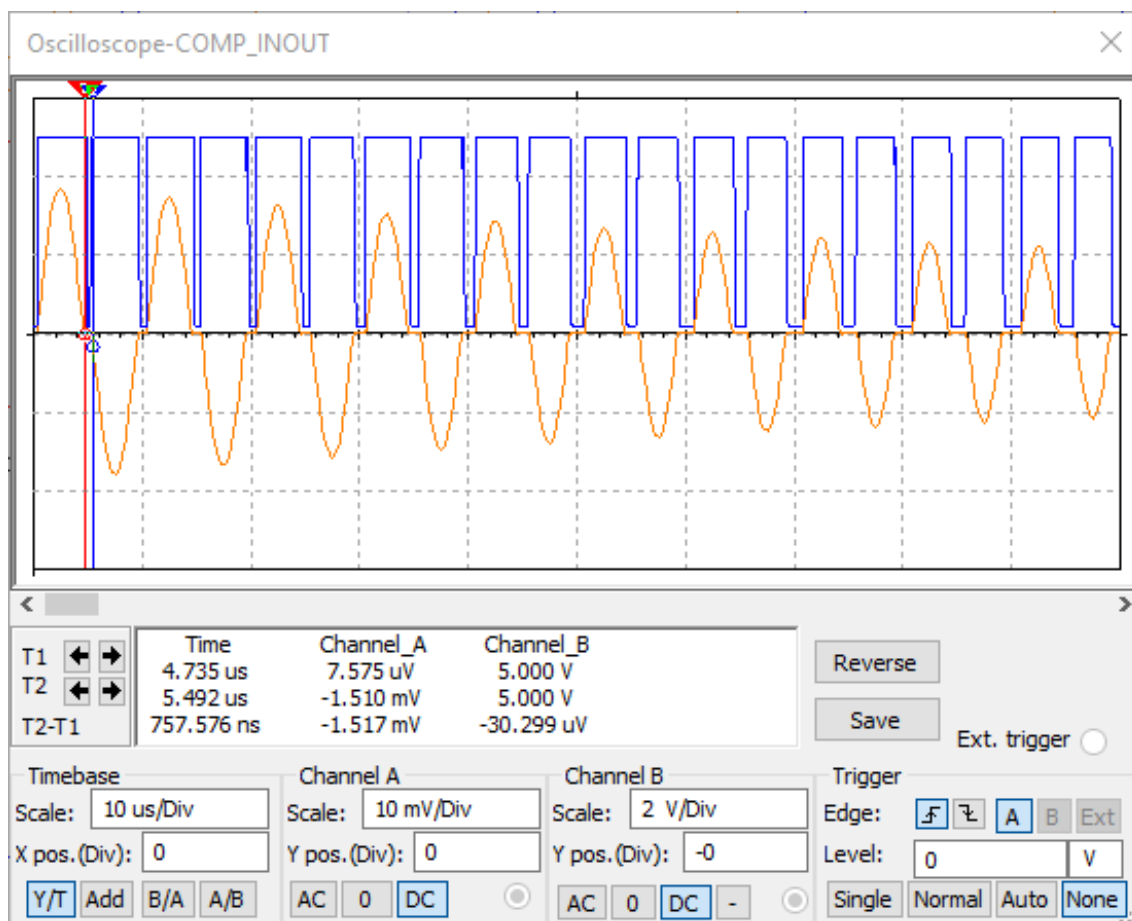
Fonte: Elaborada pelo Autor

É possível observar na simulação que tanto a corrente do primário quanto do se-

cundário decai com o tempo, semelhante a uma senoide amortecida. Além disso, é observado que conforme a corrente diminui, o período em que ela se mantém em zero aumenta. Esse comportamento é esperado, devido ao capacitor colocado na saída da ponte retificadora, que carrega no regime transiente.

Como na topologia utilizada a corrente do secundário é a entrada do comparador, é esperado que valores de corrente iguais a zero refletirão em uma saída do comparador igual a zero, e valores positivos ou negativos, refletirão na saída do comparador igual a 5V. A Figura 24 representa a corrente do secundário e a saída do comparador de fase nos primeiros 100 μ s da simulação.

Figura 24: Representação gráfica da corrente do secundário e a saída do comparador de fase nos primeiros 100 μ s da simulação.

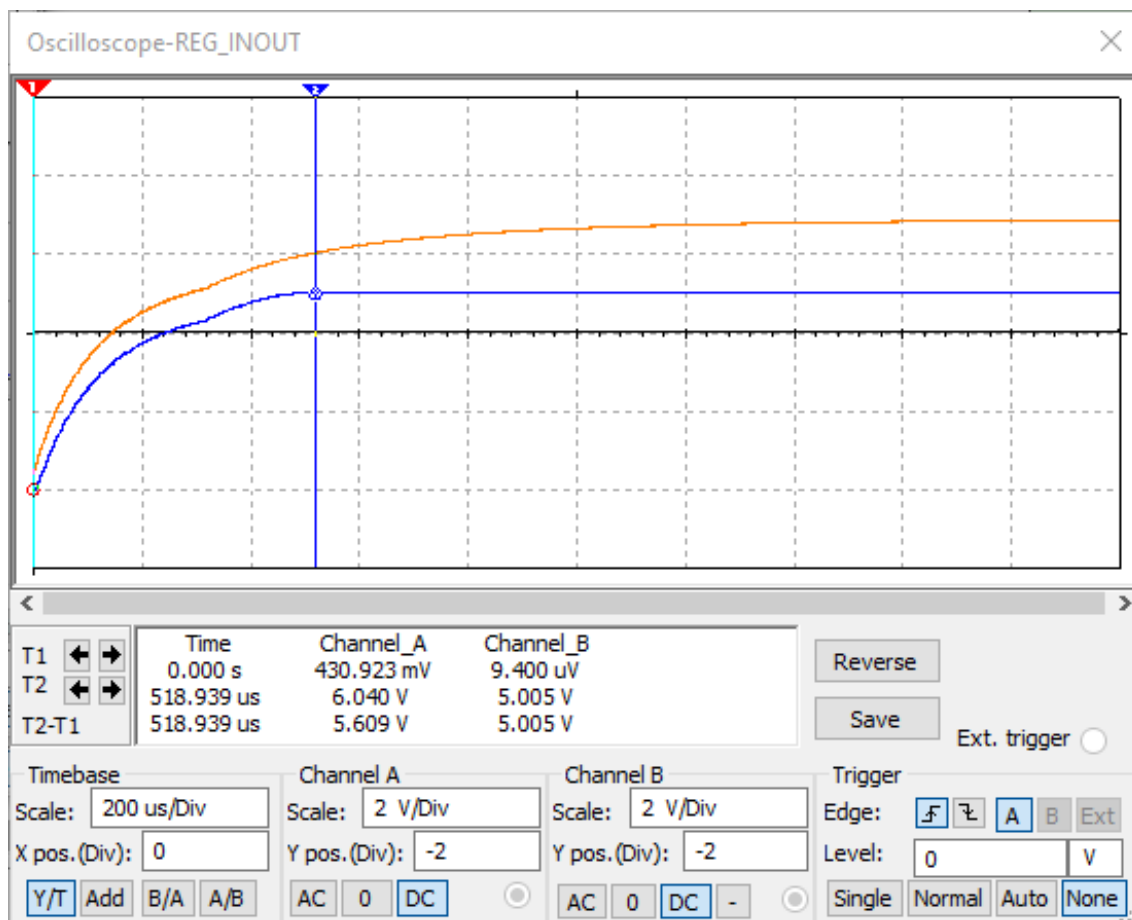


Fonte: Elaborada pelo Autor

Pode-se observar que o período em que saída do comparador é zero dependente do quão carregado está o capacitor na saída da ponte retificadora. Quanto mais carregado o capacitor, menos corrente é necessária no enrolamento, e portanto maior o período de saída do comparador igual a zero.

O comportamento da tensão de entrada e saída do regulador de tensão em regime transiente pode ser observado na Figura 25.

Figura 25: Representação gráfica da tensão de entrada e saída do regulador de tensão em regime transiente.



Fonte: Elaborada pelo Autor

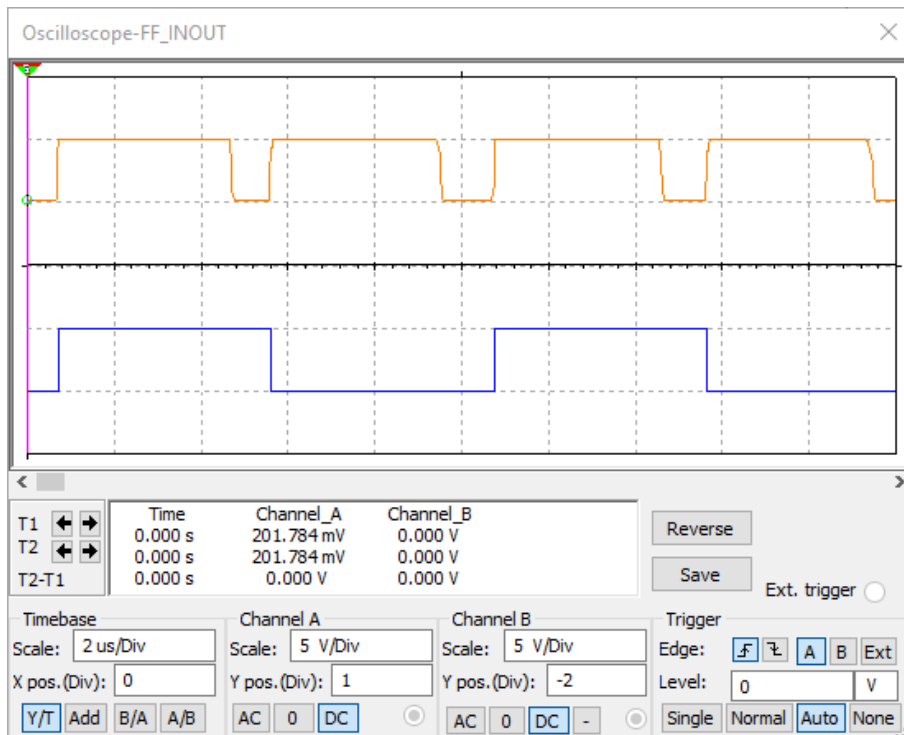
É possível observar que em 0,5ms a tensão na entrada do regulador vai de praticamente zero até 6V, e a partir deste ponto a tensão na saída do regulador se mantém estável em 5V. Além disso, é notável que depois de 0,5ms a tensão na entrada do regulador continua a aumentar. Isso poderia sugerir que o tamanho do regime transiente pode ser aumentado para 2s. Porém, essa mudança é lenta e não altera muito o comportamento do circuito. Assim, pode-se considerar que de 0,5ms a 2s, tem-se em um regime semi-permanente¹.

A alteração no regulador durante o projeto de hardware impacta na mudança da tensão necessária na entrada para garantir 5V na saída.

A Figura 26 representa a entrada e saída do divisor de frequência em regime transiente. A Figura 27 representa a saída do divisor de frequência (representado na cor laranja) conectada na base do MOSFET utilizado para controlar a tensão no diodo emissor infravermelho (representado na cor azul).

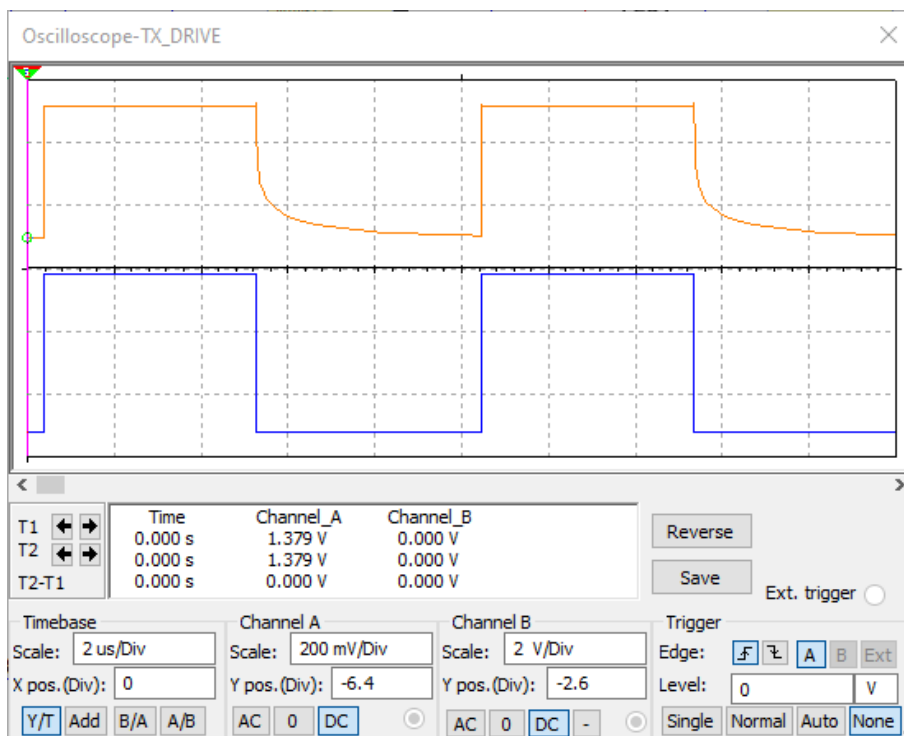
¹Regime semi-permanente: período em que o comportamento do circuito varia muito pouco para ser considerado regime transitório, mas não é estável o suficiente para ser considerado regime permanente.

Figura 26: Representação gráfica da entrada e saída do divisor de frequência em regime transitório.



Fonte: Elaborada pelo Autor

Figura 27: Representação gráfica da saída do divisor de frequência e da tensão no diodo emissor infravermelho.



Fonte: Elaborada pelo Autor

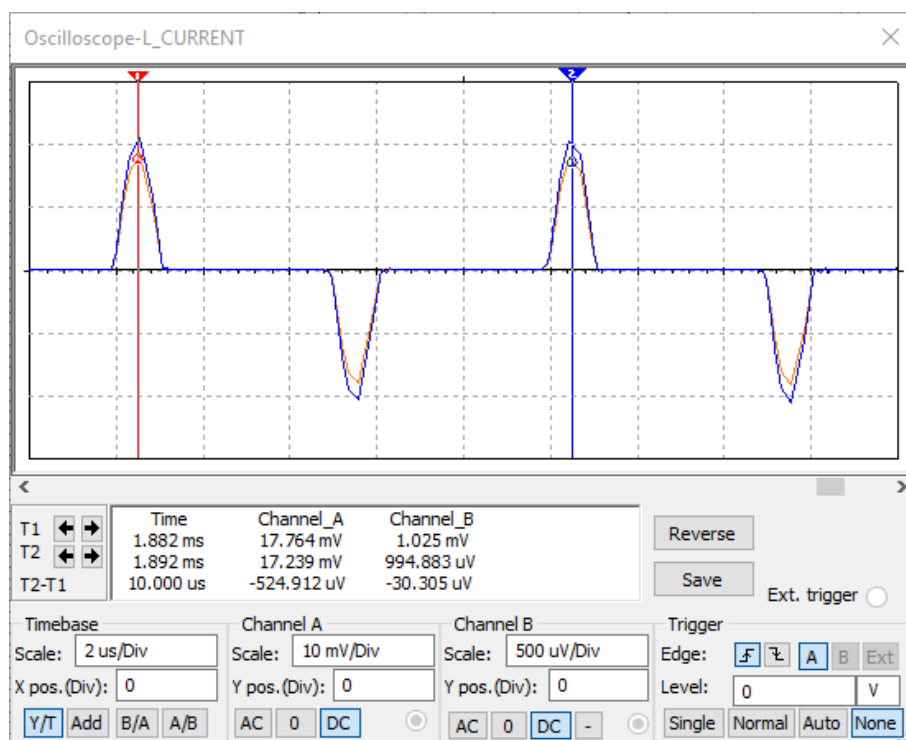
Conforme observado nas Figuras 26 e 27 não há nenhuma peculiaridade relacionadas ao regime transiente nas etapas do divisor de frequência e controle do diodo emissor infravermelho, ou seja, a simulação comprova o que é esperado.

5.4.2 Análise em Regime Permanente

A análise em regime permanente é feita considerando um tempo superior a 0,5ms. Como explicado na sessão anterior, a corrente no enrolamento primário e secundário é obtida a partir da relação entre tensão medida e resistência dos *shunts* na simulação.

A Figura 28 representa graficamente as correntes nos enrolamentos numa janela de $20\mu\text{s}$.

Figura 28: Representação gráfica das correntes nos enrolamentos primários e secundários numa janela de $20\mu\text{s}$.



Fonte: Elaborada pelo Autor

A partir dos valores da simulação, pode-se obter a corrente simulada em regime permanente no primário e secundário, representadas na Tabela 2.

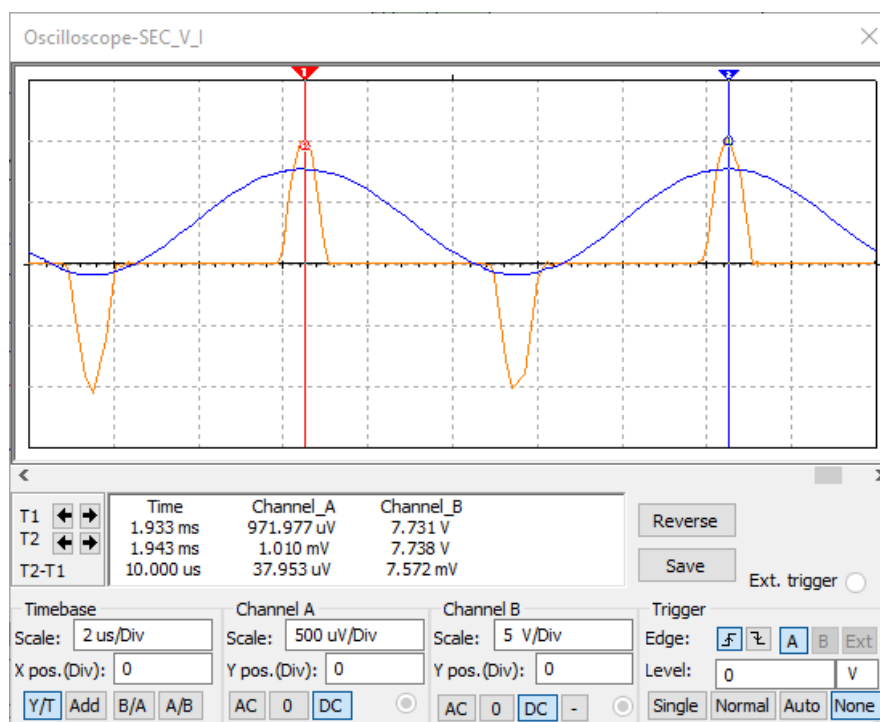
Tabela 2: Resultados da simulação da corrente nas bobinas do primário e secundário em regime permanente.

Tempo (μs)	Tensão Primário [mV]	Tensão Secundário [mV]	Corrente Primário [mA]	Corrente Secundário [mA]
1,882	17,764	1,025	177,64	10,25
1,892	17,239	0,994	172,24	9,94

Fonte: Elaborada pelo Autor

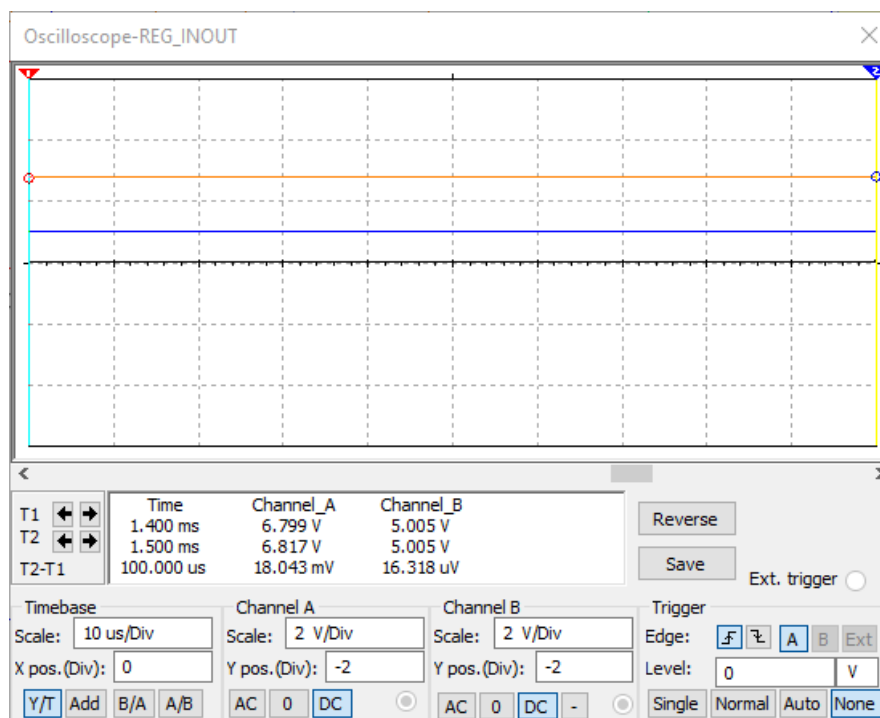
A relação entre a tensão e corrente no enrolamento secundário pode ser observada na Figura 29.

Figura 29: Representação gráfica da relação entre a tensão e corrente no enrolamento secundário no regime permanente numa janela de $20\mu\text{s}$.



Fonte: Elaborada pelo Autor

Figura 30: Representação gráfica da entrada e saída do regulador de tensão em regime permanente.



Fonte: Elaborada pelo Autor

A tensão de entrada e saída no regulador de tensão em regime permanente é constante, conforme representado na Figura 30. Nota-se que em regime permanente após 1,4ms, a tensão na entrada de 6,8V é suficiente para manter constante 5V na saída considerando uma carga de leve à aproximadamente 50mW de potência.

A relação entre a corrente do secundário e a saída do comparador é representada na Figura 31.

Figura 31: Representação gráfica da relação entre a corrente do secundário e a saída do comparador.

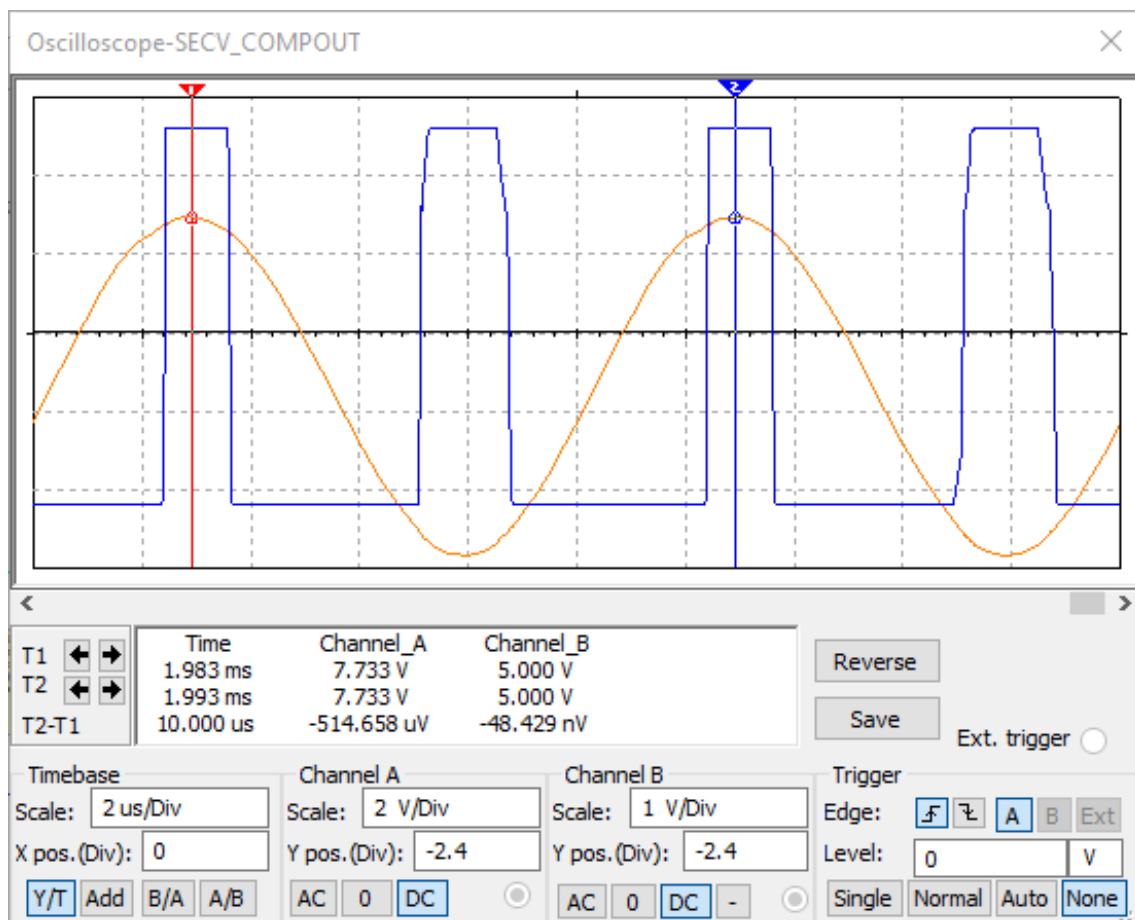


Fonte: Elaborada pelo Autor

Pode-se observar que em regime permanente é esperado que em mais da metade do período da saída do comparador a tensão é zero. Isso, como explicado na sessão anterior está relacionado com o capacitor na saída da ponte de diodos. Nota-se também que a frequência da saída é o dobro da entrada dobrada devido a topologia utilizada.

A partir da comparação entre a tensão do secundário e a saída do comparador, representados na Figura 32, é possível observar que os picos de ambos os sinais estão em fase.

Figura 32: Representação gráfica da comparação entre a tensão do secundário e a saída do comparador.



Fonte: Elaborada pelo Autor

As simulações apresentaram resultados esperados em malha aberta, com a frequência recebida na saída do acoplamento óptico sendo em fase e frequência igual a de operação do acoplamento WPT. Não foi possível simular o modelo em malha fechada devido a limitações da ferramenta disponível.

6 PROJETO DE HARDWARE

Este capítulo apresenta o desenvolvimento do hardware proposto, com projeto de circuitos e placas de circuito impresso criados no software *AltiumDesigner19* a partir da topologia da solução proposta.

As alterações realizadas após a fabricação das placas devido a maturação no entendimento da solução, são apresentadas ao fim do capítulo.

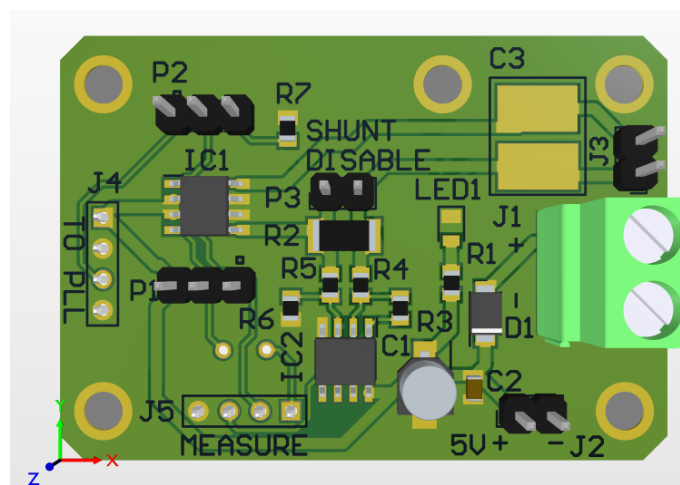
6.1 Placa 1: Driver do Primário

O coração da Placa 1 é o circuito integrado MAX256, que é o driver da bobina primária. Este CI é alimentado com 5VDC, e possibilita modo de operação na frequência gerada pelo oscilador interno ou externo, o que é importante pois é sabido que operando em frequência de ressonância, tem-se uma maior transferência de potência. Logo, é necessário utilizar oscilador externo. Para medição da corrente no primário foi utilizado um *shunt* integrado à placa de $0,01\Omega$. A fim de garantir a medição no *shunt*, que tem valor baixo, foi realizada a instrumentação utilizando um amplificador de alta impedância de entrada e ganho 1000.

O diagrama esquemático da Placa 1 pode ser observado na Figura 33.

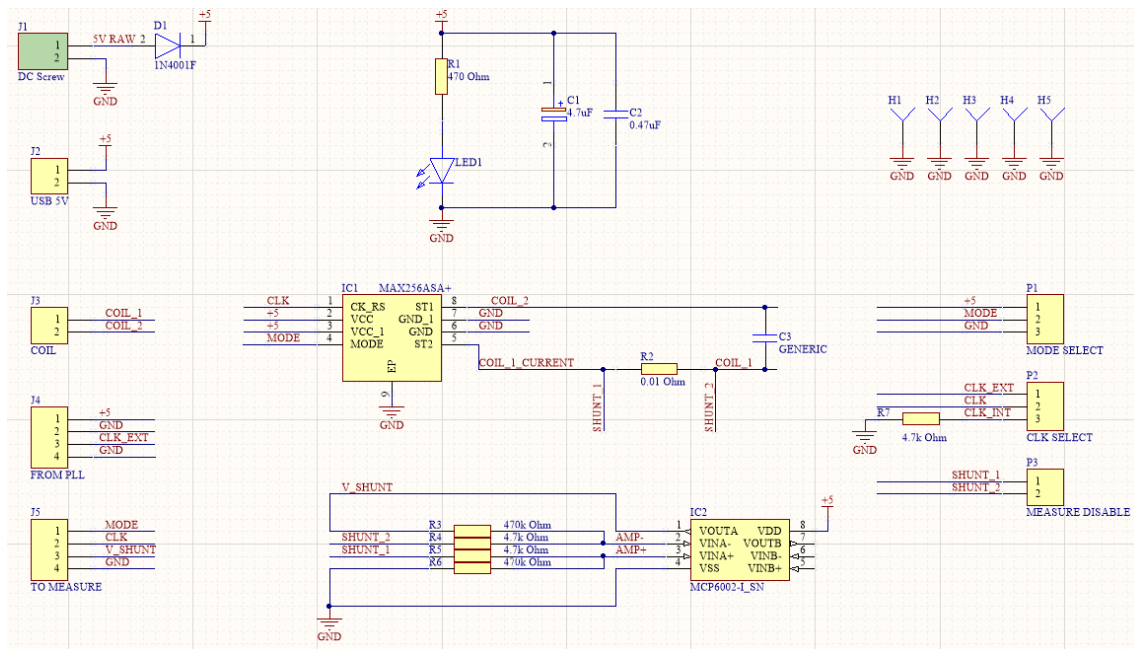
Na Figura 34 é possível observar a simulação tridimensional da parte superior da Placa 1.

Figura 34: Design de PCB da Placa 1: Primário (Driver) desenvolvido com o software Altium Designer.



Fonte: Elaborada pelo Autor

Figura 33: Diagrama esquemático da Placa 1: Primário (Driver) desenvolvido com o software Altium Designer.



Fonte: Elaborada pelo Autor

6.2 Placa 2: Secundário

A placa do secundário consiste em quatro blocos de hardware principais:

- Retificação da Tensão AC.
- Regulação de Tensão.
- Detecção de Passagem por Zero.
- Transmissão por Infravermelho.

A retificação é feita por uma ponte completa de diodos, que converte a tensão alternada em tensão contínua, e com capacitores para filtragem de *ripple*. Essa tensão é em geral maior que 5V, e o seu valor em regime permanente varia conforme o acoplamento. Assim, o estágio de regulação de tensão serve para garantir que a tensão de saída será de 5V, realizado pelo CI regulador de tensão TL720M05.

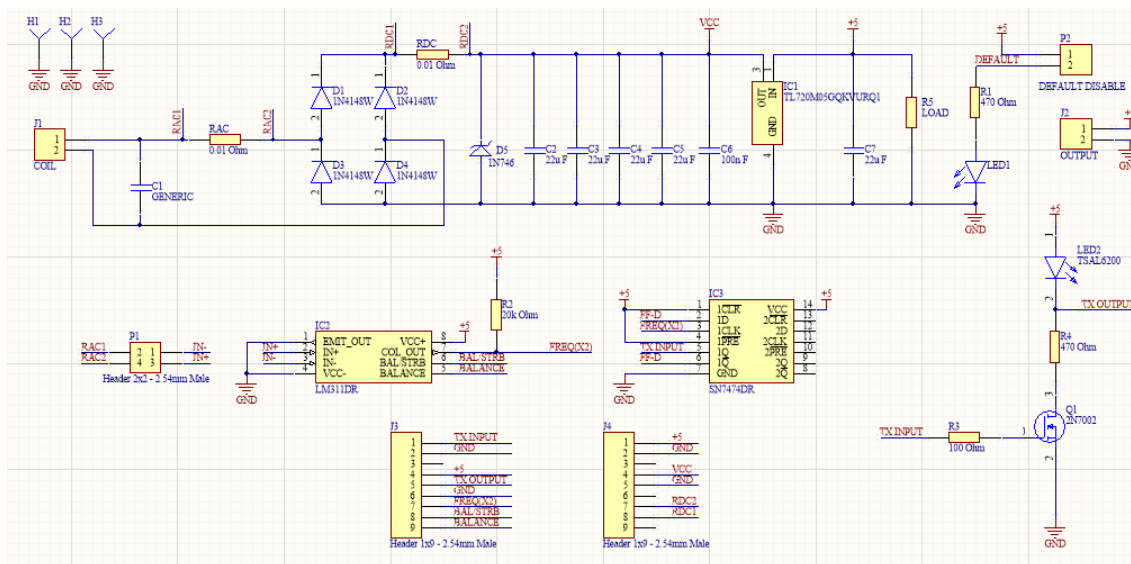
A Detecção de passagem por zero é realizada a partir de um *shunt* de $0,01\Omega$ em série com a bobina receptora da placa. Como já observado no capítulo de simulações, é possível observar que a tensão medida em um dos terminais do *shunt* será sempre maior em módulo que a tensão medida no outro terminal do componente. Utilizando essa informação, e o fato de que a tensão medida é alternada, pode-se detectar a passagem por zero com um comparador LM311 conectado nos dois terminais do *shunt*.

A saída do comparador terá frequência dobrada, devido a forma que foi arbitrada a conexão. E assim, é possível utilizar um divisor de frequências para gerar uma onda quadrada com a informação da frequência e fase da corrente do secundário.

Esta informação é utilizada então para drivear um diodo emissor infravermelho a partir de um mosfet.

O diagrama esquemático da parte utilizada da Placa 2 pode ser observado na Figura 35.

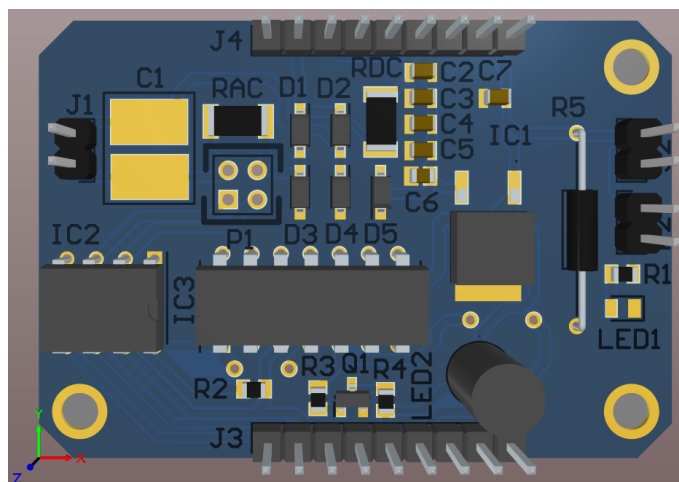
Figura 35: Diagrama esquemático da Placa 2: Secundário desenvolvido com o software Altium Designer.



Fonte: Elaborada pelo Autor

Na Figura 36 é possível observar a pré-visualização da Placa 2.

Figura 36: Design de PCB da Placa 2: Secundário desenvolvido com o software Altium Designer.



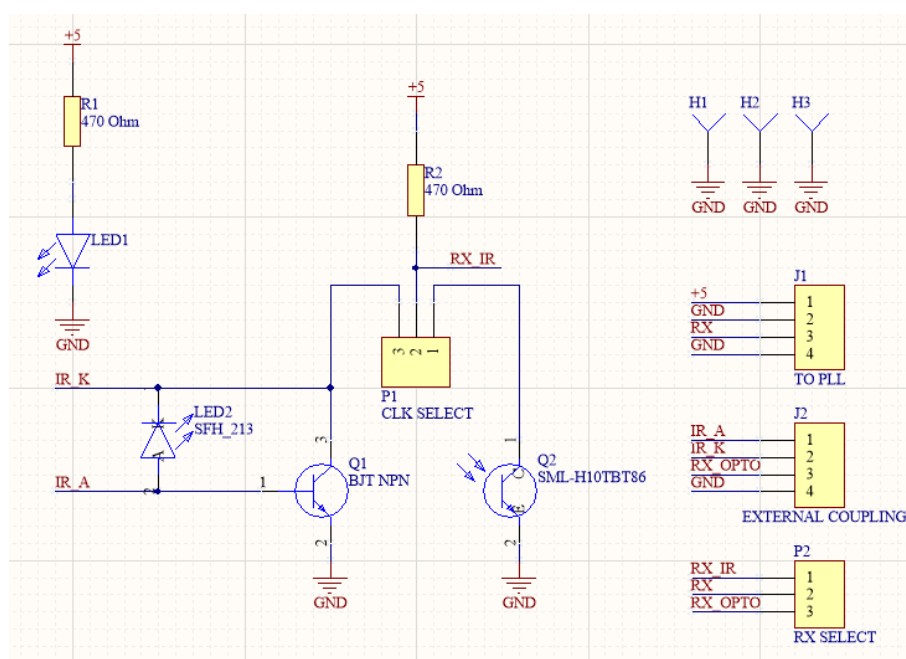
Fonte: Elaborada pelo Autor

6.3 Placa 3: Receptor Infravermelho

A placa receptora infravermelho tem como função tratar o sinal proveniente do secundário do WPT. Esta pode utilizar um fototransistor ou fotodiodo conectados na placa, mas também pode utilizar um sinal externo proveniente de um opto-acoplador para ser utilizado no próximo bloco do circuito.

A placa foi criada tendo-se em mente que durante o projeto, o tipo de acoplamento óptico poderia ser alterado dependendo do teste a ser realizado. O diagrama esquemático do circuito da Placa 4: Receptor Infravermelho é apresentado na Figura 37.

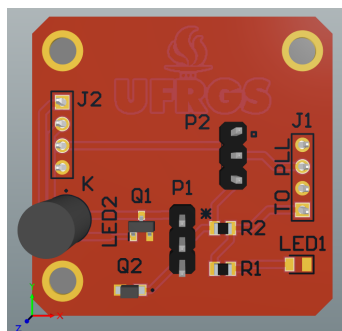
Figura 37: Diagrama esquemático da Placa 3: Receptor Infravermelho desenvolvido com o software Altium Designer.



Fonte: Elaborada pelo Autor

Na Figura 38 é possível observar a pré-visualização da parte frontal da Placa 3.

Figura 38: Design de PCB da Placa 3: Receptor Infravermelho desenvolvido com o software Altium Designer.



Fonte: Elaborada pelo Autor

6.4 Placa 4: PLL (Gerador de Frequências)

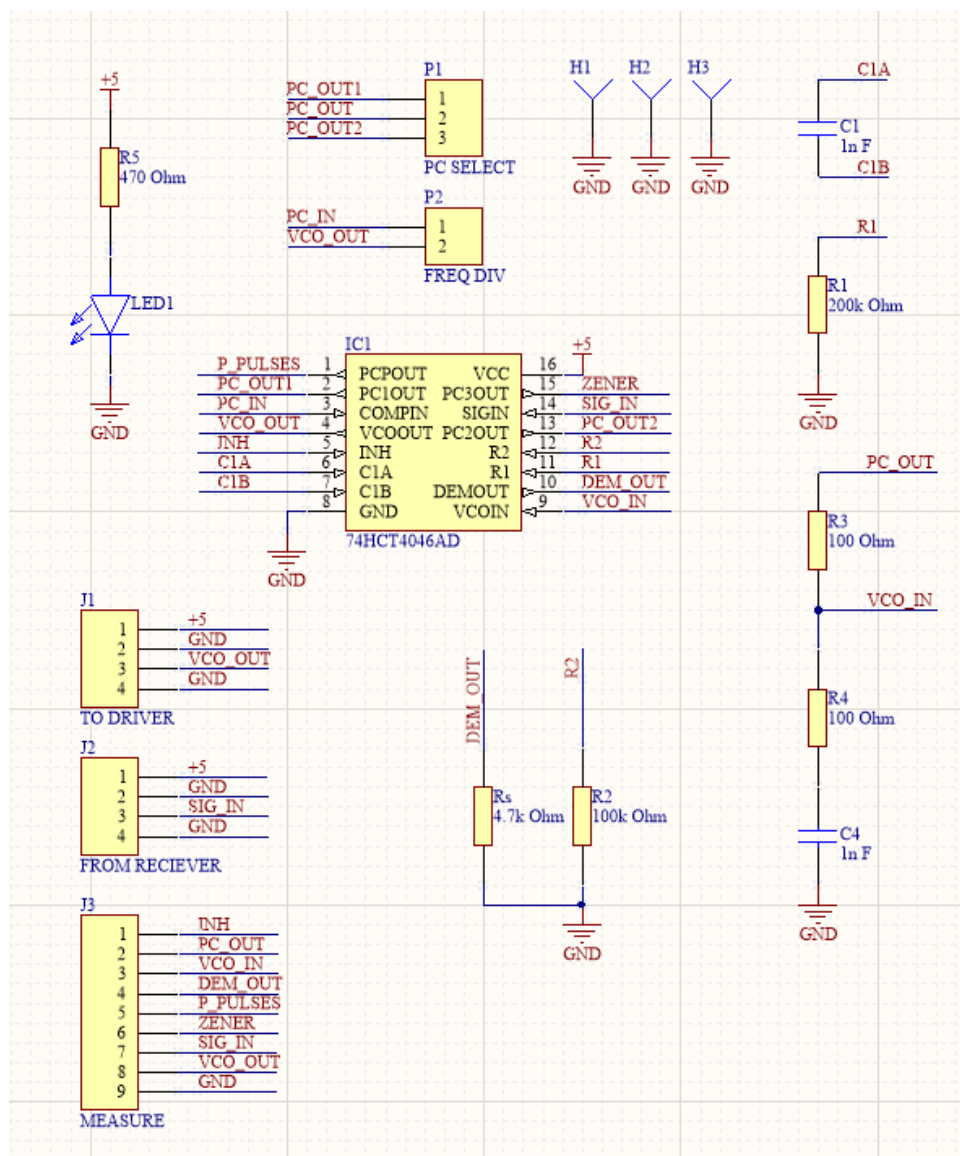
A Placa 4: PLL (Gerador de Frequências) tem como objetivo gerar e controlar a frequência de chaveamento da Placa 1: Primário (Driver) a fim de garantir que o sistema está operando na frequência de ressonância.

Como mostrado na equação 3 explicada na seção 2.1, quando a diferença de fase entre o primário e o secundário é igual a zero, o acoplamento magnético está operando em sua frequência de ressonância. Assim, a informação da frequência e fase do secundário, proveniente da Placa 3: Receptor Infravermelho, é utilizada para controlar a defasagem entre os sinais das bobinas acopladas, garantindo maior eficiência do sistema.

O circuito integrado PLL utilizado é o 74HCT4046AD (HIGH-SPEED. . ., 2003).

O diagrama esquemático da Placa 4 pode ser observado na Figura 39.

Figura 39: Diagrama esquemático da Placa 4: PLL (Gerador de Frequência) desenvolvido com o software Altium Designer.



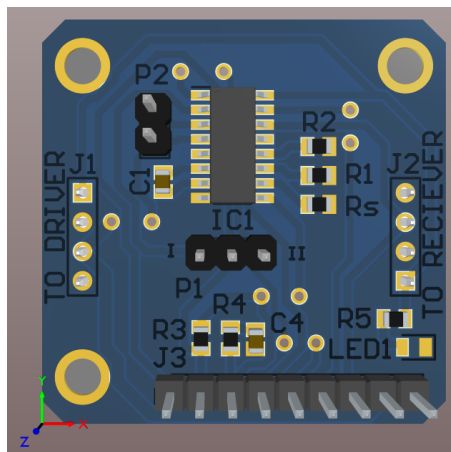
Fonte: Elaborada pelo Autor

A partir do *datasheet* do CI 74HCT4046AD, é possível observar que, com os componentes $R1 = 200\text{ k}\Omega$, $R2 = 100\text{ k}\Omega$, $C1 = 1\text{ nF}$ tem-se que as frequências mínima, típica e máxima são:

- $F_{\min} = 96\text{ kHz}$
- $F_{\text{tip}} = 108\text{ kHz}$
- $F_{\max} = 123\text{ kHz}$

Na Figura 40 é possível observar a pré-visualização da parte frontal da Placa 4.

Figura 40: Design de PCB da Placa 5: PLL (Gerador de Frequência) desenvolvido com o software Altium Designer.



Fonte: Elaborada pelo Autor

6.5 Placa 5: Jiga de Testes

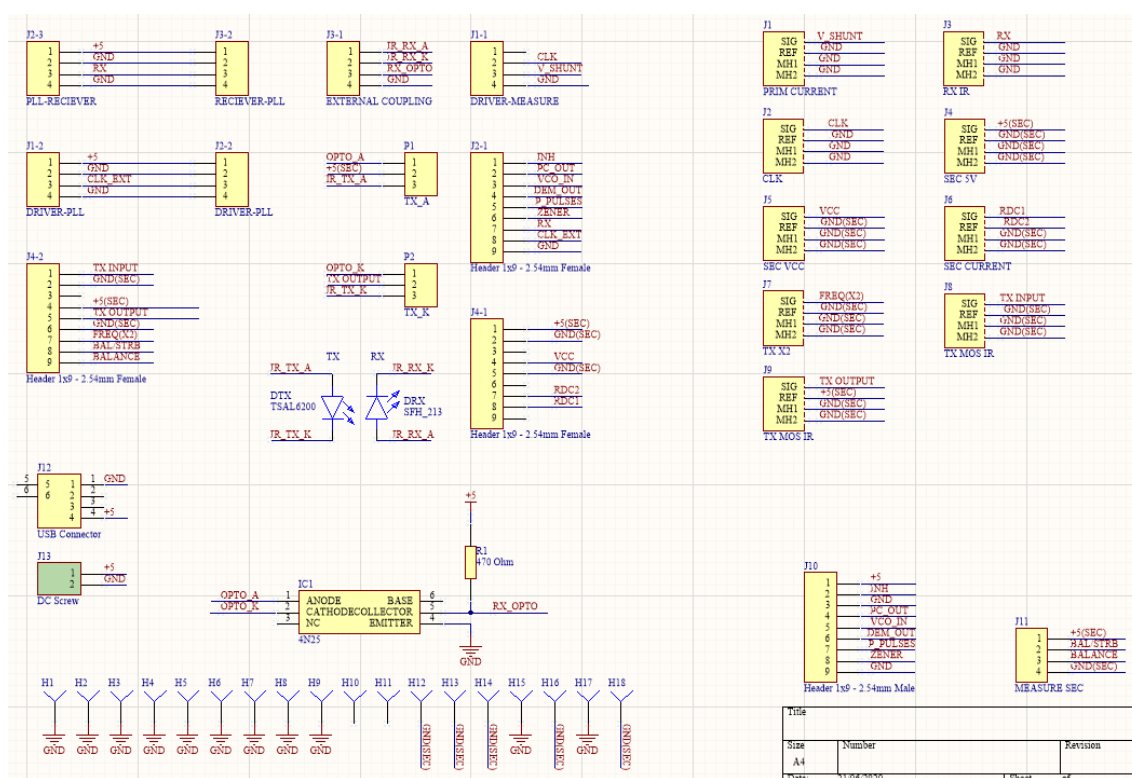
A fim de facilitar os testes nas placas modulares, foi desenvolvida também a Placa 5: Jiga de Testes, que consiste em um *hub* para conectar as placas e rotear os sinais importantes para conectores BNC.

Além disso, para facilitar a observação do acoplamento de realimentação, foi implementado um bloco na placa para a transmissão e recepção do sinal óptico. Assim, pode-se optar por um par de diodos emissor-receptor ou um opto-acoplador a partir das barras de pinos P1 e P2.

O diagrama esquemático da Placa 5 pode ser observado na Figura 39.

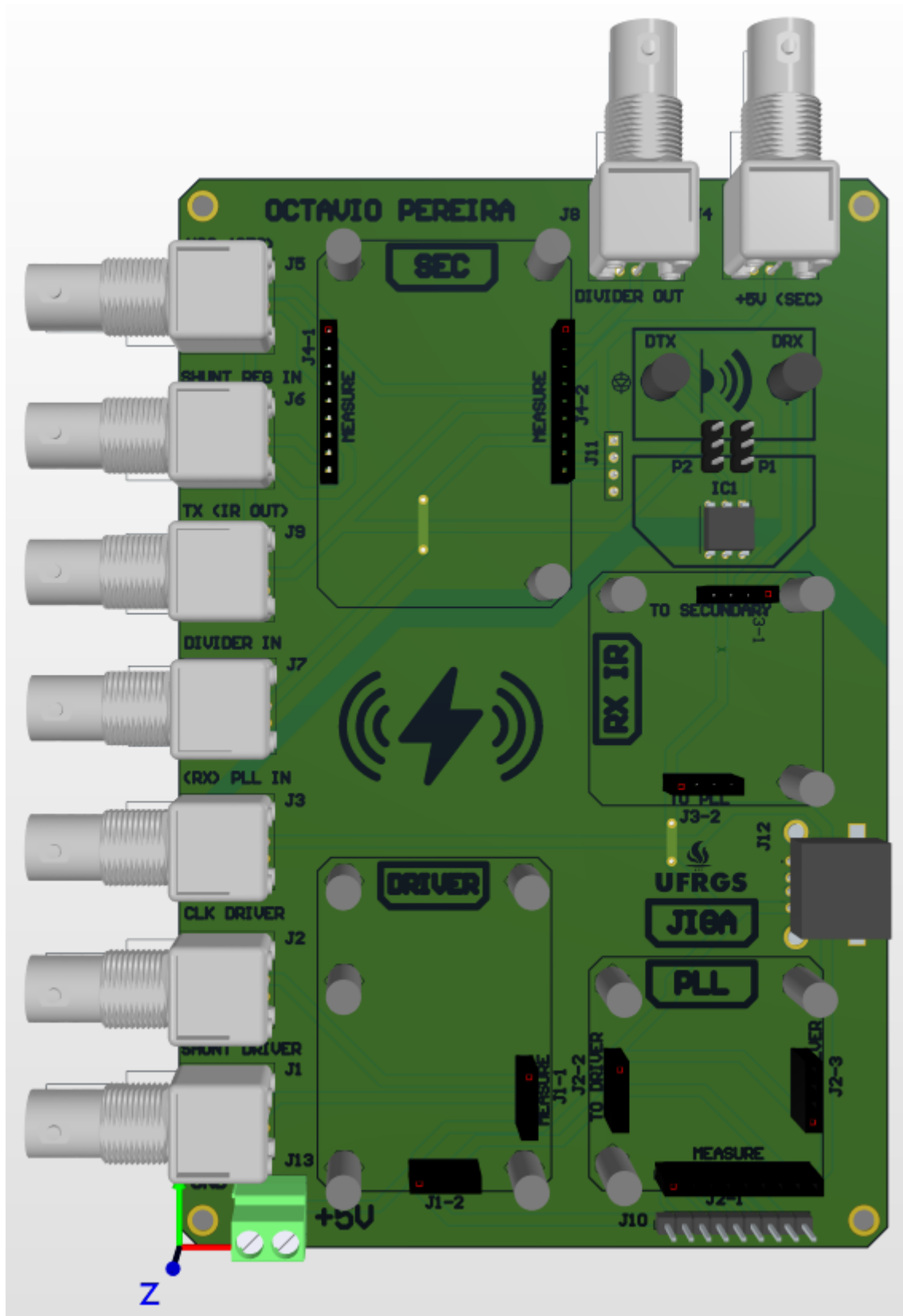
Nas Figuras 42 e 43 é possível observar a pré-visualização da parte frontal da Placa 5 e a representação do sistema plenamente conectado.

Figura 41: Diagrama esquemático da Placa 5: Jiga de Testes desenvolvido com o software Altium Designer.



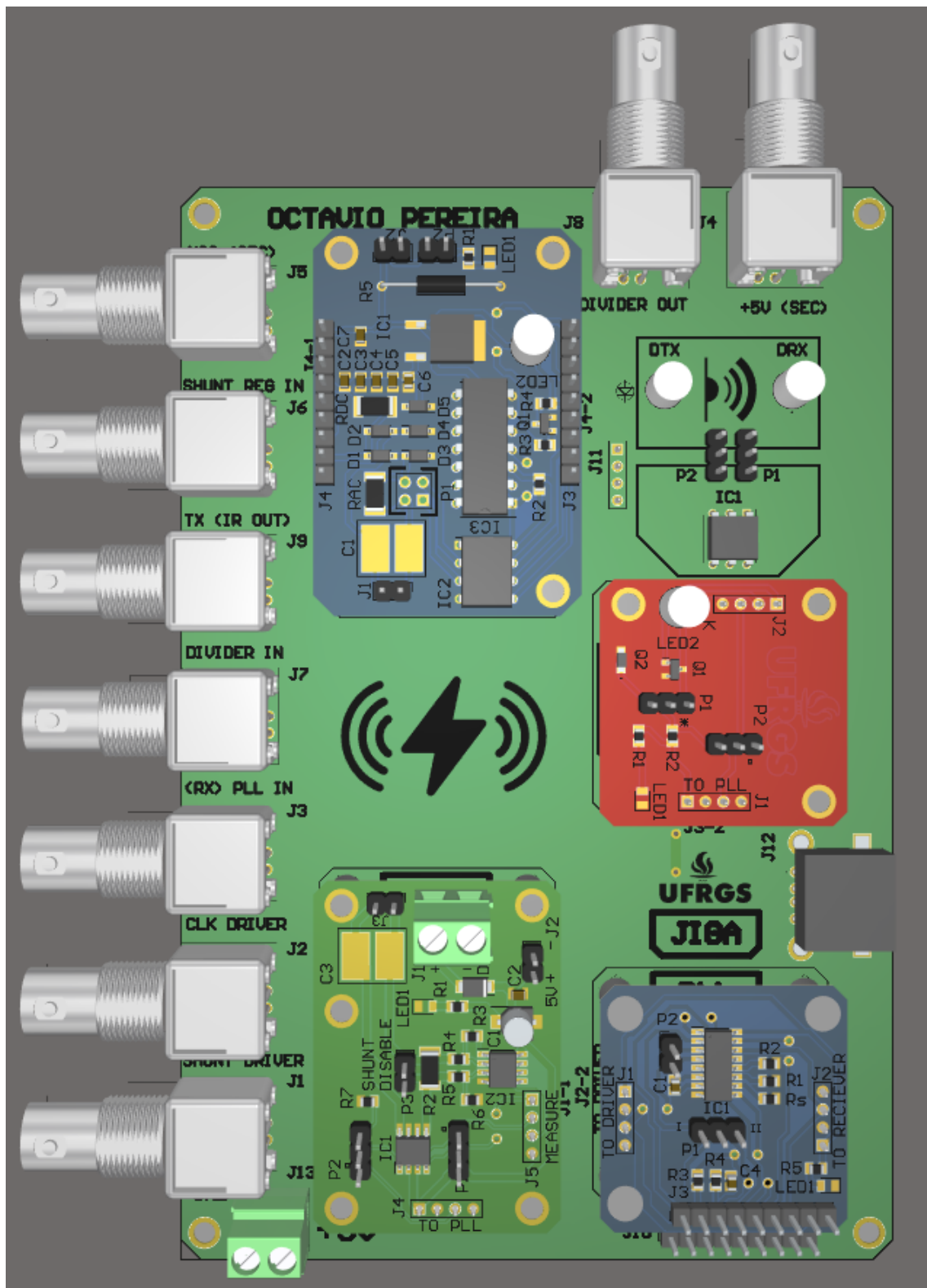
Fonte: Elaborada pelo Autor

Figura 42: Design de PCB da Placa 5: Jiga de Testes desenvolvido com o software Altium Designer.



Fonte: Elaborada pelo Autor

Figura 43: Design de PCB da Placa 5: Jiga de Testes desenvolvido com o software Altium Designer.



Fonte: Elaborada pelo Autor

6.6 Alterações e Considerações

Nesta seção são explicadas essas alterações realizadas e o motivo por cada uma.

A primeira alteração realizada foi na “Placa 5: Jiga de Testes”, onde foi feita aterrado o pino de INH (*Inhibit*), proveniente do circuito integrado da “Placa 4: PLL”. Foi observado no datasheet do fabricante do CI 74HCT4046, que o PLL só disponibiliza a saída quando esse sinal é aterrado.

A segunda alteração foi a remoção do CI responsável pela divisão de frequência na “Placa 2: Driver”. Foi observado no datasheet do fabricante do CI MAX256 que a frequência de chaveamento do acoplamento WPT é a metade da frequência do clock externo.

Devido a essa segunda alteração, pode-se observar que a frequência na saída do PLL deve ser o dobro do que antes projetado, e portanto os valores dos parâmetros de resistência e capacitância foram mudados para: $R1 = 100 \text{ k}\Omega$, $R2 = 50 \text{ k}\Omega$, $C1 = 1 \text{ nF}$. Assim, tem-se que as frequências mínima, típica e máxima são:

- $F_{\min} = 190 \text{ kHz}$
- $F_{\text{tip}} = 215 \text{ kHz}$
- $F_{\max} = 245 \text{ kHz}$

A topologia modular das placas facilitou muito na depuração e ajustes pontuais realizados durante a etapa de validação.

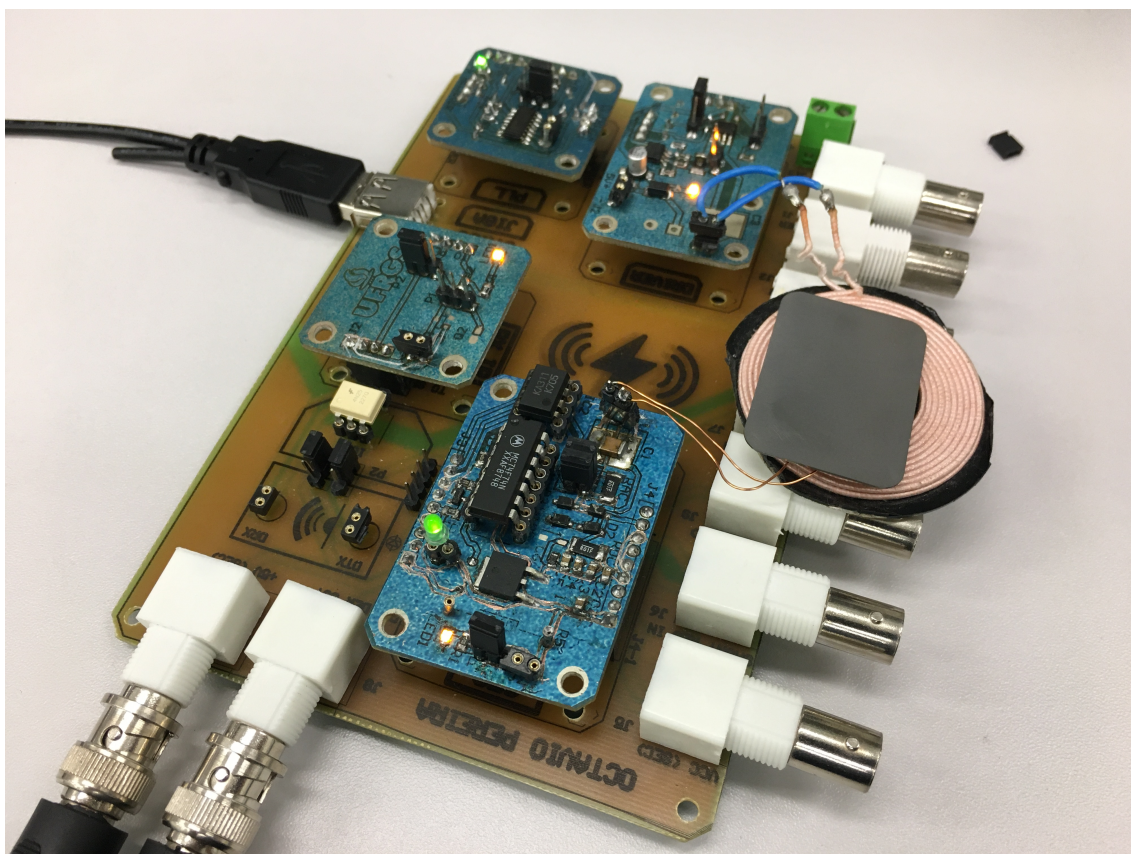
7 VALIDAÇÃO DE HARDWARE

Este capítulo apresenta os resultados de testes realizados com as placas projetadas. A validação é feita a partir de cenários de teste para cada capacidade do sistema, utilizando os seguintes equipamentos:

- Osciloscópio (com gerador de funções): Keysight EDUX1052G
- Multímetro: Minipa ET-2042D

A Figura 44 representa o sistema com todas as placas conectadas na Placa 5: JIGA.

Figura 44: Cenário com todas as placas conectadas.

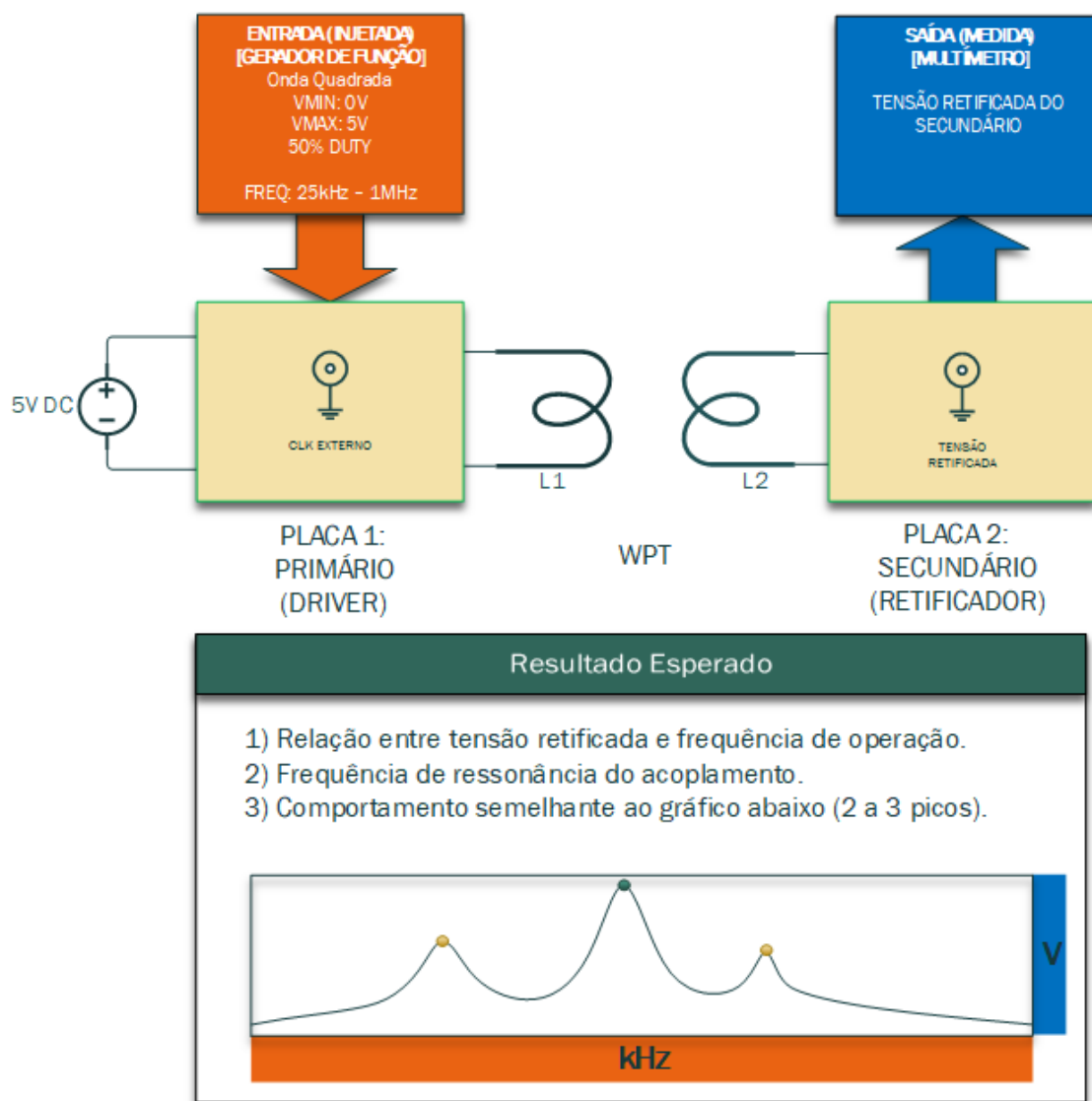


Fonte: Elaborada pelo Autor

7.1 Avaliação do WPT

A fim de identificar a frequência de ressonância do acoplamento, um gerador de funções configurado para gerar uma onda quadrada de 0 a 5 V, com *duty cycle* de 50% é utilizado. Foi medida a tensão na saída da ponte retificadora da Placa 2: Secundário, esperando obter uma curva semelhante com a demonstrada na Figura 4. O cenário de teste é o representado na Figura 45.

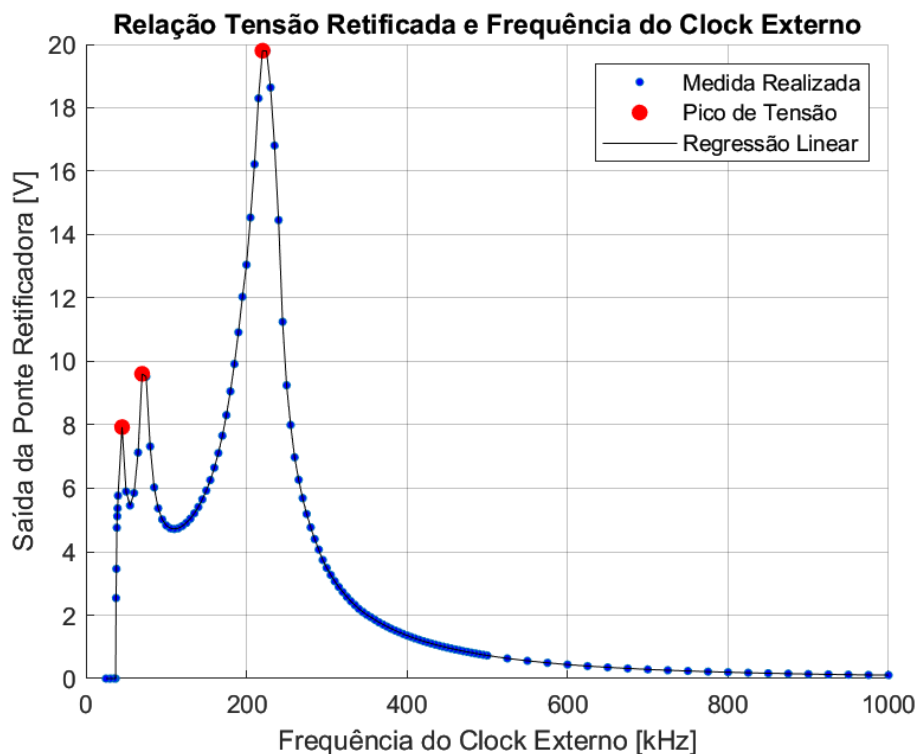
Figura 45: Teste para validação da capacidade de WPT.



Fonte: Elaborada pelo Autor

A Figura 46 representa graficamente a relação entre a frequência de chaveamento no primário configurada pelo gerador de funções, e a tensão na saída da ponte retificadora no secundário.

Figura 46: Tensão na saída da ponte retificadora do secundário em relação a frequência do clock externo.



Fonte: Elaborada pelo Autor

É possível observar que, assim como esperado, existem três picos de tensão, conforme destacado na Figura 46. Como apresentado no *datasheet* do MAX256, a frequência do clock externo é o dobro da frequência de operação. Sendo assim, as frequências de operação em que são observados picos de tensão são apresentadas na Tabela 3.

Tabela 3: Frequência de chaveamento das bobinas em que observou-se um pico de tensão.

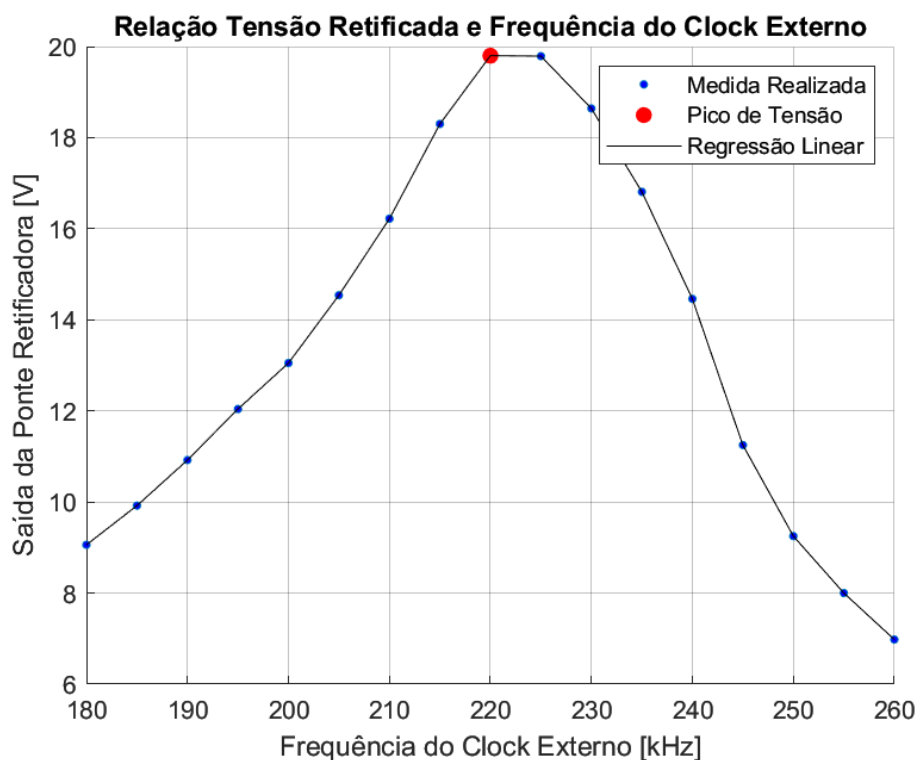
Pico de Frequência [kHz]	Tensão [V]
22,5	7,93
35,0	9,61
110,0	19,80

Fonte: Elaborada pelo Autor

A partir disso, conclui-se que a faixa de frequência de operação para maior transferência de potência deve ser entre 95 kHz e 125 kHz. Logo, a faixa de frequências do clock externo deve ser entre 190 kHz e 250 kHz, de modo a operar conforme a Figura 47.

A Tabela 4 apresenta os valores medidos no intervalo de frequência entre 180kHz e 260kHz.

Figura 47: Tensão na saída da ponte retificadora do secundário em relação a frequência do clock externo, em frequência de operação.



Fonte: Elaborada pelo Autor

Tabela 4: Valores medidos da tensão de saída da ponte retificadora do secundário no intervalo de frequência entre 180kHz e 260kHz. Máxima eficiência destacada em negrito.

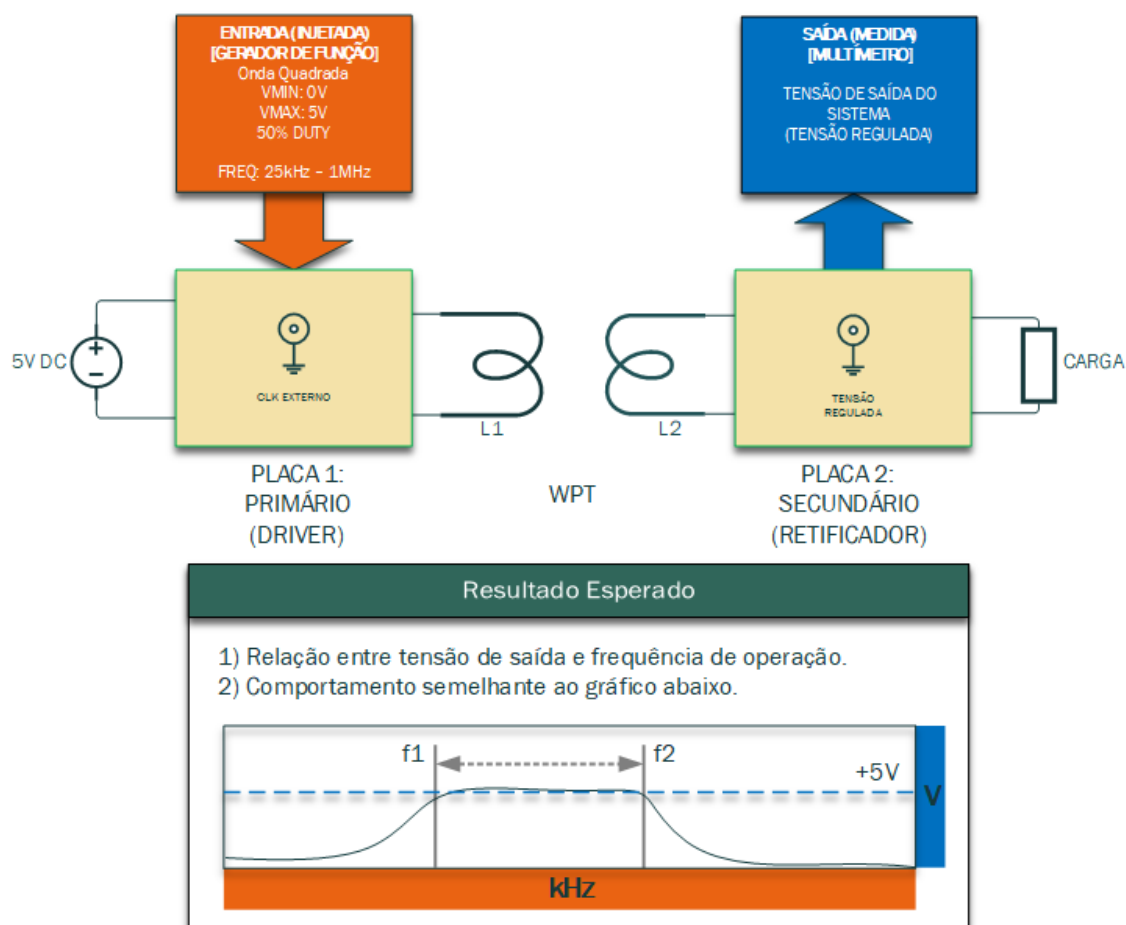
Frequência [kHz]	Tensão [V]
260	6,98
255	8
250	9,25
245	11,25
240	14,46
235	16,81
230	18,64
225	19,79
220	19,8
215	18,3
210	16,22
205	14,54
200	13,05
195	12,04
190	10,92
185	9,92
180	9,06

Fonte: Elaborada pelo Autor

7.2 Avaliação da Regulação de Tensão

O cenário de teste representado na Figura 48 é utilizado a fim de validar a regulação de tensão. Assim, é possível obter faixa de frequências de operação em que a saída do sistema é mantida em 5V para uma carga.

Figura 48: Cenário de teste para validação da capacidade de Regulação de Tensão.

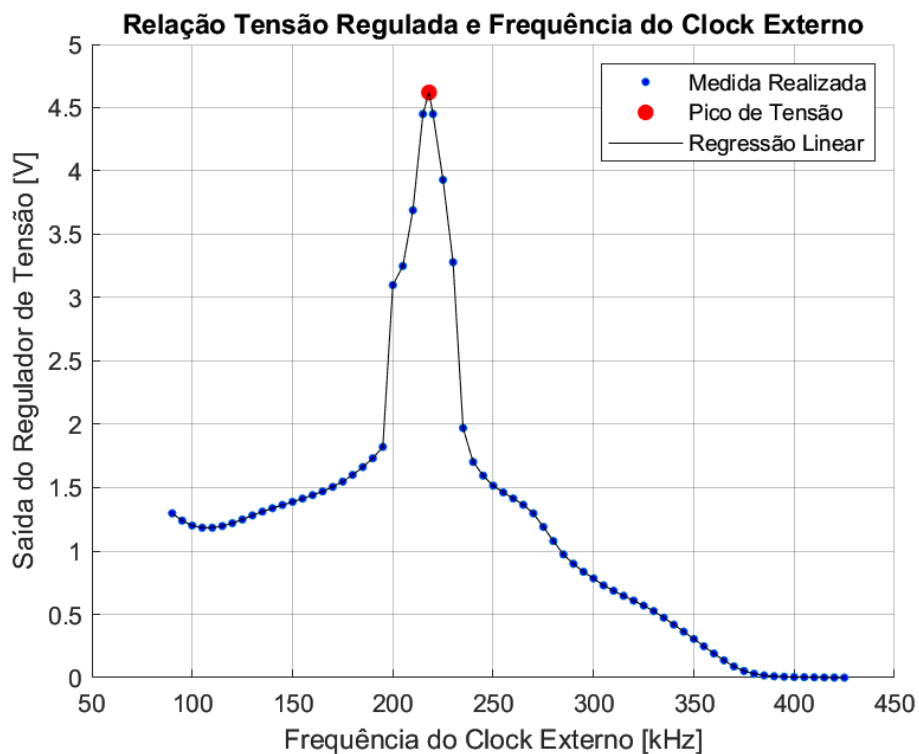


Fonte: Elaborada pelo Autor

A Figura 49 representa graficamente a relação entre a frequência de chaveamento no primário configurada pelo gerador de funções e a tensão na saída no regulador no secundário para uma carga de 0,05W.

É possível observar que a faixa em que a tensão é maior que 3V é de 30kHz, num intervalo de 200kHz a 230kHz, e que o pico máximo não chega ao valor de tensão esperado de 5V para a carga escolhida.

Figura 49: Tensão na saída do regulador do secundário em relação a frequência do clock externo com uma carga de 0,05W.



Fonte: Elaborada pelo Autor

A Tabela 5 apresenta os valores medidos no intervalo de 200 kHz a 230 kHz.

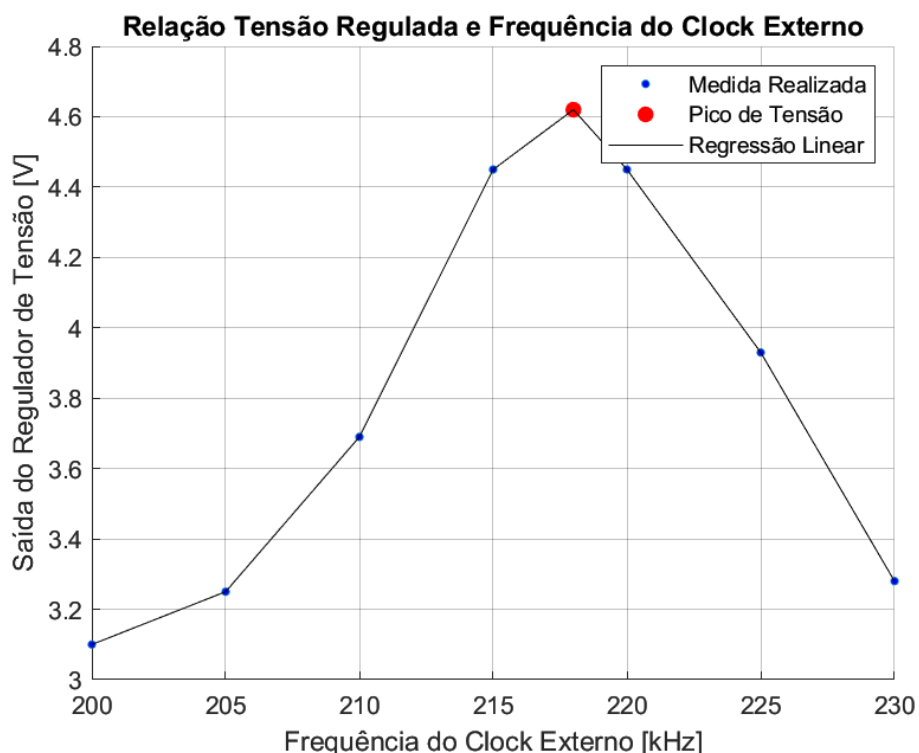
Tabela 5: Valores medidos da tensão de saída do regulador do secundário no intervalo de frequência entre 200kHz e 230kHz para uma carga de 0,05W. Máxima eficiência destacada em negrito.

Frequência [kHz]	Tensão [V]
230	3,28
225	3,93
220	4,45
218	4,62
215	4,45
210	3,69
205	3,25
200	3,1

Fonte: Elaborada pelo Autor

É possível observar que com uma carga de 0,05W, não existe uma faixa de frequência de operação em que a saída é mantida em 5V. A Figura 50 apresenta o gráfico dos valores medidos considerando a faixa de frequência de 200 kHz a 230 kHz.

Figura 50: Tensão na saída da ponte retificadora do secundário em relação a frequência do clock externo entre 200kHz e 230kHz com uma carga de 0,05W.



Fonte: Elaborada pelo Autor

Este comportamento é diferente do esperado, pois segundo o datasheet (LOW-DROPOUT... , 2015) do regulador de tensão TL720M05 utilizado, representado parcialmente na Figura 51, a tensão de *Dropout* deveria ser no máximo 500mV para uma corrente de 300mA na saída.

Figura 51: Características elétricas do regulador de tensão TL720M05.

6.5 Electrical Characteristics

over recommended operating free-air temperature range, $V_I = 13.5\text{ V}$, $T_J = -40^\circ\text{C}$ to 150°C (unless otherwise noted) (see Figure 13)

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
V_O Output voltage	$I_O = 5\text{ mA to }400\text{ mA}$, $V_I = 6\text{ V to }28\text{ V}$	4.9	5	5.1	V
	$I_O = 5\text{ mA to }200\text{ mA}$, $V_I = 6\text{ V to }40\text{ V}$	4.9	5	5.1	
I_O Output current limit		450	700	950	mA
I_Q Current consumption $I_Q = I_I - I_O$	$I_O = 1\text{ mA}$	$T_J = 25^\circ\text{C}$	100	220	μA
		$T_J \leq 85^\circ\text{C}$	100	220	
	$I_O = 250\text{ mA}$	5	10	mA	
	$I_O = 400\text{ mA}$		12	22	
V_{DO} Dropout voltage ⁽¹⁾	$I_O = 300\text{ mA}$, $V_{do} = V_I - V_O$		250	500	mV
Load regulation	$I_O = 5\text{ mA to }400\text{ mA}$		15	30	mV
Line regulation	$\Delta V_I = 8\text{ to }32\text{ V}$, $I_O = 5\text{ mA}$	-15	5	15	mV
PSRR Power-supply ripple rejection	$f_r = 100\text{ Hz}$, $V_r = 0.5\text{ V}_{pp}$		60		dB
$\frac{\Delta V_O}{\Delta T}$ Temperature output-voltage drift			0.5		mV/K

(1) Measured when the output voltage V_O has dropped 100 mV from the nominal value obtained at $V_I = 13.5\text{ V}$

Fonte: (LOW-DROPOUT... , 2015)

Assim, uma tensão de entrada de 5,5V deveria ser o suficiente para manter a tensão na saída do regulador em 5V para uma corrente de 300mA, equivalente a uma carga de 1,5W, que é 30 vezes maior do que a carga utilizada. Isso indica um possível defeito no ci do regulador de tensão.

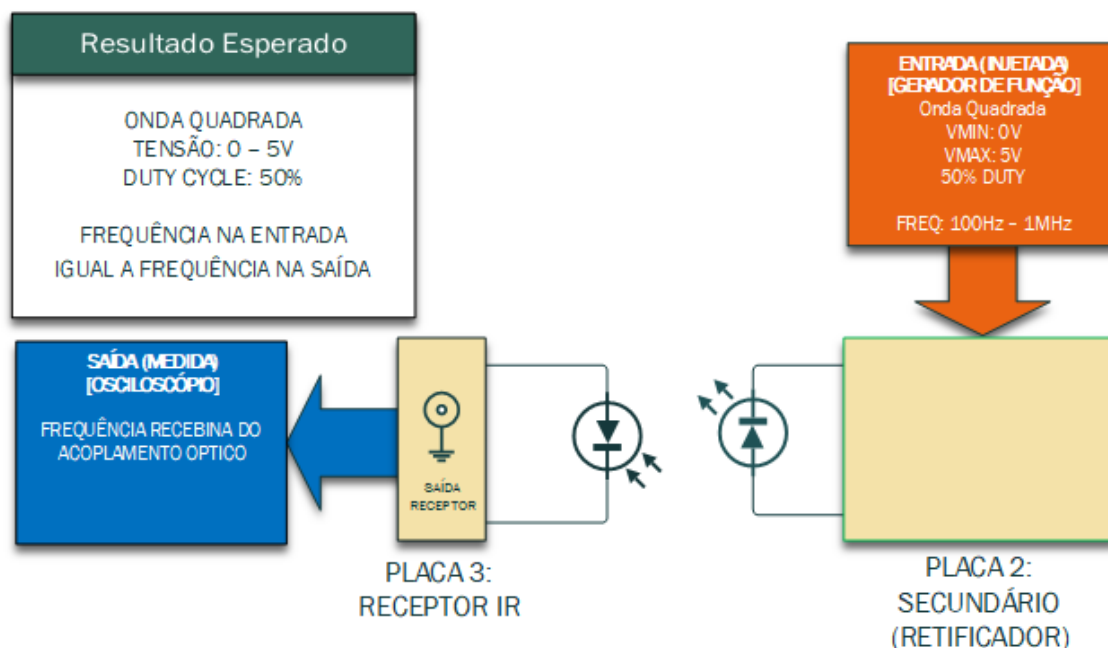
7.3 Avaliação da Transmissão Óptica

Nesta sessão, será abordada a validação da capacidade de transmissão óptica em três cenários de teste.

7.3.1 Transmissão Óptica Teste 1: Diodo Emissor e Receptor

O cenário representado na Figura 52 tem o objetivo de verificar se a frequência transmitida é a mesma que a recebida quando utilizado o acoplamento óptico por um conjunto de diodos emissor e receptor.

Figura 52: Cenário de teste para validação da transmissão óptica com diodo emissor e receptor.

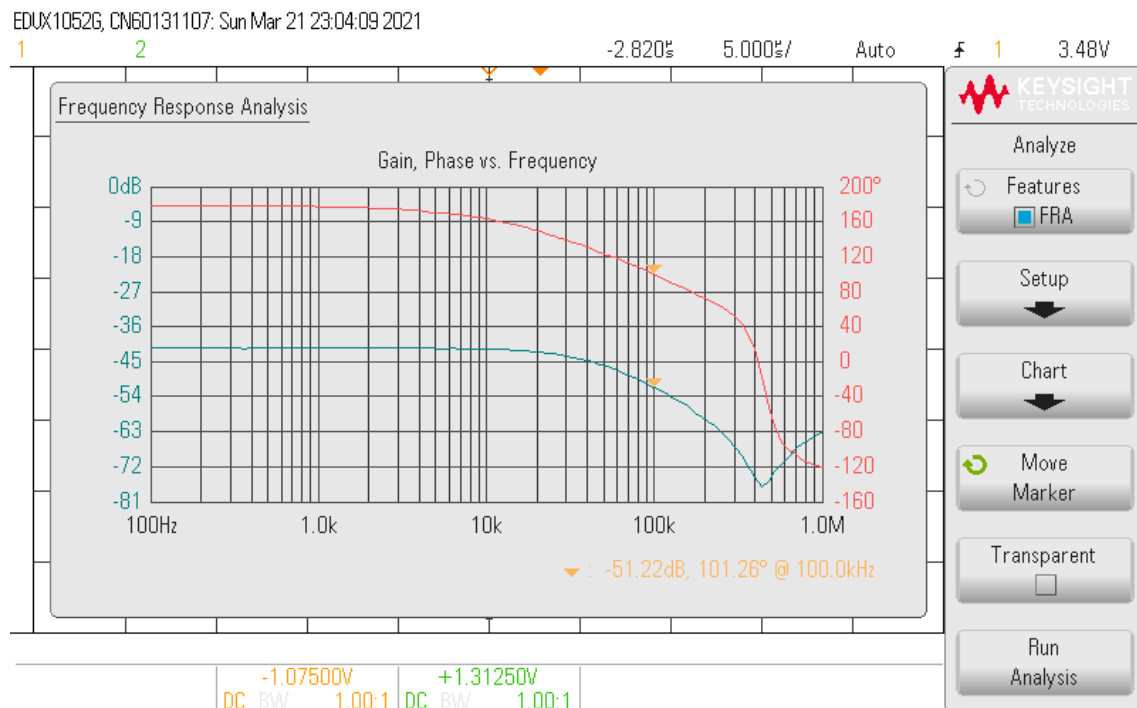


Fonte: Elaborada pelo Autor

Na Figura 53 é apresentada a medida da resposta para uma frequência de entrada variando de 100Hz a 1MHz.

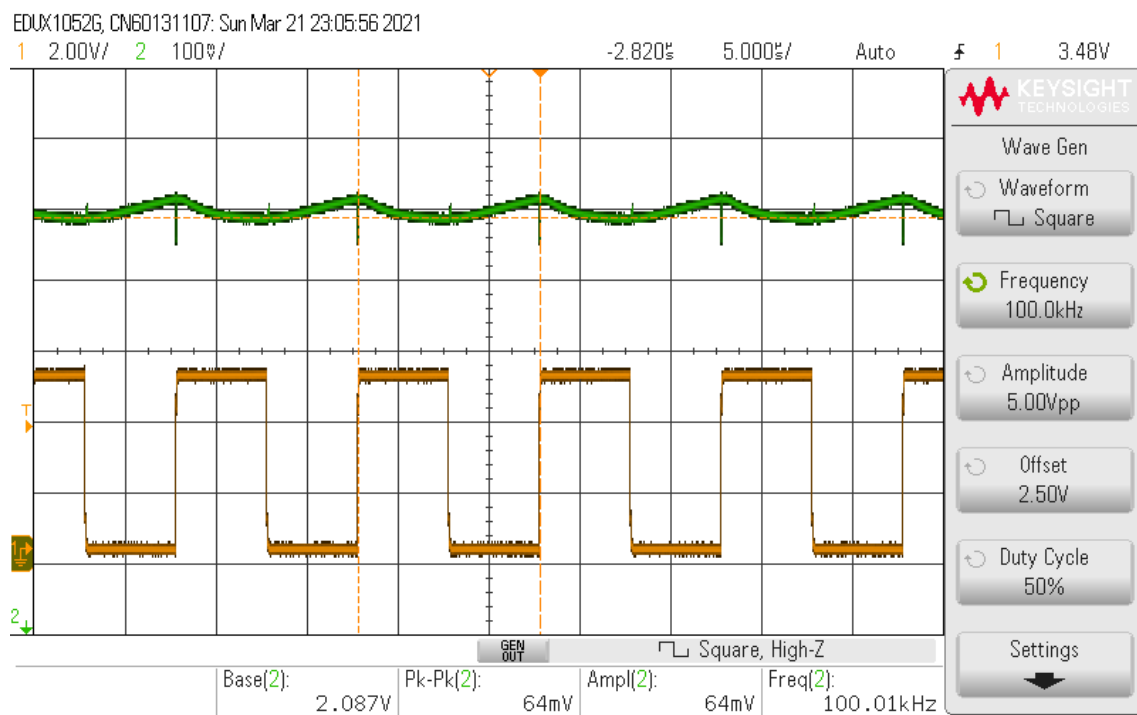
A partir da Figura 53, pode-se observar que para uma frequência de transmissão de 100kHz, existe uma atenuação de aproximadamente 50dB. Assim, analisando a forma de onda para a entrada em 100kHz, pode-se observar que o sinal tem amplitude de 64mV. Devido a isso, pode-se concluir que este está tão atenuado que não é possível utilizá-lo na etapa de comparação de fase do PLL.

Figura 53: Resposta em frequência do bloco de transmissão óptica com diodo emissor e receptor.



Fonte: Elaborada pelo Autor

Figura 54: Representação gráfica da entrada e saída do bloco de transmissão óptica com diodo emissor e receptor para uma frequência de 100kHz.

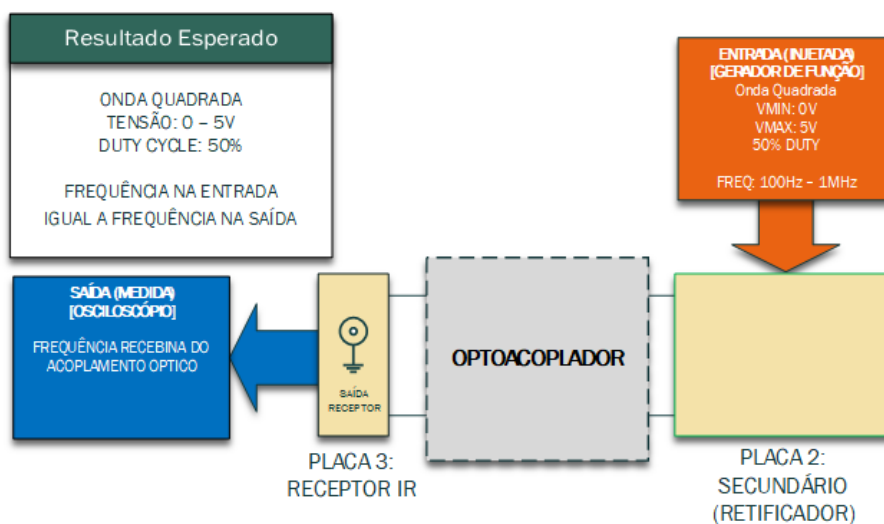


Fonte: Elaborada pelo Autor

7.3.2 Transmissão Óptica Teste 2: opto-acoplador

O cenário representado na Figura 55 foi elaborado para verificar se a frequência transmitida pela Placa 2: Secundário é a mesma recebida pela Placa 3: Receptor IR quando utilizado um opto-acoplador.

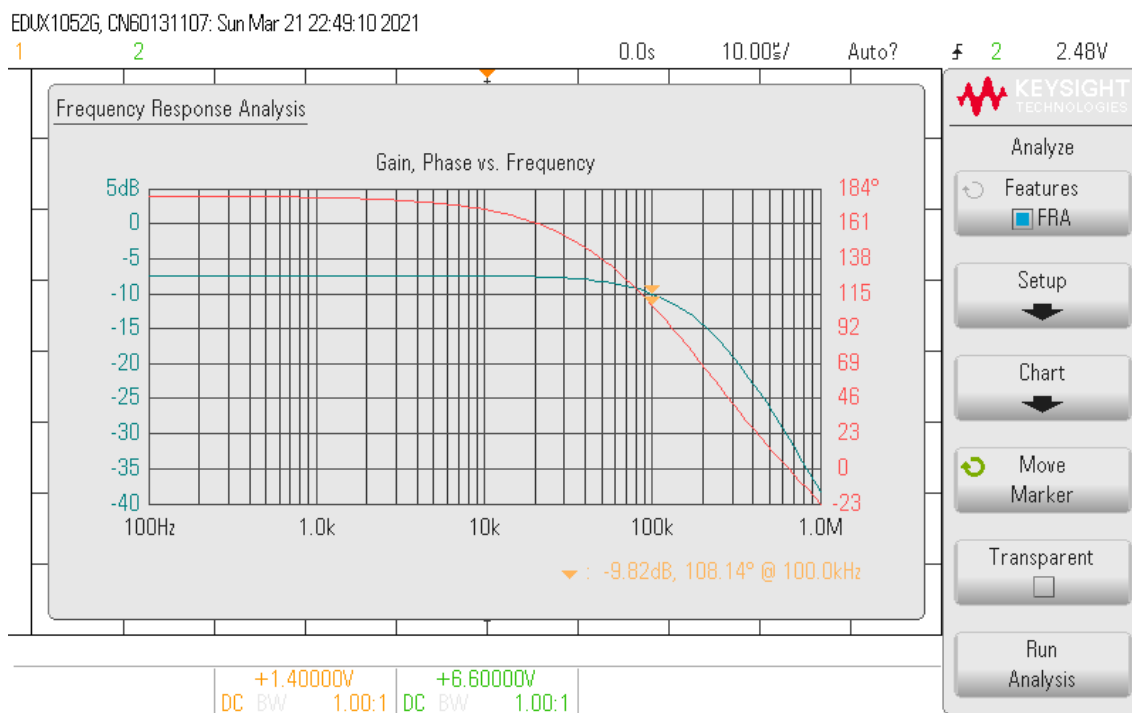
Figura 55: Cenário de teste para validação da transmissão óptica com opto-acoplador.



Fonte: Elaborada pelo Autor

Na Figura 53 é apresentada a medida da resposta para frequências de entrada variando de 100Hz a 1MHz.

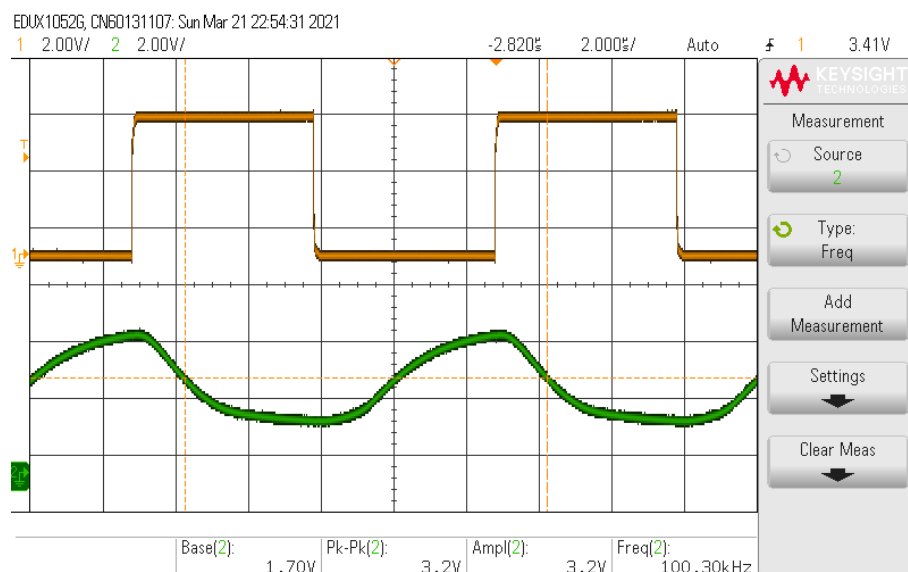
Figura 56: Resposta em frequência do bloco de transmissão óptica com opto-acoplador.



Fonte: Elaborada pelo Autor

A partir da Figura 56, pode-se observar que, para uma frequência de transmissão de 100kHz, existe uma atenuação de cerca de 9.8dB. Assim, analisando a forma de onda para a entrada em 100kHz, pode-se observar que o sinal na saída do receptor tem frequência igual a da injetada na entrada, com amplitude de 3.2V, o que é mais do que o suficiente para ser utilizada no bloco de comparação de fase do PLL.

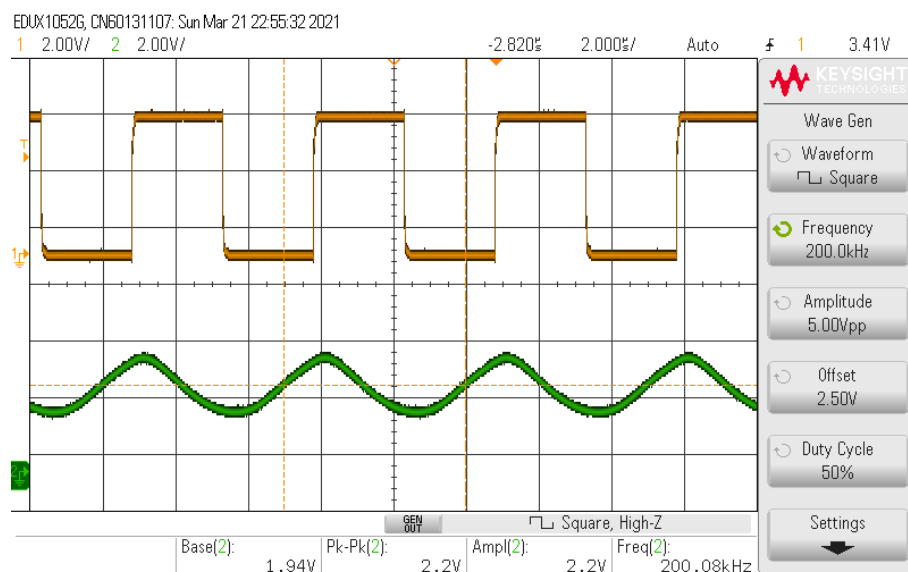
Figura 57: Representação gráfica da entrada e saída do bloco de transmissão óptica com opto-acoplador para uma frequência de 100kHz.



Fonte: Elaborada pelo Autor

A Figura 58 representa o sinal recebido pelo acoplamento óptico quando a frequência é de 200kHz, que é mais perto da faixa de operação esperada, como visto na Tabela 5.

Figura 58: Representação gráfica da entrada e saída do bloco de transmissão óptica com opto-acoplador para uma frequência de 200kHz.



Fonte: Elaborada pelo Autor

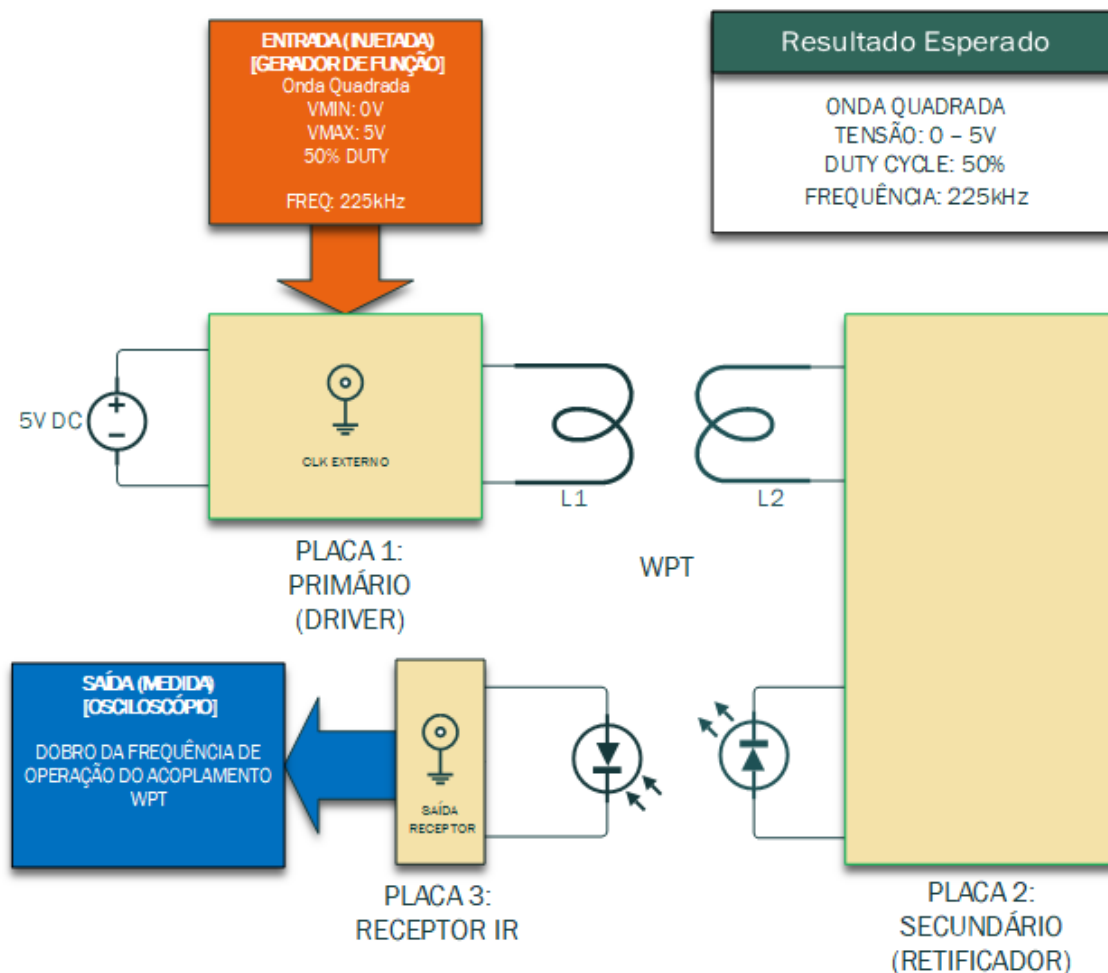
Pode-se observar que nessa frequência, a amplitude do sinal é de 2,2V, excursionando de 1,94V até 4,12V. Nesse nível de tensão, o funcionamento do circuito já é menos estável, devido a diferenciação entre nível lógico alto e baixo ser em 2.5V.

7.3.3 Transmissão Óptica Teste 3: Fase do Sinal Recebido

O cenário de teste representado na Figura 59 é referente a comparação da frequência e fase injetada no clock da placa transmissora, a partir de um gerador de funções, com a frequência e fase do sinal na saída do bloco de recepção óptica.

Assim, é possível validar a que a informação transmitida e recebida pelo bloco de acoplamento óptico é a da frequência de operação do acoplamento WPT.

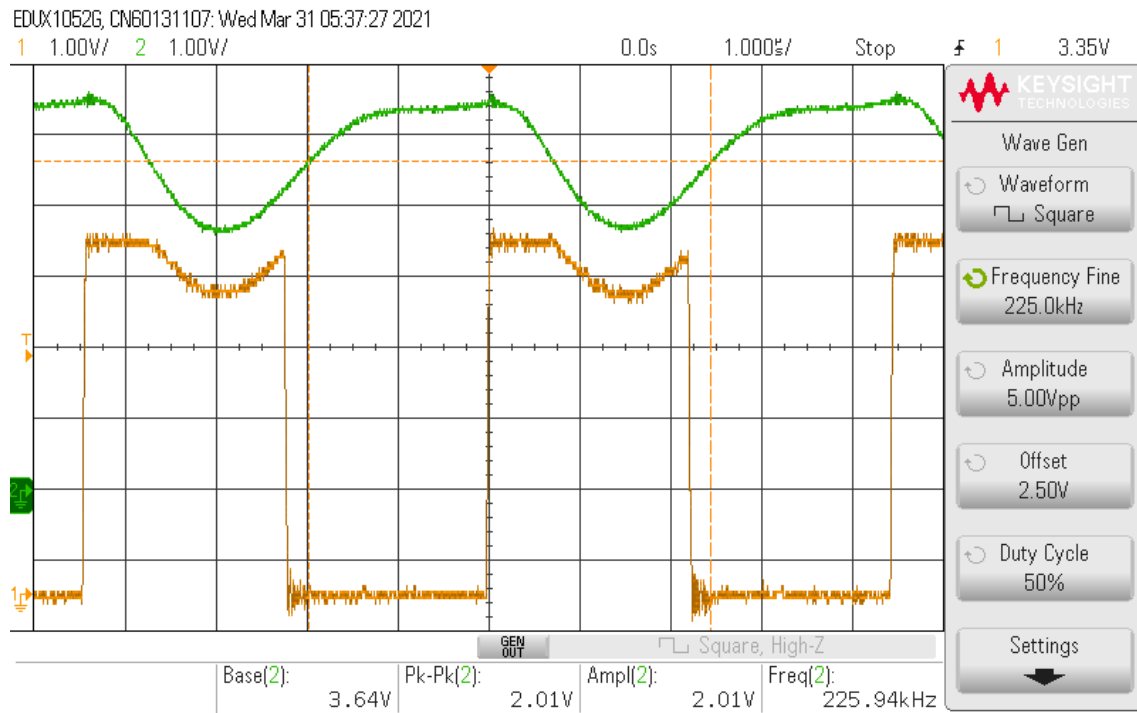
Figura 59: Ambiente de teste para validação da capacidade de Transmissão por Infravermelho.



Fonte: Elaborada pelo Autor

A partir da Figura 60, pode-se observar que o sinal na saída da placa receptora tem aproximadamente $2\mu\text{s}$ de atraso em comparação com o sinal injetado na entrada do sistema. Considerando uma frequência injetada de 225,94kHz, sabe-se que o período da onda é de aproximadamente $4,42\mu\text{s}$. Assim, pode-se observar que a defasagem entre os sinais de entrada (clock externo) na Placa Driver e a saída do bloco de recepção IR é de aproximadamente 180° .

Figura 60: Representação gráfica da diferença de fase entre o sinal gerado para clock externo da Placa Driver (amarelo), e o sinal de saída do bloco de recepção IR (verde).



Fonte: Elaborada pelo Autor

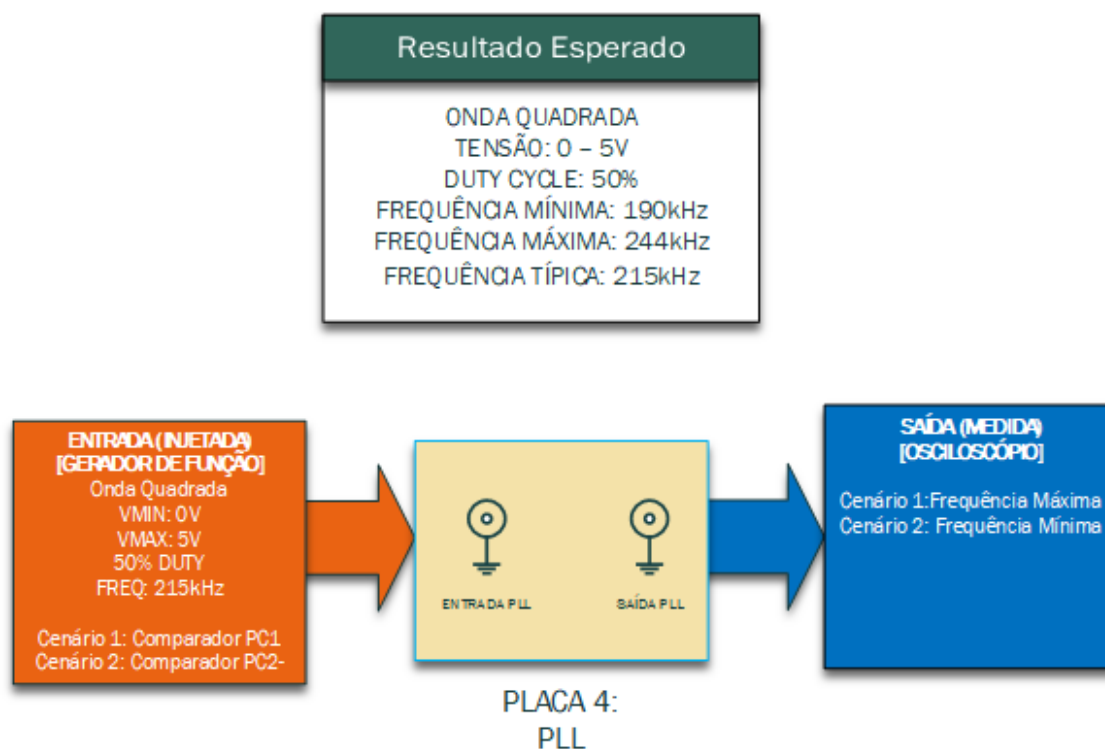
7.4 Avaliação do Laço de Travamento de Fase

A validação do Laço de Travamento de Fase (PLL) pode ser feita em duas partes. Na primeira etapa é verificada a faixa de frequências de operação do PLL. Na segunda, é verificado se o travamento em fase acontece como esperado.

7.4.1 PLL Teste 1: Frequência de Operação

Como primeiro teste, é medida a tensão de saída do VCO a partir de um sinal de frequência aplicado a sua entrada, conforme o cenário de teste representado na Figura 61.

Figura 61: Cenário de teste para validação da capacidade de PLL.

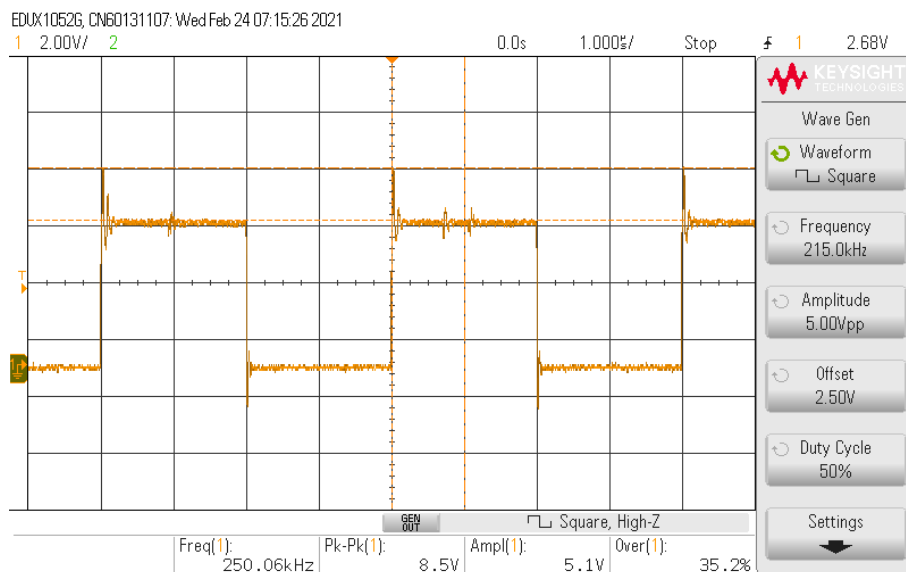


Fonte: Elaborada pelo Autor

A frequência da entrada deve estar entre 190kHz e 244 kHz, tipicamente em 215kHz, como foi projetado para a realização desse teste.

Um gerador de funções foi conectado na entrada do PLL, e foi medida sua saída. Como a saída do gerador de funções não é dependente da entrada, é esperado que a saída do PLL deve ter frequência máxima/mínima, devido a diferença de fase constante. Selecionando o comparador de fase PC1, é possível obser a frequência máxima na saída. Assim, conforme a Figura 62 é possível observar a frequência de oscilação máxima de aproximadamente 250kHz.

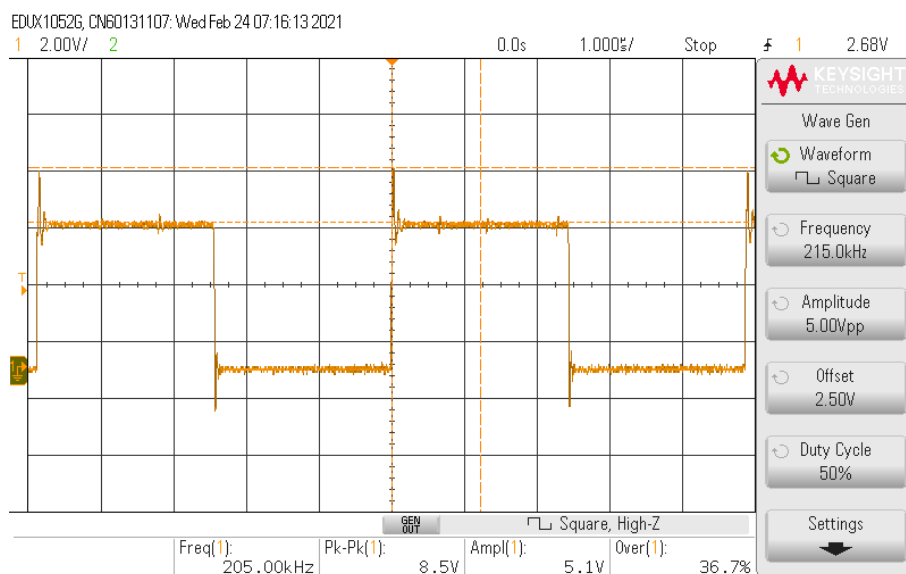
Figura 62: Medida da frequência de operação do limite superior do PLL projetado.



Fonte: Elaborada pelo Autor

Alterando o comparador de fase para o PC2, e mantendo o gerador de funções em 215 kHz constante, é possível observar a frequência mínima na saída do VCO, conforme especificado no datasheet do 74HCT4046 (HIGH-SPEED. . ., 2003). Então é possível observar que a frequência típica de operação do PLL projetado é 215kHz, conforme a Figura 63.

Figura 63: Medida de frequência de operação mínima do PLL projetado.



Fonte: Elaborada pelo Autor

Assim, é possível constatar que a placa projetada tem faixa de frequências conforme o resumo na Tabela 6.

Tabela 6: Resultados dos cenários da primeira etapa de teste da capacidade de PLL.

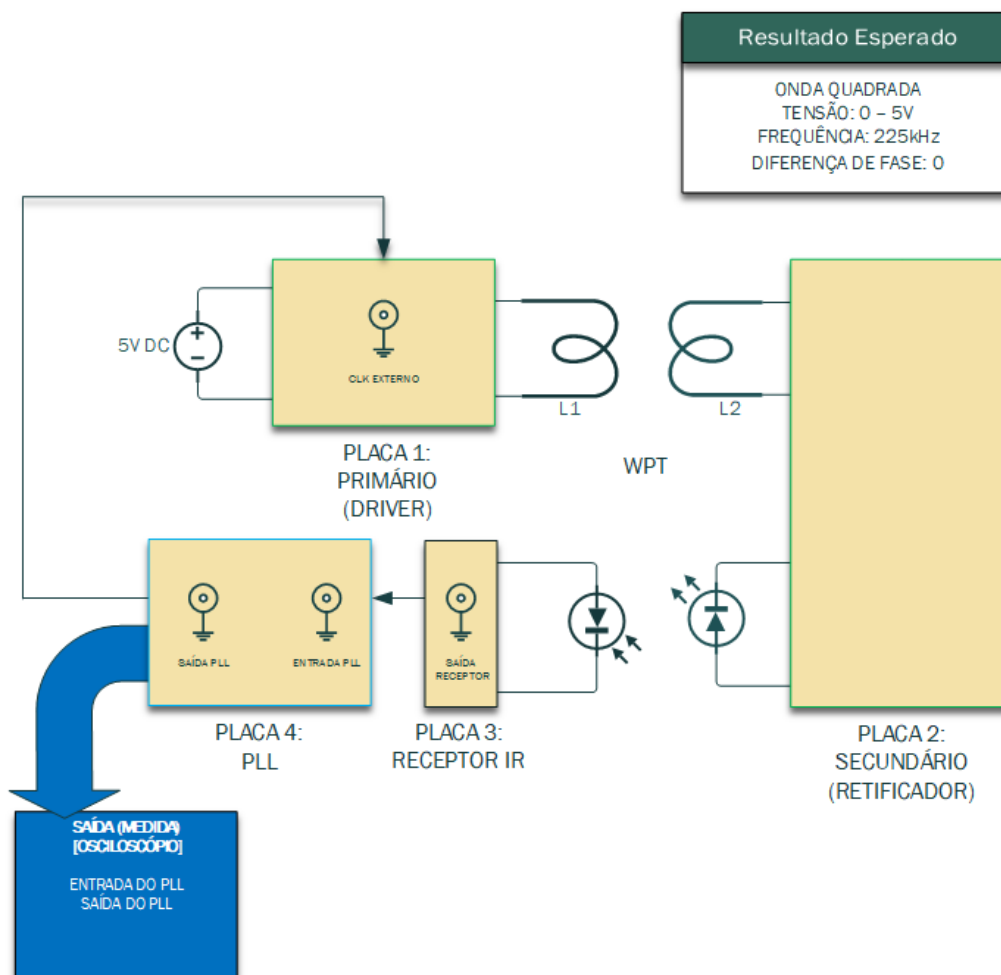
Cenário	Frequência	Tensão (Pico-a-Pico)	Amplitude	Overshoot
1	250,06 kHz	8,5 V	5,1 V	35,2%
2	205,00 kHz	8,5 V	5,1 V	36,7%

Fonte: Elaborada pelo Autor

7.4.2 PLL Teste 2: Travamento de Laço em Fase

A segunda etapa de validação consiste em verificar se o laço de realimentação funciona conforme projetado. Para isso, o ambiente de testes da Figura 64 é utilizado para verificar se quando o PLL é responsável por definir a frequência de operação do sistema, a diferença de fase entre a saída e entrada do PLL é zero.

Figura 64: Cenário de teste para validação da capacidade de PLL (realimentação).



Fonte: Elaborada pelo Autor

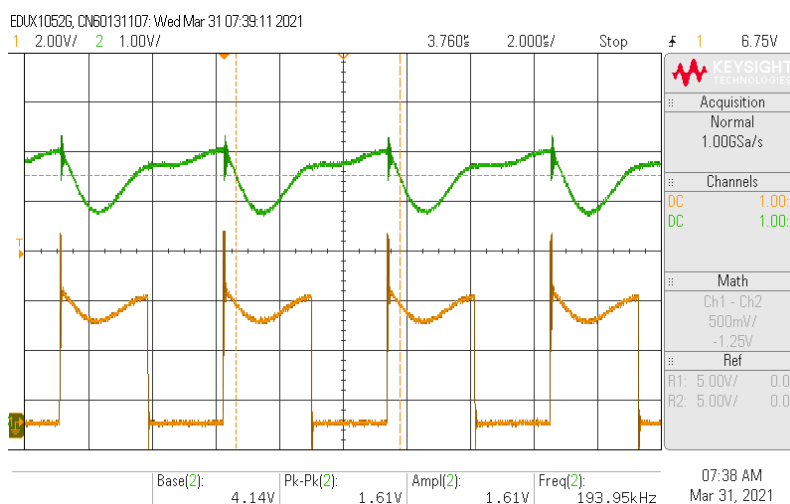
Para esse teste, serão considerado dois sub cenários, sendo um para cada comparador de fase possível de ser selecionado na Placa PLL.

PLL Teste 2.1: Comparador de Fase 1

Esta subseção apresenta o teste de validação de Travamento de Laço em Fase com o comparador 1 sendo utilizado na Placa PLL.

A partir da Figura 65 é possível observar que o pico de ambos os sinais estão em fase. Porém, devido ao pico do sinal de saída estar no início do ciclo positivo e o pico do sinal de entrada estar ao fim do ciclo positivo, existe um defasamento de aproximadamente 90° .

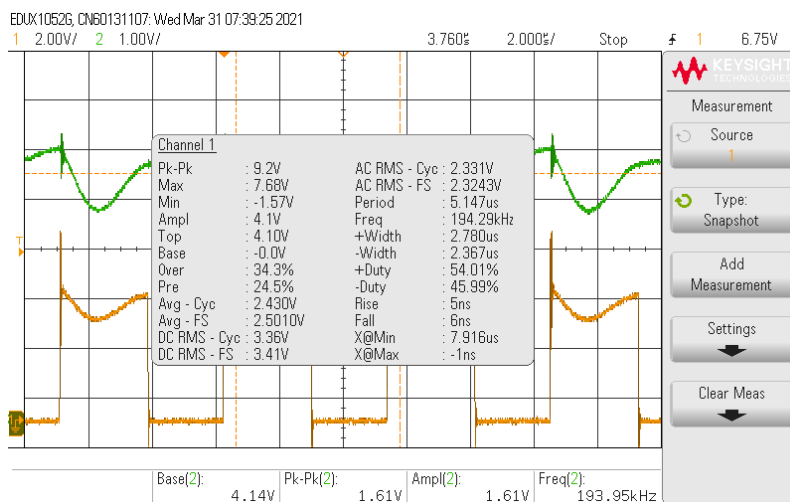
Figura 65: Representação gráfica do sinal de entrada e saída do PLL com comparador de fase 1 selecionado.



Fonte: Elaborada pelo Autor

Como a frequência de operação é de 193,95kHz, o período do sinal é de aproximadamente $5,15\mu\text{s}$. Na Figura 66 é possível observar as medidas destes e outros parâmetros do sinal medido na saída da Placa PLL.

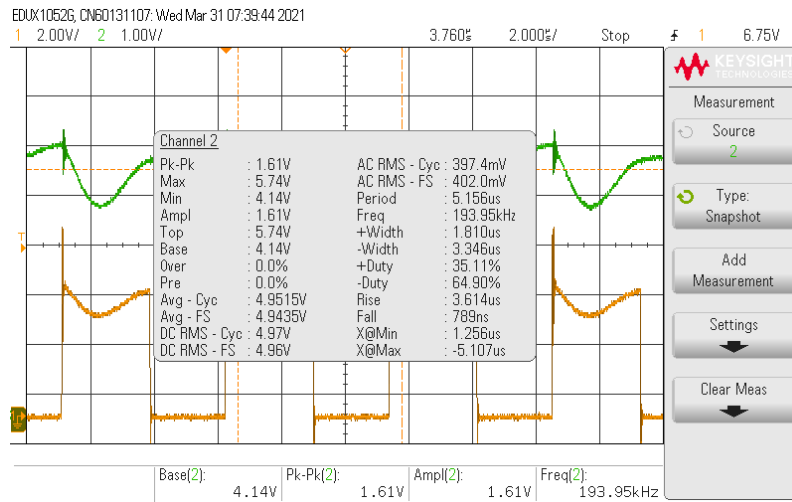
Figura 66: Medidas sinal de saída do PLL com comparador de fase 1 selecionado.



Fonte: Elaborada pelo Autor

As medidas obtidas a partir do sinal de entrada da Placa PLL podem ser observadas na Figura 67.

Figura 67: Medidas sinal de entrada do PLL com comparador de fase 1 selecionado.



Fonte: Elaborada pelo Autor

Pode-se observar que o *duty cycle* do sinal de entrada do PLL não é o mesmo que o sinal de saída, como observado na Tabela 7. Um dos motivos pode ser a amplitude do sinal que chega no PLL quando a frequência de operação é perto de 200kHz, como visto na Figura 58.

Tabela 7: Valores de *duty cycle* do sinal de entrada e saída do pll com o sistema operando com o comparador de fase 1.

Duty Cycle Entrada [%]	Duty Cycle Saída [%]
35,11 (+)	54,01 (+)
64,90 (-)	45,99 (-)

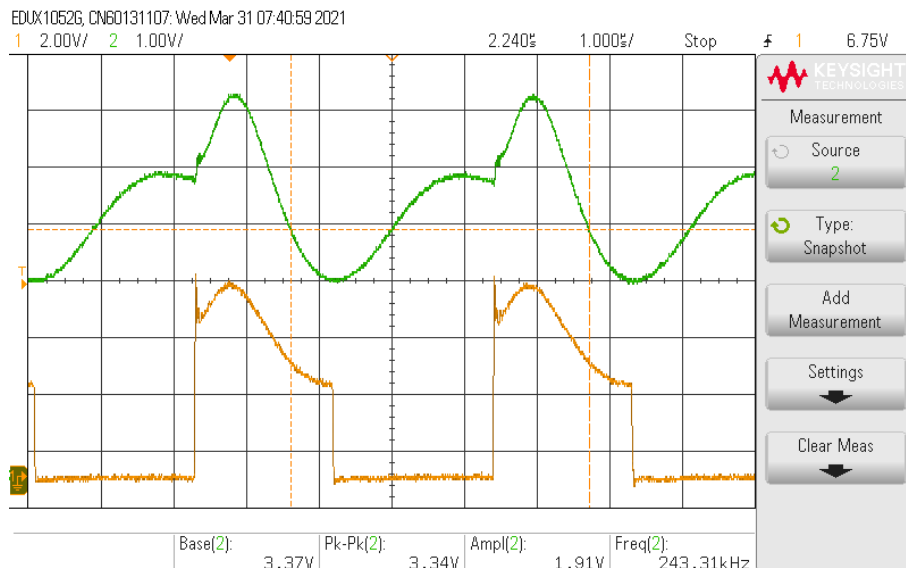
Fonte: Elaborada pelo Autor

PLL Teste 2.1: Comparador de Fase 2

Esta subseção apresenta o teste de validação de Travamento de Laço em Fase com o comparador 2 sendo utilizado na Placa PLL.

Na Figura 68 pode-se observar que ambos os sinais estão em fase.

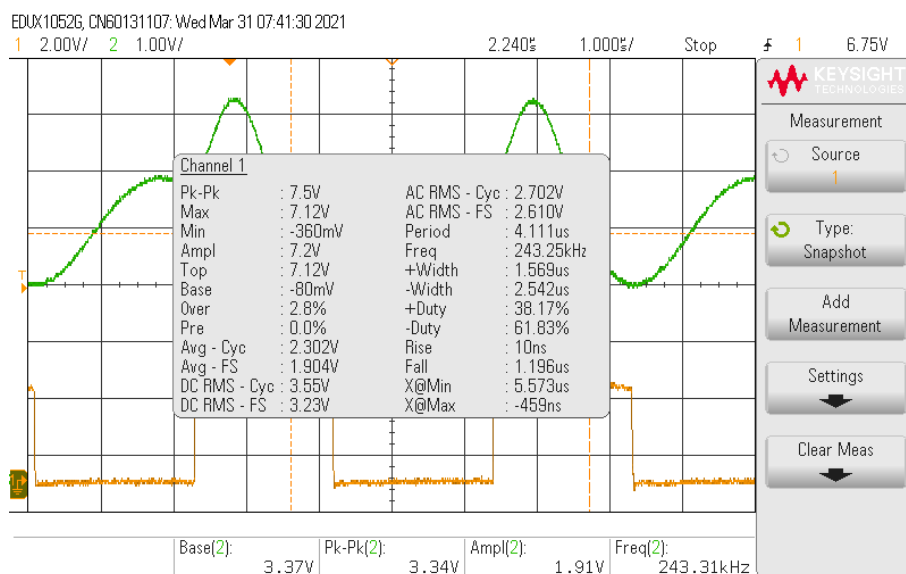
Figura 68: Medidas sinal de saída do PLL com comparador de fase 2 selecionado.



Fonte: Elaborada pelo Autor

A partir das medidas na Figura 69 e 70, pode-se observar também que a frequência em que ocorreu o travamento em fase foi na frequência máxima de operação do PLL projetado.

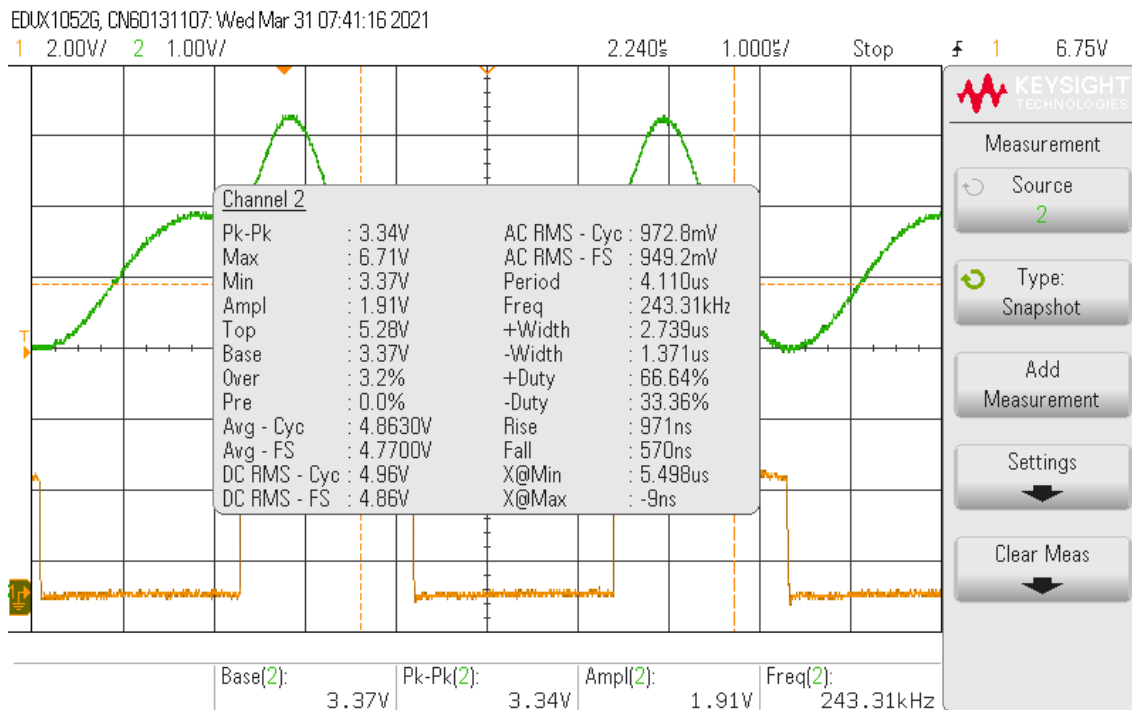
Figura 69: Medidas sinal de saída do PLL com comparador de fase 2 selecionado.



Fonte: Elaborada pelo Autor

A Figura 70 representa as medidas obtidas a partir do sinal de entrada do PLL.

Figura 70: Medidas sinal de entrada do PLL com comparador de fase 2 selecionado.



Fonte: Elaborada pelo Autor

Pode-se observar que o *duty cycle* do sinal de entrada do PLL não é o mesmo que o sinal de saída, como observado na Tabela 8. Neste caso, é possível observar que o tempo em que o sinal de entrada pode ser interpretado como nível lógico alto é maior.

O mesmo motivo citado na subseção passada referente a amplitude do sinal de entrada do PLL pode ser utilizado para justificar parte do fenômeno.

Tabela 8: Valores de *duty cycle* do sinal de entrada e saída do PLL com o sistema operando com o comparador de fase 2.

Duty Cycle Entrada [%]	Duty Cycle Saída [%]
66,64 (+)	38,17 (+)
33,36 (-)	61,83 (-)

Fonte: Elaborada pelo Autor

8 CONCLUSÕES

Neste trabalho foi desenvolvido um protótipo de um sistema de carregamento por WPT com laço de travamento de fase, contemplando as etapas de projeto, simulação, fabricação e validação de resultados. As ferramentas de software utilizadas foram o Microsoft Visio para criação dos diagramas do sistema, Multisim para a simulação do circuito, Altium Designer 19 para projeto das placas de circuito impresso e MATLAB para representação gráfica das medidas realizadas.

Os resultados obtidos da avaliação do WPT mostraram que o comportamento do circuito reflete o que foi estudado na fundamentação teórica. Isso é observado com a medição de três picos de eficiência, em 22,5kHz, 35kHz e 110kHz, Onde a eficiência é máxima quando a frequência de chaveamento do acoplamento WPT é de aproximadamente 110kHz.

Durante a verificação do funcionamento das diversas etapas do circuito, foi observado que quando este opera na frequência de chaveamento ótima de 110kHz com a carga proposta de 0,05W, a tensão de entrada do regulador chega a valores próximos a 19,8V. Apesar disso, a tensão na saída do regulador é mantida no valor esperado de 5V.

Segundo o datasheet (LOW-DROPOUT..., 2015) do regulador de tensão TL720M05 utilizado, a tensão de *Dropout* deveria ser no máximo 500mV para uma corrente de 300mA na saída, ou seja, uma tensão de entrada de 5,5V seria o suficiente para manter a tensão na saída do regulador em 5V para uma corrente de 300mA. Isso indica que o problema relacionado com a tensão de saída ser menor do que 5V pode ser devido a um defeito no ci do regulador de tensão.

Conforme a seção 6.6, foi no datasheet (3W..., 2015) do ci MAX256 observado que o ci tem um divisor de frequência interno. Isso implica na frequência de chaveamento das bobinas ser a metade da frequência do *clockexterno* provido pela fonte do sinal, esta sendo nos testes realizados o gerador de funções quando em malha aberta ou o circuito de PLL quando em malha fechada. Assim, a necessidade de um divisor de frequência antes da etapa de transmissão óptica foi descartada. Devido a isso, a frequência transmitida pelo acoplamento óptico é o dobro da inicialmente projetada, passando de aproximadamente 100kHz para 200kHz

Assim, na avaliação da transmissão óptica, foi possível observar que para a frequência de 200kHz, o sistema se comporta pior do que o esperado, atenuando aproximadamente 60dB na transmissão por fotodiodos emissor e receptor, e 15dB para transmissão por optoacoplador. Devido a isso, sugere-se revisar a topologia do circuito de transmissão óptica utilizada e avaliar uma possível troca de componentes para assegurar melhor integridade do sinal recebido pela placa de PLL.

Na avaliação do laço de travamento de fase, foi verificado primeiro o sistema em malha fechada e observada a frequência de operação do circuito. Assim, constatou-se que

a correção por meio de troca de parâmetros de resistências e capacitâncias da faixa de frequência de operação do circuito de em torno de 100kHz para 200kHz foi feita corretamente.

Posteriormente, foi realizada a avaliação do sistema em malha fechada, e constatado que o circuito de laço de travamento de fase não realizou o travamento na frequência esperada, que seria em torno de 218kHz. Ao invés disso, a frequência na saída da placa de PLL é travada no valor máximo ou mínimo sua faixa de frequências projetada, dependendo de qual comparador de fase é escolhido (193kHz ou 243kHz), fazendo com que a eficiência do sistema não seja máxima com o controle do laço de travamento em fase.

Devido aos resultados obtidos na avaliação da transmissão óptica, estima-se que um dos motivos pelo travamento na frequência errada é pelo fato da defasagem entre o sinal gerado pelo circuito de PLL e o recebido pelo acoplamento óptico ser de em torno de 180° .

Assim, conclui-se que o sistema WPT para recarga de baterias desenvolvido funciona por hora apenas em malha aberta. Portanto, uma melhoria futura seria realizar a correção da fase do sinal recebido pelo acoplamento óptico, afim de garantir a referência do circuito de PLL, necessário para o funcionamento em malha fechada.

REFERÊNCIAS

- BEST, R. E. *Phase-locked loops: design, simulation, and applications*. [S.l.]: McGraw-Hill Education, 2007.
- CHAN, T.-S.; CHEN, C.-L. LLC resonant converter for wireless energy transmission system with PLL control. In: IEEE. 2008 IEEE international conference on sustainable energy technologies. [S.l.: s.n.], 2008. p. 136–139.
- GATI, E. et al. Wireless phase-locked loop control for inductive power transfer systems. In: IEEE. 2015 IEEE Applied Power Electronics Conference and Exposition (APEC). [S.l.: s.n.], 2015. p. 1601–1607.
- GREEN, P. B. Class-E power amplifier design for wireless power transfer. *Infineon, Appl. Note 1803*, p. 1–51, 2018.
- MAXIM INTEGRATED. *3W Primary-Side Transformer H-Bridge Driver for Isolated Supplies*. [S.l.], fev. 2015. Rev. 2.
- MURLIKY, L. Estudo de compensação de desalinhamentos de bobinas em um sistema de transmissão de energia sem fios, 2017.
- SAAD, M. et al. A PLL control for self-tuning of parallel wireless power transfer receivers utilizing switch-mode gyrator emulated inductors. In: IEEE. 2017 19th European Conference on Power Electronics and Applications (EPE'17 ECCE Europe). [S.l.: s.n.], 2017. p–1.
- TDK CORPORATION. *TX 1 COIL 2 LYR 24UH*. [S.l.], dez. 2012.
- TEXAS INSTRUMENTS. *High-Speed CMOS Logic Phase-Locked Loop with VCO*. [S.l.], dez. 2003. SCHS204J.
- TEXAS INSTRUMENTS. *Low-Dropout Voltage Regulator*. [S.l.], jul. 2015. SGLS380H.
- TIAN, J.; HU, A. P. A DC-voltage-controlled variable capacitor for stabilizing the ZVS frequency of a resonant converter for wireless power transfer. *IEEE Transactions on Power Electronics*, IEEE, v. 32, n. 3, p. 2312–2318, 2016.
- VISHAY. *New IWAS-3827EC-50 Wireless Charging Receiving Coil*. [S.l.], jul. 2012.
- WANG, J. et al. PLL-based self-adaptive resonance tuning for a wireless-powered potentiometer. *IEEE Transactions on Circuits and Systems II: Express Briefs*, IEEE, v. 60, n. 7, p. 392–396, 2013.
- ZHAO, R.; GLADWIN, D. T.; STONE, D. A. Phase shift control based Maximum Efficiency Point Tracking in resonant wireless power system and its realization. In: IEEE. IECON 2016-42nd Annual Conference of the IEEE Industrial Electronics Society. [S.l.: s.n.], 2016. p. 4541–4546.