



<b>Evento</b>	Salão UFRGS 2020: SIC - XXXII SALÃO DE INICIAÇÃO CIENTÍFICA DA UFRGS
<b>Ano</b>	2020
<b>Local</b>	Virtual
<b>Título</b>	Control Plane Abstraction for Programmable Virtual Switches
<b>Autor</b>	IVAN PETER LAMB
<b>Orientador</b>	JOSÉ RODRIGO FURLANETTO DE AZAMBUJA

## **Título: Control Plane Abstraction for Programmable Virtual Switches**

**Aluno:** Ivan Peter Lamb

**Orientador:** José Rodrigo Furlanetto de Azambuja

A tecnologia de virtualização se popularizou na ciência de redes de computadores. Apesar de ser uma área de bastante interesse, o segmento de switches programáveis virtuais não está desenvolvido o suficiente para entregar abstrações eficientes. O trabalho visa a implementação de um **Plano de Controle**, que gerencia e configura dispositivos virtuais, para um sistema de virtualização de switches. A implementação requer que os locatários possam operar seus dispositivos de maneira independente e segura através de aplicações conectadas a um servidor, para isso foi utilizado o padrão **P4Runtime** para implementar o canal de comunicação, além de um sistema de segurança no acesso ao banco de dados. A comunicação das aplicações com os switches virtuais é feita através de requisições ao plano de controle e de trocas de pacotes (*packet-in* e *packet-out*), através desses canais é possível, por exemplo, configurar as tabelas de um switch em execução. Avaliamos o plano de controle integrado com o plano de encaminhamento em uma placa *NetFPGA-SUME Virtex 7* com 4 programas de switches: um switch layer2 (l2), um roteador, um *firewall*, e um switch que realiza *in-band telemetry*. Em relação ao plano de controle, avaliamos o tempo de reconfiguração de uma entrada na tabela de um switch durante um fluxo de dados e avaliamos a latência da troca de pacotes através de *packet-in* e *packet-out*. A requisição da reconfiguração da tabela levou cerca de 200ms para ser aplicada, com uma perda de cerca de 909 pacotes durante a mudança da tráfego. A latência da troca de pacotes (ida e volta) foi cerca de 10ms principalmente devido às verificações feitas pelo plano de controle. Para um trabalho futuro, será refinada e avaliada a camada de segurança do plano de controle.