



| | |
|-------------------|----------------------------------------------------------------------------------------|
| Evento | Salão UFRGS 2020: SIC - XXXII SALÃO DE INICIAÇÃO CIENTÍFICA DA UFRGS |
| Ano | 2020 |
| Local | Virtual |
| Título | Mecanismos de Tolerância a Falhas para Dispositivos de Redes e de Comunicação em FPGAs |
| Autor | ALINE HOMMERDING AMORIM |
| Orientador | GABRIEL LUCA NAZAR |

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL

Bolsista: Aline Hommerding Amorim

Orientador: Prof. Dr. Gabriel Luca Nazar

Trabalho: Mecanismos de Tolerância a Falhas para Dispositivos de Redes e de Comunicação em FPGAs

O presente trabalho visa analisar a efetividade de diferentes técnicas de mitigação de falhas contra SEUs (*Single-Event Upsets*), utilizando uma plataforma de injeção de falhas baseada em FPGAs (*Field Programmable Gate Arrays*) desenvolvida em VHDL. Os códigos a serem testados são gerados pela ferramenta de *High-Level Synthesis* LegUp, que converte programas elaborados em C++ para um código equivalente na linguagem de descrição de hardware Verilog. Foi feito um estudo detalhado da bibliografia associada ao projeto original e da documentação das ferramentas utilizadas. O módulo que conecta o *circuit under test* gerado pelo LegUp ao injetor de falhas foi o primeiro a ser alterado. A máquina de estados que realiza a leitura e escrita de variáveis foi modificada, permitindo que as entradas e saídas fossem enviadas e recebidas no ciclo de relógio correto. O foco então voltou-se para a geração automática do arquivo em Verilog. Após uma análise mais detalhada da documentação do software de HLS, foram feitas alterações em seus arquivos de configuração, permitindo que as variáveis de entrada e saída possam ter outros tipos de dado, incluindo vetores, sem requerer muitas alterações no código do injetor. A próxima fase do projeto envolve o estudo das diferentes técnicas de mitigação de falhas, incluindo redundância modular e *scrubbing*.