



Evento	Salão UFRGS 2020: FEIRA DE INOVAÇÃO TECNOLÓGICA DA UFRGS - FINOVA
Ano	2020
Local	Virtual
Título	Síntese Automática de Leiaute de Redes de Transistores
Autores	GERMANO GIRONDI ELIAS DE ALMEIDA RAMOS
Orientador	RICARDO AUGUSTO DA LUZ REIS

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL
INSTITUTO DE INFORMÁTICA

GERMANO GIRONDI

Síntese Automática de Leiaute de Redes de Transistores

Prof. Dr. Ricardo Augusto da Luz Reis
Orientador

Nanocircuitos demandam otimização do número de transistores. A razão principal é a necessidade de redução do consumo de energia. Atualmente, usando bibliotecas de células (rede de transistores correspondente a uma função lógica booleana), diversos ASICs (application-specified integrated circuits) usam um número de transistores maior do que o necessário. O número limitado de funções lógicas disponíveis em uma biblioteca de células acaba limitando as possibilidades de otimização do circuito. O foco do projeto é a geração automática do leiaute de redes de transistores (células lógicas) para nanotecnologias, usando transistores FDSOI e FinFET. Com a geração automática do leiaute de qualquer função lógica podemos obter uma expressiva redução do número de transistores e, conseqüentemente, do consumo de energia, especialmente o consumo estático. A geração automática do leiaute de redes de transistores passa por três etapas distintas: posicionamento dos transistores, roteamento e compactação. O posicionamento é definido como a disposição dos componentes do circuito, o roteamento como a determinação das conexões, e a compactação procura aproximar os elementos do leiaute, respeitando as dimensões e distâncias mínimas definidas pelas regras de projeto, fornecidas pelo fabricante. O desenvolvimento de ferramentas eficientes de automação do leiaute demanda a pesquisa de novos algoritmos, incluindo aprendizagem de máquina e redes neurais. Ferramentas de síntese de leiaute, como o ASTRAN, desenvolvida na UFRGS, que gera automaticamente o leiaute de redes de transistores. A versão atual do ASTRAN suporta tecnologias de 650 a 45 nm. O estado da arte inclui nodos tecnológicos de 5 nm, com produção em larga escala abaixo dos 14 nm. As dificuldades com drástica redução de tamanho dos transistores requerem novos métodos de geração automática do leiaute, usando novos métodos computacionais. Estamos trabalhando na geração automática do leiaute de redes de transistores em FDSOI de 28 nm, e atualmente já possível obter uma pré-visualização do leiaute.