

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL
ESCOLA DE ENGENHARIA
DEPARTAMENTO DE ENGENHARIA ELÉTRICA

RODOLFO GROSBELLI BARBOSA

PROJETO DE DIPLOMAÇÃO

**Estudo Sobre os Efeitos do Random Telegraph Noise em uma
Célula de Memória SRAM 6T**

Porto Alegre
Novembro de 2021

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL
ESCOLA DE ENGENHARIA
DEPARTAMENTO DE ENGENHARIA ELÉTRICA

**Estudo Sobre os Efeitos do Random Telegraph Noise em uma
Célula de Memória SRAM 6T**

Projeto de Diplomação apresentado ao
Departamento de Engenharia Elétrica, da
Universidade Federal do Rio Grande do Sul, como
requisito parcial para a obtenção da Graduação
em Engenharia Elétrica.

Orientador: Prof. Dr. Gilson Inácio Wirth.

Porto Alegre
Novembro de 2021

DEDICATÓRIA

Dedico este trabalho à família e amigos, pelo apoio de diversas formas, paciência e compreensão.

AGRADECIMENTOS

Sou muito grato a todos que compõem e mantêm o funcionamento da Universidade Federal do Rio Grande do Sul. Esta instituição de ensino me proporcionou grandes oportunidades e aprendizados que certamente serão importantes para toda minha vida.

Em especial, gostaria de agradecer a meu orientador, Dr. Gilson Inácio Wirth, pela paciência, dedicação e aptidão que apresentou ao estimular meu desempenho neste trabalho, e a meus pais e irmão, pelo grande incentivo e apoio diários durante todos os meus anos de estudo.

RESUMO

O *Random Telegraph Noise* (RTN) causa variações no funcionamento de circuitos eletrônicos e tem sido cada vez mais expressivo em novas tecnologias. Assim, circuitos que visam um grande desempenho, uma menor área e um menor consumo de energia são os mais afetados. Um dos mais relevantes é a célula de memória SRAM. Por esse motivo, este trabalho visa desenvolver um estudo sobre os efeitos do RTN nesse importante circuito. Para isso, primeiramente foram computadas simulações mais simples, simulando os efeitos do ruído causando uma variação de tensão de limiar constante em grupos de transistores, com objetivo de demonstrar como o impacto do RTN nas tensões de *threshold* age para causar erros nas operações de uma célula de memória SRAM 6T. Depois, foram computadas análises de Monte Carlo. A primeira visa o estudo sobre as constantes de tempo do RTN. A segunda, uma análise sobre a dependência do número de erros causados na célula de memória em função de alguns dos principais parâmetros do *Random Telegraph Noise*: o impacto na tensão de limiar dos transistores e suas constantes de tempo. As simulações foram realizadas por meio do software NGSpice 2.4 e uma extensão a ele, desenvolvida no Laboratório de Prototipação e Testes (Laprot) da Universidade Federal do Rio Grande do Sul. Com os dados coletados foi possível a compreensão sobre as falhas causadas pelo RTN, a origem e a relevância.

Palavras Chave: Engenharia Elétrica. Random Telegraph Noise. Célula de Memória SRAM 6T. Microeletrônica.

ABSTRACT

Random Telegraph Noise (RTN) causes variations in the functioning of integrated circuits and has been increasingly important in new technologies. Thus, circuits that aim at high performance, small area and lower power consumption are the most affected. One of the most relevant circuits is the SRAM memory cell. For this reason, this work aims to develop a study of the effects of RTN in this important circuit. For this, first, basic simulations were realized simulating the effects of the noise causing a constant threshold voltage variation in transistor groups in order to demonstrate how the impact of RTN on the threshold voltage acts to cause errors in the operations of a 6T SRAM memory cell. Then, Monte Carlo runs were performed. The first aims to study the RTN time constants. The second aims to analyze the dependence between the number of errors caused in the memory cell as a function of some of the main Random Telegraph Noise parameters: the impact on the threshold voltage on a single trap and their time constants. The simulations were performed using the NGSpice 2.4 software and an extension to it, developed at Laboratório de Prototipação e Testes (Laprot) of the Federal University of Rio Grande do Sul. With the collected data it was possible to understand the errors caused by the RTN, their causes and their relevance.

Keywords: Electrical Engineering. Random Telegraph Noise. 6T SRAM Memory Cell. Microeletronics.

SUMÁRIO

1. INTRODUÇÃO	12
2. FUNDAMENTAÇÃO TEÓRICA.....	14
2.1. Random Telegraph Noise	14
2.2. A Densidade Espectral de Potência (PSD) de uma Armadilha.....	16
2.3. Análise da Tensão de Limiar	18
2.4. Célula de memória SRAM 6T	19
2.5. O Inversor CMOS	21
3. SIMULAÇÕES.....	28
3.1. Considerações Iniciais.....	28
3.2. Simulação dos Efeitos do Ruído: Estudo dos Erros de Operação.....	30
3.3. Análise de Monte Carlo do RTN em um Inversor CMOS: Estudo das Constantes de Tempo.....	44
3.4. Análise de Monte Carlo do RTN na Célula de Memória SRAM 6T.....	49
4. CONCLUSÃO	54
REFERÊNCIAS	55

LISTA DE FIGURAS

Figura 1 – RTN observado pelas flutuações de corrente de dreno de um transistor MOS.	14
Figura 2 – Comportamento de armadilhas de acordo com a Energia de Fermi.	15
Figura 3 – Espectro do RTN em domínio e imagem logarítmicos.	17
Figura 4 – Circuito da célula de memória SRAM 6T.....	20
Figura 5 – Inversor CMOS.....	22
Figura 6 – Circuitos equivalentes do inversor com V_{in} igual a V_{dd}	23
Figura 7 – Circuitos equivalentes do inversor com V_{in} igual a zero.	23
Figura 8 – Simulação das tensões V_{in} e V_{out} do inversor.....	24
Figura 9 – Simulação das tensões V_{in} e V_{out} do inversor com variação de tensão de limiar constante.	25
Figura 10 - <i>Delay</i> de propagação do sinal do inversor CMOS.....	26
Figura 11 – Circuito simulado da célula de memória SRAM 6T.	29
Figura 12 – Simulação célula SRAM sem ruído: Tensões dos nós Q e BL e sinal de controle WL.	31
Figura 13 – Simulação célula SRAM sem ruído: Tensões dos nós QB e BLB e sinal de controle WL.	31
Figura 14 – Simulação célula SRAM com ΔV_{th} em M1. Tensões dos nós Q e BL e sinal de controle WL.....	33
Figura 15 – Simulação célula SRAM com ΔV_{th} em M1. Tensões dos nós QB e BLB e sinal de controle WL.....	33
Figura 16 – Simulação célula SRAM com ΔV_{th} em M4. Tensões dos nós Q e BL e sinal de controle WL.....	33
Figura 17 – Simulação célula SRAM com ΔV_{th} em M4. Tensões dos nós QB e BLB e sinal de controle WL.....	34
Figura 18 – Simulação célula SRAM com ΔV_{th} em M1 e M2. Tensões dos nós Q e BL e sinal de controle WL.	34
Figura 19 – Simulação célula SRAM com ΔV_{th} em M1 e M2. Tensões dos nós QB e BLB e sinal de controle WL.	35

Figura 20 – Simulação célula SRAM com ΔV_{th} em M5. Tensões dos nós Q e BL e sinal de controle WL.....	36
Figura 21 – Simulação célula SRAM com ΔV_{th} em M5. Tensões dos nós QB e BLB e sinal de controle WL.....	36
Figura 22 – Simulação célula SRAM com ΔV_{th} em M5 e M6. Tensões dos nós Q e BL e sinal de controle WL.	37
Figura 23 – Simulação célula SRAM com ΔV_{th} em M5 e M6. Tensões dos nós QB e BLB e sinal de controle WL.	37
Figura 24 – Simulação célula SRAM com ΔV_{th} em M1 e M5. Tensões dos nós Q e BL e sinal de controle WL.	38
Figura 25 – Simulação célula SRAM com ΔV_{th} em M1 e M5. Tensões dos nós QB e BLB e sinal de controle WL.	39
Figura 26 – Simulação célula SRAM com ΔV_{th} em M3 e M5. Tensões dos nós Q e BL e sinal de controle WL.	39
Figura 27 – Simulação célula SRAM com ΔV_{th} em M3 e M5. Tensões dos nós QB e BLB e sinal de controle WL.	39
Figura 28 – Simulação célula SRAM com ΔV_{th} em M2 e M4 com período limitado para as operações. Tensões dos nós Q e BL e sinal de controle WL.	40
Figura 29 – Simulação célula SRAM com ΔV_{th} em M2 e M4 com tempo limitado para as operações. Tensões dos nós QB e BLB e sinal de controle WL.	41
Figura 30 – Simulação célula SRAM sem ruído. Tensões dos nós Q e QB e tensão de alimentação V_{dd}	42
Figura 31 – Simulação célula SRAM com ΔV_{th} em M1. Tensões dos nós Q e QB e tensão de alimentação V_{dd}	42
Figura 32 – Simulação célula SRAM com ΔV_{th} em M2 e M4. Tensões dos nós Q e QB e tensão de alimentação V_{dd}	42
Figura 33 – Circuito simulado de inversores CMOS com uma carga capacitiva e uma fonte de tensão de onda quadrada.....	44
Figura 34 – Exemplificação do comportamento de diferentes armadilhas durante a medida de t_p	47
Figura 35 – Desvio padrão normalizado do <i>delay</i> de propagação do sinal do inversor em função do valor da constante de tempo.....	48
Figura 36 – Desvio padrão normalizado do <i>delay</i> de propagação do sinal do inversor em função do valor normalizado da constante de tempo.	48

Figura 37 – Gráfico com o número de erros totais das operações da célula de memória SRAM 6T simulada.....	51
Figura 38 – Gráfico com o número de erros de escrita das operações da célula de memória SRAM 6T simulada.....	52
Figura 39 – Gráfico com o número de erros de leitura das operações da célula de memória SRAM 6T simulada.....	52

LISTA DE TABELAS

Tabela 1 – Relação entre o nó tecnológico e a contribuição para a variação da tensão de limiar de cada armadilha.....	19
Tabela 2 - Resultados das simulações para segundo modelo do estudo dos efeitos do ruído.	43
Tabela 3 - Resultados das simulações de Monte Carlo para o estudo sobre as constantes de tempo do ruído.	45
Tabela 4 - Resultados das simulações de Monte Carlo para o estudo sobre os erros de memória causados pelo RTN.....	50

LISTA DE ABREVIATURAS

RTN	<i>Random Telegraph Noise.</i>
RTS	<i>Random Telegraph Signal.</i>
SRAM	Memória Estática de Acesso Randômico (<i>Static Random-Access Memory</i>).
6T	Topologia com 6 Transistores.
MOS	Metal-Óxido-Semicondutor (<i>Metal-Oxide-Semiconductor</i>).
MOSFET	Transistor de Efeito de Campo (<i>Field Effect Transistor</i>).
RDF	Flutuações da Dopagem Aleatória (<i>Random Dopant Fluctuations</i>).
LER	Rugosidade no Comprimento do Canal do Condutor (<i>Line-Edge Roughness</i>).
LWR	Rugosidade na Largura do Canal do Condutor (<i>Line-Width Roughness</i>).
OTV	Varição da Espessura do Óxido (<i>Oxide Thickness Variation</i>).
PSD	Densidade Espectral de Potência (<i>Power Spectral Density</i>).
CMOS	Complementar Metal Oxide Silicon
WL	<i>Wordline</i>
BL	<i>Bitline</i>
BLB	<i>Bitline Bar</i>

1. INTRODUÇÃO

O *Random Telegraph Noise* (RTN) é uma fonte de variabilidade do comportamento de transistores dependente do tempo. Esse ruído tem características muito relevantes para atuais e futuras tecnologias devido a tendência minimalista e energeticamente sustentável do mercado. Isso porque seu efeito é amplificado junto da redução do tamanho dos transistores e do aumento do número desses componentes em um mesmo circuito. Essas transformações em circuitos eletrônicos transistorizados têm sido muito expressivas desde a descoberta deste componente. (Furtado, 2015, Banaszkeski, 2016, e Both, 2017).

Esse ruído resulta em flutuações da corrente de dreno dos transistores e, conseqüentemente, em um mau funcionamento de circuitos integrados. Em diversas pesquisas, essas flutuações e seus efeitos têm sido estudados, se mostrando cada vez mais relevantes, e, em alguns casos, apresentando variações da tensão de limiar que possuem amplitudes maiores que 100mV, como mostram os trabalhos de Tega *et al* (2009a), Takeuchi (2012), Miki *et al* (2012), Zhang *et al* (2016) e Wirth (2021). Além disso, de acordo com Kaczer *et al* (2010), outra consequência foi a dificuldade de desenvolver novas estimativas sobre a vida útil dos dispositivos de escalas nanométricas, já que a origem desse ruído, similarmente ao BTI (bias temperature instability), tem características randômicas que impactam sobre a deterioração dos transistores.

Um dos principais e mais importantes circuitos afetados por esses efeitos do RTN é o de memórias SRAM. Isso porque é comum em seus projetos o uso de transistores do tamanho mínimo permitido pela tecnologia, visando uma alta densidade de integração, um maior desempenho e uma melhor eficiência energética.

Por esse motivo, o objetivo deste trabalho é construir um estudo sobre os efeitos do RTN, entendendo como o mesmo se comporta ao causar erros nas operações de uma célula de memória SRAM 6T. Além disso, obter por meio de simulações de Monte Carlo dados estatísticos sobre o número de falhas do circuito submetido ao ruído, possibilitando uma análise sobre o impacto do RTN na memória SRAM e uma maior compreensão sobre seus principais parâmetros.

As primeiras seções deste trabalho serão destinadas a uma fundamentação teórica, explicando o *Random Telegraph Noise* e suas principais características, além

do funcionamento da célula de memória SRAM 6T. Nas últimas seções serão apresentados diferentes modelos de simulações juntamente com seus resultados.

Os primeiros desses modelos têm como objetivo o estudo sobre os possíveis erros que o ruído pode causar nas operações da memória SRAM 6T aplicando um dos principais parâmetros do RTN: o impacto na tensão de limiar dos transistores. Depois, foram apresentados e avaliados os resultados de um modelo de simulação que aborda sobre as constantes de tempo do RTN. Por fim, o ruído foi aplicado na memória SRAM 6T e seus parâmetros anteriormente estudados (as constantes de tempo e o impacto na tensão de limiar) tiveram seus valores variados gerando 32 simulações diferentes e milhares de dados sobre o funcionamento da memória. Com isso, foi possível concluir sobre a importância das consequências que a variabilidade do *Random Telegraph Noise* pode apresentar.

2. FUNDAMENTAÇÃO TEÓRICA

2.1. Random Telegraph Noise

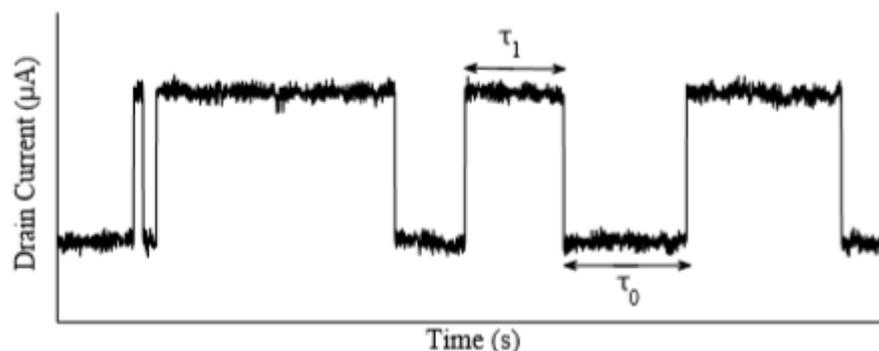
Também chamado de *Random Telegraph Signal* (RTS), este ruído aparece em transistores MOS como flutuações na corrente de dreno, que tem como origem capturas e emissões de elétrons por armadilhas localizadas no óxido e na interface entre óxido e semiconductor desses dispositivos (Wirth *et al*, 2014).

As armadilhas são definidas como possíveis estados de energia localizados na banda proibida do silício ou do óxido de silício. Elas estão presentes nos transistores MOS mesmo logo após sua fabricação. Dessa forma, mesmo quando esses dispositivos não estão alimentados, as armadilhas estão presentes (Frank & Miki, 2014).

A Figura 1 mostra as flutuações de corrente de dreno causadas por uma única armadilha. É possível então, perceber dois estados, níveis alto e baixo, e seus respectivos tempos, τ_1 e τ_0 . O primeiro é o tempo necessário para que a armadilha capture um elétron, o segundo é o tempo necessário para que a armadilha emita um elétron. Por conta disso, são chamados, respectivamente, de tempo de captura e tempo de emissão. A diferença entre os estados da corrente é representada por ΔI_D .

Essas flutuações de corrente podem ser vistas como flutuações equivalentes da tensão de limiar, o que será explicado na Seção 2.3. Elas acontecem porque, quando um elétron é capturado por uma armadilha, a condutância interna diminui e, como consequência, a corrente também é atenuada (Ralls *et al*, 1984). Isso é devido à diminuição de cargas livres no condutor e ao espalhamento de Coulomb que ocorre próximo à armadilha (Wirth *et al*, 2013).

Figura 1 – RTN observado pelas flutuações de corrente de dreno de um transistor MOS.



Fonte – Adaptado de Wirth *et al*, 2014.

Porém, nem todas as armadilhas contribuem para o RTN. Cada uma delas possui suas próprias características e os tempos de emissão e de captura podem variar entre dez ou mais escalas de magnitude (Tega *et al*, 2009b). As armadilhas que contribuem para o RTN são as que frequentemente mudam seu estado, com tempos de captura e de emissão de valores semelhantes. O que define essa característica das armadilhas é a similaridade de sua energia com a Energia de Fermi (E_F). A Figura 2 ilustra o processo de emissão e captura de um elétron por uma armadilha. Os círculos preenchidos em vermelho representam armadilhas ocupadas e os em círculos branco armadilhas desocupadas. Percebe-se então que armadilhas com energia abaixo de E_F tendem a permanecer ocupadas e as acima de E_F permanecem desocupadas. Apenas a armadilha que está próxima o suficiente de E_F altera seu estado constantemente, com τ_1 e τ_0 similares, e é esta que contribui para o RTN. Além disso, segundo Frank & Miki (2014) as probabilidades de troca de estado das armadilhas dependem exclusivamente de seus estados atuais, o que descreve o RTN como um processo de Markov.

Figura 2 – Comportamento de armadilhas de acordo com a Energia de Fermi.



Fonte – Wirth *et al*, 2014.

Os tempos de captura e emissão estão, portanto, entre os mais importantes parâmetros relacionados às armadilhas. Eles possuem valores randômicos exponencialmente distribuídos (Kirton & Uren, 1989), resultando em um Processo de Poisson (Yamamoto, 2004).

Porém, como a Energia de Fermi é dependente da tensão de polarização do transistor, um sinal aplicado ao dispositivo pode tornar os tempos de captura e de emissão dependentes do tempo, o que está presente em diversas aplicações.

2.2. A Densidade Espectral de Potência (PSD) de uma Armadilha

Com os tempos de captura e emissão, são possíveis estimações sobre a densidade espectral de potência do ruído.

Considerando um processo ergódico – processo aleatório onde o valor esperado em um instante fixo é igual à média do conjunto amostral – é possível definir a Equação (1) (Yamamoto, 2004), onde $\bar{\tau}_1$ é a média amostral do tempo de captura, $\langle \tau_1 \rangle$ é a média do tempo τ_1 e p_1 é a probabilidade de que o ruído permanecerá em nível alto durante o período t . Para a média do tempo de emissão o processo é equivalente.

$$\int_0^{\infty} t \cdot p_1(t) dt = \langle \tau_1 \rangle = \bar{\tau}_1 \quad (1)$$

A média harmônica entre τ_1 e τ_0 resulta em τ que está relacionado à frequência de corte (f_c) da densidade de potência espectral do ruído, ou, do inglês, *power spectral density* (PSD).

$$\frac{1}{\tau} = \frac{1}{\tau_1} + \frac{1}{\tau_0} \quad (2)$$

$$f_c = \frac{1}{\tau} \quad (3)$$

A PSD do RTN gerado por apenas uma armadilha pode então ser calculada por meio da Equação (4) (Machlup, 1954). ΔI_D é a variação da corrente de dreno, $\bar{\tau}_1$ e $\bar{\tau}_0$ são, respectivamente as médias dos tempos de captura e de emissão de um elétron por uma armadilha. Nessa equação, os tempos de captura e de emissão são considerados constantes.

$$S(f) = \frac{4 \cdot \Delta I_D^2}{(\bar{\tau}_1 + \bar{\tau}_0) \cdot \left[\left(\frac{1}{\bar{\tau}_1} + \frac{1}{\bar{\tau}_0} \right)^2 + (2\pi f)^2 \right]} \quad (4)$$

No entanto, em diversas aplicações, temos interesse em uma polarização do transistor por meio de um sinal periódico. Nos casos em que o transistor é polarizado por um sinal de período T com uma frequência maior que a frequência do ruído, as constantes de tempo passam a ser dependentes do tempo ($\tau_1(t)$ e $\tau_0(t)$), e a PSD do RTN pode ser calculada por meio de (5) (Wirth *et al*, 2014).

$$S(\omega) = \frac{\delta_i^2}{\pi} \cdot \frac{\beta_{eq}}{(1+\beta_{eq})^2} \cdot \frac{1}{\omega_i} \cdot \frac{1}{1+\left(\frac{\omega}{\omega_i}\right)^2} \quad (5)$$

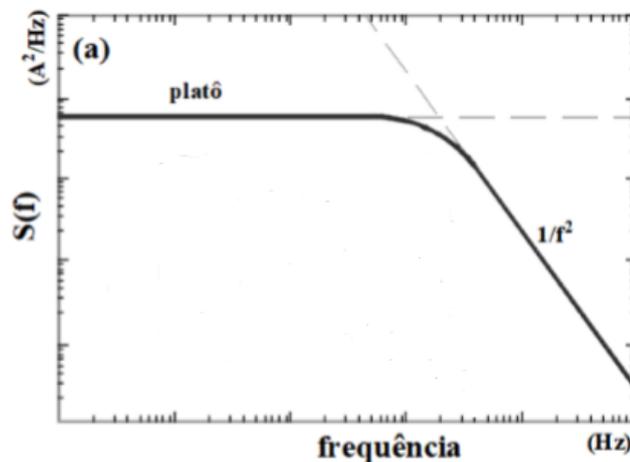
β_{eq} é dado por (6), δi é a amplitude da flutuação da tensão da armadilha, ω é a frequência angular e ω_i a frequência angular de corte dada por (7).

$$\beta_{eq} = \left\langle \frac{1}{\tau_1(t)} \right\rangle / \left(\left\langle \frac{1}{\tau_0(t)} \right\rangle \right) \quad (6)$$

$$\omega_i = \left\langle \frac{1}{\tau_1(t)} \right\rangle + \left(\left\langle \frac{1}{\tau_0(t)} \right\rangle \right) \quad (7)$$

Em ambos os casos, no domínio da frequência, a PSD do RTN de uma única armadilha forma uma curva Lorentziana, representada pela Figura 3. Essa curva tem a característica de formar um platô em frequências mais baixas e, nas frequências mais altas, ser proporcional a $1/f^2$.

Figura 3 – Espectro do RTN em domínio e imagem logarítmicos.



Fonte – Adaptado de Wirth *et al*, 2014.

O comportamento do RTN será uma combinação do efeito de cada armadilha. A PSD, nesse caso, será um somatório da contribuição de cada uma das armadilhas do dispositivo, o que pode ser interpretado como uma soma das Lorentzianas (Wirth *et al*, 2014).

2.3. Análise da Tensão de Limiar

A variação da corrente de dreno (ΔI_D) causada pelas armadilhas que contribuem com o RTN influencia também uma variação de tensão de limiar (ΔV_{th}), parâmetro mais importante do RTN para a avaliação do impacto no funcionamento de circuitos, como o da memória SRAM. Esse parâmetro também depende da profundidade das armadilhas no óxido, o que usualmente diminui o seu valor.

As Equações (8) e (9) (Sedra & Smith, 1998) mostram a relação entre a corrente de dreno (I_D) e a tensão de limiar V_{th} quando o transistor está submetido a um sinal DC, sendo a primeira referente ao funcionamento na região linear, e a segunda à operação na região de saturação. k' é o parâmetro de transcondutância do processo, dado pela Equação (10). W é a largura do canal condutor, V_{GS} é a tensão entre a porta e a fonte, V_{DS} a tensão entre dreno e fonte, L o comprimento do canal de condução, μ é a mobilidade dos portadores e C_{ox} é a capacitância do óxido.

$$I_D = \frac{k' \cdot W}{L} \left[(V_{GS} - V_{th}) \cdot V_{DS} - \frac{V_{DS}^2}{2} \right] \quad (8)$$

$$I_D = \frac{k' \cdot W}{2L} \cdot (V_{GS} - V_{th})^2 \quad (9)$$

$$k' = \mu * C_{ox} \quad (10)$$

Para sinais AC (modelo de pequenos sinais) a Equação (11) de Kerber & Cartier (2014), mostra a relação entre ΔI_D e ΔV_{th} . g_m é a transcondutância.

$$\Delta I_D = g_m \cdot \Delta V_{th} \quad (11)$$

Em ambos os casos, quando há uma queda na corrente de dreno causada pela captura de um elétron por uma armadilha, a tensão de limiar dos transistores tende a

umentar. O resultado é apontado pela Equação (12). V_{th0} é a tensão de limiar inicial do dispositivo, característica de sua fabricação. Assume-se que esse parâmetro apresenta uma distribuição normal (Kaczer *et al*, 2010). Para ΔV_{th} , a tensão de limiar causada pelo *Random Telegraph Noise*, assume-se uma distribuição exponencial, como mostram os trabalhos de Asenov *et al* (2003), Takeuchi *et al* (2009) e Ghetti *et al* (2009). Este parâmetro é dado pela Equação 13, onde δV_{thi} é a contribuição de cada armadilha “ i ” para a variação da tensão de limiar, N_T é o número de armadilhas e $x(t)$ o estado de cada armadilha, que pode assumir o valor 1, estando ocupada, ou 0 se desocupada. Segundo Frank & Miki (2014), δV_{thi} pode ser vista como a tensão necessária para mudar a carga do dispositivo em um elétron.

$$V_{th} = V_{th0} + \Delta V_{th} \quad (12)$$

$$\Delta V_{th} = \sum_{i=1}^{N_T} \delta V_{thi} \cdot x(t) \quad (13)$$

A relação que envolve a área e δV_{th} foi medida e tabelada por (Reisinger 2014). Alguns de seus valores estão apresentados na Tabela 1. É possível perceber que a variação da tensão de limiar causada por uma única armadilha apresentou no experimento valores maiores em dispositivos menores. Assim, esse experimento mostra que nesses dispositivos o RTN é mais relevante.

Tabela 1 – Relação entre o nó tecnológico e a contribuição para a variação da tensão de limiar de cada armadilha.

Nó Tecnológico	δV_{th} (mV)
100 nm	0,05
40 nm	2,9
16 nm	18,1

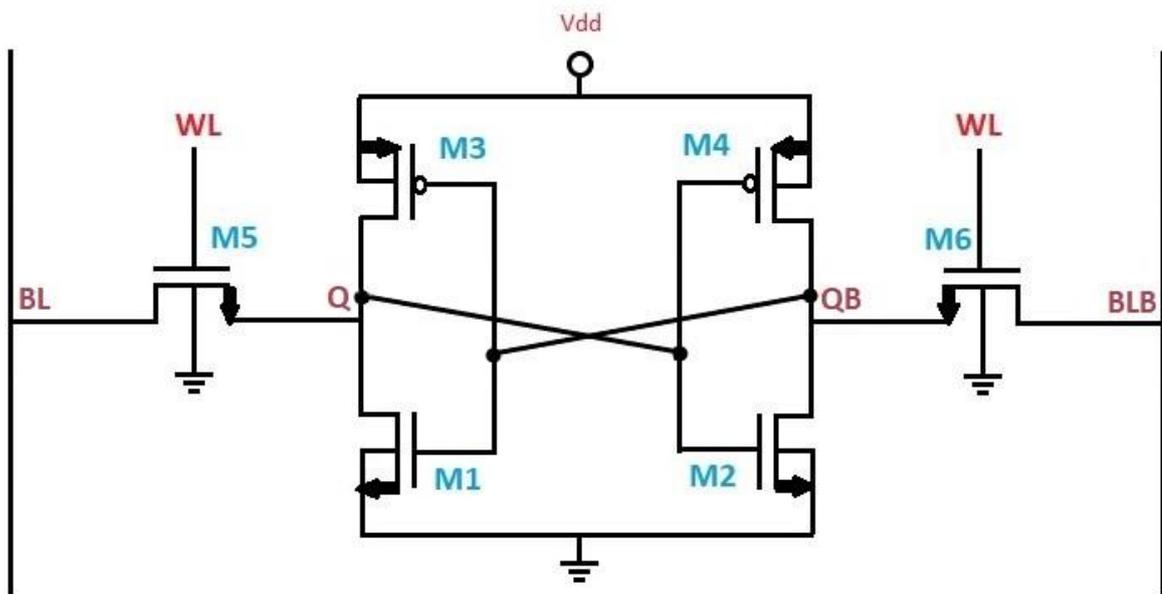
Fonte – Adaptado de Reisinger, 2014.

2.4. Célula de memória SRAM 6T

As células SRAM (*Static Random Access Memory*) são o tipo de memória RAM mais rápido da atualidade. Por esse motivo, são usadas, por exemplo, como memória cache para processadores. São mais caras, porém, além de muito rápidas, têm uma grande eficiência energética (Drapatz, 2011 e Ezeogu, 2019).

Entre os vários modelos de células de memória SRAM, um dos destaques é a 6T, de seis transistores. É amplamente utilizada por ter ótima relação entre estabilidade, desempenho e densidade de integração. A Figura 4 representa uma dessas células. Ela é composta de duas configurações inversoras em antiparalelo. M1 e M3 formam o primeiro inversor, e M2 e M4 o segundo. M5 e M6 são chamados de transistores de acesso. São eles que, por meio do sinal de controle WL (*wordline*), iniciarão as operações de leitura e escrita da célula de memória. *Bitline* e *bitline bar* (BL e BLB) são as entradas da célula. Q e QB são os nós que correspondem ao armazenamento da memória. O valor de QB sempre será o valor negado de Q, sendo impossível que os dois nós recebam valores iguais por conta das configurações inversoras sobrepostas dos transistores.

Figura 4 – Circuito da célula de memória SRAM 6T.



Fonte – Elaborada pelo próprio autor.

Quando a célula está armazenando 1 *bit*, Q terá o valor igual a “1”, ligado ao V_{dd} por meio do transistor M3. QB, então, terá o valor igual a “0”, conectado ao terra por meio de M2. Por outro lado, quando a célula estiver armazenando o valor igual a 0 *bit*, o valor de Q será igual a zero, conectado ao terra por meio de M1, e QB será igual a 1, conectado ao V_{dd} por meio de M4.

Há três modos de operação da célula SRAM 6t (Lokesh et al, 2018 e Drapatz, 2011):

Espera (*Hold*): Ocorre enquanto a *wordline* recebe o estado “0”, se conectando ao terra do circuito. Assim, os transistores M5 e M6 cortam as conexões entre BL e Q, e entre BLB e QB. Dessa forma, os valores de Q e QB não se alterarão e o estado da memória será mantido.

Leitura (*Read*): Para habilitar o modo de leitura, carrega-se as duas *bitlines*, BL e BLB, com o valor “1” e, depois, aplica-se o valor “1” nas *wordlines*. Entre os nós Q e QB, aquele que estiver com a lógica 1 manterá a tensão da *bitline* correspondente. Por outro lado, o nó que estiver com a lógica 0 (conectado ao terra por meio dos transistores M1 ou M2) será responsável por um descarregamento da *bitline* correspondente. A diferença entre as *bitlines*, então, é avaliada para se descobrir qual a lógica armazenada na célula. Isso é feito por meio de *sense amplifiers* que detectam a diferença de tensão provocada pelo procedimento em BL ou BLB.

Escrita (*Write*): A escrita requer que uma das *bitlines* seja igual a ‘0’. Se o desejado é escrever ‘1’ na célula, carrega-se BL com V_{dd} , e BLB é conectada ao terra. Se o desejado é escrever ‘0’ faz-se o contrário. Aí então, WL é ativado (WL = 1). Os estados escolhidos para BL e BLB substituirão os estados dos nós Q e QB, respectivamente. Isso ocorre porque a capacitância parasita das *bitlines* é maior que a dos nós que comportam o estado da memória.

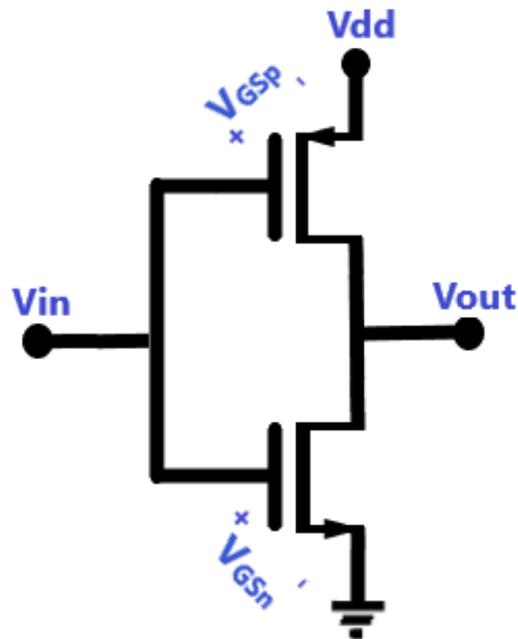
2.5. O Inversor CMOS

O inversor CMOS é o principal componente da célula SRAM 6T. A compreensão de seu funcionamento é indispensável para a análise sobre as falhas que ocorrem na memória por conta do RTN. O objetivo aqui, então, é apresentar as características do inversor CMOS úteis para as análises posteriores deste trabalho.

A Figura 5 representa esse circuito. É composto por um transistor tipo N e um tipo P, com portas conectadas formando sua entrada (V_{in}) e os drenos conectados formando o nó de saída (V_{out}). A fonte do transistor NMOS é conectada ao terra, formando um *pull-down* e a fonte do transistor P é conectada à tensão de alimentação,

V_{dd} , formando um *pull-up*. V_{GSn} e V_{GSp} são, respectivamente as diferenças de tensão entre porta e fonte do transistor NMOS e do PMOS.

Figura 5 – Inversor CMOS.

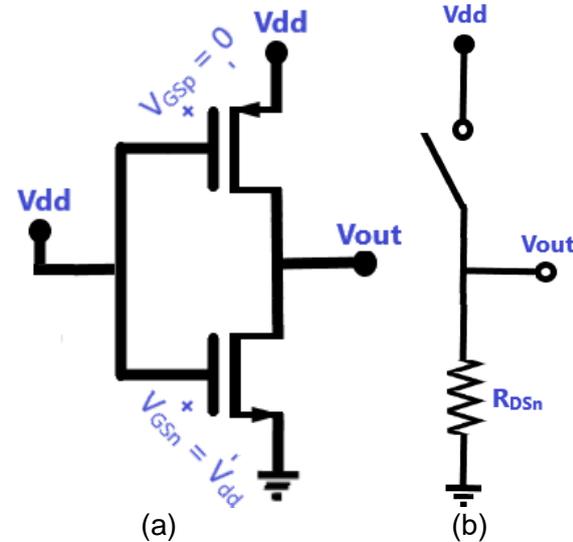


Fonte – Elaborada pelo próprio autor.

Para o entendimento sobre o funcionamento básico do inversor, serão abordadas duas situações para o circuito. A primeira terá tensão de entrada com lógica de nível alto, de valor igual à V_{dd} . A segunda situação trará a tensão de entrada com um valor de lógica de nível baixo, igual a zero, conectado ao terra.

Quando V_{in} é igual à V_{dd} , a tensão entre a porta e a fonte do transistor N (V_{GSn}) também é igual a V_{dd} . Se a tensão V_{GSn} supera a tensão de limiar do mesmo transistor (V_{thn}), ele passa a conduzir, funcionando como uma chave fechada, onde há condução entre seu dreno e sua fonte sobre a resistência desse canal, R_{DSn} . Por outro lado, a tensão entre a porta e a fonte do transistor P será igual a zero. Conseqüentemente, como V_{GSp} será menor em módulo que sua tensão de limiar V_{thp} , esse transistor não conduzirá, funcionando como uma chave aberta. Essa situação é representada pela Figura 6, onde (b) é um circuito equivalente. Sem a condução de corrente por R_{DSn} , não há queda de tensão em entre V_{out} e GND, então V_{out} será igual a zero, a lógica inversa da tensão de entrada.

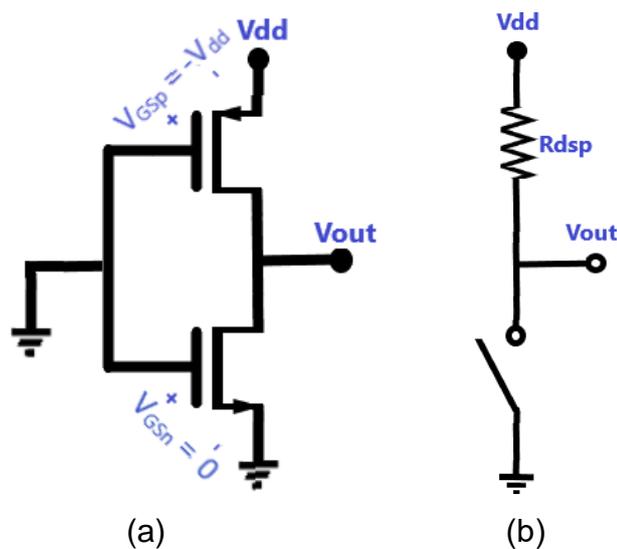
Figura 6 – Circuitos equivalentes do inversor com V_{in} igual a V_{dd} .



Fonte – Elaborada pelo próprio autor.

Na segunda condição, com V_{in} igual a zero, a situação se inverte. O transistor P passará a conduzir. Isso porque V_{GSp} será igual a $-V_{dd}$ e maior, em módulo, que V_{thp} , sua tensão de limiar. O NMOS, em contrapartida, terá a tensão entre sua porta e sua fonte zerada e, conseqüentemente, não conduzirá, passando a ter o comportamento de uma chave aberta. Essa situação é representada pela Figura 7, onde (b), novamente representa o circuito equivalente. Dessa vez, V_{out} será igual a V_{dd} (nível alto) e, mais uma vez, a tensão de saída terá comportamento inverso da entrada.

Figura 7 – Circuitos equivalentes do inversor com V_{in} igual a zero.

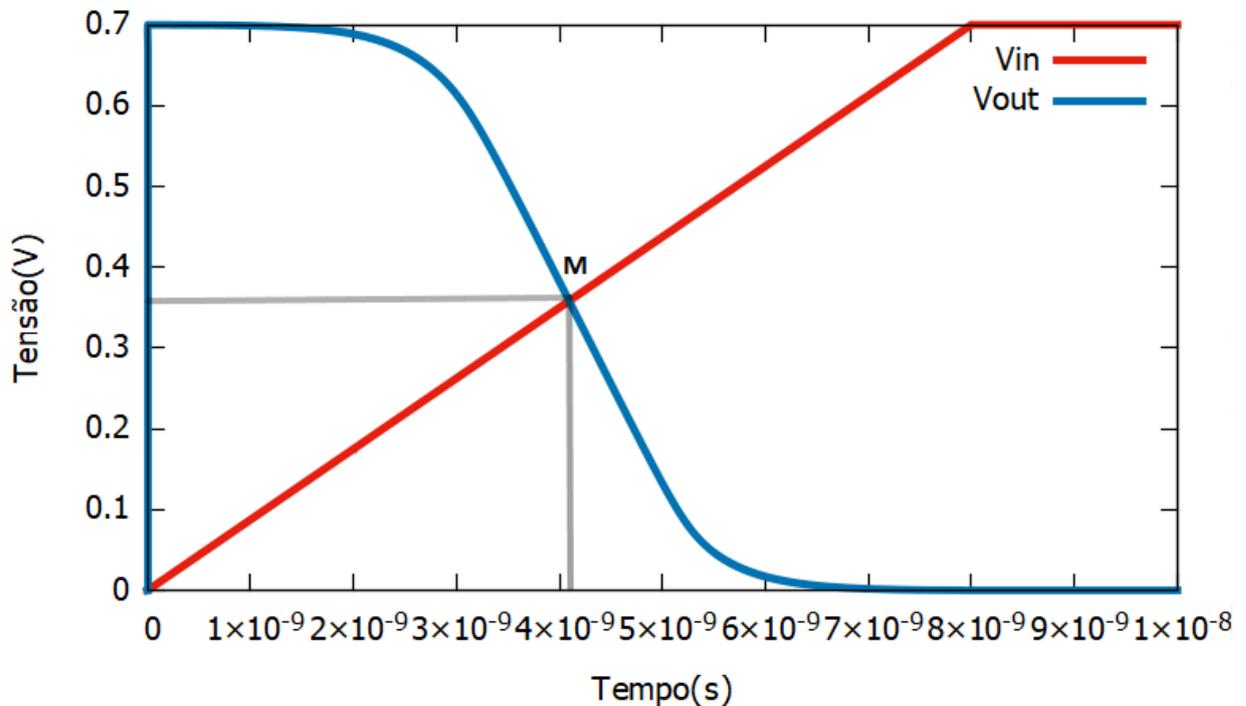


Fonte – Elaborada pelo próprio autor.

É evidente que, para um bom funcionamento do inversor, os transistores precisam ter tensões de limiar adequadas, pois são elas que garantirão que os transistores sejam chaveados de forma correta. Esses parâmetros, V_{thn} e V_{thp} , como explicado na Seção 2.3, são justamente os mais prejudicados por conta do *Random Telegraph Noise*, e as consequências serão mostradas por meio de simulações. O inversor simulado é o mesmo que compõe a célula SRAM 6T que é analisada neste trabalho.

A Figura 8 mostra o comportamento da tensão de saída (V_{out}) do inversor acompanhada da variação da tensão de entrada. Variou-se V_{in} linearmente de zero Volts até V_{dd} , que tem o valor da tensão nominal dos transistores, 0,7V. O ponto M, onde V_{out} é igual à V_{in} , caracteriza o momento em que os transistores trocam de comportamento, o que estava se comportando como uma chave aberta passa a conduzir, e vice-versa. A tensão nesse ponto é chamada de tensão média de chaveamento, V_m . Além disso, a transição de V_{out} de 0,7V até 0V é desenhada pela curva característica da região de triodo dos transistores.

Figura 8 – Simulação das tensões V_{in} e V_{out} do inversor.

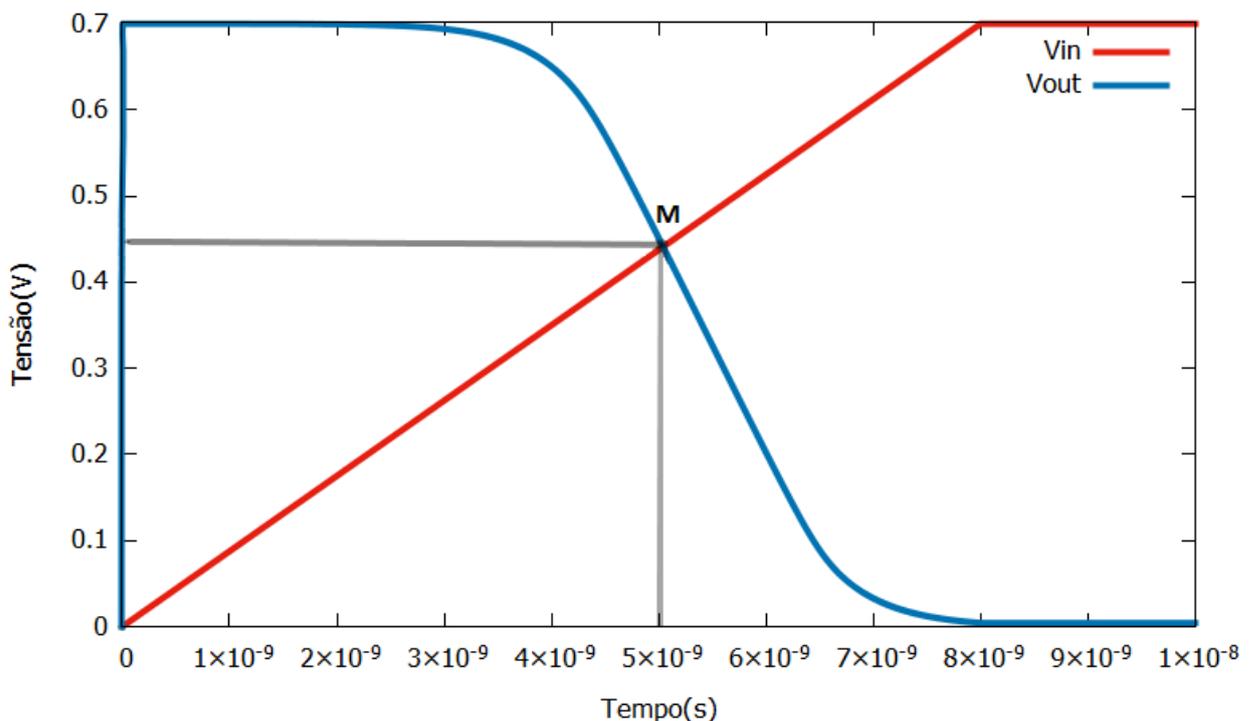


Fonte – Elaborada pelo próprio autor.

Para a segunda simulação, foi aplicado um aumento da tensão de limiar constante nos transistores, simulando os efeitos do RTN. O módulo desses

parâmetros (V_{thn} e V_{thp}) foi acrescido em 100mV. O resultado é mostrado na Figura 9. É possível então, visualizar um deslocamento da curva V_{out} e do ponto M. Isso pode acarretar em um mau funcionamento de circuitos em que o inversor estiver aplicado, pois sua saída pode apresentar resultados inesperados quando V_{in} tiver valores dentro da faixa de variação da tensão de M. Exemplificando, com uma tensão V_{in} de 400mV neste inversor, teríamos uma tensão de saída de nível alto para a primeira simulação (Figura 8), resultando em um circuito equivalente à Figura 6(b). Na segunda simulação (Figura 9) a lógica de saída seria baixa, resultando em um circuito equivalente à Figura 7(b).

Figura 9 – Simulação das tensões V_{in} e V_{out} do inversor com variação de tensão de limiar constante.

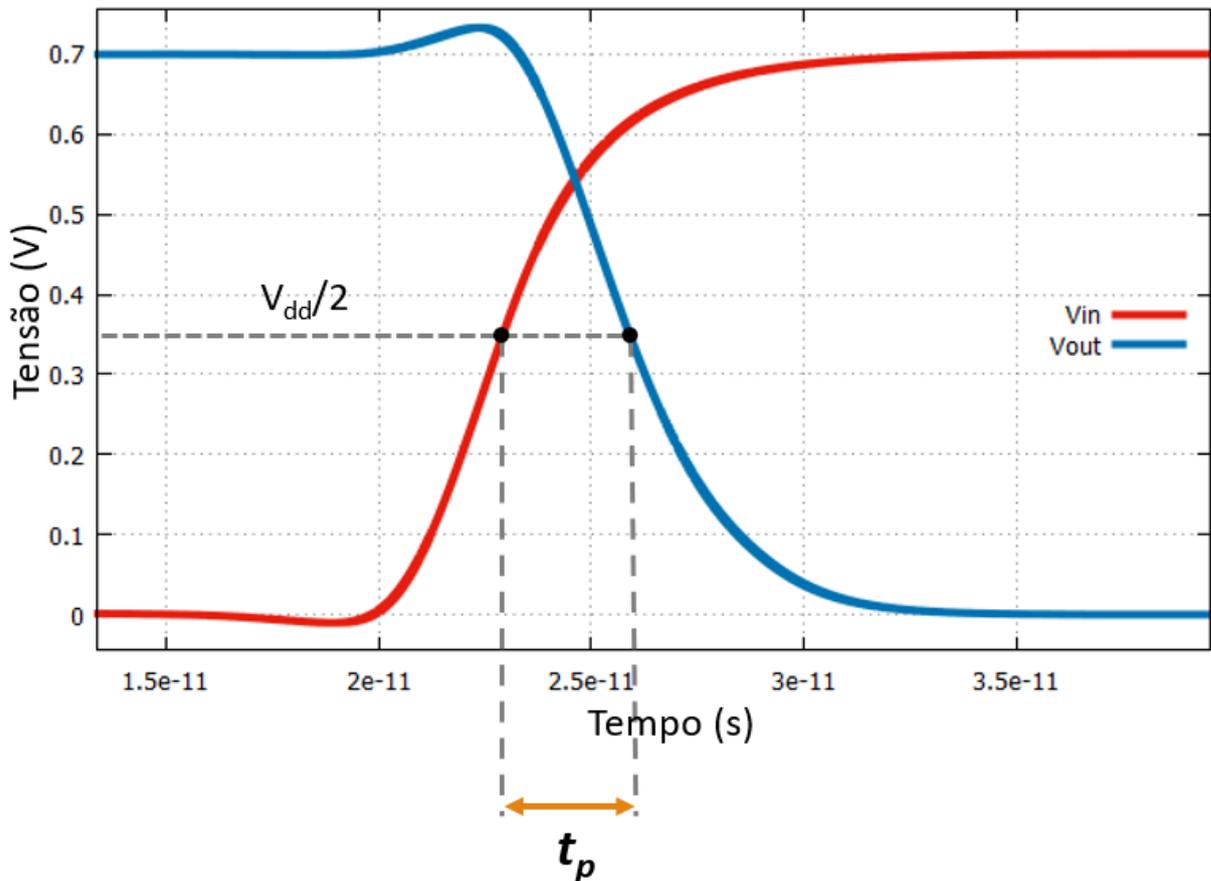


Fonte – Elaborada pelo próprio autor.

Outro parâmetro importante do inversor que é impactado pelo ruído RTN é o *delay* de propagação do sinal (t_p), apresentado pela Figura 10. Ele é usualmente medido como a diferença de tempo em que o sinal de entrada e o sinal de saída atingem a metade do valor de tensão de alimentação do circuito ($V_{dd}/2$). Este parâmetro é uma importante medida de desempenho e sua variabilidade devido ao *Random Telegraph Noise* será alvo de estudo neste trabalho. O ruído tem um impacto

negativo sobre esse *benchmark*, aumentando o valor de t_p . Esta é mais uma consequência da variação da tensão de limiar dos transistores.

Figura 10 - Delay de propagação do sinal do inversor CMOS.



Fonte – Elaborada pelo próprio autor.

A tensão média de chaveamento do inversor (V_m) pode ser obtida com a Equação (14) (Sedra & Smith, 1998). É possível então, observar que um aumento do módulo das tensões de limiar dos transistores resulta em um aumento de V_m . Este é justamente o impacto do RTN nesse circuito.

$$V_m = \frac{\sqrt{\frac{k_p}{k_n}} \cdot (V_{dd} - |V_{thp}|) + V_{thn}}{\sqrt{\frac{k_p}{k_n}} + 1} \quad (14)$$

As Equações (15), (16), (17), (18) e (19), complementam a Equação (14). Os parâmetros k_p e k_n são as transcondutâncias dos transistores PMOS e NMOS,

respectivamente. k'_p e k'_n são os parâmetros de transcondutâncias, C_{oxp} e C_{oxn} são as capacitâncias do óxido. μ_p e μ_n são as mobilidades dos portadores. ε_{ox} é a constante dielétrica do óxido e t_{ox} é a espessura do óxido. W e L são, respectivamente, a largura e o comprimento do canal de condução do transistor.

$$k_p = k'_p \cdot \left(\frac{W}{L}\right)_p \quad (15)$$

$$k_n = k'_n \cdot \left(\frac{W}{L}\right)_n \quad (16)$$

$$k'_p = \mu_p \cdot C_{oxp} \quad (17)$$

$$k'_n = \mu_n \cdot C_{oxn} \quad (18)$$

$$C_{ox} = \frac{\varepsilon_{ox}}{t_{ox}} \quad (19)$$

3. SIMULAÇÕES

3.1. Considerações Iniciais

Diversos modelos de simulações foram computados a fim de entender o impacto de alguns dos principais parâmetros do RTN na célula SRAM, assim como o modo que erros de operações da memória acontecem.

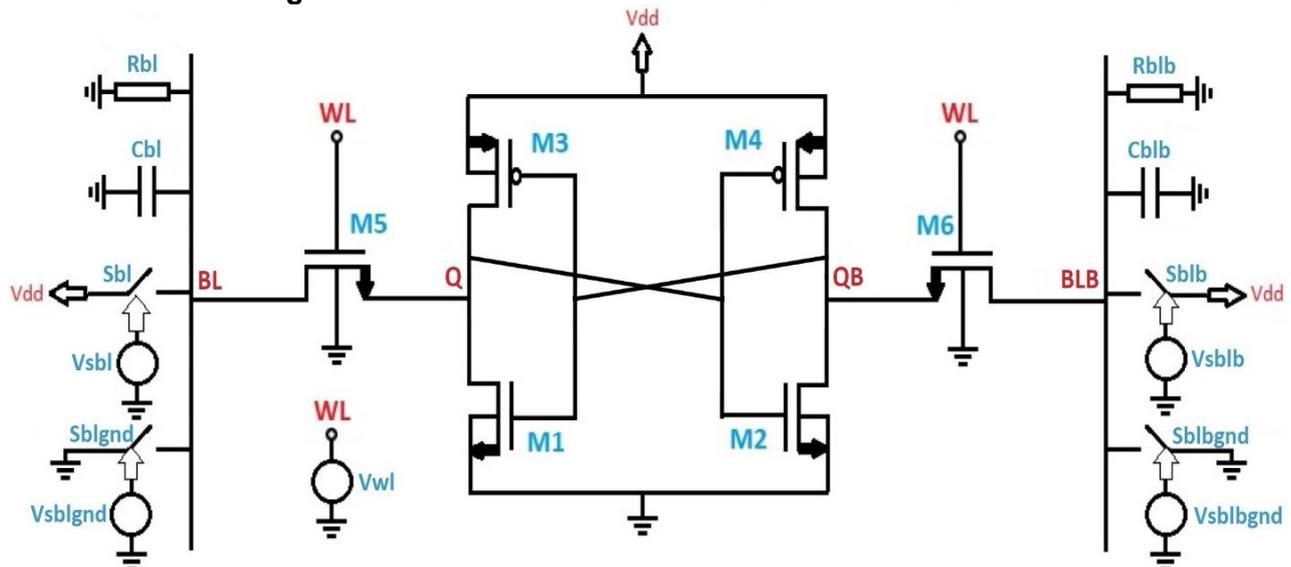
O simulador utilizado para todas as simulações foi o NGSpice 2.4 para Linux. É um simulador de sinais e níveis mistos, seus códigos são baseados em três pacotes de software de código aberto: Spice3f5, Cider1b1 e Xspice. O NGSpice tem mais de 15 anos de desenvolvimento e aprimorações, seu código é base para diversos projetos e softwares como o Kicad e o eSim. Essas informações podem ser obtidas no site do desenvolvedor (<http://ngspice.sourceforge.net>) e apresentam o motivo da escolha desse simulador para este trabalho. Além disso, este simulador sofreu modificações. Uma extensão ao programa que adiciona a simulação do RTN foi desenvolvida pelo Laboratório de Prototipação e Testes (Laprot) da UFRGS e foi utilizada neste trabalho. Essa extensão gera valores aleatórios que impactam a tensão de *threshold* dos transistores a cada passo das simulações, considerando parâmetros do ruído (constantes de tempo, amplitude e número de armadilhas) e as distribuições de probabilidade associadas a eles.

Outros softwares foram usados em conjunto com o NGSpice 2.4 modificado. Os dados obtidos por meio do simulador foram aproveitados para a plotagem de gráficos e análises estatísticas com o Gnuplot 5.2 e o Microsoft Excel 2013.

A Figura 11 mostra o circuito simulado da memória SRAM por inteiro. Além da célula SRAM 6T já apresentada, há componentes importantes para a atuação das *bitlines*. As resistências e capacitâncias *Rbl*, *Rblb*, *Cbl* e *Cblb* aproximam o circuito da realidade, adicionando às simulações fugas de corrente e capacitâncias parasitas e impedem a criação de um nó flutuante. Além disso, auxiliam nas operações da memória. Isso porque as capacitâncias das *bitlines* precisam ser grandes o suficiente para que, quando esses nós forem conectados a Q e QB, seus valores de tensão tenham um impacto adequado para as operações de leitura e escrita. Os valores das resistências e capacitâncias, em um circuito real, são dependentes de vários fatores no projeto de uma memória SRAM. Para as simulações foram escolhidos os valores de 1 M Ω para as resistências e de 100fF para as capacitâncias, números que

garantiram um bom funcionamento da célula. *Sbl* e *Sblb* são chaves que conectam as *bitlines* à tensão de alimentação da célula para o carregamento dos capacitores. *Sblgnd* e *Sblbgnd*, de outro modo, conectam as *bitlines* ao terra, para o descarregamento dos capacitores. Todas as chaves são controladas por tensão e, por esse motivo, são conectadas às fontes *Vsbl*, *Vsblb*, *Vsblgnd* e *Vsblbgnd*.

Figura 11 – Circuito simulado da célula de memória SRAM 6T.



Fonte – Elaborada pelo próprio autor.

Os transistores escolhidos são modelos PTM (Predictive Technology Model), com porta de metal, high-K, silício tensionado, e de nó tecnológico de 16nm. A largura do canal (W) escolhida para os NMOS foi de 20nm e para os PMOS foi de 40nm. Esses valores foram escolhidos de modo a garantir um bom funcionamento dos inversores presentes na célula SRAM, tornando o valor da tensão média de chaveamento dos mesmos próximo à metade de V_{dd} . Além disso, são números possíveis para um projeto real. A tensão nominal desses transistores é de 700mV.

Além da memória SRAM, foram realizadas simulações mais simples com um inversor construído com a mesma tecnologia, visando uma analogia com os inversores presentes na célula de memória (formados por M1 e M3 ou M2 e M4).

3.2. Simulação dos Efeitos do Ruído: Estudo dos Erros de Operação.

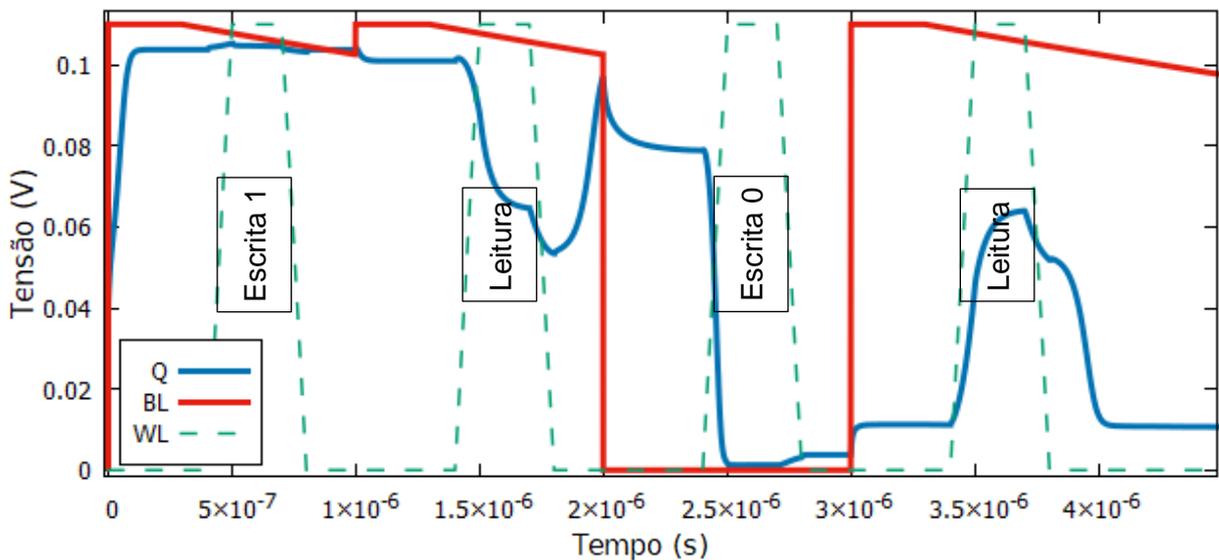
Serão agora apresentados e estudados alguns exemplos de erros causados pelo RTN que podem acontecer na célula SRAM 6T. Para isso, foram computados dois modelos de simulação. Em ambos o RTN foi simulado aplicando uma diferença de tensão de limiar constante de 100mV em transistores da célula, escolhidos a cada simulação. Assim, para essas simulações foi dispensado o uso da extensão criada para o NGSpice 2.4. O valor de $\Delta V_{th} = 100\text{mV}$ foi escolhido visando um estudo de pior caso e foi estimado de acordo com o trabalho de Kaczer *et al* (2010), que apontou uma variação de tensão de limiar média de 18,1mV para uma única armadilha em uma tecnologia de transistores semelhante à escolhida para as simulações deste estudo. Afinal, por ser uma variável aleatória, uma armadilha pode induzir variação de tensão de limiar maior do que o valor médio. Além disso, pode haver mais de uma armadilha em um transistor. O número de armadilhas também é uma variável aleatória.

O primeiro modelo de simulação consistiu em computar todas as operações de leitura e de escrita. A tensão de alimentação do circuito foi diminuída em 10mV a cada computação das simulações até que algum erro aparecesse em uma das operações da SRAM. Isso porque a atenuação da tensão de alimentação da célula é comum em diversos projetos que visam uma economia no consumo de energia e acaba tornando o impacto do ruído ainda mais relevante. Esse modelo de simulação tem como objetivo encontrar e analisar alguns erros que podem surgir nas operações de escrita ou leitura da célula, ampliando o conhecimento sobre como o ruído age nesse circuito. Nas primeiras simulações que serão apresentadas, o período das operações foi estendido, afim de se observar como a célula SRAM estabiliza. Depois, serão mostradas simulações em que as operações da memória atuam mais rapidamente, visando o aproveitamento do desempenho da tecnologia escolhida.

Para esse primeiro modelo, primeiramente a célula SRAM foi simulada em seu estado ideal, sem ruído algum. Ela manteve um bom funcionamento até V_{dd} atingir o valor de 100mV. Em condições reais, o funcionamento da célula de memória com esta tensão de alimentação seria inviável, visto que qualquer mínima variação estocástica do circuito ou da própria tensão de alimentação causaria erros e, além disso, os transistores possuem valores de módulo de tensão de limiar próximos a 450mV. Assim, esta simulação foi apresentada pelas Figuras 12 e 13 apenas para fins de comparação com as simulações em que será aplicado o efeito do ruído. As operações da célula de

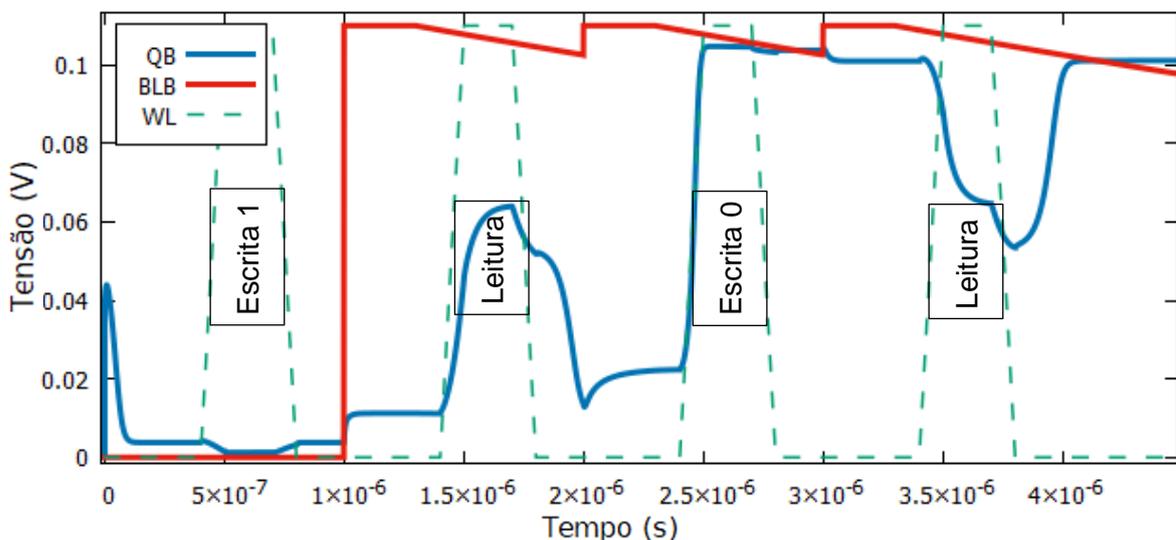
memória são marcadas pela ativação dos sinais de comando dos transistores de acesso, as *wordlines* (WL) e, nesta primeira simulação, são indicadas nos gráficos. Na primeira ativação, há uma escrita de memória '1', na segunda uma leitura, na terceira a escrita '0' e na última uma nova leitura. Entre as operações são carregados os capacitores das *bitlines* BL e BLB. Esse padrão de simulação se estenderá a todos os casos desse modelo. Apresenta-se então, em uma das figuras as tensões Q e BL e na outra QB e BLB.

Figura 12 – Simulação célula SRAM sem ruído: Tensões dos nós Q e BL e sinal de controle WL.



Fonte – Elaborada pelo próprio autor.

Figura 13 – Simulação célula SRAM sem ruído: Tensões dos nós QB e BLB e sinal de controle WL.



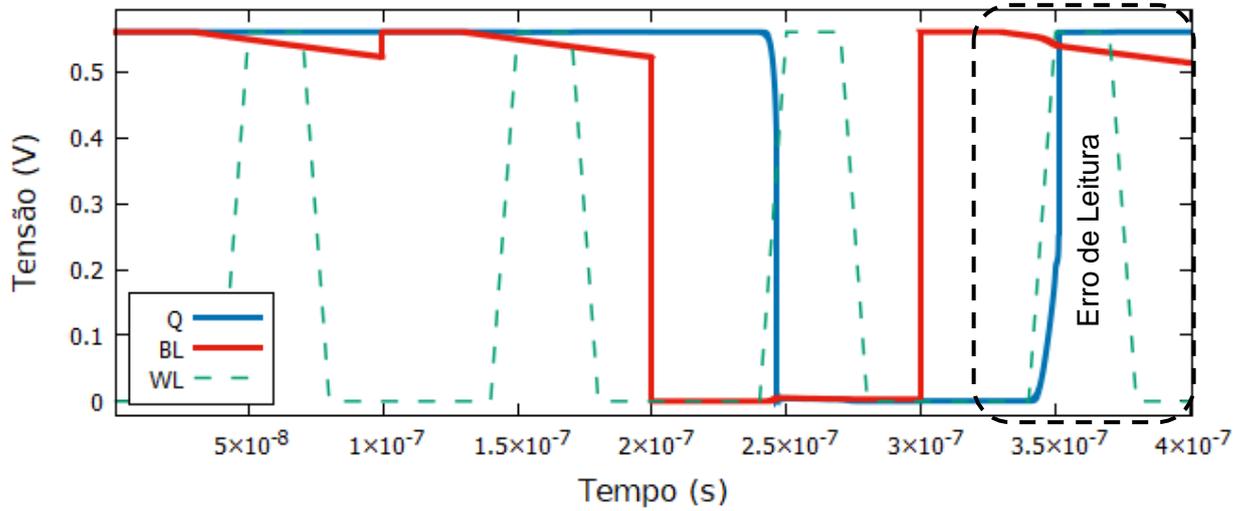
Fonte – Elaborada pelo próprio autor.

Para a próxima simulação, uma variação de tensão de limiar foi então aplicada no transistor M1, o NMOS de um dos inversores que compõem a célula de memória. O consequente erro é apresentado pelas Figuras 14 e 15 e ocorreu quando a tensão de alimentação atingiu 560mV. Ele ocorre na última operação de leitura como consequência da diferença da tensão de chaveamento (V_m) entre os dois inversores. O inversor formado por M1 e M3, ligado a Q e a BL, tem um atraso em seu chaveamento nessa operação quando comparado ao inversor formado por M2 e M4, que não possui ruído.

Quando os transistores de acesso, M5 e M6, são chaveados para a última leitura, as *bitlines*, BL e BLB, são conectadas aos nós Q e QB. Isso resulta em um crescimento da tensão em Q, comum para o funcionamento desse circuito. Da mesma forma, QB, que nesse momento está em um nível alto, passa a ter sua tensão reduzida. Em condições normais não há problemas relacionados a esse crescimento e a esse decaimento momentâneo de tensão. Porém, como consequência da diferença de tensão de limiar em M1, a redução de tensão em QB, que é a entrada do inversor formado por M1 e M3, passa a ser suficientemente grande para resultar em um chaveamento inesperado. É o chaveamento nesse inversor, então, que acaba invertendo a memória gravada na célula SRAM, forçando o outro inversor a também inverter seu estado lógico.

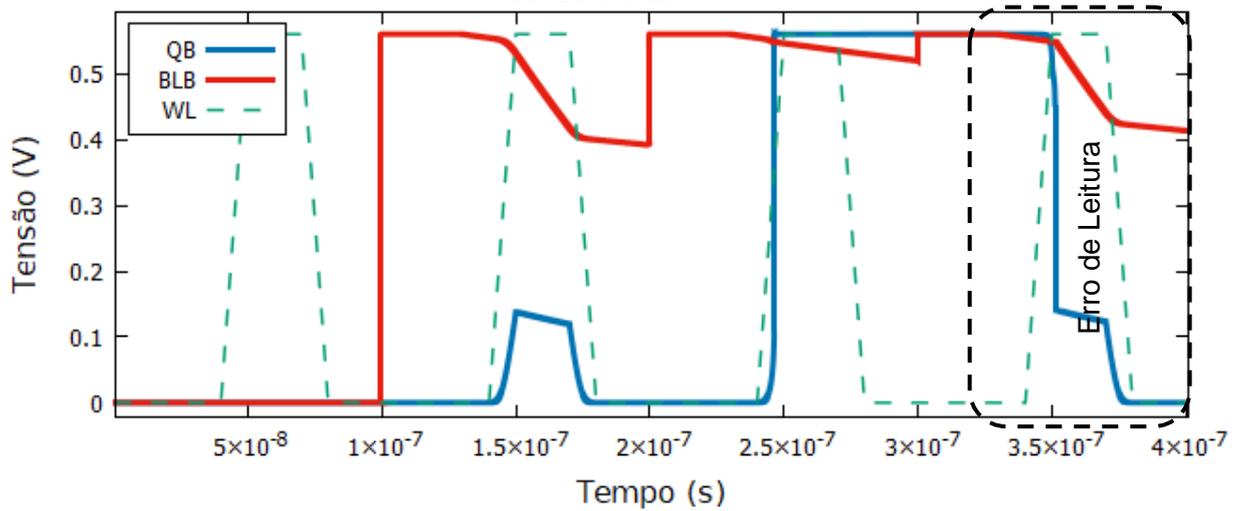
A diferença da tensão média de chaveamento entre os inversores sempre poderá resultar em um erro de leitura, podendo surgir em diferentes valores de V_{dd} , proporcional à desigualdade das tensões V_m dos inversores. Porém, quando a diferença em V_m for maior no inversor formado por M2 e M4, o erro se apresentará na primeira leitura, não na última, como mostram as Figuras 16 e 17. Essa simulação aplicou a diferença de tensão de limiar de 100mV no transistor PMOS M4. A explicação para a falha é equivalente: há um chaveamento inesperado por conta da redução da tensão em Q no momento da leitura.

Figura 14 – Simulação célula SRAM com ΔV_{th} em M1. Tensões dos nós Q e BL e sinal de controle WL.



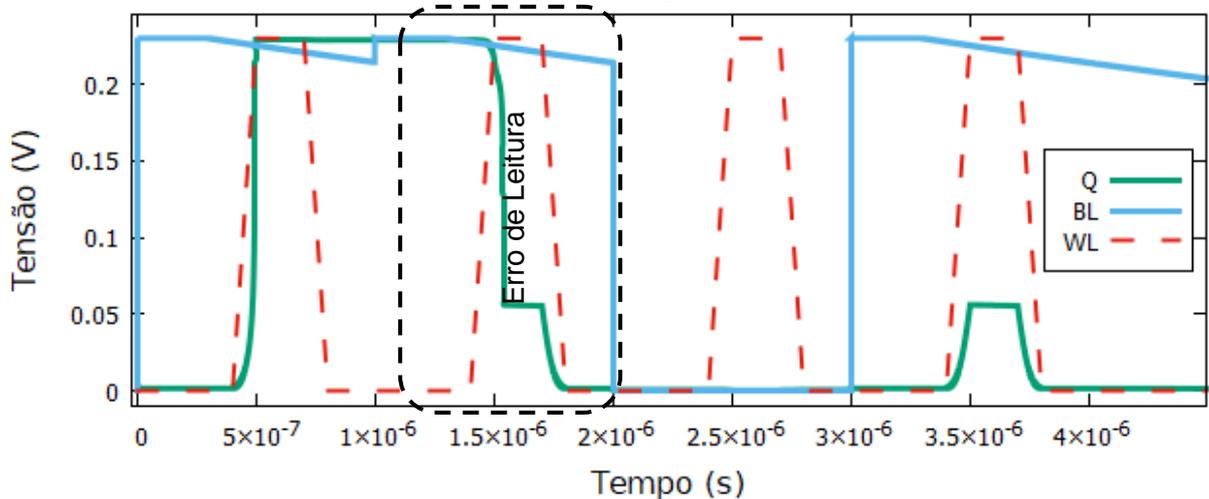
Fonte – Elaborada pelo próprio autor.

Figura 15 – Simulação célula SRAM com ΔV_{th} em M1. Tensões dos nós QB e BLB e sinal de controle WL.



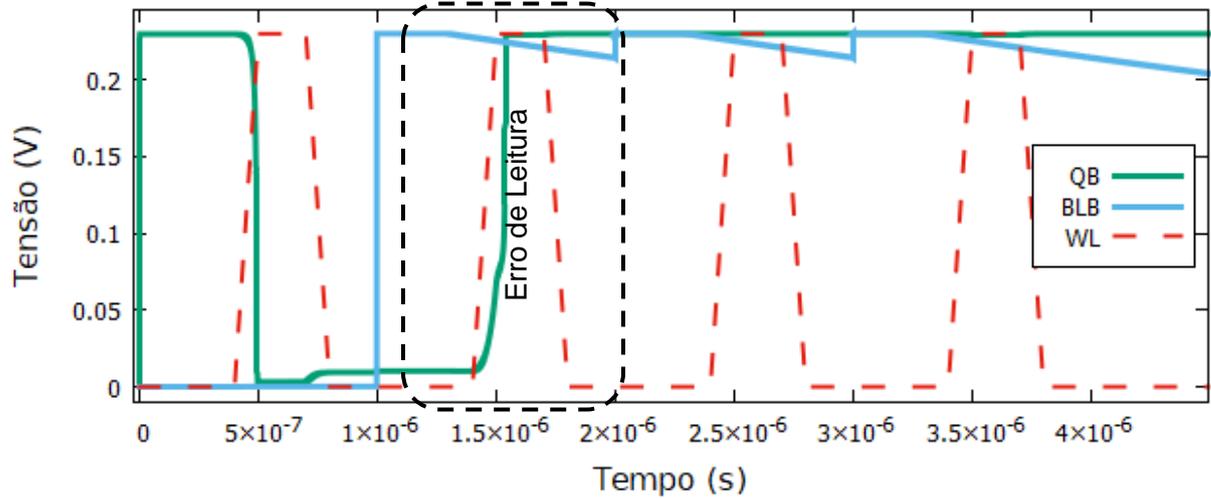
Fonte – Elaborada pelo próprio autor.

Figura 16 – Simulação célula SRAM com ΔV_{th} em M4. Tensões dos nós Q e BL e sinal de controle WL.



Fonte – Elaborada pelo próprio autor.

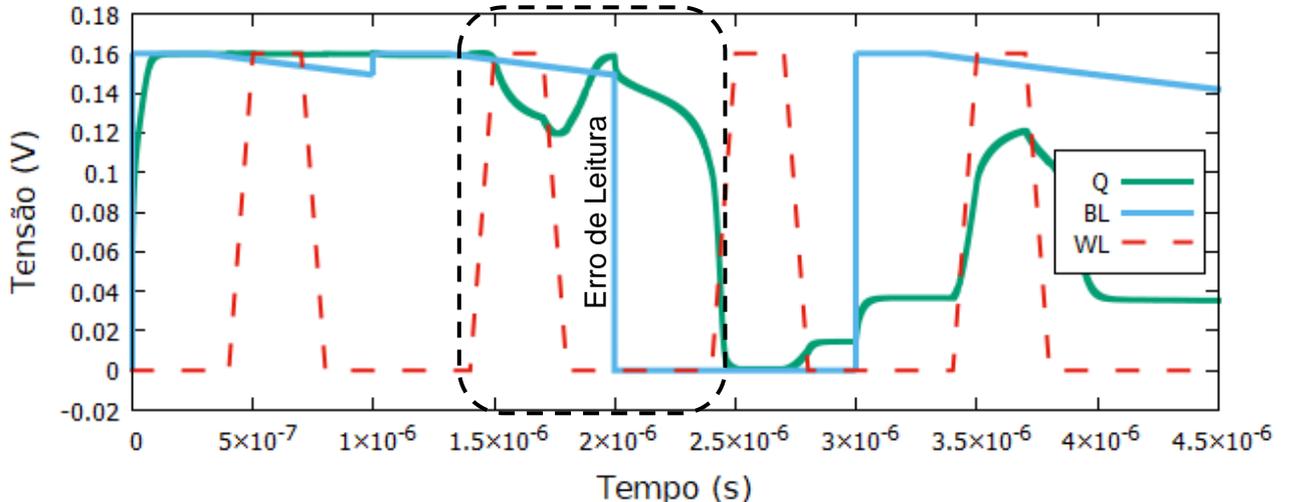
Figura 17 – Simulação célula SRAM com ΔV_{th} em M4. Tensões dos nós QB e BLB e sinal de controle WL.



Fonte – Elaborada pelo próprio autor.

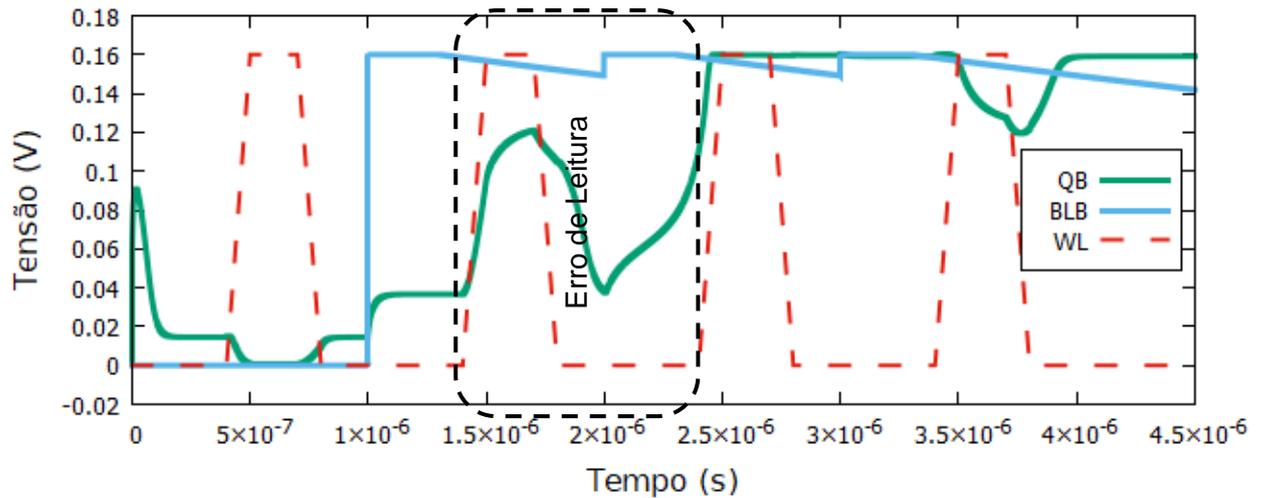
Por outro lado, quando a tensão média de chaveamento dos dois inversores é alterada pelo ruído, o impacto do RTN sobre o funcionamento da célula de memória é menor. O exemplo é apresentado pelas Figuras 17 e 18. Nele, a diferença de tensão de limiar foi aplicada nos dois transistores NMOS dos diferentes inversores: M1 e M2. O erro acontece com um V_{dd} igual a 160mV. Em tensões muito baixas é normal o mau funcionamento da célula SRAM, no entanto o RTN acaba agravando o mau funcionamento mesmo nessas situações.

Figura 18 – Simulação célula SRAM com ΔV_{th} em M1 e M2. Tensões dos nós Q e BL e sinal de controle WL.



Fonte – Elaborada pelo próprio autor.

Figura 19 – Simulação célula SRAM com ΔV_{th} em M1 e M2. Tensões dos nós QB e BLB e sinal de controle WL.



Fonte – Elaborada pelo próprio autor.

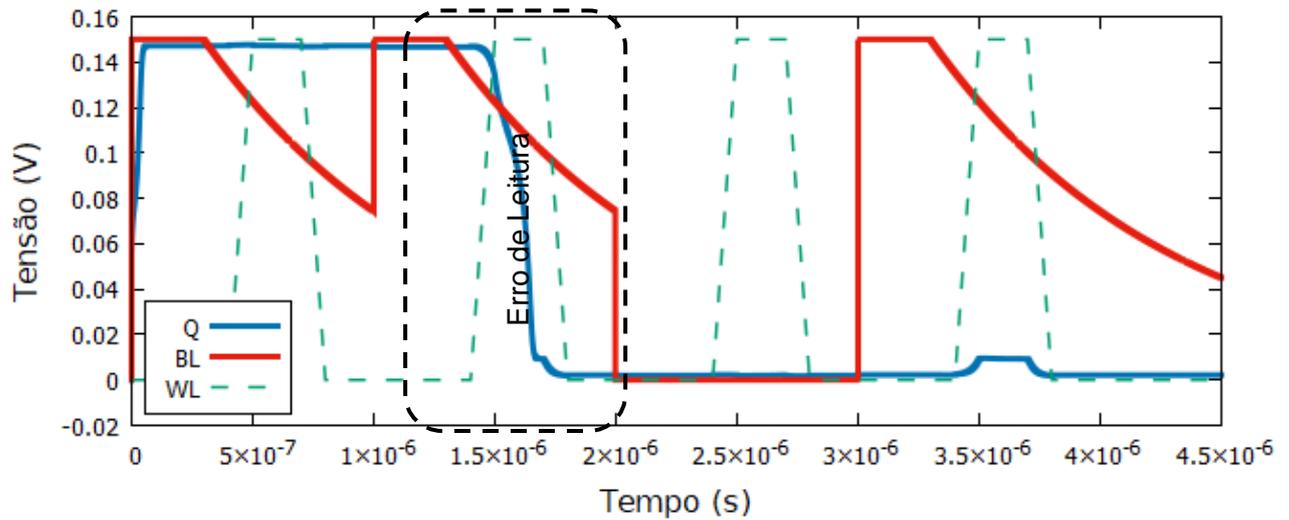
É possível observar nos gráficos da simulação que a situação é similar às duas simulações anteriores. A leitura acaba chaveando os inversores indevidamente. Porém, aqui o erro acontece apenas com tensões de alimentação muito baixas. A explicação é que, ao deslocar V_m igualmente nos dois inversores o erro é compensado. Isso porque, como os valores dos nós Q e QB são inversos, o deslocamento de V_m facilita o chaveamento indevido em um inversor, mas dificulta o do outro inversor.

A simulação das Figuras 20 e 21, abordou o erro causado na célula SRAM pelo efeito do ruído no transistor de acesso M5. O erro novamente acontece quando a tensão de alimentação é baixa: 160mV.

Com a variação de tensão de limiar, o transistor M5 precisa de uma tensão maior no sinal comando WL para conduzir e começar as operações de leitura e de escrita. Dessa forma, na operação de leitura, há uma dessincronização entre os transistores de acesso, de forma que M6 passa a conduzir antes de M5. Assim, QB que estava em '0' recebe o valor de V_{dd} , forçando o chaveamento dos inversores e a inversão da memória. Quando o ruído está presente em M6 o mesmo acontece, porém, como a tensão Q é afetada pelo chaveamento antecipado de M5, o erro aparece na última leitura.

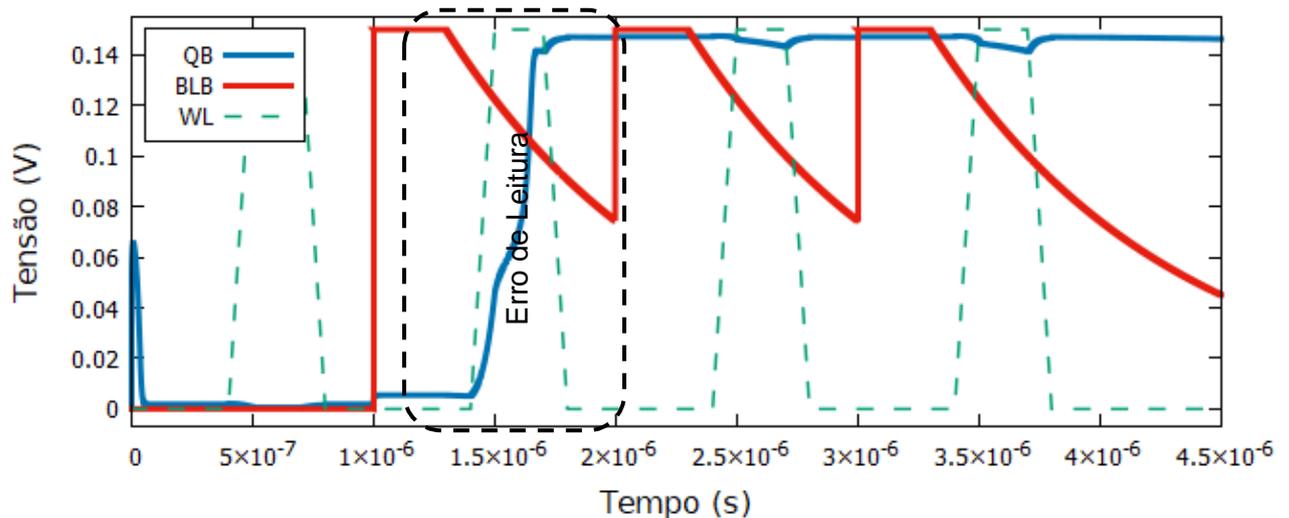
Essa condição para o erro é mais incomum na célula SRAM. Isso porque, além de o V_{dd} precisar ter uma atenuação maior, a diferença entre os tempos de chaveamento de M5 e M6 precisam ser consideráveis. Normalmente o sinal WL é mais próximo de uma onda quadrada, o que dificulta essa condição para a efetivação do erro.

Figura 20 – Simulação célula SRAM com ΔV_{th} em M5. Tensões dos nós Q e BL e sinal de controle WL.



Fonte – Elaborada pelo próprio autor.

Figura 21 – Simulação célula SRAM com ΔV_{th} em M5. Tensões dos nós QB e BLB e sinal de controle WL.

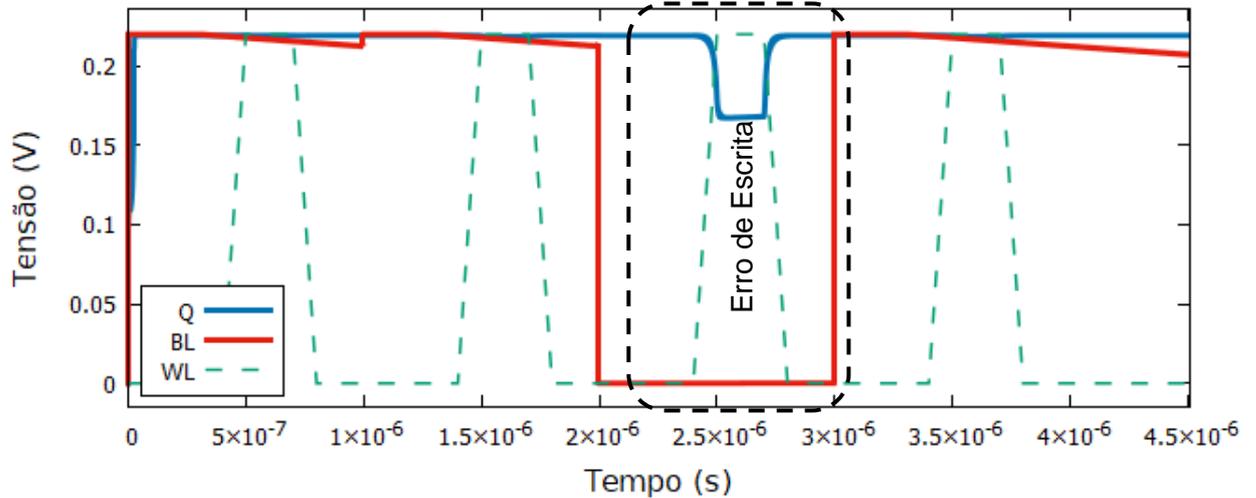


Fonte – Elaborada pelo próprio autor.

No entanto, quando há uma diferença de tensão de limiar nos dois transistores de acesso, um outro erro é apresentado, como mostram as Figuras 22 e 23. Desta vez, há um erro de escrita, de forma que a operação fica incapaz de ser efetivada. Este erro aconteceu quando $V_{dd} = 220\text{mV}$.

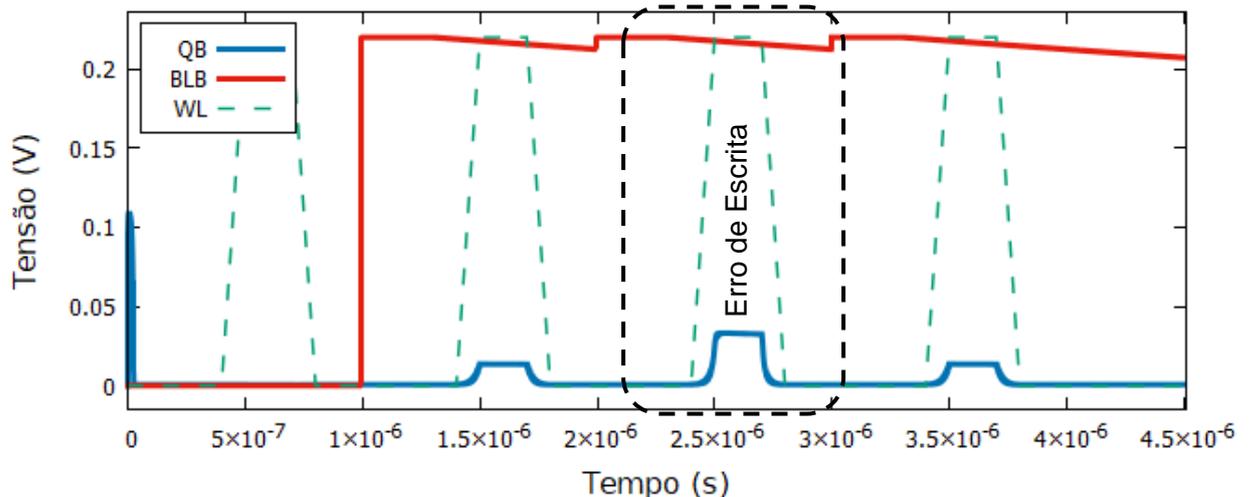
Dessa vez, a condução dos transistores de acesso passa a ser insuficiente para uma escrita, já que a diferença na tensão de limiar dos mesmos exige uma maior tensão entre os terminais de suas portas e fontes. Nos gráficos das simulações isso é evidenciado pela baixa diferença de tensão que as operações causam em Q e QB.

Figura 22 – Simulação célula SRAM com ΔV_{th} em M5 e M6. Tensões dos nós Q e BL e sinal de controle WL.



Fonte – Elaborada pelo próprio autor.

Figura 23 – Simulação célula SRAM com ΔV_{th} em M5 e M6. Tensões dos nós QB e BLB e sinal de controle WL.



Fonte – Elaborada pelo próprio autor.

Os últimos casos abordam o erro encontrado quando há um desequilíbrio na tensão de chaveamento dos inversores juntamente com uma diferença de tensão de limiar nos transistores de acesso. São duas situações diferentes: quando o ΔV_{th} de 100mV é aplicado no NMOS do inversor (Figuras 24 e 25) ou no PMOS (Figuras 26 e 27).

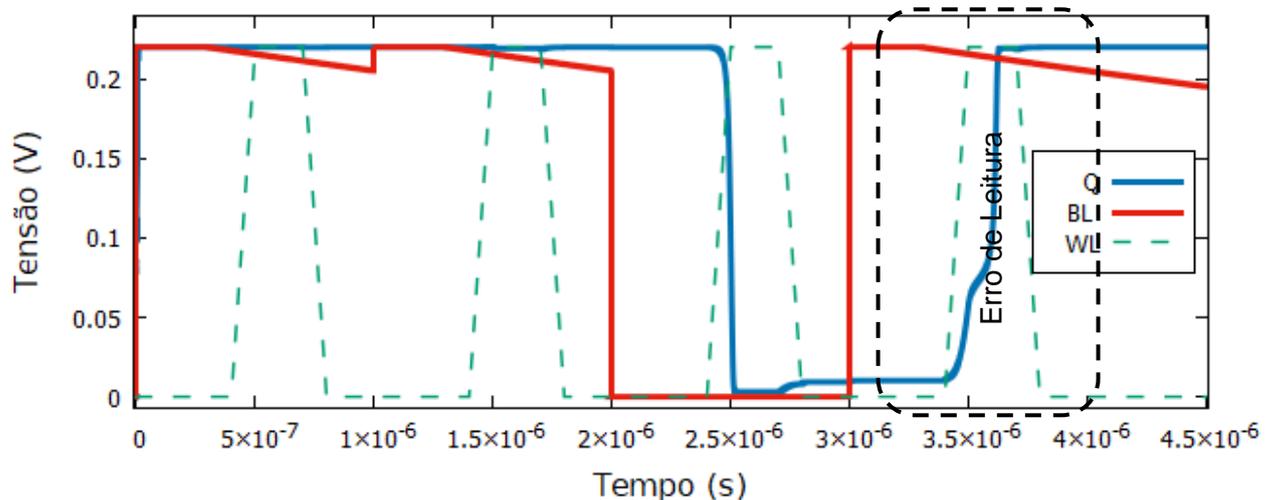
É possível comparar os resultados das simulações com ΔV_{th} em M1 e M5 com os testes que aplicaram a diferença de tensão de limiar apenas no M1. Naquela situação, o mesmo erro foi encontrado com uma tensão de alimentação de 560mV. Dessa forma, é possível concluir que o ruído em M5 atenua os efeitos do ruído

aplicado em M1. Isso acontece porque o M5, com o ruído, passa a conduzir menos com uma mesma tensão V_{GS} . Assim, a tensão em Q aumenta menos do que o normal para a operação de leitura, o que dificulta o chaveamento do inversor formado por M2 e M4 e, conseqüentemente, a inversão indevida da memória.

Por outro lado, quando o efeito do RTN é aplicado no transistor de acesso (M5) e no PMOS (M3), a falha é de escrita e o erro causado pelo ruído é mais relevante que quando aplicado apenas em M3. O erro ocorre porque, além da maior dificuldade de chavear o inversor formado por M2 e M4 devido ao ΔV_{th} de M5, também é dificultado o chaveamento do outro inversor, M1 e M3, devido ao ruído em M3, que exige uma tensão menor em QB para a inversão do estado de memória.

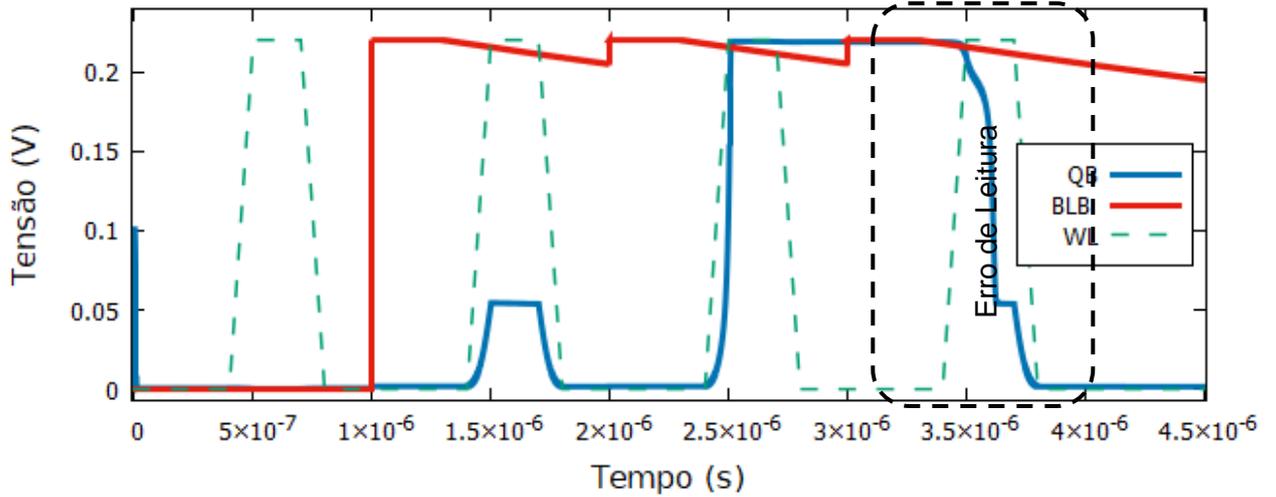
Esses efeitos aconteceram apenas em simulações em que a saída do inversor com RTN esteve ligada à fonte do transistor de acesso que também possuía o ΔV_{th} . Dessa forma, diferenças de tensão de limiar em M6 não apresentaram efeitos consideráveis quando o inversor formado por M1 e M3 teve sua tensão de chaveamento deslocada com o mesmo nível de ruído. Do mesmo modo, o efeito do ruído aplicado em M5 não teve efeitos consideráveis no resultado da simulação, quando o inversor formado por M2 e M4 também recebeu o mesmo ΔV_{th} . Porém, quando os dois transistores de acesso possuem uma diferença de tensão de limiar, seus efeitos são somados, o que resulta em um impacto maior no funcionamento da célula de memória, independentemente de qual inversor apresenta ruído.

Figura 24 – Simulação célula SRAM com ΔV_{th} em M1 e M5. Tensões dos nós Q e BL e sinal de controle WL.



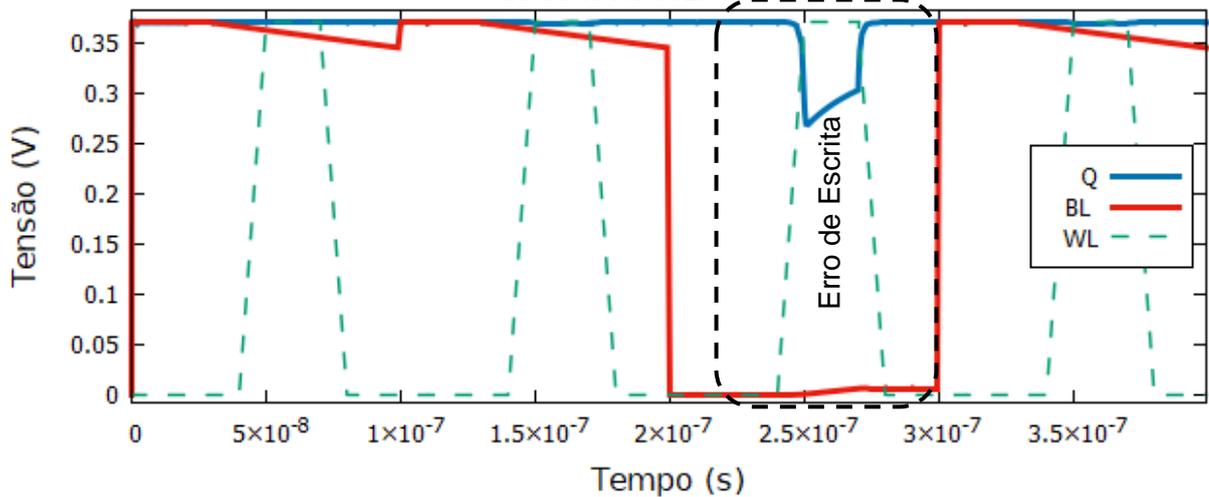
Fonte – Elaborada pelo próprio autor.

Figura 25 – Simulação célula SRAM com ΔV_{th} em M1 e M5. Tensões dos nós QB e BLB e sinal de controle WL.



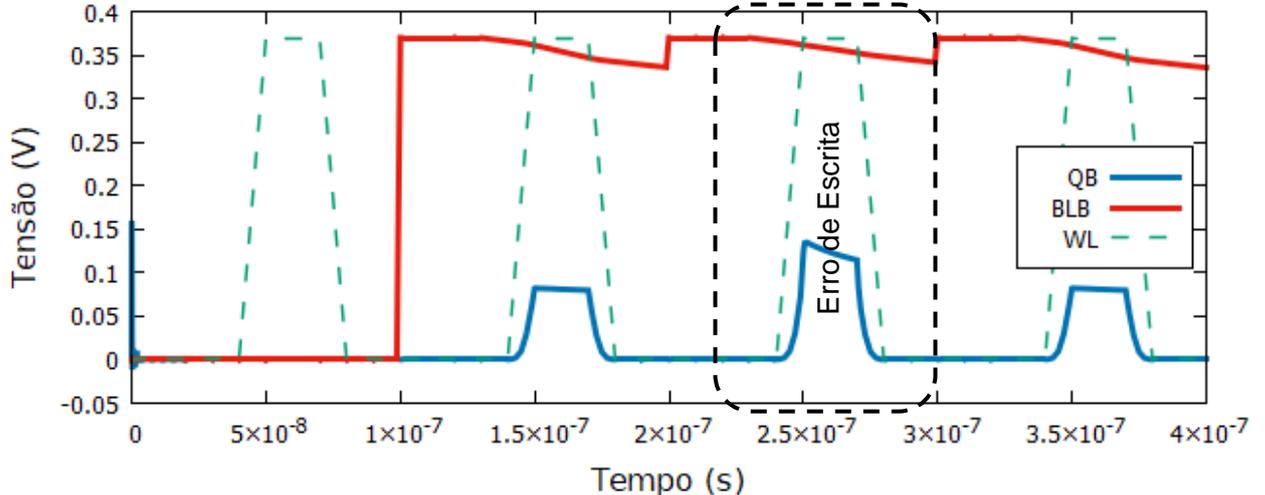
Fonte – Elaborada pelo próprio autor.

Figura 26 – Simulação célula SRAM com ΔV_{th} em M3 e M5. Tensões dos nós Q e BL e sinal de controle WL.



Fonte – Elaborada pelo próprio autor.

Figura 27 – Simulação célula SRAM com ΔV_{th} em M3 e M5. Tensões dos nós QB e BLB e sinal de controle WL.



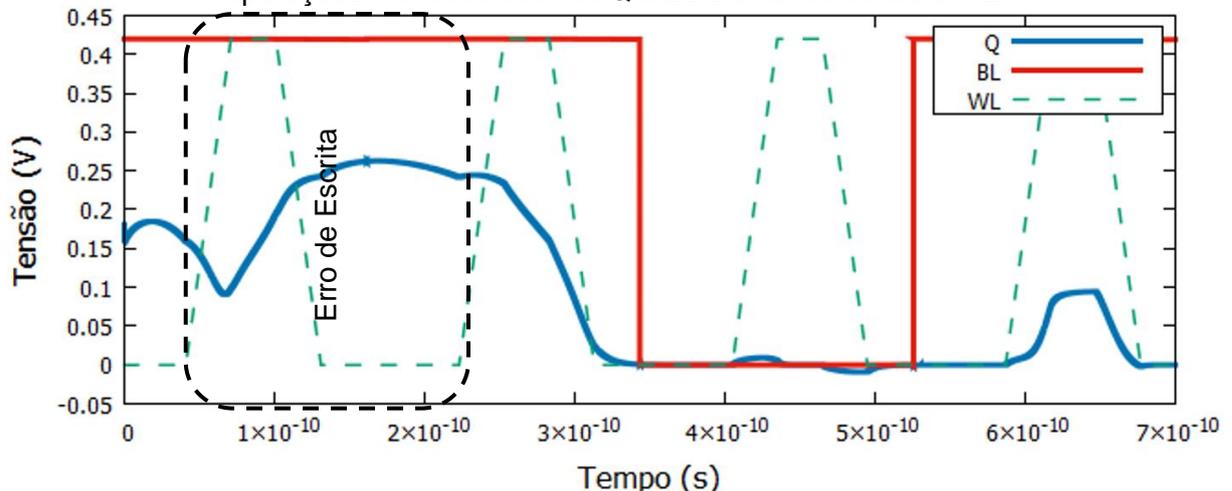
Fonte – Elaborada pelo próprio autor.

Nas simulações apresentadas até aqui o período das operações foi estendido afim de não haver uma interrupção nas transições das tensões dos nós Q e QB, ou de ser possível observar em que valor essas tensões convergiam. Este é o motivo de a maioria dos resultados terem apresentado um erro de leitura. Erros de escrita acontecem majoritariamente quando as operações tem um limite de tempo, consequencia do atraso no *delay* de propagação (t_p) gerado pelo *Random Telegraph Noise*, que inibe essa operação tornando-a lenta demais para ser efetivada em um tempo curto. Nessas situações os erros de leitura são a minoria, pois os chaveamentos indevidos também são inibidos pelo *delay*.

Exemplificando, as Figuras 28 e 29 apresentam uma simulação em que as operações da memória são ativadas por 30ps e o ΔV_{th} de 100mV é novamente aplicado apenas em M2 e M4. Dessa vez, devido ao limite de tempo das operações, não houve um erro de leitura como consequência de uma diferença de tensão de chaveamento dos inversores, mas sim um erro de escrita quando V_{dd} atingiu 420mV. Pode-se perceber claramente pelos gráficos que a primeira dessas operações foi interrompida. Para fins de comparação, com esses períodos de operação, sem o *delay* causado pelo RTN a célula de memória funcionou corretamente até sua tensão de alimentação atingir cerca de 300mV.

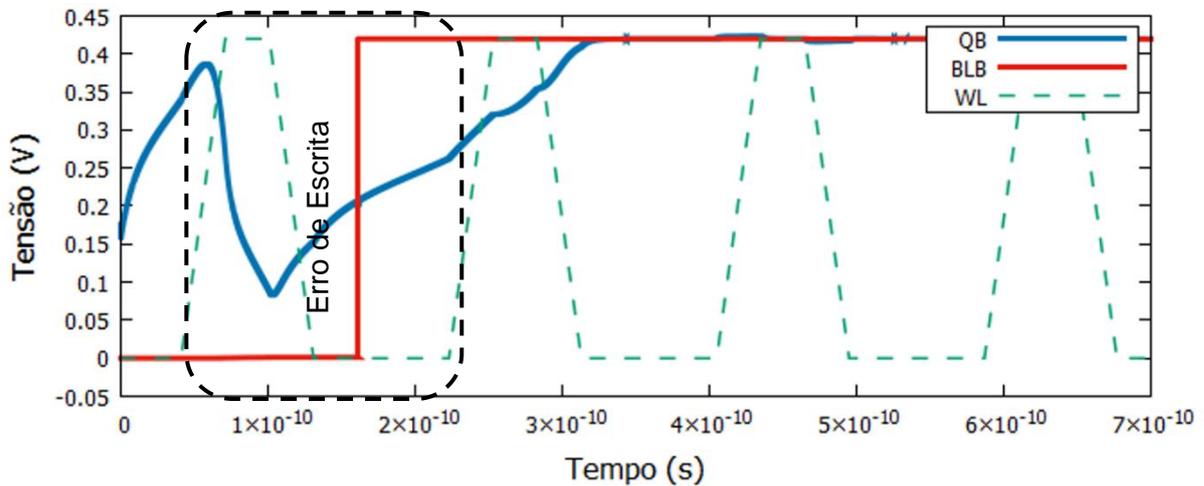
Assim, espera-se que em condições usuais a célula de memória SRAM 6T apresente mais erros de escrita do que de leitura como consequência do RTN. Os erros de leitura dependem de mais tempo para serem efetuados, ou de um ΔV_{th} grande o suficiente para que o chaveamento indevido dos transistores ocorra muito facilmente.

Figura 28 – Simulação célula SRAM com ΔV_{th} em M2 e M4 com período limitado para as operações. Tensões dos nós Q e BL e sinal de controle WL.



Fonte – Elaborada pelo próprio autor.

Figura 29 – Simulação célula SRAM com ΔV_{th} em M2 e M4 com tempo limitado para as operações. Tensões dos nós QB e BLB e sinal de controle WL.

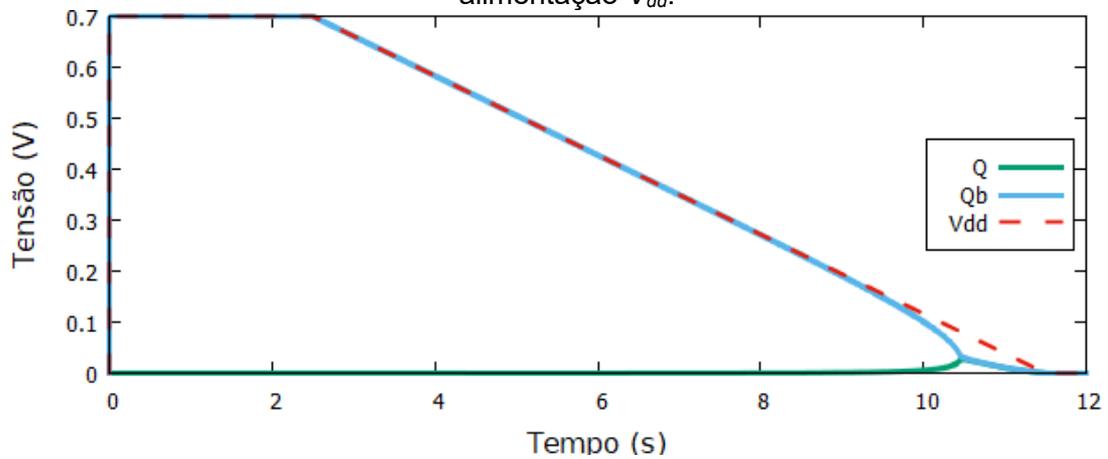


Fonte – Elaborada pelo próprio autor.

O segundo modelo de simulação não apresenta todas operações da célula SRAM. A célula fica em estado de espera com '0' ou '1' em sua memória e depois sua tensão de alimentação é diminuída linearmente até zero. O modelo tem como objetivo avaliar os possíveis problemas que a memória pode apresentar em estado de espera, já que é comum a atenuação da tensão de alimentação da memória nesse estado para diminuir o consumo de energia em diversos dispositivos, como apresentado pelos trabalhos de Singh & Boolchandani de 2013 (técnica chamada de *Dynamic Standby Voltage*) e Bhavnagarwala *et al*, 2008 (*Dynamic Cell Biasing*).

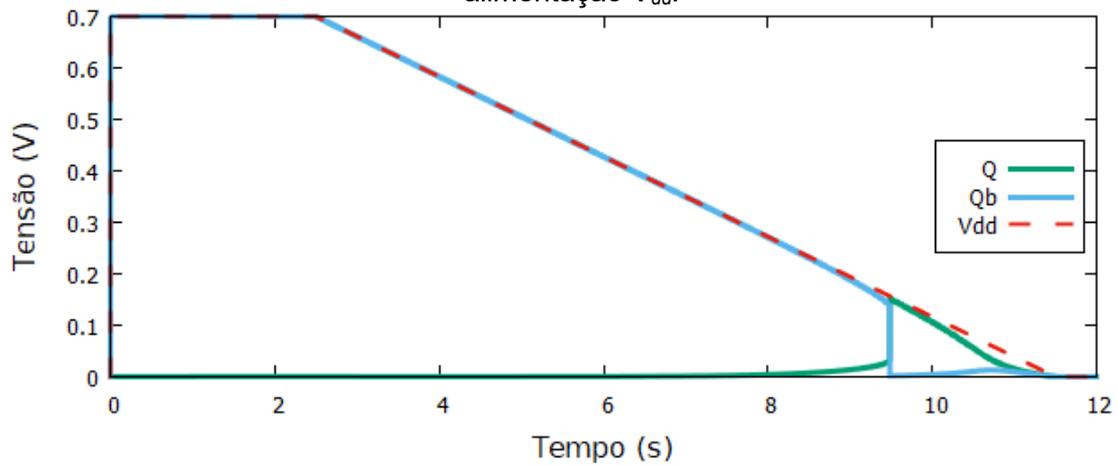
Neste caso, quando o ruído causa um maior deslocamento na tensão de chaveamento (V_m) do inversor formado por M1 e M3, o erro normalmente ocorre quando o estado de memória da célula é igual a 0, e quando o maior deslocamento é no inversor M2 e M4, a falha acontece quando o estado de memória é 1. Essas inversões do estado da memória ocorrem porque uma redução em V_{dd} torna o ruído proporcionalmente mais relevante para o funcionamento da célula, de forma que a V_m dos inversores acaba próximo o suficiente do valor de V_{dd} para que a inversão do estado lógico da memória ocorra muito facilmente. A Figura 30 apresenta simulação para a célula SRAM sem ruído, a Figura 31 uma simulação com um ΔV_{th} em M1 e, por fim, a Figura 32 para uma simulação com ΔV_{th} em M2 e M4.

Figura 30 – Simulação célula SRAM sem ruído. Tensões dos nós Q e QB e tensão de alimentação V_{dd} .



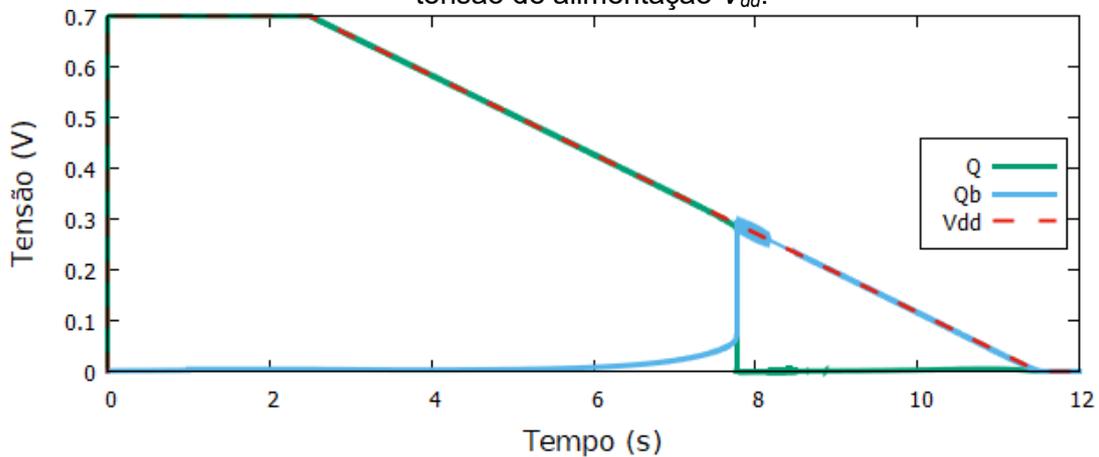
Fonte – Elaborada pelo próprio autor.

Figura 31 – Simulação célula SRAM com ΔV_{th} em M1. Tensões dos nós Q e QB e tensão de alimentação V_{dd} .



Fonte – Elaborada pelo próprio autor.

Figura 32 – Simulação célula SRAM com ΔV_{th} em M2 e M4. Tensões dos nós Q e QB e tensão de alimentação V_{dd} .



Fonte – Elaborada pelo próprio autor.

A Tabela 2 apresenta um resumo do resultado de todas as simulações deste modelo computadas. Foram desprezados os resultados onde as variações de tensão de limiar foram aplicadas nos transistores de acesso, pois nesses casos não houve uma diferença significativa no comportamento da célula de memória. É possível perceber que quando há impacto na tensão de limiar nos dois inversores há um balanceamento e as consequências são mais leves, como ocorreu no modelo de simulação anterior.

Tabela 2 – Resultados das simulações para segundo modelo dos efeitos do ruído.

Simulação	Transistores com $\Delta V_{th} = 100\text{mV}$	Estado da memória no momento do erro	V_{dd} (mV) em que ocorre o erro
1	M1	0	156
2	M2	1	
3	M3	0	181
4	M4	1	
5	M1 e M2	0 ou 1	90
6	M2 e M3	0	152
7	M1 e M4	1	
8	M1 e M3	0	300
9	M2 e M4	1	
10	M3 e M4	0 ou 1	95
11	M1, M2 e M3	0	260
12	M1, M2 e M4	1	
13	M1, M3 e M4	0	238
14	M2, M3 e M4	1	
15	M1, M2, M3 e M4	0 ou 1	153

Fonte – Elaborada pelo próprio autor.

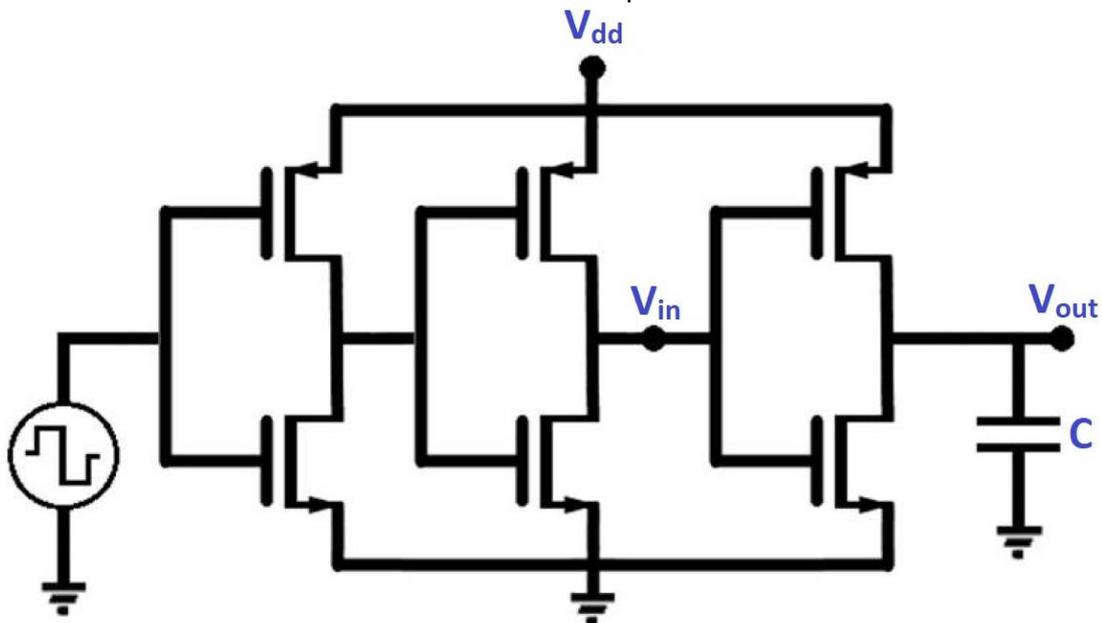
Vê-se que, para a tecnologia utilizada nas simulações, o ruído de 100mV pode causar erros na memória mesmo quando ela é alimentada com cerca de 300mV. É um número considerável, pois limita boa parte da faixa operacional da memória, inviabilizando uma possível e importante economia de energia. No entanto, como foi possível perceber pelo trabalho de Kaczer *et al* (2010), se houver a presença de um número considerável de armadilhas, o ruído para a tecnologia estudada pode apresentar um impacto ainda maior nos transistores. Dessa forma, o esperado é que os resultados reais para as falhas na memória SRAM estudada sejam ainda mais expressivos.

3.3. Análise de Monte Carlo do RTN em um Inversor CMOS: Estudo das Constantes de Tempo.

O estudo deste capítulo foi apresentado no evento “*Chip in the Fields*” de 2021 e publicado (Barbosa *et al*, 2021). Seu objetivo é compreensão sobre como o *Random Telegraph Noise* pode causar variações no *delay* de propagação (t_p) com simulações que possuem diferentes valores para as constantes de tempo do ruído, τ_1 e τ_0 .

Para isso, foi realizada uma análise de Monte Carlo usando um circuito de três inversores CMOS junto de uma carga capacitiva e uma fonte de tensão de onda quadrada (Figura 33). A tecnologia de transistores presentes no circuito é a mesma já apresentada para as outras simulações, de baixa potência e nó tecnológico igual a 16nm.

Figura 33 – Circuito simulado de inversores CMOS com uma carga capacitiva e uma fonte de tensão de onda quadrada.



Fonte – Barbosa *et al*, 2021.

O circuito foi alimentado com V_{dd} igual a 0,5V, abaixo do valor nominal dos transistores, o que é uma condição normal para a economia de energia em circuitos *low power* e pode apresentar mais claramente os efeitos do RTN, visto que os torna mais relevantes. O mesmo valor de tensão foi usado para a amplitude da fonte de onda quadrada. Os dois primeiros inversores, mais próximos da fonte de onda quadrada, servem apenas para tornar o sinal de entrada do terceiro inversor (V_{in}) um sinal mais coerente com a realidade.

O RTN foi aplicado apenas no terceiro inversor. Para todas as simulações, o impacto de cada armadilha na tensão de limiar foi de 5mV para o transistor NMOS e de 2,5mV para o PMOS. O número de armadilhas foi de 5 para o NMOS e de 10 para o PMOS. A largura do canal de condução (W) foi de 20nm para o NMOS e de 40nm para o PMOS. Esses valores estão de acordo com uma densidade de armadilhas usual, o que pode ser visto, por exemplo, no trabalho de Wang *et al*, 2012. O estado inicial de cada armadilha foi aleatório, tornando o impacto total do RTN nos inversores também aleatório a cada transição dos sinais V_{in} e V_{out} .

Por outro lado, o valor das constantes de tempo do ruído e da capacitância de saída variaram a cada simulação, onde $\tau_1 = \tau_0$. O resultado foi um total de 27 de simulações diferentes, cada uma gerando mil valores de *delay* de propagação do sinal medidos entre V_{in} e V_{out} . O período total da janela de cada simulação foi de 1ms.

A Tabela 3 mostra os valores resultantes da média (μ) e do desvio padrão (σ) de t_p para cada simulação, em função dos valores escolhidos para as constantes de tempo e para a capacitância de saída do circuito. Como τ_1 é igual a τ_0 , a média harmônica dessas constantes (τ) também possui o mesmo valor.

Tabela 3 – Resultados das simulações de Monte Carlo para o estudo sobre as constantes de tempo do ruído.

	C(fF)					
	40fF		200fF		1pF	
τ (s)	μ (s)	σ (s)	μ (s)	σ (s)	μ (s)	σ (s)
10^{-2}	1,69E-09	2,30E-14	8,40E-09	2,29E-14	3,85E-08	2,53E-14
10^{-3}	1,58E-09	3,41E-11	8,61E-09	2,80E-10	4,28E-08	1,00E-09
10^{-4}	1,65E-09	7,07E-11	8,52E-09	3,97E-10	4,22E-08	2,10E-09
10^{-5}	1,63E-09	7,53E-11	8,14E-09	3,97E-10	4,07E-08	2,06E-09
10^{-6}	1,65E-09	8,23E-11	8,26E-09	4,17E-10	4,12E-08	1,92E-09
10^{-7}	1,65E-09	8,11E-11	8,24E-09	4,10E-10	4,12E-08	1,97E-09
10^{-8}	1,65E-09	8,07E-11	8,22E-09	3,66E-10	4,10E-08	1,28E-09
10^{-9}	1,65E-09	6,54E-11	8,21E-09	1,91E-10	4,10E-08	4,56E-10
10^{-10}	1,65E-09	2,81E-11	8,22E-09	6,37E-11	4,10E-08	1,34E-10

Fonte – Barbosa *et al*, 2021.

Com a tabela de resultados é possível perceber que μ é semelhante nas simulações que possuem um mesmo valor para a capacitância de saída. Porém, o desvio padrão é alterado.

Para ser possível compreender esse comportamento dos resultados, pode-se imaginar quatro situações diferentes nas simulações: as com armadilhas muito lentas, lentas, rápidas ou muito rápidas. A Figura 34 esboça a variação de tensão de limiar provocada por cada armadilha durante as medidas de t_p .

As armadilhas muito lentas seriam as que possuem valores de constantes de tempo próximas ao período total da janela de simulação. Nestes casos, há pouca ou nenhuma variação observada dos estados elétricos das armadilhas, resultando em um desvio padrão muito baixo. Isso mostra que o período total da janela de simulação é muito importante para estimar os valores máximos das constantes de tempo que contribuem significativamente com a variabilidade do comportamento do circuito.

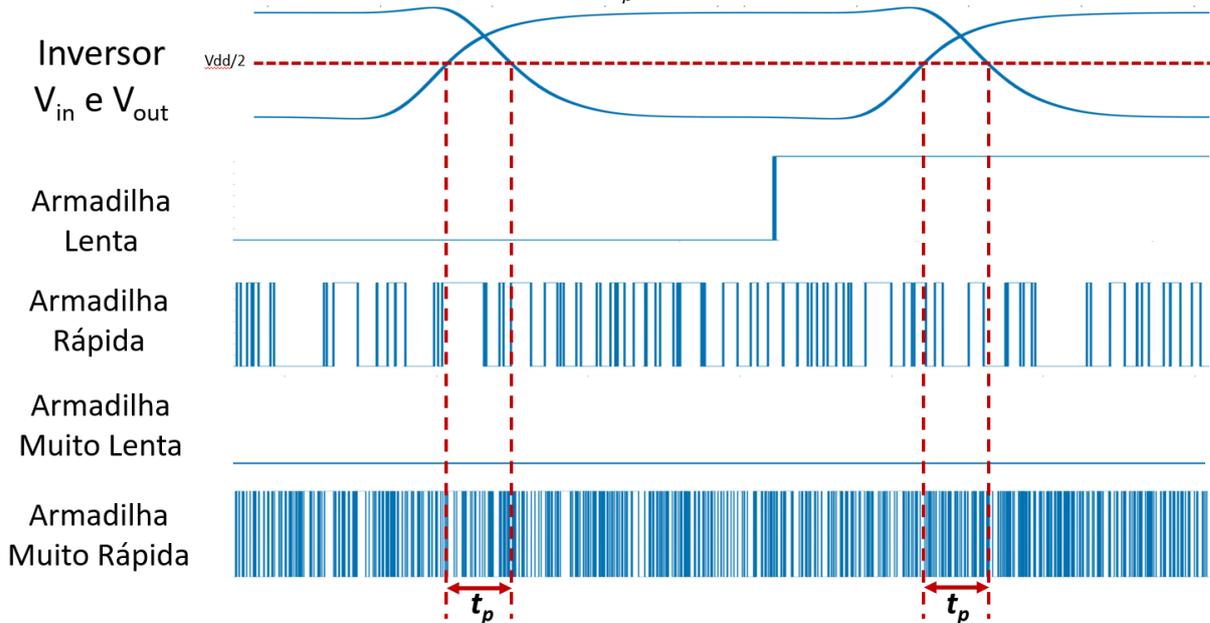
Conforme as constantes de tempo vão diminuindo, surgem as armadilhas lentas e os valores do desvio padrão vão aumentando. Isso ocorre porque nesses casos há uma maior probabilidade de os estados elétricos de todas ou de uma maioria de armadilhas se manterem iguais entre si por mais tempo. Exemplificando, o menor valor possível para t_p aparece quando todas as armadilhas estão desocupadas e o maior valor aparece quando todas estão ocupadas por cargas elétricas no período de transição do sinal do inversor. Portanto, casos mais próximos desses extremos são então observados com mais frequência nessas armadilhas, que mudam seus estados com uma frequência baixa. Na Figura 34, exemplificando, uma armadilha lenta causa uma variabilidade máxima entre duas medidas de t_p , visto que seus estados lógicos nas duas situações são opostos em todo o período da transição do sinal do inversor.

Em armadilhas rápidas, por outro lado, o desvio padrão começa diminuir. As mudanças de estados de ocupação das armadilhas passam a ser frequentes demais e a acontecerem durante a transição do sinal do inversor. Dessa forma, os conjuntos de estados das armadilhas que causam uma variabilidade maior passam a ter menos impacto, visto que permanecem ativos por um período menor.

Por fim, em armadilhas muito rápidas as oscilações da tensão de limiar causadas pelo ruído passam a ser tão frequentes durante a transição do sinal do inversor que o impacto sobre a variabilidade de t_p diminui consideravelmente. Isso ocorre porque esse impacto será resultado de vários conjuntos de estados possíveis de todas as armadilhas, reduzindo a relevância de conjuntos que contribuem com

valores de t_p muito diferentes da média. Isso mostra que a relação τ/t_p é importante para estimar qual o valor mínimo que a constante de tempo deve apresentar para contribuir significativamente com a variabilidade do circuito. Afinal, o número de alterações dos estados das armadilhas que ocorrem durante a transição do sinal do inversor depende dessa relação.

Figura 34 – Exemplificação do comportamento de diferentes armadilhas durante a medida de t_p .



Fonte – Elaborada pelo próprio autor.

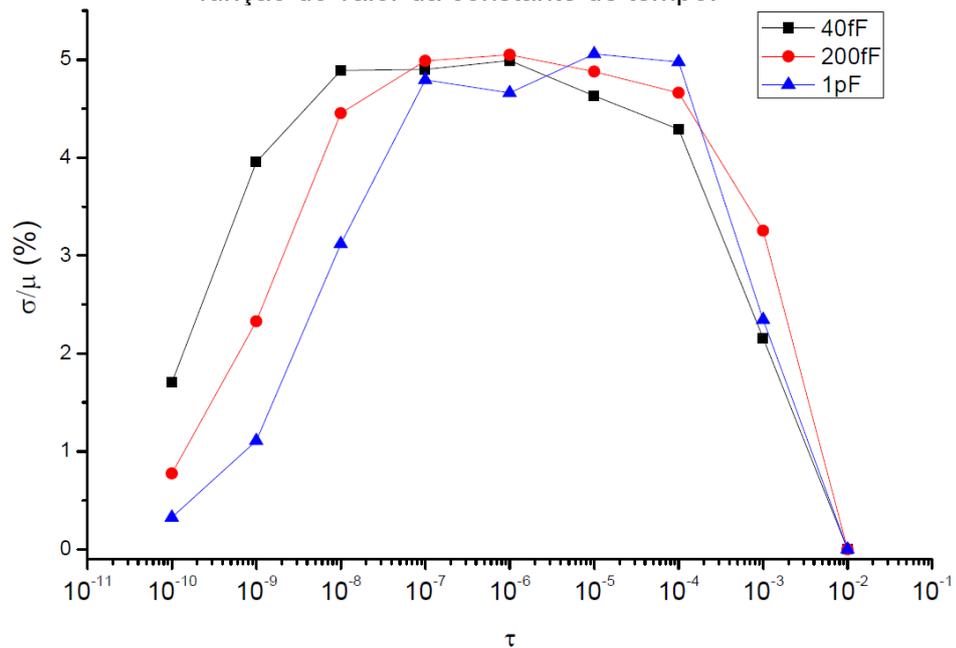
Esses resultados de diferentes armadilhas podem ser percebidos mais facilmente com os gráficos das Figuras 35 e 36, construídos com os mesmos dados apresentados pela Tabela 3. Eles apresentam os desvios padrão normalizados (σ/μ) em função do valor das constantes de tempo (τ) e das constantes de tempo normalizadas (τ/t_p).

No primeiro gráfico percebe-se mais facilmente a dependência dos resultados pelo valor do período total da janela de simulação (1ms), visto que todas as simulações com constantes de tempo maiores que esse período mostraram uma pequena variabilidade de t_p . No segundo, percebe-se a dependência dos resultados por t_p , onde os valores máximos de σ/μ são atingidos quando τ tem valores aproximados ao *delay* de propagação do sinal. Em ambas as figuras, pode-se ver o comportamento das armadilhas descrito anteriormente: olhando os pontos da direita para a esquerda, primeiro temos os resultados das armadilhas muito lentas, com pequenos valores de σ/μ . Depois, para as armadilhas lentas, os valores aumentam,

começam a decair novamente para as rápidas, e apresentam valores muito baixos para as muito rápidas.

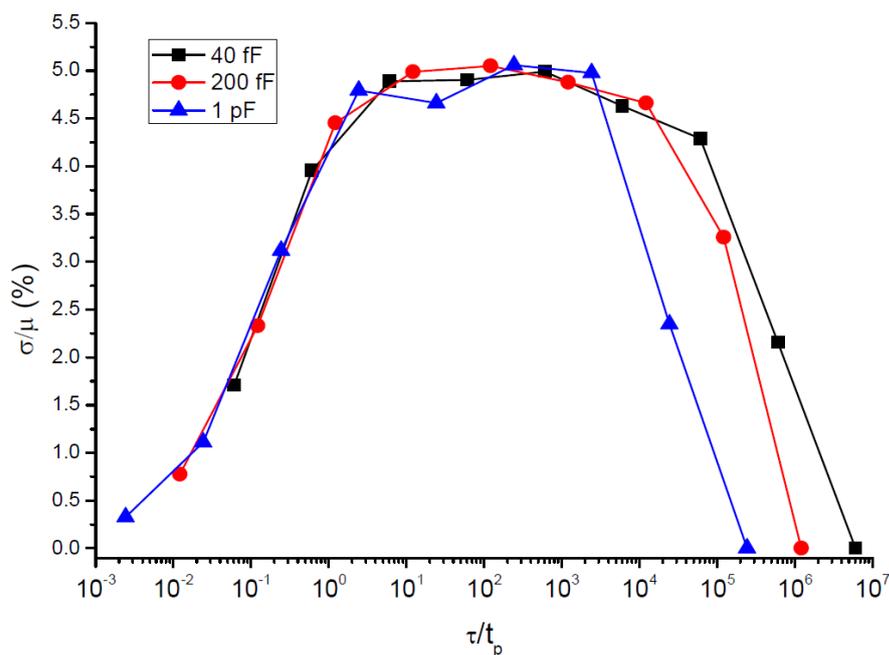
Para o entendimento sobre o funcionamento das células de memória SRAM estes resultados também são relevantes, visto que esse circuito é dependente do desempenho dos inversores, como apresentado na Seção 3.2.

Figura 35 – Desvio padrão normalizado do *delay* de propagação do sinal do inversor em função do valor da constante de tempo.



Fonte – Barbosa *et al*, 2021.

Figura 36 – Desvio padrão normalizado do *delay* de propagação do sinal do inversor em função do valor normalizado da constante de tempo.



Fonte – Barbosa *et al*, 2021.

3.4. Análise de Monte Carlo do RTN na Célula de Memória SRAM 6T.

Por fim, foram computadas 32 simulações visando uma análise sobre o funcionamento da memória SRAM 6T com o ruído RTN. Em todas as simulações as 4 operações das células de memória (escrita 0 e 1, e leitura 0 e 1) foram repetidas 1000 vezes, totalizando 2000 leituras e 2000 escritas. A cada operação, foi lida a tensão do nó Q para avaliar se houve algum erro.

A cada simulação, foram variadas as tensões de impacto de uma única armadilha (δV_{th}) e as constantes de tempo (τ_1 e τ_0), mantendo $\tau_1 = \tau_0$. O estado inicial de cada armadilha é, mais uma vez, aleatório, tornando o impacto total do RTN em cada transistor também randômico a cada passo da simulação. O número de armadilhas e as dimensões dos canais de condução (L/W) do circuito são os mesmos apresentados na Seção 3.3: 5 armadilhas para os transistores NMOS, 10 para os PMOS, e dimensões de 16/20 para dispositivos NMOS e 16/40 para PMOS.

É importante salientar que, em situações reais, os valores mais altos escolhidos para δV_{th} são pouco prováveis para a tecnologia de transistores usados nessas simulações. Porém, a análise dos mesmos é igualmente relevante, visto que novas tecnologias poderão apresentá-los, e ao aplicar valores mais dispersos de δV_{th} é possível ter uma melhor avaliação do comportamento do circuito em função desse parâmetro.

A tensão de alimentação da célula SRAM foi de 0,5V pelos mesmos motivos apresentados na Seção 3.3 e a cada simulação um intervalo de tempo de 1,144 μ s foi abrangido. Os tempos de cada operação foram de 30ps e o tempo de espera entre operações foi de 202ps. A tensão final medida para a avaliação do erro inclui também este tempo de espera, facilitando a estabilização das tensões após uma operação. Assim, a cada operação, a tensão inicial medida em Q é a tensão do início da operação nesses nós, e a tensão final é o início da próxima operação, considerando um tempo de espera.

A Tabela 4 apresenta o resultado de todas as simulações e as Figuras 37, 38 e 39 apresentam os gráficos desses resultados. O número total de erros foi dividido em erros de leitura e de escrita para uma melhor avaliação sobre suas causas.

Tabela 4 – Resultados das simulações de Monte Carlo para o estudo sobre os erros de memória causados pelo RTN.

		δV_{th}										
		NMOS	20mV	30mV	40mV	50mV	75mV	100mV	125mV	150mV		
		PMOS	10mV	15mV	20mV	25mV	37,5mV	50mV	62,5mV	75mV		
Número de Erros	Leitura	0	6	29	30	37	33	34	21	10^{-9}	τ	
	Escrita	0	92	423	622	856	922	959	977			
	TOTAL	0	98	452	652	893	955	993	998			
	Leitura	0	11	15	24	51	41	52	30	10^{-10}		
	Escrita	0	81	369	628	829	911	932	964			
	TOTAL	0	92	384	652	880	952	984	994			
	Leitura	0	1	15	22	53	38	53	45	10^{-11}		
	Escrita	0	7	168	473	796	895	908	937			
	TOTAL	0	8	183	495	849	933	961	982			
	Leitura	0	0	0	17	84	63	58	106	10^{-12}		
	Escrita	0	0	0	65	720	883	907	837			
	TOTAL	0	0	0	82	804	946	965	943			

Fonte – Elaborada pelo próprio autor.

Percebe-se que o número de erros tende a aumentar juntamente com o valor de impacto na tensão de *threshold* de cada armadilha. Este comportamento está de acordo com o esperado, visto que acrescenta uma variação maior nas tensões médias de chaveamento dos inversores e resulta em um maior *delay* de propagação do sinal. Porém, há um comportamento diferente nos valores mais altos de δV_{th} . Nestes pontos, os erros de escrita tem pouca variação e os erros de leitura tendem a diminuir em alguns casos.

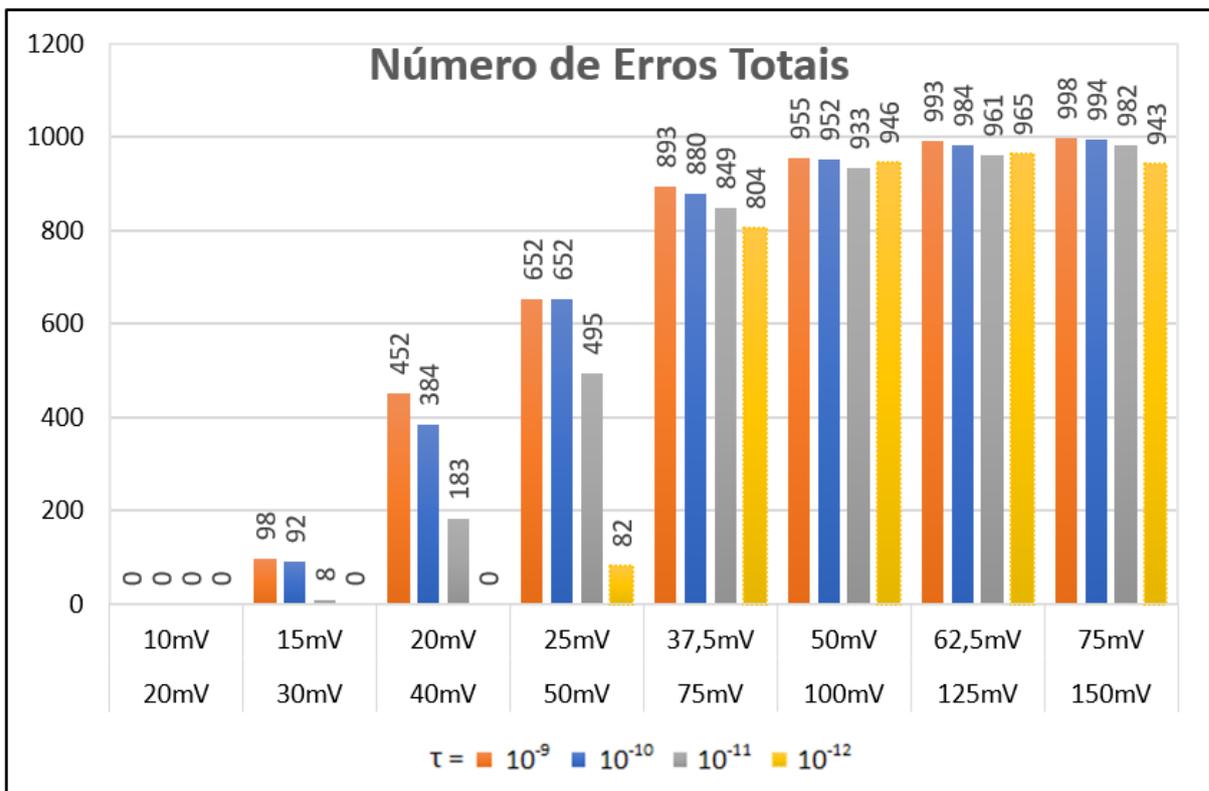
A pouca variação dos erros de escrita pode ser atribuída à saturação do número de erros que a variação da tensão de limiar pode apresentar. Essa saturação parece convergir em 1000 erros. Isso acontece porque a simulação se assemelha a uma operação real da célula de memória. Se um erro ocorre em uma operação de escrita o estado da memória não muda. Assim, a próxima escrita será inutilizada, pois estará escrevendo um estado de memória já presente na célula SRAM. Portanto, a cada duas escritas da simulação, só é possível contabilizar um erro, resultando em uma saturação dos números de erro que converge na metade da quantidade realizada dessas operações.

Por outro lado, o comportamento do número de erros de leitura, que diminuem com o acréscimo de δV_{th} , é explicado pelo aumento excessivo do *delay* de propagação do sinal. O valor alto de t_p passa a atrapalhar escritas indevidas durante o processo de leitura.

O comportamento do número de erros em função das constantes de tempo também se apresentou como esperado na maioria dos casos. Um valor muito pequeno desses parâmetros tende a reduzir a variabilidade do comportamento do circuito, como discutido na Seção 3.3.

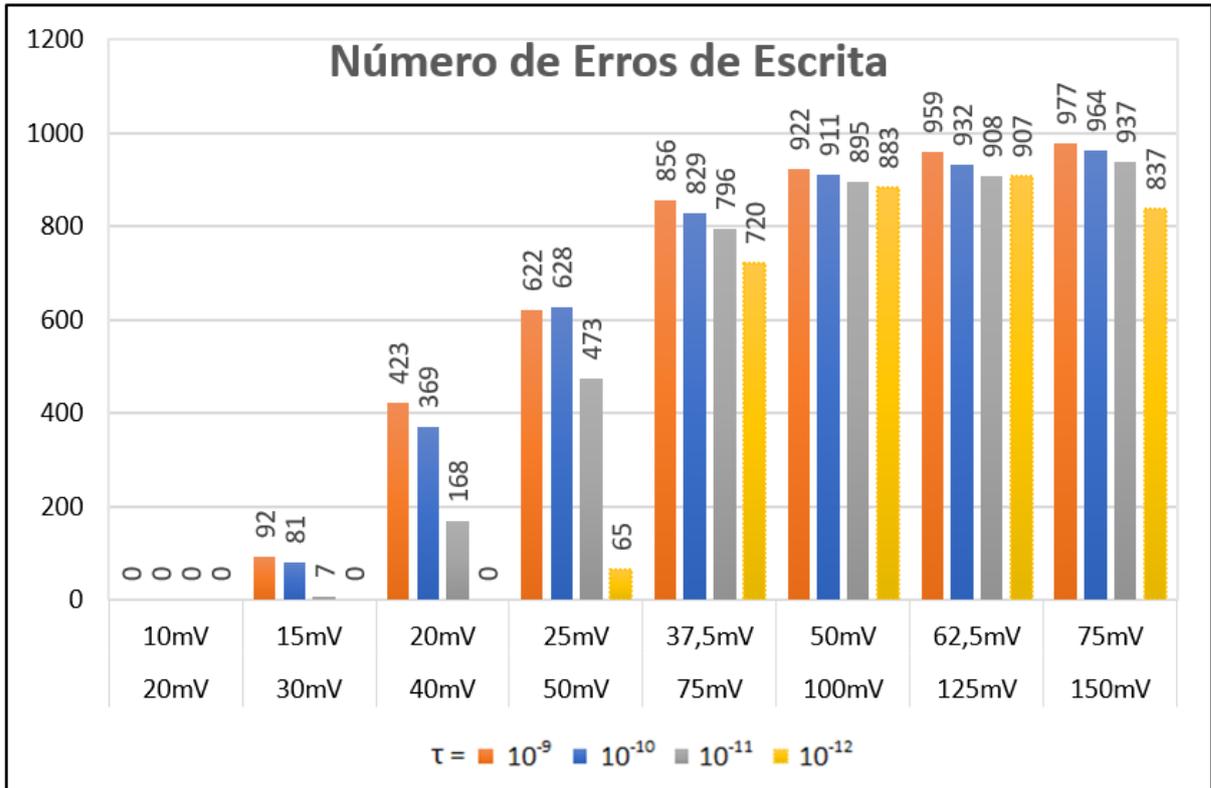
Porém, para os erros de leitura com um RTN que possui um maior impacto por armadilha o comportamento é o oposto: os erros aumentam com a diminuição das constantes de tempo. Isso pode ser explicado pela diminuição de t_p . Com uma menor variabilidade, t_p apresenta valores menores na maioria das operações de leitura, o que facilita uma escrita inesperada.

Figura 37 – Gráfico com o número de erros totais das operações da célula de memória SRAM 6T simulada.



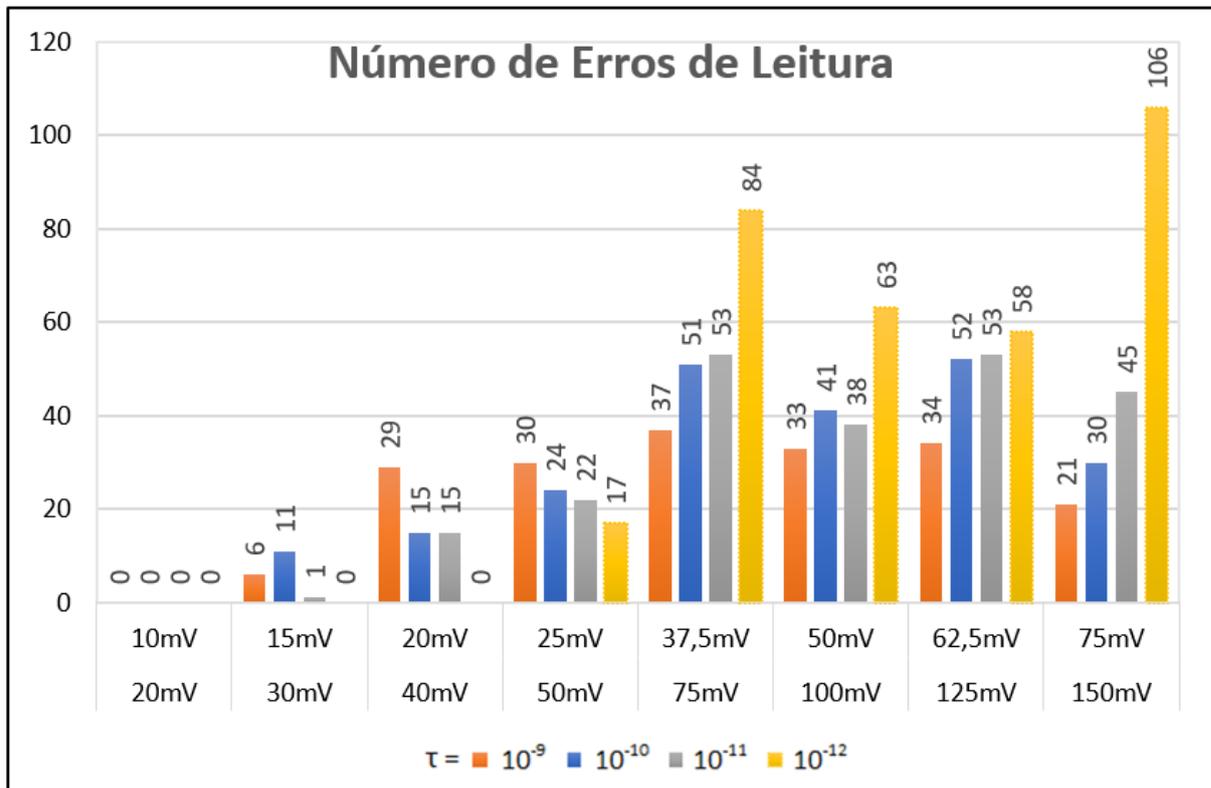
Fonte – Elaborada pelo próprio autor.

Figura 38 – Gráfico com o número de erros de escrita das operações da célula de memória SRAM 6T simulada.



Fonte – Elaborada pelo próprio autor.

Figura 39 – Gráfico com o número de erros de leitura das operações da célula de memória SRAM 6T simulada.



Fonte – Elaborada pelo próprio autor.

Assim, por meio do resultado dessas simulações foi possível identificar muitos dos problemas já estudados anteriormente em outras seções deste trabalho, como a variabilidade causada por diferentes magnitudes de constantes de tempo e os erros esperados com o modelo de simulação escolhido, concretizando ainda mais o conhecimento adquirido.

Além disso, pode-se compreender a importância do ruído no funcionamento da célula SRAM. Afinal, até mesmo a primeira simulação que apresentou erros tem resultados relevantes, com um total de até 98 erros, o que representa 2,45% do total de operações avaliadas. A princípio este número pode não parecer expressivo, porém, considerando que um circuito pode apresentar bilhões de células de memória SRAM 6T e que as informações lidas por um computador dependem de mais de um bit, percebe-se que boa parte da memória estaria comprometida com este número de erros. Portanto, esses resultados mostram a crescente importância do desenvolvimento e do uso de técnicas que diminuam os efeitos do ruído RTN para as mais novas tecnologias baseadas em circuitos integrados.

4. CONCLUSÃO

O estudo proposto iniciou com um breve capítulo teórico sobre o ruído *Random Telegraph Noise*, onde foram discutidos seus principais parâmetros, importantes para as simulações conseguintes: o número de armadilhas por transistor, o impacto de cada armadilha na tensão de limiar e as constantes de tempo. Além disso, foi mostrado, por meio de equações, a importância da área do transistor para a variabilidade desse dispositivo quando submetido ao RTN.

Depois, foram realizados modelos de simulações visando a compreensão sobre como alguns dos principais parâmetros do ruído agem para causar variabilidade no circuito da célula de memória SRAM 6T. Foi constatado que o impacto na tensão de limiar pode causar atrasos que prejudicam as operações de escrita e provocar inversões indevidas do estado da memória nas operações de leitura e de espera. Além disso, tomou-se conhecimento sobre a variabilidade resultante para diferentes valores de constante de tempo. Esse parâmetro do ruído gerou uma variabilidade relevante quando apresentou valores em um intervalo determinado pela relação τ/t_p e pela janela de tempo de observação do circuito.

Com isso, foi possível analisar um último modelo de simulação que teve como objetivo representar um funcionamento da célula de memória SRAM 6T mais próximo da realidade. Foi constatado um número relevante de erros nas operações da memória mesmo quando os parâmetros do ruído tiveram valores menos expressivos.

Desse modo, foi exemplificada a importância da variabilidade causada pelo *Random Telegraph Noise* em circuitos integrados, mostrando a necessidade de técnicas de fabricação que reduzam essas consequências do ruído, visto que se espera uma variabilidade ainda maior em novas tecnologias de transistores MOS.

Para futuros trabalhos, espera-se determinar a margem de ruído da célula de memória SRAM escolhida e a densidade de probabilidade do RTN. Por fim, é possível a determinação da probabilidade de erro da célula SRAM em condições mais próximas a situações usualmente encontradas experimentalmente, o que inclui considerar flutuações na tensão de alimentação. Desse modo, será apresentada uma melhor avaliação sobre o número de erros esperados nesse circuito causados pelo *Random Telegraph Noise*.

REFERÊNCIAS

- ASENOV, A.; Balasubramaniam, R.; Brown, A. R.; Davies, J. H. **RTS amplitudes in decanometer MOSFETs: 3-D simulation study**. IEEE T. Electron Devices. 2003.
- BANASZESKI, M. S. **A Physics-Based Statistical Random Telegraph Noise Model**. 2016.
- BARBOSA, R. G.; Both, T. H.; Wirth, G. I. **Gate Delay Variability due to Random Telegraph Noise**. IEEE. 2021.
- BHAVNAGARWALA, A. J.; Kosonocky, S.; Radens, C.; Chan, Y. Stawiasz, K.; Srinivasan, U.; Kowalczyk, S. P.; Ziegler, M. M. **A Sub-600-mV, Fluctuation Tolerant 65-nm CMOS SRAM Array With Dynamic Cell Biasing**. IEEE. 2008.
- BOTH, T. H. **Autocorrelation Analysis in Frequency Domain as a Tool for MOSFET Low-Frequency Noise Characterization**. 2017.
- DRAPATZ, S. **Parametric Reliability of 6T-SRAM Core Cell Arrays**. Munique, 2011.
- EZEOGU, C. A. **Performance Analysis of 6T and 9T SRAM**. International Journal of Engineering Trends and Technology. Abril de 2019.
- FRANK, D. J.; Miki, H. **Analysis of Oxide Traps in Nanoscale MOSFETs using Random Telegraph Noise**, in Grasser, T.: Bias Temperature Instability for Devices and Circuits. 2014.
- FURTADO, G. F. **Análise da Técnica de Cancelamento de Ruído em Circuitos Analógicos**. 2015.
- GHETTI, A.; Compagnoni, C. M.; Spinelli, A. S.; Visconti, A. **Comprehensive analysis of random telegraph noise instability and its scaling in deca-nanometer flash memories**. IEEE T. Electron Dev. 2009.
- KACZER, B.; Grasser, T.; Roussel, Ph. J.; Franco, J.; Degraeve, R.; Ragnarsson, L.-A.; Simoen, E.; Groeseneken, G.; Reisinger, H. **Origin of NBTI variability in deeply scaled pFETs**; Proc. IEEE Int. Reliab. Phys. Symp. (IRPS). 2010.
- KACZER, B.; Toledano-Luque, M.; Franco, J.; Weckx, P. **Statistical Distribution of Defect Parameters**, 2014 in Grasser, T.: Bias Temperature Instability for Devices and Circuits. 2014.
- KERBER, A.; Cartier, E. **Bias Temperature Instability Characterization Methods** in Grasser, T.: Bias Temperature Instability for Devices and Circuits. 2014.

KIRTON, M. J.; Uren, M. J. **Noise in Solid State Microstructures: A New Perspective on Individual Defects, Interface States and Low-frequency (1/f) Noise**. Advanced in Physics. 1989.

LOKESH, S.B.; Megha, C. K.; Niharika, V.; Prathyusha2, A.; Rohitha, G. **Design of Read and Write Operations for 6t Sram Cell**. IOSR Journal of VLSI and Signal Processing. 2018.

MACHLUP, S. **Noise in Semiconductors: Spectrum of a Two-Parameter Random Signal**. Journal of Applied Physics, 1954.

MIKI, H.; Tega, N.; Yamaoka, M.; Frank, D. J.; Bansal, A.; Kobayashi, M.; Cheng, K.; D'Emic, C. P.; Ren, Z.; Wu, S.; Yau, J-B.; Zhu, Y.; Guillorn, M. A.; Park, D.-G.; Haensch, W.; Leobandung, E.; Torii, K. **Statistical Measurement of Random Telegraph Noise and Its Impact in Scaled-down High- κ /Metal-gate MOSFETs**. IEDM Tech. Dig., (IEEE). 2012.

RALLS, K. S.; Skocpol, W. J.; Jackel, L. D.; Howard, R. E.; Fetter, L. A.; Epworth, R. W.; Tennant, D. M. **Discrete Resistance Switching in Submicrometer Silicon Inversion Layers: Individual Interface Traps and Low-Frequency 1/f Noise**. Phys. Rev. Lett. 1984.

REISINGER, H. **The time-dependent defect spectroscopy in Grassler: T. Bias temperature instability for devices and circuits**. 2014.

SAHA S. K. **Compact MOSFET Modeling for Process Variability-Aware VLSI Circuit Design**. IEEE. 2014.

SEDRA, A. S.; Smith, K. C. **Microelectronic circuits**. New York: Oxford University Press, 1998.

SINGH, Y.; Boolchandani, D. **SRAM Design for Nanoscale Technology with Dynamic V_{th} and Dynamic Standby Voltage for Leakage Reduction**. IEEE. 2013.

TAKEUCHI, K. **Impact of Discrete-Charge-Induced Variability on Scaled MOS Devices**. IEICE Trans. Electron. 2012.

TAKEUCHI, K.; Nagumo, T.; Yokogawa, S.; Imai, K.; Hayashi, Y. **Single-Charge-Based Modeling of Transistor Characteristics Fluctuations Based on Statistical Measurement of RTN Amplitude**. VLSI Symp. Tech, IEEE. 2009.

TEGA, N.; Miki, H.; Pagette, F.; Frank, D. J.; Ray, A.; Rooks, M. J.; Haensch, W.; Torii, K. **Increasing Threshold Voltage Variation Due To Random Telegraph Noise in FETs as Gate Lengths Scale to 20 nm**. Symp. VLSI Tech., IEEE. 2009a.

TEGA, N.; Miki, H.; Ren, Z.; D'Emic, C. P.; Zhu, Y.; Frank, D. J.; Cai, J.; Guillorn, M. A.; Park, D.-G.; Haensch, W.; Torii, K. **Reduction of Random Telegraph Noise in High- κ / Metal-gate Stacks for 22 nm Generation FETs**. IEDM Tech. Dig., IEEE. 2009b.

WANG, J.; Mottaghian, S. S.; Baroughi, M. F. **Passivation Properties of Atomic-Layer-Deposited Hafnium and Aluminum Oxides on Si Surfaces**, IEEE Transactions on Electron Devices, V. 59, pp. 343, 2012, doi: 10.1109/TED.2011.2176943.

WIRTH, G. I.; Silva, R.; Brederlow, R. **Statistical Model for the Circuit Bandwidth Dependence of Low-Frequency Noise in Deep-Submicrometer MOSFETs**. IEEE. 2007.

WIRTH, G. I.; Cao, Y.; Velamala, J. B.; Sutaria, K. B.; Sato, T. **Charge trapping in MOSFETS: BTI and RTN modeling for circuits** in Grasser, T.: Bias Temperature Instability for Devices and Circuits. 2014.

WIRTH, G. I. **Time-Dependent Random Threshold Voltage Variation Due to Random Telegraph Noise**. IEEE. 2021.

YAMAMOTO, Y. **Fundamentals of Noise Processes**. Cambridge University Press, 2004.

ZHANG, Z.; Guo, S.; Jiang, X.; Wang, R.; Huang, R.; Zou, J. **Investigation on the amplitude distribution of random telegraph noise (RTN) in nanoscale MOS devices**, 2016 IEEE International Nanoelectronics Conference (INEC), 2016, pp. 1-2, doi: 10.1109/INEC.2016.7589332.