



XXXIII SIC SALÃO INICIAÇÃO CIENTÍFICA

Evento	Salão UFRGS 2021: SIC - XXXIII SALÃO DE INICIAÇÃO CIENTÍFICA DA UFRGS
Ano	2021
Local	Virtual
Título	Exploração de Espaço de Projeto sob Restrições de Potência em Síntese de Alto Nível
Autor	FILIPE BACHINI LOPES
Orientador	GABRIEL LUCA NAZAR

Título: Exploração de Espaço de Projeto sob Restrições de Potência em Síntese de Alto Nível

Autor: Filipe Bachini Lopes

Orientador: Gabriel Luca Nazar

Instituição: Universidade Federal do Rio Grande do Sul

O nosso projeto tem como base a utilização de FPGAs, circuitos integrados programáveis que, dependendo de sua utilização, podem conter múltiplas aplicações simultaneamente hospedadas, compartilhando recursos e potência. Dentro desse escopo, estes dispositivos podem ter restrições dos recursos e observar certo orçamento de potência, se fazendo necessário dimensionar as aplicações que serão utilizadas, que é o objetivo da nossa pesquisa. Com isso, nosso trabalho aborda dois tópicos de pesquisa recente da computação, focando sua utilização em sistemas embarcados, são eles: Exploração de Espaço de Projeto (DSE), que engloba algoritmos e heurísticas que buscam soluções adequadas de projeto sob diferentes restrições, objetivando métricas como desempenho e uso de recursos; e Linguagens de Domínio Específico (DSL), que compreende o escopo de linguagens de programação de alto nível que têm foco para sistemas específicos de computação, no nosso caso FPGAs, buscando maior flexibilidade de programação e rápido desenvolvimento. Nossa proposta é investigar a utilização de DSE em FPGAs utilizando múltiplas aplicações desenvolvidas em DSL. Essas aplicações devem respeitar um sistema que tem restrições de uso de recursos e potência. Nossa plataforma então, tem como objetivo encontrar a melhor combinação de implementações que satisfaçam essas restrições, ao mesmo tempo que busca obter um bom desempenho. As ferramentas de DSE e a linguagem DSL que serão utilizadas já foram escolhidas e testadas, ao passo que a plataforma está em fase de testes. O fluxo do projeto tem a seguinte ordem: Aplicações são desenvolvidas em DSL; A ferramenta de DSE busca as implementações adequadas, em relação à recursos e potência, de cada aplicação; Nossa plataforma seleciona as implementações que serão colocadas no FPGA a partir das restrições informadas. Os resultados iniciais se demonstram promissores, mostrando a viabilidade de implementação de uma plataforma para FPGA que observe a melhor utilização de múltiplas aplicações em sistemas com restrições.