

**UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL - UFRGS**  
**FACULDADE DE ENGENHARIA**  
**CURSO DE ENGENHARIA ELÉTRICA**

**DOUGLAS ANDERSON SOUZA SIQUEIRA**

**Avaliação de efeitos e formas de mitigação de interferência eletromagnética  
em um conversor analógico-digital SAR de um SoC programável**

**Porto Alegre**

**2022**

DOUGLAS ANDERSON SOUZA SIQUEIRA

**Avaliação de efeitos e formas de mitigação de interferência eletromagnética  
em um conversor analógico-digital SAR de um SoC programável**

Trabalho de Conclusão de Curso  
apresentado como requisito parcial para  
obtenção do título de Bacharel em  
Engenharia Elétrica, pelo Curso de  
Engenharia Elétrica da Universidade  
Federal do Rio Grande do Sul - UFRGS

Orientador: Prof. Dr. Tiago Roberto Balen

Porto Alegre

2022

*“A mente que se abre a uma nova ideia jamais  
voltará ao seu tamanho original.”  
– Albert Einstein.*

## RESUMO

Cada vez mais são desenvolvidos avanços tecnológicos com o uso de dispositivos eletrônicos, estando esses presentes em um número cada vez maior de lugares, sendo usados em aviões, carros, meios de comunicação, entre outros. Ao mesmo tempo que o uso desses dispositivos aumenta, a exigência por confiabilidade e durabilidade dos mesmos também aumenta, exigindo a aplicação de testes cada vez mais abrangentes, incluindo testes de compatibilidade e imunidade eletromagnética. O presente trabalho desenvolve uma metodologia de detecção de erros para um conversor analógico-digital presente em um *System-on-chip* programável (PSoC 6), um dispositivo voltando ao mercado de internet das coisas, devido a interferência eletromagnética. Busca-se aplicar parte das normas IEC 62132 utilizando a metodologia de erros desenvolvida para caracterizar o dispositivo acerca de sua imunidade eletromagnética. Ao final, constatou-se que o mesmo apresenta susceptibilidade às frequências de 150 kHz a 120 MHz, apresentando um desvio de até 32 mV nas conversões quanto comparado ao seu funcionamento normal, quando utilizada uma tensão de referência de 3,3 V.

**Palavras-chave:** PSoC 6. IEC 62132. Interferência eletromagnética. Conversores Analógico-digitais.

## LISTA DE FIGURAS

<b>Figura 1:</b> Crescimento da frequência de operação de microcontrolares. ....	13
<b>Figura 2:</b> Diminuição da tensão de alimentação de microcontrolares. ....	14
<b>Figura 3:</b> Tipos de problema de compatibilidade eletromagnética.....	16
<b>Figura 4:</b> Representação de conversor analógico-digital.....	19
<b>Figura 5:</b> Exemplo de circuito sample and hold e seus erros. ....	19
<b>Figura 6:</b> ADCs – arquiteturas, aplicações, resoluções e taxas de amostragem.....	21
<b>Figura 7:</b> Funcionamento de um ADC perfeito. ....	22
<b>Figura 8:</b> Exemplo de erro de offset positivo. ....	23
<b>Figura 9:</b> Exemplo de erro de ganho negativo.....	24
<b>Figura 10:</b> Exemplo de erro de fundo de escala. ....	24
<b>Figura 11:</b> Exemplo de erro de linearidade diferencial. ....	25
<b>Figura 12:</b> Exemplo de erro de linearidade integral. ....	25
<b>Figura 13:</b> Diagrama de blocos de um conversor SAR teórico.....	28
<b>Figura 14:</b> Perspectivas do mercado de IoT.....	30
<b>Figura 15:</b> Periféricos PSoC 6. ....	31
<b>Figura 16:</b> Diagrama de blocos do kit CY8CPROTO-063-BLE.....	32
<b>Figura 17:</b> Diagrama do sistema analógico do PSoC 6. ....	33
<b>Figura 18:</b> Exemplo de modulação AM.....	36
<b>Figura 19:</b> Disposição do circuito para injeção direta. ....	38
<b>Figura 20:</b> Exemplificação de <i>slew-rate</i> para diferentes ondas. ....	41
<b>Figura 21:</b> Trecho de código para cálculo do <i>slew-rate</i> . ....	42
<b>Figura 22:</b> Trecho de código para detecção de erros.....	42
<b>Figura 23:</b> Disposição de hardware para implementação do algoritmo de teste. ....	44
<b>Figura 24:</b> Setup experimental utilizado. ....	46
<b>Figura 25:</b> Configuração inicial do gerador de RF. ....	47
<b>Figura 26:</b> Senoide sem e com distúrbio RF.....	48
<b>Figura 27:</b> Número de erros por frequência, inserção pino Vin. ....	50
<b>Figura 28:</b> Comparação entre o sinal adquirido e o sinal esperado em 550 kHz.....	51
<b>Figura 29:</b> Comparação entre o sinal adquirido e o sinal esperado em 37 MHz. ....	51
<b>Figura 30:</b> Número de erros por frequência – inserção Vref.....	53
<b>Figura 31:</b> Número de erros por faixa de frequência – inserção Vref. ....	54

<b>Figura 32:</b> Comparação entre o sinal adquirido e o esperado – 150 kHz – inserção pino de Vref. ....	54
<b>Figura 33:</b> Comparação entre o sinal adquirido e o esperado – 6 MHz – sem injeção de distúrbio. ....	55
<b>Figura 34:</b> Histograma – aquisição de dados sem inserção de RF. ....	57
<b>Figura 35:</b> Histograma – aquisição de dados com inserção de RF no pino Vref. ....	57

**LISTA DE TABELAS**

**Tabela 1:** Faixas e *steps* de frequência. ....35

**Tabela 2:** Faixas de potência de acordo com o tipo de dispositivo. ....37

## LISTA DE SIGLAS

ABS	Antilock Brake System
ADC	Analog to Digital Converter
CISPR	Comité International Spécial des Perturbations Radioélectriques
CMOS	Complementary Metal Oxide Semiconductor
DAC	Digital to Analog Converter
DNL	Differential Non-Linearity
EMC	Electromagnetic Compatibility
EMI	Electromagnetic Interference
ENOB	Effective Number of Bits
FCC	The Federal Communications Commission
HIRF	High-intensity radiated field
IC	Integrated Circuit
IDE	Integrated development environment
IEC	International Electrotechnical Commission
INL	Integral Non-Linearity
IoT	Internet of Things
LSB	Least Significant Bit
PCB	Printed Circuit Board
PSoC	Programmable System-on-Chip
RF	Radio Frequency
RMS	Root Mean Square
SAR	Successive Approximations Register
SINAD	Signal Noise and Distortion
SoC	System-on-Chip
THD	Total Harmonic Distortion
UART	Universal Asynchronous Receiver Transmitter
VDD	Supply Voltage
VIN	Input Voltage
VREF	Reference Voltage



## SUMÁRIO

<b>1 INTRODUÇÃO</b> .....	<b>9</b>
<b>2 FUNDAMENTAÇÃO TEÓRICA</b> .....	<b>10</b>
2.1 INTERFERÊNCIA ELETROMAGNÉTICA EM SISTEMAS ELETRÔNICOS .....	11
2.1.1 História de EMI e EMC .....	11
2.1.2 EMI e EMC nos dias atuais .....	13
2.1.3 Classificação de EMI e EMC e tipos de falhas .....	15
2.2 IEC – COMISSÃO ELETROTÉCNICA INTERNACIONAL .....	16
2.2.1 Seleção da norma para o caso da aplicação .....	17
2.3 CONVERSORES ANALÓGICO-DIGITAIS (ADC) .....	18
2.3.1 Visão geral e tipos de conversores AD .....	18
2.3.2 Parâmetros de desempenho de conversores AD .....	22
2.3.2 Conversor SAR – Registrador de Aproximações sucessivas .....	27
2.4 O DISPOSITIVO SOB TESTE – PSOC 6 .....	29
<b>3 METODOLOGIA</b> .....	<b>34</b>
3.1 ESPECIFICAÇÕES DO TESTE FRENTE À NORMA .....	34
3.1.1 Seleção dos pinos para injeção de energia RF .....	35
3.1.2 Especificações da forma de onda a ser aplicada e fluxo para execução .....	35
3.1.3 Especificações de circuito para realizar a injeção .....	37
3.1.4 Classificação da performance do dispositivo .....	38
3.2 DESENVOLVIMENTO DO CÓDIGO PARA CAPTURA DE ERROS .....	39
3.2.1 Desenvolvimento de método para detecção de erros .....	40
3.2.2 Implementação do algoritmo no PSoC 6 .....	43
3.3 EXECUÇÃO DO EXPERIMENTO .....	46
3.4 TRATAMENTO DOS DADOS .....	48
<b>4 ANÁLISE DOS RESULTADOS E DISCUSSÕES</b> .....	<b>49</b>
4.1 INJEÇÃO NO PINO DE VIN .....	49
4.2 INJEÇÃO NO PINO DE VREF .....	52
4.3 INJEÇÃO NO PINO DE VDD .....	56
4.4 CARACTERIZAÇÃO DO CONVERSOR .....	56
<b>5 CONCLUSÃO</b> .....	<b>59</b>
<b>REFERÊNCIAS</b> .....	<b>61</b>

## 1 INTRODUÇÃO

Desde a criação do primeiro transistor nos laboratórios Bell em 1947 e, posteriormente, a criação do primeiro microprocessador pela Intel em 1971, a humanidade mergulhou em um processo de modernização centralizado no desenvolvimento da eletrônica. Dispositivos para uso pessoal como computadores e celulares foram desenvolvidos e popularizados. Esses avanços tecnológicos continuam nos dias de hoje, sendo sempre possível observar novos dispositivos emergindo no mercado, como smartphones e dispositivos de IoT (*Internet of things* – Internet das coisas).

Para suportar esta demanda crescente de equipamentos móveis, que necessitam se comunicar mesmo estando distantes uns dos outros, houve a necessidade do desenvolvimento de meios de comunicação sem fio mais robustos e flexíveis, havendo hoje inúmeros protocolos sendo usados, como *wi-fi*, *bluetooth*, GSM, entre diversos outros. Todos estes protocolos tem em comum o uso de ondas eletromagnéticas para possibilitar a troca de informações. Logo, conclui-se que o ambiente em que vivemos está repleto de ondas eletromagnéticas de diferentes potências e frequências, transportando dados de uma ponta à outra.

Estes diversos avanços decorrentes da microeletrônica acarretaram no agravamento de um problema já conhecido das operações em rádio frequência – A interferência eletromagnética (EMI). Diversos problemas de funcionamento de circuitos eletrônicos nas mais diversas áreas, tais como nas indústrias aeronáuticas e automotivas, tiveram como causa a interferência eletromagnética. Em 1995, a NASA realizou uma publicação contendo diversos casos de acidentes registrados cuja causa estava relacionada à EMI. Entre eles é possível usar como exemplo um acidente ocorrido com uma aeronave F-16, que caiu próximo à um transmissor de rádio pois os controles de voo eram susceptíveis à transmissão HIRF. Após análises do incidente, foi descoberto que a causa do problema foi a interferência eletromagnética, pois o computador de bordo não conseguiu oferecer informações exatas ao piloto pois o mesmo era susceptível a ondas utilizadas em transmissões HIRF. (NASA, 1995).

Diante da recorrência de problemas relacionados à EMI, diversas normas foram criadas para permitir que os avanços na telecomunicação e na eletrônica seguissem a ocorrer sem agravar este problema. Nos dias de hoje, a IEC –

*International Electrotechnical Commission*, comissão internacional de eletrotécnica, rege uma série de padrões e testes que devem ser realizados para verificar se um dispositivo está de acordo com as normas de susceptibilidade e compatibilidade eletromagnética, conceitos que serão explicados mais adiante. Projetistas de circuitos eletrônicos devem considerar EMI durante as fases de projeto, tornando-se assim um grande tema dentro da eletrônica.

O presente trabalho visa um estudo de interferência eletromagnética, voltado para a aplicação em conversores analógico-digitais. A escolha de avaliar esses feitos especificamente em conversores analógicos digitais surge devido à alta aplicabilidade desses componentes, sendo utilizados nos dias de hoje para representar grandezas físicas de forma digital, sendo possível implementar sistemas de controle ou de monitoramento utilizando-os. No presente trabalho, um conversor analógico-digital (ADC) de topologia SAR (*Successive Approximation Register*) presente no *System-on-Chip* programável PSoC 6 é utilizado como estudo de caso.

Conversores analógicos digitais também são amplamente usados em sistemas de aquisição de dados e instrumentação, sendo aplicados em veículos, aeronaves, sistemas de processamento de som e imagem entre diversos outros. Esses componentes costumam ser críticos em diversas aplicações como, por exemplo, na aviação, onde são responsáveis por realizar medidas como temperatura, velocidade e altitude em aviões modernos para possibilitar o funcionamento de pilotos automáticos, por exemplo. Portanto, esses componentes devem ser extremamente confiáveis e devem estar de acordo com normas sobre o assunto.

Alguns estudos sobre interferência eletromagnética já foram conduzidos anteriormente na UFRGS, porém empregando tecnologias diferentes das que serão utilizadas neste trabalho e, devido a isso, será possível produzir comparações entre tecnologias e promover discussões acerca dos resultados.

## **2 FUNDAMENTAÇÃO TEÓRICA**

Para sustentar o tema abordado no presente trabalho, primeiro serão introduzidos conceitos fundamentais para o entendimento do mesmo. O texto abaixo apresenta a fundamentação teórica necessária para isso.

## 2.1 INTERFERÊNCIA ELETROMAGNÉTICA EM SISTEMAS ELETRÔNICOS

Interferência eletromagnética (EMI) é qualquer distúrbio, fenômeno, sinal ou emissão eletromagnético que causa ou é capaz de causar respostas indesejadas ou degradação de performance em dispositivos elétricos ou eletrônicos. Basicamente ondas eletromagnéticas são emitidas por qualquer lugar onde haja a passagem de corrente elétrica alternada. Quando ocorre a passagem de ondas eletromagnéticas por algum condutor, há a possibilidade do surgimento de uma corrente elétrica induzida, que pode afetar o funcionamento deste segundo dispositivo. Diante deste problema, surgiu o termo Compatibilidade Eletromagnética (EMC), que se refere a capacidade de um sistema elétrico ou eletrônico de não interferir nem sofrer interferência eletromagnética em um determinado ambiente. Um sistema é dito compatível eletronicamente quando não emitir EMI acima de determinado nível e quando apresentar imunidade à EMI presente em seu ambiente (Prestes, 2010).

### 2.1.1 História de EMI e EMC

Em 1859 um dos pioneiros em comunicações de rádio, Marconi Guglielmo, desenvolveu o telégrafo sem fio, o primeiro dispositivo de comunicação sem fio que enviava informações utilizando ondas de rádio. Em um primeiro momento, não foi uma invenção que atraiu tanta atenção do público como ocorre nos dias de hoje, porém o exército dos EUA viu um grande potencial no dispositivo pois com ele seria possível realizar a comunicação com seus navios. A invenção passou a ser utilizada pelo exército em 1899, quando foi encontrado um dos primeiros problemas conhecidos de interferência eletromagnética. Como todos os transmissores estavam configurados para funcionar na mesma frequência, não era possível receber informações legíveis quando mais de um transmissor estava tentando se comunicar. Na época a solução foi simples, pois haviam poucos receptores e os mesmos ficavam longes um dos outros, era apenas questão de coordenação no envio de informações e na alocação dos rádios.

Em 1920 o problema foi ganhando visibilidade quando diversos artigos técnicos sobre interferência entre rádios começaram a aparecer. Os receptores de rádio e antenas eram feitos de uma maneira bastante arcaica, sendo suscetíveis a interferências externas ou a oscilações geradas pelo próprio dispositivo. Melhorias

foram feitas no projeto destes dispositivos e mitigaram o problema observado. Porém, por volta de 1930, interferências de rádio geradas por outros dispositivos, como motores, ferrovias e sinais elétricos começaram a se tornar um problema.

Durante a segunda guerra mundial, o uso de dispositivos eletrônicos como rádios, dispositivos de navegação e radares aumentou em um ritmo acelerado. Com isso, a ocorrência de interferências entre rádios e dispositivos de navegação em aeronaves começaram a aumentar. Na época, como a densidade de dispositivos eletrônicos era consideravelmente menor do que é atualmente, a correção era simples e podia ser feita caso a caso, alterando-se a frequência de transmissão ou afastando dispositivos eletrônicos para diminuir a interferência entre eles. No entanto, com o surgimento da eletrônica moderna, ou seja, dos transistores, circuitos integrados e microprocessadores, agravou-se o problema, uma vez que as válvulas que eram utilizadas na construção de computadores foram substituídas por estes dispositivos, havendo uma geração ainda maior de ondas no ambiente, aumentando a ocupação do espectro de frequência.

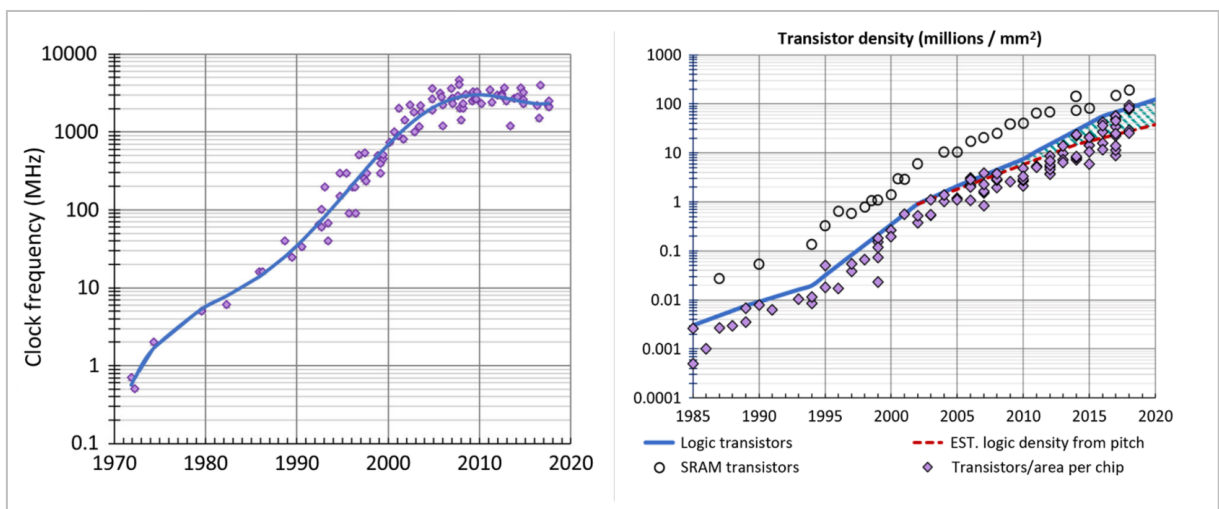
Conforme visto, ao longo da história houveram diversos problemas relacionados a interferência eletromagnética entre dispositivos elétricos e eletrônicos, levando esses a apresentarem comportamentos inesperados ou mal funcionamento. Portanto, a fim de viabilizar a continuação do desenvolvimento tecnológico, diversos órgãos governamentais viram a necessidade de haver uma regulamentação acerca do tema. Em 1933, uma conferência da Comissão Eletrotécnica Internacional (IEC) em Paris recomendou a formação do Comitê Internacional Especial de Interferência de Rádio (CISPR) para lidar com o problema emergente de interferência eletromagnética entre dispositivos. Em 1979, a Comissão Federal de Comunicação (FCC) nos Estados Unidos publicou uma série de regulamentações a respeito do tema, entre elas alguns limites de emissão eletromagnética que os “dispositivos digitais” deveriam respeitar.

Essas regulamentações tornaram a compatibilidade eletromagnética um aspecto crítico para a comercialização de produtos eletrônicos. Se o produto não estiver de acordo com essas regulamentações, ele não pode ser comercializado em alguns países. O fato de algum produto possuir alguma característica muito desejada pela população torna-se sem importância caso o produto não esteja de acordo com os requerimentos regulatórios.

### 2.1.2 EMI e EMC nos dias atuais

Após introduzir como surgiram os termos de compatibilidade e interferência eletromagnética, agora será apresentado um pouco mais dos impactos em componentes modernos, como microprocessadores. Conforme mencionado anteriormente, após o surgimento da eletrônica moderna com a criação de transistores e microprocessadores, o espectro de frequência passou a ser cada vez mais ocupado. Circuitos que utilizavam válvulas passaram a funcionar com componentes chaveados em alta frequência, aumentando tanto a emissão de ondas eletromagnéticas como a susceptibilidade a elas, uma vez que com comprimentos de ondas menores devido à alta frequência, antenas menores passam a fazer a captação delas, tornando IC's (circuitos integrados) e trilhas de PCB mais susceptíveis a essas perturbações. Ainda, desde o primeiro circuito integrado criado, houveram diversos avanços na microeletrônica, conforme pode ser visto na Figura 1.

**Figura 1:** Crescimento da frequência de operação de microcontrolares.

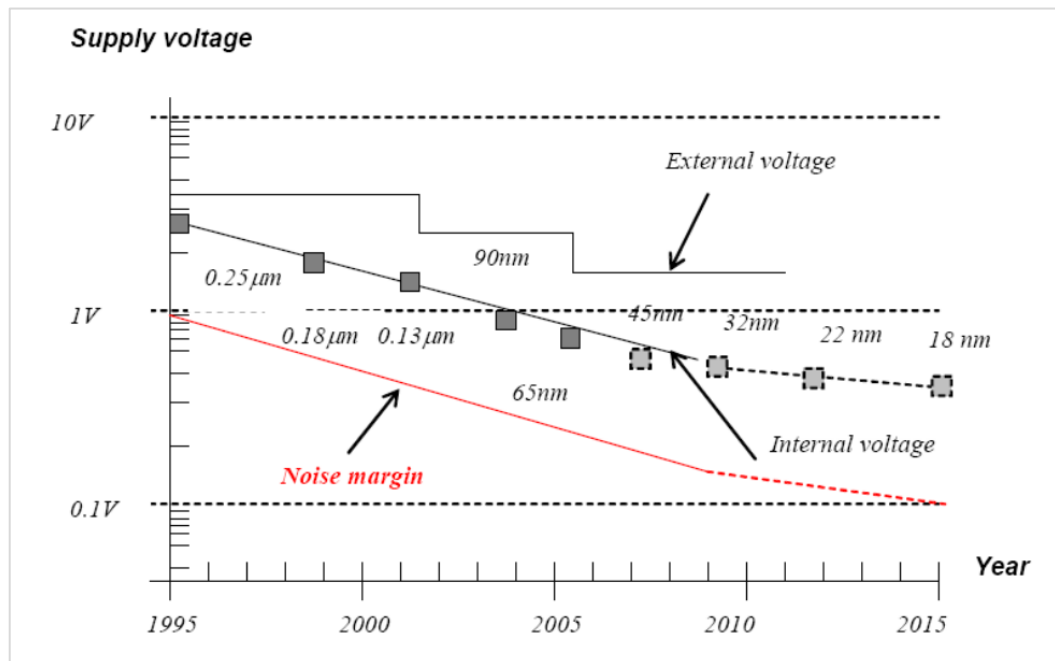


**Fonte:** Rieger, Michael. (2019).

A Figura 1 torna visível o aumento nas frequências de operações dos circuitos juntamente com um aumento na densidade de transistores ao longo dos anos. Com a evolução do nó tecnológico, também foi possível aumentar o número de componentes presentes em circuitos integrados, havendo um número maior de possíveis emissores de EMI, ao mesmo tempo que sua frequência de operação também aumentou, sendo possível reforçar o que foi dito anteriormente. Ao mesmo tempo que houve esse aumento na frequência de operação, também houve uma

diminuição na tensão de alimentação destes componentes, conforme pode ser visualizado na Figura 2.

**Figura 2:** Diminuição da tensão de alimentação de microcontrolares.



Fonte: JÓVIC, 2010.

Um fator que pode ser destacado é que com os transistores operando com níveis menores de tensão, mais susceptíveis a ruído os componentes se tornam, dado que um ruído de mesma amplitude irá representar uma parcela maior em sistemas funcionando com um menor nível de tensão. Logo, é mais um fator agravante que torna a preocupação com EMC ainda mais relevante.

Além das características de construção de dispositivos eletrônicos, sua aplicabilidade também foi se generalizando ao longo do tempo. Nos dias atuais, a eletrônica está presente em quase todos os lugares, desde veículos automotivos em dispositivos de freio ABS, sistemas de ignição, alternadores, até sistemas de comunicação presentes em satélites. O aumento do uso destes dispositivos também contribui para a poluição do espectro e aumento da probabilidade de problemas relacionados a EMI.

Dessa forma, é possível ver como a evolução da eletrônica traz consigo diversas preocupações que devem ser bem investigadas e mitigadas afim dos dispositivos terem confiabilidade e disponibilidade. Afim de evitar problemas dessa

natureza, a preocupação com EMC deve estar presente, também, nos fluxos iniciais de desenvolvimento de IC's.

### 2.1.3 Classificação de EMI e EMC e tipos de falhas

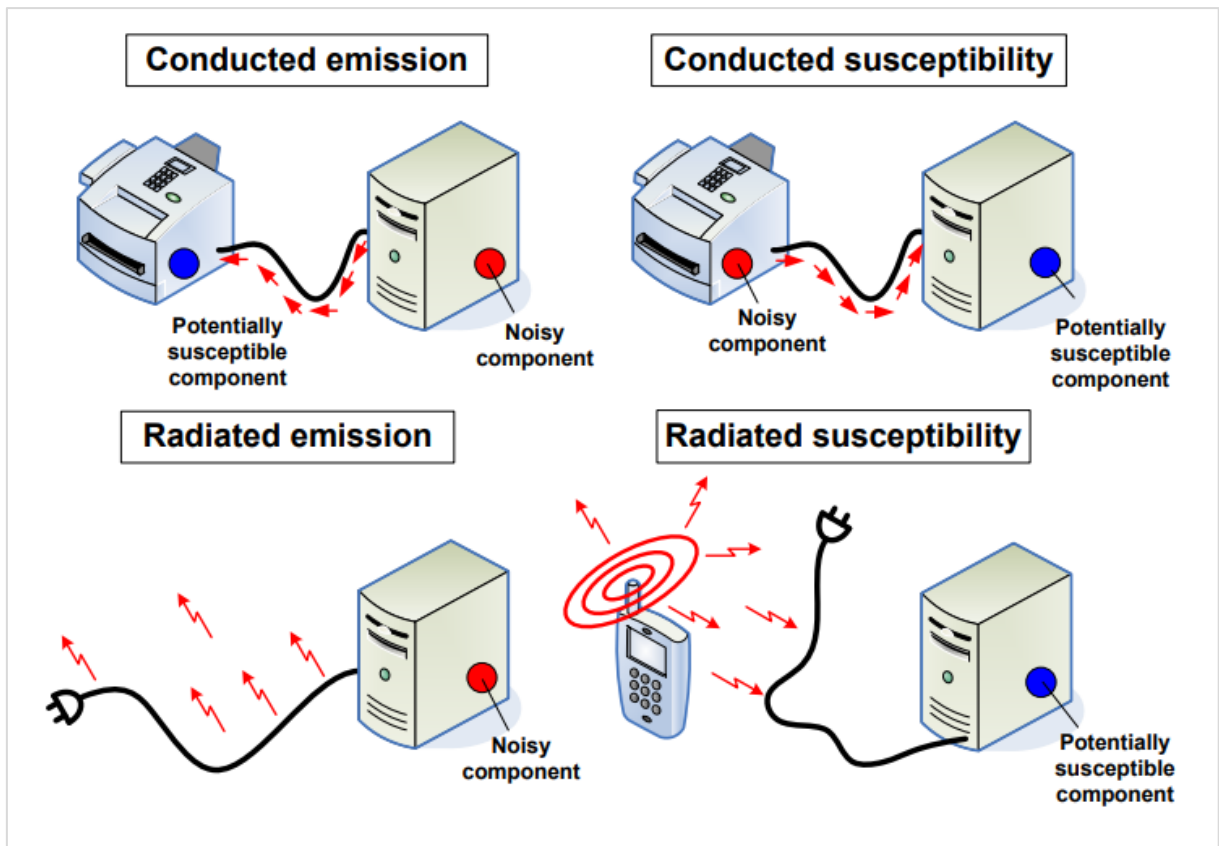
Existem diversas classificações para interferência eletromagnética com diferenças observadas na literatura segundo diferentes autores, sendo possível classificá-la pelo tipo de geração (natural ou artificial), pelo tipo de banda (banda-larga ou banda-estreita), por tipo de detecção (coerente e não-coerente), ou de outras formas. Porém, para a compreensão do presente texto, é possível focar apenas no problema de compatibilidade eletromagnética conforme exposto na Figura 3, que pode ser simplificado para quatro tipos de ocorrências:

- **Emissão conduzida** – quando ocorre a emissão de ondas utilizando um meio condutor, como trilhas ou cabos, e essa emissão contém potência acima do previsto normativamente;
- **Emissão irradiada** – quando ocorre a emissão de ondas através do espectro eletromagnético e essas ondas apresentam energia acima do previsto normativamente;
- **Susceptibilidade conduzida** – quando há uma onda de rádio frequência se propagando em um condutor com energia abaixo do previsto normativamente e um componente ligado neste condutor apresenta algum tipo de mal funcionamento;
- **Susceptibilidade irradiada** – quando há uma onda se propagando no meio com energia abaixo do previsto normativamente e algum componente presente neste ambiente começa a apresentar algum mal comportamento.

Logo, conforme apresentando, o conceito de compatibilidade eletromagnética está diretamente relacionado a um sistema elétrico funcionar sem emitir ondas acima de um certo limite e não ser susceptível a ondas eletromagnéticas até um certo limite. Esses valores limites nos dias de hoje são definidos por alguns órgãos internacionais ou por agências regulamentadores de alguns países, sendo eles responsáveis por realizar estudos para definir estes valores. A Figura 3 ilustra o problema de compatibilidade.



**Figura 3:** Tipos de problema de compatibilidade eletromagnética.



Fonte: JÓVIC, 2010.

Além dos valores limites, as normas também são responsáveis em dizer quais e como devem ser conduzidos os testes que certificam que algum equipamento é eletromagneticamente compatível. O Brasil segue as normas internacionais em relação a execução de testes relacionados a EMC. Portanto, para ser possível caracterizar um dispositivo sobre sua compatibilidade eletromagnética, é necessário se basear nas normas IEC e CISPR sobre o tema.

## 2.2 IEC – COMISSÃO ELETROTÉCNICA INTERNACIONAL

Já mencionada algumas vezes durante o presente texto, a IEC (Comissão eletrotécnica internacional) é uma organização global sem fins lucrativos que trabalha para sustentar a qualidade e o comércio internacional de produtos elétricos e eletrônicos. Ela possui um papel importante para facilitar a inovação tecnológica, o desenvolvimento de infraestrutura sustentável, o acesso eficiente e sustentável á meios energéticos, desenvolvimento de sistemas inteligentes para urbanização e

transporte, mitigação de mudanças climáticas e aumentar a segurança das pessoas e do meio ambiente (IEC, 2022).

Hoje, a IEC conta com mais de 170 países membros e publicou cerca de 10.000 padronizações internacionais que juntas proveem uma estrutura técnica que permite governos a construíram uma qualidade de infraestrutura nacional e permite companhias de todos os tamanhos a comprar e vender produtos seguros e confiáveis na maior parte do mundo. As padronizações internacionais IEC servem como base para gerenciamento de qualidade e risco e são usadas em testes e certificações para verificar se as promessas das fabricantes são verdadeiras.

### **2.2.1 Seleção da norma para o caso da aplicação**

Entre as diversas normas publicadas pela IEC, é necessário visar normas que permitem avaliar a compatibilidade eletromagnética de dispositivos. Isso irá prover meios de identificar indícios se o dispositivo a ser testado é ou não suscetível a interferência eletromagnética, sendo o objetivo do presente trabalho desenvolver uma forma de realizar a aplicação da norma ou de partes dela para avaliar a susceptibilidade eletromagnética de um dispositivo específico.

Portanto, entre o portfólio da IEC, a norma que melhor se encaixa para servir como base para esta aplicação será a IEC 62132 – *Measurement of electromagnetic immunity* (medição de imunidade eletromagnética). A norma é dividida em diversas partes que contém diferentes métodos para avaliar susceptibilidades conduzidas e irradiadas.

Circuitos integrados, em geral, possuem uma fina moldura de metal na qual é fixado o semicondutor durante o processo de encapsulamento: a moldura de solda ou *leadframe*. Embora esta parte metálica seja maior que o próprio circuito integrado, ela ainda não é grande o suficiente para funcionar como uma antena para ondas com frequências inferiores a 1 GHz. Então, quando se fala em susceptibilidade eletromagnética em circuitos integrados para esta faixa de frequência, o que ocorre é que as trilhas de PCB e cabos presentes no circuito funcionarão como antenas e irão conduzir efeitos indesejados devido às ondas presentes no espectro. Esta energia irá afetar no circuito integrado através dos pinos conectados nestes lugares (Boeira, 2020). Portanto, para o circuito integrado, está havendo um distúrbio conduzido, que pode ser causado pela interferência irradiada.

Devido a este fato, a seção da norma 62132 que será utilizada será a parte 4, que define um método para medir a imunidade de circuitos integrados na presença de distúrbios de rádio frequência conduzidos, e também a parte 1, que contém disposições gerais para execução dos testes.

### 2.3 CONVERSORES ANALÓGICO-DIGITAIS (ADC)

Como o foco do presente trabalho é avaliar efeitos de interferência eletromagnética em um ADC (conversores analógico-digital), é necessário ter um razoável entendimento de seu funcionamento, parâmetros de desempenho e erros intrínsecos aos mesmos.

Nos dias de hoje, a maior parte do processamento de sinais feito em dispositivos eletrônicos é digital e a performance de ADCs presentes nas fronteiras do domínio digital se tornou muito importante. As aplicações mais recentes em telecomunicações, medições e na eletrônica de consumo levaram a necessidade crescente de ADCs com maior resolução e velocidade. A performance do conversor irá afetar de maneira geral a precisão do sistema. Tanto fabricantes como integradores de sistemas estão intensamente preocupados com a performance de ADCs (RAPUANO, 2005).

#### 2.3.1 Visão geral e tipos de conversores AD

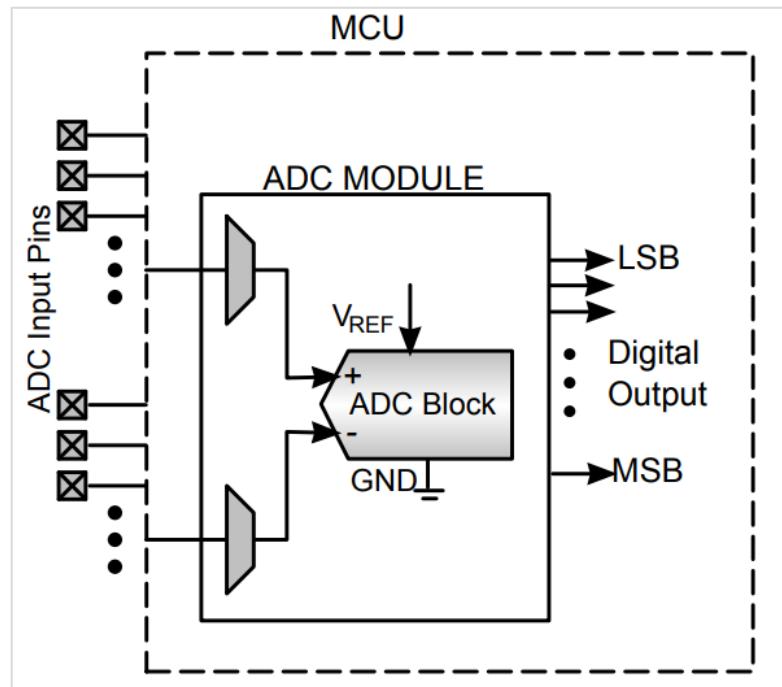
ADCs são dispositivos que possuem uma entrada analógica ( $V_{in}$ ), uma tensão de referência ( $V_{ref}$ ) e saídas digitais. O dispositivo converte um sinal analógico para valores digitais que representam a magnitude da tensão presente na entrada analógica em comparação com a tensão de referência, sendo o valor de saída representado de acordo com o número  $n$  de bits do conversor. Logo, a saída teórica para cada amostragem feita pelo conversor pode ser calculada conforme a equação abaixo:

$$V_{out} (digital) = \frac{V_{in}}{V_{ref}} (2^n - 1) \quad (2.1)$$

Esse processo é feito continuamente, ou seja, o sinal de entrada é mantido constante, o conversor compara este sinal de entrada com a tensão de referência e

retorna um valor digital que representa a proporção entre a tensão de entrada e a tensão de referência (Atmel, 2016). O diagrama de alto nível de um ADC está representado na Figura 4.

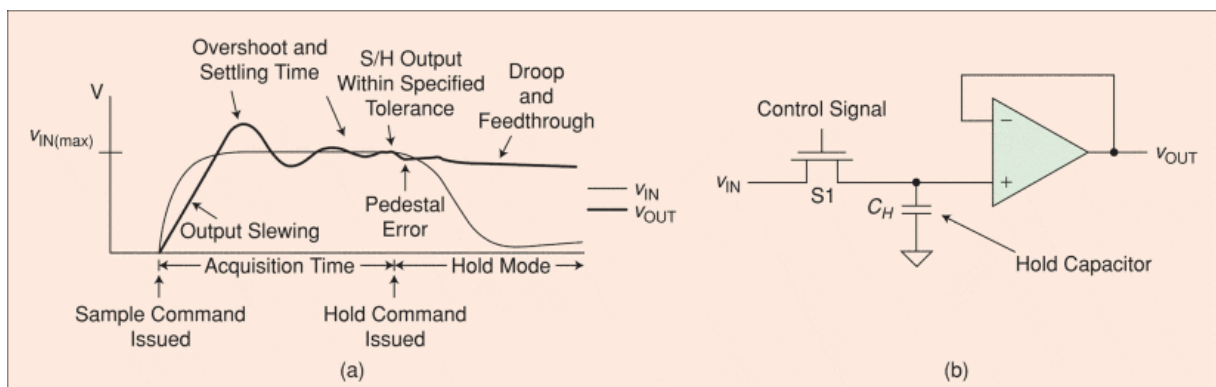
**Figura 4:** Representação de conversor analógico-digital.



Fonte: Atmel (2016).

Como o sinal analógico que se deseja converter para o domínio digital pode variar ao longo do tempo e é necessário que o valor de tensão seja mantido constante para cada amostra, pode ser adicionado ao digrama presente na Figura 4 um circuito *sample and hold*. Esse circuito é responsável por manter o valor constante de acordo com a necessidade e pode possuir uma topologia semelhante ao mostrado na Figura 5.

**Figura 5:** Exemplo de circuito sample and hold e seus erros.



**Fonte:** Schmalzel e Rauth (2005).

A Figura 5 também exemplifica que existe um tempo de acomodação e um erro associado ao valor de saída do circuito, o que é esperado, dado que se trata de um circuito físico construído com capacitores e chaves eletrônicas.

Existem diversas arquiteturas para conversores AD, cada uma delas contendo características ideais para cada tipo de aplicação. Segundo Rapuano, 2016, em geral, as aplicações de ADCs podem ser classificadas em cinco grandes segmentações de mercado:

1. Aquisição dados;
2. Medidas industriais de precisão;
3. Banda de voz e áudio;
4. Alta velocidade (com taxas de amostragem acima de 5 MS/s);
5. Aplicações de controle onde o ADC faz parte do laço de realimentação.

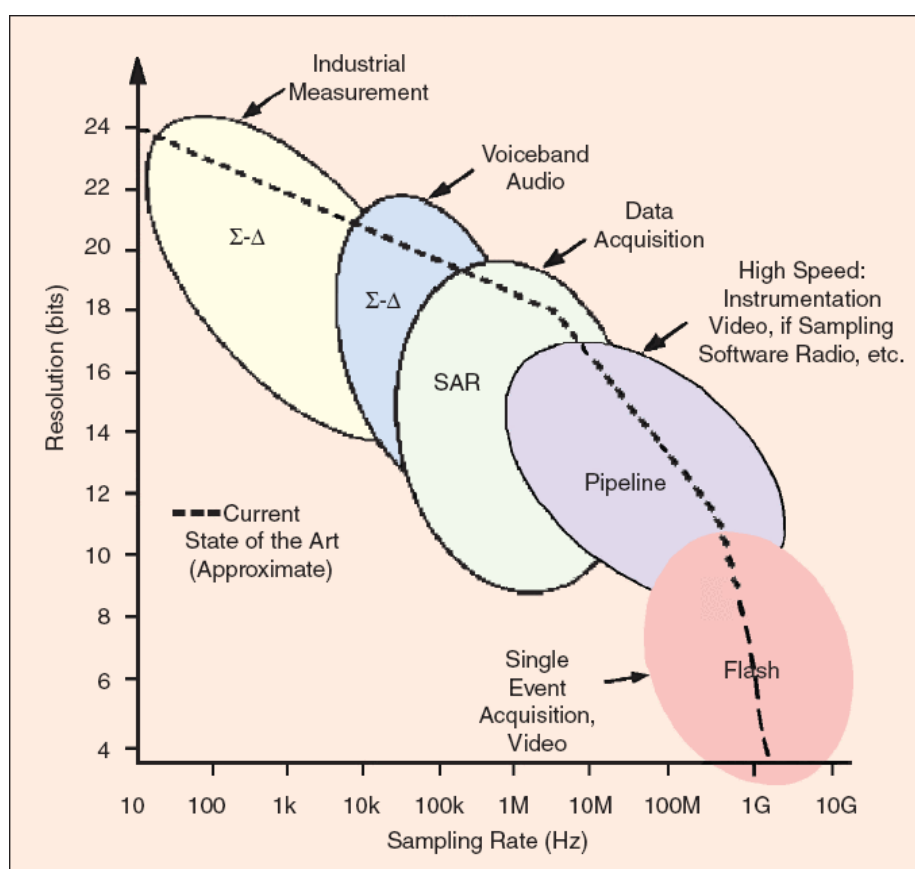
Logo, os casos de uso de ADCs dependem basicamente de duas características:

- **Resolução** – Segundo Atmel, 2016, toda a faixa de entrada do conversor (0V até  $V_{ref}$ ) é dividida em um número de sub-faixas chamada de *step*. Cada *step* está associada a um único código digital de saída. O *step* também é conhecido como LSB (*least significant bit* – bit menos significativo) e o número de *steps* presentes no conversor é geralmente dado em potência de dois ( $2^n$ ). Neste caso,  $n$  é chamado de resolução do ADC. Para um valor de  $V_{ref}$ , o tamanho de cada *step* é determinado pela resolução ( $V_{ref}/2^n$ ). Basicamente, é possível interpretar a resolução como o menor valor de tensão que pode ser representado no domínio digital pelo conversor ADC, sendo este o valor do *step* e definido pelo número de bits do conversor.
- **Velocidade de Amostragem** – Refere-se ao número de aquisições que podem ser feitas por segundo no conversor, geralmente medida em S/s (*Samples per second* – amostras por segundo). Este é outro fator importante no dimensionamento do conversor pois está diretamente relacionada ao critério de aquisição de Nyquist, que diz que um sinal periódico deve ser

amostrado a uma taxa superior a pelo menos duas vezes a frequência do componente de mais alta frequência presente no sinal. Logo, caso esteja-se amostrando um sinal cuja componente com maior frequência é de 1 kHz, a taxa de amostragem deve ser de pelo menos 2 kS/s. Em aspectos práticos, a aquisição é feita a uma velocidade um pouco acima da taxa de Nyquist.

A Figura 6 exemplifica o tipo de arquitetura de conversor a ser usado de acordo com sua amplitude e frequência.

**Figura 6:** ADCs – arquiteturas, aplicações, resoluções e taxas de amostragem.



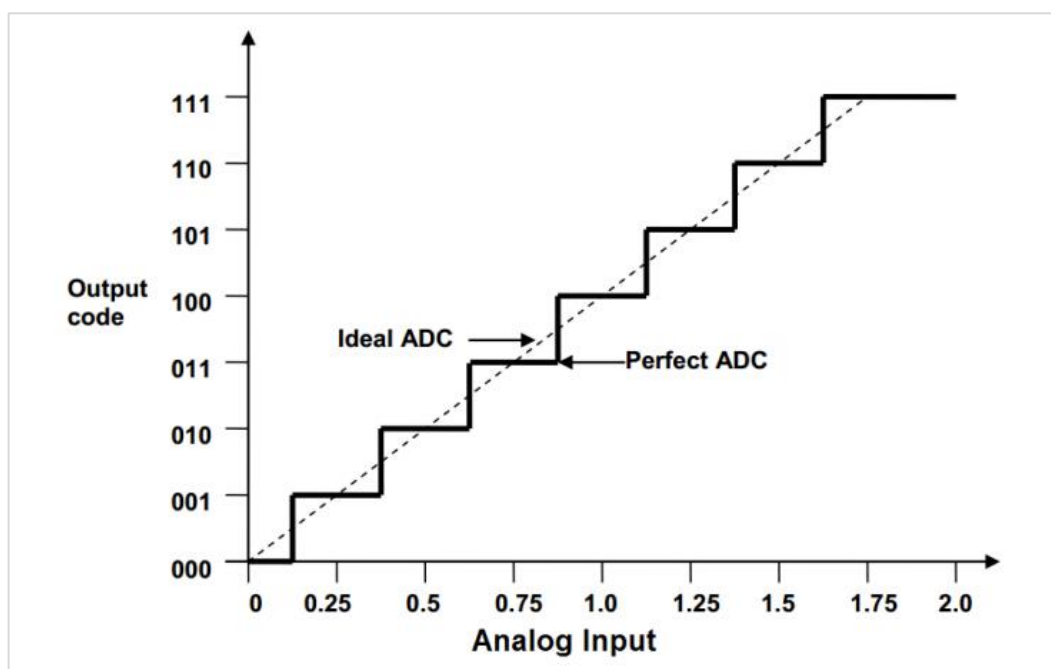
**Fonte:** Rapuano (2005).

É possível notar que cada arquitetura de conversor possui limites de velocidade e resolução, sendo essas características ideais para cada domínio de aplicação.

### 2.3.2 Parâmetros de desempenho de conversores AD

Além dos parâmetros de resolução e velocidade de amostragem, existem outros parâmetros que também afetam o desempenho dos conversores. Um ADC ideal seria aquele cuja resolução é infinita, sendo capaz de representar todo possível valor analógico de entrada com um respectivo código de saída. Um conversor perfeito seria aquele no qual o número de bits do conversor é igual ao número efetivo de bits do mesmo (ENOB) e cada *step* do conversor representa exatamente 1 LSB (Atmel, 2016). A Figura 7 representa o funcionamento de um ADC perfeito e um ideal, com uma tensão de referência igual a 2V e resolução de 3 bits, tendo um LSB de 250mV.

**Figura 7:** Funcionamento de um ADC perfeito.



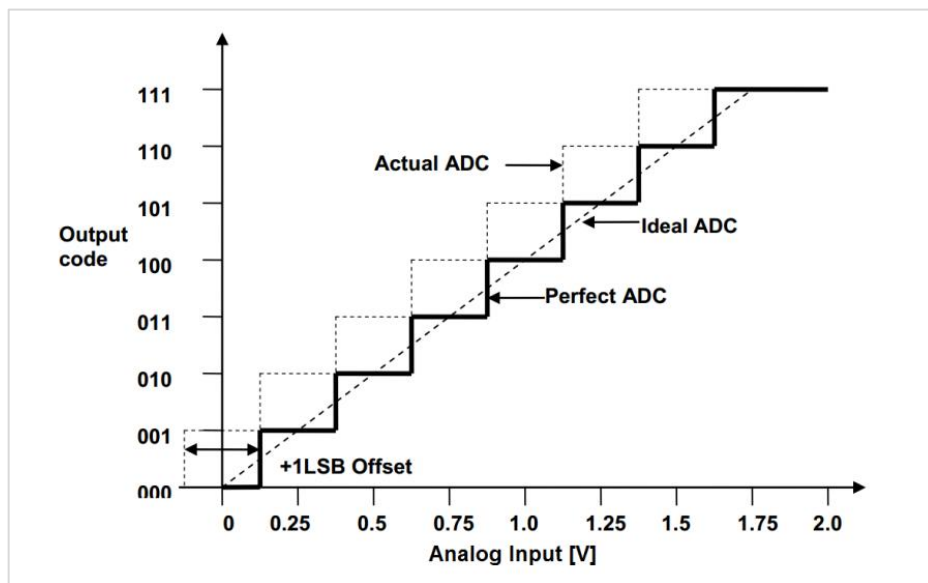
**Fonte:** Atmel (2016).

Apenas pelo fato do conversor poder representar apenas níveis quantizados, ou seja, o conversor irá alterar sua saída apenas se houver variações de pelo menos 1 LSB na tensão analógica de entrada. Portanto, para este caso, variações menores que 250 mV não serão identificadas pelo conversor. Esse erro é conhecido como erro de quantização e é intrínseco a todo ADC. Pode ser minimizado aumentando a resolução do conversor.

Além do erro de quantização existem outros que podem afetar a performance do ADC, conforme abaixo.

- **Erro de offset** – é definido como um desvio da função de transferência de um ADC em relação ao ADC perfeito entre o ponto zero e o ponto de transição do bit menos significativo. A Figura 8 abaixo exemplifica um erro de offset positivo.

**Figura 8:** Exemplo de erro de offset positivo.

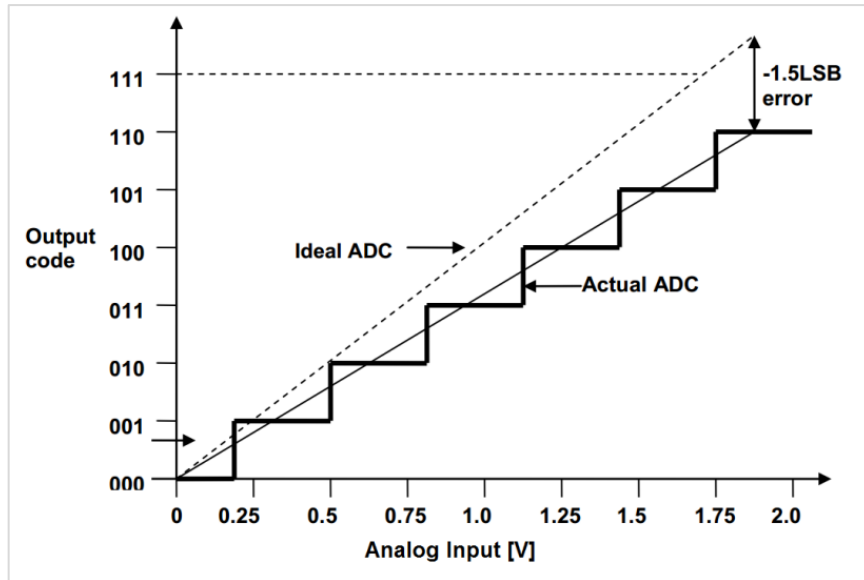


**Fonte:** Atmel (2016).

- **Erro de ganho** – é definido como um desvio do ponto médio do último step entre um ADC e o ADC ideal após a correção do erro de offset. Com esta correção, quando aplicado uma tensão de 0V, a saída também digital do conversor também seria 0, porém erros de ganho causam um desvio da função de transferência, fazendo com que o valor máximo de saída do ADC não reflita exatamente o valor máximo de entrada. A Figura 9 abaixo exemplifica um erro negativo de ganho.



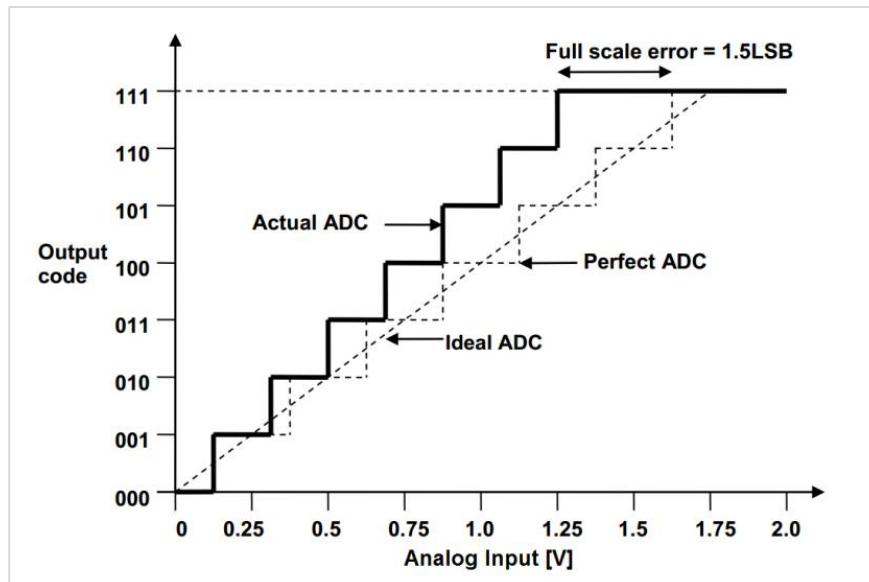
**Figura 9:** Exemplo de erro de ganho negativo.



Fonte: Atmel (2016).

- **Erro de fundo de escala** – é definido como um desvio da última transição de um ADC em relação a um ADC perfeito e geralmente é medido em LSBs, conforme Figura 10 abaixo.

**Figura 10:** Exemplo de erro de fundo de escala.

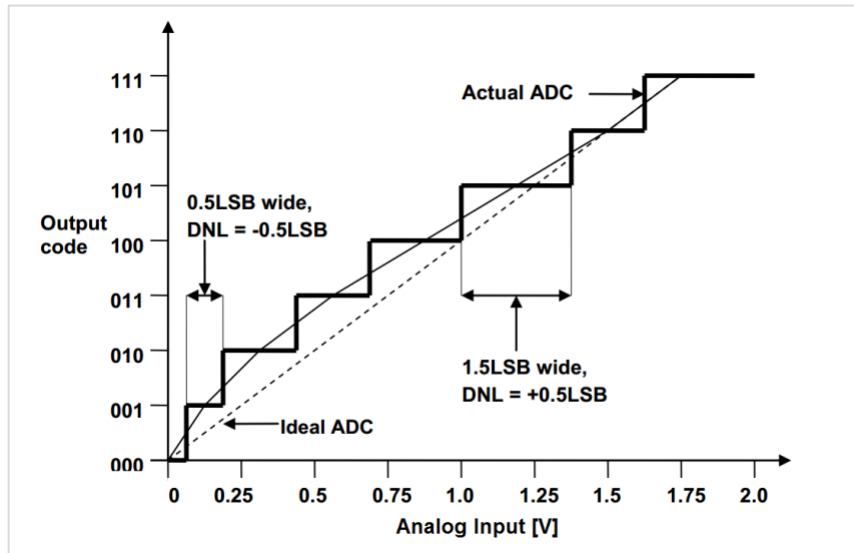


Fonte: Atmel (2016).

- **Erro de linearidade diferencial (DNL)** – é definido como a máxima e a mínima diferença entre a largura do *step* de um conversor em relação ao

conversor perfeito. Isso irá produzir *steps* com variações de largura, conforme a Figura 11 abaixo.

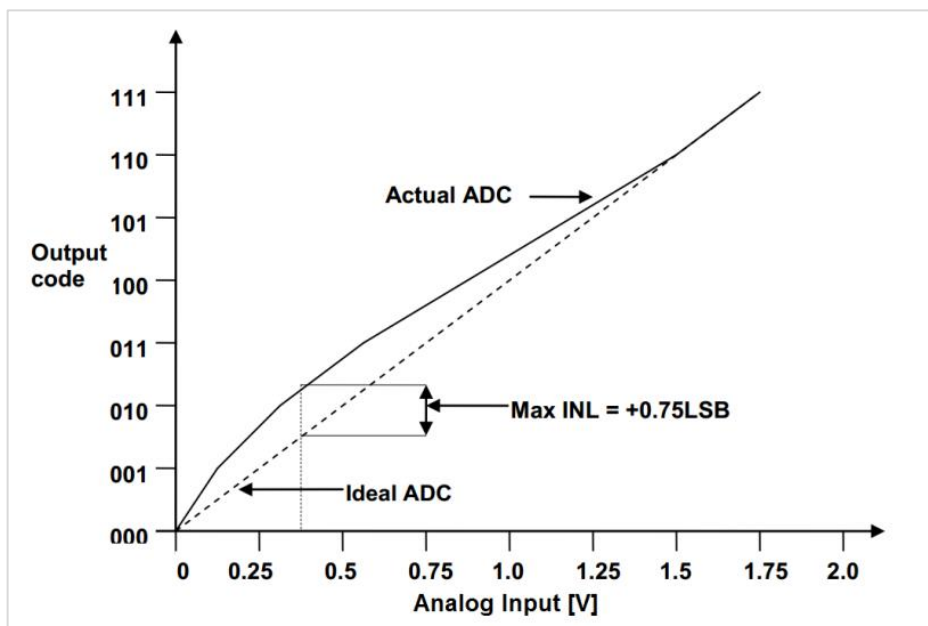
**Figura 11:** Exemplo de erro de linearidade diferencial.



Fonte: Atmel (2016).

- **Erro de linearidade integral (INL)** – é definido como a máxima diferença vertical entre um ADC e o ADC ideal, indicando o máximo desvio que a curva de um ADC tem em relação a curva ideal, conforme a Figura 12 abaixo.

**Figura 12:** Exemplo de erro de linearidade integral.



Fonte: Atmel (2016).

Além dos erros apresentados acima existe outro parâmetro que também influencia no desempenho do ADC, podendo inutilizar alguns dos bits menos significativos do conversor, o ruído. Existem algumas métricas utilizadas para medir o efeito do ruído no conversor, sendo estas explicadas abaixo.

- **Relação sinal ruído (SNR)** – é definida como a relação entre a tensão média de saída e a tensão média do ruído da saída e geralmente é representada em decibéis (dB). Quanto maior a SNR, menor a quantidade de ruído em relação ao sinal. Para ADCs com N número de bits, a SNR pode ser calculada como:

$$SNR(dB) = 6,02N + 1,76 \quad (2.2)$$

Onde 6,02 e 1,76 são constantes obtidas da aplicação da equação padrão de SNR em conversores analógico-digitais.

- **Distorção harmônica total (THD)** – é definida como a relação entre a soma da potência dos componentes harmônicos de frequência e a potência da componente fundamental de frequência. Quanto menor a THD, menor a distorção do sinal. Em termos de tensão RMS, onde a componente fundamental apresenta amplitude RMS igual a  $V_1$  e possui outras componentes com amplitudes RMS  $V_2, V_3 \dots V_n$ , a THD pode ser calculada conforme abaixo:

$$THD = \frac{\sqrt{V_2^2 + V_3^2 + \dots + V_n^2}}{V_1} \quad (2.3)$$

- **Distorção e sinal ruído (SINAD)** – é a combinação entre a SNR e a THD. É definida como a relação do valor RMS da amplitude do sinal e o valor RMS de todas as outras componentes espectrais, incluindo harmônicas, mas excluindo componentes DC. Quanto maior, maior a parcela do sinal em relação ao ruído e menor a distorção do sinal. Pode ser calculada utilizando os valores de SNR e THD conforme abaixo:

$$SINAD = -10\log \left( 10^{-\frac{SNR}{10}} + 10^{-\frac{THD}{10}} \right) \quad (2.4)$$

- **Número efetivo de Bits (ENOB)** – é definido como o número de bits do conversor que se comportam como um conversor perfeito. Devido ao efeito do ruído presente no sinal adquirido, que pode ter origem antes ou durante a conversão, uma parte dos bits menos significativos não medem variações reais do sinal, sendo inutilizados. Pode ser calculado utilizando-se a SINAD, conforme abaixo:

$$ENOB = \frac{SINAD - 1,76}{6,02} \quad (2.5)$$

Durante a condução dos experimentos para avaliar falhas no ADC devido à EMI, o conhecimento sobre os erros presentes no mesmo será muito importante pois é necessário realizar uma distinção entre os erros ocorridos no ADC devido a problemas inerentes ao componente utilizado e os erros que ocorreram devido somente à EMI.

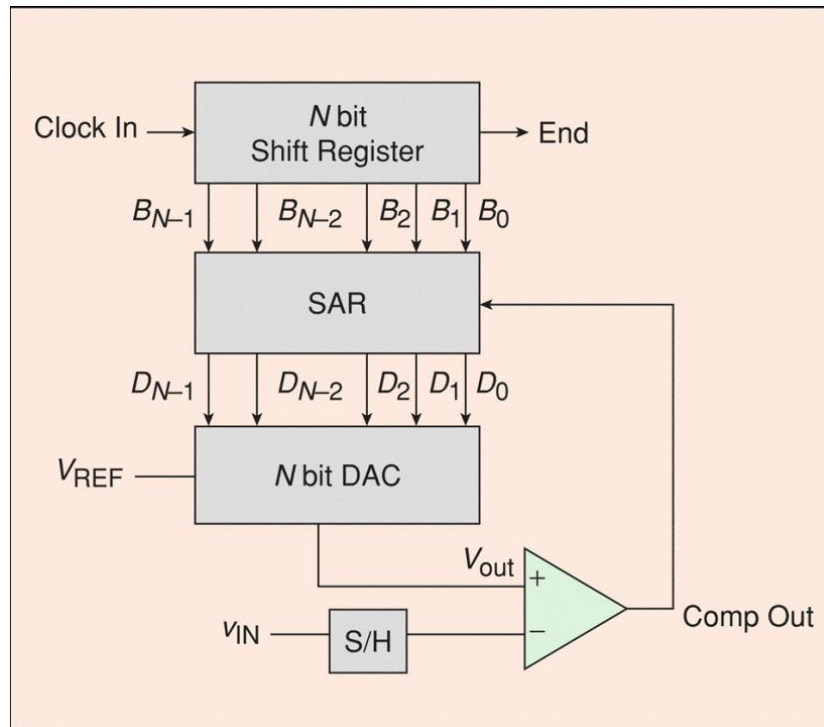
### 2.3.2 Conversor SAR – Registrador de Aproximações sucessivas

Conforme visto anteriormente, existem diversas arquiteturas de conversores, cada uma delas tendo características diferentes e sendo ideais para diferentes aplicações por apresentarem diferentes combinações de velocidade e resolução. O dispositivo que será utilizado para o desenvolvimento prático do presente trabalho apresenta uma arquitetura SAR, registrador de aproximações sucessivas. Portanto, será apresentado maiores detalhes sobre a arquitetura pois poderá ser um elemento necessário para o desenvolvimento do experimento e avaliação de resultados.

O nome do conversor SAR de aproximações sucessivas, deriva de sua forma de funcionamento, que faz repetidas comparações e vai alterando seu valor até chegar o mais próximo possível do valor de entrada, fazendo uma busca binária no espaço da tensão de fundo de escala. É uma das arquiteturas mais populares para uma grande variedade de produtos devido ao seu baixo custo, simplicidade, relativa alta velocidade e boa resolução (Schmalzel e Rauth, 2005).

A Figura 13 exemplifica o diagrama de blocos que geralmente compõe um conversor desta topologia e em seguida é apresentado passo a passo de seu funcionamento.

**Figura 13:** Diagrama de blocos de um conversor SAR teórico.



**Fonte:** Schmalzel e Rauth, 2005.

Segundo Schmalzel e Rauth, 2005, o funcionamento de um conversor SAR conceitual segue a seguinte lógica:

1. Um valor lógico 1 é aplicado na entrada do registrador de deslocamento de bits. Para cada conversão, o valor 1 é deslocado para a direita. Portanto, no primeiro ciclo,  $B_{N-1} = 1$  enquanto  $B_{N-2} \dots B_0 = 0$ .
2. Este valor é enviado ao conversor SAR, fazendo com que  $D_{N-1} = 1$  enquanto  $B_{N-2} \dots B_0 = 0$ .
3. Como a saída do conversor SAR controla o DAC (conversor digital-analógico), a saída do DAC é configurada em  $V_{ref}/2$ .
4. Agora o conversor SAR faz a leitura do comparador, que compara a tensão de saída do DAC com a tensão de entrada. Caso  $V_{ref}/2$  seja menor que a tensão de entrada, a saída do comparador será 0 e  $D_{N-1}$  é mantido em 1. Caso contrário,  $D_{N-1}$  é configurado em 0.

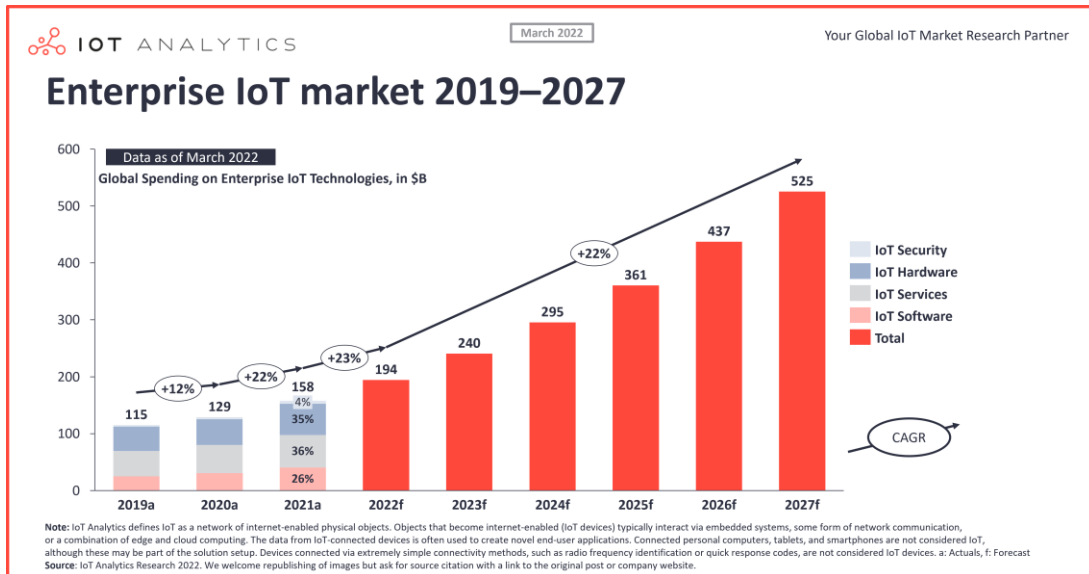
5. Um novo ciclo de clock acontece no registrador de deslocamento, fazendo com que agora  $D_{N-2} = 1$  enquanto todos os bits restantes são iguais a 0.
6.  $D_{N-2}$  é colocado em 1, fazendo com que a saída do ADC seja igual a  $V_{ref}/4$  ou  $3V_{ref}/4$ , dependendo do resultado da última comparação.
7. O processo de comparação se repete até se definir o bit de posição 0, menos significativo.

Portanto, número de clocks utilizados para realizar a conversão é proporcional a resolução do conversor. É interessante observar que, caso o ADC falhe em realizar uma comparação em um dos primeiros estágios da conversão, um grande erro irá se propagar para o valor a ser convertido, enquanto conforme o processo de conversão avança, menos significativa se torna uma falha em uma das comparações.

## 2.4 O DISPOSITIVO SOB TESTE – PSOC 6

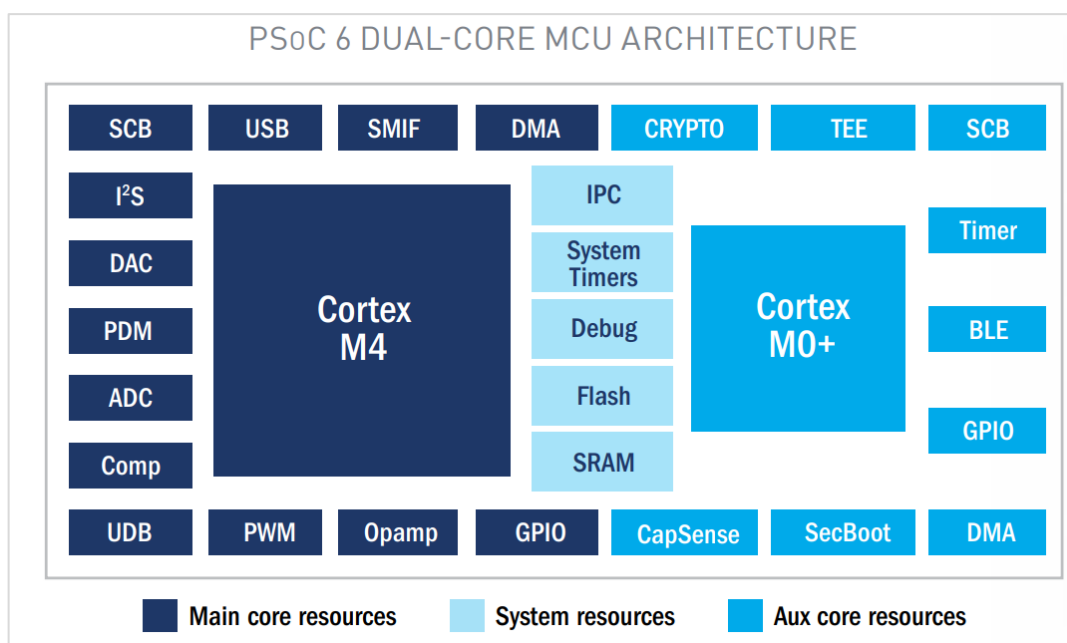
Por fim, o último tópico de embasamento teórico será o dispositivo que será utilizado para a realização dos testes. A escolha do dispositivo partiu de sua disponibilidade, por apresentar uma tecnologia moderna, e também por ser voltado ao mercado de internet das coisas. Segundo previsões do site IoT Analytics, especializado em dados do mercado de IoT, será um segmento em expansão durante os próximos anos, necessitando um número cada vez maiores de dispositivos conectados, além de desenvolvimento de software e novos métodos de segurança. A Figura 14 indica a previsão de crescimento do mercado de IoT nos próximos anos.

**Figura 14: Perspectivas do mercado de IoT.**



**Fonte:** IoT Analytics, 2020.

Finalmente, o PSoC 6 foi desenvolvido em uma tecnologia CMOS de 40 nm, composto por 2 CPU's, um Arm Cortex M0+, funcionando a 100 MHz, e um Cortex M4 funcionando a 150 MHz. Ele também possui um número considerável de periféricos que podem ser conectados de maneira flexível, utilizando-se uma IDE prioritária, chamada de PSoC Creator. A Figura 15 contém um diagrama de blocos de alto nível da arquitetura do SoC, indicando os principais periféricos presentes no mesmo separados entre recursos do processador principal, o Cortex M4, e do processador auxiliar, o Cortex M0+. Também são exibidos alguns recursos do sistema.

**Figura 15:** Periféricos PSoC 6.

Fonte: INFINEON, 2019.

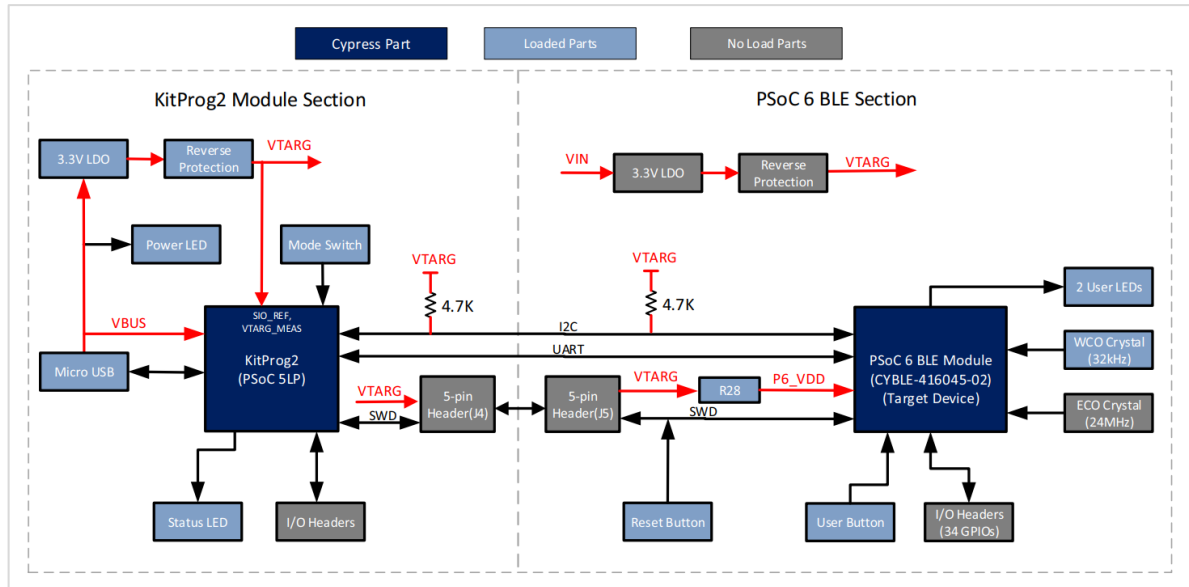
Algumas características relevantes do PSoC 6, além de seus processadores, são:

- ADC SAR de 12 bits com até 1 MS/s de velocidade de aquisição;
- DAC de 12 bits com tempo de configuração inferior a 2 $\mu$ s;
- Blocos de comunicação serial SPI, I<sup>2</sup>C e UART;
- 32 timers/contadores/geradores de PWM;
- Opções flexíveis de configurações de clock.

Para o desenvolvimento do presente trabalho, foi utilizado um kit de desenvolvimento específico do PSoC 6, o CY8CPROTO-063-BLE. Esta versão possui também um módulo de BLE (Bluetooth Low Energy), um tipo de comunicação sem fio semelhante a bluetooth, porém consumindo menos energia. A versão também possui um módulo separado para comunicação com o computador via USB, facilitando a programação e o uso dos blocos de comunicação. A Figura 16 contém o diagrama de blocos da versão a ser utilizada, sendo possível destacar que além do PSoC 6, também está presente na placa uma série de dispositivos para auxiliar na programação e no funcionamento da mesma.



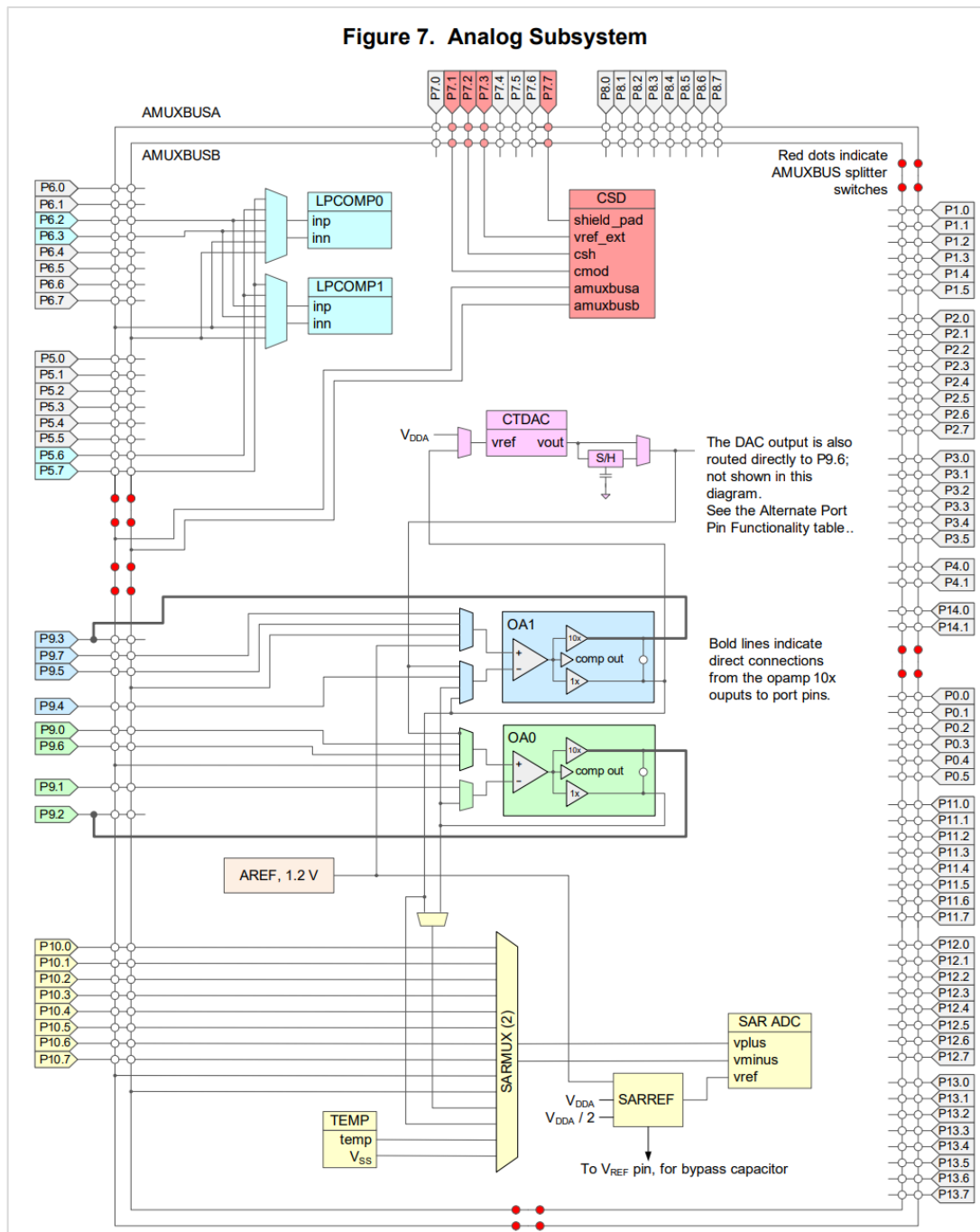
**Figura 16:** Diagrama de blocos do kit CY8CPROTO-063-BLE.



**Fonte:** INFINEON, 2020.

Outro bloco importante que será necessário para o desenvolvimento será o bloco do sistema analógico do chip, pois este contém os pinos importantes a serem utilizados e dá uma visão geral sobre o funcionamento do ADC e dos outros componentes analógicos. A Figura 17 contém o diagrama de blocos do subsistema analógico do PSoC 6, que além da presença do ADC também possui, como mencionado anteriormente, comparadores analógicos de tensão e um DAC, conversor digital-analógico, estes podendo também ser utilizados para o presente experimento e para casos futuros.

Figura 17: Diagrama do sistema analógico do PSoC 6.



Fonte: INFINEON, 2020.

Enfim, com toda fundamentação teórica necessária para o desenvolvimento do projeto, parte-se para a etapa de metodologia, que irá detalhar todo o processo do desenvolvimento, como as decisões de projeto que foram feitas, a forma como o experimento foi conduzido, etc.

### 3 METODOLOGIA

Em geral, haviam três resultados esperados após a execução do experimento. O primeiro deles era desenvolver uma forma de se registrar quando um conversor analógico digital SAR do PSoC 6 apresentasse um erro devido a susceptibilidade à EMI. Após o desenvolvimento do algoritmo, desejava-se comprovar o funcionamento do mesmo e criar hipóteses sobre quais fatores presentes na arquitetura deste conversor podem ter apresentado falhas após a exposição à EMI. Por fim, desejava-se avaliar se com este experimento seria possível identificar diferenças de susceptibilidade entre o PSoC 6 com seu antecessor, o PSoC 5, dado que o atual possui uma tecnologia CMOS de 40nm enquanto seu antecessor é fabricado em tecnologia CMOS de 130 nm.

Para atingir estes objetivos, primeiro foi necessário identificar quais e como devem ser executados os testes que identificam que um dispositivo é suscetível à EMI, quais os tipos de erros que poderão ocorrer em caso de suscetibilidade, como estes erros podem ser capturados e, finalmente, interpretar os resultados adquiridos. O desenvolvimento de cada uma dessas etapas é detalhado abaixo.

#### 3.1 ESPECIFICAÇÕES DO TESTE FRENTE À NORMA

As normas do IEC orientam sobre como desenvolver o experimento que irá avaliar a susceptibilidade do equipamento, em especial, conforme dito anteriormente, as partes 1 e 4 da norma 62132 (62132-1 e 62132-4). Em geral, avaliar a imunidade eletromagnética de um dispositivo, seria necessário aplicar todas as partes da norma, porém devido às limitações de tempo e aparato experimental, foram conduzidos os testes baseados apenas nas partes 1 e 4.

Iniciando pela primeira parte da norma, 62132-1, que especifica condições gerais para realização dos testes, são destacadas algumas partes importantes como seleção de pinos, especificações do procedimento e classificação de performance do equipamento de acordo com seus resultados. A quarta parte da norma, 62132-4, especifica o método de injeção direta de energia RF, sendo destacadas algumas partes importantes, como especificações do circuito, fluxograma para execução do teste e energia a ser aplicada. As partes importantes para o desenvolvimento deste experimento estão especificadas a seguir.

### 3.1.1 Seleção dos pinos para injeção de energia RF

O teste consiste em aplicar energia de RF com certas características diretamente em pinos do ADC e verificar se isso irá afetar de alguma forma o funcionamento do ADC. A norma especifica que todos os pinos que serão conectados em outros dispositivos ativos ou passivos que não estão presentes na placa, mas sim conectados através de cabos, são considerados sujeitos a testes de imunidade eletromagnética, como, por exemplo:

- Cabos de atuadores ou sensores;
- Cabos de alimentação;
- Cabos de comunicação (RS 485, UART, etc);

Logo, é possível elencar os pinos do ADC onde pode ser feita a injeção de energia RF para verificação de erros, conforme abaixo:

- Tensão de entrada ( $V_{in}$ ) – visto que esta será conectada a qualquer sinal que se deseja adquirir;
- Tensão de referência ( $V_{ref}$ ) – visto que esta pode usar tanto ser conectada à um capacitor by-pass para filtrar flutuações como pode ser usado uma fonte de alimentação externa para geração de uma tensão de referência específica a depender da aplicação;
- Tensão de alimentação ( $V_{ss}$ ) – visto que esta irá ser conectada a uma fonte de alimentação para garantir o funcionamento do componente.

### 3.1.2 Especificações da forma de onda a ser aplicada e fluxo para execução

A norma especifica a forma, potência e frequência da onda a ser injetada no circuito. Segundo ela, as medições geralmente são feitas em frequências de 150 kHz até 1 GHz. Então, faz-se uma varredura da frequência inicial até a frequência final seguindo os *steps* da Tabela 1.

**Tabela 1:** Faixas e *steps* de frequência.

<b>Faixa de frequência (MHz)</b>	0,15 – 1	1 – 100	100 – 1000
<b>Steps lineares (MHz)</b>	δ0,1	δ1	δ10

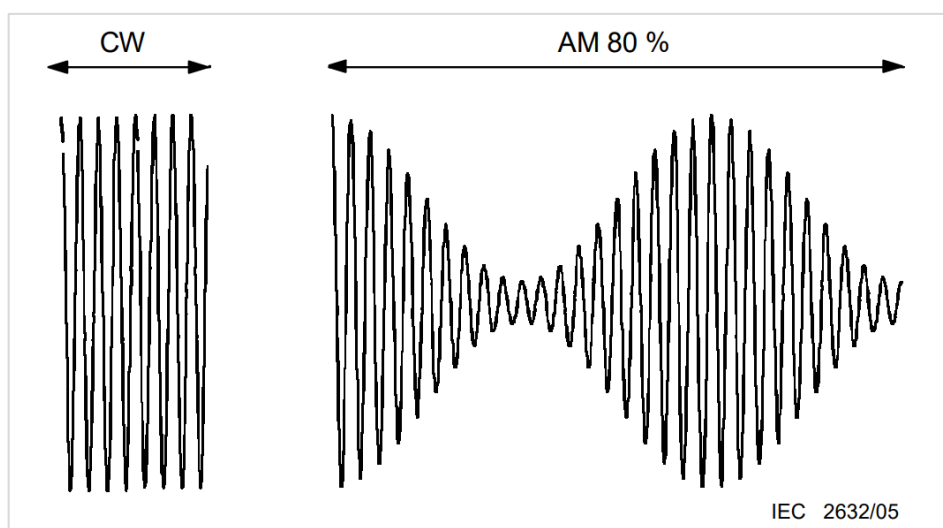
<b>Steps logarítmicos</b>	Incremento de 5%
---------------------------	------------------

**Fonte:** IEC 62132 (2006).

O que será feito na prática é iniciar com uma frequência de 150 kHz, deixar o dispositivo sob teste funcionando durante 5 segundos, e repetir este processo aumentando-se 100 kHz por vez até se chegar em 1050 kHz. Após este período, será variado 1 MHz até se chegar em 100 MHz e, depois, variar 10 MHz até 1 GHz. A norma não especifica exatamente o tempo que o dispositivo deve ficar funcionando em cada frequência, mas diz que tipicamente deve-se esperar 1 segundo ou pelo menos tempo suficiente para o dispositivo responder. Empiricamente, foi decidido utilizar 5 segundos como tempo de espera em cada frequência. Também é dito que em frequências críticas como a frequência de *clock*, deve ser usando steps menores, sendo estes definidos pelo executante do teste.

A forma da onda a ser usada deve possuir modulação AM 80% ( $m = 0,8$ ) podendo ser em forma de seno ou pulso com frequência de 1 KHz. A Figura 18 mostra um exemplo da modulação a ser utilizada, havendo uma onda contínua na esquerda, com amplitude constante e frequência que irá variar conforme indicado anteriormente na norma, e, na direita, a mesma onda após a modulação AM.

**Figura 18:** Exemplo de modulação AM.



**Fonte:** IEC 62132 (2006).

Por fim, a energia da onda é dependente da aplicação, conforme pode ser visto na Tabela 2.

**Tabela 2:** Faixas de potência de acordo com o tipo de dispositivo.

Zona	Potência (dBm)	Potência (W)	Dispositivo protegido externamente por	Exemplo de dispositivos
1	30...37	1...5	Nada ou apenas um pequeno capacitor como filtro.	Circuitos de alimentação, <i>High side switches</i> , transceptor de barramento para acionamento de chicote de fios (CAN, LIN).
2	20...27	0,1...0,5	L-,R-,C- filtro passa baixas.	Dispositivos condicionadores de sinal, circuito sensor ABS, <i>drivers</i> de linhas de comunicação.
3	10...17	0,01...0,05	Sem conexão direta com o ambiente.	Microcontroladores, memórias.

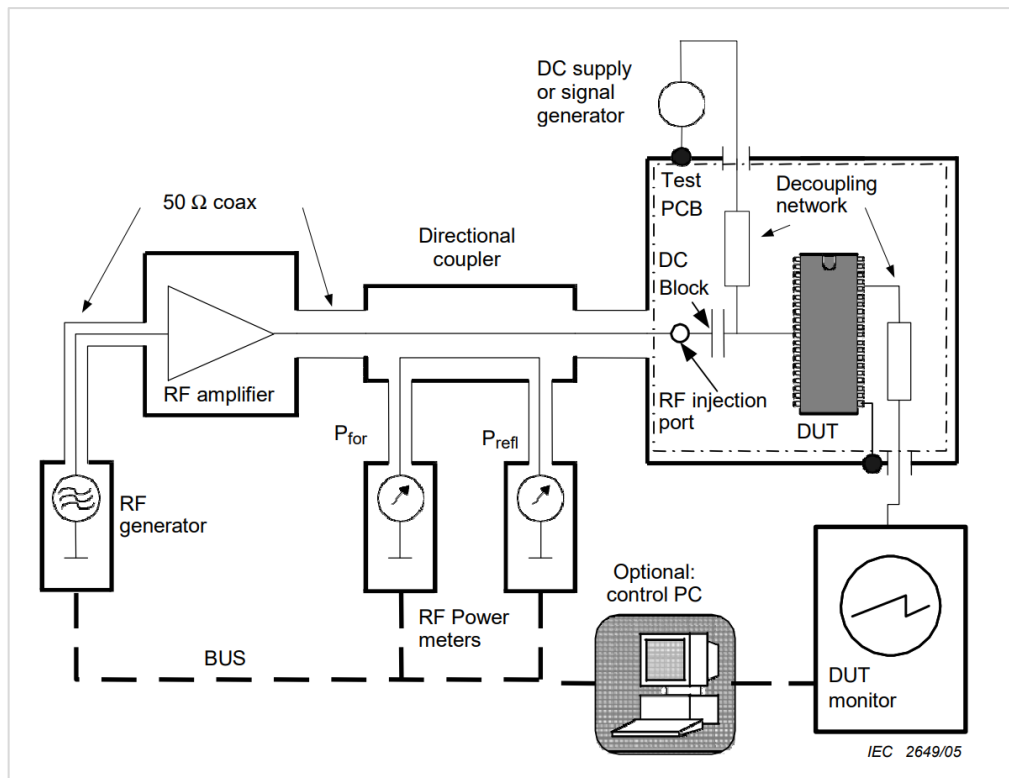
**Fonte:** IEC 62132 (2006).

Como o dispositivo sob teste sendo utilizado neste projeto trata-se de um módulo de ADC dentro de um microcontrolador. Neste caso optou-se por utilizar 17 dBm, valor limite da zona 3.

### 3.1.3 Especificações de circuito para realizar a injeção

Como recomendações de circuito, é possível destacar a necessidade de realizar o casamento de impedância, para diminuir o máximo possível a quantidade de energia refletida, o uso de um capacitor para bloquear o nível DC e o uso de um acoplador direcional para se medir a energia inserida e a refletida. A Figura 19 ilustra o circuito definido na norma.

**Figura 19:** Disposição do circuito para injeção direta.



**Fonte:** IEC 62132 (2006).

Para realização do experimento, não foi possível utilizar um acompanhador direcional com os medidores para realizar a medição de potência RF realmente inserido no circuito, pois este componente não estava disponível no laboratório. Visto que o objetivo do experimento é realizar a captura de erros de conversão do ADC, a falta da presença do acoplador não fará diferença, seria apenas um dado adicional sobre a potência RF refletida pelo circuito.

### 3.1.4 Classificação da performance do dispositivo

Por fim, após especificar a metodologia para a condução da avaliação do dispositivo, é exposto uma classificação de acordo com os resultados obtidos.

São definidas as seguintes classes:

- **Classe A** – todas as funções do circuito integrado performam de acordo com o projeto durante e após a exposição ao distúrbio;
- **Classe B** – todas as funções do circuito integrado performam de acordo com o projeto durante a exposição, porém uma ou mais delas podem ir além das

tolerâncias especificadas. Todas as funções retornam automaticamente aos limites normais ao término da exposição. Funções de memória devem se manter na classe A;

- **Classe C** – uma função do circuito integrado não performa conforme o projeto, mas retorna automaticamente à operação normal ao término da exposição;
- **Classe D** – uma função do circuito integrado não performa conforme o projeto e não retorna ao normal até o término da exposição e a redefinição (*reset*) do dispositivo por uma ação simples (por exemplo acionando uma chave ou botão);
- **Classe E** – uma ou mais funções do circuito integrado não performam conforme projeto e mesmo após a exposição não consegue retornar à operação normal.

### 3.2 DESENVOLVIMENTO DO CÓDIGO PARA CAPTURA DE ERROS

Após a avaliação da norma, foi iniciado o desenvolvimento do código para realizar a captura de erros devidos à susceptibilidade à EMI. O primeiro ponto avaliado foram o que poderia configurar um erro no ADC que, de maneira simples, pode ocorrer de duas formas:

1. Realizar a conversão incorreta de um certo sinal;
2. O dispositivo parar de funcionar, não enviando mais dados.

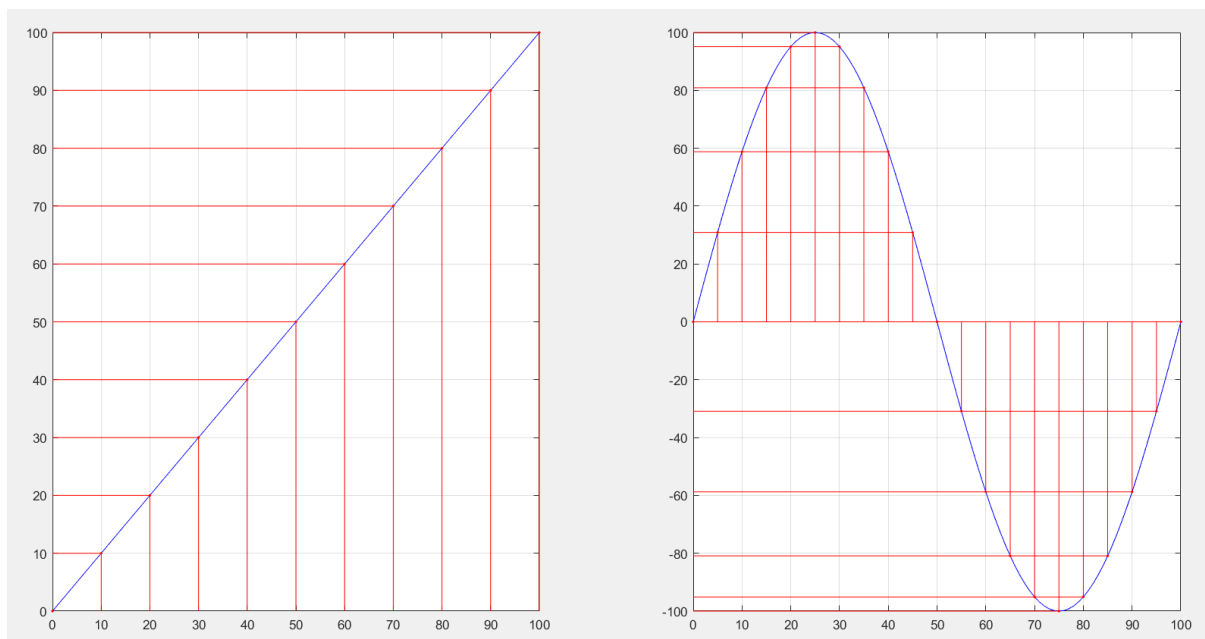
Os tipos de erros que podem ocorrer foram descritos em trabalhos anteriores, como em Boeira, 2010, onde foi feita a detecção de erros utilizando-se o PSoC 5 e o método de TMR – *Triple Modular Redundancy*, e também em Kennedy, 2018, onde foi avaliada a susceptibilidade de conversores flash a interferência eletromagnética. Pensando nestas duas formas de erros e com inspiração nestes trabalhos desenvolvidos anteriormente, parte-se para implementação da detecção de erros do conversor. Optou-se por realizar a implementação da detecção via software devido a flexibilidade e facilidade de implementação dessa vertente.



### 3.2.1 Desenvolvimento de método para detecção de erros

Como no dispositivo havia um único conversor, não seria possível realizar a implementação de um sistema de identificação de erros que precisa de múltiplos conversores, como, por exemplo, um sistema de votação, onde o valor de conversão da maioria é o que dita o valor de saída do ADC. Logo, partindo-se da premissa que um erro de conversão seria representado por um ponto fora da curva do sinal sendo adquirido ou pela falta de um ponto, focou-se em alguma maneira de caracterizar o sinal que estava sendo adquirido. A caracterização do sinal deve ser feita de maneira simples, visto que se trata de um microcontrolador voltado para IoT, possuindo um baixo *clock* se comparado com processadores de alto desempenho. Portanto, caso fossem utilizadas operações matemáticas muito complexas, o dispositivo iria levar um tempo considerável para realiza-las, dificultando a detecção de erros ao longo de todo o processo de amostragem.

Logo, foi utilizado a ideia de caracterizar o sinal utilizando-se o *slew-rate*, que representa a variação do sinal ao longo do tempo. Em um ADC com frequência de aquisição constante, será representado pela diferença entre duas amostras seguidas. A Figura 20 ilustra dois sinais, um sinal linear e um sinal senoidal. O *slew-rate* destes sinais seria calculado pela diferença em *y* de dois pontos seguidos. É possível observar que no caso do sinal linear, o *slew-rate* sempre é igual a 10, enquanto a senoide apresenta um *slew-rate* em torno de 30 entre os dois primeiros pontos, porém ao chegar próximo ao ângulo de  $\pi/2$ , o *slew-rate* diminui, sendo próximo de 5. Portanto, é possível afirmar que o *slew-rate* máximo e mínimo serão característicos do tipo de onda sendo adquirida e caso seja um sinal linear, estes serão sempre iguais enquanto em um sinal não linear, como uma senoide, serão diferentes. Estes parâmetros também irão depender da amplitude e do número de pontos por ciclos sendo adquiridos pelo conversor.

**Figura 20:** Exemplificação de *slew-rate* para diferentes ondas.

Fonte: O Autor, 2022.

Então, o dispositivo iria funcionar algum tempo sem nenhuma interferência, dessa forma ele seria capaz de detectar o *slew-rate* máximo e mínimo do sinal. Após este período, seria inserido interferência no dispositivo e a cada aquisição, seria calculado a variação em relação a amostra anterior e verificado se estes valores se encontram fora dos limites inicialmente calculados. Caso a diferença entre a amostra atual em relação a última estivesse fora do valor máximo e mínimo do *slew-rate*, um erro teria ocorrido. Uma pequena tolerância de 5 LSB foi adicionada nestes limites pois é possível que ocorram pequenas variações devido a erros do conversor ou influencias do ambiente que não se enquadram em um erro de conversão devido à interferência. Este método de caracterização já havia sido estudado em trabalhos de grupos na UFRGS no passado, sendo aplicado na prática no presente trabalho. A Figura 21, é exibido o trecho de código utilizado para cálculo do *slew-rate*. A função percorre o buffer de aquisição de sinal, calculando a máxima e a mínima variação entre as amostras e salva esses valores em memória. É possível destacar que a primeira amostra feita é sempre descartada. Isso corre, pois, a primeira amostra é feita após o conversor ter enviado os dados do *buffer* de aquisição, ficando algum tempo sem realizar aquisições, porém o sinal continuou variando. Logo, a primeira amostra sempre seria um valor incorreto para cálculo do *slew-rate*. Após o cálculo da máxima e da mínima variação, é adicionado a tolerância.

**Figura 21:** Trecho de código para cálculo do slew-rate.

```

void GetDefaultParams(signal_params *params){
    int i;
    int delta_v;
    for( i = 2; i < signal.buffer_len; i++){
        delta_v = abs(signal.buffer[i].acquiredValue - signal.buffer[i-1].acquiredValue);
        if( params->max_delta_v == 0 || delta_v > params->max_delta_v )
            params->max_delta_v = delta_v;

        if( params->min_delta_v == 0 || delta_v < params->min_delta_v )
            params->min_delta_v = delta_v;
    }
    params->max_delta_v += 5;
    params->min_delta_v -= 5;
}

```

**Fonte:** O Autor, 2022.

Utilizando-se esta abordagem seria possível caracterizar erros utilizando-se qualquer sinal contínuo, embora irá se obter uma exatidão maior se forem utilizados sinais com variações constantes, como funções lineares. Por deixar o conversor funcionando algum tempo sem interferência, seria possível separar os erros intrínsecos do ADC, conforme os mencionados na subseção 2.3.2, pois o *slew-rate* máximo e mínimo seriam calculados incluindo estes erros. Então, qualquer desvio do *slew-rate* após a definição de seus valores iniciais seria exclusivamente devido à interferência eletromagnética inserida no circuito. A Figura 22 exibe o trecho de código com a condição para detecção de erro e envio dos dados pela comunicação serial.

**Figura 22:** Trecho de código para detecção de erros.

```

if( TestParams.max_delta_v > SignalParams.max_delta_v || TestParams.min_delta_v <
SignalParams.min_delta_v ){
    UART_PutString("\r\nError detected! detected_max_delta_v = ");
    UART_SendInteger(TestParams.max_delta_v);
    UART_PutString("; detected_min_delta_v = ");
    UART_SendInteger(TestParams.min_delta_v);
    sendBuffer();
}

```

**Fonte:** O Autor, 2022.

Para que o algoritmo funcione em qualquer sinal, é muito importante a relação entre a frequência de aquisição e a frequência do sinal, pois isto irá influenciar no valor máximo e mínimo da variação. Por exemplo, caso seja utilizado uma senoide, que apresenta grande variação em  $t = 0$  e pequenas variações em  $t = \pi/2$ , e o tempo de aquisição entre cada amostra for muito grande, a diferença entre a máxima e a mínima variação seriam muito grandes, sendo possível detectar apenas grandes

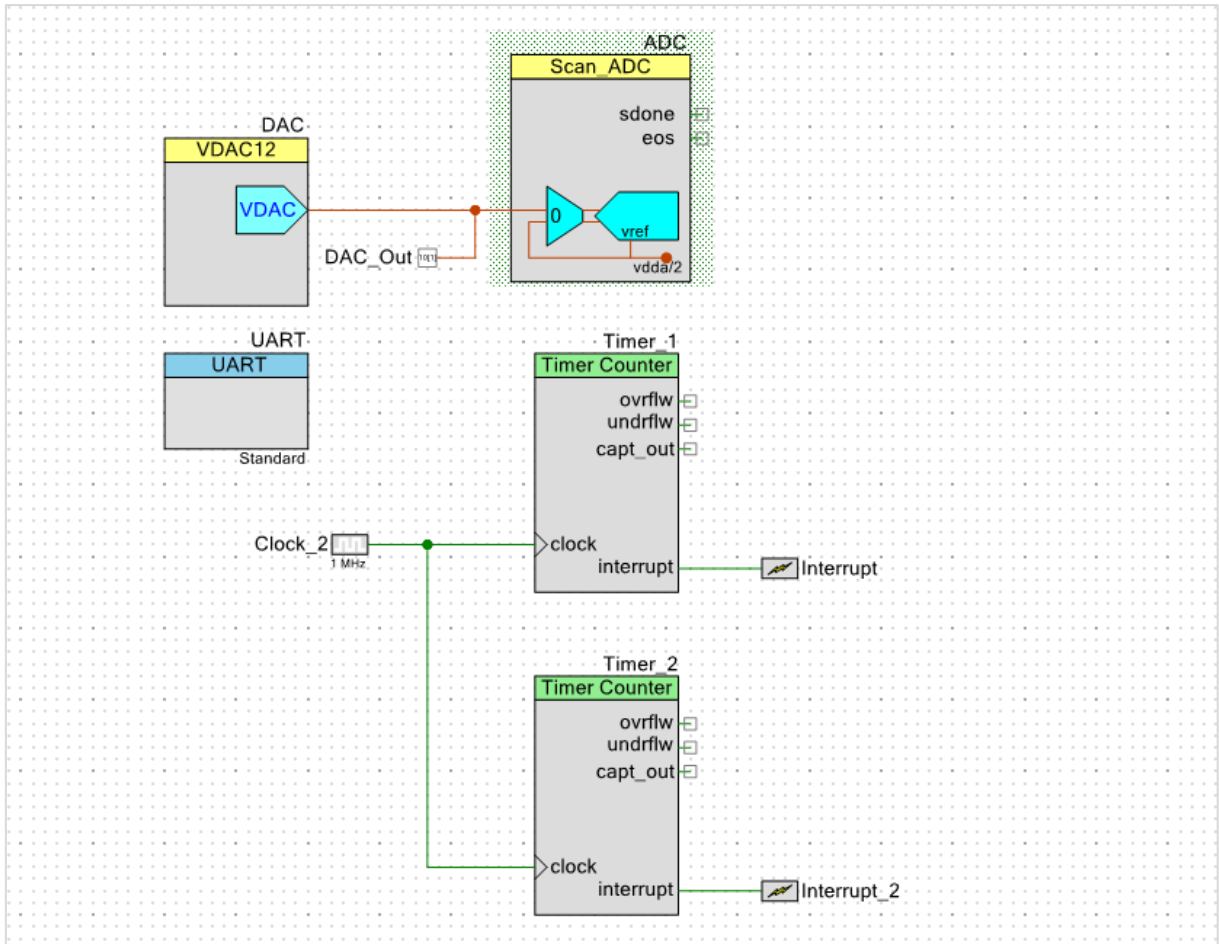
erros. Enquanto aumentando o número de pontos adquiridos por ciclo de sinal mais sensível a erros o mesmo seria, ou seja, mais eficiente pra captura de erros, não seria possível aumentar-se muito esse número devido às limitações de hardware, pois a velocidade máxima do conversor é de 1 Ms/s e também há outras limitações, como memória e tempo de comunicação entre o dispositivo e um dispositivo externo. Empiricamente, utilizando-se as formas de onda senoidais e triangular, determinou-se que 1000 pontos seria um número adequado, fornecendo um bom balanço entre sensibilidade à interferência e tempo de processamento, além de fornecer a possibilidade de execução do teste com sinais de até 1 kHz utilizando-se a máxima frequência de aquisição do ADC.

### **3.2.2 Implementação do algoritmo no PSoC 6**

Após definir a forma como seria feita a detecção do erro, partiu-se para a implementação do mesmo. Utilizou-se o software PSoC Creator 4.4 para o desenvolvimento, visto que se trata de uma solução proprietária da própria Infineon, contando com diversos manuais e tutoriais sobre a utilização do mesmo, além de diversos frameworks que facilitam o desenvolvimento.

Como forma também de facilitar a execução dos testes, utilizou-se o DAC interno do chip para a geração do sinal que será adquirido pelo ADC, flexibilizando ainda mais a realização do teste pois seria possível gerar diversos tipos de sinais sem a necessidade de uma fonte externa. A Figura 23 foi obtida a partir do layout do PSoC Creator e exemplifica a disposição do hardware utilizado.

**Figura 23:** Disposição de hardware para implementação do algoritmo de teste.



**Fonte:** O Autor, 2022.

Além da utilização do DAC para a geração do sinal, é possível chamar atenção para outros pontos do projeto:

- **Utilização de dois *timers* com interrupções** – um timer é utilizado para a geração do sinal enquanto outro para a aquisição. A utilização de interrupções garante que a aquisição e geração do sinal irão ser feitas no tempo correto, visto que o microprocessador irá priorizar as funções ligadas a elas independentemente de onde ele estiver na execução do código principal;
- **Roteamento da saída do DAC/entrada do ADC para uma porta externa** – como tanto a geração quanto a aquisição do sinal estão sendo feitas internamente no microcontrolador, é necessário haver contato com o exterior para inserir a perturbação;
- **Bloco de comunicação UART** – para realizar a comunicação com um dispositivo externo, que no caso deste trabalho era um computador, foi utilizado

um bloco de comunicação UART com 115200 de *baud-rate* pois provia largura de banda correspondente a quantidade de informação que se desejava enviar e possuía uma fácil implementação, utilizando o mesmo cabo USB de programação do micro para se comunicar. Caso o dispositivo pare de se comunicar com o computador, significa que ocorreu um erro do tipo 2, onde o conversor parou de funcionar. Foi utilizado o software PuTTY 0.77 para comunicação do lado do computador.

Outro ponto de atenção é que o PSoC 6 permite utilizar o processador Cortex M0+ para aplicações de baixa performance e o Cortex M4 para outras aplicações. Toda a programação do dispositivo foi feita através do CPU M4, visto que desejava-se utilizar a máxima capacidade de processamento do dispositivo. O DAC foi configurado para sempre utilizar a tensão máxima  $V_{dd}$ , equivalente a 3,3 V. A tensão de referência,  $V_{ref}$ , do ADC foi configurada para o mesmo valor, 3,3 V. Dessa forma, caso não haja erros de offset em nenhum dos componentes, é possível garantir que ambos estão funcionando na mesma escala e que o mesmo valor digital configurado no DAC será refletido na amostragem do DAC.

Dada a configuração da tensão de referência e que o ADC possui 12 bits, é possível calcular o valor do bit menos significativo do ADC conforme equação abaixo:

$$LSB = \frac{3,3}{2^{12}} \cong 0,8mV \quad (3.1)$$

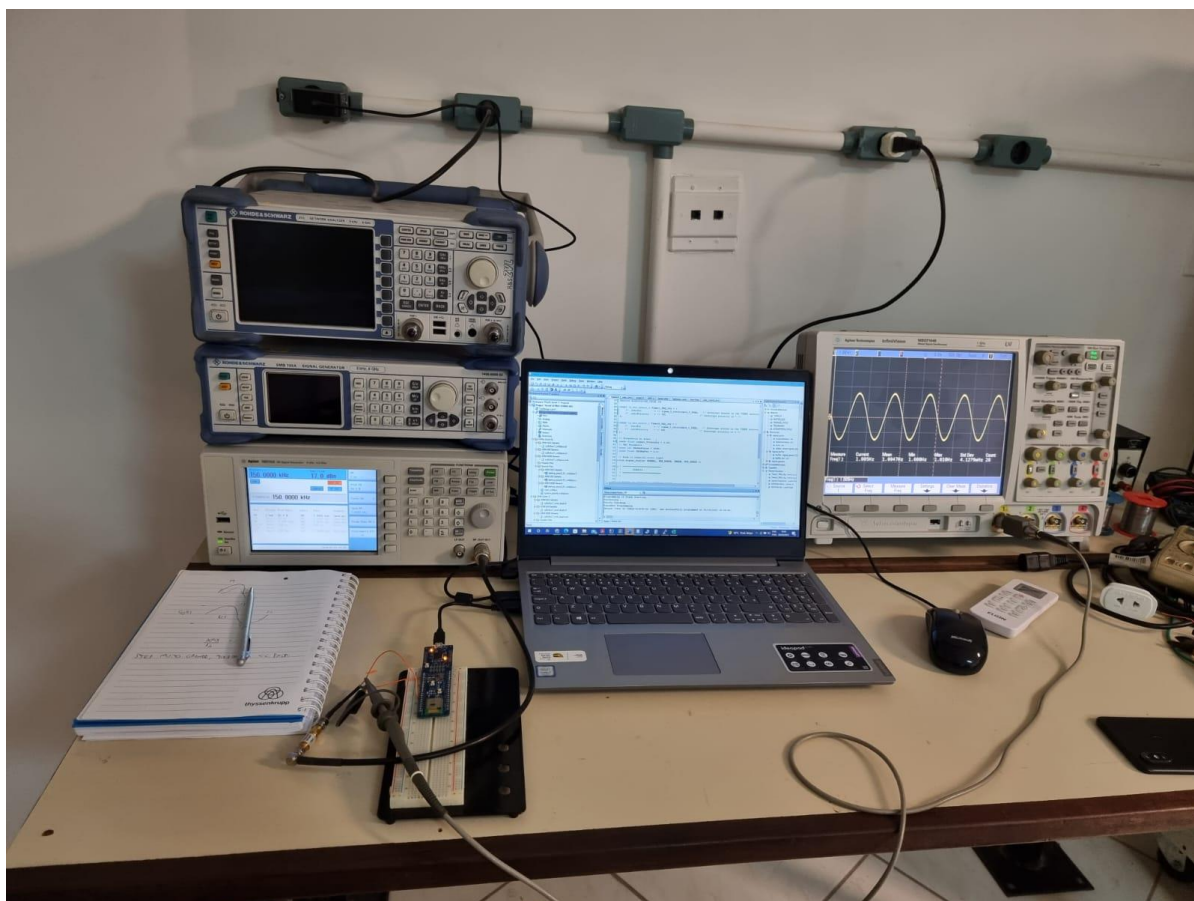
Desta forma, também é possível prever qual o desvio mínimo do *slew-rate* necessário para a ocorrência de um erro. Dado que foi inserida uma tolerância de 5 LSB, é necessário que a interferência eletromagnética introduza um desvio mínimo de 4 mV para que seja detectado um erro.

Após realizada a implementação do algoritmo, partiu-se para a configuração do setup de teste e execução do experimento.

### 3.3 EXECUÇÃO DO EXPERIMENTO

O *setup* experimental, disposto na Figura 24, foi bem semelhante ao exposto na Figura 19, retirando-se apenas o acoplador direcional e os medidores de potência.

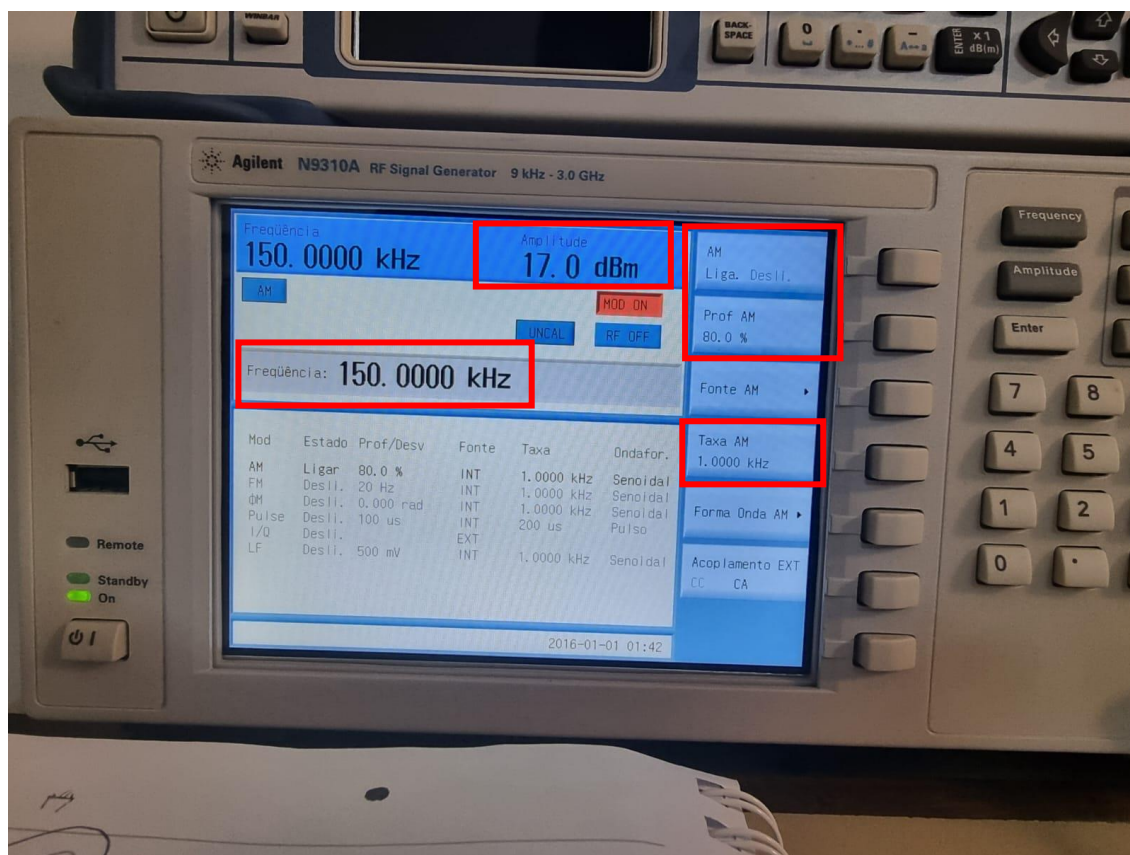
**Figura 24:** Setup experimental utilizado.



**Fonte:** O Autor, 2022.

Na esquerda é possível observar o gerador de RF utilizado, modelo N9310A da Agilent, cujas configurações iniciais estão dispostas na Figura 25. Nas configurações é possível observar o perfil de modulação AM 80%, a frequência da portadora utilizada conforme a norma e a potência do sinal, sendo de 17 dBm, ou 0,05 W.

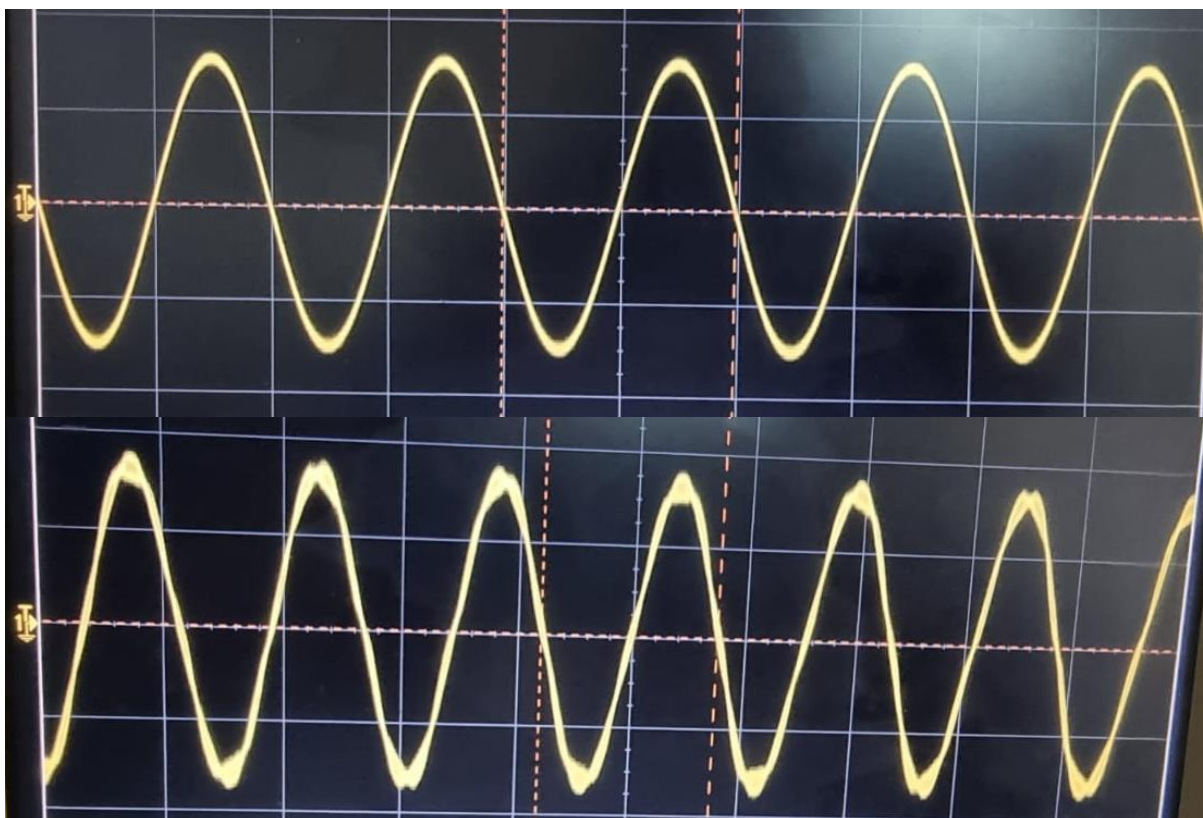
**Figura 25:** Configuração inicial do gerador de RF.



**Fonte:** O Autor, 2022.

Além do gerador de função, é possível observar na direita do *setup* um osciloscópio, sendo este utilizado para verificar o sinal presente na entrada do conversor. Para o teste, o DAC foi configurado para gerar uma senoide de 1 Hz enquanto o ADC possuía uma frequência de aquisição de 1 kS/s, respeitando os 1000 pontos estabelecidos anteriormente. A Figura 26 representa a senoide medida utilizando o osciloscópio, sendo que acima o gerador de RF estava desativado e abaixo o mesmo estava funcionando com os parâmetros iniciais.



**Figura 26:** Senoide sem e com distúrbio RF.

**Fonte:** O Autor, 2022.

Após a construção do setup experimental e a comprovação que o mesmo estava funcionando, conforme Figura 26, fez-se o experimento seguindo a metodologia descrita na seção 3.1.2, porém manteve-se a potência sempre em seu valor máximo, de 17 dBm pois esta é a potência mais provável de erros ocorrerem, e, para validar o funcionamento do algoritmo, quanto mais erros ocorrem, melhor para identificação e caracterização do ADC. Como a norma não especifica exatamente o tempo que se deve aguardar em cada frequência, foi escolhido utilizar 5 segundos em cada frequência, possibilitando obter um número relevante de amostras para se analisar.

### 3.4 TRATAMENTO DOS DADOS

A aquisição dos dados foi feita utilizando-se a função log do PuTTY, gravando toda a sessão de comunicação entre o microcontrolador e o computador. Com os dados adquiridos, foi utilizado a linguagem de programação Python 3.9.6 para

realizar o tratamento dos mesmos, juntamente com Excel 2016 para auxiliar na plotagem dos gráficos.

Para identificar-se tendências de comportamento e comprovação do algoritmo, focou-se em analisar o número de erros ocorridos em cada frequência, o espalhamento dos códigos quando se era adquirida uma tensão constante pelo ADC e em comparar o sinal sendo gerado com o sinal sendo adquirido.

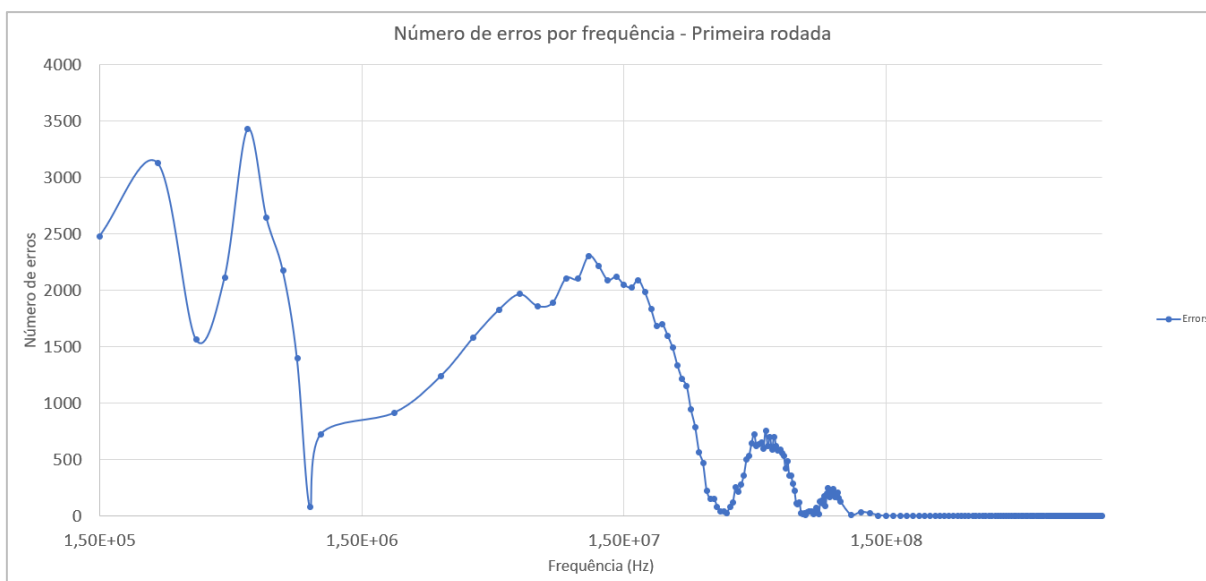
## 4 ANÁLISE DOS RESULTADOS E DISCUSSÕES

Após a execução do experimento parte-se para a avaliação dos resultados. Foi analisado a efetividade do algoritmo de detecção de erros baseado na taxa de variação do sinal sendo adquirido. Escolheu-se duas formas de ondas para realização dos testes, sendo a primeira um sinal senoidal e a segunda um sinal constante igual a  $V_{ref}/2$ . Esta escolha contribui para verificação da efetividade do algoritmo, visto que a primeira irá apresentar um *slew-rate* que varia conforme o cosseno do ângulo da senoide e, a segunda, possuindo um *slew-rate* constante. Além disso, utilizando-se um sinal constante, também é possível calcular qual foi o desvio máximo nas amostras após a inserção do distúrbio, ou seja, o tamanho do erro que ocorreu devido à interferência. Foram feitas quatro rodadas do experimento e cada uma delas está disposta nas subseções abaixo.

### 4.1 INJEÇÃO NO PINO DE VIN

Nesta rodada gerou-se um sinal senoidal com frequência igual a 1 Hz com o ADC funcionando à uma taxa de 1 kS/s. Com essas condições de funcionamento, foi inserido o distúrbio no pino de Vin. Abaixo são descritos os resultados obtidos após análise da aquisição de dados feita nesta rodada.

A Figura 27 mostra o número de erros que ocorreram em cada frequência, sendo que o eixo x está em escala logarítmica e representa a frequência, iniciando em 150 kHz até 1 GHz, e o eixo y está em escala linear, contendo o número de erros de 0 a 4000.

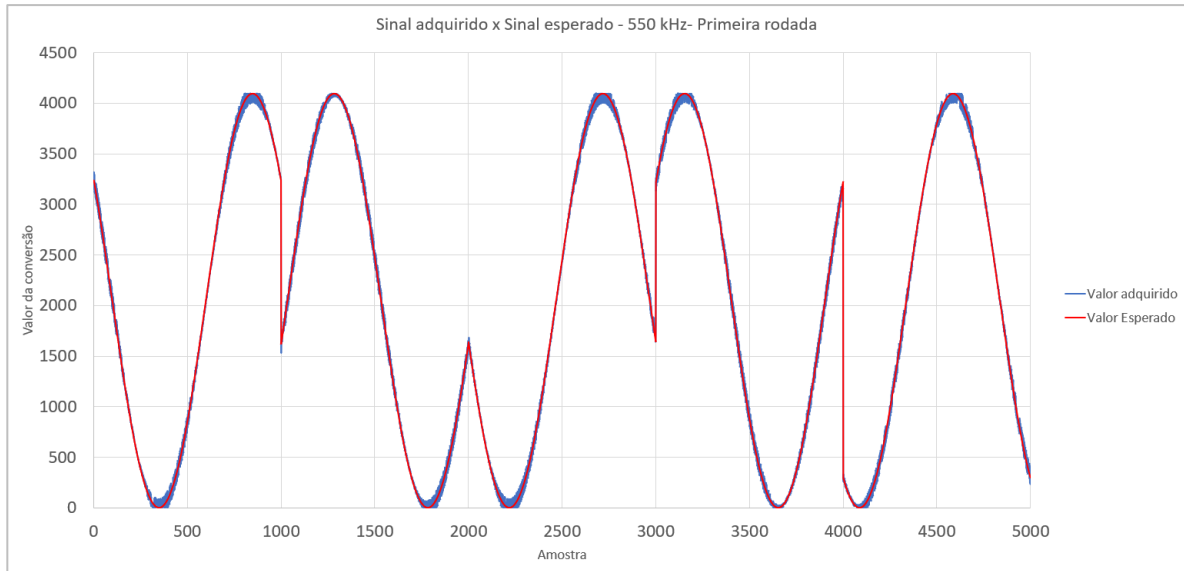
**Figura 27:** Número de erros por frequência, inserção pino Vin.

**Fonte:** O Autor, 2022.

É possível observar que houve um número grande de erros para os valores menores de frequência e, próximo a frequência de 1 MHz, houve uma brusca queda no número de erros. Depois houve novamente um aumento no número de erros e um comportamento de queda próximo aos 37 MHz. Posteriormente, novamente um pico de erros e uma nova queda, desta vez próximo aos 74 MHz. Depois, novamente um pequeno aumento no número de erros e uma queda próximo aos 120 MHz, onde não foram detectados novos erros até a frequência de 1 GHz. Para altas frequências era esperado um número pequeno de erros, dado que a amplitude do sinal é pequena ao ponto de não representar variações maiores ou iguais a 1 LSB. A diminuição da amplitude do sinal provavelmente se deve ao aumento da reflexão das ondas conforme a frequência aumenta, pois, as impedâncias dos cabos e de outros componentes do circuito dependem da frequência. O acoplador direcional representado na Figura 19 seria utilizado para comprovar esta análise, porém não foi possível utilizá-lo devido sua indisponibilidade.

Para comprovar o funcionamento do algoritmo, é possível analisar como o sinal adquirido pelo ADC se comportou em relação ao sinal sendo gerado pelo DAC na frequência de 550 KHz, que apresentou o maior número de erros, e na frequência de 37 MHz, onde menos foram detectados erros conforme Figura 27. Na Figura 28, é possível observar como o sinal adquirido se comportou em relação ao sinal gerado na frequência de 550 kHz, onde houve a maior detecção de erros.

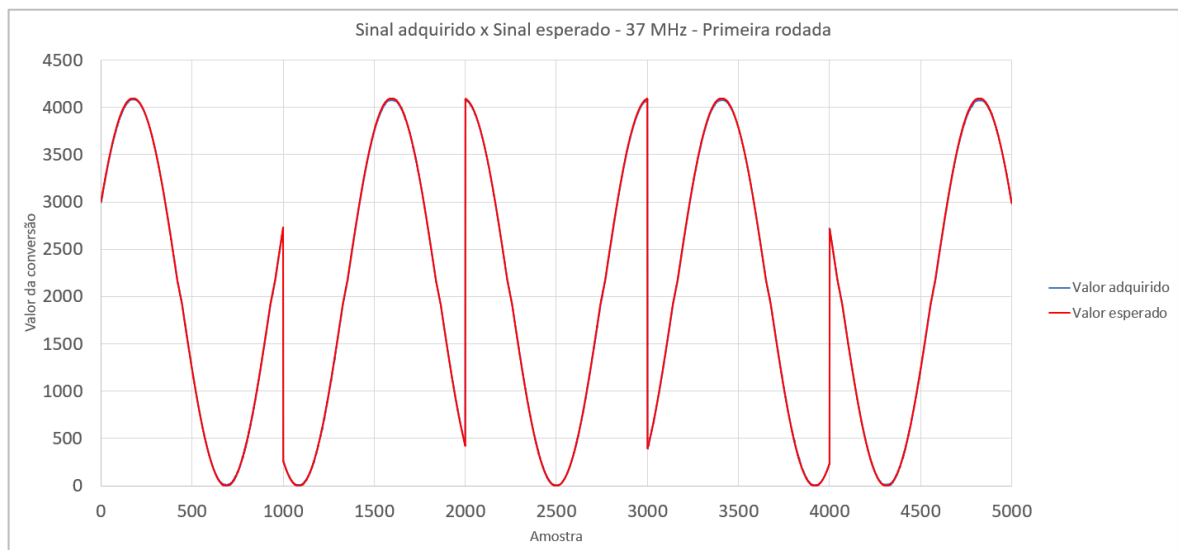
**Figura 28:** Comparação entre o sinal adquirido e o sinal esperado em 550 kHz.



**Fonte:** O Autor, 2022.

As partes onde há descontinuidade se referem a momentos em que a memória do microcontrolador ficou cheia e ele enviou os dados através da comunicação serial. Nesse período, o microcontrolador para de fazer aquisições, porém o sinal segue sendo gerado, resultando em alguns momentos de descontinuidade. Porém, o importante a ser notado na imagem é a existência de um espalhamento do em torno do sinal esperado. A Figura 29 compara o sinal adquirido e o esperado na frequência de 37 MHz, onde houve um número menor de erros.

**Figura 29:** Comparação entre o sinal adquirido e o sinal esperado em 37 MHz.



**Fonte:** O Autor, 2022.

Agora, na frequência onde houve o menor número de erros, é possível observar que o sinal adquirido e o sinal esperado ficaram muito próximos um do outro, não havendo o espalhamento em torno do sinal esperado como houve na Figura 28. O espalhamento se deve à soma do sinal de RF ao sinal que está sendo gerado no DAC, fazendo com que haja diversos pontos distantes da curva do sinal sendo adquirido. Como o cálculo dos parâmetros de *slew-rate* foram calculados sem que essa interferência estivesse presente, toda vez que essa interferência resultar em um desvio de  $\pm 5$  LSB, valor definido para a tolerância, em relação ao *slew-rate* calculado inicialmente, o algoritmo irá identificar um erro. Foi o que ocorreu na frequência de 550 kHz, onde é visível o espalhamento maior que 5 LSB em torno do sinal esperado. Já na Figura 29, este efeito foi menor, com o sinal adquirido coincidindo com o sinal esperado. Dessa forma, o *slew-rate* ficou dentro da margem de tolerância, não detectando erros. Dessa forma, é possível comprovar o funcionamento do algoritmo, uma vez que toda variação brusca do sinal acima da variação esperada configura um erro.

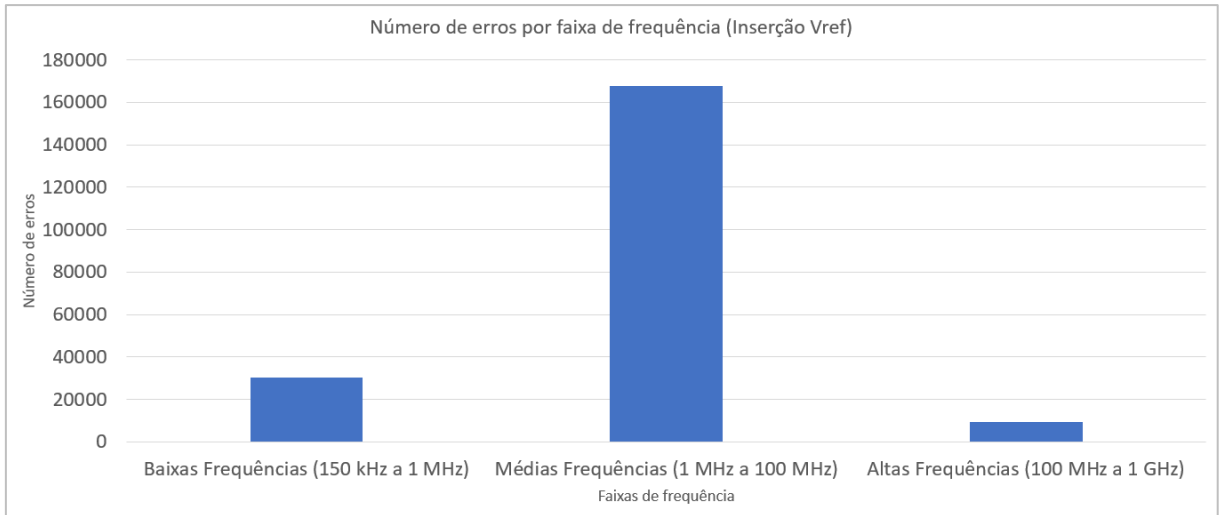
A detecção de erros realizando a inserção no  $V_{in}$  é esperada, visto que o que está ocorrendo é um sinal sendo somado ao sinal sendo adquirido, fazendo com que o conversor considere um valor de tensão igual a  $V \pm \Delta V$  na hora da conversão, sendo o segundo termo referente ao sinal de RF introduzido ao circuito. Em geral, esse efeito pode ser removido utilizando-se um filtro passa-baixas, como o filtro anti-aliasing, que garante que o sinal sendo amostrado está dentro do critério de Nyquist. Em frequências maiores, é esperado que não haja interferência, pois, como dito acima, a amplitude do sinal de interferência fica muito pequena, a ponto de que a parcela  $\Delta V$  não é detectável pela sensibilidade do conversor.

#### 4.2 INJEÇÃO NO PINO DE $V_{REF}$

Nesta rodada gerou-se uma tensão constante igual a  $V_{ref}/2$ , mantendo o conversor realizando aquisições à uma taxa de 1 kS/s. Dadas estas condições, foi inserido distúrbio RF no pino de  $V_{ref}$ . A Figura 30 mostra o número de erros em cada frequência para esta situação.



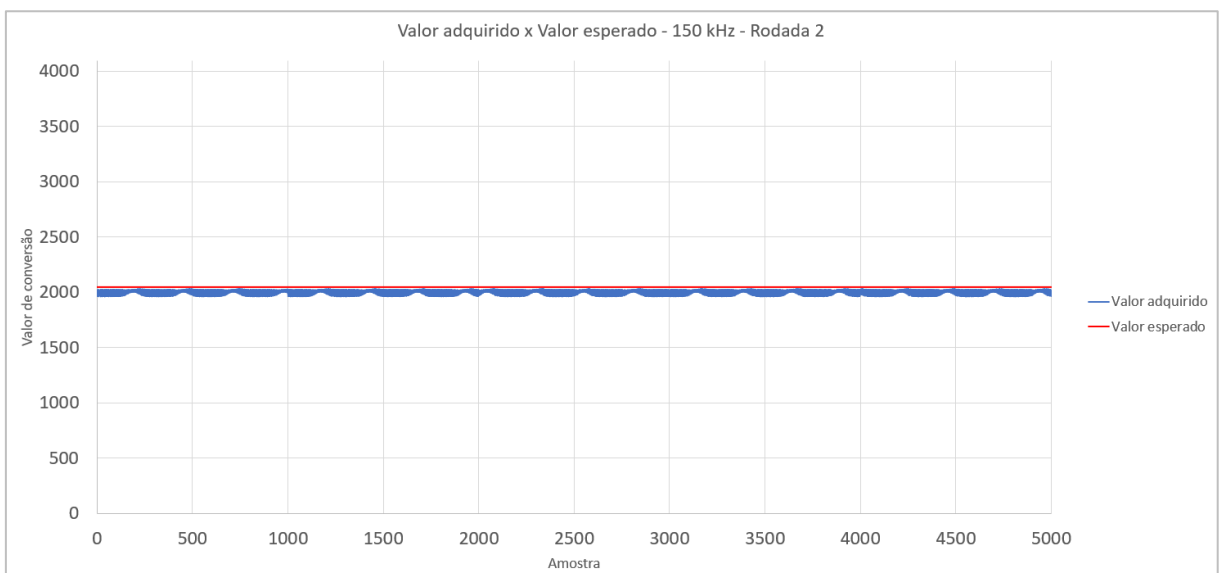
**Figura 31:** Número de erros por faixa de frequência – inserção Vref.



**Fonte:** O Autor, 2022.

É possível também analisar o comportamento do algoritmo de captura de erros. A seguir, na Figura 32, é possível visualizar a captura do sinal quando inserido uma perturbação em 150 kHz, frequência onde houve a maior quantidade de erros, e o sinal esperado, gerado pelo DAC.

**Figura 32:** Comparação entre o sinal adquirido e o esperado – 150 kHz – inserção pino de Vref.



**Fonte:** O Autor, 2022.

Desta vez, além de observar um espalhamento do sinal adquirido, é possível também observar um deslocamento em relação ao sinal esperado. A Figura 33

mostra a comparação agora em frequência de 6 MHz, frequência onde não foram identificados erros.

**Figura 33:** Comparação entre o sinal adquirido e o esperado – 6 MHz – sem injeção de distúrbio.



**Fonte:** O Autor, 2022.

Já na segunda imagem, onde não foram detectados erros, é possível observar que existe apenas um deslocamento entre o sinal esperado e o sinal adquirido. Destas duas Figuras, é possível obter duas conclusões. A primeira é que existe um pequeno erro de offset entre o DAC e o ADC que não havia sido observado anteriormente durante a geração da senoide. Isso provavelmente se deve ao roteamento feito da tensão de referência para o pino de Vref para que seja possível introduzir o ruído. A segunda conclusão é que o algoritmo é sensível apenas a variações, como esperado, pois o erro de offset não foi contabilizado durante a identificação dos erros, comprovando que todos os erros capturados pelo algoritmo se devem somente a variações causadas pelos distúrbios que ocorreram devido à injeção de RF no pino.

Outro ponto interessante a se destacar é que, embora a injeção feita na entrada Vin e na tensão de referência Vref atuem de forma diferente, uma alterando o sinal sendo amostrado e outra alterando a sensibilidade do conversor devido à uma variação da tensão de referência, a manifestação de ambos os efeitos no sinal



amostrado é a mesma: desvios do sinal esperado. A depender da aplicação, essa variação pode se traduzir como uma leitura incorreta de um instrumento, por exemplo.

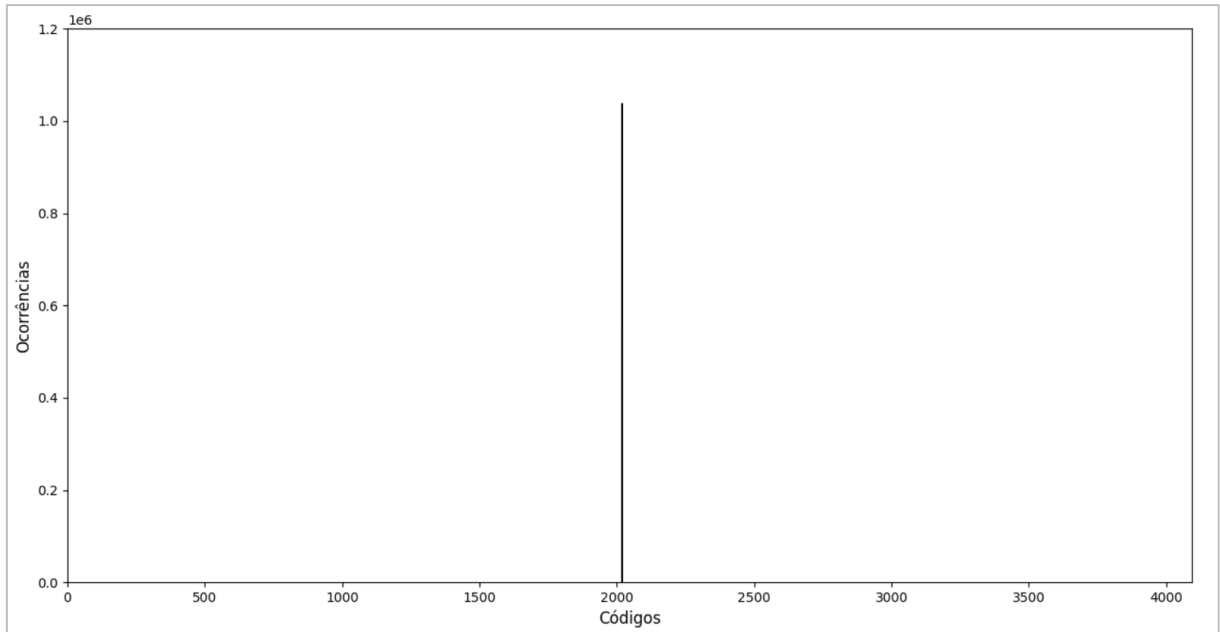
#### 4.3 INJEÇÃO NO PINO DE VDD

Nesta rodada gerou-se uma tensão constante de  $V_{ref}/2$ , mantendo o conversor funcionando à uma taxa de 1 kS/s. Nestas condições, foi inserido distúrbio RF no pino de Vdd. Não foram detectados erros após toda a execução do experimento, variando-se a frequências das ondas de 150 kHz até 1 GHz, mantendo-se a potência constante. Este efeito foi simulado aos resultados dos experimentos desenvolvidos por Boeira, 2010, nas mesmas condições. Isso provavelmente ocorreu, pois, circuitos de alimentação de dispositivos como este possuem uma alta rejeição a sinais interferentes (alta PSRR – *Power Supply Rejection Ration*), estando também a tensão de entrada conectada a diversos capacitores na placa do kit de desenvolvimento.

#### 4.4 CARACTERIZAÇÃO DO CONVERSOR

Na última rodada, desejava-se realizar uma caracterização do conversor acerca de quanto suas medidas sob efeito de perturbações RF poderiam variar em relação ao funcionamento normal. Então, gerou-se um sinal contínuo de  $V_{ref}/2$  com o ADC funcionando à uma taxa de 1 kS/s. Dadas essas condições, fez-se cerca de 60 minutos de aquisições sem interferências e, posteriormente, inseriu-se o distúrbio no pino de  $V_{ref}$ , fazendo-se uma nova rodada de aquisições por mais 60 minutos nas faixas de 1 a 100 MHz, que mais apresentaram erros, conforme Figura 31. Com os dados obtidos com e sem inserção de distúrbios, foram gerados os histogramas dispostos nas Figuras 34 e 35.

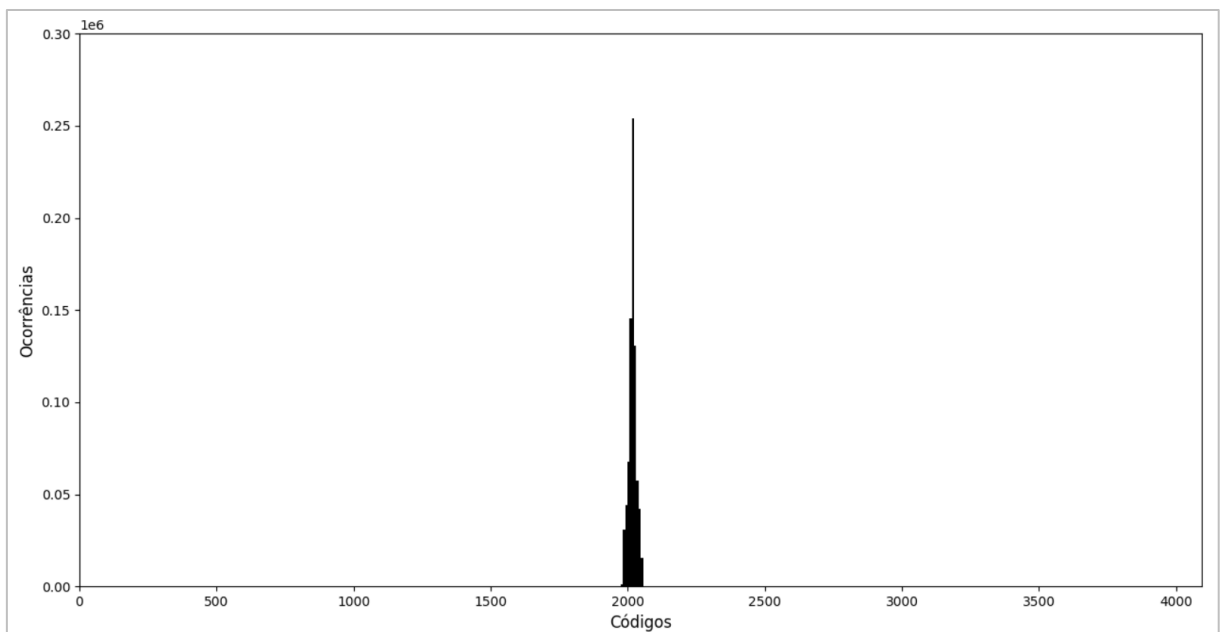
**Figura 34:** Histograma – aquisição de dados sem inserção de RF.



**Fonte:** O Autor, 2022.

É possível observar que a grande maioria das amostras se concentraram em um único valor, 2017. Agora, na Figura 35, é apresentado um novo histograma, agora com a inserção de interferência no Vref.

**Figura 35:** Histograma – aquisição de dados com inserção de RF no pino Vref.



**Fonte:** O Autor, 2022.

É possível observar que houve um espalhamento dos códigos, que deviam se concentrar em 2017 e, agora, ocupam uma faixa de valores. É possível interpretar as Figuras 34 e 35 da seguinte forma: em situações isoladas de ondas de rádio, dado um valor de tensão a ser adquirido para o domínio digital, o conversor AD irá converter este valor para o mesmo valor todas as vezes, podendo haver um erro de até 5 LSBs (espalhamento do histograma, coincidentemente igual à tolerância escolhida no algoritmo de detecção de erros) devido aos erros inerentes ao ADC apresentados na seção 2.3.1. Porém, caso o mesmo conversor faça a mesma conversão em um ambiente com o espectro eletromagnético muito poluído, onde ele está susceptível a sofrer interferência, este erro pode aumentar para até 40 LSBs, considerando uma potência de 17 dBm acoplada no pino de tensão de referência. Esta variação representa uma variação de tensão de cerca de 32 mV, considerando tensão de referência igual a 3.3 V.

Portanto, analisando os resultados obtidos, é possível afirmar que, embora o conversor tenha apresentado um certo nível de susceptibilidade à interferência eletromagnética com potência de até 17 dBm e frequências até 100 MHz, não foram constatados grandes problemas além de uma certa perda de precisão, com o erro passando de 5 LSBs para até 40 LSBs. Como trata-se de um conversor SAR, não foram verificados erros durante o processo de conversão, que conforme apresentado na subseção 2.3.2, caso haja uma falha em uma das comparações nos estágios iniciais de conversão, isso irá se traduzir como uma grande falha no valor final convertido. Porém, todos os erros vistos tratam-se de pequenos desvios que se devem à apenas variações de tensão entre a tensão de referência esperada e a tensão de referência real após sofrer interferência eletromagnética. Caso este conversor seja utilizado para alguma aplicação que tolere um erro de até 40 LSBs, não haverá problema em utilizá-lo, porém caso contrário, é sugerido a utilização de algum conversor menos susceptível ou realizar algumas correções antes de utilizá-lo, como a inserção de um filtro ou capacitor *by-pass* na tensão de referência. Por fim, dentre as classificações descritas na subseção 3.1.4, é possível previamente classificar o dispositivo como um dispositivo Classe B, dado que o mesmo continuou funcionando na presença de distúrbios eletromagnéticos, apresentando apenas tolerâncias maiores que o inicialmente especificado. Claro, para se ter certeza da

classificação do dispositivo, seria necessário a execução do restante da norma, que pode ser aplicado em trabalhos subsequentes.

Ao final do experimento também foi possível constatar algumas semelhanças com os trabalhos feitos em Boeira, 2010. A primeira delas é a imunidade do dispositivo quando foi realizada a inserção de distúrbio na tensão de referência, conforme explicado no capítulo 4.3. Além disso, também se observou uma semelhança na faixa de frequência que mais apresentou erros, de 1 a 100 MHz.

## **5 CONCLUSÃO**

No início do desenvolvimento do projeto, desejava-se caracterizar o conversor SAR presente no PSoC 6 quanto à sua imunidade eletromagnética. Para isso, foram utilizadas as normas IEC 62132 como base, juntamente com alguns trabalhos desenvolvidos anteriormente. Desenvolveu-se um algoritmo para detecção de erros devidos à distúrbios de RF inseridos em diferentes pontos do circuito e utilizou-se as recomendações das normas tanto para inserção de energia RF quanto para avaliação dos resultados obtidos.

Após analisar os resultados, foi possível constatar a efetividade do algoritmo, cuja sensibilidade para detecção de erros está relacionada ao tipo de onda que está sendo adquirida e o número de pontos adquiridos em cada ciclo de sinal. Além disso, foi possível verificar que o dispositivo apresentou susceptibilidade conduzida principalmente em frequências médias, de 1 a 100 MHz. Foi possível, também, realizar uma classificação inicial do dispositivo de acordo com as classes de performance dispostas na norma, podendo ser caracterizado como um dispositivo de Classe B, tendo sua precisão prejudicada, podendo exibir variações de até 40 LSB em relação adquirido sem interferências, quando sujeito à um distúrbio com potência igual a 17 dBm.

Como trabalhos futuros, pode-se explorar mais o algoritmo desenvolvido, avaliando sua sensibilidade e aplicabilidade em outras configurações de aquisição de sinal e comparando os resultados com os obtidos no presente trabalho. Também é possível conduzir experimentos com outras seções da norma IEC 62132,

executando testes para avaliar a imunidade eletromagnética do dispositivo em relação à outras formas de interferência, como a interferência irradiada.

Como trabalho de conclusão de curso de engenharia elétrica, é possível dizer que o mesmo apresentou bons resultados, pois dado um problema inicial para avaliar um dispositivo acerca de sua compatibilidade eletromagnética, foi possível criar formas de resolver este problema aplicando diferentes áreas de conhecimento que foram desenvolvidas ao longo do curso, como programação de microcontroladores, funcionamento de sistemas eletrônicos, avaliação de erros, princípios de comunicação, interpretação de normas, entre diversos outros.

## REFERÊNCIAS

1. BRITANNICA. **The Semiconductor Revolution**. Acesso em 01/06/2022. Disponível em: <https://www.britannica.com/technology/electronics/The-semiconductor-revolution>.
2. INTERNATIONAL ELECTROTECHNICAL COMMISSION. **IEC 62132-1, Integrated Circuits – Measurement of Electromagnetic Immunity, 150 kHz to 1 GHz – Part 1: General Conditions and Definitions**, ed. 1.0, January 2006.
3. INTERNATIONAL ELECTROTECHNICAL COMMISSION. **IEC 62132-4, Integrated circuits – Measurement of Electromagnetic Immunity, 150 kHz to 1 GHz – Part 4: Direct RF Power Injection Method**, ed. 1.0, February 2006.
4. PRESTES, D. P. **Plataforma Para Injeção De Ruído Eletromagnético Conduzido Em Circuitos Integrados**. Dissertação de mestrado (Mestre em Engenharia Elétrica), Pontifícia Universidade Católica do Rio Grande do Sul – PUC, 2010.
5. BOEIRA, F. J. **Study and Application of Direct RF Power Injection Methodology and Mitigation of Electromagnetic Interference in ADCs**. Dissertação de mestrado (Mestre em Microeletrônica), Universidade Federal do Rio Grande do Sul – UFRGS, 2020.
6. INFINEON. **PSOC 6 Datasheet. San Jose, 2021**. Acesso em 01/06/2022. Disponível em: [https://www.infineon.com/dgdl/Infineon-PSOC\\_6\\_MCU\\_CY8C62x6\\_CY8C62x7-DataSheet-v14\\_00-EN.pdf?fileId=8ac78c8c7d0d8da4017d0ee4c9386bff&utm\\_source=cypress&utm\\_medium=referral&utm\\_campaign=202110\\_globe\\_en\\_all\\_integration-datasheet](https://www.infineon.com/dgdl/Infineon-PSOC_6_MCU_CY8C62x6_CY8C62x7-DataSheet-v14_00-EN.pdf?fileId=8ac78c8c7d0d8da4017d0ee4c9386bff&utm_source=cypress&utm_medium=referral&utm_campaign=202110_globe_en_all_integration-datasheet).
7. JOVIĆ, O. **Susceptibility of ICs to Conducted Electromagnetic Interference, 2010**. Acesso em 01/06/2022. Disponível em: <https://citeseerx.ist.psu.edu/viewdoc/download?doi=10.1.1.531.1481&rep=rep1&type=pdf>.

8. NASA. **Electronic Systems Failures and Anomalies Attributed to Electromagnetic Interference**, Washington, United States, 1995. Disponível em: <https://ntrs.nasa.gov/archive/nasa/casi.ntrs.nasa.gov/19960009442.pdf>.
9. PAUL, C. R. **Introduction to electromagnetic compatibility**, ed. 2.0, 2006. ISBN-13: 978-0-471-75500-5.
10. ATMEL. **AVR127: Understanding ADC Parameters**, 2016. Acesso em 01/06/2022. Disponível em: [http://ww1.microchip.com/downloads/en/appnotes/atmel-8456-8-and-32-bit-avr-microcontrollers-avr127-understanding-adc-parameters\\_application-note.pdf](http://ww1.microchip.com/downloads/en/appnotes/atmel-8456-8-and-32-bit-avr-microcontrollers-avr127-understanding-adc-parameters_application-note.pdf).
11. ANALOG DEVICES. **MT-090: Sample-and-Hold Amplifiers**, 2008. Acesso em 01/06/2022. Disponível em: <https://www.analog.com/media/en/training-seminars/tutorials/mt-090.pdf>.
12. RAPUANO, S. **ADC parameters and characteristics**, 2005. Acesso em 01/06/2022. Disponível em: <https://ieeexplore.ieee.org/abstract/document/1578617>.
13. Schmalzel and Rauth. **Analog-to-digital conversion. part 5**, 2005. Acesso em 01/06/2022. Disponível em: <https://ieeexplore.ieee.org/document/1518622>.
14. IOT ANALYTICS. **Global IoT market size grew 22% in 2021 — these 16 factors affect the growth trajectory to 2027**. Acesso em 01/06/2022. Disponível em: <https://iot-analytics.com/iot-market-size/#:~:text=North%20America%20was%20the%20fastest,lowered%20from%20the%20previous%20year>.
15. INFINEON. **Cypress PSOC® 6 Microcontrollers**, 2019. Acesso em 01/06/2022. Disponível em: [https://www.infineon.com/dgdl/Infineon-PSOC\\_6\\_MCU\\_The\\_New\\_Standard\\_for\\_the\\_Internet\\_of\\_Things-ProductBrochure-v05\\_00-](https://www.infineon.com/dgdl/Infineon-PSOC_6_MCU_The_New_Standard_for_the_Internet_of_Things-ProductBrochure-v05_00-)

EN.pdf?fileId=8ac78c8c7d0d8da4017d0f64f95450c7&utm\_source=cypress&utm\_medium=referral&utm\_campaign=202110\_globe\_en\_all\_integration-product\_brochure.

16. INTERNATIONAL ELECTROTECHNICAL COMMISSION. **What we do**. Acesso em 01/06/2022. Disponível em: <https://iec.ch/what-we-do>.
17. KENNEDY, S. **Susceptibility of flash ADCs to electromagnetic interference**. Microelectronics Reliability, Elsevier BV, v. 81, p. 218-225, 2018.
18. Rieger, Michael. (2019). Retrospective on VLSI value scaling and lithography. Journal of Micro/Nanolithography, MEMS, and MOEMS. 18. 10.1117/1.JMM.18.4.040902.