

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL
ESCOLA DE ENGENHARIA
CURSO DE GRADUAÇÃO EM ENGENHARIA ELÉTRICA

FELIPE RENZ BARRETO VIANNA

**Análise de Projeto de Circuitos
Amplificadores Sensores de Realimentação
Positiva em Memórias SRAM**

Monografia apresentada como requisito parcial
para a obtenção do grau de Engenheiro Eletricista

Orientador: Prof. Dr. Raphael Martins Brum

Porto Alegre
2022

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL

Reitor: Prof. Carlos André Bulhões Mendes

Vice-Reitora: Prof^ª. Patricia Pranke

Pró-Reitora de Graduação: Prof^ª. Cíntia Inês Boll

Diretora da Escola de Engenharia: Prof^ª. Carla Schwengber ten Caten

Coordenador do Curso de Engenharia Elétrica: Prof. Raphael Martins Brum

Bibliotecária-chefe da Escola de Engenharia: Rosane Beatriz Allegretti Borges

*“Any sufficiently advanced technology
is indistinguishable from magic.”*

— SIR ARTHUR C. CLARKE

AGRADECIMENTOS

Agradeço imensamente à minha família, a quem muito admiro, acima de tudo pelo apoio e carinho incondicionais e pelos exemplos de persistência e determinação, permitindo que pudesse mais uma vez progredir e completar essa etapa da minha trajetória.

À minha amorosa companheira, por ter me apoiado durante todo esse período, e a despeito dos momentos difíceis de ausência e distância, permanecer sempre compreensiva, divertida e otimista.

Ao meu professor orientador, pela paciência e competência com que me transmitiu valiosos ensinamentos que tornaram este projeto possível, em especial durante meu envolvimento em projetos de pesquisa no Laboratório de Prototipação e Testes.

Aos demais professores do Departamento de Engenharia Elétrica da UFRGS, pela qualidade de seu ensino, e aos colegas e amigos com quem compartilhei as dores e alegrias durante esses últimos anos.

RESUMO

Em sistemas embarcados modernos, a memória volátil SRAM é utilizada como *cache* para assegurar a alta velocidade de processamento de instruções e dados, ocupando parte significativa do tamanho dos circuitos integrados. O projeto de *caches* de maior velocidade e armazenamento permanece sendo essencial para processadores de alta performance. No contexto de aumento contínuo de densidade de células da memória conforme o avanço da tecnologia CMOS, os circuitos amplificadores sensores (SA) são utilizados para reduzir sua latência e o consumo de energia, sendo componentes periféricos essenciais em SRAM. Durante acesso de leitura da memória, encarregam-se de detectar pequenos sinais diferenciais de tensão ou corrente elétrica produzidos pelas células de *bit* e amplificá-los, visando a rápida e eficiente transmissão dos dados digitais armazenados. Dessa forma, o tempo de acesso e consumo de energia da memória são principalmente determinados pelo circuito amplificador sensor. Devido a importância dessa classe de circuitos, estuda-se seu funcionamento e variações usuais empregadas em SRAM, sendo os amplificadores sensores diferenciais de realimentação positiva (LSA) os modelos mais utilizados em função de baixo consumo, alta velocidade e elevada taxa de rejeição de modo comum (CMRR). De modo a observar os principais compromissos de projeto entre desempenho, consumo, área e tolerância a falhas, é feita análise de projeto de amplificador sensor denominado FSPA-VLSA a partir de metodologia heurística de projeto em etapas. Utilizando-se apenas ferramentas gratuitas de código aberto, como o *Google/SkyWater* PDK de tecnologia CMOS 130 nm (SKY130) e simulador elétrico *ngspice 35*, em objetivo de otimização simultânea de desempenho, consumo e área do circuito, executa-se o projeto a nível de transistores a partir do dimensionamento de seus dispositivos internos. Determina-se estatisticamente com base em simulações Monte Carlo os critérios codependentes de tensão de desvio de entrada, sensibilidade e rendimento. Em qualificação da abordagem adotada e validação do projeto final, é feita avaliação comparativa baseada em método de soma ponderada da análise de decisão multicritérios (MCDA). Do circuito projetado, atinge-se equilíbrio satisfatório de desempenho, consumo e área, com pontuações de critérios 0,93, 0,94 e 0,95, respectivamente, e pontuação final de 0,94 para pesos iguais, com sensibilidade determinada em 70 mV para se atingir o alvo de rendimento de 99,8%.

Palavras-chave: CMOS. SRAM. VLSA. FSPA-VLSA. memória. amplificador sensor. amplificador de sentido. projeto de circuitos integrados.

Design Analysis of Latch-Type Sense Amplifiers for SRAMs

ABSTRACT

In modern embedded systems, SRAM is used as cache memory to ensure high-speed processing of instructions and data, making up a significant part of the size of integrated circuits. The design of cache memory of higher speed and storage remains essential for high-performance processors. Due to continuously increasing memory cell density as CMOS technology advances, sense amplifier (SA) circuits are employed to reduce total delay and power consumption, being essential peripheral components in SRAMs. During memory read access, these circuits are in charge of sensing small differential voltage or current signals developed by the bit cells to amplify them for fast digital data transmission. Therefore, memory access time and power consumption are mainly determined by the sense amplifiers. Due to their significance, the present work studies the usual circuit models employed in SRAM, with focus to latch-type differential sense amplifiers (LSA) due to their low power, high speed and high common mode rejection ratio (CMRR). In order to capture the main design tradeoffs for performance, consumption, area and fault tolerance, the sense amplifier commonly referred to as FSPA-VLSA is designed using a heuristic methodology. Using only FOSS tools, such as the Google/SkyWater PDK of 130 nm CMOS technology (SKY130) and SPICE-compatible simulator ngspice 35, and aiming to simultaneously optimize performance, power consumption and circuit area, the transistor-level design is performed from the sizing of the internal devices. Based on Monte Carlo simulations, reliability metrics such as the input offset, sensitivity and yield are statistically determined. To qualify the design approach and validate the final design, benchmarking is performed based on the weighted sum method of multicriteria decision analysis (MCDA). The designed circuit achieves reasonable scores for performance, consumption and area of 0.93, 0.94 and 0.95, respectively, and total score of 0.94 for equal criteria weights, with sensitivity determined at 70 mV for a target yield of 99.8%.

Keywords: CMOS, SRAM, VLSA, FSPA-VLSA, Memory, Sense Amplifier, IC Design.

LISTA DE ABREVIATURAS E SIGLAS

| | |
|--------|--|
| RAM | Memória de Acesso Aleatório |
| SRAM | Memória Estática de Acesso Aleatório |
| DRAM | Memória Dinâmica de Acesso Aleatório |
| MRAM | Memória de Acesso Aleatório Magnetorresistiva |
| RRAM | Memória de Acesso Aleatório Resistiva |
| PRAM | Memória de Acesso Aleatório de Mudança de Fase |
| CAM | Memória Endereçável por Conteúdo |
| CMOS | Metal-Óxido-Semicondutor Complementar |
| MOS | Transistor Metal-Óxido-Semicondutor |
| MOSFET | Transistor Metal-Óxido-Semicondutor de Efeito de Campo |
| PMOS | Transistor MOS Tipo P |
| NMOS | Transistor MOS Tipo N |
| 6T | Seis Transistores |
| MC | Monte Carlo |
| AS | Amplificador Sensor |
| CMRR | <i>Common Mode Rejection Ratio</i> |
| DEF | <i>Default</i> |
| LVT | <i>Low Threshold Voltage</i> |
| HVT | <i>High Threshold Voltage</i> |
| PDK | <i>Process Design Kit</i> |
| ASIC | <i>Application Specific Integrated Circuit</i> |
| IoT | <i>Internet of Things</i> |
| CDF | <i>Cumulative Distribution Function</i> |
| EDA | <i>Electronic Design Automation</i> |

| | |
|-----------|---|
| SPICE | <i>Simulation Program with Integrated Circuit Emphasis</i> |
| SA | <i>Sense Amplifier</i> |
| CMSA | <i>Current Mirror Sense Amplifier</i> |
| LSA | <i>Latch-Type Sense Amplifier</i> |
| VLSA | <i>Voltage Latched Sense Amplifier</i> |
| CLSA | <i>Current Latched Sense Amplifier</i> |
| CTSA | <i>Charge-Transfer Sense Amplifier</i> |
| HSPA-VLSA | <i>Headswitch PMOS-Accessed Voltage Latched Sense Amplifier</i> |
| FSNA-VLSA | <i>Footswitch PMOS-Accessed Voltage Latched Sense Amplifier</i> |
| DSPA-VLSA | <i>Doubleswitch PMOS-Accessed Voltage Latched Sense Amplifier</i> |
| DSNA-VLSA | <i>Doubleswitch NMOS-Accessed Voltage Latched Sense Amplifier</i> |
| DSTA-VLSA | <i>Doubleswitch Transmission-Accessed Voltage Latched Sense Amplifier</i> |
| HS-CLSA | <i>Headswitch Current Latched Sense Amplifier</i> |
| FS-CLSA | <i>Footswitch Current Latched Sense Amplifier</i> |
| WID | <i>Within-die</i> |
| D2D | <i>Die-to-die</i> |
| W2W | <i>Wafer-to-wafer</i> |
| MCDA | <i>Multi-criteria Decision Analysis</i> |

LISTA DE FIGURAS

| | | |
|-------------|---|----|
| Figura 2.1 | Categorias de matrizes de memória CMOS..... | 15 |
| Figura 2.2 | Modelos de circuito equivalentes a diferentes tipos de células de memória . | 16 |
| Figura 2.3 | Diagrama de blocos da memória SRAM, a exemplo de células 6T | 18 |
| Figura 2.4 | Célula 6T (seis transistores) da memória SRAM | 19 |
| Figura 2.5 | Célula 6T da memória SRAM durante operação de leitura..... | 20 |
| Figura 2.6 | Célula 6T da memória SRAM durante operação de escrita | 21 |
| Figura 2.7 | Circuitos de coluna típicos da memória SRAM com amplificador sensor diferencial, célula SRAM 6T, multiplexador de coluna e pré-carga..... | 26 |
| Figura 2.8 | Formas de onda dos sinais da SRAM durante operação de leitura..... | 27 |
| Figura 2.9 | Medidas características visualizadas a partir dos sinais do amplificador sensor diferencial | 29 |
| Figura 2.10 | Amplificador Sensor de Espelho de Corrente (CMSA)..... | 33 |
| Figura 2.11 | Característica do CMSA em face a diferencial de tensão ΔV_{BL} máximo...36 | |
| Figura 2.12 | Amplificador Sensor de Realimentação Positiva em Modo Tensão (VLSA)37 | |
| Figura 2.13 | Representação do amplificador sensor de realimentação positiva em <i>latch</i> de inversores..... | 38 |
| Figura 2.14 | Análise transiente da operação de detecção do circuito FSPA-VLSA | 39 |
| Figura 2.15 | Variações de VLSA com transistor único de ativação e transistores de acesso PMOS ou NMOS..... | 40 |
| Figura 2.16 | Variações de VLSA com transistores duplos de ativação e transistores de acesso PMOS ou NMOS | 41 |
| Figura 2.17 | Variações de amplificador sensor de realimentação positiva em modo corrente (CLSA) com transistores de ativação e pré-carga PMOS ou NMOS | 42 |
| Figura 2.18 | Análise transiente da operação de detecção do circuito FS-CLSA | 43 |
| Figura 2.19 | Vista isométrica da estrutura tradicional de transistores MOSFET NMOS | 45 |
| Figura 3.1 | Variáveis definidas em divisão de etapas de projeto do FSPA-VLSA..... | 49 |
| Figura 4.1 | Circuito do <i>latch</i> estático e variáveis de projeto a serem determinadas | 58 |
| Figura 4.2 | Curvas de atraso de estabilidade em função do diferencial de tensão de entrada inicial do <i>latch</i> para as diferentes variantes de células..... | 59 |
| Figura 4.3 | Curvas de potência total média em função do diferencial de tensão de entrada inicial do <i>latch</i> para as diferentes variantes de células..... | 59 |
| Figura 4.4 | Sinais transientes de tensão nas saídas do <i>latch</i> de inversores HD em distintos diferenciais de tensão de entrada iniciais | 61 |
| Figura 4.5 | Circuito de <i>latch</i> estático ativado por sinal SAE em transistor NMOS e variável de projeto a ser determinada | 62 |
| Figura 4.6 | Curvas de atraso de detecção em função da largura de canal dos modelos NMOS padrão (DEF) e LVT para $\Delta V_{IN} = 20mV$ | 63 |
| Figura 4.7 | Curvas de potência total média em função da largura de canal dos mo- delos NMOS padrão (DEF) e LVT para $\Delta V_{IN} = 20mV$ | 63 |
| Figura 4.8 | Curvas de potência estática média em função da largura de canal dos modelos NMOS padrão (DEF) e LVT para $V_{IN} = V_{INB} = V_{DD}$ | 65 |
| Figura 4.9 | Curvas de potência total média em função do atraso de detecção para diferentes larguras de canal dos modelos NMOS padrão (DEF) e LVT..... | 66 |
| Figura 4.10 | Sinais transientes de tensão nas saídas do circuito em $\Delta V_{IN} = 20mV$ para valores distintos de W_N do transistor NMOS LVT ativado por SAE | 66 |

| | |
|--|----|
| Figura 4.11 Circuito FSPA-VLSA em determinação da largura de canal W_{PA} dos transistores de acesso PMOS | 67 |
| Figura 4.12 Curvas de atraso de detecção em função da largura de canal dos modelos PMOS padrão (DEF) e LVT para $\Delta V_{BL} = 20mV$ | 68 |
| Figura 4.13 Curvas de potência total média em função da largura de canal dos modelos PMOS padrão (DEF) e LVT para $\Delta V_{BL} = 20mV$ | 68 |
| Figura 4.14 Gráfico em escala logarítmica da potência estática média em função da largura de canal dos transistores de acesso PMOS do circuito FSPA-VLSA para diferentes condições iniciais de tensão nas <i>bit lines</i> | 70 |
| Figura 4.15 Gráfico de rendimento percentual Y_{SA} do circuito FSPA-VLSA projetado em função do diferencial de tensão entre <i>bit lines</i> ΔV_{BL} | 72 |
| Figura 4.16 Gráfico de intervalos de confiança do atraso de detecção t_{SA} e potência total média P_{SA} do circuito FSPA-VLSA projetado em função do diferencial de tensão entre <i>bit lines</i> ΔV_{BL} | 73 |
| Figura 4.17 Sinais transientes de tensões de saída da melhor e pior alternativa atingidas na seleção de pesos em favor de máximo desempenho comparativamente ao circuito projetado..... | 78 |

LISTA DE TABELAS

| | |
|--|----|
| Tabela 3.1 Modelos de dispositivos primitivos MOSFET 1.8 V do SKY130 PDK utilizados no projeto..... | 53 |
| Tabela 3.2 Especificações das células digitais do SKY130 PDK utilizadas no projeto.. | 54 |
| Tabela 4.1 Comparação de critérios de avaliação dos circuitos <i>latch</i> compostos por células de inversores HD, HS e LP | 61 |
| Tabela 4.2 Informações de modelos e dimensionamento final dos dispositivos do circuito FSPA-VLSA projetado. | 74 |
| Tabela 4.3 Medidas características do circuito FSPA-VLSA projetado | 74 |
| Tabela 4.4 Referência de pontuações de critérios e pontuações finais avaliadas ao espaço de projeto do circuito FSPA-VLSA para sete combinações de pesos, classificadas em melhores e piores alternativas comparativamente ao circuito projetado | 77 |

SUMÁRIO

| | |
|--|-----------|
| 1 INTRODUÇÃO | 13 |
| 2 REVISÃO BIBLIOGRÁFICA | 15 |
| 2.1 Dispositivos de Memória CMOS | 15 |
| 2.2 Memória Estática de Acesso Aleatório | 17 |
| 2.2.1 Arquitetura | 17 |
| 2.2.2 Operação de Leitura | 19 |
| 2.2.3 Operação de Escrita | 20 |
| 2.3 Circuitos Amplificadores Sensores | 21 |
| 2.3.1 Tipologia | 22 |
| 2.3.2 Implementação em Memórias SRAM | 23 |
| 2.4 Amplificadores Sensores Diferenciais | 24 |
| 2.4.1 Funcionamento..... | 25 |
| 2.4.2 Características e Métricas de Projeto | 28 |
| 2.4.3 Variabilidade e Rendimento | 30 |
| 2.4.3.1 Mínimo diferencial de tensão de entrada ΔV_{BL} | 31 |
| 2.4.3.2 Tensão de desvio de entrada V_{os} | 31 |
| 2.4.3.3 Rendimento Y_{SA} | 32 |
| 2.4.4 Amplificador Sensor de Espelho de Corrente..... | 33 |
| 2.4.5 Amplificadores Sensores de Realimentação Positiva em Modo Tensão..... | 36 |
| 2.4.6 Amplificadores Sensores de Realimentação Positiva em Modo Corrente | 42 |
| 2.5 Dimensionamento de Transistores MOSFET | 44 |
| 3 METODOLOGIA | 47 |
| 3.1 Determinação de Modelo de Amplificador Sensor | 47 |
| 3.2 Abordagem de Projeto | 48 |
| 3.3 Métricas de Avaliação | 50 |
| 3.4 Ferramentas Utilizadas | 51 |
| 3.4.1 <i>Google/SkyWater</i> PDK (SKY130) | 51 |
| 3.4.1.1 Bibliotecas de Dispositivos Primitivos | 52 |
| 3.4.1.2 Bibliotecas de Células Digitais Padrão | 54 |
| 3.4.1.3 Limitações..... | 54 |
| 3.4.2 Simulador Elétrico <i>ngspice 35</i> | 55 |
| 3.4.3 Linguagem de Programação <i>Python 3</i> | 56 |
| 4 PROJETO DESENVOLVIDO | 57 |
| 4.1 Projeto do <i>Latch</i> Estático | 57 |
| 4.2 Projeto do Transistor de Ativação NMOS | 62 |
| 4.3 Projeto dos Transistores de Acesso PMOS | 67 |
| 4.4 Determinação Estatística da Sensibilidade e Rendimento | 71 |
| 4.5 Especificações do Circuito Projetado | 74 |
| 4.6 Avaliação Comparativa Baseada em Tabela de Pontuações | 75 |
| 5 CONCLUSÕES E TRABALHOS FUTUROS | 79 |
| REFERÊNCIAS | 81 |

1 INTRODUÇÃO

Diversas aplicações dependem de sistemas embarcados (SoC) de alta confiabilidade, baixo consumo e baixa tensão, como dispositivos de monitoramento de saúde, *Internet* das Coisas (IoT), bio-implantáveis entre outros dispositivos operados por baterias. Esses sistemas são principalmente ocupados pela memória estática de acesso aleatório (SRAM), utilizada para armazenamento de dados em *cache*.

Dessa forma, a memória SRAM é um bloco crítico que determina o desempenho, rendimento e confiabilidade dos sistemas embarcados. Destaca-se como uma das memórias voláteis de escrita e leitura mais rápidas disponíveis, especialmente porque sua operação de leitura é mais eficiente e simplificada quando comparada, por exemplo, à DRAM.

Os circuitos amplificadores de sentido, amplificadores sensores ou *sense amplifiers* (SA) são circuitos periféricos essenciais em memórias SRAM. Após as células de armazenamento, os amplificadores sensores são os componentes mais críticos do *chip* de memória. Durante a leitura dos dados, são responsáveis por detectar sinais advindos da célula de *bit* e rapidamente amplificá-los, transmitindo-os em forma digital à saída da memória.

Sendo assim, essa classe de circuitos amplificadores tem como principal objetivo aumentar o desempenho de leitura da memória, permitindo o aumento contínuo de densidade de células com impacto reduzido em velocidade e consumo. As principais métricas da SRAM, como mínima tensão de alimentação, mínimo tempo de leitura e consumo de energia são diretamente dependentes de características do amplificador sensor. Dessas, destacam-se o mínimo diferencial de tensão de entrada ΔV_{BL} , o atraso de detecção t_{SA} e o consumo de energia (PATEL et al., 2021).

Dessa forma, tendo em vista a importância da memória SRAM em sistemas embarcados modernos e, nesse contexto, a pertinência dos circuitos amplificadores sensores em seu funcionamento, estuda-se essa classe de circuitos em suas principais variações comumente encontradas na literatura. Na Seção 2.1, discute-se a respeito dos dispositivos de memória CMOS, detalhando-se o funcionamento da memória SRAM e suas operações de escrita e leitura na Seção 2.2. Em seguida, aprofunda-se a revisão da literatura em torno dos circuitos amplificadores sensores, suas classificações usuais e seu funcionamento na Seção 2.3.

Na Seção 2.4, estuda-se os amplificadores sensores diferenciais em suas variações

mais usuais, sendo os circuitos baseados em realimentação positiva a classe de maior interesse nas memórias SRAM. Em função de apresentarem desafios de projeto interessantes aos projetistas de circuitos integrados, dado que aperfeiçoar o desempenho dessas estruturas pode resultar em *chips* de memória de maior capacidade, velocidade e menor consumo, dedica-se em seções subsequentes à análise de projeto de amplificador sensor diferencial de realimentação positiva denominado FSPA-VLSA.

Visando projeto do circuito a nível de transistores e otimização simultânea de desempenho, consumo e área, adota-se metodologia heurística de projeto em etapas com base em modelos CMOS do PDK *Google/SkyWater* 130nm e simulações elétricas em *ngspice 35*, ambas ferramentas gratuitas de código aberto. A seleção do modelo de amplificador sensor VLSA, determinação das variáveis de interesse, abordagem adotada, etapas de projeto necessárias e ferramentas utilizadas são detalhadas no Capítulo 3.

No Capítulo 4, desenvolve-se quanto aos procedimentos efetuados em análise de simulações elétricas para projeto e dimensionamento dos diferentes transistores MOSFET que compõem o circuito FSPA-VLSA. As etapas envolvem, principalmente, a varredura de larguras de canal dos transistores MOSFET como variáveis de projeto, observando-se os principais compromissos entre critérios de desempenho, consumo e área em função de cada dispositivo interno ao circuito. A partir de simulações Monte Carlo, procede-se com a determinação estatística da sensibilidade e rendimento do amplificador sensor projetado, critérios muito importantes para garantia da confiabilidade das memórias SRAM.

Em validação qualitativa da metodologia de projeto adotada e projeto final atingido, é feita avaliação comparativa (*benchmarking*) do circuito projetado a partir de tabela referencial de pontuações, estruturada com base em método de soma ponderada da análise de decisão multicritério (MCDA). Para tanto, utiliza-se de metodologia força-bruta para execução de múltiplas simulações elétricas em varredura das variáveis de dimensionamento de todos os transistores, ponderando-se desempenho, consumo e área das diferentes combinações de projeto a fim de se obter suas pontuações finais.

Por fim, são detalhados no Capítulo 5 os principais compromissos de projeto observados, bem como pontos positivos e negativos da metodologia adotada, considerações finais em torno da qualidade do projeto final e trabalhos futuros pretendidos. Destaca-se que o circuito projetado atinge equilíbrio satisfatório de desempenho, consumo e área, com pontuações de critérios $P_D = 0,93$, $P_C = 0,94$ e $P_A = 0,95$, respectivamente, e pontuação final $P_F = 0,94$ para pesos iguais, com sensibilidade determinada em $\Delta V_{BL} = 70mV$ para se atingir rendimento do circuito de $Y_{SA} = 99,8\%$.

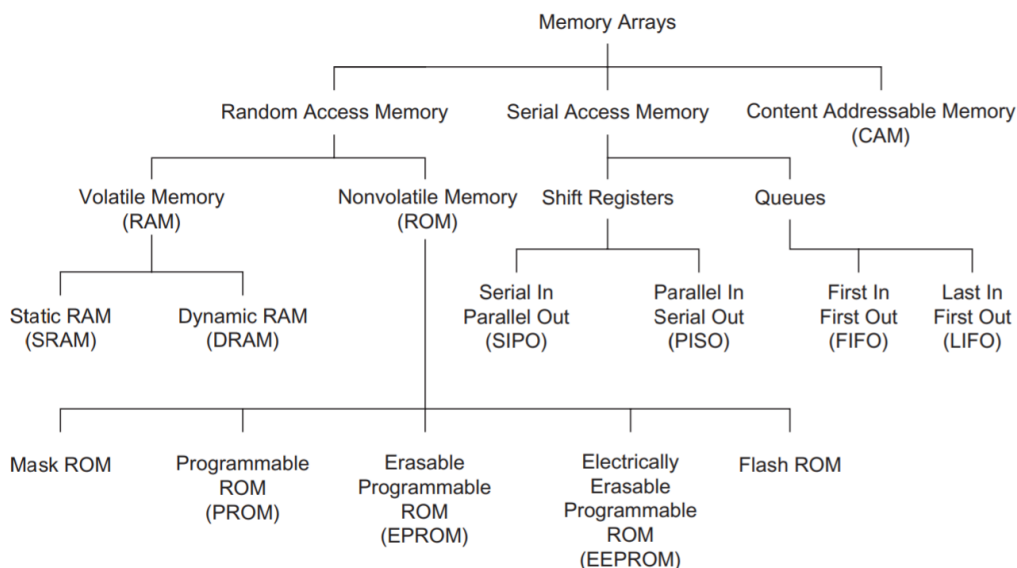
2 REVISÃO BIBLIOGRÁFICA

2.1 Dispositivos de Memória CMOS

Fundamentalmente, os dispositivos de memória CMOS são todos os dispositivos de armazenamento de dados digitais fabricados com a tecnologia de metal-óxido-semicondutor complementar (HARASZTI, 2000). As memórias consistem usualmente de matrizes de células de armazenamento, em que cada célula arbitrária é representada pelo cruzamento entre as linhas - ou barramentos - verticais e horizontais.

Matrizes de memória usualmente contabilizam a maior parte dos transistores em um sistema embarcado CMOS. Segundo Weste e Harris (2011), podem ser divididas entre memórias de acesso aleatório, memórias de acesso serial e memórias endereçáveis por conteúdo (CAM). A memória de acesso aleatório - do inglês, *random access memory* -, é acessada a partir de um endereço, contrastando à memória de acesso serial, cujo acesso é feito sequencialmente, prescindindo de qualquer endereçamento. Ainda, na memória CAM o acesso é feito com base na busca pelo conteúdo dos dados em relação a determinadas chaves. Tem-se, na Figura 2.1, a categorização de matrizes de memória CMOS entre algumas de suas estruturas mais utilizadas.

Figura 2.1: Categorias de matrizes de memória CMOS

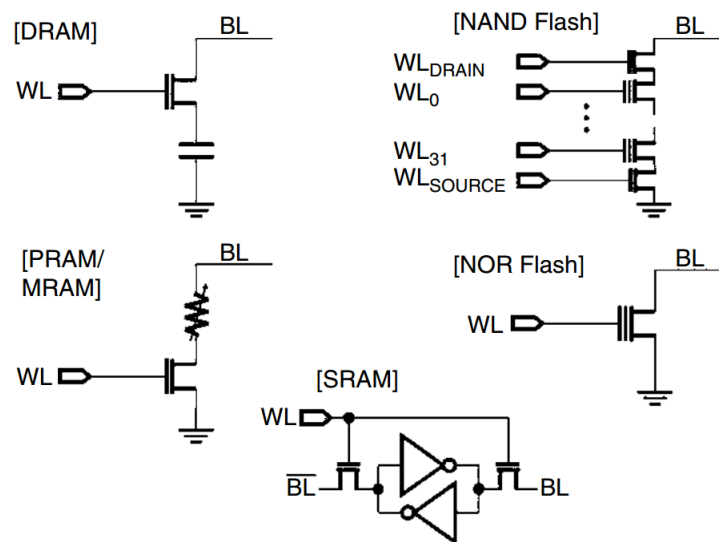


Fonte: Weste e Harris (2011).

As células de memória de acesso aleatório são classificadas em voláteis ou não-voláteis, sendo a DRAM e SRAM exemplos de memórias voláteis e NAND/NOR Flash, MRAM, RRAM e PRAM de memórias não-voláteis. Na Figura 2.2, são apresentados

os modelos de circuito equivalentes às células das memórias mencionadas. Memórias voláteis retêm informação armazenada em suas células somente enquanto o circuito permanece alimentado por tensão elétrica, ao contrário de memórias não-voláteis, que são capazes de persistir os dados indefinidamente. Ainda, células de memória usadas em memórias voláteis podem ser divididas entre estruturas estáticas ou dinâmicas. Células estáticas da memória SRAM fazem uso de formas de realimentação para manutenção de seus estados, enquanto para mesma finalidade as células dinâmicas da DRAM armazenam carga elétrica em capacitores a partir de transistores de acesso.

Figura 2.2: Modelos de circuito equivalentes a diferentes tipos de células de memória



Fonte: Iniewski (2010).

Em todas as memórias CMOS, o dado digital de uma célula em particular é transferido pela *bit line* (barramento vertical), enquanto a *word line* (barramento horizontal) é utilizada para acessar essa célula da coluna da matriz onde está disposta. O processo de leitura desse dado é comum entre dispositivos de memória CMOS: aplicando-se um determinado nível de tensão elétrica à *word line*, a célula se torna eletricamente conectada às *bit lines* e, assim, o *bit* de informação contido nela passa a modular a tensão elétrica das *bit lines*. O sinal analógico modulado de tensão ou corrente elétrica da *bit line* é então convertido em sinal digital (GND ou V_{DD}) pelo circuito amplificador sensor - do inglês, *sense amplifier* (SA). Dessa forma, circuitos SA mais sensíveis devem ser projetados tendo em vista resoluções pequenas de sinais analógicos da *bit line* (INIEWSKI, 2010).

2.2 Memória Estática de Acesso Aleatório

A memória estática de acesso aleatório (SRAM) se destaca como uma das memórias voláteis de escrita e leitura mais rápidas disponíveis, especialmente porque sua operação de leitura é mais eficiente e simplificada quando comparada, por exemplo, à DRAM (ABBAS, 2020). Ainda em comparação, as células da SRAM, apesar de serem consideradas de grande porte, visto que nas suas topologias mais usuais dispõem de ao menos quatro transistores MOS, não requerem procedimentos especializados em sua fabricação, sendo então a memória integrada mais comumente encontrada em sistemas embarcados modernos.

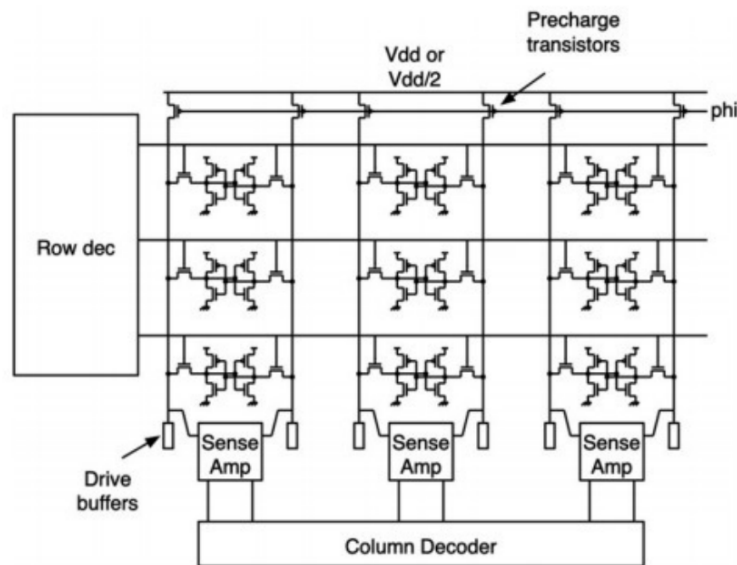
Usualmente, a SRAM é utilizada em memórias *cache* de computadores, como o *cache* L2 ou L3 dos processadores. Devido ao seu custo e tamanho, raramente é utilizada como memória principal, ao contrário da DRAM, que suporta maior armazenamento em menor custo por *megabyte*. No entanto, a SRAM também encontra outras aplicações, como conversores digital-analógicos RAMDAC nas placas de vídeo, em periféricos como impressoras ou *displays* LCD, ou dispositivos de rede, como roteadores. *Chips* de SRAM são ainda empregados em outros dispositivos e propósitos diversos, como celulares, *wearables* de monitoramento de saúde, aparelhos auditivos, automóveis, equipamentos industriais e uma vasta gama de dispositivos IoT.

No contexto da complexidade e capacidade das memórias aumentarem concorrentemente ao esforço por redução da área das células de *bit* e das dimensões dos transistores, a SRAM também se destaca em razão da sua célula envolver projeto de múltiplos componentes. Para garantia de leituras e escritas estáveis, é necessário projeto cuidadoso das dimensões dos componentes das suas células, dado que, por natureza, são maiores e mais numerosos do que a maioria (ABBAS, 2020). Apesar de serem relativamente estáveis comparadas às DRAM, são ainda muito suscetíveis à interferência e ruído.

2.2.1 Arquitetura

A matriz da memória, como vista no diagrama de blocos da Figura 2.3, possui diversas linhas e colunas de células; cada coluna representa um par de *bit lines*, e cada linha, uma *word line*, havendo uma célula para cada interseção (BAKER, 2010). Enquanto uma célula não for acessada, a *word line* estará em nível lógico baixo, isolando-a da matriz e permitindo que se mantenha estável, armazenando o dado digital em baixo consumo

Figura 2.3: Diagrama de blocos da memória SRAM, a exemplo de células 6T



Fonte: Baker (2010).

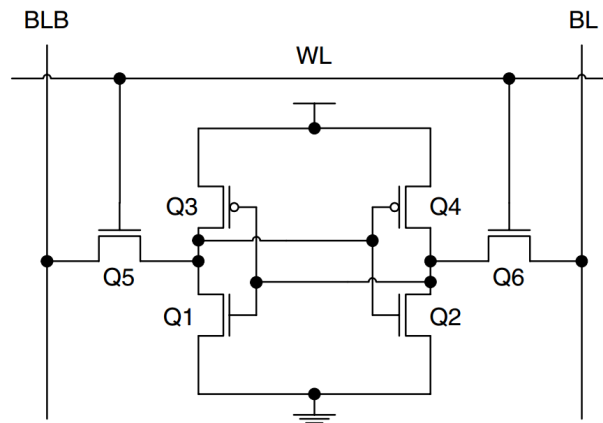
estático de energia.

A célula mais usual da SRAM, conforme apresentada na Figura 2.4, é chamada de 6T por totalizar seis transistores MOSFET em sua concepção. Seu armazenamento se baseia no comportamento de realimentação positiva de *latches* CMOS, visto que sua estrutura possui par biestável de portas lógicas inversoras conectadas em anti-paralelo (Q1 a Q4), além de par de transistores NMOS Q5 e Q6 que conectam, durante acesso da célula, as entradas e saídas dos inversores às *bit lines*, sendo essas pares de colunas adjacentes às células que intermedeiam as operações de leitura e escrita da memória (AYERS, 2018). Ainda que a célula SRAM aparente ter dois nós de armazenamento, o laço realimentado de inversores em realidade ocasiona apenas uma inversão lógica recíproca entre seus terminais, não se tratando, portanto, de informações independentes.

Durante a escrita ou leitura, necessariamente WL estará ativada, interconectando os nós do *latch* aos nós BL e BLB. Dessa forma, através de circuitos periféricos como *drive buffers*, as entradas e saídas da célula são sobrescritas durante a operação de escrita e, a partir de circuitos de pré-carga e amplificadores sensores para cada coluna, o dado digital é devidamente sequenciado ao barramento de saída enquanto ainda conservado na respectiva célula.

Devido a natureza de realimentação positiva das células 6T da SRAM, esta opera em modo diferencial, com sinal de saída não apenas observado em um único terminal, mas no sinal diferencial entre o par de terminais. São as células mais populares da memória SRAM, devido a sua robustez superior, baixo consumo de energia e operação em níveis

Figura 2.4: Célula 6T (seis transistores) da memória SRAM



Fonte: Pavlov e Sachdev (2008).

baixos de tensão elétrica. Segundo Pavlov e Sachdev (2008), a célula SRAM deve ser projetada de forma a garantir operações de leitura não-destrutivas e operações de escrita confiáveis. Esses dois requisitos normalmente impõem contradições no dimensionamento dos transistores do *latch*.

2.2.2 Operação de Leitura

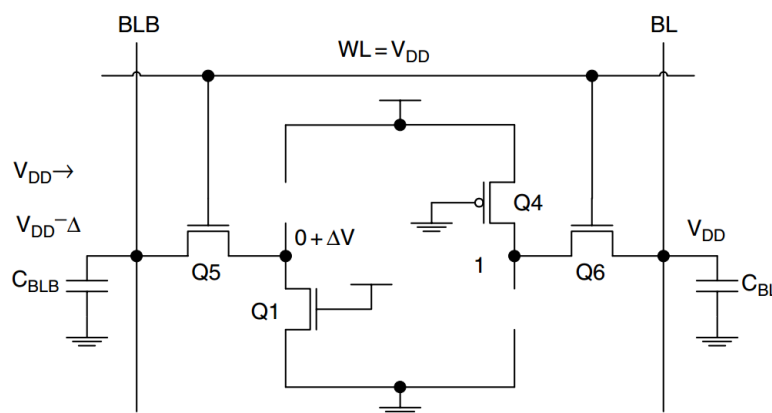
O ciclo de leitura da memória SRAM é não-destrutivo, permitindo que se tenha informação do dado sem que haja sua consequente perda nas células, prescindindo de qualquer espécie de recuperação do dado posteriormente ao acesso. Enquanto memória volátil, o dado armazenado na célula estará disponível desde que o circuito esteja alimentado por tensão elétrica V_{DD} .

Assumindo que a célula da Figura 2.5 armazene V_{DD} no nó direito e 0 V no nó esquerdo, para leitura do dado, as *bit lines* BL e BLB são inicialmente pré-carregadas a V_{DD} até que atinjam o equilíbrio nesse nível de tensão. Simultaneamente, WL é ativada para o acesso, permitindo que o transistor Q4 mantenha o nível lógico alto da *bit line* BL carregando-a pelo caminho com Q6 e, no lado de nível baixo, a capacitância da *bit line* C_{BLB} passe a descarregar pelo caminho de Q5 com o transistor Q1.

Os transistores Q1 e Q5 formam divisor de tensão cuja saída é conectada à entrada do inversor Q2-Q4 em valor $0 + \Delta V$. Assim, o dimensionamento de Q1 e Q5 deve garantir que ΔV seja suficientemente menor que o limiar do inversor Q2-Q4 para se evitar a inversão do *bit* e leitura destrutiva. Essa determinação de projeto é usualmente expressa pela razão de célula $CR = \frac{\beta_1}{\beta_5}$, em que $\beta_1 = \frac{W_1}{L_1}$ e $\beta_5 = \frac{W_5}{L_5}$.

Segundo Pavlov e Sachdev (2008), de modo a assegurar a leitura não-destrutiva e margem de ruído adequada, CR deve ser maior que 1 e, a depender da aplicação, pode variar de aproximadamente 1 a 2,5. Maiores valores de CR garantem maior corrente de descarga e, portanto, maior desempenho e estabilidade ao custo de maior área da célula. Inversamente, menores valores de CR resultam em célula mais compacta com desempenho e estabilidade razoáveis. Ainda, a corrente de fuga pelos transistores de acesso deve ser minimizada para garantir robustez da operação de leitura e reduzir o consumo estático de energia.

Figura 2.5: Célula 6T da memória SRAM durante operação de leitura



Fonte: Pavlov e Sachdev (2008).

Como ambas as *bit lines* são carregadas inicialmente à tensão de alimentação e no curso da leitura uma delas se mantém carregada enquanto a outra passa a descarregar, o diferencial de tensão elétrica entre elas deve crescer, permitindo a leitura não-destrutiva da célula (ABBAS, 2020). No entanto, nessas condições, a carga e descarga das *bit lines* altamente capacitivas são lentas e com elevado consumo de energia, reduzindo a velocidade com que o sinal diferencial de tensão elétrica atingiria sua excursão máxima de V_{DD} . Para minimizar o tempo de leitura total da célula, são utilizados os circuitos amplificadores sensores, capazes de amplificar o pequeno diferencial de tensão elétrica desenvolvido entre as *bit lines* e rapidamente transmitir o dado digital resultante à saída da memória.

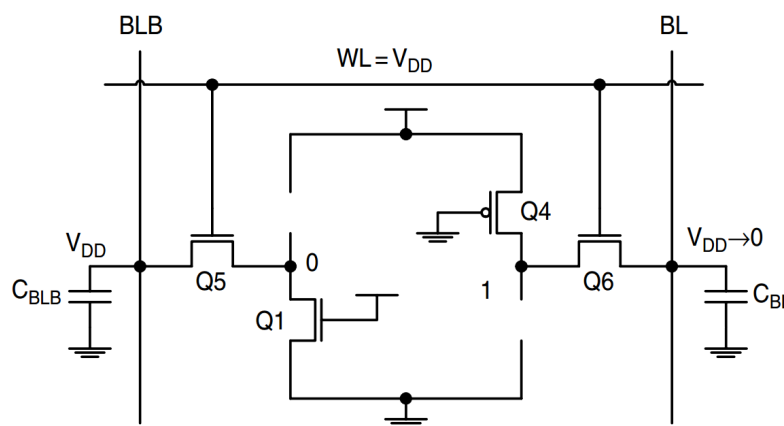
2.2.3 Operação de Escrita

A operação de escrita da SRAM é similar a uma operação de *reset* de um *latch* SR. Como visto na Figura 2.6, o nó de nível lógico alto descarrega a partir da *bit line* BL após essa ser direcionada à tensão elétrica de terra pelo *driver* de escrita. Considerando

que os transistores Q4 e Q6 possuam o correto dimensionamento, a célula de *bit* inverte seu estado e o dado é sobrescrito com sucesso (PAVLOV; SACHDEV, 2008).

Segundo Zhang et al. (2006), a medida estatística de escrita da célula SRAM é definida como margem de escrita, a qual é definida como a mínima tensão elétrica da *bit line* para ocasionar uma inversão proposital bem-sucedida de estado da célula. O valor e variação da margem de escrita dependem do projeto da célula, do tamanho da matriz de memória e da variabilidade de fabricação. No pior caso, a célula não suporta essa operação caso a margem de escrita seja menor do que a tensão elétrica de terra.

Figura 2.6: Célula 6T da memória SRAM durante operação de escrita



Fonte: Pavlov e Sachdev (2008).

2.3 Circuitos Amplificadores Sensores

Os circuitos amplificadores sensores, mais comumente referidos na língua inglesa como *sense amplifiers*, são circuitos periféricos essenciais em memórias RAM. Após as células de armazenamento, os amplificadores sensores são os componentes mais críticos do *chip* de memória, sendo fundamentais para a operação apropriada das DRAM, nas quais podem ainda ser responsáveis pelo recarregamento das células após leituras destrutivas, enquanto a utilização em SRAM resulta simultaneamente em redução de área da memória e aumento de velocidade de leitura (SEDRA, 2010).

Segundo Singh (2013), devido ao pequeno tamanho das células e da alta capacitância das *bit lines*, o tempo requerido para a operação de leitura da memória moderna aumenta significativamente. Sendo assim, essa classe de circuitos amplificadores tem como principal objetivo aumentar o desempenho de leitura da memória, permitindo o aumento contínuo de densidade de células com impacto reduzido em velocidade e consumo.

2.3.1 Tipologia

Na literatura, são observadas múltiplas variações de circuitos amplificadores sensores. Via de regra, as diferentes arquiteturas concebidas concentram-se em providenciar maior desempenho e velocidade, ou seja, menor tempo de transmissão do sinal digital amplificado, menor consumo de energia, menor área quanto possível, adequando-se a restrições de leiaute, maior confiabilidade, eficiência e simultaneamente, menor susceptibilidade a falhas.

Normalmente, esses atributos conflituam entre si e são contrabalanceados a depender das restrições de projeto. Dessa forma, a pluralidade de requisitos pode favorecer a aplicação de modelos mais simplificados, mais velozes ou de menor consumo, envolvendo ainda diferentes mecanismos de detecção, sendo necessário conhecer os principais tipos de amplificadores sensores para determinação adequada de projeto no contexto de cada memória CMOS.

Segundo Haraszti (2000), os circuitos amplificadores sensores podem ser classificados por tipos de circuito, como diferenciais e não-diferenciais, e por modos de operação, como modo tensão e corrente.

Amplificadores sensores diferenciais são aplicados na grande maioria das memórias CMOS, incluindo todas as SRAM, DRAM e ROM. Em tais projetos, as entradas dos amplificadores sensores são acopladas direta ou indiretamente ao par de *bit lines*. No entanto, os pares de *bit line* não carregam necessariamente um par de sinais complementares, mas em uma das *bit lines* um nível de referência é fornecido enquanto a outra fornece os dados.

Segundo Pavlov e Sachdev (2008), a detecção diferencial, amplamente utilizada em SRAM, permite alta rejeição do ruído de modo comum que pode estar presente no par de *bit lines*. Fontes de ruído, como picos de energia e acoplamento capacitivo entre as *bit lines* e *word line* podem injetar ruído de modo comum em ambas as entradas dos amplificadores sensores. Esse ruído é atenuado pelo valor da razão CMRR (*Common-Mode Rejection Ratio*) e o sinal diferencial é efetivamente amplificado.

Amplificadores sensores não-diferenciais, por outro lado, encontram aplicação em memórias não-voláteis e sequenciais, nas quais as células de memória são capazes de gerar sinais significativamente maiores nas *bit lines* do que a SRAM ou DRAM. No entanto, segundo Haraszti (2000), a evolução da tecnologia das memórias não-voláteis em favor da maior densidade e desempenho atribui requisitos rigorosos aos amplificadores senso-

res que dificilmente podem ser satisfeitos por abordagens não-diferenciais, análise que permanece válida nos dias atuais.

Algumas memórias, de forma alternativa em atingirem maiores velocidades, utilizam ainda amplificadores sensores de transferência de carga (do inglês, *charge-transfer sense amplifiers*, ou CTSA), sendo esses menos convencionais e de menor relevância em comparação aos amplificadores sensores diferenciais de modo tensão e corrente.

2.3.2 Implementação em Memórias SRAM

Segundo Wicht (2003), nas memórias SRAM de células 6T, por exemplo, a arquitetura de coluna pode ser diferencial ou não-diferencial e, portanto, devem ser utilizados amplificadores sensores tendo em vista o mecanismo de detecção disponível. No entanto, a detecção não-diferencial não é usual em memórias SRAM devido a predominância da arquitetura diferencial, sendo utilizado par de *bit lines* complementares para leitura e escrita dos dados a partir de sinais diferenciais.

Ainda, a aplicação de amplificadores sensores em memórias SRAM de arquitetura diferencial se distingue em métodos de detecção de tensão ou corrente elétrica. Esses métodos diferenciam-se essencialmente pela natureza do sinal elétrico a ser detectado entre as *bit lines* das colunas. A detecção de tensão ocorre a partir do diferencial de tensão ΔV_{BL} desenvolvido pela descarga da *bit line* conectada à saída da célula em nível lógico baixo, enquanto na detecção de corrente a descarga da célula produz diferencial de corrente nas *bit lines* que é detectada por circuitos de detecção de corrente, sucedidos pelos amplificadores sensores.

A desvantagem da detecção de tensão é a sua velocidade relativamente reduzida dado que a *bit line* altamente capacitiva deve ser inicialmente descarregada em ΔV_{BL} previamente a ativação do amplificador sensor, além do tempo de leitura ser bastante dependente do tamanho da matriz. Em memórias avançadas, a limitação de velocidade resultante da alta capacitância da *bit line* pode ser contornada pela utilização dos estágios prévios de detecção de corrente, que devem prover baixa resistência de entrada para operação adequada.

Apesar disso, em projetos convencionais de SRAM, amplificadores sensores baseados somente em detecção de tensão são bem estabelecidos devido a estrutura simplificada, esforço claro de projeto, área reduzida e consumo de energia aceitável, além de motivos históricos (WICHT, 2003). A técnica de detecção de corrente não encontra apli-

cação industrial apreciável devido ao consumo de energia elevado, maior área de layout e projeto mais complexo.

Em análise dos amplificadores sensores diferenciais comumente utilizados em SRAM para tecnologias CMOS *submicron*, deve-se atentar à literatura recente. Do et al. (2008) apresenta topologia de circuito amplificador sensor diferencial de arquitetura baseada em realimentação positiva para aplicação em SRAM de baixa potência e tecnologia CMOS 180 nm. Nota-se que, apesar do circuito ser classificado em "modo corrente", essa denominação apenas deriva de seu funcionamento interno, podendo ser empregado em SRAM de detecção de tensão ou corrente.

A análise de outras concepções recentes também exhibe a inspiração de novas arquiteturas de amplificadores sensores em torno de modelos convencionais. Wei et al. (2014) apresenta novo modelo de circuito amplificador sensor diferencial para SRAM em tecnologia CMOS 65 nm, destacado por operar em "modo tensão", cujo funcionamento se baseia também em mecanismo de realimentação positiva. Nesse artigo, ainda é feita comparação da nova topologia em relação ao modelo descrito em língua inglesa por *conventional voltage latched sense amplifier*, em tradução livre, amplificador sensor convencional de realimentação positiva em modo tensão.

O mesmo modelo convencional de amplificador sensor para nó tecnológico 65 nm é também objeto de estudo em Kim et al. (2018), onde ainda recebe o acrônimo VLSA, porém no contexto de aplicação a DRAM de baixa potência. Percebe-se, assim, convenção de nomenclaturas habituais e referências a modelos elementares de circuitos amplificadores sensores, sendo esses, por vezes, também empregados em memórias DRAM.

Dessa forma, destaca-se na literatura a predominância dos amplificadores sensores diferenciais de realimentação positiva, especialmente no contexto das memórias SRAM. Na et al. (2014) apresenta estudo comparativo de diversos amplificadores sensores de realimentação positiva, do inglês, *latch-type sense amplifiers* (LSA). As principais classes representativas desses circuitos são os VLSA e CLSA, de modo tensão e corrente, respectivamente, subdivididas ainda em outras categorias a depender dos dispositivos utilizados para isolamento e ativação dos circuitos.

2.4 Amplificadores Sensores Diferenciais

Conforme descrito na Subseção 2.3.2, os amplificadores sensores diferenciais se destacam em função de sua maior relevância nas memórias SRAM. Nessa seção, detalha-

se o funcionamento dos amplificadores sensores diferenciais, suas principais características e métricas de projeto bem como variações usuais de circuitos, atentando-se principalmente aos circuitos LSA.

Nas Subseções 2.4.4 e 2.4.5, são apresentados amplificadores sensores de modo tensão, tanto da variação denominada CMSA (*current-mirror sense amplifier*), por tratar-se de modelo convencional de amplificador diferencial CMOS com carga ativa em espelho de corrente, quanto das variações de realimentação positiva, as quais se baseiam em acoplamento cruzado de inversores. Analogamente, na Subseção 2.4.6, são analisados os modelos mais relevantes de amplificadores sensores de realimentação positiva em modo corrente. Ainda, discute-se de maneira comparativa quanto às principais vantagens e desvantagens das distintas classes de circuitos.

2.4.1 Funcionamento

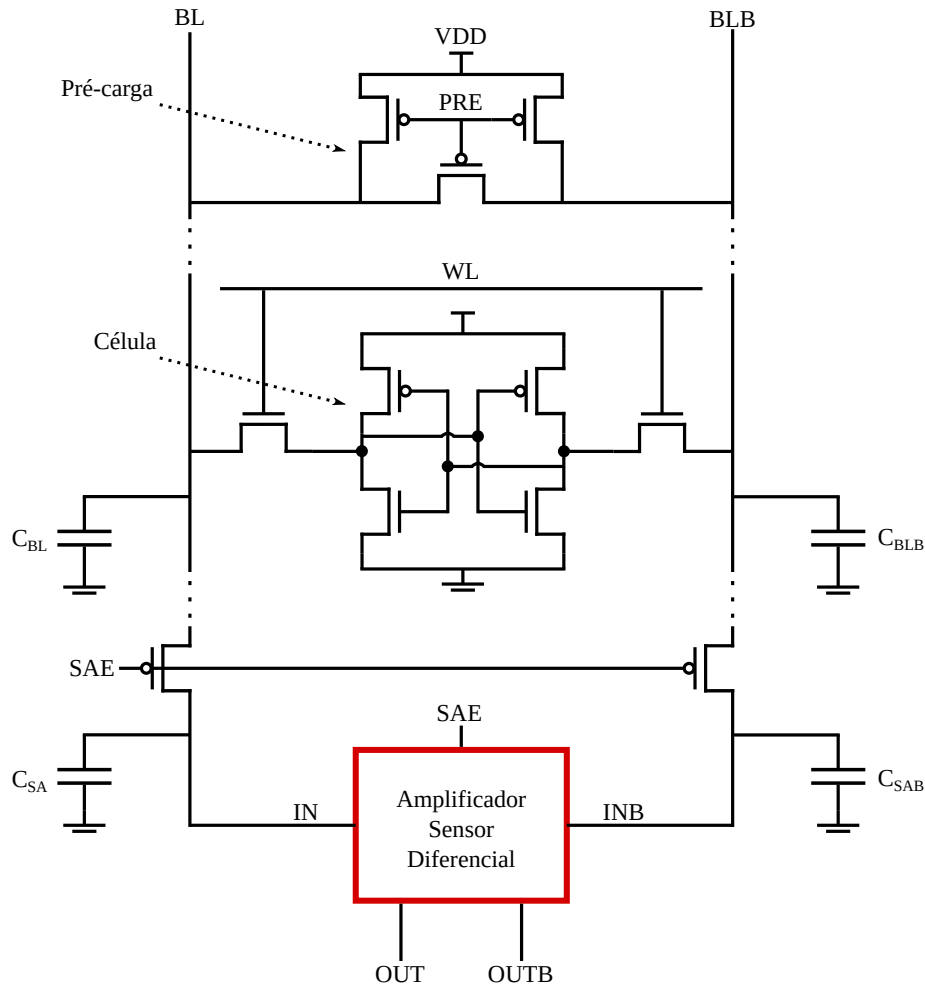
A funcionalidade principal de um amplificador sensor diferencial em SRAM é de amplificar o pequeno diferencial de tensão elétrica desenvolvido nos pares de *bit lines* durante operação de leitura, traduzindo-a à máxima excursão de sinal digital. Esse pequeno sinal diferencial se desenvolve da interação entre a célula SRAM acessada com seu par de *bit lines* pré-carregadas.

Na Figura 2.7, tem-se os circuitos tipicamente empregados nas colunas da matriz de memória SRAM. Ainda, na Figura 2.8, são apresentadas as formas de onda dos sinais de controle, entrada e saída da memória durante a operação de leitura.

Muito embora diferentes projetos da memória possam utilizar modelos distintos de sub-circuitos, são blocos básicos o circuito de pré-carga e equalização, multiplexadores de coluna e/ou transistores de isolamento, o amplificador sensor diferencial e as múltiplas células de armazenamento presentes em cada uma das colunas. A análise da operação conjunta desses circuitos requer a compreensão da forma como uma célula é acessada durante a leitura da memória (Subseção 2.2.2).

O acesso da célula da SRAM para leitura do dado se inicia com o pré-carregamento das *bit lines* com sinal PRE em nível lógico baixo. Ainda, o par de *bit lines* é curto-circuitado para garantir equalização apropriada da tensão elétrica em VDD. Esse procedimento é conhecido por condicionamento de *bit lines* (WESTE; HARRIS, 2011). Se as *bit lines* não forem equalizadas adequadamente, pode haver diferencial de tensão maior do que o mínimo diferencial desenvolvido previamente à ativação do amplificador sensor,

Figura 2.7: Circuitos de coluna típicos da memória SRAM com amplificador sensor diferencial, célula SRAM 6T, multiplexador de coluna e pré-carga



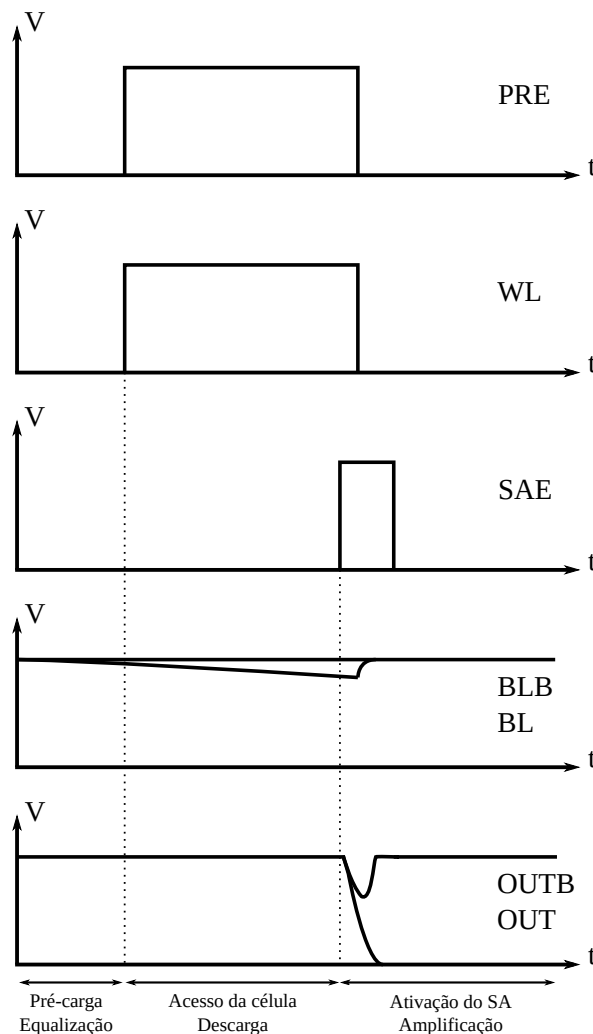
Fonte: Adaptado de Abbas (2020).

o que ocasionaria leitura incorreta.

Ainda, segundo Abbas (2020), desigualdades de tensão elétrica entre as *bit lines* podem acontecer devido ao descasamento entre os transistores de pré-carga ou por ruído de acoplamento, justificando a necessidade de equalização, que também reduz o atraso na leitura. Para aumento da tolerância ao ruído em baixas tensões e para garantia de leitura não-destrutiva em face a variabilidade de processos e outros possíveis defeitos nas células em tecnologias modernas, o nível de pré-carga V_{BL} da SRAM é tipicamente configurado à tensão de alimentação V_{DD} (PAVLOV; SACHDEV, 2008).

Ao término da pré-carga e equalização das *bit lines*, o sinal PRE é transicionado em nível baixo-alto, desacoplando os dois barramentos da tensão de alimentação. Em seguida, a *word line* é habilitada, permitindo o acesso da respectiva célula. Assim, inicia-se a leitura tal que uma das *bit lines* passe a descarregar e a outra mantenha o nível de

Figura 2.8: Formas de onda dos sinais da SRAM durante operação de leitura



Fonte: Adaptado de Abbas (2020).

referência de $V_{BL} = VDD$, desenvolvendo o diferencial de tensão ΔV_{BL} entre o par.

Quando a célula acessada houver descarregado a *bit line* BL ou BLB até se desenvolver o mínimo diferencial de tensão ΔV_{BL} necessário, a *word line* WL pode ser desativada e o amplificador sensor é ativado pela transição de nível baixo-alto do pulso SAE. Simultaneamente, o multiplexador de coluna isola as *bit lines* altamente capacitivas do circuito amplificador sensor a partir do mesmo sinal, limitando a descarga da *bit line* de modo a reduzir o atraso de leitura e consumo de energia.

Por fim, o amplificador sensor diferencial ativado e isolado das *bit lines* detecta o sinal diferencial de tensão presente em suas entradas, amplificando-o tal que seja rapidamente atingida a máxima diferença de VDD entre os terminais OUT e OUTB. O dado digital resultante é então transmitido ao barramento de saída, usualmente a partir de *buffers* de saída. Visto que a célula não necessita descarregar a elevada capacitância da *bit*

line C_{BL} por completo, a aplicação do amplificador sensor eleva a velocidade da operação e diminui o consumo de energia drasticamente.

2.4.2 Características e Métricas de Projeto

O projeto de amplificadores sensores rápidos, robustos e de baixo consumo é essencial dado que em memórias modernas as *bit lines* possuem capacitâncias significativamente maiores. Um grande número de células de armazenamento é normalmente embarcado nas memórias SRAM para aumento da densidade da matriz, resultando em menor velocidade, maior consumo e maior sensibilidade a variabilidade de fabricação e condições ambientais (SINGH, 2013).

Nesse contexto, o circuito amplificador sensor favorece a diminuição de tamanho das células, visto que cada uma delas individualmente não necessitará descarregar a *bit line* por completo durante a leitura, permitindo melhor desempenho e consumo reduzido. Enquanto às células normalmente se deseja menor área possível, a depender da arquitetura da memória SRAM, os requisitos de área do circuito amplificador sensor podem variar.

Arquiteturas que utilizam multiplexação de colunas podem compartilhar um único amplificador sensor entre as colunas multiplexadas, de modo que apenas uma coluna é conectada ao amplificador a qualquer momento. Do contrário, o modelo de amplificador sensor pode requerer transistores de acesso em sua estrutura interna para garantir alta impedância de entrada e isolamento das *bit lines*.

A área total disponível para o amplificador sensor é definida por um múltiplo de 1 a 16 da distância física entre *bit lines* (PAVLOV; SACHDEV, 2008). Por sua vez, a largura entre *bit lines* (*pitch*) é definida pelo tamanho da célula de memória. Assim, a escolha do tamanho da célula, número de colunas, número de células por coluna, mínimo diferencial de tensão de entrada e modelo de circuito amplificador sensor são todos fatores levados em consideração ao projetar uma SRAM compatível com o alvo de consumo de energia, velocidade e confiabilidade.

Em suma, o projeto de amplificadores sensores depende de requisitos de confiabilidade, desempenho, consumo de energia e leiaute do sistema de memória. Segundo Singh (2013), Pavlov e Sachdev (2008) e Haraszti (2000), os amplificadores sensores diferenciais podem ser caracterizados pelos seguintes parâmetros principais:

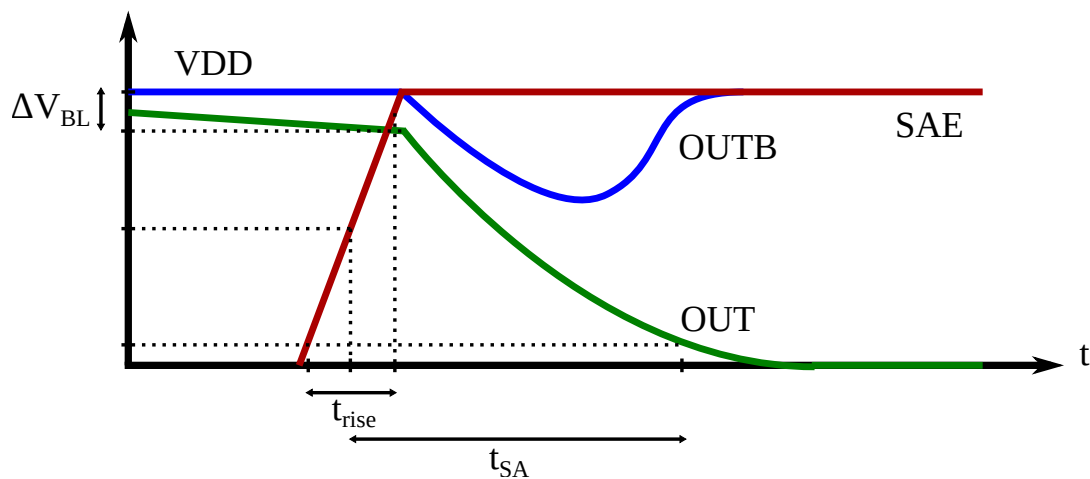
- Sensibilidade $S = \Delta V_{BL}$

- Atraso de detecção t_{SA}
- Tempos de subida t_{rise} e descida t_{fall}
- Ganho de modo diferencial $A_{diff} = \Delta V_{out} / \Delta V_{in}$
- Taxa de rejeição em modo comum $CMRR = A_{diff} / A_{cm}$
- Tensão e corrente elétrica de desvio de entrada V_{os} e I_{os}

Nos circuitos amplificadores sensores, S é a amplitude do mínimo sinal detectável (mínima tensão diferencial de entrada), A_{diff} é o ganho diferencial, definido pela razão entre amplitudes dos sinais de saída e, especialmente em amplificadores sensores diferenciais, V_{os} e I_{os} são as diferenças (desvios, ou *offsets*) entre os sinais de saída quando um par de sinais de modo comum estiver presente nas entradas. Simultaneamente, a razão $CMRR$ indica a rejeição dos sinais de modo comum em contraste a amplificação diferencial de sinais de entrada.

Os atributos t_{rise} e t_{fall} são respectivamente os tempos de subida e descida correspondentes aos intervalos mensurados entre amplitudes de 10% e 90% dos sinais. O atraso de detecção t_{SA} indica o intervalo entre o ponto médio de 50% do sinal de ativação SAE e o ponto de 10% ou 90% da amplitude do sinal transiente de saída OUT ou OUTB (NA et al., 2014). Na Figura 2.9, visualiza-se as principais medidas características como diferencial de tensão de entrada, atraso de detecção e tempo de subida de SAE a partir dos sinais do amplificador sensor. Em simplificação, considera-se $IN = OUT$ e $INB = OUTB$ tal qual circuito da Figura 2.12.

Figura 2.9: Medidas características visualizadas a partir dos sinais do amplificador sensor diferencial



Fonte: Autor.

Segundo Pavlov e Sachdev (2008), as restrições de projeto de um amplificador sensor são normalmente definidas pela sensibilidade ΔV_{BL} , o ganho de modo diferencial mínimo A_{diff} e tolerância às condições ambientais e de fabricação. O ganho depende da tensão diferencial inicial entre as *bit lines* e influencia no atraso de detecção t_{SA} , no entanto, um alto ganho não necessariamente condiz com um menor atraso de detecção. Usualmente, t_{SA} é a métrica de desempenho relevante do circuito, sendo contrabalanceada em favor de consumo de energia reduzido, menor área e maior tolerância a falhas.

Essas características dos circuitos SA são, por natureza, correlacionadas. A mínima tensão diferencial de entrada, a confiabilidade e o consumo de energia do amplificador sensor são diretamente interligados. O diferencial mínimo ΔV_{BL} é um fator decisivo no tempo total de acesso de leitura e, portanto, na velocidade da memória SRAM. Enquanto um maior diferencial resulta em confiabilidade de leitura e maior tolerância a falhas, possui o custo de tempo total de leitura prolongado e maior consumo de energia na carga e descarga das *bit lines* altamente capacitivas, visto que o período até que ΔV_{BL} seja atingido é normalmente maior que t_{SA} .

Para que se atinja sensibilidade menor e portanto ΔV_{BL} mínimo, deseja-se que a tensão e corrente de desvio sejam mínimas. Na ocasião ideal, a tensão de desvio do amplificador sensor diferencial é nula; entretanto, na prática, é um atributo determinante, especialmente em decorrência das não-idealidades inerentes à fabricação dos pares de transistores NMOS e PMOS (DO; KONG; YEO, 2010). Em função disso, atenção especial é direcionada à variabilidade de fabricação dos amplificadores sensores na Subseção 2.4.3, bem como critérios codependentes de sensibilidade, tensão de desvio e rendimento.

Na visão do projetista do amplificador sensor, a eficiência do circuito é principalmente consequente do modelo de circuito escolhido e do dimensionamento cauteloso dos seus dispositivos. A escolha de amplificador sensor diferencial conforme os modelos apresentados nas Seções 2.4.5 e 2.4.6 permite atingir ganho diferencial elevado e alta $CMRR$. A partir do projeto eficaz da razão de aspecto $\frac{W}{L}$ dos transistores MOSFET, conforme detalhado na Seção 2.5, é possível atingir menor atraso de detecção t_{SA} ou ainda menores consumo de energia e área total do circuito.

2.4.3 Variabilidade e Rendimento

A variabilidade é reconhecida como um dos maiores desafios no projeto de dispositivos CMOS em escala nanométrica. Durante a fabricação, podem ocorrer diferenças

paramétricas e comportamentais entre dispositivos, circuitos e *chips* identicamente projetados. Compreender a variabilidade de fabricação e seus mecanismos permite minimizar seu impacto na etapa de projeto.

As variações são de natureza randômica ou sistemática e tipicamente categorizadas pela forma como são propagadas. As variações locais entre dispositivos, conhecidas por variações *intra-die* ou *within-die* (WID), são caracterizadas pelo descasamento e assimetrias entre parâmetros físicos de dispositivos identicamente projetados de uma pastilha. Variações globais de processos são relacionadas às diferenças de parâmetros entre pastilhas, *wafers* e lotes fabricados, sendo usualmente referidas por variações *inter-die*, como *die-to-die* (D2D) e *wafer-to-wafer* (W2W).

2.4.3.1 Mínimo diferencial de tensão de entrada ΔV_{BL}

Dos principais desafios de projeto de amplificadores sensores, ademais da seleção de circuito ideal e dimensionamento de dispositivos adequados, destaca-se a determinação de menor valor possível para ΔV_{BL} no instante de ativação do circuito, respeitando-se as condições de variabilidade entre os dispositivos.

O mínimo diferencial de entrada ΔV_{BL} condiz com a sensibilidade do amplificador sensor e sua redução implica em melhor desempenho de leitura da memória SRAM, pois menor é o tempo de descarga das *bit lines* altamente capacitivas, reduzindo também o consumo total de energia (PATEL et al., 2021).

2.4.3.2 Tensão de desvio de entrada V_{os}

A sensibilidade do amplificador sensor é principalmente determinada pela tensão de desvio (*offset*) de entrada V_{os} , conforme descrito na Subseção 2.4.2. Em cenário ideal, a tensão de desvio é nula e o amplificador sensor é capaz de detectar corretamente quaisquer valores de $\Delta V_{BL} \neq 0$. Todavia, na prática, V_{os} não é nula e decorre da variabilidade local de fabricação, caracterizada pelo descasamento entre os transistores pareados do circuito (NA et al., 2014).

Segundo Patel et al. (2021), a tensão V_{os} é sobretudo ocasionada pelas assimetrias entre tensões de limiar V_{th} , correntes de dreno, fatores de ganho e o leiaute físico do amplificador sensor, sendo o descasamento de V_{th} o fator mais significativo. Em geral, V_{os} pode ser representada probabilisticamente pela distribuição gaussiana. Para amplificadores sensores de projeto simétrico, assume-se ser nula a média μ_{os} de tensão de desvio,

sendo seu desvio padrão σ_{os} o parâmetro de maior relevância.

De acordo com Abu-Rahma e Anis (2012), em implementação de memória SRAM de 16 Mb em tecnologia CMOS 28nm, destaca-se que o incremento de apenas 1 mV no desvio padrão de *offset* σ_{os} do amplificador sensor culmina em aumento de 10 mV de descarga adicional das *bit lines*, necessário para manter o rendimento de leitura de 97%. Nota-se, portanto, a significância de σ_{os} do circuito SA no desempenho total da memória SRAM.

2.4.3.3 Rendimento Y_{SA}

Além do desempenho e consumo de energia, outra característica essencial dos amplificadores sensores é o rendimento (*yield*) Y_{SA} , sendo um dos mais importantes critérios de projeto. O rendimento determina a taxa de sucesso do amplificador sensor, ou a probabilidade do circuito detectar e amplificar corretamente a diferença de tensão entre as *bit lines*.

No cenário ideal, o rendimento seria de 100% para amplificadores sensores completamente balanceados e simetricamente projetados. Na prática, em função das não-idealidades de fabricação que ocasionam o *offset* do circuito, o rendimento é idêntico a probabilidade de ΔV_{BL} inicial ser maior do que a tensão de desvio V_{os} , o que ocasionaria a leitura adequada do dado.

Dessa forma, de acordo com Wicht, Nirschl e Schmitt-Landsiedel (2004), o rendimento pode ser representado teoricamente pela função distribuição acumulada (CDF) da distribuição normal padrão de V_{os} conforme a Equação 2.1, sendo *erf* a função erro.

$$Y_{SA}(\Delta V_{BL}) = P[\Delta V_{BL} > V_{os}] = \Phi\left(x = \frac{\Delta V_{BL}}{\sigma_{os}}\right) = \frac{1}{2} \left(1 + \operatorname{erf}\left(\frac{x}{\sqrt{2}}\right)\right) \quad (2.1)$$

O rendimento do amplificador sensor diferencial, portanto, depende apenas do mínimo diferencial de tensão de entrada ΔV_{BL} e desvio padrão σ_{os} . Segundo Na et al. (2014), o alvo de projeto na indústria é tal que $\Delta V_{BL} = 3 \cdot \sigma_{os}$ e tipicamente em valores de $50 \rightarrow 70mV$. Assim, de acordo com a função de densidade de probabilidade da distribuição normal de V_{os} , a sensibilidade do circuito deve permitir rendimento Y_{SA} mínimo de $P[3 \cdot \sigma_{os} > V_{os}] \approx 99,87\%$.

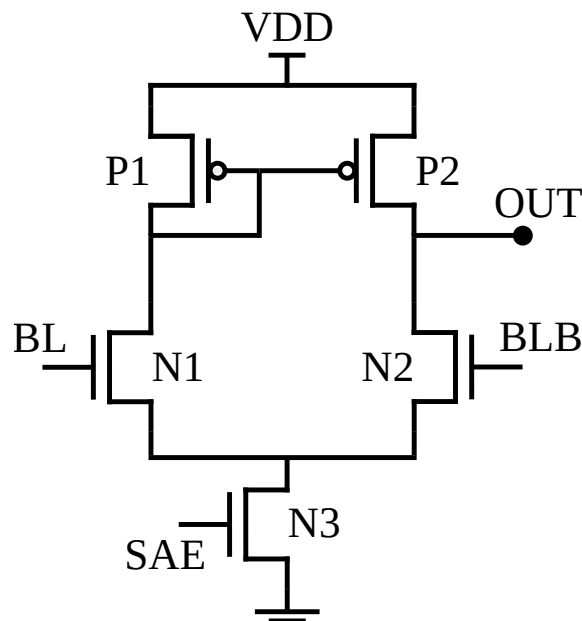
Para cada variação de amplificador sensor, existe uma região de tensão de entrada V_{BL} em que o rendimento é significativamente reduzido, sendo referida pela zona morta

de detecção. Essa região é normalmente caracterizada por altos valores de σ_{os} mesmo para ΔV_{BL} elevado. Diferentes tipos de memória geram tensões de entrada diferentes ao amplificador sensor; em memórias SRAM, V_{BL} é próxima de VDD, em DRAM é aproximadamente $\frac{V_{DD}}{2}$ e em MRAM e PRAM são gerados valores intermediários.

2.4.4 Amplificador Sensor de Espelho de Corrente

O circuito amplificador sensor diferencial da Figura 2.10 consiste em modelo tradicional de amplificador diferencial CMOS com carga ativa. É também conhecido na literatura por amplificador sensor diferencial de espelho de corrente (SINGH, 2013; PAVLOV; SACHDEV, 2008), do inglês, *current-mirror differential sense amplifier* ou CMSA.

Figura 2.10: Amplificador Sensor de Espelho de Corrente (CMSA)



Fonte: Autor.

Esse modelo de SA é utilizado principalmente por sua simplicidade e confiabilidade (WICHT, 2003). Como o circuito constantemente detecta o diferencial de tensão entre BL e BLB, uma vantagem é que pode ser habilitado ao mesmo tempo em que é ativada a *word line* durante a leitura, facilitando o dimensionamento de tempo do controle da memória. Ainda, tratando-se de amplificador diferencial, é resistente a ruídos de modo comum presentes em ambas as entradas.

Conforme observado na Figura 2.10, o circuito possui transistor NMOS N3 que,

controlado pelo sinal SAE, ativa ou desativa o amplificador. Este transistor deve atuar como fonte de corrente constante e, para tanto, deve permanecer em saturação. Isso implica que a tensão elétrica V_{DS} do transistor deva permanecer minimamente na tensão de *overdrive* $V_{GS} - V_{th}$. A corrente de polarização do circuito é importante para a manutenção do equilíbrio de corrente entre o par diferencial e, portanto, da correta amplificação de sinal diferencial e simultânea rejeição ao ruído de modo comum, ambos atributos desejáveis no contexto do amplificador sensor.

O transistor de entrada P1 do espelho de corrente PMOS formado por P1 e P2 é conectado em diodo, com seu dreno e *gate* curto-circuitados de modo a garantir sua saturação. A saída do amplificador é única e eletricamente conectada ao dreno do transistor de saída P2 do espelho de corrente, ou seja, o amplificador também atua convertendo sinal de tensão diferencial a não-diferencial. Os transistores N1 e N2 do par diferencial são as entradas do amplificador, com seus drenos interconectados também aos drenos dos transistores de entrada e saída do espelho, respectivamente.

As entradas do circuito devem possuir tensões elétricas suficientemente maiores do que a tensão de dreno de N3 para assegurar a ativação simultânea dos transistores do par diferencial, e também baixas o suficiente para garantir espaço à amplificação nos drenos. Ainda, a tensão de alimentação VDD deve ser alta para ativação dos transistores do espelho com N1 e P1 saturados enquanto N3 providencia a corrente necessária.

Quando um diferencial de tensão é detectado entre as *bit lines* BL e BLB, essa é amplificada à saída OUT pelo ganho de modo diferencial A_{diff} do circuito. Dessa forma, sendo ΔV_{BL} o diferencial de tensão de entrada, a tensão de saída V_{OUT} do amplificador é dada pela Equação 2.2 (ABBAS, 2020):

$$V_{OUT} = A_{diff} \Delta V_{BL} \quad (2.2)$$

O ganho de modo diferencial A_{diff} do amplificador depende da transcondutância $g_{m_{N1}}$ do transistor N1 e das resistências de saída de pequenos sinais dos transistores N2 e P2. Segundo Singh (2013), é tipicamente projetada em $A_{diff} = 10$, sendo regida pela Equação 2.3:

$$A_{diff} = -g_{m_{N1}} (r_{o_{N2}} || r_{o_{P2}}) \quad (2.3)$$

Assim, o ganho diferencial do amplificador sensor é diretamente proporcional ao tamanho dos transistores N1 e P1 e pode ser elevado pelo aumento de largura de canal

desses dispositivos ou ainda pelo aumento da corrente de polarização. No entanto, um ganho elevado não necessariamente se alinha com o objetivo do amplificador sensor de atingir altas velocidades de chaveamento (ABBAS, 2020). O amplificador deve ser capaz de responder rapidamente ao diferencial de tensão de entrada tão pequeno quanto possível, garantindo menor sensibilidade. Dessa forma, o atraso do circuito é um fator de maior relevância em comparação ao ganho.

O atraso do circuito depende do tempo de carga e descarga da capacitância de saída C_{OUT} e da corrente elétrica I_{OUT} disponível na saída, sendo estimado pela Equação 2.4:

$$\Delta t = \frac{C_{OUT}\Delta V_{OUT}}{I_{OUT}} \quad (2.4)$$

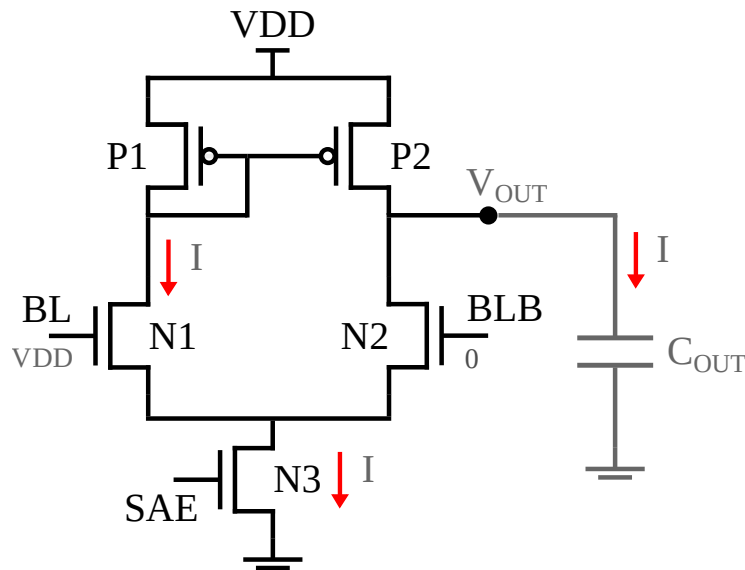
Como a tensão de saída V_{OUT} desejada é normalmente a máxima excursão VDD, essa não configura um parâmetro de redução de atraso, sendo necessário diminuir a capacitância do circuito ou aumentar a corrente de saída para atingir esse efeito. Nota-se que, como as entradas do circuito são separadas da saída, a capacitância de saída é resultado das capacitâncias de dreno dos transistores NMOS e PMOS, sendo significativamente menor do que a capacitância da *bit line*. Contrariamente ao ganho diferencial, a desejável redução de atraso depende da diminuição da capacitância e portanto da redução de tamanho dos transistores, evidenciando a distinção de paradigmas de projeto do circuito SA em comparação ao amplificador diferencial tradicional.

Ademais, o outro fator de efeito no atraso do circuito é a corrente de carga e descarga do capacitor, a qual é limitada em valor máximo pela corrente de polarização da fonte de corrente. No contexto do amplificador sensor, deseja-se que toda a corrente permitida seja rapidamente disponibilizada em alguma das laterais do circuito para que se atinja o nível de tensão apropriado. Esse comportamento (Figura 2.11) decorre da descarga da *bit line* durante a leitura da célula, a qual ocasiona menor tensão de *gate* em N1 ou N2 tal que a corrente de dreno passe a diminuir até o corte de um dos transistores enquanto aumenta na lateral oposta, totalizando assim o valor máximo I de corrente do circuito. Dessa maneira, o pequeno diferencial de tensão entre as entradas produz tensão da saída máxima.

Uma vantagem do circuito amplificador sensor de espelho de corrente é a sua área reduzida, especialmente devido ao baixo número de transistores, visto que prescinde de dispositivos adicionais para isolação das *bit lines*. Isso se deve à alta impedância de entrada do circuito atribuída aos *gates* do par diferencial.

Em contraponto, sua principal desvantagem é seu elevado consumo estático de

Figura 2.11: Característica do CMSA em face a diferencial de tensão ΔV_{BL} máximo



Fonte: Autor.

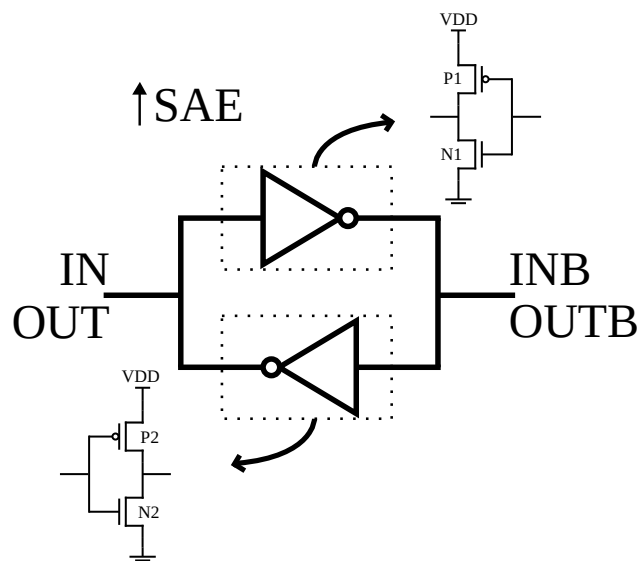
energia. Segundo Singh (2013), ainda existe a dificuldade de polarização dos transistores em baixas tensões a fim de mantê-los saturados. O circuito também é altamente vulnerável ao descasamento entre transistores, o que culmina em tensão de *offset* elevada e, portanto, alta sensibilidade, estendendo o tempo de leitura da memória. Dado que existe a possibilidade de várias colunas da matriz de memória compartilharem o mesmo amplificador sensor, o ganho em área reduzida de cada bloco SA dificilmente compensa sua ineficiência energética, sendo essa uma das razões do seu declínio de aplicação em tecnologias *submicron* de baixa tensão (PAVLOV; SACHDEV, 2008).

2.4.5 Amplificadores Sensores de Realimentação Positiva em Modo Tensão

O circuito da Figura 2.12 é a estrutura mais elementar de amplificador sensor diferencial de realimentação positiva, modelo de amplificador sensor melhor estabelecido e mais utilizado pela indústria em memórias SRAM e memórias *cache* (WICHT, 2003).

Nota-se a semelhança do circuito com a célula 6T da SRAM devido ao par de inversores P1-N1 e P2-N2 conectados em anti-paralelo. Quando projetado corretamente, pode atingir altas velocidades e rápida amplificação de tensão elétrica entre suas saídas. É também referido na língua inglesa pelo acrônimo VLSA - *voltage latched sense amplifier* (WICHT; NIRSCHL; SCHMITT-LANDSIEDEL, 2004; NA et al., 2014; KIM et al., 2018; WEI et al., 2014).

Figura 2.13: Representação do amplificador sensor de realimentação positiva em *latch* de inversores



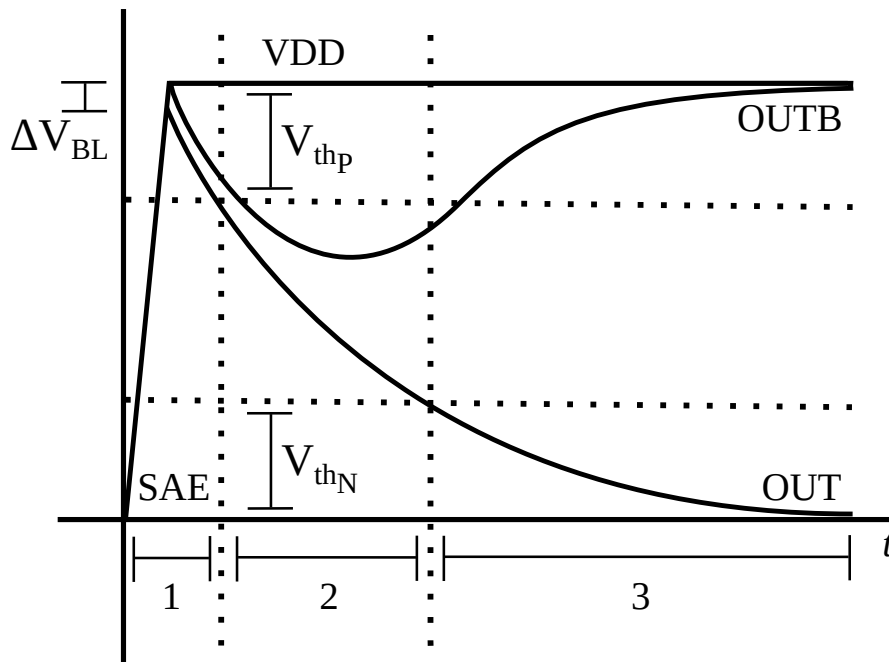
Fonte: Autor.

Com base no circuito da Figura 2.15a, o qual possui transistores de passagem PMOS, pode-se conduzir análise mais detalhada do comportamento do amplificador sensor. Inicialmente, SAE é mantido em nível lógico baixo tal que as entradas estejam acopladas às *bit lines* permitindo o acesso ao amplificador desativado. Ao passo que a operação de leitura progride e a *bit line* BL ou BLB é descarregada, ΔV_{BL} se desenvolve entre as entradas. Quando esse balanço de tensão atinge o mínimo valor esperado, o amplificador é ativado pela transição de subida do sinal SAE. Nessa ocasião, o circuito é simultaneamente desacoplado das *bit lines* e NF passa a drenar corrente em saturação. A operação de detecção subsequente pode ser dividida em diferentes fases, conforme vistas na análise transiente da Figura 2.14.

Na primeira fase, ambos os transistores N1 e N2 descarregam as capacitâncias parasitas do circuito, resultando em declínio de tensão simultânea nos terminais OUT e OUTB. Devido a menor condutividade do transistor NMOS cujo *gate* é conectado ao terminal de menor tensão, a tensão no terminal oposto decai em menor velocidade e o diferencial de tensão tende a aumentar. Durante esse período, ambos os transistores PMOS estão em corte e não há realimentação positiva significativa presente.

A segunda fase de operação é caracterizada pelo desenvolvimento da realimentação positiva do circuito. Ao passo que a baixa tensão de saída de um lado inversor reforça a entrada do inversor oposto, eventualmente o transistor PMOS desse último atinge a

Figura 2.14: Análise transiente da operação de detecção do circuito FSPA-VLSA



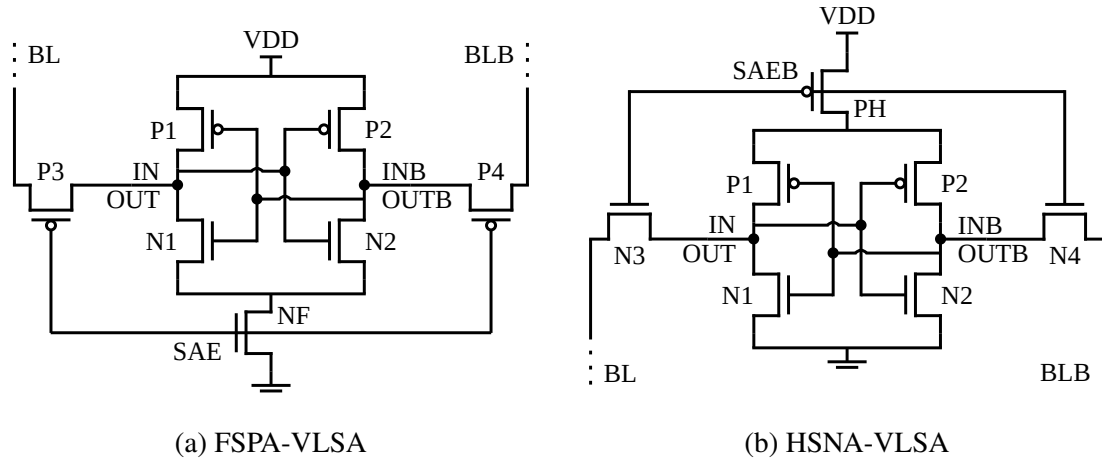
Fonte: Adaptado de Wicht (2003).

tensão de limiar V_{thp} e passa a conduzir corrente elétrica, fortalecendo assim a tensão de saída realimentada à entrada oposta. Dessa forma, o diferencial de tensão entre os terminais é rapidamente amplificado. Quando a tensão de uma das saídas se torna suficientemente baixa, o transistor NMOS do inversor oposto deixa de conduzir, perdurando a terceira fase em que o par de inversores deixa a região de transição e busca o estado de estabilidade (*latching*).

Em detrimento da forte realimentação positiva presente na segunda e terceira fases de operação, mesmo um pequeno diferencial de tensão é sujeito a rápida amplificação à excursão máxima de tensão do circuito. No entanto, após o início do processo de decisão, o circuito não se recupera a menos que seja reconfigurado em metaestabilidade, diferentemente do amplificador sensor apresentado na Subseção 2.4.4, cuja tensão de saída é constantemente ajustada a depender do diferencial de entrada.

Em função disso, decisões incorretas de *latching* podem ser atingidas para valores de ΔV_{BL} muito baixos. Conforme descrito na Subseção 2.4.3, ΔV_{BL} deve ser tão baixo quanto possível e minimamente maior que a tensão de *offset* V_{os} , a qual resulta principalmente do descasamento entre os transistores e de ruídos presentes no circuito. Esse objetivo impõe o requisito de controle preciso da ativação do circuito e representa o maior obstáculo dos amplificadores sensores de realimentação positiva.

Figura 2.15: Variações de VLSA com transistor único de ativação e transistores de acesso PMOS ou NMOS



Fonte: Autor.

Com base em análise de pequenos sinais do circuito durante a segunda fase na qual ambos os transistores de um dos inversores estarão ativos, é possível obter a expressão matemática que estima o atraso de detecção Δt_{SA} relacionado ao ΔV_{BL} inicial, o diferencial de tensão ΔV_{OUT} almejado entre as saídas, a capacitância C_{SA} e a transcondutância eficaz $g_{m_{ef}}$ dos inversores (WICHT, 2003; ABBAS, 2020):

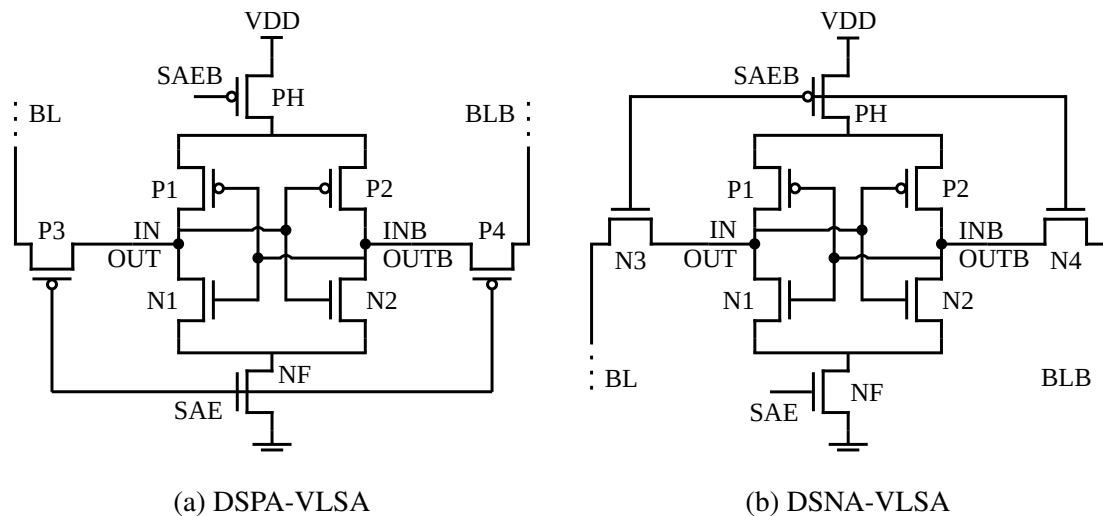
$$\Delta t_{SA} = \frac{C_{SA}}{g_{m_{ef}}} \ln\left(\frac{\Delta V_{OUT}}{\Delta V_{IN}}\right) \quad (2.5)$$

Da relação, nota-se a natureza exponencial do atraso do circuito, o que determina maior velocidade de amplificação de tensão quando comparada ao amplificador sensor de espelho de corrente (Subseção 2.4.4). Ainda, percebe-se que maiores valores de ΔV_{BL} resultam em menores atrasos de detecção, o que não necessariamente implica em menor tempo total de leitura da memória. Nota-se também o conflito entre redução de capacitância do circuito e aumento de transcondutância para menores atrasos de detecção, visto que diminuir C_{SA} implica em reduzir as dimensões dos transistores MOSFET enquanto a maior transcondutância requer o contrário (ABBAS, 2020).

Pela adição dos transistores de passagem PMOS controlados por SAE ao circuito da Figura 2.12, representa-se o amplificador sensor de realimentação positiva da Figura 2.15a, classificado por Na et al. (2014) como FSPA-VLSA (*Footswitch PMOS-Accessed Voltage Latched Sense Amplifier*) ou, em tradução livre, amplificador sensor de realimentação positiva em modo tensão ativado em NMOS e acessado em PMOS.

Analogamente, a ativação do amplificador sensor por transistor PMOS e acesso

Figura 2.16: Variações de VLISA com transistores duplos de ativação e transistores de acesso PMOS ou NMOS



(a) DSPA-VLISA

(b) DSNA-VLISA

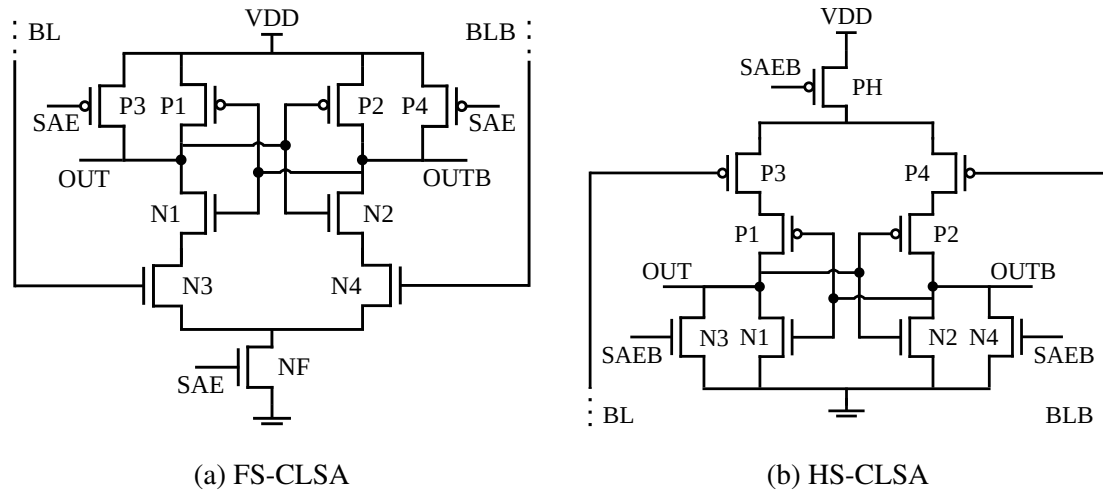
Fonte: Autor.

por transistores de isolamento NMOS resulta no circuito da Figura 2.15b, chamado HSNA-VLISA (*Headswitch NMOS-Accessed Voltage Latched Sense Amplifier*). Existem ainda os circuitos VLISA de dupla ativação (*doubleswitch*), acessados em *pull-up* (DSPA-VLISA) ou *pull-down* (DSNA-VLISA), como apresentados na Figura 2.16.

Na et al. (2014) demonstra que cada diferente estrutura de amplificador sensor de realimentação positiva é caracterizada por uma zona morta de detecção específica onde a tensão de *offset* V_{os} do circuito SA é significativamente maior a depender da tensão elétrica V_{BL} da *bit line* (nível de pré-carga). A estrutura FSPA-VLISA permite menor sensibilidade para níveis de pré-carga próximos a VDD enquanto a estrutura HSNA-VLISA possui *offset* elevado na mesma circunstância, o que induziria uma queda elevada no rendimento do circuito.

Como níveis baixos de pré-carga são pouco usuais e normalmente em memórias SRAM são mantidos em valor máximo VDD, as variações de acesso em *pull-up* FSPA e DSPA são mais populares. Nas estruturas DSPA e DSNA, os transistores de ativação adicionais permitem maiores faixas de V_{BL} com *offset* menor. No entanto, requerem sinal de ativação complementar SAEB que deve ser transicionado posteriormente ao sinal SAE para impedir caminhos inválidos de corrente, o que ocasionaria maior *offset*. Para tanto, um inversor adicional entre SAE e SAEB poderia ser usado de forma a garantir simultaneamente a inversão de nível e o atraso necessário, esse decorrente da capacitância de entrada da porta lógica.

Figura 2.17: Variações de amplificador sensor de realimentação positiva em modo corrente (CLSA) com transistores de ativação e pré-carga PMOS ou NMOS



Fonte: Autor.

2.4.6 Amplificadores Sensores de Realimentação Positiva em Modo Corrente

O amplificador sensor de realimentação positiva em modo corrente apresentado na Figura 2.17a é modelo muito usual concebido por Kobayashi et al. (1993). É usado em memórias de detecção de tensão como alternativa ao VLSA (Subsecção 2.4.5), sendo ainda empregado como estágio secundário em sequência a amplificadores de corrente em memórias SRAM de detecção de corrente. Como *flip-flop* baseado em amplificador sensor, é também considerado um dos *flip-flops* de melhor desempenho em processadores e projetos VLSI estado da arte e permite reduzir significativamente o consumo de energia (WICHT, 2003).

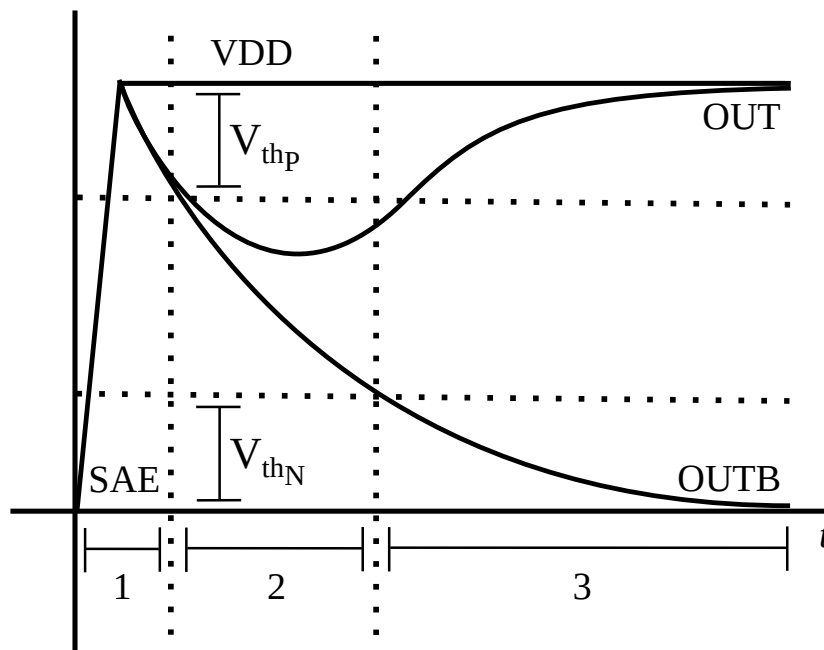
Em função da sua costumeira utilização em memórias de detecção de corrente, é classificado em modo corrente, a despeito das entradas do amplificador também dependerem de diferencial mínimo de tensão elétrica. Também é assim reconhecido pelo funcionamento baseado em diferencial de corrente na sua estrutura interna, o qual induz tensão diferencial nas saídas do *latch* conectado em série ao par de transistores de entrada. É comumente referido em bibliografia recente na língua inglesa pelo acrônimo CLSA - *current latched sense amplifier* (DIVYA; MITTAL, 2022; SHI, 2017; NA et al., 2014; ABU-RAHMA; ANIS, 2012).

Enquanto o VLSA detecta o diferencial de tensão inicial ΔV_{BL} desenvolvido entre BL e BLB e amplifica-o à máxima excursão de saída entre OUT e OUTB, o CLSA detecta a diferença de corrente induzida em seu par diferencial por ΔV_{BL} , a qual é igualmente

traduzida em tensão de saída diferencial máxima.

Os circuitos VLSA possuem vantagens como menor área e complexidade quando comparados aos CLSA em função do número reduzido de transistores. No entanto, visto que nos VLSA os nós de entrada são também os nós de saída, o sinal SAE requer controle mais preciso. O circuito CLSA não apresenta essa dificuldade dado que possui nós de entrada e saída separados (NA et al., 2014). Ainda, esse amplificador sensor combina forte realimentação positiva com alta impedância de entrada, prescindindo de transistores adicionais de isolamento. A exemplo do FS-CLSA, os transistores N3 e N4 são as entradas diferenciais do circuito, com par de *bit lines* conectadas em seus *gates* e, portanto, desacopladas do amplificador.

Figura 2.18: Análise transiente da operação de detecção do circuito FS-CLSA



Fonte: Adaptado de Wicht (2003).

O comportamento transiente do amplificador sensor é similar ao do VLSA, conforme apresentado na Figura 2.18, distinguindo-se especialmente na primeira etapa de ativação. No FS-CLSA, o circuito desativado possui os nós OUT e OUTB ambos carregados em VDD por P3 e P4, com o *latch* formado pelo par de inversores P1-N1 e P2-N2 em metaestabilidade enquanto NF se mantém inativo. Também é necessário que se desenvolva diferencial de tensão ΔV_{BL} minimamente acima da tensão de desvio do circuito previamente a sua ativação, do contrário, esse pode ser incorretamente enviesado.

A primeira fase de operação inicia com a transição de baixo para alto do sinal

SAE, a qual conseqüentemente corta os transistores P3 e P4 e ativa NF, dividindo corrente entre o par diferencial N3 e N4 para descarregar os nós OUT e OUTB. Existindo nessa ocasião pequeno diferencial de tensão elétrica entre as *bit lines*, a exemplo de $V_{BL} = V_{DD} - \Delta V_{BL}$ e $V_{BLB} = V_{DD}$, haverá desbalanço de corrente em favor de N4, o qual decorre da menor tensão V_{GS} em N3. Dessa forma, OUTB descarrega mais rapidamente do que OUT, incrementando a diferença de tensão entre as duas saídas.

Como ambos os nós de saída são pré-carregados em VDD previamente a leitura, ambos transistores P1 e P2 permanecem desativados até OUTB atingir $V_{DD} - V_{th_P}$, quando P1 passa a operar em triodo e limitar a descarga de OUT, iniciando a segunda fase de operação marcada pela realimentação positiva do *latch*. A terceira fase é caracterizada pelo corte de N3, após OUTB descarregar o suficiente pelo caminho de N4 até atingir tensão abaixo de V_{th_N} . A partir desse momento, o nó OUT rapidamente se regenera a VDD e OUTB decai, finalizando a amplificação ao atingir a estabilidade. O fluxo de corrente de operação em NF termina automaticamente após a transição, culminando em baixo consumo estático de energia.

A versão complementar do FS-CLSA é o circuito HS-CLSA (Figura 2.17b), com transistor de ativação *headswitch* PMOS e transistores de pré-carga N3 e N4. Quando determinadas aplicações exigem que os níveis iniciais de tensão em BL e BLB sejam abaixo de V_{th_N} , a versão HS deve ser utilizada a fim de evitar a zona morta de detecção do FS-CLSA. Similarmente, os níveis iniciais do HS-CLSA devem ser abaixo de $V_{DD} - V_{th_P}$ (NA, 2020).

2.5 Dimensionamento de Transistores MOSFET

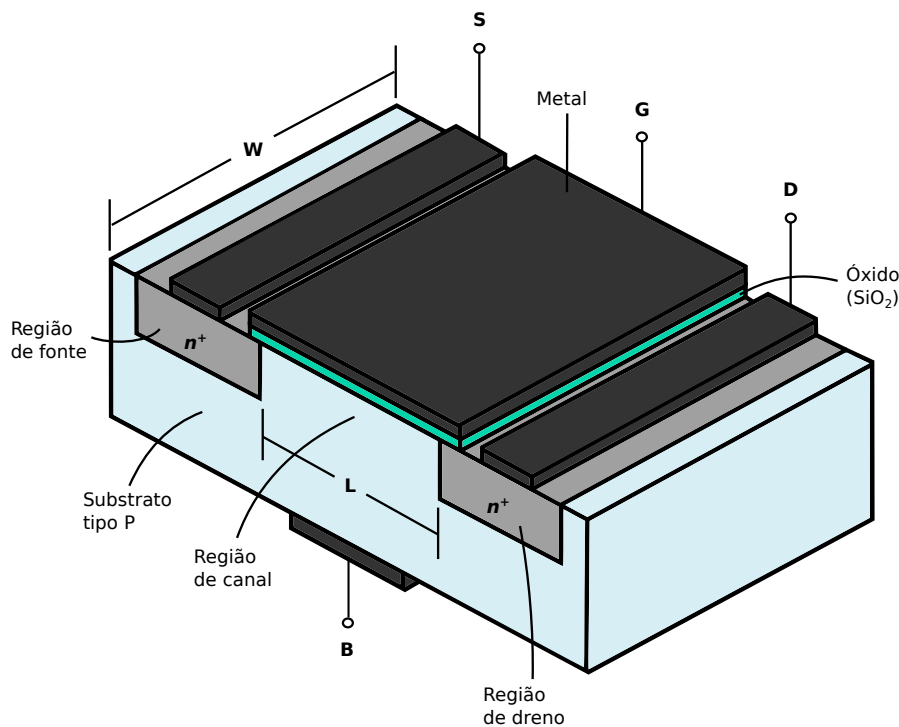
No projeto do amplificador sensor, o principal objetivo é atingir dimensões otimizadas dos transistores. Diferentes tamanhos dos dispositivos do amplificador afetam todas as suas características, como o atraso e potência consumida durante o ciclo de leitura e a área total do projeto. Portanto, devem ser dimensionados de forma a atingir bom desempenho e baixo consumo, minimizando-se simultaneamente a área.

Transistores MOSFET são dispositivos portadores de carga positiva (PMOS) ou negativa (NMOS) de três a quatro terminais G (*gate* ou porta), S (*source* ou fonte), D (*drain* ou dreno) e B (*body* ou substrato). A depender das tensões elétricas V_{GS} e V_{DS} , forma-se canal de condução por onde portadores de carga fluem da fonte para dreno.

A Figura 2.19 apresenta a vista isométrica da estrutura tradicional do transistor

NMOS. O transistor PMOS é a estrutura complementar, possuindo dopagens de cargas opostas para as regiões semicondutoras de substrato, dreno e fonte. A espessura da camada isolante de óxido de silício no *gate* (t_{ox}) e concentrações de dopagem são intrínsecas ao processo de fabricação CMOS utilizado e, portanto, não são manipuláveis pelo projetista.

Figura 2.19: Vista isométrica da estrutura tradicional de transistores MOSFET NMOS



Fonte: Adaptado de Sedra (2010).

Assim, as duas variáveis de projeto disponíveis são a largura de canal W e comprimento de canal L do transistor, usualmente referidas pela razão de aspecto $\frac{W}{L}$ que influencia diretamente na característica de saída do transistor em estado ativo. Essa relação pode ser observada a partir do equacionamento simplificado da corrente de dreno I_{D_n} e I_{D_p} dos transistores NMOS e PMOS, respectivamente, em regiões de triodo (Equações 2.6 e 2.7) e saturação (Equações 2.8 e 2.9), onde μ é a mobilidade de portadores, C_{OX} a capacitância de óxido do *gate*, W a largura do canal, L o comprimento do canal, V_{GS} a tensão elétrica entre *gate* e fonte, V_{DS} a tensão elétrica entre dreno e fonte, e V_{th} a tensão de limiar.

$$I_{D_n} = \mu_n C_{OX} \frac{W}{L} \left((V_{GS} - V_{th}) V_{DS} - \frac{V_{DS}^2}{2} \right) \quad (2.6)$$

$$I_{D_p} = -\mu_p C_{OX} \frac{W}{L} \left((V_{GS} - V_{th}) V_{DS} - \frac{V_{DS}^2}{2} \right) \quad (2.7)$$

$$I_{D_n} = \frac{\mu_n C_{OX}}{2} \frac{W}{L} (V_{GS} - V_{th})^2 \quad (2.8)$$

$$I_{D_p} = -\frac{\mu_p C_{OX}}{2} \frac{W}{L} (V_{GS} - V_{th})^2 \quad (2.9)$$

Das equações, nota-se que a corrente de dreno em ambas regiões de operação do transistor ativo é diretamente proporcional a largura de canal W e inversamente proporcional ao comprimento de canal L . Por vezes, transistores PMOS são projetados com larguras de canal maiores do que os transistores NMOS, pois a mobilidade de lacunas é mais lenta que de elétrons ($\mu_n \approx 2\mu_p$) e, portanto, requerem canais mais largos para atingirem a mesma corrente elétrica. Em sistemas digitais, transistores MOSFET são tipicamente projetados com o menor comprimento de canal possível, pois transistores de canal curto são menores, mais velozes e consomem menos potência (WESTE; HARRIS, 2011).

3 METODOLOGIA

Pretende-se executar, a partir de simulações elétricas SPICE, projeto a nível de transistores do esquema elétrico do amplificador sensor FSPA-VLSA tendo em vista as distintas métricas de projeto de seus dispositivos. Na ausência de restrições reais advindas do fluxo de projeto completo da memória SRAM, define-se como objetivo principal atingir otimização simultânea de desempenho, área e consumo de energia. Na Seção 3.1, detalha-se a determinação do modelo de amplificador sensor de interesse, descrevendo-se na Seção 3.2 a metodologia heurística de projeto em etapas e a avaliação do projeto final a ser performada com base em tabela de pontuações de critérios.

Ainda, almejando a reprodutibilidade do projeto por terceiros e contribuição à comunidade *open source* de projeto eletrônico de circuitos integrados, são utilizadas somente ferramentas gratuitas e de código aberto (Seção 3.4). Entre essas, destaca-se o PDK denominado *SkyWater Open Source PDK*, publicado inicialmente em repositório GitHub em junho de 2020, o primeiro de código completamente aberto já disponibilizado por uma fábrica de semicondutores (MILLER; KASSEM, 2020), e o simulador elétrico *ngspice 35* compatível com linguagem SPICE.

3.1 Determinação de Modelo de Amplificador Sensor

Conhecendo-se as variações usuais de amplificadores sensores, o projetista de memória pode normalmente escolher ou conceber aquele que melhor se adequa ao alvo de desempenho, consumo e área que se pretende atingir. Dado que essa classe de circuitos influencia de forma crítica nessas métricas, deve-se também ser feito projeto cauteloso do modelo escolhido, avaliando-se os efeitos positivos e negativos oriundos de decisões tais quais os dispositivos MOSFET a serem utilizados e suas dimensões de canal W e L , a tensão de alimentação V_{DD} e o mínimo diferencial de tensão de entrada.

Sabendo-se que, no contexto das memórias SRAM, os amplificadores sensores diferenciais de realimentação positiva apresentados na Seção 2.4 consolidaram-se como os mais utilizados em função da menor complexidade, alta velocidade, baixo consumo e elevada CMRR, determina-se a análise de projeto de amplificador sensor de modo tensão FSPA-VLSA (Figura 2.15a). Esse modelo se destaca em razão do baixo consumo proporcionado pelo *latch* estático, comum aos amplificadores sensores de realimentação positiva, do número reduzido de transistores e menor complexidade de projeto quando

comparado às variações *doubleswitch* e CLSA, além de menor tensão residual V_{os} ao operar com tensões de entrada próximas de VDD em relação ao HSNA-VLSA, sendo $V_{BL} = VDD$ a tensão de pré-carga de *bit line* usual em SRAM.

3.2 Abordagem de Projeto

O projeto do amplificador sensor FSPA-VLSA (Figura 2.15a) se inicia com a determinação das variáveis de interesse. Conforme detalhado na Seção 2.5, o projeto bem-sucedido depende especialmente do dimensionamento eficaz dos transistores que compõem as diferentes seções do circuito, sendo essas o *latch* estático, o qual garante a rápida amplificação da tensão e baixo consumo de energia, o transistor de ativação em *footswitch*, responsável por habilitar a operação do *latch* do amplificador, e o par de transistores de passagem, que devem simultaneamente isolá-lo das *bit lines* quando ativado, garantindo que a descarga dessas não interfiram adversamente em seu tempo de resposta.

Em função da estrutura simétrica do circuito, deseja-se obter dimensionamento idêntico dos transistores em ambas faces horizontais para garantir a consistência de seu comportamento entre leituras de nível lógico baixo e alto. Sabendo-se que o *offset* dado por V_{os} pode ainda decorrer principalmente da variabilidade local de fabricação, definida pelo descasamento de parâmetros entre os transistores identicamente projetados, deve-se determinar também o mínimo diferencial de tensão ΔV_{BL} entre as *bit lines* que garanta a confiabilidade de operação do amplificador, evitando-se falhas de leitura da memória em menor tempo possível de descarga das *bit lines* altamente capacitivas.

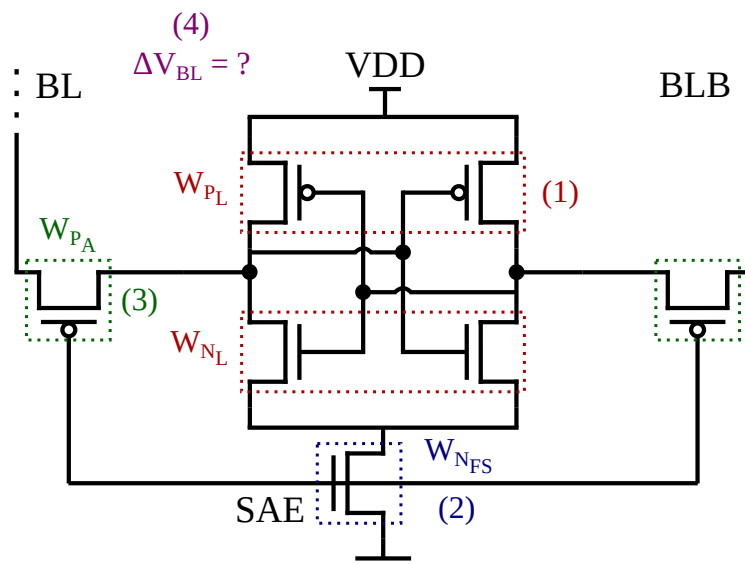
Visto que em sistemas digitais os transistores são tipicamente dimensionados com comprimentos de canal L mínimos no objetivo de minimizar a área de projeto e aumentar o desempenho, e não sendo localizadas na bibliografia referências substanciais de projeto de VLSA que indicassem utilidade de variação desse parâmetro, opta-se por manter L mínimo para todos os transistores, sendo feita análise de projeto pela variação das larguras de canal W . Assim, o comprimento de canal utilizado é de $L = 0.15\mu m$, valor mínimo definido em modelos CMOS do SKY130 PDK.

A fim de prevenir alterações dinâmicas da tensão de limiar V_{th} dos transistores, são curto-circuitados os terminais de fonte e subtrato tal que $V_{SB} = 0$, prática comum para coibir o efeito de polarização do substrato. Nota-se que, com a tendência de redução de escala em tecnologias CMOS modernas e crescentes desafios advindos da variabilidade randômica de fabricação, é possível fazer uso da polarização do substrato para mitigar V_{os}

a partir da variação dinâmica de V_{th} , aperfeiçoando-se a sensibilidade e desempenho do amplificador, como evidenciado por nova proposta de amplificador sensor de realimentação positiva em publicação recente de Patel et al. (2021).

Dessa forma, são definidas no total cinco variáveis de projeto do FSPA-VLSA, sendo essas as larguras de canal W_{PL} e W_{NL} dos transistores PMOS e NMOS do *latch*, respectivamente, a largura de canal do transistor de *footswitch* NMOS W_{NFS} , a largura de canal dos transistores de passagem PMOS W_{PA} e a sensibilidade $S = \Delta V_{BL}$. Essas variáveis são representadas de forma conjunta e atribuídas aos respectivos dispositivos na Figura 3.1.

Figura 3.1: Variáveis definidas em divisão de etapas de projeto do FSPA-VLSA



Fonte: Autor.

Para determinação das variáveis a fim de atingir dimensionamento adequado aos transistores, utiliza-se abordagem análoga ao projeto de DSPA-VLSA performed por Brooks e Cicchetti (2014), em que as diferentes seções do circuito são projetadas em etapas sequenciais, sendo feita análise de efeito da alteração das variáveis em função do desempenho, consumo de energia e área. Denomina-se essa abordagem de metodologia heurística de projeto em etapas, esperando-se atingir simultaneamente ao projeto do esquema elétrico o estudo aprofundado das relações entre os diferentes dispositivos e suas influências no comportamento do circuito, envolvendo a compreensão do projetista do detalhamento de sua operação.

As diferentes etapas de projeto do FSPA-VLSA são enumeradas em sequência de determinação das variáveis conforme a Figura 3.1, sendo essas:

1. Projeto do *latch* estático
2. Projeto do transistor NMOS de ativação
3. Projeto dos transistores PMOS de acesso
4. Determinação estatística do rendimento e sensibilidade

Devido a disponibilidade de células e dispositivos especializados do SKY130 PDK tais quais os descritos nas Seções 3.4.1.1 e 3.4.1.2, também são avaliados os diferentes modelos no projeto do circuito. De forma iterativa, em cada etapa de projeto são comparadas as métricas de avaliação descritas na Seção 3.3 para seleção da célula ou dispositivo ideal e determinação das variáveis de projeto correspondentes.

Em validação final, o projeto desenvolvido é avaliado com base em pontuações de critérios de desempenho, consumo de energia e área comparativamente a múltiplas das combinações possíveis de dimensões dos transistores no espaço de projeto. A partir de avaliação comparativa baseada em tabela referencial de pontuações, determina-se a qualidade do projeto quando comparado aos melhores e piores projetos atingidos para ponderações distintas de critérios.

3.3 Métricas de Avaliação

O fluxo principal de projeto envolve a avaliação comparativa de métricas coletadas em simulações elétricas SPICE das definições de circuito de cada etapa. Para tanto, quantifica-se o desempenho e consumo de energia a partir de simulações transientes, conforme metodologias comumente encontradas na bibliografia.

O desempenho pode ser representado pelo atraso de detecção t_{SA} do circuito amplificador sensor e determinado pela Equação 3.1, conforme mencionado na Subseção 2.4.2. A partir de simulação transiente em *ngspice*, utiliza-se o comando `meas` em seção de controle para capturar a medida entre os instantes de tempo em que os sinais SAE e OUT atingem 50% e 10% de VDD, respectivamente em subida e descida.

$$t_{SA} = t|_{V_{OUT}=0.1V_{DD}} - t|_{V_{SAE}=0.5V_{DD}} \quad (3.1)$$

De acordo com Na et al. (2014), a potência total P_{SA} (Equação 3.2) do amplificador sensor FSPA-VLSA é composta pela potência estática P_S (Equação 3.3) e dinâmica P_D (Equação 3.4). O consumo estático ocorre devido às correntes inválidas em P1 e P2, a corrente de fuga sub-limiar I_{leak} dos transistores em corte e a corrente de fuga de *gate* dos

transistores ativados. O consumo dinâmico é principalmente ocasionado pela corrente de detecção I_{NF} que limita a corrente máxima do *latch*. Dessa forma, o consumo total pode ser quantificado a partir de simulação transiente pelo valor médio da potência no período de tempo desde a ativação do circuito até a estabilidade ser atingida.

$$P_{SA} = P_S + P_D \quad (3.2)$$

$$P_S = (V_{DD} - V_{BL})I_{P1} + (V_{DD} - V_{BLB})I_{P2} + V_{DD}I_{leak} \quad (3.3)$$

$$P_D = V_{DD}I_{NF} \quad (3.4)$$

Na ausência de referência do leiaute físico dos circuitos simulados, estima-se a área pela superfície total de *gate* dos transistores que os compõem, definida pelo somatório de produtos entre as dimensões de canal W e L de enésimos transistores, conforme a Equação 3.5. Dessa forma, para o FSPA-VLSA, a área do amplificador sensor A_{SA} estimada pela área total de *gate* do circuito é dada pela Equação 3.6.

$$A_T = \sum_{k=1}^n W_k L_k \quad (3.5)$$

$$A_{SA} = [2(W_{PA} + W_{PL} + W_{NL}) + W_{NFS}] L \quad (3.6)$$

3.4 Ferramentas Utilizadas

3.4.1 Google/SkyWater PDK (SKY130)

Um PDK é uma ferramenta em *software* que consiste em diversos pacotes de informação proprietária utilizados na indústria de semicondutores para modelar o processo de fabricação de uma *foundry*. É criado de forma a assegurar que as práticas e regras de concepção dos circuitos integrados sejam seguidas durante o fluxo de projeto envolvendo outras ferramentas de EDA, normalmente comerciais. Fábricas de semicondutores desenvolvem seus próprios PDKs definindo a variante tecnológica disponível em seus processos, sendo normalmente distribuído aos clientes para concepção, simulação e projeto de leiaute. Por fim, retorna-se o projeto à fábrica para produção dos circuitos integrados.

Em junho de 2020, as empresas de tecnologia *Google* e *SkyWater Technology* colaboraram na publicação do primeiro PDK de código completamente aberto já disponibilizado pela indústria de semicondutores, divulgado em repositório GitHub sob licença gratuita Apache 2.0. O PDK é conhecido por SKY130, em tecnologia CMOS de 130 nm, permitindo aos projetistas de circuitos integrados ao redor do mundo o acesso irrestrito de uso e desenvolvimento da tecnologia para concepção de novos ASICs plenamente *open source* (MILLER; KASSEM, 2020). No período de utilização da ferramenta ao desenvolvimento do projeto do amplificador sensor, o SKY130 PDK é visto como experimental, não sendo ainda versionado produtivamente.

Muito embora o processo de fabricação de semicondutores de tecnologia 130 nm possa ser considerado um nó tecnológico CMOS defasado, datando de 2001, ainda agrega valor substancial principalmente em aplicações de IoT de sinais mistos para computação de borda, gerenciamento de energia, integração de sensores inteligentes entre diversos outros propósitos. Também, em retrospectiva histórica, a tecnologia de 130 nm foi utilizada para desenvolvimento do processador de 2 GHz Intel Pentium 4, um marco de inovação de projeto.

Segundo Edwards (2020), os ganhos de uso do PDK de código aberto para o projetista são claros: não há necessidade de assinar acordos de não-divulgação, permitindo distribuição irrestrita dos dados de forma que o projeto inteiro possa ser compartilhado, beneficiando a comunidade acadêmico-científica e permitindo a colaboração em resolução de eventuais problemas. Também, fortalece a integração com outras ferramentas de EDA de código aberto, a exemplo do simulador elétrico *ngspice*, igualmente utilizado no desenvolvimento do projeto do amplificador sensor. Ao contrário de PDKs genéricos difundidos na esfera acadêmica como o FreePDK45, baseados em modelagem preditiva, o SKY130 é atrelado ao processo de fabricação da *SkyWater* e portanto protótipos tendem a ser manufaturáveis.

O SKY130 PDK possui diversas bibliotecas disponibilizadas pela própria *SkyWater*, como dispositivos primitivos, células digitais padrão e periféricos. No contexto do projeto do amplificador sensor, algumas das variações disponíveis de dispositivos e células foram experimentadas, sendo essas descritas nas subseções 3.4.1.1 e 3.4.1.2.

3.4.1.1 Bibliotecas de Dispositivos Primitivos

Os modelos de dispositivos primitivos do SKY130 PDK descritos na Tabela 3.1 se diferem em variações PMOS e NMOS padrão e baixa e alta tensão de limiar (LVT e

HVT), os quais possuem implantes de ajuste de tensão de limiar no canal dos transistores. São esses os dispositivos utilizados na experimentação de projeto do amplificador sensor, tanto para transistores de isolamento e ativação quanto às células padrão de inversores do *latch*, sendo escolhidos em função da baixa tensão de operação 1.8 V, permitindo um baixo nível de VDD e, por consequência, consumo de energia reduzido.

A modelagem dos dispositivos MOS é baseada em *bins*, que definem razões $\frac{W}{L}$ específicas para diferentes grupos de valores de parâmetros do modelo. Cada *bin* delimita regiões de W e L onde os parâmetros são possivelmente interpolados, permitindo a escalabilidade do modelo. Maiores quantidades de *bins* representam mais combinações $\frac{W}{L}$ de parâmetros bem definidos. Extrapolar a largura e comprimento de canal mínimos e máximos dos modelos não é plausível, sendo assim, valores de W_{min} , W_{max} , L_{min} e L_{max} delimitam o espaço de projeto dos transistores.

Tabela 3.1: Modelos de dispositivos primitivos MOSFET 1.8 V do SKY130 PDK utilizados no projeto

| Dispositivo | Variação | Modelo | Nº bins | W_{min} (μm) | W_{max} (μm) | L_{min} (μm) | L_{max} (μm) |
|-------------|------------------------------|-----------------------------|---------|--------------------------|--------------------------|--------------------------|--------------------------|
| PMOS | Padrão | sky130_fd_pr__pfet_01v8 | 52 | 0.42 | 7.0 | 0.15 | 20.0 |
| | Baixa tensão de limiar (LVT) | sky130_fd_pr__pfet_01v8_lvt | 40 | 0.42 | 7.0 | 0.35 | 20.0 |
| | Alta tensão de limiar (HVT) | sky130_fd_pr__pfet_01v8_hvt | 68 | 0.36 | 7.0 | 0.15 | 20.0 |
| NMOS | Padrão | sky130_fd_pr__nfet_01v8 | 63 | 0.36 | 7.0 | 0.15 | 20.0 |
| | Baixa tensão de limiar (LVT) | sky130_fd_pr__nfet_01v8_lvt | 38 | 0.42 | 7.0 | 0.15 | 8.0 |

Fonte: Autor.

Também, o PDK dispõe de modelos de dispositivos considerando as diferentes *process corners*, as quais representam as condições extremas de variação de parâmetros de fabricação dos circuitos integrados. Em efeito de simplificação, os modelos de dispositivos MOSFET utilizados no projeto são de *corner* típica-típica (TT), que subentende a ausência mútua de variação significativa dos parâmetros em PMOS e NMOS. Ainda sim, nas circunstâncias de fabricação do *wafer*, torna-se relevante performar a validação do projeto final para as demais *corners* a fim de detectar desvios críticos de funcionamento.

3.4.1.2 Bibliotecas de Células Digitais Padrão

Das bibliotecas de células digitais padrão (*standard cell libraries*) disponibilizadas pela *SkyWater*, foram exclusivamente utilizadas três variações de inversor de uma entrada (INV1). São essas as variações LP, HS e HD, projetadas para atingirem menor consumo de energia, maior desempenho e menor área, respectivamente, sendo todas implementadas com transistores de baixa tensão (1.8 V) referidos na Subsubseção 3.4.1.1.

Na Tabela 3.2, tem-se as especificações das variações de inversor de uma entrada bem como dos dispositivos MOSFET presentes em seus modelos SPICE. No contexto de projeto do amplificador sensor FSPA-VLSA, são analisadas comparativamente em desempenho, consumo e área quando utilizadas em *latch* no objetivo de determinação da alternativa que atinge melhor contrabalanço entre esses fatores.

Tabela 3.2: Especificações das células digitais do SKY130 PDK utilizadas no projeto

| Célula | Variação | Modelo | Dispositivos | | | |
|--------------------|-------------------------|------------------------|--------------|-----------------------------|------------------------|------------------------|
| | | | Tipo | Modelo | W (μm) | L (μm) |
| Inversor (INV1) | Baixo Consumo (LP) | sky130_fd_sc_lp__inv_1 | PMOS | sky130_fd_pr__pfet_01v8_hvt | 1.26 | 0.15 |
| | | | NMOS | sky130_fd_pr__nfet_01v8 | 0.84 | 0.15 |
| | Alta Velocidade (HS) | sky130_fd_sc_hs__inv_1 | PMOS | sky130_fd_pr__pfet_01v8 | 1.12 | 0.15 |
| | | | NMOS | sky130_fd_pr__nfet_01v8_lvt | 0.74 | 0.15 |
| | Alta Densidade (HD) | sky130_fd_sc_hd__inv_1 | PMOS | sky130_fd_pr__pfet_01v8_hvt | 1 | 0.15 |
| | | | NMOS | sky130_fd_pr__nfet_01v8 | 0.65 | 0.15 |

Fonte: Autor.

3.4.1.3 Limitações

Em experimentação com *ngspice 35* (Subseção 3.4.2) e os modelos SPICE disponibilizados na biblioteca de dispositivos primitivos do SKY130 PDK, ainda em fase experimental (Subsubseção 3.4.1.1), observa-se comportamento impreciso ao performar varreduras de parâmetros do MOSFET como a largura de canal W e comprimento L . A partir de laços de iteração `while` e comando `alter` na seção de controle do simulador elétrico, conforme sugerido no manual de usuário da aplicação (VOGT et al., 2021), espera-se inferir o comportamento do circuito para diferentes iterações de parâmetros. No entanto, os resultados divergentes obtidos sugerem não ser ideal utilizar essa funcionalidade do simulador com os modelos SPICE do PDK.

Ao reportar e discutir o problema juntamente a desenvolvedores de ferramentas

como o *Open_PDKs* (EDWARDS, 2020), que compila o SKY130 PDK em formato padronizado para utilização facilitada em outras ferramentas de código aberto, descobriu-se limitação dos modelos em faixas interpoladas dos parâmetros W e L nos laços iterativos em *ngspice*. Em função dos modelos serem baseados em *bins* e, portanto, caracterizados para razões $\frac{W}{L}$ específicas, esses possuem descontinuidades elevadas para alguns de seus parâmetros nas regiões entre *bins*. Devido a essa limitação, não é factível encontrar dimensões otimizadas dos dispositivos a partir de varreduras de $\frac{W}{L}$ para faixas contínuas e não caracterizadas em *bins*.

Para corrigir esse comportamento, haveria esforço em andamento pelos desenvolvedores de refatoração em modelagem contínua dos modelos SPICE do PDK, permitindo determinação mais precisa de dimensões ideais dos dispositivos. De modo a contornar essa limitação e tornar possível o projeto do amplificador sensor em tempo hábil, são utilizados nas simulações elétricas apenas valores discretos de dimensões W e L, modelados pelos *bins* existentes nas faixas descritas pela Tabela 3.1.

3.4.2 Simulador Elétrico *ngspice* 35

A aplicação *ngspice* é um simulador de circuitos eletrônicos de código aberto, oferecendo suporte a diversos modelos de dispositivos ativos, passivos, analógicos e digitais. É compatível com linguagem SPICE, sendo possível utilizar os modelos e bibliotecas disponibilizados por fábricas de semicondutores. Funciona com base em definição de circuito em arquivo *netlist* no qual o usuário ainda pode especificar rotinas de controle de simulações como DC, AC e transientes.

O projeto a nível de transistores do amplificador sensor utilizando o SKY130 PDK (Subseção 3.4.1) requer simulador elétrico capaz de manipular *netlists* dos modelos SPICE de bibliotecas e células padrão disponibilizadas pela *foundry*. Assim, o *ngspice* é escolhido por ser ferramenta de desenvolvimento ativo com as funcionalidades necessárias, possuindo compatibilidade com o PDK em adaptações publicadas em suas últimas versões e através de ferramentas auxiliares desenvolvidas pela comunidade.

Ainda, tendo em vista um dos grandes desafios do ecossistema *open source* ser a dificuldade de integração entre as diferentes ferramentas necessárias no fluxo de projeto de circuitos integrados (EDWARDS, 2020), a utilização de simulador elétrico e PDK de código aberto é também experimental e pretende contribuir com a adoção e manutenção dessas ferramentas. Por exemplo, durante a utilização de ferramenta auxiliar

"*RTimothyEdwards/open_pdk*s" em repositório GitHub, foi encontrado problema com a compilação do SKY130 em rotina de adaptação dos parâmetros estatísticos dos modelos SPICE para definições compatíveis com *ngspice*, sendo esse problema reportado na plataforma e solucionado em colaboração com o desenvolvedor no dia seguinte.

3.4.3 Linguagem de Programação *Python 3*

Python é uma linguagem de programação de alto nível, interpretada, orientada a objetos e com tipagem dinâmica. O interpretador *Python* e a extensa biblioteca padrão são disponibilizados gratuitamente em formato binário ou em código-fonte sob licença PSFL compatível com GPL. Entre as principais vantagens de sua utilização, destaca-se a rápida prototipação e desenvolvimento de aplicações e rotinas. Sua sintaxe simples enfatiza a legibilidade do código e reduz o custo de manutenção dos programas.

No desenvolvimento do projeto, utilizou-se o interpretador do *Python 3* por ser ferramenta gratuita de código aberto que permite ágil desenvolvimento e manipulação de dados a partir de bibliotecas desenvolvidas pela comunidade como *numpy* e *matplotlib*. As rotinas desenvolvidas facilitam a automatização e paralelização de simulações executadas em *ngspice* (Subseção 3.4.2), manipulação de resultados e geração de visualizações gráficas.

4 PROJETO DESENVOLVIDO

Conforme detalhado no Capítulo 3, o projeto do circuito FSPA-VLSA é desenvolvido a partir de metodologia de projeto do esquema elétrico em subdivisão de etapas, sendo essas a determinação das larguras de canal W_{P_L} e W_{N_L} dos transistores do *latch* estático (Seção 4.1), $W_{N_{FS}}$ do transistor de ativação NMOS (Seção 4.2), W_{P_A} dos transistores de acesso PMOS (Seção 4.3) e a sensibilidade definida pelo mínimo diferencial de tensão de entrada ΔV_{BL} (Seção 4.4).

Por fim, na Seção 4.6, é feita avaliação comparativa do circuito projetado a partir de tabela referencial de pontuações, estruturada com base em método de soma ponderada da análise de decisão multicritério (MCDA). Para tanto, utiliza-se de metodologia força-bruta para execução de múltiplas simulações elétricas em varredura das variáveis de dimensionamento de todos os transistores, calculando-se as pontuações finais baseadas nas ponderações de desempenho, consumo e área das diferentes combinações de projeto obtidas.

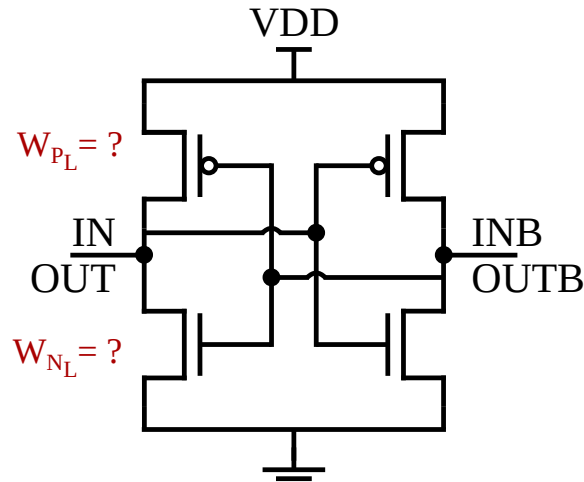
4.1 Projeto do *Latch* Estático

O projeto do FSPA-VLSA inicia pela determinação das dimensões W_{P_L} e W_{N_L} dos transistores do *latch* da Figura 4.1. O circuito é composto por dois inversores CMOS IN-OUTB e INB-OUT conectados em anti-paralelo, tal que a entrada de um seja simultaneamente a saída do outro, conforme representado na Figura 2.13. Na ocasião, são abstraídos os transistores de acesso PMOS e o desacoplamento das *bit lines*, bem como o transistor de ativação NMOS.

Em função da limitação do SKY130 PDK descrita na Subsubseção 3.4.1.3, a primeira tentativa de projeto do *latch* atinge resultados inconclusivos. Na ocasião, foram feitas simulações transientes do circuito variando-se W_{P_L} e W_{N_L} em laços iterativos aninhados para faixas contínuas de valores, esperando-se obter visualizações gráficas do atraso e potência média para determinação das dimensões ideais. Tais resultados mostraram-se inconsistentes em função das descontinuidades elevadas de parâmetros interpolados dos modelos dos dispositivos nas regiões entre *bins*.

A primeira alternativa válida seria, então, a varredura de W_P e W_N apenas para valores discretos definidos em *bins* dos modelos. No entanto, para além da determinação das dimensões de canal, tem-se a disponibilidade de modelos de dispositivos PMOS e

Figura 4.1: Circuito do *latch* estático e variáveis de projeto a serem determinadas



Fonte: Autor.

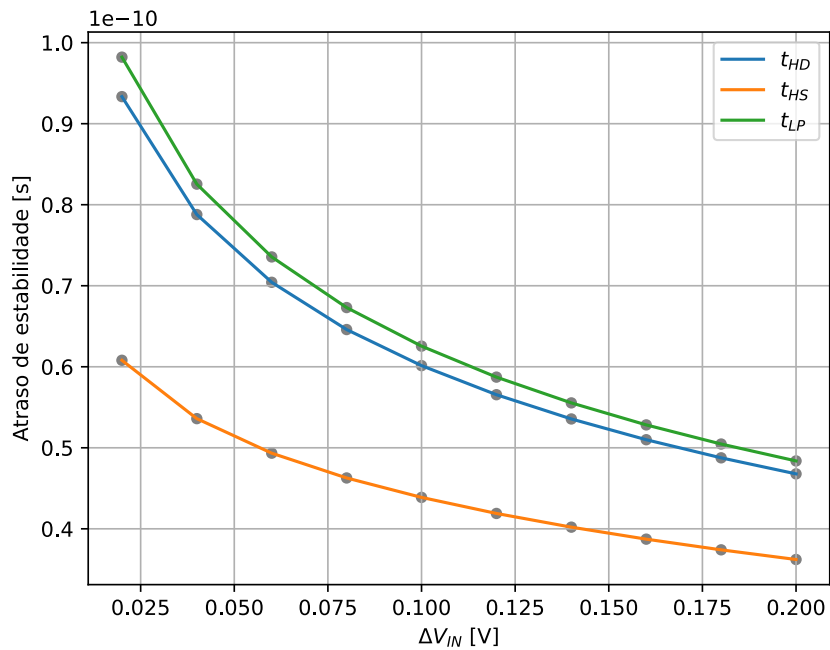
NMOS do SKY130 PDK em três gêneros, padrão, LVT e HVT (Subsubseção 3.4.1.1), havendo também células digitais inversoras de uma entrada (INV1) disponíveis em variações de baixo consumo, alta velocidade e alta densidade (Subsubseção 3.4.1.2) utilizando distintas combinações dos dispositivos primitivos.

Dessa forma, levando em consideração os diferentes gêneros de dispositivos e para minimização de varreduras em múltiplos *bins* entre as diversas combinações possíveis, opta-se pela experimentação das três variantes de inversores HD, HS e LP já disponíveis do PDK. Nota-se que, em comum a todas as células, as dimensões de canal L dos transistores são o valor mínimo permitido pelo PDK, em acordo com a definição de projeto do FSPA-VLSA.

Para comparação do desempenho e consumo das variantes de inversores, são feitas simulações transientes de 300 ps em varredura do diferencial de tensão de entrada inicial ΔV_{IN} do *latch*. São obtidos os valores das métricas de atraso de estabilidade, definida pelo atraso de tempo entre o instante inicial até a diferença entre V_{OUT} e V_{OUTB} atingir 90% de VDD, e a potência total média, determinada pelo valor médio de potência consumida pelo circuito no período da simulação. Os resultados obtidos podem ser visualizados pelas curvas de atraso de estabilidade e potência total média das Figuras 4.2 e 4.3, respectivamente.

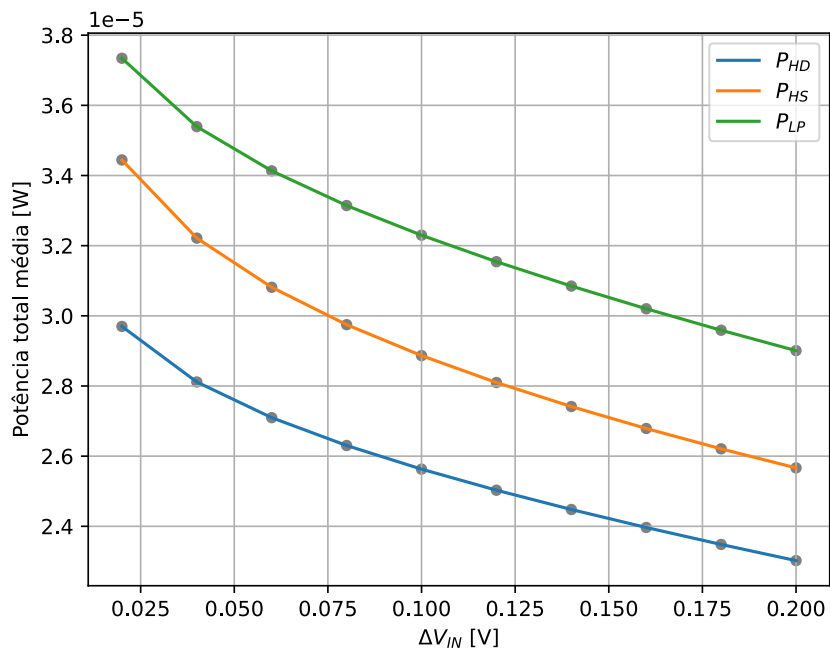
Da Figura 4.2, nota-se o decaimento exponencial do atraso até os circuitos atingirem a estabilidade conforme o diferencial de tensão de entrada inicial é aumentado. Esse comportamento decorre do maior viés do sistema à sua condição de estabilidade em $V_{OUT} = 0$ e $V_{OUTB} = VDD$ com ganho diferencial elevado e forte realimentação po-

Figura 4.2: Curvas de atraso de estabilidade em função do diferencial de tensão de entrada inicial do *latch* para as diferentes variantes de células



Fonte: Autor.

Figura 4.3: Curvas de potência total média em função do diferencial de tensão de entrada inicial do *latch* para as diferentes variantes de células



Fonte: Autor.

sitiva, tal que o tempo de descarga da capacitância do circuito seja reduzido e o *latching* ocorra mais rapidamente.

Das curvas de atraso de estabilidade, observa-se o maior desempenho da variação HS, especialmente em valores baixos de ΔV_{IN} , enquanto as variações HD e LP possuem desempenhos equiparáveis, com piores atrasos para *latch* de inversores LP. O desempenho elevado do *latch* de inversores HS pode ser explicado pela utilização de NMOS LVT, de forma que a menor tensão de limiar permita atingir correntes de dreno maiores, conforme Equações 2.6 e 2.8, reduzindo-se portanto o atraso do circuito dado que as capacitâncias de entrada são mais rapidamente descarregadas pela rede *pull-down*.

A Figura 4.3 mostra também o decaimento da potência total média conforme o aumento de ΔV_{IN} para todas as variações de inversores. Menor sendo o atraso até a estabilidade do circuito ser atingida, o período de predominância da potência dinâmica é também reduzido em consequência da operação acelerada, prevalecendo portanto a potência estática de menor magnitude após o *latching*, o que culmina em menor valor médio de potência total.

Das curvas de potência total média, observa-se que, ao contrário da expectativa de baixa potência ao *latch* composto por inversores LP, este possui o maior consumo enquanto a variante HD atinge os menores patamares. Dessa forma, conclui-se que o consumo do *latch* está correlacionado à área total de *gate*, tal que o circuito composto por inversores de alta densidade possui os transistores de menores dimensões e, portanto, menor capacitância parasita. Inversamente, o *latch* de inversores LP possui a maior área total de *gate*, culminando no consumo elevado observado. Ainda, apesar da variação LP apresentar o pior consumo total avaliado, a depender do ciclo de trabalho do circuito SA, é possível que atinja menor consumo em função da redução de potência estática.

De acordo com os resultados das simulações, tem-se que ambos o desempenho e o consumo do *latch* diminuem conforme diferenciais de tensão de entrada iniciais maiores. No contexto do amplificador sensor, essa constatação quanto ao comportamento do *latch* frente a ΔV_{IN} contradiz o objetivo de minimização de ΔV_{BL} e reafirma um dos seus principais compromissos de projeto. Visto que o atraso e o consumo decorrentes da descarga das *bit lines* são muito elevados em comparação ao período dinâmico do *latch*, operar em menores diferenciais de tensão iniciais torna-se favorável.

Em função dos resultados obtidos, opta-se pela utilização do *latch* de inversores HD no projeto do amplificador sensor FSPA-VLSA. A escolha é determinada pelo contrabalanço entre desempenho, consumo de energia e área total estimada do circuito. Com a utilização de inversores HD comparativamente às variantes HS e LP, atinge-se desempenho mediano e melhores consumo e área. Na Tabela 4.1, apresenta-se em maiores detalhes

a avaliação comparativa dos critérios para as diferentes variantes de células utilizadas no circuito *latch*, onde melhores desempenho, consumo e área condizem com menores atraso de estabilidade, potência total média e área total de *gate*, respectivamente.

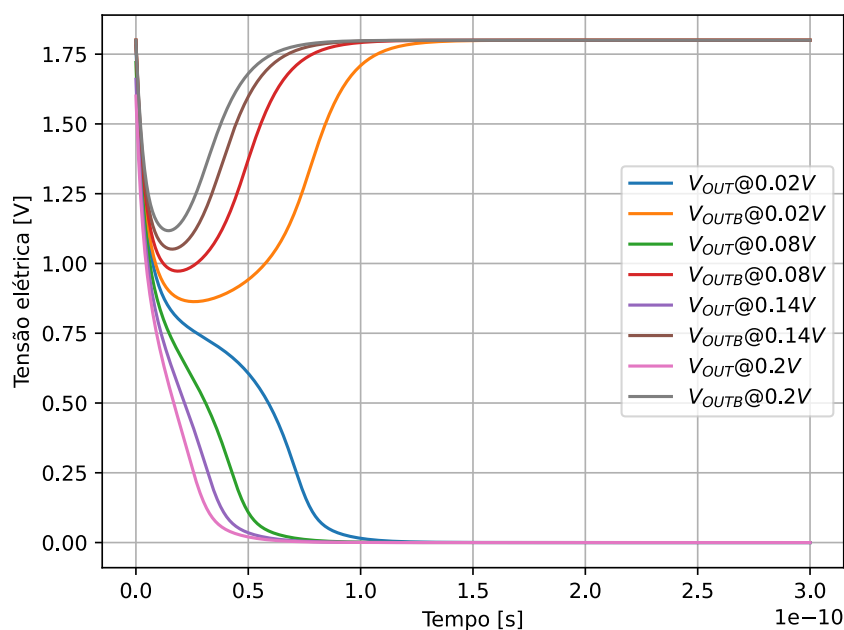
Tabela 4.1: Comparação de critérios de avaliação dos circuitos *latch* compostos por células de inversores HD, HS e LP

| Células utilizadas | Desempenho | Consumo | Área |
|--------------------|------------|---------|---------|
| Inversores HD | Mediano | Melhor | Melhor |
| Inversores HS | Melhor | Mediano | Mediano |
| Inversores LP | Pior | Pior | Pior |

Fonte: Autor.

A Figura 4.4 mostra os sinais transientes de tensão nas saídas OUT e OUTB do *latch* de inversores HD para valores distintos de ΔV_{IN} . Nota-se a semelhança dos sinais obtidos a partir das simulações transientes à operação analisada teoricamente para amplificadores sensores VLSA conforme a Figura 2.14. Maiores diferenciais de tensão em instante inicial incorrem em resposta acelerada de realimentação positiva do circuito tal que a condição de estabilidade seja atingida mais rapidamente.

Figura 4.4: Sinais transientes de tensão nas saídas do *latch* de inversores HD em distintos diferenciais de tensão de entrada iniciais

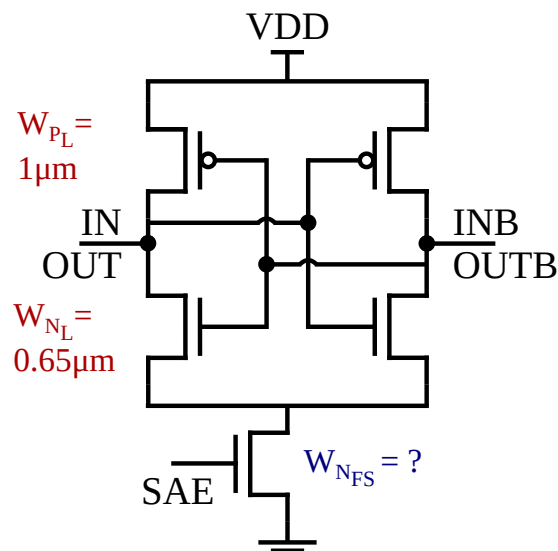


Fonte: Autor.

4.2 Projeto do Transistor de Ativação NMOS

Após a definição do dimensionamento do *latch*, prossegue-se com a segunda etapa de projeto do FSPA-VLSA, na qual analisa-se o comportamento do transistor de ativação NMOS (*footswitch*) para determinação de sua dimensão $W_{N_{FS}}$ em comprimento de canal mínimo. O circuito parcial projetado nessa etapa é visto na Figura 4.5, com valores de W_{P_L} e W_{N_L} congruentes ao dimensionamento dos transistores de inversores HD, conforme Tabela 3.2.

Figura 4.5: Circuito de *latch* estático ativado por sinal SAE em transistor NMOS e variável de projeto a ser determinada

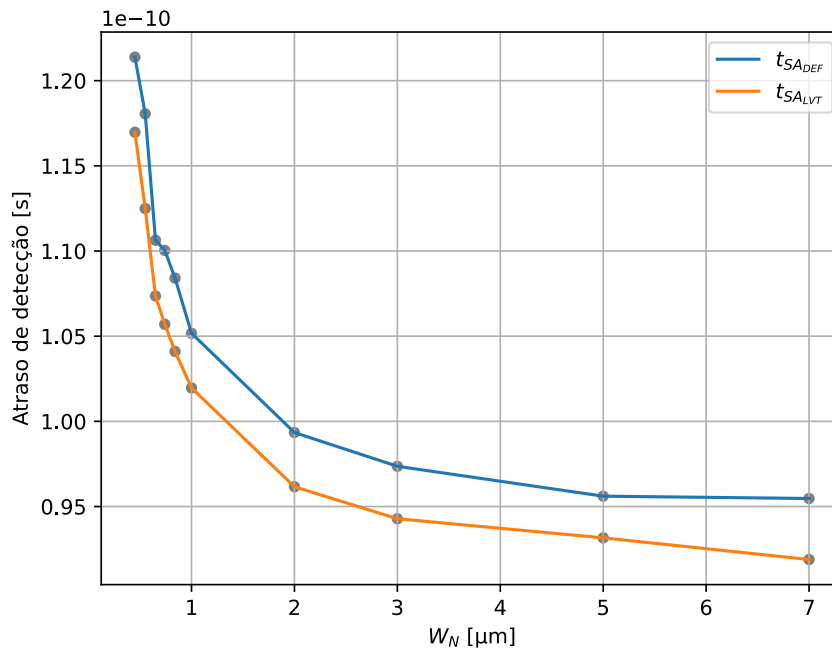


Fonte: Autor.

O terminal de *gate* do transistor de ativação é controlado pelo sinal SAE, tal que a transição baixo-alto do sinal habilite a operação do *latch* a partir da corrente de dreno do transistor NMOS. Assim, o projeto do transistor NMOS é determinante em atingir o alvo de desempenho e consumo do amplificador sensor, visto que o dispositivo atua tal qual fonte de corrente, limitando a corrente elétrica máxima permitida ao circuito em seu estado de saturação.

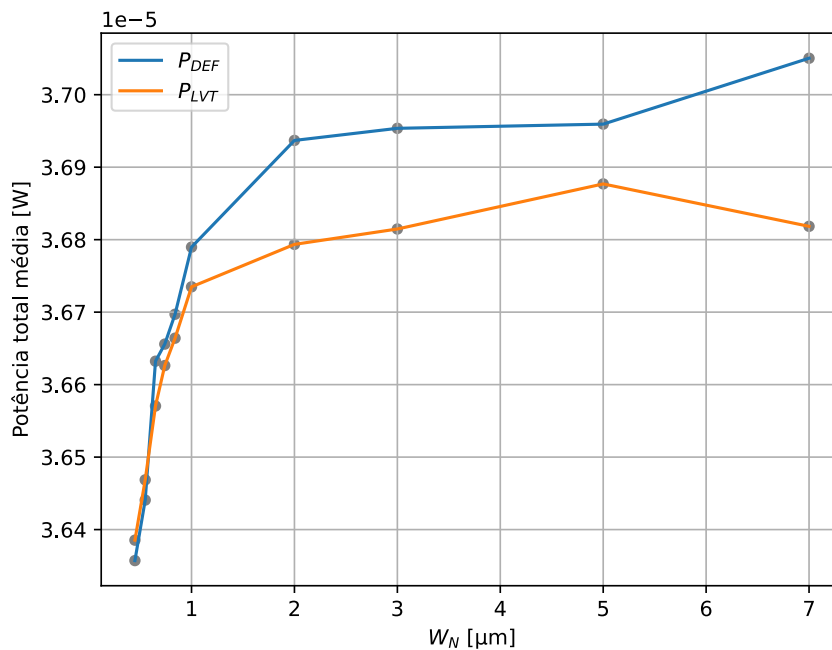
Na hipótese de obtenção de correntes maiores em dispositivos de baixa tensão de limiar, são comparados os modelos NMOS padrão (DEF) e LVT do SKY130 PDK a partir de simulações transientes de 350 ps em $\Delta V_{IN} = 20mV$, sendo feita varredura de valores discretos da largura de canal comuns aos *bins* dos dois modelos. As Figuras 4.6 e 4.7 mostram as curvas obtidas para as métricas de atraso de detecção e potência total média, conforme descritas na Seção 3.3, para os diferentes valores de W_N .

Figura 4.6: Curvas de atraso de detecção em função da largura de canal dos modelos NMOS padrão (DEF) e LVT para $\Delta V_{IN} = 20mV$



Fonte: Autor.

Figura 4.7: Curvas de potência total média em função da largura de canal dos modelos NMOS padrão (DEF) e LVT para $\Delta V_{IN} = 20mV$



Fonte: Autor.

Da Figura 4.6, observa-se comportamento de decaimento exponencial do atraso de detecção t_{SA} para ambos modelos conforme o aumento da largura de canal do tran-

sistor NMOS, sugerindo melhores desempenhos para maiores áreas do dispositivo. Esse decaimento é mais expressivo na faixa de W_N entre a largura mínima de $0.42\mu m$ e $2\mu m$, com pouca variação para larguras de canal ainda maiores. Em comum aos dois modelos, ocorre ganho de desempenho de aproximadamente 30% do circuito com transistor de largura de canal máxima de $7\mu m$ em comparação ao de mínima largura, correspondendo a área 16 vezes maior.

O resultado de maior desempenho para maior largura de canal do transistor pode ser explicado pelo aumento da corrente de dreno máxima permitida ao dispositivo em saturação, conforme a relação de I_{DS} e W da Equação 2.8. Dessa forma, conforme o aumento de W_N , maior é a corrente pelo caminho de N_{FS} tal que as capacitâncias do amplificador sensor têm cargas e descargas mais velozes, o que incorre em menor atraso de detecção. Igualmente, a relação de corrente de dreno depende da tensão de limiar V_{th} e, portanto, o transistor NMOS LVT é capaz de atingir de forma generalizada maior corrente e desempenho em comparação ao modelo padrão.

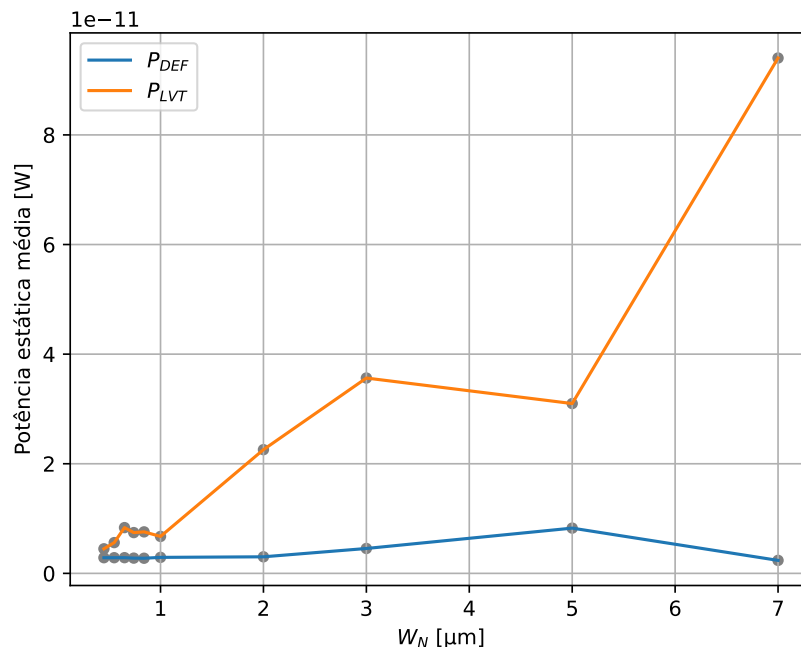
Em função do aumento de corrente para W_N maior, observa-se o aumento de consumo de energia conforme as curvas de potência total média da Figura 4.7. No entanto, esse aumento é inexpressivo, sendo o consumo do circuito com transistor de W_N máximo em média 1,5% maior do que o do circuito com largura mínima para os dois modelos NMOS. A variação do consumo total é mitigada em consequência do melhor desempenho permitir a estabilidade antecipada do *latch*, circunstância na qual o amplificador sensor apenas dissipa reduzida potência estática. Esse entendimento condiz com o consumo total ligeiramente menor ao dispositivo LVT em comparação ao modelo padrão, a despeito de sua maior corrente de dreno.

Em análise da potência estática dissipada pelo circuito desativado, no mesmo período de simulação e com sinal SAE em nível lógico baixo ($V_{GS} = 0$), observa-se da Figura 4.8 que o consumo estático atinge valores baixos em até dezenas de pW. Chatterjee et al. (2003) indica figura de mérito dada pela razão de correntes I_{ON} e I_{OFF} na ordem de 10^5 para tecnologias CMOS de 130 nm. Das simulações, como I_{ON} atinge valores aproximados a dezenas de μA e I_{OFF} em até dezenas de pA, tem-se razão de 10^6 , indicando bom desempenho para baixa corrente de fuga.

Das curvas de potência estática média, tem-se que o dispositivo LVT possui consumo estático mais elevado em comparação ao dispositivo NMOS padrão, variação apenas expressiva para larguras de canal acima de $1\mu m$. A redução de tensão de limiar, apesar de garantir melhor desempenho pela elevação da corrente I_{ON} , também resulta em maior

corrente de fuga I_{OFF} e, portanto, maior consumo estático.

Figura 4.8: Curvas de potência estática média em função da largura de canal dos modelos NMOS padrão (DEF) e LVT para $V_{IN} = V_{INB} = V_{DD}$



Fonte: Autor.

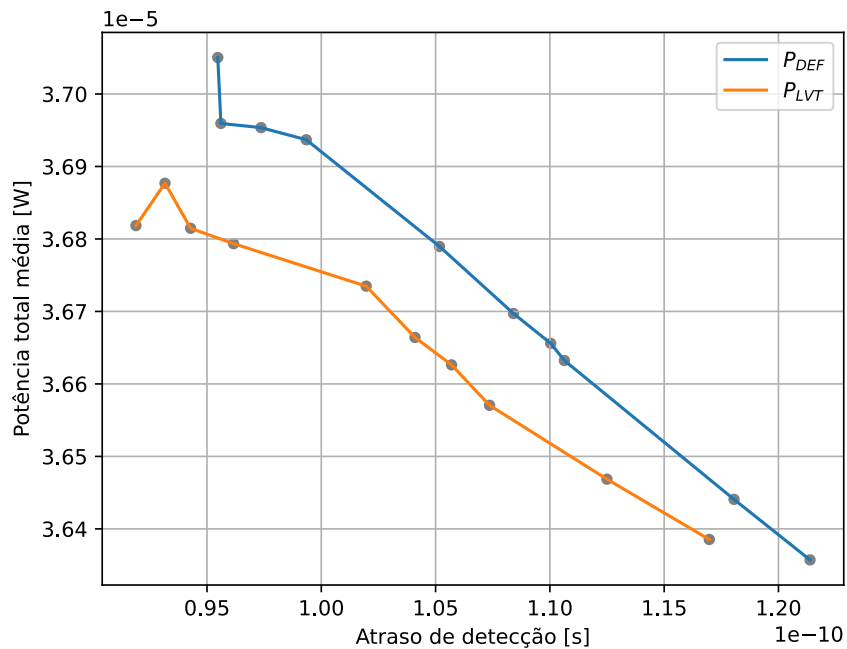
Em suma, no projeto do transistor de ativação N_{FS} , há o compromisso entre as três métricas de avaliação, tal que o aumento da área do dispositivo incorra em maior desempenho e consumo. A Figura 4.9 demonstra esse compromisso aos dois modelos NMOS conforme a variação de W_N . O maior valor de potência total média é atingido para W_N máximo e, nessa ocasião, tem-se o menor atraso de detecção, o que condiz com melhor desempenho.

Dessa forma, tendo em vista os melhores desempenho e consumo atingidos para modelo NMOS LVT, opta-se pela utilização desse dispositivo no projeto do FSPA-VLSA. Dado que para faixas de W_N maiores do que $2\mu\text{m}$ o ganho em desempenho é inexpressivo, com aumento da área de *gate* significativo, não é observada vantagem em dimensionar o transistor além desse valor. Em função da baixa variação de consumo dinâmico nessa mesma faixa, o principal compromisso ocorre entre desempenho e área.

Portanto, considerando ainda pouca flutuação de potência estática média até $W_N = 1\mu\text{m}$ em comparação ao mínimo valor, a largura de canal do transistor de ativação selecionada é de $1\mu\text{m}$, garantindo-se nesse valor intermediário atraso de detecção reduzido em 14,70% quando comparado ao circuito com transistor de dimensões mínimas, ao custo de área de *gate* 2,4 vezes maior. A Figura 4.10 mostra os sinais transientes de saída do

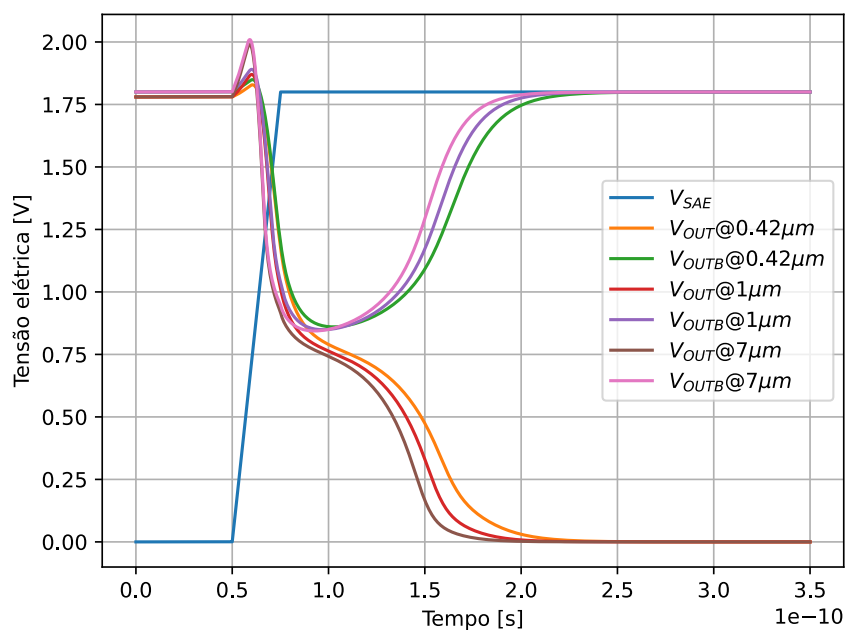
circuito para valores de W_N mínimo, escolhido e máximo.

Figura 4.9: Curvas de potência total média em função do atraso de detecção para diferentes larguras de canal dos modelos NMOS padrão (DEF) e LVT



Fonte: Autor.

Figura 4.10: Sinais transientes de tensão nas saídas do circuito em $\Delta V_{IN} = 20mV$ para valores distintos de W_N do transistor NMOS LVT ativado por SAE

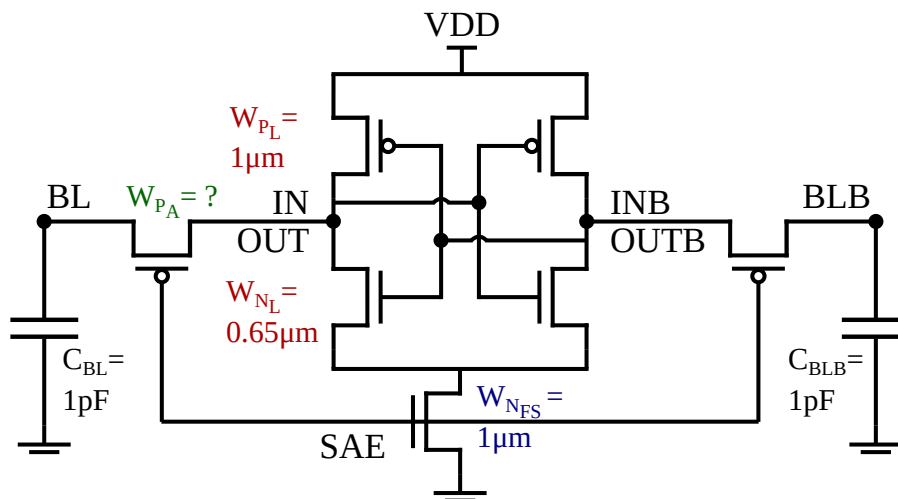


Fonte: Autor.

4.3 Projeto dos Transistores de Acesso PMOS

Em última etapa de dimensionamento de dispositivos do circuito FSPA-VLSA da Figura 4.11, é feita análise dos transistores de acesso, utilizando-se os valores de W_{PL} , W_{NL} e W_{NFS} e modelos de transistores previamente definidos nas Seções 4.1 e 4.2. O objetivo nessa etapa é a determinação da largura de canal W_{PA} aos dois transistores de passagem PMOS, atingindo-se otimização simultânea de desempenho, consumo e área do projeto final.

Figura 4.11: Circuito FSPA-VLSA em determinação da largura de canal W_{PA} dos transistores de acesso PMOS

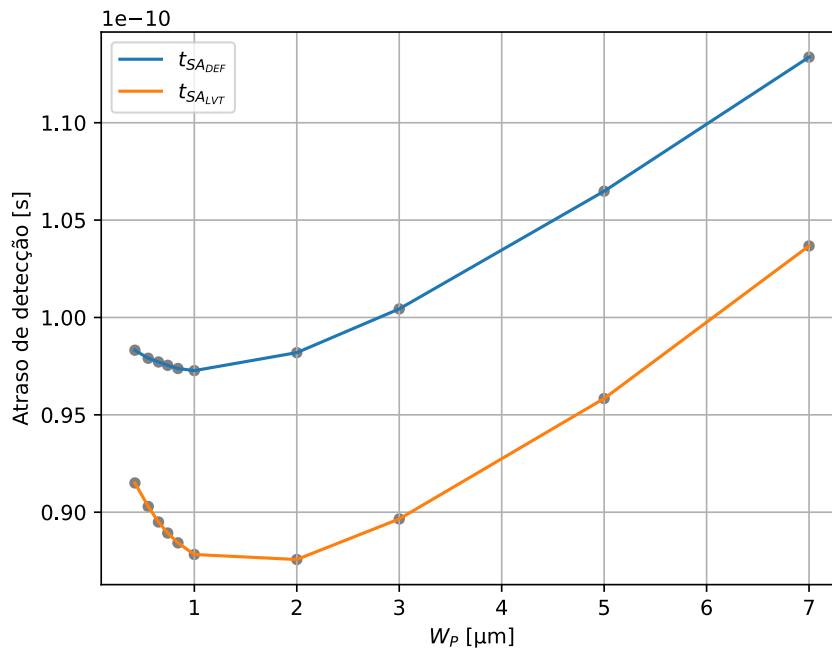


Fonte: Autor.

Os transistores de acesso do FSPA-VLSA permitem desacoplá-lo do par de *bit lines* altamente capacitivos enquanto o circuito estiver ativado por SAE durante a leitura da memória. Na expectativa de capturar a influência das *bit lines* no funcionamento do circuito, são considerados valores discretos de capacitâncias $C_{BL} = C_{BLB} = 1pF$ que simulem a carga das *bit lines* desacopladas do amplificador sensor, baseando-se portanto na análise performada por Do et al. (2008) para tecnologia CMOS 180 nm.

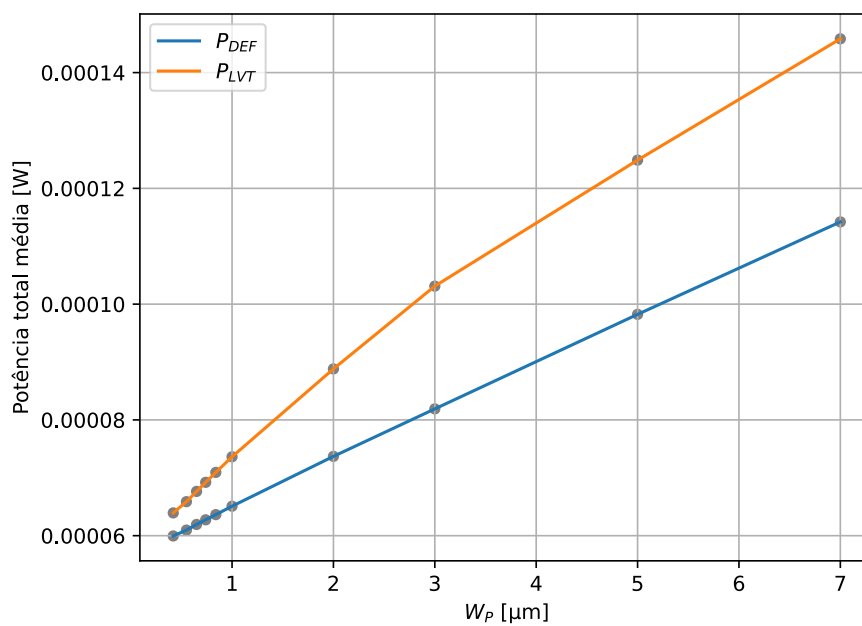
Conhecendo-se da característica DC de transistores de passagem PMOS a imperfeição de condução da tensão V_{BL} em níveis abaixo de VDD, correlacionada principalmente a V_{th} , são comparados os modelos PMOS padrão (DEF) e baixa tensão de limiar (LVT) do SKY130 PDK. Em simulações transientes de 350 ps, com tempo de subida do sinal SAE de 25 ps e $\Delta V_{BL} = 20mV$, são feitas varreduras de W_{PA} em valores de *bins* comuns aos dois modelos, observando-se o efeito do dimensionamento do dispositivo no atraso de detecção (Figura 4.12) e potência total média (Figura 4.13).

Figura 4.12: Curvas de atraso de detecção em função da largura de canal dos modelos PMOS padrão (DEF) e LVT para $\Delta V_{BL} = 20mV$



Fonte: Autor.

Figura 4.13: Curvas de potência total média em função da largura de canal dos modelos PMOS padrão (DEF) e LVT para $\Delta V_{BL} = 20mV$



Fonte: Autor.

Das Figuras 4.12 e 4.13, nota-se que o aumento da largura de canal W_p produz a elevação simultânea do atraso de detecção e consumo de energia, com atrasos menores

e maior consumo para circuito de transistores de acesso PMOS LVT em comparação a PMOS padrão. Esse efeito decorre do aumento das capacitâncias de *gate* dos dispositivos e portanto da capacitância total do amplificador sensor, introduzindo maiores sobressinais de OUT e OUTB na transição de subida do sinal SAE e culminando em descarga desacelerada na primeira fase de operação do FSPA-VLSA.

Observa-se o aumento expressivo de potência total média, em média 200% maiores aos transistores de largura de canal máxima em relação a dimensão mínima. O efeito de aumento da capacitância do amplificador sensor atua de forma crítica dado que a corrente máxima é limitada pelo transistor de ativação NMOS. Assim, em decorrência a maior carga e atraso do circuito, maior é o período em que esse se mantém ativo, resultando no elevado consumo dinâmico de potência.

Como o amplificador sensor possui dois transistores de acesso simétricos, não é observada vantagem em contrabalancear o aumento de área dos transistores PMOS em favor de maior desempenho e menor consumo. Não somente o peso da maior área reflete de forma dobrada na área total de *gate* do circuito como também resulta em menor desempenho e maior consumo dinâmico de energia. Dessa forma, opta-se pela minimização da área dos transistores, sendo selecionado o menor valor disponível de $W_P = 0.42\mu m$ às larguras de canal.

Para o modelo PMOS LVT, diferentemente das variações de dispositivos MOSFET já exploradas, o mínimo comprimento de canal disponível ao modelo é de $L = 0.35\mu m$. Dessa forma, a área total de *gate* dos transistores LVT é de aproximadamente 230% vezes maior do que a área conjunta dos transistores da variação padrão para qualquer valor de largura de canal. Observando-se o ganho inexpressivo de 9,6% em desempenho para o circuito de transistores LVT em comparação ao aumento de área, decide-se utilizar o modelo PMOS padrão no projeto final.

De modo a explorar a relação dada pela Equação 3.3 entre potência estática do amplificador sensor e níveis de tensão elétrica das *bit lines*, bem como do efeito da variação de W_P no consumo estático, são também executadas simulações transientes em período de 1 ns ao circuito desativado com sinal SAE em nível lógico baixo. São capturadas curvas de potência estática média em função de W_P para diferentes condições iniciais de tensões $V_{BL} = V_{BLB}$, conforme gráfico em escala logarítmica da Figura 4.14.

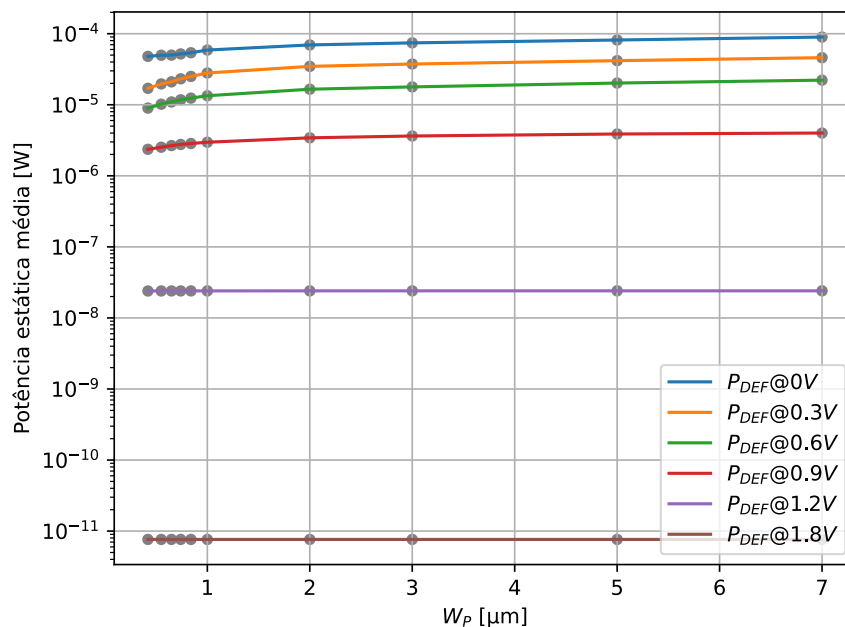
A ineficiência de condução de baixos níveis de tensão para transistores de passagem PMOS produz caminhos de corrente inválidos entre os transistores PMOS do *latch* desativado e as *bit lines* altamente capacitivas. Por esse motivo, observa-se consumo es-

tático muito elevado para V_{BL} e V_{BLB} baixos, também maior conforme o aumento de W_P devido a maior corrente de dreno permitida aos transistores de acesso.

À medida que a tensão elétrica das *bit lines* se aproxima de VDD, a partir de 1,2 V, os transistores de acesso são capazes de passar eficientemente os níveis altos de tensão aos terminais de OUT e OUTB e simultaneamente os transistores PMOS do *latch* entram em corte, limitando a corrente de carga das *bit lines* com reduzido consumo estático.

Esse mesmo efeito explica a zona morta de detecção do circuito FSPA-VLSA em valores iniciais de V_{BL} menores que $VDD - V_{thP}$. Nessa ocasião, a tensão de *offset* do circuito é maior devido a distorção das tensões de entrada produzida pelos transistores de acesso PMOS e o atraso de detecção é elevado em função da mobilidade de carga reduzida dos transistores PMOS do *latch* em relação aos transistores NMOS. Usualmente, os níveis de tensão nas *bit lines* permaneceriam próximos a VDD enquanto a célula de memória não é acessada devido a frequente pré-carga em leituras.

Figura 4.14: Gráfico em escala logarítmica da potência estática média em função da largura de canal dos transistores de acesso PMOS do circuito FSPA-VLSA para diferentes condições iniciais de tensão nas *bit lines*



Fonte: Autor.

4.4 Determinação Estatística da Sensibilidade e Rendimento

Conforme descrito na Subseção 2.4.3, um dos mais importantes critérios de projeto é o rendimento do amplificador sensor. Para se obter rendimento elevado, é necessário determinar o mínimo diferencial de tensão de entrada ΔV_{BL} acima da tensão de desvio V_{os} , métrica que agrega o efeito da variabilidade local de fabricação do circuito.

Para o circuito simétrico FSPA-VLSA projetado, a média de tensão de desvio μ_{os} é considerada nula, sendo o desvio padrão σ_{os} o parâmetro de projeto relevante. De acordo com o padrão da indústria, ΔV_{BL} deve ser determinado em valor mínimo de $3 \cdot \sigma_{os}$, condizente ao rendimento $Y_{SA} = 99,87\%$.

De acordo com Na et al. (2014), Wicht, Nirschl e Schmitt-Landsiedel (2004), o rendimento do amplificador sensor pode ser determinado estatisticamente a partir da Equação 4.1. Com base em N execuções de simulações Monte Carlo (MC), calcula-se a taxa de sucesso de detecção de ΔV_{BL} .

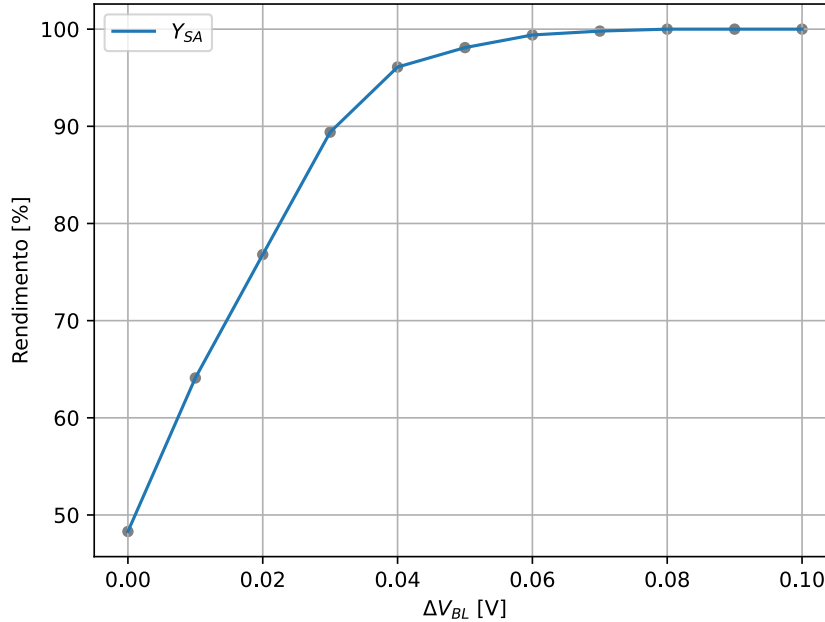
$$Y_{SA} = \frac{\text{número de detecções corretas}}{\text{número total de simulações MC}} \cdot 100\% \quad (4.1)$$

As simulações elétricas MC em *ngspice*, baseadas nos modelos do SKY130 PDK, incorporam a variabilidade randômica de parâmetros dos transistores do circuito a partir de distribuições gaussianas limitadas a $\pm 6\sigma$, em que σ representa o desvio padrão de cada parâmetro. Assim, permite-se estimar a tensão de desvio de entrada V_{os} a partir da taxa de sucesso de detecção, bem como determinar a sensibilidade ΔV_{BL} adequada para se atingir o rendimento pretendido.

Dessa forma, em investigação do rendimento do amplificador sensor e determinação da sensibilidade, são executadas $N = 1000$ simulações transientes Monte Carlo de período 1 ns para valores de ΔV_{BL} de 0 a 100 mV ao passo de 10 mV, considerando-se $V_{BL} = V_{BLB} + \Delta V_{BL} = V_{DD}$, tempo de subida de sinal SAE de 25 ps, capacitâncias complementares de *bit lines* $C_{BL} = 1pF$ e capacitâncias complementares de carga $C_L = 4fF$ conectadas aos terminais de saída do circuito. Para cada ΔV_{BL} , determina-se quantas simulações resultaram em leituras corretas, calculando-se o rendimento Y_{SA} a partir da Equação 4.1.

A Figura 4.15 mostra a curva obtida de rendimento percentual Y_{SA} na faixa simulada de ΔV_{BL} . Observa-se que, para $\Delta V_{BL} = 0$, o rendimento é próximo de 50%, pois nessa circunstância a tensão de desvio V_{os} determina aleatoriamente o sentido de detecção do circuito em uma das duas condições de estabilidade.

Figura 4.15: Gráfico de rendimento percentual Y_{SA} do circuito FSPA-VLSA projetado em função do diferencial de tensão entre *bit lines* ΔV_{BL} .



Fonte: O Autor

Com o aumento de ΔV_{BL} , percebe-se a elevação progressiva do rendimento, pois maior é a probabilidade do diferencial de entrada exceder V_{os} e ocasionar a detecção bem-sucedida. Para $\Delta V_{BL} = 70mV$, o rendimento atingido é de 99,8%, próximo ao rendimento pretendido de $Y_{SA} = 3 \cdot \sigma_{os} = 99,87\%$, obtendo-se rendimento de 100% para valores de 80 a 100 mV. Dessa forma, determina-se a sensibilidade do FSPA-VLSA projetado em 70 mV, valor mínimo de ΔV_{BL} para taxa de sucesso de detecção melhor ou igual a 99,87% e condizente com o alvo de projeto padrão da indústria de $50 \rightarrow 70mV$.

De acordo a Equação 2.1, o desvio padrão σ_{os} pode ser determinado para rendimento $Y_{SA}(\Delta V_{BL} = \sigma_{os}) = 84,13\%$. Nota-se que esse valor de rendimento é atingido para ΔV_{BL} entre 20 a 30 mV, no entanto, seria necessário menor passo de valores simulados para determinação precisa com maior custo computacional. Sabendo-se que o rendimento de 99,8% é atingido para $3 \cdot \sigma_{os}$ em 70 mV, determina-se $\sigma_{os} \approx 23,33mV$ como o desvio padrão de tensão de *offset* aproximado do circuito.

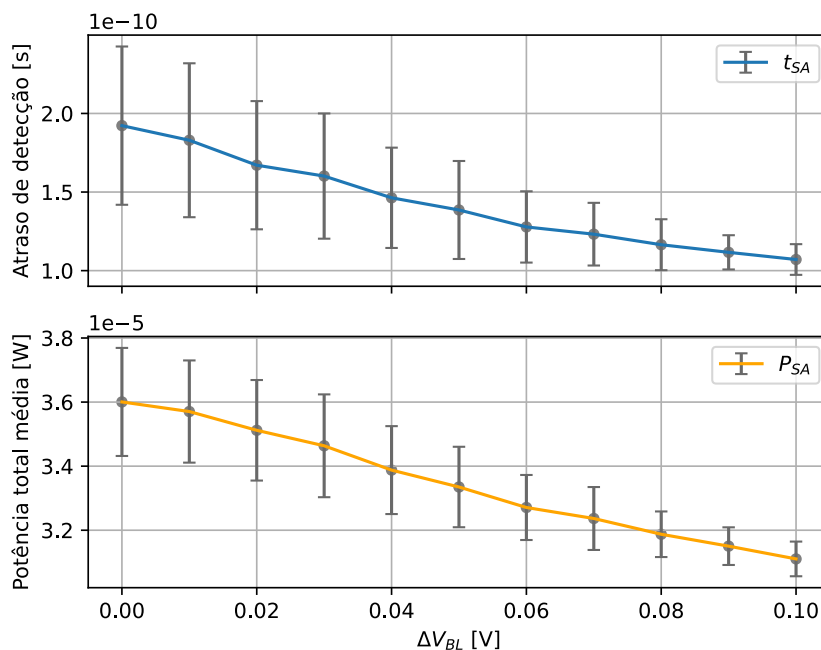
Das simulações transientes MC performadas para a faixa de valores de ΔV_{BL} , são também determinados os valores de média e desvio padrão de atraso de detecção e potência total média, conforme apresentados na Figura 4.16. Nota-se que, com o aumento de ΔV_{BL} , menor é o tempo de decisão do circuito e consequentemente o consumo total, analogamente ao comportamento analisado nas Figuras 4.2 e 4.3.

Também, observa-se que o intervalo de confiança das métricas de desempenho e consumo diminui progressivamente conforme o aumento do diferencial de tensão entre *bit lines*. Isso decorre da menor influência das não-idealidades do circuito em seu comportamento, dado que V_{os} possui efeito reduzido ao incrementar ou decrementar o diferencial de tensão nas entradas para valores elevados de ΔV_{BL} .

Para a sensibilidade determinada de $\Delta V_{BL} = 70mV$, o atraso de detecção e potência total média atingidos são de $t_{SA} = 123, 19 \pm 16, 19\% ps$ e $P_{SA} = 32, 36 \pm 3, 03\% \mu W$, respectivamente. Para minimização do intervalo de confiança das métricas, é possível aumentar a sensibilidade do amplificador sensor, atingindo-se melhores desempenho e consumo ao circuito isolado. No entanto, em função do tempo de descarga das *bit lines* altamente capacitivas até ΔV_{BL} ser atingido, esse compromisso dificilmente resulta em impacto positivo na matriz de memória SRAM.

Dessa forma, considerando a minimização de ΔV_{BL} como regra fundamental de projeto do circuito SA, outra alternativa é a mitigação de V_{os} a partir de técnicas de compensação de *offset*. Segundo Patel et al. (2021), Pelgrom, Duinmaijer e Welbers (1989), a maneira mais simples de reduzir V_{os} parte do aumento de tamanho dos dispositivos ao custo de maior área da pastilha e consumo de energia.

Figura 4.16: Gráfico de intervalos de confiança do atraso de detecção t_{SA} e potência total média P_{SA} do circuito FSPA-VLSA projetado em função do diferencial de tensão entre *bit lines* ΔV_{BL}



Fonte: Autor.

4.5 Especificações do Circuito Projetado

A Tabela 4.2 agrega as informações de modelos de transistores utilizados no circuito FSPA-VLSA projetado, bem como dimensões de canal W e L, áreas de *gate* dos dispositivos e área total de *gate* do amplificador sensor, calculada a partir da Equação 3.6.

Tabela 4.2: Informações de modelos e dimensionamento final dos dispositivos do circuito FSPA-VLSA projetado.

| Dispositivo | Modelo | Dimensões | | | |
|--------------------------|-----------------------------|------------------|------------------|----------------------------------|--|
| | | W (μm) | L (μm) | Área de gate (μm^2) | Área total de gate (μm^2) |
| Latch (PMOS) | sky130_fd_pr__pfet_01v8_hvt | 1 | 0.15 | 0.15 | 0.771 |
| Latch (NMOS) | sky130_fd_pr__nfet_01v8 | 0.65 | 0.15 | 0.0975 | |
| Transistor de ativação | sky130_fd_pr__nfet_01v8_lvt | 1 | 0.15 | 0.15 | |
| Transistores de passagem | sky130_fd_pr__pfet_01v8 | 0.42 | 0.15 | 0.063 | |

Fonte: O Autor

Dos procedimentos detalhados na Subseção 2.4.3, em que são estatisticamente determinados o rendimento, sensibilidade e tensão de desvio do circuito, compila-se o conjunto de medidas características apresentado na Tabela 4.3. As medidas obtidas para Y_{SA} , ΔV_{BL} , σ_{os} , t_{SA} e P_{SA} resultam de $N = 1000$ simulações transientes Monte Carlo de período $T = 1ns$ com tempo de subida de sinal SAE $t_{rise} = 25ps$, capacitâncias de *bit lines* $C_{BL} = 1pF$ e capacitâncias de carga $C_L = 4fF$. A razão $\frac{I_{ON}}{I_{OFF}}$ é estimada conforme descrito na Seção 4.2.

Tabela 4.3: Medidas características do circuito FSPA-VLSA projetado

| Métricas de caracterização | | | | | |
|----------------------------|---------------------------------------|--|-------------------------------------|--|-----------------------------------|
| Rendimento Y_{SA} (%) | Sensibilidade ΔV_{BL} (mV) | Desvio padrão de tensão de desvio σ_{os} (mV) | Atraso de detecção t_{SA} (ps) | Potência total média P_{SA} (μW) | Razão $\frac{I_{ON}}{I_{OFF}}$ |
| 99.8 | 70 | ± 23.33 | $123.19 \pm 16.19\%$ | $32.36 \pm 3.03\%$ | 10^6 |

Fonte: Autor.

4.6 Avaliação Comparativa Baseada em Tabela de Pontuações

Em desfecho ao projeto do circuito FSPA-VLSA a partir da metodologia adotada, deseja-se validar a estratégia e investigar sua performance final, qualificando-o em termos de seus principais critérios, como desempenho, consumo e área atingidos. Nessa finalidade, o circuito projetado é avaliado comparativamente a múltiplas combinações possíveis de projeto, compostas por valores distintos das variáveis de larguras de canal W_{PL} , W_{NL} , W_{NFS} e W_{PA} disponíveis em *bins* nos modelos de transistores do SKY130 PDK.

Para realizar o *benchmarking*, opta-se pela utilização de metodologia força-bruta, executando-se série de simulações transientes para capturar as métricas de desempenho, consumo e área das múltiplas combinações de projeto, com comprimento de canal fixo em valor mínimo $L = 0,15\mu m$. São determinados oito valores de larguras de canal em comum aos *bins* de todos os modelos de dispositivos utilizados, variando do mínimo ao máximo $W = 0,42 \rightarrow 7\mu m$, conforme conjunto da Equação 4.2. Do produto cartesiano entre as quatro variáveis, resultam ao todo $8^4 = 4096$ combinações e simulações.

$$W = \{0.42, 0.55, 0.65, 0.84, 1, 3, 5, 7\} \quad (4.2)$$

As simulações são executadas com período total de 1 ns, tempo de subida do sinal SAE de 25 ps, capacitâncias de *bit lines* $C_{BL} = 1pF$, capacitâncias de carga $C_L = 4fF$ e o valor de mínimo diferencial de tensão de entrada $\Delta V_{BL} = 70mV$. Para cada circuito, são mensurados o atraso de detecção, potência total média e área total de *gate*, conforme Equações 3.1, 3.2 e 3.6, respectivamente.

Com base nos valores obtidos para as três métricas, estrutura-se tabela referencial de pontuações para critérios de desempenho, consumo e área. Para obtenção de pontuações finais de acordo com pesos de importância dos critérios individuais, utiliza-se o método de soma ponderada da análise de decisão multicritério (MCDA).

Melhores pontuações finais são atingidas para melhores desempenho, consumo e área, proporcionalmente à relevância de cada critério definida a partir de seu respectivo peso. Em mapeamento de métrica e critério, menor valor relativo de atraso de detecção resulta em melhor desempenho, menor valor relativo de potência total média em melhor consumo e, igualmente, menor área total de *gate* dos circuitos implica melhor pontuação de área.

De acordo com o método da soma ponderada, as pontuações finais atingidas para as diferentes combinações de projeto resultam da soma das pontuações individuais de

critérios multiplicadas pelos seus pesos, conforme a Equação 4.3. Da equação, P_F é a pontuação final, w_D é o peso de desempenho, P_D a pontuação de desempenho, w_C o peso de consumo, P_C a pontuação de consumo, w_A o peso de área e P_A a pontuação de área.

$$P_F = w_D \cdot P_D + w_C \cdot P_C + w_A \cdot P_A \quad (4.3)$$

Em função dos dados obtidos das simulações não serem expressados nas mesmas unidades de medida, devem ser normalizados para se atingir pontuações de mesma escala entre critérios distintos. Sabendo-se que a pontuação P_Y máxima de cada critério Y deve ser atingida para o menor valor de medidas X obtidas na série, o cálculo de pontuação é feito a partir do método de normalização linear *MinMax* representado pela Equação 4.4, atingindo-se para cada critério a pontuação individual de 0 a 1. Visto que o somatório de pesos é unitário, $w_D + w_C + w_A = 1$, a pontuação final P_F varia também de 0 a 1.

$$P_Y = \frac{\max(X) - X}{\max(X) - \min(X)} \quad (4.4)$$

Visando qualificar o circuito projetado em comparação às melhores e piores alternativas de dimensionamento de transistores de acordo com diferentes especificações de preferência de projeto, é gerada tabela única de pontuações de critérios, sendo selecionadas sete combinações de pesos para cálculo das pontuações finais. São essas:

1. Equilíbrio entre desempenho, consumo e área;
2. Preferência de melhor desempenho;
3. Preferência de melhor consumo;
4. Preferência de melhor área;
5. Melhor desempenho possível;
6. Melhor consumo possível;
7. Melhor área possível.

A Tabela 4.4 mostra os resultados de melhores e piores pontuações para as sete opções de pesos comparadas às pontuações obtidas ao circuito projetado. As opções em favor de consumo e área (3, 4, 6 e 7) mostram a forte correlação entre os dois critérios, visto que o melhor projeto nesses casos ocorre para circuito de transistores de mínimas dimensões $W = 0,42\mu m$. Assim, nota-se que o menor consumo de energia é necessariamente atingido para menor área possível, com pontuações máximas simultâneas em ambos critérios. Inversamente, os piores projetos atingidos para tais opções são para tran-

Tabela 4.4: Referência de pontuações de critérios e pontuações finais avaliadas ao espaço de projeto do circuito FSPA-VLSA para sete combinações de pesos, classificadas em melhores e piores alternativas comparativamente ao circuito projetado

| Opção | Pesos de critérios | | | Classificação | Dimensionamento | | | | Pontuações de critérios | | | Pontuação final |
|-------|--------------------|----------------|----------------|---------------|-------------------------|-------------------------|--------------------------|-------------------------|-------------------------|----------------|----------------|-----------------|
| | w_D (0-1) | w_C (0-1) | w_A (0-1) | | W_{PL} (μm) | W_{NL} (μm) | W_{NFS} (μm) | W_{PA} (μm) | P_D (0-1) | P_C (0-1) | P_A (0-1) | |
| 1 | 1/3 | 1/3 | 1/3 | Melhor | 0.42 | 0.42 | 0.42 | 0.42 | 0.91 | 1 | 1 | 0.97 |
| | | | | Pior | 7.0 | 7.0 | 0.42 | 7.0 | 0.25 | 0.34 | 0.14 | 0.24 |
| | | | | Projetado | 1.0 | 0.65 | 1.0 | 0.42 | 0.93 | 0.94 | 0.95 | 0.94 |
| 2 | 2/3 | 1/6 | 1/6 | Melhor | 0.42 | 0.65 | 1.0 | 1.0 | 0.96 | 0.95 | 0.95 | 0.96 |
| | | | | Pior | 7.0 | 0.42 | 0.42 | 7.0 | 0.06 | 0.56 | 0.43 | 0.21 |
| | | | | Projetado | 1.0 | 0.65 | 1.0 | 0.42 | 0.93 | 0.94 | 0.95 | 0.93 |
| 3 | 1/6 | 2/3 | 1/6 | Melhor | 0.42 | 0.42 | 0.42 | 0.42 | 0.91 | 1 | 1 | 0.99 |
| | | | | Pior | 7.0 | 7.0 | 7.0 | 7.0 | 0.96 | 0 | 0 | 0.16 |
| | | | | Projetado | 1.0 | 0.65 | 1.0 | 0.42 | 0.93 | 0.94 | 0.95 | 0.94 |
| 4 | 1/6 | 1/6 | 2/3 | Melhor | 0.42 | 0.42 | 0.42 | 0.42 | 0.91 | 1 | 1 | 0.99 |
| | | | | Pior | 7.0 | 7.0 | 7.0 | 7.0 | 0.96 | 0 | 0 | 0.16 |
| | | | | Projetado | 1.0 | 0.65 | 1.0 | 0.42 | 0.93 | 0.94 | 0.95 | 0.95 |
| 5 | 1 | 0 | 0 | Melhor | 0.42 | 1.0 | 7.0 | 5.0 | 1 | 0.61 | 0.63 | 1 |
| | | | | Pior | 0.42 | 7.0 | 0.42 | 0.42 | 0 | 0.66 | 0.71 | 0 |
| | | | | Projetado | 1.0 | 0.65 | 1.0 | 0.42 | 0.93 | 0.94 | 0.95 | 0.93 |
| 6 | 0 | 1 | 0 | Melhor | 0.42 | 0.42 | 0.42 | 0.42 | 0.91 | 1 | 1 | 1 |
| | | | | Pior | 7.0 | 7.0 | 7.0 | 7.0 | 0.96 | 0 | 0 | 0 |
| | | | | Projetado | 1.0 | 0.65 | 1.0 | 0.42 | 0.93 | 0.94 | 0.95 | 0.94 |
| 7 | 0 | 0 | 1 | Melhor | 0.42 | 0.42 | 0.42 | 0.42 | 0.91 | 1 | 1 | 1 |
| | | | | Pior | 7.0 | 7.0 | 7.0 | 7.0 | 0.96 | 0 | 0 | 0 |
| | | | | Projetado | 1.0 | 0.65 | 1.0 | 0.42 | 0.93 | 0.94 | 0.95 | 0.95 |

Fonte: Autor.

sistores de máximas dimensões $W = 7\mu m$.

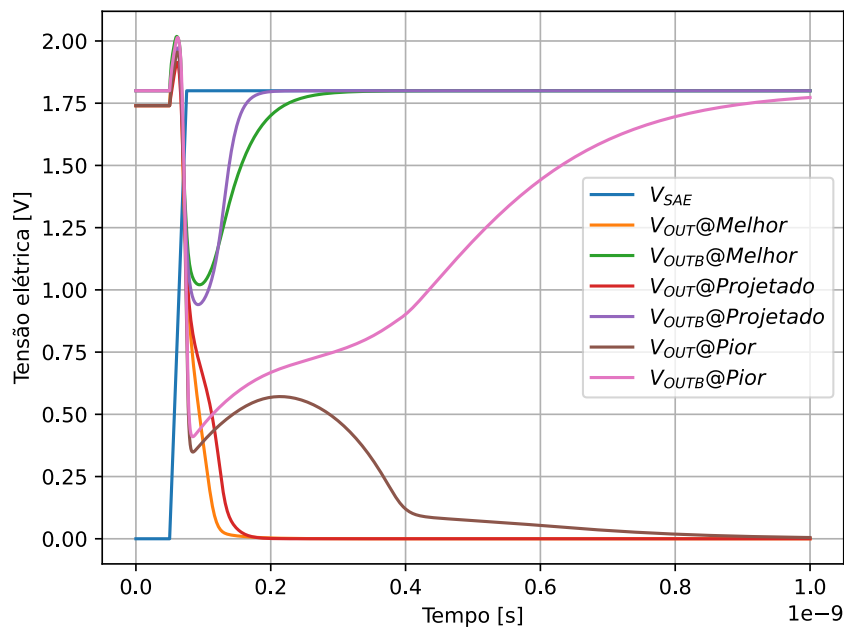
Apesar do compromisso entre desempenho e consumo, a queda da pontuação de desempenho não é expressiva em função da redução de tamanho dos transistores. Sendo assim, o circuito de mínimas dimensões é também o melhor projeto atingido para a opção 1 de seleção equilibrada de pesos. Tem-se que o circuito projetado atinge pontuação final próxima à melhor obtida, com pontuação de desempenho maior ao custo de pontuações de consumo e área ligeiramente reduzidas.

Das opções 2 e 5, nota-se o melhor desempenho atingido para circuitos com maior largura de canal do transistor de ativação, bem como $W_{NL} > W_{PL}$. Isso decorre da elevada corrente de curto-circuito atingida na primeira fase de operação do amplificador sen-

sor, reduzindo o tempo necessário para descarga da capacitância das *bit lines*, culminando em maior desempenho ao custo de maior consumo de energia e área.

Em contrapartida, os piores projetos obtidos em favor de melhor desempenho possuem largura de canal mínima ao transistor de ativação e elevadas razões entre W_{PL} e W_{NL} , o que acarreta em baixa corrente elétrica e ponto metaestável assimétrico, sendo observada fraca realimentação positiva como consequência. A Figura 4.17 mostra os sinais transientes de tensões de saída da melhor e pior alternativa atingidas na opção 5 comparadas ao circuito projetado.

Figura 4.17: Sinais transientes de tensões de saída da melhor e pior alternativa atingidas na seleção de pesos em favor de máximo desempenho comparativamente ao circuito projetado



Fonte: Autor.

A análise performada com base na tabela referencial de pontuações permite avaliar qualitativamente o projeto do circuito FSPA-VLSA em termos do desempenho, consumo e área. No entanto, a apuração refinada envolveria, por exemplo, considerar as distintas variações e combinações de modelos de transistores do SKY130, a potência estática média e a sensibilidade do circuito como critérios adicionais. Também, pode-se considerar mais valores de dimensões W e L a partir de modelos contínuos do PDK, quando disponíveis, ao custo de maior complexidade computacional devido a multiplicidade de simulações elétricas performadas.

5 CONCLUSÕES E TRABALHOS FUTUROS

A partir da análise de projeto do circuito FSPA-VLSA a nível de transistores, com base na metodologia heurística de projeto em etapas, é possível avaliar os principais compromissos envolvidos na concepção de amplificadores sensores de realimentação positiva de memórias SRAM. Da variação de dimensionamento dos dispositivos de cada seção do circuito, foram determinados de forma isolada os efeitos simultâneos no desempenho, consumo e área.

Em visão geral, a tabela referencial de pontuações demonstra que o circuito projetado atinge equilíbrio satisfatório de desempenho, consumo e área, com pontuações de critérios $P_D = 0,93$, $P_C = 0,94$ e $P_A = 0,95$, respectivamente, e pontuação final $P_F = 0,94$ para pesos iguais. Também, nota-se que é possível atingir melhor desempenho ao custo de maior consumo de energia e área total de *gate* a partir do aumento da razão de aspecto $\frac{W}{L}$ dos transistores NMOS.

No entanto, no objetivo de otimização simultânea dos três critérios, determina-se o circuito FSPA-VLSA de mínimas dimensões de transistores como a melhor opção, apresentando benefício de consumo e área total de *gate* mínimos com queda inexpressiva em desempenho. Assim, apesar do uso do modelo de inversor HD da biblioteca de células digitais do SKY130 PDK não comprometer significativamente a qualidade do projeto final atingido, também não é a alternativa ideal, sendo preferível minimizar o tamanho dos transistores do *latch*.

Dos principais compromissos observados no projeto, destaca-se a redução de atraso e consumo do circuito SA para maior diferencial inicial de tensão de entrada, muito embora ΔV_{BL} deva ser minimizado em memórias SRAM devido ao elevado tempo de descarga das *bit lines* altamente capacitivas. No entanto, devido a variabilidade local de fabricação do circuito, o mínimo diferencial ΔV_{BL} é limitado e depende da tensão de desvio de entrada V_{os} . Em função disso, a sensibilidade do amplificador é determinada estatisticamente em valor mínimo de $\Delta V_{BL} = 70mV$ para se atingir rendimento de $Y_{SA} = 99,8\%$, de acordo com padrões da indústria estudados.

Muito embora a metodologia heurística de projeto permita a análise detalhada do circuito e dos compromissos envolvidos, percebe-se não ser a abordagem de maior praticidade e precisão. Dentre seus pontos negativos, ressalta-se a dependência da intuição e entendimento do projetista dos resultados de simulações, enquanto abordagem tal qual a metodologia força-bruta seguida de soma ponderada de pontuações de critérios, além de

possibilitar avaliação comparativa do projeto final, permite projetar o circuito com maior rigor de importância de critérios. Ainda, a técnica de projeto em etapas pode falhar em capturar adequadamente todas as interações simultâneas entre os dispositivos envolvidos.

Utilizando-se apenas ferramentas gratuitas de código aberto, tais quais o simulador elétrico *ngspice* e o SKY130 PDK, então em fase experimental, são atestadas as limitações de integração entre os ambientes e o uso dos modelos de dispositivos disponíveis, validando a capacidade de projeto do amplificador sensor nessas tecnologias.

Quanto às simulações em *ngspice* serem limitadas a varredura de razões $\frac{W}{L}$ congruentes aos *bins* dos modelos do SKY130 PDK, conclui-se não ser um empecilho, visto que norteia a estratificação do espaço de projeto, permitindo ainda sim capturar a relação de causa e efeito da variação de dimensionamento dos transistores. No entanto, para maior precisão de projeto, seriam necessários modelos contínuos. Ainda, como o projeto não envolve a concepção do esquema físico, desconsidera-se possível limitação de uso simultâneo de variações distintas de transistores padrão, LVT e HVT no circuito. Em função da documentação inconclusiva do PDK nesse quesito, seria possível atingir essa conclusão a partir de etapa posterior de verificação de leiaute.

Com base no projeto de circuito FSPA-VLSA desenvolvido, sugere-se a continuidade do estudo a partir dos seguintes trabalhos:

- Avaliar o FSPA-VLSA comparativamente ao projeto de outros amplificadores sensores de realimentação positiva, tais quais o FS-CLSA, DSPA-VLSA ou DSTA-VLSA;
- Considerar na análise as não-idealidades da pré-carga da memória e o ciclo de trabalho variável do amplificador sensor;
- Analisar técnicas de minimização da tensão de desvio de entrada V_{os} e consequentemente ΔV_{BL} ;
- Testar metodologias de projeto distintas, com base em métodos analíticos ou algorítmicos, ou a partir de modelos contínuos do SKY130 PDK, quando disponíveis;
- Comparar o projeto desenvolvido em SKY130 PDK com base em PDKs preditivos de mesma tecnologia ou tecnologias CMOS mais recentes;
- Desenhar o leiaute físico do circuito e fazer validações DRC e LVS a partir de outras ferramentas gratuitas de código aberto, como *magic*, *KLayout* e *netgen*;
- Adaptar o compilador de memória SRAM de código aberto *OpenRAM* para utilizar o FSPA-VLSA projetado, caracterizar a memória e comparar os resultados.

REFERÊNCIAS

ABBAS, K. **Handbook of Digital CMOS Technology, Circuits and Systems**. Cham: Springer, 2020. ISBN 9783030371944.

ABU-RAHMA, M. H.; ANIS, M. Characterization of SRAM sense amplifier input offset for yield prediction in 28nm cmos. In: **Nanometer Variation-Tolerant SRAM**. Springer New York, 2012. p. 155–167. Disponível em: <https://doi.org/10.1007/978-1-4614-1749-1_6>.

AYERS, J. E. **Digital Integrated Circuits: Analysis and Design**. [S.l.: s.n.], 2018. OCLC: 1079320578. ISBN 9781420069884.

BAKER, R. J. **CMOS: Circuit Design, Layout, and Simulation**. Hoboken, NJ, USA: John Wiley & Sons, Inc., 2010. ISBN 9780470891179 9780470881323. Disponível em: <<http://doi.wiley.com/10.1002/9780470891179>>.

BROOKS, S.; CICCHETTI, A. **Design of a Low Power Latch Based SRAM Sense Amplifier**. Dissertação (Mestrado) — Worcester Polytechnic Institute, 2014.

CHATTERJEE, B. et al. Effectiveness and scaling trends of leakage control techniques for sub-130nm CMOS technologies. In: **Proceedings of the 2003 international symposium on Low power electronics and design - ISLPED '03**. ACM Press, 2003. Disponível em: <<https://doi.org/10.1145/871506.871538>>.

DIVYA; MITTAL, P. A low-power high-performance voltage sense amplifier for static RAM and comparison with existing current/voltage sense amplifiers. **International Journal of Information Technology**, Springer Science and Business Media LLC, v. 14, n. 4, p. 1711–1718, abr. 2022. Disponível em: <<https://doi.org/10.1007/s41870-022-00916-x>>.

DO, A.-T.; KONG, Z.-H.; YEO, K.-S. Criterion to evaluate input-offset voltage of a latch-type sense amplifier. **IEEE Transactions on Circuits and Systems I: Regular Papers**, Institute of Electrical and Electronics Engineers (IEEE), v. 57, n. 1, p. 83–92, jan. 2010. Disponível em: <<https://doi.org/10.1109/tcsi.2009.2016182>>.

DO, A.-T. et al. A full current-mode sense amplifier for low-power SRAM applications. In: **APCCAS 2008 - 2008 IEEE Asia Pacific Conference on Circuits and Systems**. IEEE, 2008. Disponível em: <<https://doi.org/10.1109/apccas.2008.4746292>>.

EDWARDS, R. T. Google/skywater and the promise of the open pdk. **Workshop on Open-Source EDA Technology (WOSET)**, 2020. Disponível em: <<https://woset-workshop.github.io/PDFs/2020/a03.pdf>>.

HARASZTI, T. P. **CMOS Memory Circuits**. Boston: Kluwer Academic, 2000. ISBN 9780792379508.

INIEWSKI, K. **CMOS Processors and Memories**. Dordrecht New York: Springer, 2010. (Analog Circuits and Signal Processing). ISBN 9789048192168.

- KIM, S. M. et al. Analysis on sensing yield of voltage latched sense amplifier for low power DRAM. In: **2018 14th Conference on Ph.D. Research in Microelectronics and Electronics (PRIME)**. IEEE, 2018. Disponível em: <<https://doi.org/10.1109/prime.2018.8430359>>.
- KOBAYASHI, T. et al. A current-controlled latch sense amplifier and a static power-saving input buffer for low-power architecture. **IEEE Journal of Solid-state Circuits**, v. 28, p. 523–527, 1993.
- MILLER, R.; KASSEM, M. **Open Source ASICs take a Giant Leap Forward with the First Ever Open Foundry PDK**. 2020. Disponível em: <<https://www.skywatertechnology.com/blog/how-to-design-with-a-free-skywater-pdk/>>.
- NA, T. Robust Offset-Cancellation Sense Amplifier for an Offset-Canceling Dual-Stage Sensing Circuit in Resistive Nonvolatile Memories. **Electronics**, v. 9, n. 9, p. 1403, ago. 2020. ISSN 2079-9292. Disponível em: <<https://www.mdpi.com/2079-9292/9/9/1403>>.
- NA, T. et al. Comparative study of various latch-type sense amplifiers. **IEEE Transactions on Very Large Scale Integration (VLSI) Systems**, Institute of Electrical and Electronics Engineers (IEEE), v. 22, n. 2, p. 425–429, fev. 2014. Disponível em: <<https://doi.org/10.1109/tvlsi.2013.2239320>>.
- PATEL, D. et al. Body biased sense amplifier with auto-offset mitigation for low-voltage SRAMs. **IEEE Trans. Circuits Syst. I Regul. Pap.**, Institute of Electrical and Electronics Engineers (IEEE), v. 68, n. 8, p. 3265–3278, ago. 2021.
- PAVLOV, A.; SACHDEV, M. **CMOS SRAM Circuit Design and Parametric Test in Nano-scaled Technologies: Process-aware SRAM Design and Test**. Dordrecht: Springer, 2008. (Frontiers in Electronic Testing, 40). OCLC: ocn214308378. ISBN 9781402083624 9781402083631.
- PELGROM, M. J. M.; DUINMAIJER, A. C. J.; WELBERS, A. P. G. Matching properties of MOS transistors. **IEEE J. Solid-State Circuits**, Institute of Electrical and Electronics Engineers (IEEE), v. 24, n. 5, p. 1433–1439, out. 1989.
- SEDRA, A. **Microelectronic Circuits**. New York: Oxford University Press, 2010. ISBN 9780195323030.
- SHI, K. **A Comparative Analysis of SRAM Sense Amplifiers**. Tese (Doutorado) — UCLA, 2017. Disponível em: <<https://escholarship.org/uc/item/0xn2r2wx>>.
- SINGH, J. **Robust SRAM Designs and Analysis**. New York, NY: Springer, 2013. ISBN 978-1-4614-0817-8.
- VOGT, H. et al. **Ngspice User's Manual Version 35**. 2021. Disponível em: <<https://ngspice.sourceforge.io/docs/ngspice-35-manual.pdf>>.
- WEI, Z. et al. Novel CMOS SRAM voltage latched sense amplifiers design based on 65 nm technology. In: **2014 12th IEEE International Conference on Solid-State and Integrated Circuit Technology (ICSICT)**. IEEE, 2014. Disponível em: <<https://doi.org/10.1109/icsict.2014.7021356>>.

WESTE, N. H. E.; HARRIS, D. M. **CMOS VLSI Design: A Circuits and Systems Perspective**. 4th ed. ed. Boston: Addison Wesley, 2011. OCLC: ocn473447233. ISBN 9780321547743.

WICHT, B. **Current Sense Amplifiers for Embedded SRAM in High-Performance System-on-a-Chip Designs**. Berlin, Heidelberg: Springer Berlin Heidelberg, 2003. ISBN 9783662064429.

WICHT, B.; NIRSCHE, T.; SCHMITT-LANDSIEDEL, D. Yield and speed optimization of a latch-type voltage sense amplifier. **IEEE Journal of Solid-State Circuits**, Institute of Electrical and Electronics Engineers (IEEE), v. 39, n. 7, p. 1148–1158, jul. 2004. Disponível em: <<https://doi.org/10.1109/jssc.2004.829399>>.

ZHANG, K. et al. A 3-GHz 70-Mb SRAM in 65-nm CMOS Technology With Integrated Column-Based Dynamic Power Supply. **IEEE Journal of Solid-State Circuits**, v. 41, n. 1, p. 146–151, jan. 2006. ISSN 0018-9200. Disponível em: <<http://ieeexplore.ieee.org/document/1564355/>>.