

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL
INSTITUTOS DE INFORMÁTICA, QUÍMICA, FÍSICA
PROGRAMA DE PÓS-GRADUAÇÃO EM MICROELETRÔNICA

GUSTAVO PAZ PLATCHECK

**Análise de Variabilidade e Desempenho em Transistores ELT para
Aplicações Analógicas**

Orientador: Prof. Dr. Tiago Roberto Balen

Porto Alegre

2022

CIP - Catalogação na Publicação

Platcheck, Gustavo Paz
Análise de Variabilidade e Desempenho em
Transistores ELT para Aplicações Analógicas / Gustavo
Paz Platcheck. -- 2022.
70 f.
Orientador: Tiago Roberto Balen.

Dissertação (Mestrado) -- Universidade Federal do
Rio Grande do Sul, Escola de Engenharia, Programa de
Pós-Graduação em Microeletrônica, Porto Alegre, BR-RS,
2022.

1. Caracterização Elétrica. 2. ELT. 3.
Variabilidade. I. Balen, Tiago Roberto, orient. II.
Título.

AGRADECIMENTOS

Agradeço à Universidade Federal do Rio Grande do Sul e ao Programa de Pós-Graduação em Microeletrônica (PGMICRO), por tornarem minha formação possível. Estendo o agradecimento também à CAPES e ao CNPq, pela bolsa concedida ao longo de todo meu mestrado.

Agradeço à minha família, que me deu apoio e suporte ao longo desta jornada. Agradeço especialmente aos meus pais, Ivsen e Giselda, que possibilitaram a realização de mais uma etapa de minha formação acadêmica e à minha esposa, Fernanda, pelo suporte, carinho e paciência nos altos e baixos que tive, em grande parte, pela pandemia de COVID 19 e seus efeitos em minha saúde física e mental.

Agradeço também ao meu orientador, prof. Dr. Tiago R. Balen, pela paciência e dedicação, sempre disponível quando necessário.

RESUMO

Este trabalho estuda os impactos no desempenho elétrico e na variabilidade de transistores MOSFETs projetados utilizando a técnica de geometria fechada (do inglês “*Enclosed Layout Transistor*” – ELT), uma técnica de proteção às radiações ionizantes em nível de projeto utilizada para mitigar os efeitos da dose ionizante total (do inglês “*Total Ionizing Dose*” – TID). Sua geometria fechada reduz as correntes de fugas de dreno induzidas por radiações ionizantes tanto para terminais de um mesmo transistor ou de transistores vizinhos. Este tipo de transistor normalmente apresenta as regiões dos terminais interno e externo com áreas diferentes, o que resulta em uma assimetria entre o dreno e a fonte do dispositivo. Esta assimetria se reflete no seu comportamento elétrico, onde a configuração dos terminais impacta no desempenho elétrico do transistor. A proposta de (CARDOSO, 2018) de realizar a simetria de área entre os terminais, denominada Pseudo-Simetria por não ser uma simetria propriamente dita, também foi investigada neste trabalho. Esta técnica tem como objetivo mitigar as diferenças de desempenho ocasionadas pela assimetria do dispositivo. A associação de ELTs em série e em paralelo também é investigada, com o intuito de aumentar a faixa de razões de aspecto possíveis do ELT equivalente. Foram medidas 25 amostras de 22 configurações diferentes de transistores, fabricados numa tecnologia Bulk de 130nm. Curvas de $I_{Dx}V_{DS}$ e $I_{Dx}V_{GS}$ foram extraídas experimentalmente e através dos dados experimentais foram estimadas a tensão de limiar, a transcondutância e a resistência de saída em saturação dos dispositivos analisados. Foi analisado também o impacto da variabilidade nos dados obtidos através de seus desvios padrões e coeficientes de variação. Os resultados experimentais mostram que utilizar a Pseudo-Simetria melhora desempenho elétrico do ELT em relação ao ELT com áreas de terminais diferentes, tornando seu comportamento elétrico mais próximo de um transistor retangular de mesma razão de aspecto. Também foi observado que o uso da técnica de ELT, com ou sem Pseudo-Simetria, não apresenta impacto aparente na variabilidade do dispositivo projetado, com o maior coeficiente de variação registrado neste trabalho de aproximadamente 10%, o que indica uma tendência amostral homogênea.

Palavras Chave: Transistor de Geometria Fechada (ELT), Dose Ionizante Total (TID), variabilidade.

ABSTRACT

This work studies the impacts in performance and variability of MOSFET transistors designed with the enclosed layout technique (ELT), a radiation hardening-by-design technique used to mitigate the effects of total ionizing dose (TID). Its closed geometry reduced the leakage currents induced by the ionizing radiation between the terminals of the same transistor or between the terminals of neighboring devices. This type of transistor usually present asymmetry between their internal and external terminal regions, meaning that the drain and source regions of the transistor are asymmetric. This difference affects its electrical behavior, where the configuration of the drain and source terminals influence the devices performance. The proposal of Cardoso (2018), which consists in implementing an area symmetry between the terminals, named Pseudo-Symmetry, because it is not really a full symmetry, was also investigated in this work. Its purpose is to mitigate the performance limitations derived from the device asymmetry. The parallel and series association of ELTs is also explored, in an attempt to increase the achievable aspect ratio range of the equivalent ELT. Twenty-five samples of twenty-two different devices fabricated in a 130nm technology were measured. Its $I_{DX}V_{DS}$ and $I_{DX}V_{GS}$ curves were experimentally extracted and the threshold voltage, the transconductance and the output resistance of the measured devices were estimated. The impact on the variability was also analyzed, estimating the mean deviations and variation coefficients. The results indicate that the use of Pseudo-Symmetry enhance the ELT performance and makes its electrical behavior closer to a rectangular transistor, when compared to an asymmetric ELT. It was also observed that the implementation of the ELT technique, with or without the Pseudo-Symmetry, does not impact negatively on the device variability, presenting a maximum variation coefficient of approximately 10%, which indicates a homogeneous sampling trend.

Keywords: Enclosed Layout Transistor (ELT), Total Ionizing Dose (TID), variability.

LISTA DE FIGURAS

Figura 1- Relação dos efeitos da radiação espacial e suas respectivas fontes.	15
Figura 2 - Formação de zona de inversão parasita entre o substrato do tipo P e o óxido de campo em decorrência da geração de cargas positivas no óxido induzidas por radiação para as tecnologias do tipo (a) LOCOS e (b) STI.	19
Figura 3 - Caminho da corrente de fuga entre os terminais de dreno e fonte de um mesmo transistor.	19
Figura 4 - Caminho de corrente de fuga entre dispositivos vizinhos: (a) entre dreno e fonte de transistores nMOS vizinhos e (b) entre o dreno/fonte de um transistor nMOS e o poço n+ de um transistor pMOS vizinho.	20
Figura 5 - Gráfico da Mobilidade Relativa do Canal pela TID para um transistor irradiado.	21
Figura 6 - Curvas de $\log(ID) \times V_{GS}$ antes e depois de irradiação, expostos a uma dose total de 2Mrad, para (a) um transistor retangular e (b) um ELT.	23
Figura 7 - Possíveis formas de implementação de ELT: (a) circular, (b) quadrado, (c) retangular e (d) quadrado com os cantos chanfrados em 45°.	24
Figura 8 - Razão de aspecto mínima alcançável para um ELT em função do comprimento de canal L utilizado.	25
Figura 9 - Estrutura física de um nMOSFET (a) em perspectiva e (b) em seção transversal.	27
Figura 10 - Operação do MOSFET em saturação, com o estrangulamento do comprimento do canal próximo ao terminal de dreno.	29
Figura 11 - Efeito de modulação do comprimento de canal do MOSFET.	29
Figura 12 - Método da Segunda Derivada aplicado a uma amostra com de V_{DS} 10 mV.	32
Figura 13 - Curvas $I_D \times V_{DS}$ de um MOSFET operando com diferentes valores de V_{GS} e indicando a resistência de saída de forma gráfica.	33
Figura 14 - Leiaute dos transistores prototipados, sendo eles (a) o ELT assimétrico e (b) o ELT Pseudo-Simétrico.	38
Figura 15 – Esquemático das associações de ELT prototipadas.	40
Figura 16 – “Chip” prototipado, com destaque nos “ μ pads” utilizados para realização das medidas.	41
Figura 17 - Representação das medições realizadas no LCE.	41
Figura 18 - Exemplo do conjunto de medições realizadas no LCE.	43
Figura 19 - Curvas $I_D \times V_{DS}$ médias dos dispositivos individuais com $V_{GS}=600mV$. A esquerda estão as curvas dos ELTs assimétricos e a direita as curvas dos ELTs Pseudo-Simétricos.	44
Figura 20 – Histogramas das Resistências de Saída extraídas para os dispositivos (a) ELT-C Inner, (b) ELT-C Outer e (c) STD-C.	46
Figura 21 - Histogramas das Resistências de Saída extraídas para os dispositivos (a) ELT-PS Inner, (b) ELT-PS Outer e (c) STD-PS.	46
Figura 22 – Histogramas das Tensões de Limiar para os dispositivos (a) ELT-C Inner, (b) ELT-C Outer e (c) STD-C.	48
Figura 23 - Histogramas das Tensões de Limiar para os dispositivos (a) ELT-PS Inner, (b) ELT-PS Outer e (c) STD-PS.	48

Figura 24 - Histogramas das Transcondutâncias máximas para os dispositivos (a) ELT-C Inner, (b) ELT-C Outer e (c) STD-C.	49
Figura 25 - Histogramas das Transcondutâncias máximas para os dispositivos (a) ELT-PS Inner, (b) ELT-PS Outer e (c) STD-PS.	50
Figura 26 – Curvas $g_m/I_{Dx}V_{GS}$ médias dos dispositivos analisados com enfoque nas diferenças dos seus valores máximos.	50
Figura 27 - Curvas $I_{Dx}V_{DS}$ médias dos dispositivos associados em paralelo com $V_{GS}=600mV$. A esquerda estão as curvas dos ELTs assimétricos e a direita as curvas dos ELTs Pseudo-Simétricos.	52
Figura 28 - Comportamento anômalo nas curvas medidas de uma amostra do dispositivo STD-PS PA.	53
Figura 29 - Histogramas das Resistências de Saída extraídas para os dispositivos (a) ELT-C PA1, (b) ELT-C PA2, (c) ELT-C PA3 e (d) STD-C PA.	54
Figura 30 - Histogramas das Resistências de Saída extraídas para os dispositivos (a) ELT-PS PA1 e (b) ELT-PS PA2.	54
Figura 31 - Histogramas das Tensões de Limiar extraídas para os dispositivos (a) ELT-C PA1, (b) ELT-C PA2, (c) ELT-C PA3 e (d) STD-C PA.	55
Figura 32 - Histogramas das Tensões de Limiar extraídas para os dispositivos (a) ELT-PS PA1, (b) ELT-PS PA2, (c) ELT-PS PA3 e (d) STD-PS PA.	56
Figura 33 - Histogramas das Transcondutâncias máximas extraídas para os dispositivos (a) ELT-C PA1, (b) ELT-C PA2, (c) ELT-C PA3 e (d) STD-C PA.	57
Figura 34 - Histogramas das Transcondutâncias máximas extraídas para os dispositivos (a) ELT-PS PA1 e (b) ELT-PS PA2.	57
Figura 35 - Curvas $I_{Dx}V_{DS}$ médias dos dispositivos associados em série com $V_{GS}=600mV$. A esquerda estão as curvas dos ELTs assimétricos e a direita as curvas dos ELTs Pseudo-Simétricos.	58
Figura 36 - Conjunto de curvas $I_{Dx}V_{DS}$ medidas de uma amostra do dispositivo STD-C SE.	59
Figura 37 - Histogramas das Tensões de Limiar extraídas para os dispositivos (a) ELT-C SE1, (b) ELT-C SE2, (c) ELT-C SE3 e (d) STD-C SE.	60
Figura 38 - Histogramas das Tensões de Limiar extraídas para os dispositivos (a) ELT-PS SE1, (b) ELT-PS SE2, (c) ELT-PS SE3 e (d) STD-PS SE.	61

LISTA DE TABELAS

Tabela 1 - Dimensões dos transistores analisados.....	39
Tabela 2 - Descrição dos dispositivos medidos experimentalmente.....	40
Tabela 3 - Corrente de dreno média máxima para os ELTs assimétricos com $V_{GS}=600mV$	45
Tabela 4 - Corrente de dreno média máxima para os ELTs Pseudo-Simétricos com $V_{GS}=600mV$	45
Tabela 5 - Resistência de saída média em saturação estimada para os ELTs assimétricos com $V_{GS}=600mV$	45
Tabela 6 - Resistência de saída média em saturação estimada para os ELTs Pseudo-Simétricos com $V_{GS}=600mV$	45
Tabela 7 - Tensão de Limiar média estimada pelo método da segunda derivada para os ELTs assimétricos.....	47
Tabela 8 - Tensão de Limiar média estimada pelo método da segunda derivada para os ELTs Pseudo-Simétricos.....	47
Tabela 9 - Transcondutância máxima média calculada para os ELTs assimétricos com $V_{DS}=600mV$	49
Tabela 10 - Transcondutância máxima média calculada para os ELTs Pseudo-Simétricos com $V_{DS}=600mV$	49
Tabela 11 - g_m/I_D máximo médio calculado para os ELTs assimétricos com $V_{DS}=600mV$	50
Tabela 12 - g_m/I_D máximo médio calculado para os ELTs Pseudo-Simétricos com $V_{DS}=600mV$	50
Tabela 13 - Corrente de dreno média máxima para os ELTs assimétricos associados em paralelo com $V_{GS}=600mV$	53
Tabela 14 - Corrente de dreno média máxima para os ELTs Pseudo-Simétricos associados em paralelo com $V_{GS}=600mV$	53
Tabela 15 - Resistência de saída média em saturação estimada para os ELTs assimétricos associados em paralelo com $V_{GS}=600mV$	53
Tabela 16 - Resistência de saída média em saturação estimada para os ELTs Pseudo-Simétricos associados em paralelo com $V_{GS}=600mV$	53
Tabela 17 - Tensão de Limiar média estimada pelo método da segunda derivada para as associações de ELTs assimétricos.....	55
Tabela 18 - Tensão de Limiar média estimada pelo método da segunda derivada para as associações de ELTs Pseudo-Simétricos.....	55
Tabela 19 - Transcondutância máxima média calculada para as associações de ELTs assimétricos com $V_{DS}=600mV$	56
Tabela 20 - Transcondutância máxima média calculada para as associações de ELTs Pseudo-Simétricos com $V_{DS}=600mV$	56
Tabela 21 - g_m/I_D máximo médio calculado para os ELTs assimétricos com $V_{DS}=600mV$	57
Tabela 22 - g_m/I_D máximo médio calculado para os ELTs Pseudo-Simétricos com $V_{DS}=600mV$	58
Tabela 23 - Tensão de Limiar média estimada pelo método da segunda derivada para os ELTs assimétricos associados em série.....	60

Tabela 24 - Tensão de Limiar média estimada pelo método da segunda derivada para os ELTs Pseudo-Simétricos associados em série.....	60
---	----

LISTAS DE ABREVIATURAS E SIGLAS

CI	Circuito Integrado
CMOS	<i>Complementary Metal-Oxide-Semiconductor</i>
DIBL	<i>Drain Induced Barrier Lowering</i>
ELT	<i>Enclosed Layout Transistor</i>
LCE	Laboratório de Caracterização Elétrica
LOCOS	<i>Local Oxidation of Silicon</i>
ITAR	<i>International Traffic in Arms Regulations</i>
nMOSFET	<i>N-channel Metal Oxide Semiconductur Field-Effect Transistor</i>
pMOSFET	<i>P-channel Metal Oxide Semiconductur Field-Effect Transistor</i>
MOS	<i>Metal-Oxide-Semiconductor</i>
MOSFET	<i>Metal-Oxide-Semiconductor Field-Effect Transistor</i>
MPW	<i>Multi-Project Wafer</i>
SCBE	<i>Substrate Current induced Body Effect</i>
SEE	<i>Single Event Effect</i>
SMU	<i>Source Monitor Unit</i>
SOI	<i>Silicon on Insulator</i>
STI	<i>Shallow-Trech Insulation</i>
TID	<i>Total Ionizing Dose</i>

Sumário

1.	Introdução	12
2.	Efeitos da Radiação Ionizante em Circuitos Eletrônicos	14
2.1.	Efeitos de Dose Ionizante Total (TID)	15
2.1.1.	Desvios na Tensão de Limiar	16
2.1.2.	Correntes de Fuga Induzidos por Radiações Ionizantes	18
2.1.3.	Degradação da Mobilidade dos Portadores	20
2.1.4.	Alteração no espectro de ruído intrínseco	21
2.2.	Técnicas de Proteção às Radiações Ionizantes	21
2.2.1.	Proteção à Nível de Processo ou Tecnologia (“ <i>Hardening-by-Technology</i> ”)	21
2.2.2.	Proteção à Nível de Projeto (“ <i>Hardening-by-Design</i> ”)	22
2.2.3.	Proteção à Nível de Sistema (“ <i>Hardening-by-System</i> ”)	22
2.3.	Transistor de Leiute Fechado (ELT)	23
3.	Fundamentação Teórica	26
3.1.	Fundamentos e Modelagem do MOSFET	26
3.1.1.	Funcionamento do MOSFET	26
3.1.2.	Resistência de Saída (r_o)	29
3.1.3.	Transcondutância (g_m)	30
3.1.4.	Método de Extração Experimental da Tensão de Limiar (V_{TH})	31
3.1.5.	Método de Extração da Resistência de Saída	33
3.1.6.	Parâmetro g_m/I_D	34
3.2.	Variabilidade e Análise Estatística	34
3.2.1.	Variabilidade em Circuitos Integrados	34
3.2.2.	Análise Estatística	36
3.2.3.	Determinação do Número de Amostras	37
4.	“ <i>Setup</i> ” Experimental e Chip de Teste	38
4.1.	“ <i>Chip</i> ” de Teste	38
4.2.	“ <i>Setup</i> ” Experimental	41
5.	Resultados	44
5.1.	Resultados dos ELTs Individuais	44
5.2.	Resultados dos ELTs Associados em Paralelo	51
5.3.	Resultados dos ELTs Associados em Série	58
6.	Conclusão	62
7.	Referências Bibliográficas	64

1. Introdução

O avanço rápido da indústria de semicondutores nas últimas décadas tem tornado os circuitos integrados cada vez mais densos e intrincados. Este aumento da densidade de integração foi possível por causa da redução das dimensões dos transistores que podem ser fabricados, um fenômeno conhecido também como escalonamento tecnológico. Esta diminuição de dimensões traz novos desafios ao projeto de circuitos integrados, com o aumento do impacto da variabilidade de processo (HUANG *et al.*, 2017) e dos efeitos das radiações ionizantes (SCHWANK *et al.*, 2008).

Os circuitos “*Complementary Metal-Oxide-Semiconductor*” (CMOS) analógicos passaram a receber uma maior atenção no que concerne sua aplicação no ambiente aeroespacial pois, atualmente, a capacidade de integração de sistemas mistos em um único “*chip*”, e sua grande aplicabilidade em sistemas de aquisição de dados e sensoriamento de satélites e aeronaves vem necessitando de pesquisas na área de tolerância às radiações ionizantes que contemplem também as aplicações da tecnologia CMOS em circuitos analógicos de baixa potência e sistemas de sinal misto (BALEN, 2010).

Porém, estes circuitos integrados (CIs) analógicos não apresentam um escalonamento tão agressivo quanto os CIs digitais. Nós tecnológicos mais maduros, como de 180 nm e 130 nm ainda representam boas alternativas para projetos analógicos e de sinais-mistos, mesmo já sendo considerados obsoletos para CIs digitais do estado da arte. Dispositivos produzidos nestas tecnologias mais maduras acabam sendo mais sensíveis aos efeitos de Dose Ionizante Total (do inglês “*Total Ionizing Dose*” – TID), uma vez que estes efeitos se agravam em tecnologias que possuem óxidos de proteção mais espessos (SCHWANKE *et al.*, 2008).

Isto também é importante para um país como o Brasil, que possui seu território situado no centro de uma região conhecida como Anomalia Magnética do Atlântico Sul. Nessa região, o fluxo de prótons é cerca de 100 vezes maior que nas outras regiões da terra (HEYNDERICKX, et al, 1996). Por isso o Brasil se encontra sob uma região bastante crítica em relação a incidência principalmente de prótons, o que eleva a importância do estudo de técnicas de proteção contra as radiações ionizantes no país.

Outro fator importante é o fenômeno do “cerceamento tecnológico”, onde países, como os EUA, criam limitações e regulamentos para componentes eletrônicos tolerantes

às radiações ionizantes no intuito de criar barreiras comerciais para que outros países obtenham estes componentes. O Regulamento sobre o Tráfico Internacional de Armas (do inglês “*International Traffic in Arms Regulations*” – ITAR) dos EUA (COOK, 2010; EUA, 1997) considera que os componentes tolerantes às radiações ionizantes podem ser destinados à fabricação de artefatos bélicos e, por isso, muitos deles não podem ser exportados pelos fabricantes de circuitos integrados para fora dos EUA (ou são exportados somente mediante autorização do governo). Por isso, o investimento em desenvolvimento de tecnologias nacionais se torna tão importante para o avanço dos programas espaciais brasileiros.

Uma técnica que pode ser utilizada para melhorar a robustez de um circuito integrado (CI) aos efeitos da radiação ionizante é a implementação de transistores de leiaute fechado (do inglês “*Enclosed Layout Transistor*” – ELT). ELT é uma técnica de proteção às radiações ionizantes em nível de projeto e uma de suas principais vantagens é a diminuição das correntes de fuga de dreno entre os terminais de um mesmo transistor ou entre transistores vizinhos, quando submetidos às radiações ionizantes. Porém, a implementação do ELT traz alguns desafios ao projetista como o modelamento utilizado para estimar sua razão de aspecto (GIRALDO, PACCAGNELLA, MINZONI, 2000), a faixa limitada de possíveis razões de aspecto (FACCIO, 2007) e o aumento de área utilizada pelo transistor (ANELLI, *et al.*, 1999).

Neste contexto, este trabalho tem como objetivo analisar o impacto do uso de ELTs no desempenho elétrico e na variabilidade dos dispositivos fabricados no nó tecnológico Bulk de 130 nm. Para isso, 25 amostras de um “*chip*” projetado por (CARDOSO, 2018) contendo transistores do tipo ELT assimétricos e ELT Pseudo-Simétricos foram caracterizados neste trabalho. Foram avaliados os comportamentos das características corrente-tensão dos “*Metal-Oxide-Semiconductor Field Effect Transistors*” (MOSFETs) através de suas curvas $I_{Dx}V_{DS}$ e $I_{Dx}V_{GS}$, e com elas foram estimados experimentalmente suas tensões de limiar (V_{TH}), transcondutância (g_m) e resistência de saída em saturação (r_o). Os efeitos do uso da Pseudo-Simetria foram investigados, comparando seus resultados com o uso do ELT assimétrico.

2. Efeitos da Radiação Ionizante em Circuitos Eletrônicos

Sabe-se desde o início dos anos 60 que as radiações ionizantes presentes no espaço podem perturbar o funcionamento de circuitos integrados (VELAZCO, FOUILLAT, REIS, 2007). Esse problema é mais evidente em aplicações em grandes altitudes, como no caso das aplicações aeroespaciais, pois a intensidade de radiações ionizantes aumenta quanto mais elevada for a região em relação ao nível do mar.

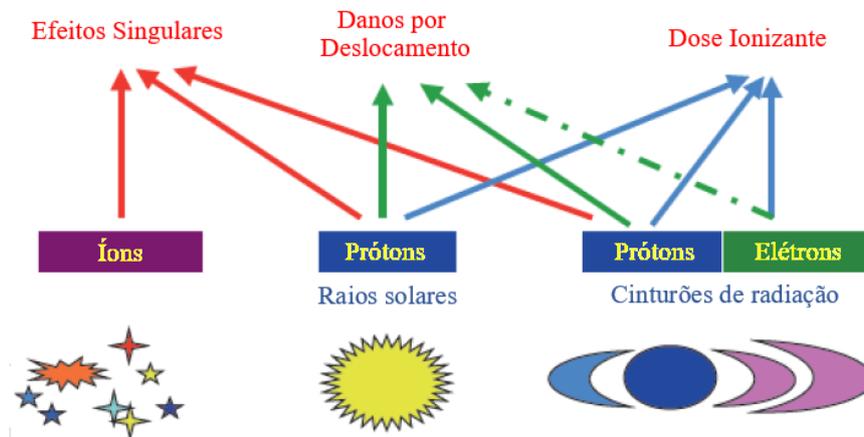
Com o contínuo avanço da tecnologia e da redução das dimensões dos dispositivos fabricados atualmente, a quantidade de energia necessária da radiação ionizante incidente para gerar perturbações nos circuitos integrados também foi diminuindo, uma vez que diminuindo as dimensões dos dispositivos também diminuiu os valores das capacitâncias do circuito, finalmente resultando na diminuição da carga crítica.

Segundo (BALEN, 2010), as principais partículas que podem perturbar os CIs eletrônicos são prótons, elétrons, nêutrons, partículas alfa, íons pesados, além da radiação eletromagnética (como raios-x e raios gama). As principais fontes de radiações ionizantes de origem espacial são os cinturões de Van Allen, a atividade solar e os Raios Cósmicos Galácticos. Os dispositivos eletrônicos utilizados em aplicações espaciais têm grande probabilidade de sofrer efeitos indesejados em decorrência da incidência de raios cósmicos e de radiação.

A incidência de radiação em CIs eletrônicos pode ocasionar três tipos de efeitos. São eles a Dose Ionizante Total (do inglês "*Total Ionizing Dose*" - TID), os Efeitos Singulares (do inglês "*Single Event Effect*" - SEE) e os Danos por Deslocamento (BOUDENOT, 2007). A Figura 1 apresenta uma relação simplificada entre as principais fontes de radiações espaciais e os três efeitos apresentados acima.

Neste trabalho focaremos apenas nos efeitos relacionados à TID.

Figura 1- Relação dos efeitos da radiação espacial e suas respectivas fontes.



Fonte: adaptado de (ECCOFET, 2007).

2.1. Efeitos de Dose Ionizante Total (TID)

A dose ionizante total é um efeito de caráter cumulativo que degrada algumas propriedades elétricas dos dispositivos eletrônicos devido ao acúmulo de cargas nos materiais isolantes que compõem o CI quando expostos às radiações ionizantes (SCHRIMPF, 2007). São efeitos de longo prazo e sua magnitude depende da intensidade das radiações incidentes e do tempo em que o CI foi exposto a estas radiações ionizantes.

O acúmulo de cargas em óxidos de campo, induzido pelas radiações ionizantes, foi inicialmente estudado por (SNOW *et al.*, 1967). Os óxidos de campo e as camadas de isolamento são mais suscetíveis aos efeitos causados pela TID do que as regiões ativas dos transistores do tipo “*Metal-Oxide-Semiconductor*” (MOS) atuais (TUROWSKI, RAMAN, SCHRIMPF, 2004). Quanto maior for a energia e a quantidade de partículas ou radiações incidentes no circuito integrado, mais severos serão os efeitos de ionização ocasionados.

Atualmente, os óxidos de campo estão cada vez mais finos, fazendo com que, devido à radiação ionizante, cargas sejam geradas em menor volume, sendo rapidamente conduzidas para fora dele por tunelamento. Sendo assim, uma quantidade menor de carga é aprisionada e, dessa forma, os efeitos relacionados a TID não são tão presentes nos CIs digitais atuais. Porém os CIs analógicos não têm acompanhado a diminuição das dimensões da mesma forma que os CIs digitais.

Os CIs analógicos normalmente são confeccionados utilizando tecnologias mais maduras, que podem até ser consideradas obsoletas no domínio digital, mas ainda estão

disponíveis em larga escala em componentes analógicos comerciais. Como estas tecnologias mais maduras possuem óxidos mais espessos, é possível afirmar que componentes CMOS analógicos tem, em geral, uma maior vulnerabilidade à TID, quando comparados com os circuitos digitais do estado-da-arte.

Manghisoni *et al.* (2003) aponta que a utilização de tecnologias mais modernas reduz o impacto da exposição às radiações ionizantes, ao comparar os nós tecnológicos de 0,25 μm e de 0,18 μm . Os mesmos autores investigaram posteriormente os efeitos da radiações ionizantes em transistores do nó tecnológico de 0,13 μm e concluíram que esta tecnologia apresenta uma tolerância ainda maior que as investigadas anteriormente (RE *et al.*, 2006).

As cargas aprisionadas tanto no óxido como na interface (Si-SiO₂) são responsáveis por causar, principalmente, desvios na tensão de limiar de transistores do tipo MOS, a degradação da mobilidade de portadores, a indução de correntes de fuga de dreno e modificação das características de ruído dos dispositivos afetados (SCHRIMPF, 2007; MEISENHEIMER *et al.*, 1991). Os efeitos citados acima serão aprofundados a seguir.

2.1.1. Desvios na Tensão de Limiar

As cargas positivas aprisionadas no óxido de porta e na interface entre o óxido de porta e o filme de silício modificam as características (tensão x corrente) da região de subliminar dos MOSFET. A carga líquida aprisionada nos óxidos normalmente é positiva, enquanto a carga aprisionada na interface pode ser positiva, neutra ou negativa, dependendo do potencial da interface e da natureza física do defeito responsável pelo aprisionamento das cargas (SCHRIMPF, 2007).

Para MOSFETs tipo P (do inglês “*P-channel Metal-Oxide-Semiconductor Field-Effect Transistors*” - pMOSFET), a carga líquida formada pelo óxido de porta e o silício é normalmente positiva, contribuindo para diminuir a tensão de limiar do transistor. Já para MOSFETs tipo N (do inglês “*N-channel Metal-Oxide-Semiconductor Field-Effect Transistors*” – nMOSFET), a carga líquida aprisionada na interface é normalmente negativa, ocasionando um aumento na tensão de limiar. O desvio total na tensão de limiar depende do resultado líquido das cargas acumuladas no óxido de porta e das cargas formadas pelo óxido de porta e o silício (BALEN, 2010). Como a carga líquida aprisionada no óxido de porta é positiva, o acúmulo de cargas total tende a ser maior nos

pMOSFETs, pois neles os dois mecanismos de aprisionamento de cargas geram carga líquida positiva (efeito aditivo). Já nos nMOSFETs, os dois efeitos geram cargas com sinais opostos, onde parte da carga será compensada e o sinal do desvio dependerá do efeito que ocorreu com maior intensidade (SCHWANK *et al.*, 2008).

Pensando em um nMOSFET, a radiação incide na área da estrutura MOS fazendo surgir pares elétron-lacuna nas regiões dos óxidos de porta e de isolamento. As cargas negativas, em função da sua maior mobilidade, são repelidas da região dos óxidos devido ao potencial V_{GS} aplicado à porta do transistor, levando ao surgimento de correntes de fuga na porta. Já as lacunas são aprisionadas nas eventuais imperfeições do óxido, contribuindo para que ocorram desvios na tensão de limiar do dispositivo. Para pMOSFETs, o mecanismo de aprisionamento de cargas ocorre de forma parecida, porém os elétrons gerados são atraídos para a região de interface SiO_2/Si (SCHRIMPF, 2007). O desvio da tensão de limiar dos dispositivos MOS sempre foi um problema para ambos os tipos de transistores. nMOSFETs podem apresentar desvios negativos, positivos ou neutros de tensão de limiar, dependendo do tempo de exposição, da taxa de dose, do campo elétrico aplicado nos seus terminais e da natureza das imperfeições no óxido (BALEN, 2010). Já para pMOSFETs, os desvios na tensão de limiar serão sempre no sentido negativo (SCHRIMPF, 2007).

Atualmente, o impacto das radiações ionizantes nos desvios de tensão de limiar vem sendo naturalmente reduzidos, uma vez que as espessuras dos óxidos de isolamento vêm diminuindo em função do escalamento tecnológico. O presente trabalho foi desenvolvido considerando a tecnologia Bulk de $0,13\ \mu\text{m}$ da IBM (atualmente “*GlobalFoundries*”), que utiliza isolamento do tipo “*Shallow-Trench Isolation*” (STI). (RE *et al.*, 2005) realizou um estudo considerando uma TID de 10Mrad e isolamento tipo STI e apresenta uma comparação das variações de tensão de limiar com dois diferentes nós tecnológicos ($0,18\ \mu\text{m}$ e $0,13\ \mu\text{m}$), onde a diminuição das dimensões causa uma expressiva redução no desvio da tensão de limiar, na ordem de unidades de milivolt ($0,13\ \mu\text{m}$) a dezenas de milivolt ($0,18\ \mu\text{m}$). Estes resultados são ainda mais expressivos se comparados com tecnologias mais antigas, onde poderiam ocorrer desvios da ordem de unidades de volt na tensão de limiar do dispositivo, conforme observado para a tecnologia de $2\ \mu\text{m}$ (DJEZZAR *et al.*, 2000).

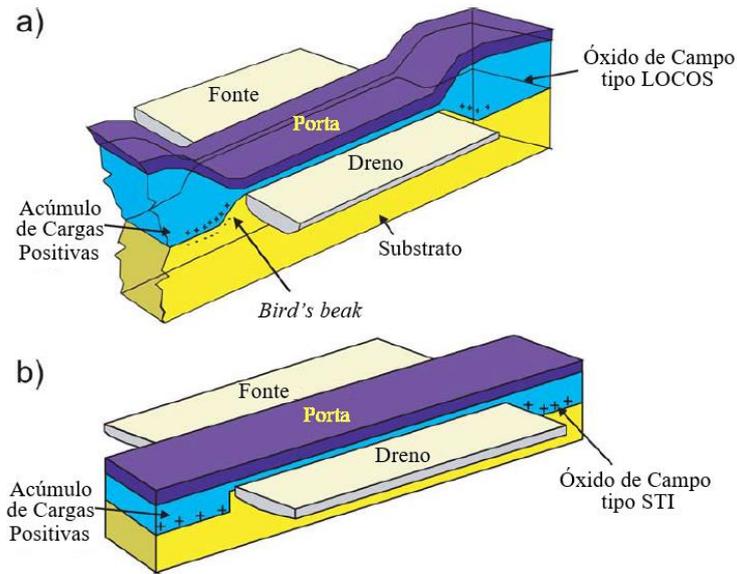
2.1.2. Correntes de Fuga Induzidos por Radiações Ionizantes

Os efeitos induzidos pelas radiações ionizantes na tensão de limiar dos MOSFETs atuais são relativamente pequeno devido aos óxidos finos de porta. Entretanto, os óxidos de isolamento que circundam as áreas ativas dos transistores são mais espessos, fazendo com que o comportamento destes óxidos frente às radiações ionizantes praticamente domine a resposta da maioria dos circuitos integrados não-tolerantes às radiações ionizantes (SCHRIMPF, 2007).

O nMOSFET recebe uma atenção maior quando comparado ao pMOSFET, pois a carga líquida induzida pela incidência da radiação ionizante no óxido de isolamento é predominantemente positiva, independentemente do tipo de transistor (SCHRIMPF, 2007). Logo, para transistores nMOSFET, as cargas negativas serão atraídas para a região de interface entre o óxido e a região do canal, formando assim uma região de inversão parasita, que configura um caminho para a corrente fluir entre os terminais de um mesmo dispositivo ou de um dispositivo para outro (BARNABY, 2006). Nas tecnologias que usam isolamento do tipo Oxidação Local de Silício (do inglês *“Local Oxidation of Silicon”* - LOCOS), a região onde as cargas positivas são aprisionadas e onde ocorre a formação do canal parasita é conhecida como *“Bird’s beak”* (bico de pássaro). O mesmo ocorre para as tecnologias que utilizam a isolamento do tipo STI, conforme ilustrado na Figura 2. pMOSFETs não representam uma preocupação com relação às correntes de fuga de dreno, pois as cargas positivas acumuladas nos óxidos irão levar ainda mais o poço tipo N para a região de acumulação, sem perigo de formar uma camada de inversão parasita (SNOEYS, *et al.*, 2000).

Em óxidos de isolamento, o acúmulo de cargas é positivo, e assim, cargas negativas são induzidas no Si próximo a estas regiões. Em substratos ou poços tipo P (nMOSFETs) estas cargas induzidas formarão uma região de inversão, podendo gerar um caminho de corrente de fuga que pode ser entre os terminais de um mesmo transistor (*“intradvice leakage”*) ou entre dois dispositivos vizinhos (*“interdevice leakage”*) (BARNABY, 2006).

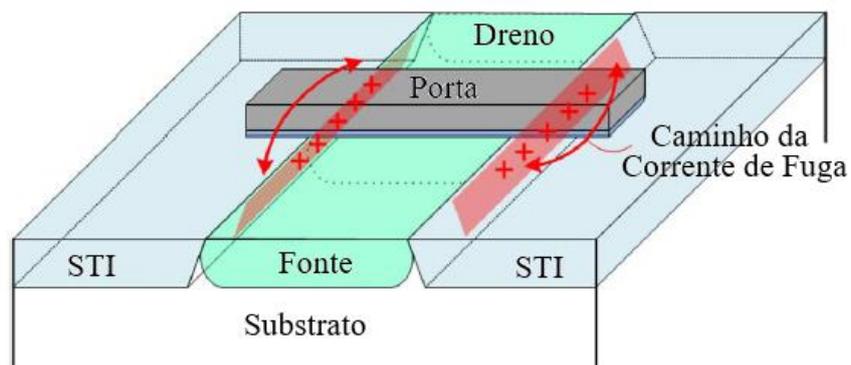
Figura 2 - Formação de zona de inversão parasita entre o substrato do tipo P e o óxido de campo em decorrência da geração de cargas positivas no óxido induzidas por radiação para as tecnologias do tipo (a) LOCOS e (b) STI.



Fonte: adaptado de (SCHWANK, *et al.*, 2008).

A corrente de fuga entre os terminais de um mesmo transistor se cria a partir das cargas positivas induzidas no óxido de isolamento, o que atrai cargas negativas na interface lateral entre o substrato e o óxido, fazendo surgir uma zona de inversão parasita entre as áreas ativas do dispositivo. A Figura 3 ilustra a formação desta corrente de fuga.

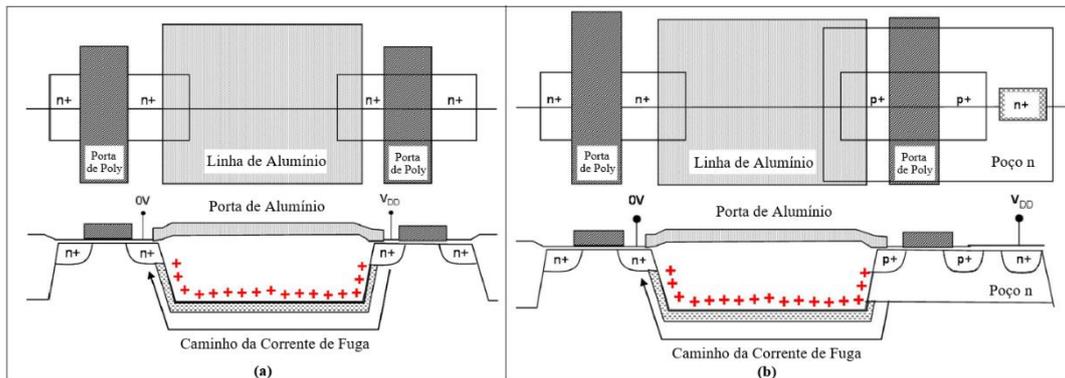
Figura 3 - Caminho da corrente de fuga entre os terminais de dreno e fonte de um mesmo transistor.



Fonte: adaptado de (LEE, M., LEE, H., 2013).

As correntes de fuga entre dispositivos vizinhos acontecem de forma análoga, com acumulação de cargas positivas no óxido de isolamento entre dois transistores vizinhos que criam uma zona de inversão parasita com o substrato entre eles. A Figura 4 ilustra os caminhos de correntes de fuga possíveis entre dois dispositivos vizinhos.

Figura 4 - Caminho de corrente de fuga entre dispositivos vizinhos: (a) entre dreno e fonte de transistores nMOS vizinhos e (b) entre o dreno/fonte de um transistor nMOS e o poço n+ de um transistor pMOS vizinho.



Fonte: adaptado de (BARNABY, 2006).

Estas correntes de fuga são as principais causas do aumento da corrente estática do dispositivo, gerado pela exposição à altas doses de radiação ionizante (BARNABY, 2006). Este aumento é particularmente preocupante se considerarmos os valores reduzidos de tensão de alimentação e de limiar dos transistores atuais, pois mesmo sob baixa tensão aplicada na porta do transistor, um nível significativo de corrente pode fluir entre dreno e fonte e, em alguns casos, impedir que o transistor seja desligado.

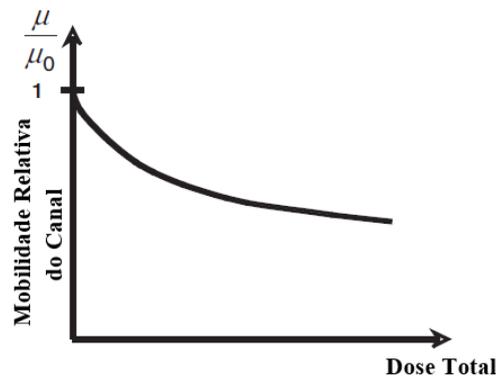
Das correntes de fuga apresentadas acima, a contribuição da corrente de fuga entre o dreno e a fonte de um mesmo transistor domina em relação as outras para a tecnologia de $0,13\ \mu\text{m}$, que é a estudada neste trabalho, conforme (BARNABY, 2006).

2.1.3. Degradação da Mobilidade dos Portadores

Cargas aprisionadas no óxido de porta e na interface Si/SiO₂ podem reduzir a mobilidade da camada de inversão em virtude de um fenômeno conhecido como “espalhamento coulomb” (ZUPAC *et al.*, 1993). O espalhamento coulomb é formalmente definido como o espelhamento de uma ou mais partículas ao interagir com o campo eletrostático de um núcleo (RODITI, 2005). Por estarem mais próximas do canal, as cargas acumuladas na interface têm maior efeito no espalhamento e exercem uma influência maior na mobilidade dos portadores (SCHRIMPF, 2007). Em aplicações suscetíveis à radiação ionizante, a degradação da mobilidade pode chegar a tal ponto que resulta em falhas paramétricas nos dispositivos afetados (ZUPAC *et al.*, 1993).

A Figura 5 ilustra a mobilidade relativa do canal de condução do nMOSFET em função da TID recebida.

Figura 5 - Gráfico da Mobilidade Relativa do Canal pela TID para um transistor irradiado.



Fonte: adaptado de (SCHRIMPF, 2007).

2.1.4. Alteração no espectro de ruído intrínseco

A incidência de radiação ionizante também afeta a figura de ruído do MOSFET, fazendo aumentar o ruído intrínseco, principalmente o ruído de baixa frequência, também conhecido como ruído $1/f$ ou ruído “*flicker*” (MEISENHEIMER, FLEETWOOD, 1990).

2.2. Técnicas de Proteção às Radiações Ionizantes

No que concerne as técnicas de proteção contra radiação de circuitos integrados, elas podem ser divididas em três níveis, que se diferenciam quanto ao momento em que a técnica é implementada. Eles são técnicas de proteção à Nível de Processo (ou Tecnologia), à Nível de Projeto e à Nível de Sistema.

2.2.1. Proteção à Nível de Processo ou Tecnologia (“*Hardening-by-Technology*”)

Ocorre quando um determinado processo ou tecnologia de fabricação é alterado, ou quando uma tecnologia que apresenta características intrínsecas de tolerância à radiação é empregada. A evolução da tecnologia de fabricação dos circuitos integrados tem adicionado aos transistores atuais uma tolerância natural a efeitos de TID, devido à redução significativa das espessuras dos óxidos de isolamento e de porta.

Um exemplo é a utilização da tecnologia “*Silicon on Insulator*” (SOI), que apresenta uma maior imunidade às radiações ionizantes, tanto à efeitos singulares quanto à TID (SCHWANK *et al.*, 2008).

2.2.2. Proteção à Nível de Projeto (“*Hardening-by-Design*”)

Ocorre quando a estrutura ou lógica de um determinado CI é alterada em nível de projeto, com o intuito de melhorar a tolerância aos efeitos das radiações ionizantes. Uma forma de diminuir os efeitos de TID em MOSFETs é modificar sua geometria, a fim de diminuir a fuga de corrente induzida pelas radiações ionizantes. Uma metodologia que pode ser aplicada para reduzir drasticamente a fuga de corrente ocasionada por acúmulo de TID é conhecida como ELT (SNOEYS *et al.*, 2000). Nesta topologia um dos terminais, normalmente a fonte, é totalmente circundado pela região da porta de polisilício. Desta forma não há mais óxido de campo em contato, simultaneamente, com o dreno e a fonte, onde poderia surgir o canal parasita. Este tipo de transistor será apresentado de forma mais detalhada na Seção 2.3, a seguir.

Outra técnica possível seria adicionar um anel de guarda (“*guard ring*”) em torno do dispositivo a ser protegido. Sua função é impedir a fuga de corrente entre dispositivos vizinhos.

2.2.3. Proteção à Nível de Sistema (“*Hardening-by-System*”)

Ocorre quando a implementação da técnica se dá à nível de sistema. A diferença entre proteção a nível de projeto e de sistema reside no fato de que uma proteção a nível de sistema pode ser empregada pelo integrador final, sem a necessidade de alterar o leiaute, a biblioteca de células, o projeto do circuito integrado ou dos blocos circuitais utilizados. Um exemplo é o uso da redundância, tanto temporal quanto espacial (ANGHEL, ALEXANDRESCU, NICOLAIDIS, 2000).

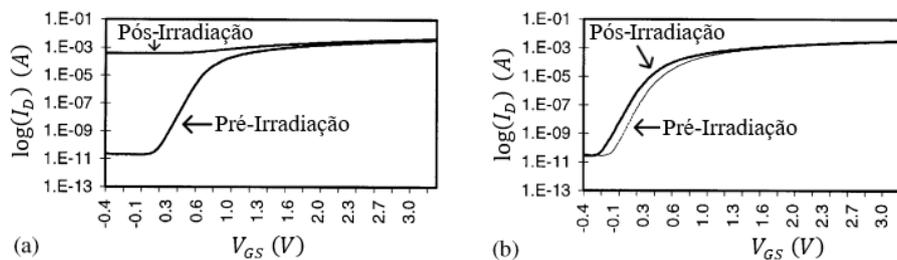
Componentes disponíveis comercialmente configuram uma alternativa para redução de custos do sistema final, podendo ser utilizados inclusive em aplicações críticas (WINOKUR *et al.*, 1999). Vale salientar que, em virtude do já apresentado “cerceamento tecnológico”, a possibilidade de implementar um sistema tolerante à radiação utilizando componentes disponíveis comercialmente, mesmo que supostamente não tolerantes à radiação, é uma saída possível para transpor as barreiras de comércio exterior sobre os dispositivos tolerantes.

Outra estratégia de proteção de sistemas suscetíveis à radiação é utilizar uma blindagem metálica externa, reduzindo a dose efetiva acumulada pelo componente (BOUDENOT, 2007).

2.3. Transistor de Leiaute Fechado (ELT)

A adoção de ELTs como uma técnica de proteção à nível de projeto é uma alternativa adequada para aumentar a tolerância de Cis às radiações ionizantes (FACCIO, CERVELLI, 2005). A geometria fechada evita a formação de regiões de óxido de proteção espesso nas bordas do canal de condução ao circundar o terminal interno pela porta de polisilício, que possui apenas o óxido fino de porta entre ele e o substrato, que possui tolerância inerente aos efeitos de TID nas tecnologias atuais. Sua efetividade na atenuação das correntes de fuga para aplicações em ambientes com radiação é conhecida desde o início da década de 90 (ANELLI, *et al.*, 1999). A Figura 6 apresenta as curvas de comportamento $I_D \times V_{GS}$ de um transistor retangular e um ELT expostos a uma dose total de 2Mrad, onde podemos observar de forma evidente o aumento das correntes de fuga no transistor retangular após a irradiação, tornando o seu comportamento elétrico inaceitável.

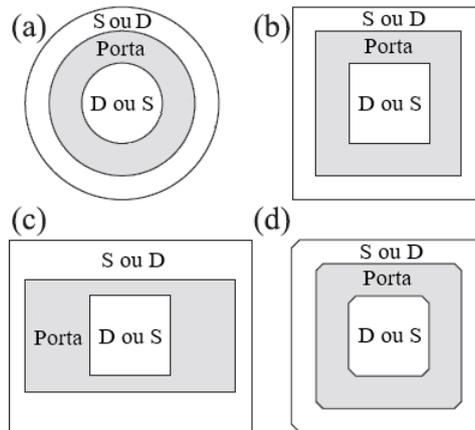
Figura 6 - Curvas de $\log(I_D) \times V_{GS}$ antes e depois de irradiação, expostos a uma dose total de 2Mrad, para (a) um transistor retangular e (b) um ELT.



Fonte: Adaptado de (SNOEYS, *et al.*, 2000)

Em contrapartida, o uso de ELTs traz alguns desafios ao projetista, sendo eles a necessidade de um bom modelo para extrair a razão de aspecto do dispositivo, a limitação das razões de aspecto implementáveis, que apresenta um problema ainda maior para projetos de CIs analógicos CMOS, e a falta de simetria entre os terminais do dispositivo. Além disso, existem diferentes possibilidades de formas para um ELT, o que faz com que cada formato necessite de um modelamento próprio. A Figura 7 ilustra as formas mais usuais utilizadas para implementar ELTs. Uma boa escolha em especial é o ELT quadrado com os cantos chanfrados em 45° , pois é um formato compatível com as regras de design de muitas tecnologias de fabricação e que evita a formação de cantos muito acentuados, onde o campo elétrico poderia se tornar excessivamente alto e prejudicar o funcionamento do transistor (FACCIO, 2007).

Figura 7 - Possíveis formas de implementação de ELT: (a) circular, (b) quadrado, (c) retangular e (d) quadrado com os cantos chanfrados em 45°.



Fonte: Adaptado de (GIRALDO, PACCAGNELLA, MINZONI, 2000)

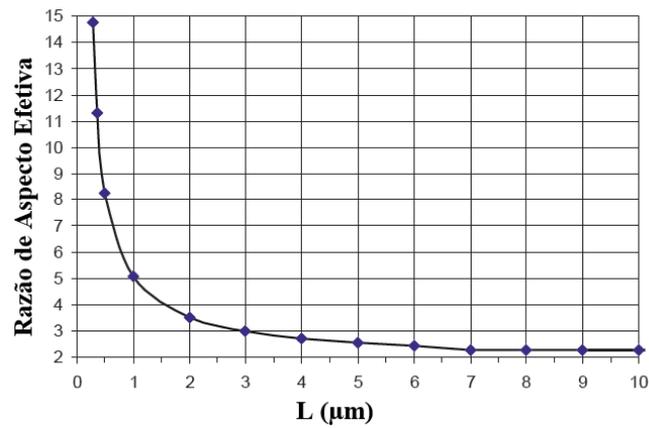
Vários modelos matemáticos já foram propostos para estimar a razão de aspecto dos transistores de geometria fechada, como os presentes em (GIRALDO, PACCAGNELLA, MINZONI, 2000), (SNOEYS, *et al.*, 2000) e (XUE, *et al.*, 2011). E são diferentes dos modelos matemáticos empregados nas ferramentas de EDA para realizar a verificação pós-leiaute do projeto e as simulações comportamentais.

Cardoso e Balen (2017) realizaram uma análise do método de extração da razão de aspecto as tecnologias de 180 nm e 130 nm comparando com os modelos matemáticos presentes na literatura. Concluíram que a ferramenta de EDA utilizada sobrestima o valor da razão de aspecto extraída dos ELTs.

Outro problema decorrente do uso de ELTs é que a razão de aspecto mínima que pode ser alcançada pelo projetista depende do comprimento da porta L utilizado, tendendo a uma razão de aspecto mínima de aproximadamente 2,3 para comprimento de porta muito longos (FACCIO, 2007), (GIRALDO, PACCAGNELLA, MINZONI, 2000). A Figura 8 ilustra a relação entre a razão de aspecto mínima do transistor ELT e seu comprimento de porta L escolhido.

Para uma mesma razão de aspecto o ELT ocupa uma área maior que o transistor retangular convencional, o que ocasiona na perda da densidade de transistores no circuito integrado. Kloukinas *et al.* (1998) mostram uma média de aproximadamente 70% de aumento na área de portas lógicas para uma biblioteca desenvolvida para ser tolerante à radiação.

Figura 8 - Razão de aspecto mínima alcançável para um ELT em função do comprimento de canal L utilizado.



Fonte: Adaptado de (FACCIO, 2007)

Por fim, a falta de simetria do ELT se traduz na assimetria dos parâmetros elétricos do transistor. Em particular, podemos citar a assimetria da condutância de saída e das capacitâncias de dreno e fonte. Utilizar o terminal interno como o dreno apresenta maior condutância de saída (ANELLI, *et al.*, 1999), o que torna essa a escolha mais usual. As capacitâncias associadas serem diferentes resultam em um desempenho diferente em cada transistor, conforme (JARRON *et al.*, 1999).

3. Fundamentação Teórica

Este capítulo apresenta uma revisão da teoria utilizada na parte experimental do trabalho. A Seção 3.1 resume o modelo quadrático do MOSFET e os parâmetros que são extraídos nos ensaios experimentais. A Seção 3.2 apresenta os métodos estatísticos utilizados na análise de variabilidade.

3.1. Fundamentos e Modelagem do MOSFET

O MOSFET é um dispositivo que normalmente possui três terminais e seu princípio básico de funcionamento envolve o uso de uma tensão entre dois terminais para controlar o fluxo de corrente elétrica no terceiro. Pode ser empregado tanto como uma fonte controlada quanto como uma chave, onde o sinal de controle pode ser usado para fazer a corrente do terceiro terminal variar entre zero ou um valor significativo.

São amplamente utilizados na construção de dispositivos elétricos analógicos e digitais, com importância especial para circuitos fabricados em uma única pastilha de silício, também conhecido como CI.

Podem ser fabricados em tamanhos muito pequenos e de forma eficiente em processos de produção de larga escala, o que permitiu que uma grande quantidade de transistores pudesse ser colocada em um único CI. Com eles podemos implementar tanto circuitos digitais, como memórias e processadores, quanto circuitos analógicos, como amplificadores e filtros. Outra possibilidade, que vem sendo cada vez mais utilizada, é implementar ambas as funções (analógicas e digitais) no mesmo CI, também conhecido como projeto de sinal misto (SEDRA, SMITH, 2020).

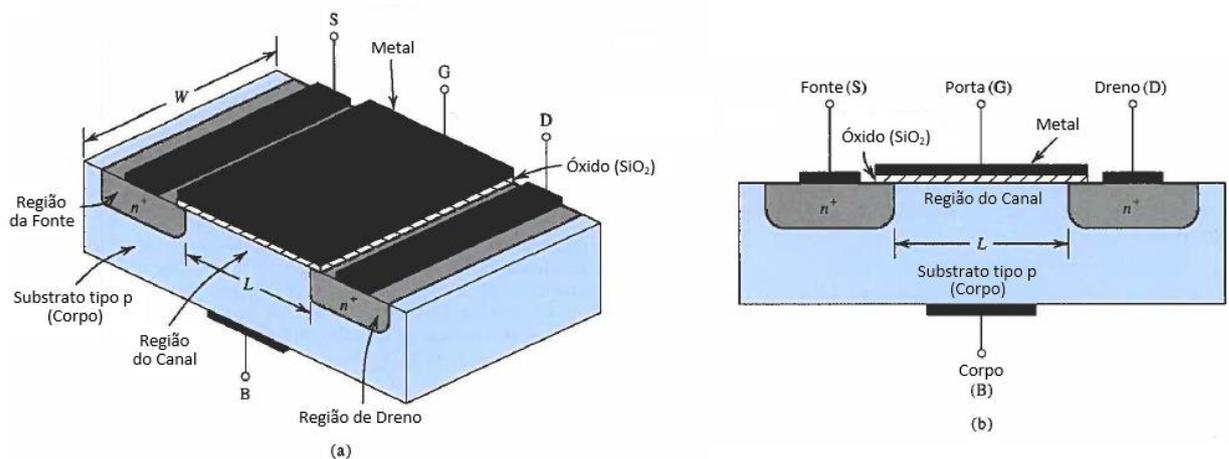
A seguir, será apresentado o funcionamento dos MOSFETs e como estimar alguns de seus parâmetros experimentalmente.

3.1.1. Funcionamento do MOSFET

A Figura 9 apresenta como é construído fisicamente um nMOSFET. Duas regiões fortemente dopadas do tipo n (fonte e dreno) são difundidas no substrato tipo p. Uma camada fina de dióxido de silício (isolante) é depositada sobre a superfície do substrato, na região entre o dreno e a fonte. Uma camada de metal ou silício policristalino é colocada por cima do óxido, formando o terminal de porta do dispositivo. Contatos de metal para as regiões de dreno, da fonte e do substrato (também chamado de corpo) são construídos. Portanto, o dispositivo possui na prática quatro terminais: terminal de dreno (D, do inglês

“*drain*”), terminal da fonte (S, do inglês “*source*”), terminal de porta (G, do inglês “*gate*”) e terminal de corpo (B, do inglês “*body*”). É desta configuração que o nome do dispositivo provém (metal-óxido-semicondutor). Para evitar que junções parasitas se formem entre o substrato e as regiões de dreno e fonte, é comum conectar o terminal de corpo com o terminal de fonte do transistor, tornando-os um único terminal e fazendo com que não haja polarização entre a região da fonte e do corpo e que haja polarização reversa entre a região de dreno e do corpo. As descrições apresentadas a seguir irão considerar que esta conexão está de fato sendo utilizada, de forma que o substrato será desconsiderado da análise e a operação do MOSFET será tratada conforme o potencial aplicado nos outros três terminais.

Figura 9 - Estrutura física de um nMOSFET (a) em perspectiva e (b) em seção transversal.



Fonte: Adaptado de (SEBRA, SMITH, 2020)

Segundo o modelo quadrático do MOSFET, há três distintas regiões de operação: a região de corte, a região de triodo e a região de saturação.

A região de corte se dá quando não há corrente significativa circulando entre os terminais de dreno e fonte, por isso é dito que o dispositivo está em corte. Essa região de operação ocorre quando a tensão de porta V_{GS} for inferior a tensão de limiar do dispositivo V_{TH} . A tensão de limiar nada mais é do que a tensão que deve ser aplicada na porta do transistor para que seja induzido um canal de portadores entre as regiões de dreno e fonte do dispositivo (em resposta a tensão aplicada na porta, comportando-se como um capacitor de placas paralelas), por onde a corrente irá fluir.

A região de triodo (ou linear) ocorre quando há formação do canal de condução no dispositivo ($V_{GS} > V_{TH}$) mas a tensão aplicada no terminal de dreno respeita a condição

$V_{DS} < V_{GS} - V_{TH}$. Essa relação garante que a concentração de portadores no canal permaneça praticamente uniforme, e o canal se estende ao longo de toda a área entre as regiões de dreno e fonte. Nessa região de operação podemos considerar que o MOSFET opera praticamente como uma resistência linear cujo valor é controlado pela tensão de porta V_{GS} . A equação que modela o comportamento da corrente de dreno I_D no regime de triodo, segundo o modelo quadrático, exemplificada para um transistor nMOSFET, é apresentada a seguir.

$$I_D = \mu_n C_{OX} \frac{W}{L} \left[(V_{GS} - V_{TH}) V_{DS} - \frac{1}{2} V_{DS}^2 \right] \quad (1)$$

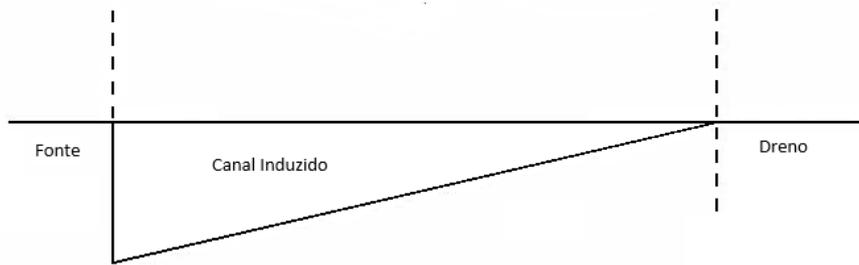
Onde μ_n é a mobilidade do elétron no canal, C_{OX} é a capacitância por unidade de área, W é a largura do transistor e L é o comprimento do transistor.

A região de saturação ocorre quando a condição $V_{DS} > V_{GS} - V_{TH}$ é satisfeita. Nesta região de operação a corrente de dreno é praticamente independente da tensão de dreno, sendo controlada apenas pela diferença entre as tensões V_{GS} e V_{TH} . A equação que descreve o comportamento da corrente de dreno do MOSFET operando em saturação, segundo o modelo quadrático e desprezando o efeito de modulação do comprimento do canal, é mostrada a seguir. O efeito de modulação do comprimento do canal será explorado com mais detalhes na Seção 3.1.2.

$$I_D = \frac{1}{2} \mu_n C_{OX} \frac{W}{L} (V_{GS} - V_{TH})^2 \quad (2)$$

O limite entre as regiões de operação de triodo e saturação ocorre quando $V_{DS} \geq V_{GS} - V_{TH}$, onde chamamos a tensão em que $V_{DS} = V_{GS} - V_{TH}$ como a tensão de saturação do transistor. A partir desta tensão, ocorre um fenômeno chamado de estrangulamento (“*pinch-off*”) do canal, onde o canal induzido próximo da região de dreno vai sendo diminuído conforme se aumenta a tensão V_{DS} , até que o canal próximo da região de dreno não exista, conforme ilustrado na Figura 10.

Figura 10 - Operação do MOSFET em saturação, com o estrangulamento do comprimento do canal próximo ao terminal de dreno.

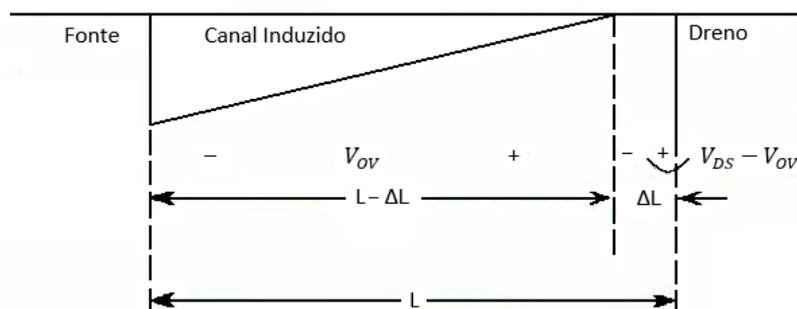


Fonte: Adaptado de (SEDRA, SMITH, 2020)

3.1.2. Resistência de Saída (r_o)

Podemos notar que a resposta apresentada na equação (2) indica que a corrente de dreno seria completamente independente da tensão de dreno quando o dispositivo está operando na região de saturação. Mas isso é apenas uma idealização baseada na premissa de que o canal, uma vez estrangulado, ficará independente de variações na tensão V_{DS} . Mas, na prática, aumentar a tensão de dreno além da tensão de saturação afeta levemente o canal do transistor, ao mover o ponto de estrangulamento do canal para cada vez mais longe do terminal de dreno, conforme ilustrado na Figura 11. Podemos notar que o aumento da tensão V_{DS} causa uma redução do comprimento efetivo do canal do transistor ($L - \Delta L$) e por isso este fenômeno ficou conhecido como modulação do comprimento do canal.

Figura 11 - Efeito de modulação do comprimento de canal do MOSFET.



Fonte: Adaptado de (SEDRA & SMITH, 2020)

Com isso, ajustes na equação (2) devem ser realizados para levar em conta este fenômeno. A equação (3) apresenta uma aproximação simples para o comportamento do transistor operando em saturação que leva em conta o fenômeno de modulação do canal.

$$I_D = \frac{1}{2} \mu_n C_{OX} \frac{W}{L} (1 + \lambda V_{DS}) (V_{GS} - V_{TH})^2 \quad (3)$$

Onde λ é conhecido como o parâmetro de modulação de comprimento do canal do transistor. A partir da equação (3), se sabe que variações na tensão V_{DS} geram variações na corrente de dreno, e que há uma dependência linear entre eles. Podemos então assumir que a resistência de saída da fonte de corrente que representa I_D operando em saturação pode ser definida como:

$$r_o = \frac{\partial V_{DS}}{\partial I_D} \quad (5)$$

Assumindo um valor tensão de porta constante. Utilizando a equação (3), podemos chegar na seguinte equação aproximada para a resistência de saída do transistor.

$$r_o \approx \frac{1 + \lambda V_{DS}}{\lambda I_D} \approx \frac{1}{\lambda I_D} \quad (6)$$

Para chegar na simplificação apresentada na equação (6) assume-se a condição $\lambda V_{DS} \ll 1$. A resistência de saída é um parâmetro importante pois afeta o desempenho de muitos circuitos analógicos, podendo limitar o ganho máximo de tensão alcançável da maioria dos amplificadores (RAZAVI, 2016).

3.1.3. Transcondutância (g_m)

Como o dispositivo MOS operando em saturação produz variações de corrente em resposta a uma tensão de Overdrive (V_{OV}), que é dada pela diferença entre a tensão V_{GS} e V_{TH} , aplicada entre a porta e a fonte, define-se um parâmetro para o quão bem um transistor consegue converter variações de tensão em variações de corrente. Este parâmetro é chamado de transcondutância, sendo também denotado por g_m . A expressão matemática que define a transcondutância é (RAZAVI, 2016):

$$g_m = \left. \frac{\partial I_D}{\partial V_{GS}} \right|_{V_{DS} \text{ cte}} \quad (7)$$

Altos valores de g_m significam que pequenas variações na tensão V_{GS} resultam em grandes variações na corrente I_D . A transcondutância é expressa em $1/\Omega$, ou Siemens (S).

Substituindo a equação (2) em (7), podemos chegar em duas equações muito utilizadas para a transcondutância, que variam entre si de acordo com as variáveis envolvidas no cálculo.

$$g_m = \mu_n C_{OX} \frac{W}{L} (V_{GS} - V_{TH}) \quad (8)$$

$$g_m = \frac{2I_D}{(V_{GS} - V_{TH})} = \frac{2I_D}{V_{OV}} \quad (9)$$

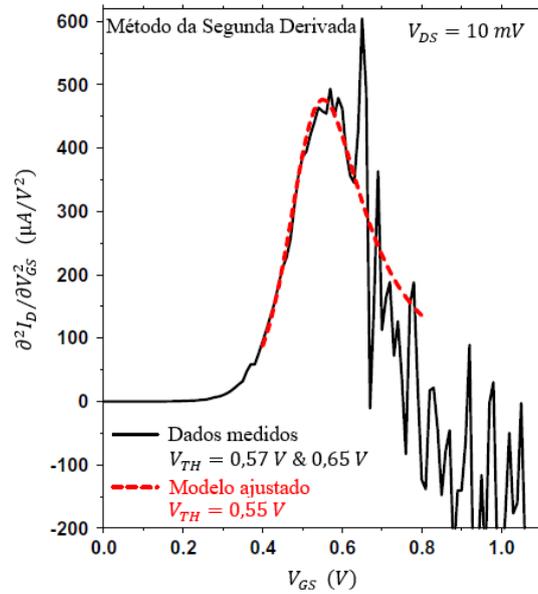
Na equação (9) a transcondutância não está explicitamente dependente dos parâmetros do processo (μ_n e C_{OX}) ou das dimensões do transistor (W e L), mas sim com a razão entre a corrente de dreno e a tensão de Overdrive. Mas apenas de forma explícita, porque só é possível aumentar a corrente de dreno, para uma mesma tensão de Overdrive, se aumentarmos a razão de aspecto do transistor proporcionalmente (W/L), o que condiz com a dependência de g_m com μ_n , C_{OX} e W/L conforme apresentado na equação (8). Sendo assim, a equação (8) é útil para realizar análises onde os tamanhos dos transistores já são conhecidos e a equação (9) é mais útil durante as fases iniciais do projeto, quando as dimensões ainda não foram escolhidas.

3.1.4. Método de Extração Experimental da Tensão de Limiar (V_{TH})

A tensão de limiar é um dos parâmetros mais utilizados ao se descrever o comportamento dos MOSFETs (SEDRA, SMITH, 2020). Há vários métodos que podem ser utilizados para estimar este parâmetro experimentalmente, como por exemplo o método da extrapolação linear, o método da corrente constante e o método da segunda derivada. Ortiz-Conde *et al.* (2013) traz uma revisão de várias das metodologias utilizadas para extrair a tensão de limiar de um transistor a partir de dados experimentais, apresentando um total de 14 diferentes técnicas. A única técnica utilizada neste trabalho para estimar a tensão de limiar dos dispositivos medidos será o Método da Segunda Derivada, escolhido por sua facilidade de aplicação.

Originalmente chamado de método de variação da transcondutância (do inglês “*transconductance change*”) (WONG, *et al.*, 1987), ele foi desenvolvido para evitar a dependência dos valores obtidos com a resistência de saída do dispositivo. O método determina que a tensão de limiar é a tensão de porta aplicada que causa o valor máximo da derivada da transcondutância g_m , conforme ilustrado na Figura 12.

Figura 12 - Método da Segunda Derivada aplicado a uma amostra com de V_{DS} 10 mV.



Fonte: Adaptado de (ORTIZ-CONDE, *et al.*, 2013)

O método recebe esta denominação pois, conforme visto anteriormente, a transcondutância nada mais é do que a derivada da corrente de dreno em função da tensão de porta. Sendo assim, é necessário apenas derivar duas vezes os dados experimentais em função da tensão de porta para obter uma estimativa da tensão de limiar do dispositivo, conforme a equação abaixo.

$$\frac{\partial g_m}{\partial V_{GS}} = \frac{\partial \frac{\partial I_D}{\partial V_{GS}}}{\partial V_{GS}} = \frac{\partial^2 I_D}{\partial V_{GS}^2} \quad (10)$$

É muito comum estimar a tensão de limiar dos transistores na região de triodo, de forma a limitar o efeito da tensão de dreno na estimativa e diminuir o efeito conhecido como Redução da Barreira Induzida pelo Dreno (DIBL - do inglês “*drain-induced barrier lowering*”) (ZHOU, LIM, LIM, 1999), onde a tensão de limiar diminui com o aumento da tensão de dreno. Porém, a implementação do método da segunda derivada na região de triodo é muito sensível ao ruído e erros de medição, uma vez que utilizar a segunda derivada é similar a passar as medidas por um filtro passa-altas (ORTIZ-CONDE, *et al.*, 2013).

Um demérito do uso deste método é a sua dependência com a escala utilizada durante a varredura de V_{GS} . Como este método define a V_{TH} como a tensão V_{GS} que resulta no valor máximo da segunda derivada, é inevitável que este ponto esteja contido

na faixa e nos passos de V_{GS} utilizada, o que resulta na discretização dos valores extraídos (BRITO, 2022).

3.1.5. Método de Extração da Resistência de Saída

Como comentado anteriormente, ao operar em saturação com o canal estrangulado, a corrente de dreno do transistor apresenta uma dependência linear da tensão de dreno (SEDRA, SMITH, 2020), conforme a equação (5), repetida a seguir por simplicidade.

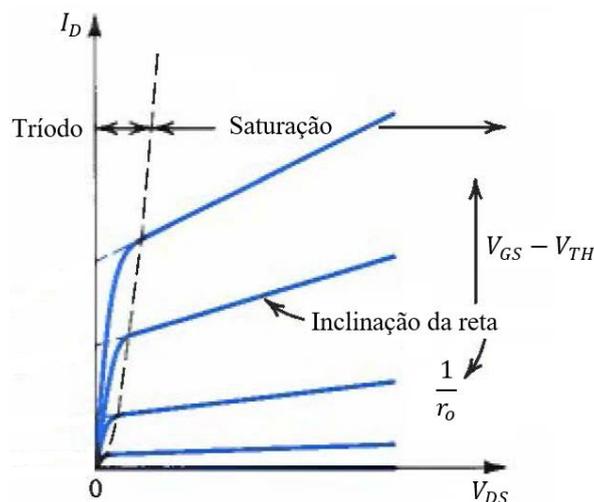
$$r_o = \frac{\partial V_{DS}}{\partial I_D} \quad (5)$$

Mas como comumente se trabalha com gráficos de $I_D \times V_{DS}$, podemos reescrever essa relação como:

$$\frac{1}{r_o} = \frac{\partial I_D}{\partial V_{DS}} \quad (11)$$

Que torna possível calcular a resistência de saída do transistor em função da inclinação da curva da corrente de dreno do transistor operando em saturação, conforme ilustrado na Figura 13.

Figura 13 - Curvas $I_D \times V_{DS}$ de um MOSFET operando com diferentes valores de V_{GS} e indicando a resistência de saída de forma gráfica.



Fonte: Adaptado de (SEDRA, SMITH, 2020).

Porém, a equação (3) apresentada anteriormente, e que traz essa dependência linear, é uma aproximação simplificada para o comportamento do transistor. Os dados obtidos experimentalmente não se comportarão como uma reta de inclinação constante,

mas se aproxima de um comportamento linear. Para obter uma estimativa da resistência de saída do transistor é possível aplicar o método da regressão linear (ROQUE, 2000) nos dados experimentais quando o transistor estiver operando em saturação para obter uma reta que melhor se ajuste aos dados medidos, onde a inclinação da reta calculada será utilizada para estimar a resistência de saída do transistor analisado, conforme indicado na Figura 13.

3.1.6. Parâmetro g_m/I_D

Este parâmetro mede a eficiência com que o dispositivo transforma corrente (e por consequência potência) em transcondutância. Pode ser interpretado como a medição da eficiência da geração de transcondutância (SILVEIRA, FLANDRE, JESPERS, 1996). É independente da razão de aspecto do dispositivo e apresenta um caráter universal para todos os transistores pertencentes a um mesmo processo de fabricação, à exceção de transistores de canal curto.

É um parâmetro utilizado em uma metodologia de projeto de CIs analógicos muito conhecida, a chamada Metodologia g_m/I_D , proposta por (SILVEIRA, FLANDRE, JESPERS, 1996). Sua vantagem é utilizar um modelo unificado que funcione para todas as regiões de operação do transistor, diferentemente das duas equações expostas anteriormente. Este método oferece um bom comprometimento entre a velocidade e o consumo do circuito. (SILVEIRA, FLANDRE, JESPERS, 1996).

3.2. Variabilidade e Análise Estatística

Ao longo do capítulo anterior foram introduzidos alguns parâmetros utilizados para caracterizar o desempenho de um MOSFET. Porém, durante o processo de manufatura de CIs, uma variedade de efeitos faz com que as dimensões efetivas dos componentes e suas respectivas propriedades elétricas sejam diferentes das planejadas pelo projetista. Desta forma, esta seção apresenta uma breve introdução sobre variabilidade e as ferramentas estatísticas para sua análise.

3.2.1. Variabilidade em Circuitos Integrados

Uma das formas de classificar as variações sofridas pelos CIs durante o seu processo de fabricação é pelos tipos de fatores que causam esta variação. Estes fatores podem ser categorizados como variações sistemáticas ou variações aleatórias (CARUSONE, JOHNS, MARTIN, 2011).

Variações sistemáticas são aquelas observadas repetidamente e consistentemente ao longo do processo produtivo. São geralmente relacionados a variações ou deformações espaciais, que ocorrem de forma sistemática em componentes ou elementos do processo de fabricação de circuitos integrados. São resultados de efeitos físicos e químicos incontrolláveis, como, por exemplo, a dilatação térmica nos equipamentos, defeitos nas lentes e distorções nas máscaras de fotolitografia, as mudanças na concentração das substâncias utilizadas (de ataque, deposição ou dopagem), as não-linearidades no equipamento de implantação iônica e as variações térmicas em geral. Em resumo, são variações observadas porque as condições de fabricação (temperatura, níveis de concentração de dopantes) não podem ser mantidas precisamente constantes ao longo de todo o processo produtivo. São fatores que provocam gradientes nas propriedades físicas ao longo da pastilha, da lâmina ou do lote fabricado. Normalmente, estes efeitos podem ser aliviados através de técnicas de layout adequadas, porém nunca totalmente eliminados. Estas técnicas de layout acabam impondo, por sua vez, limitações no desempenho ou no tamanho do circuito fabricado.

Alguns efeitos sistemáticos comuns são citados abaixo (KLIMACH, 2008), (CARUSONE, JOHNS, MARTIN, 2011):

- Difusão lateral de íons durante a implantação iônica, alterando a área efetiva dos poços implantados;
- Variações nas dimensões laterais das formas geométricas das camadas decapadas (“*overetching*”);
- Criação de gradientes de stress causadas pelo preenchimento dos óxidos de isolamento no substrato de silício;
- Variações na espessura das camadas crescidas ou depositadas, como o óxido de silício ou contatos metálicos;

Já variações aleatórias são de natureza probabilística (estocástica) e estão relacionados à natureza discreta da matéria. Estão presentes em todos os dispositivos e provocam flutuações locais (microscópicas) nas propriedades físicas dos dispositivos fabricados. São observados como variações dos parâmetros elétricos entre dois dispositivos com as mesmas especificações e fabricados sobre as mesmas condições nominais (CARUSONE, JOHNS, MARTIN, 2011).

Ou seja, mesmo na ausência de qualquer variação sistemática, existem limites na precisão com que um dispositivo pode ser fabricado. Por exemplo, o número de dopantes presentes no canal de um transistor estado da arte está na ordem de centenas ou menos (LAMBA, ENGLÉS, MALIK, 2008). É impossível assegurar que dois transistores terão exatamente o mesmo número e a mesma distribuição dos dopantes. Como o número de dopantes e suas posições relativas variam de forma aleatória, os parâmetros dos transistores também variam.

Outra possível classificação se refere a abrangência espacial destas variações, podemos ter variações globais e locais (KLIMACH, 2008). As variações locais reúnem os efeitos que causam flutuações com dimensões menores que o dispositivo considerado, e as globais são maiores, formando gradientes ao longo dos dispositivos fabricados.

As variações locais são responsáveis por variações que ocorrem em dispositivos igualmente desenhados e presentes na mesma pastilha (“*intradie*”) e que foram submetidos as mesmas condições de ambiente durante a fabricação.

Em geral, se pode dizer que os fatores de variações sistemáticos estão relacionados às variações globais e os fatores de variações aleatórios estão relacionados às variações locais (KLIMACH, 2008).

3.2.2. Análise Estatística

O resultado decorrente das variações apresentadas anteriormente se manifesta como diferenças nos parâmetros elétricos de dispositivos fabricados em uma mesma pastilha ou lote. Por isso, se faz necessário o uso da análise estatística dos dados dos dispositivos fabricados para poder estimar com maior confiança seus parâmetros nas fases iniciais de projeto. Podemos então caracterizar os parâmetros elétricos dos dispositivos fabricados através de suas médias e desvio-padrões, calculados a partir de dados obtidos experimentalmente.

A média aritmética de um conjunto de n dados x_1, x_2, \dots, x_n é calculado pelo somatório de todos os valores dos dados dividido pelo número total de dados (n), conforme a equação:

$$\bar{X} = \sum_{i=0}^n \frac{x_i}{n} \quad (12)$$

O desvio padrão (σ) para um conjunto de n dados x_1, x_2, \dots, x_n com média \bar{X} é (OTT, LONGNECKER, 2010):

$$\sigma = \sqrt{\frac{1}{n-1} \sum_{i=0}^n (x_i - \bar{X})^2} \quad (13)$$

Outra métrica importante, utilizado para comparar a variabilidade entre duas populações amostrais consideravelmente diferentes, é o coeficiente de variação. Ele é utilizado para analisar a dispersão em termos relativos à magnitude do valor médio do grupo amostral. O coeficiente de variação é calculado através da equação (14), mostrada a seguir.

$$CV = \frac{\sigma}{\bar{X}} 100\% \quad (14)$$

Assim, se interpreta que quanto menor for o coeficiente de variação, mais homogêneo serão os dados, ou seja, menor será a dispersão dos valores em torno da média.

3.2.3. Determinação do Número de Amostras

Uma questão que sempre vem à tona ao se realizar procedimentos experimentais é a quantidade de amostras que deve ser medida para se chegar a um resultado estatisticamente aceitável. Se sabe que um número maior de amostras implica num gasto maior de capital para realização do experimento, e em contrapartida, implica também numa estimativa mais precisa dos parâmetros da população (OTT, LONGNECKER, 2010). Se busca então achar um ponto ótimo entre o número necessário de amostras (limitar o gasto) e o nível aceitável de erro na estimação dos parâmetros populacionais, também conhecido como confiança.

De acordo com (KLIMACH, 2008), são necessários no mínimo 25 a 30 elementos para que a distribuição dos resultados das medidas corrente-contínua (CC) sejam simétricas, podendo ser enquadrada como uma distribuição normal.

Já (HASTINGS, 2005) propõe que o número de amostras deve ser de pelo menos 20 dispositivos, onde o conjunto amostral deve incluir dispositivos de pelo menos 3 lâminas distintas encolhidas aleatoriamente de pelo menos um lote.

4. “Setup” Experimental e Chip de Teste

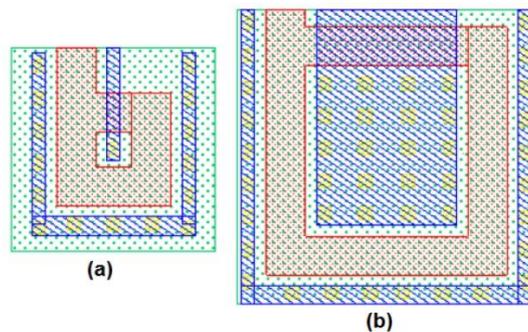
A seguir será descrito, primeiramente, o chip utilizado para a realização dos procedimentos experimentais, seguido da metodologia utilizada para a realização dos testes.

4.1. “Chip” de Teste

O “chip” analisado neste trabalho foi fabricado em uma lâmina multi-projeto (do inglês “*Multi-Project Wafer*” - MPW) da MOSIS, na tecnologia CMRF8SF 0,13 μm da IBM (atualmente “*Global Foundries*”), em 2017.

Os circuitos foram projetados para serem tolerantes aos efeitos de TID, utilizando ELTs quadrados. Foram prototipados dois tipos de leiautes diferentes de ELTs com seus terminais de dreno podendo ser interno ou externo. O primeiro, apresentado na Figura 14 (a) é um ELT com seus terminais interno e externo assimétricos, como usualmente é desenhado, que serão referidos a partir de agora por ELT-C *inner* (dreno interno) e ELT-C *outer* (dreno externo). O segundo, apresentado na Figura 14 (b) é um ELT projetado para que os terminais interno e externo possuam a mesma área, no intuito de mitigar os efeitos negativos da assimetria dos terminais. Por não se tratar de uma simetria propriamente dita entre os terminais, este ELT recebeu o nome de Pseudo-Simétrico (CARDOSO, 2018). No restante do texto estes transistores serão referidos como ELT-PS *inner* (dreno interno) e ELT-PS *outer* (dreno externo). Todos os transistores analisados neste trabalho são nMOS. Para comparação, foram projetados também dois transistores de topologia retangular, sendo um com a mesma razão de aspecto que o ELT-C (que será referido como STD-C) e outro com a mesma razão de aspecto que o ELT-PS (que será referido como STD-PS).

Figura 14 - Leiaute dos transistores prototipados, sendo eles (a) o ELT assimétrico e (b) o ELT Pseudo-Simétrico.



Fonte: Adaptado de (CARDOSO, 2018)

A Tabela 1 apresenta as dimensões utilizadas para cada um dos dispositivos projetados, dando enfoque nas áreas dos terminais implementados. Nela podemos observar a diferença nas áreas entre os terminais dos ELTs-C, que foi remediado nos ELT-PS. Como esperado, transistores retangulares possuem perfeita simetria entre seus terminais.

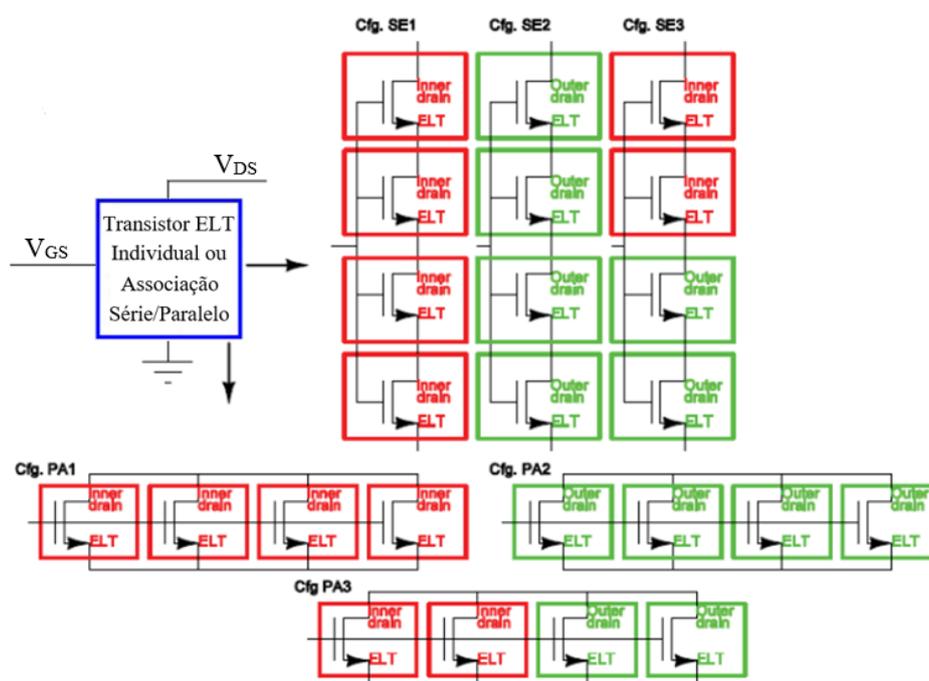
Tabela 1 - Dimensões dos transistores analisados.

Dispositivo	W (μm)	L (μm)	Área do Dreno (μm^2)	Área da Fonte (μm^2)
ELT-C <i>inner</i>	3,6265	0,48	0,1934	2,1157
ELT-C <i>outer</i>	3,6265	0,48	2,1157	0,1934
ELT-PS <i>inner</i>	10,066	0,48	4,1998	4,2001
ELT-PS <i>outer</i>	10,066	0,48	4,2001	4,1998
STD-C	3,62	0,48	1,3068	1,3068
STD-PS	10,07	0,48	3,6252	3,6252

Fonte: (CARDOSO, 2018)

Além de cada transistor ser prototipado individualmente, foram desenvolvidas também associações em série e paralelo dos ELTs do mesmo tipo, a fim de investigar um possível aumento na faixa de razões de aspecto possíveis (CARDOSO, 2018). Estas associações foram formadas com quatro transistores cada, sendo uma delas formada por quatro ELTs com dreno interno, uma delas formada por quatro ELTs com dreno externo e outra formada com dois ELTs com dreno interno e dois com dreno externo. Ao todo, são três associações em série e três em paralelo para cada tipo de ELT (ELT-C e ELT-PS). Os transistores retangulares também receberam associações em série e paralelo. A Figura 15 apresenta um esquemático das associações em paralelo e série propostas. A Tabela 2 apresenta todos os dispositivos testados, com suas respectivas denominações ao longo do texto e suas composições.

Figura 15 – Esquemático das associações de ELT prototipadas.



Fonte: adaptado de (CARDOSO, 2018)

Tabela 2 - Descrição dos dispositivos medidos experimentalmente.

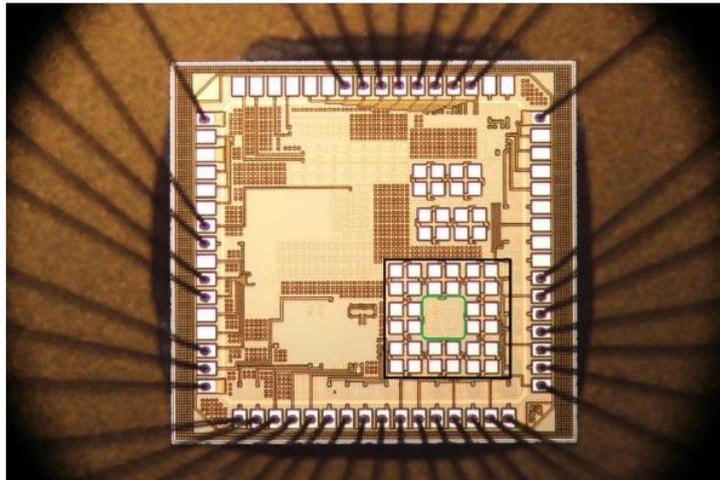
Denominação	Composição
ELT- C <i>inner</i>	ELT assimétrico com dreno interno individual
ELT-C <i>outer</i>	ELT assimétrico com dreno externo individual
ELT-C PA1	Associação paralela de 4 ELTs assimétricos com dreno interno
ELT-C PA2	Associação paralela de 4 ELTs assimétricos com dreno externo
ELT-C PA3	Associação paralela de 2 ELTs assimétricos com dreno interno e 2 com dreno externo
ELT-C SE1	Associação série de 4 ELTs assimétricos com dreno interno
ELT-C SE2	Associação série de 4 ELTs assimétricos com dreno externo
ELT-C SE3	Associação série de 2 ELTs assimétricos com dreno interno e 2 com dreno externo
ELT-PS <i>inner</i>	ELT Pseudo-Simétrico com dreno interno individual
ELT-PS <i>outer</i>	ELT Pseudo-Simétrico com dreno externo individual
ELT-PS PA1	Associação paralela de 4 ELTs Pseudo-Simétricos com dreno interno
ELT-PS PA2	Associação paralela de 4 ELTs Pseudo-Simétricos com dreno externo
ELT-PS PA3	Associação paralela de 2 ELTs Pseudo-Simétricos com dreno interno e 2 com dreno externo
ELT-PS SE1	Associação série de 4 ELTs Pseudo-Simétricos com dreno interno
ELT-PS SE2	Associação série de 4 ELTs Pseudo-Simétricos com dreno externo
ELT-PS SE3	Associação série de 2 ELTs Pseudo-Simétricos com dreno interno e 2 com dreno externo
STD-C	Transistor retangular individual com mesma razão de aspecto do ELT assimétrico
STD-C PA	Associação paralela de 4 transistores retangulares com mesma razão de aspecto do ELT assimétrico
STD-C SE	Associação série de 4 transistores retangulares com mesma razão de aspecto do ELT assimétrico
STD-PS	Transistor retangular individual com mesma razão de aspecto do ELT Pseudo-Simétrico
STD-PS PA	Associação paralela de 4 transistores retangulares com mesma razão de aspecto do ELT Pseudo-Simétrico
STD-PS SE	Associação série de 4 transistores retangulares com mesma razão de aspecto do ELT Pseudo-Simétrico

Fonte: Autoria própria.

4.2. “Setup” Experimental

As medidas realizadas neste trabalho foram realizadas no Laboratório de Caracterização Elétrica (LCE) do Departamento de Engenharia Elétrica da Universidade Federal do Rio Grande do Sul (UFRGS). O acesso ao chip foi realizado utilizando a estação de micro ponteiras EP6 da “*CascadeMicrotech*”. Os dispositivos medidos possuíam acessos de “*μpads*”, onde as micro ponteiras foram conectadas. A Figura 15 apresenta o chip testado, com enfoque nos “*μpads*” utilizados para realizar as medições.

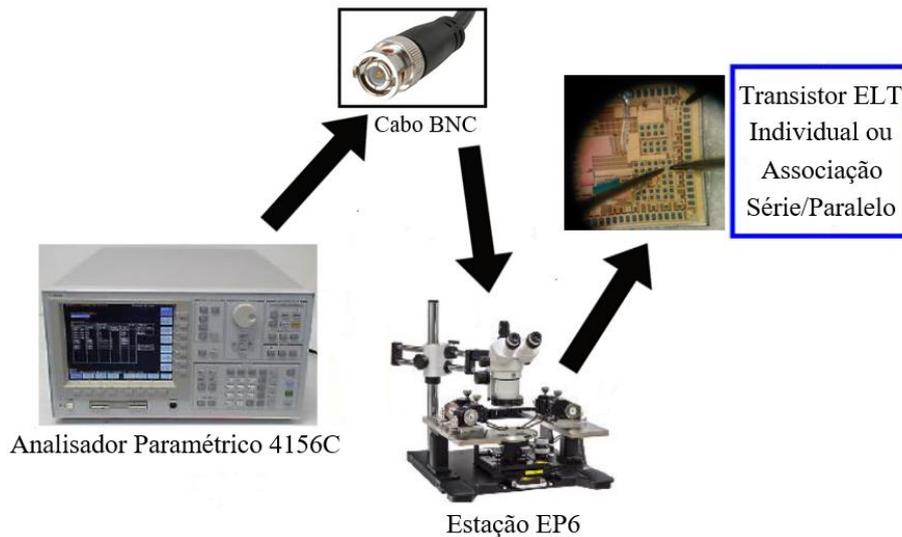
Figura 16 – “*Chip*” prototipado, com destaque nos “*μpads*” utilizados para realização das medidas.



Fonte: (CARDOSO, 2018)

As medidas e excitações foram realizadas com o analisador paramétrico de precisão Agilent 4156C, conectado às micro ponteiras da estação EP6 pelas suas “*Source Monitor Units*” (SMUs) via cabos com conectores tipo BNC. A Figura 16 apresenta uma representação do setup experimental implementado.

Figura 17 - Representação das medições realizadas no LCE.



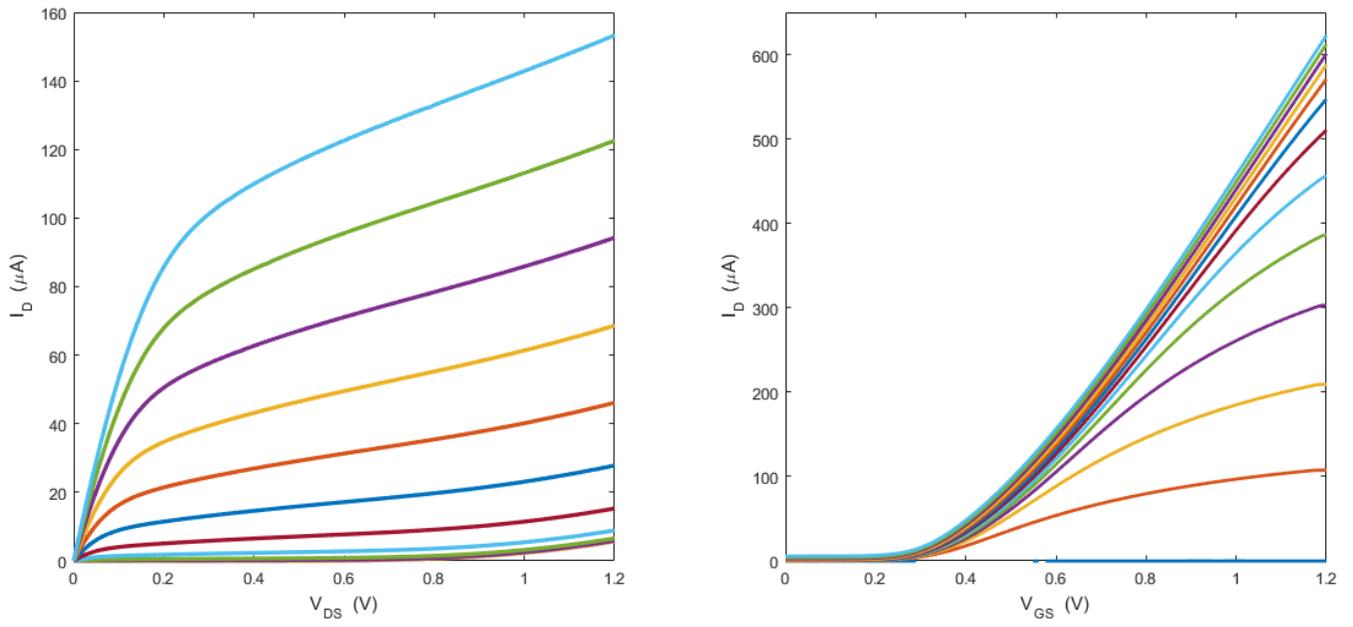
Fonte: Autoria própria.

Foram levantadas curvas $I_D \times V_{DS}$ e $I_D \times V_{GS}$ para todos os dispositivos presentes na Tabela 2. Para as curvas $I_D \times V_{DS}$, a corrente de dreno foi medida para diversos valores de V_{GS} , que variou de 0 mV até 600 mV com passos de 50 mV. Para cada valor de V_{GS} , a tensão V_{DS} foi variada de 0 até 1,2 V com passos de 10 mV.

Já para as curvas $I_D \times V_{GS}$, a corrente de dreno foi medida para diversos valores de V_{DS} , que variou de 0 mV até 1,2 V com passos de 0,1 V. Para cada valor de V_{DS} , a tensão V_{GS} foi variada de 0 até 1,2 V com passos de 10 mV.

Ao todo, foram medidas 25 amostras de cada dispositivo apresentado da Tabela 2, número que fica de acordo com o exposto no Capítulo 4. Os valores medidos foram extraídos do 4156C no formato de tabelas de texto e analisados através do software matemático “MATLAB”, da “MathWorks®”. A Figura 17 apresenta um exemplo de todas as curvas extraídas para um determinado dispositivo de uma das amostras.

Figura 18 - Exemplo do conjunto de medições realizadas no LCE.



Fonte: Autoria própria.

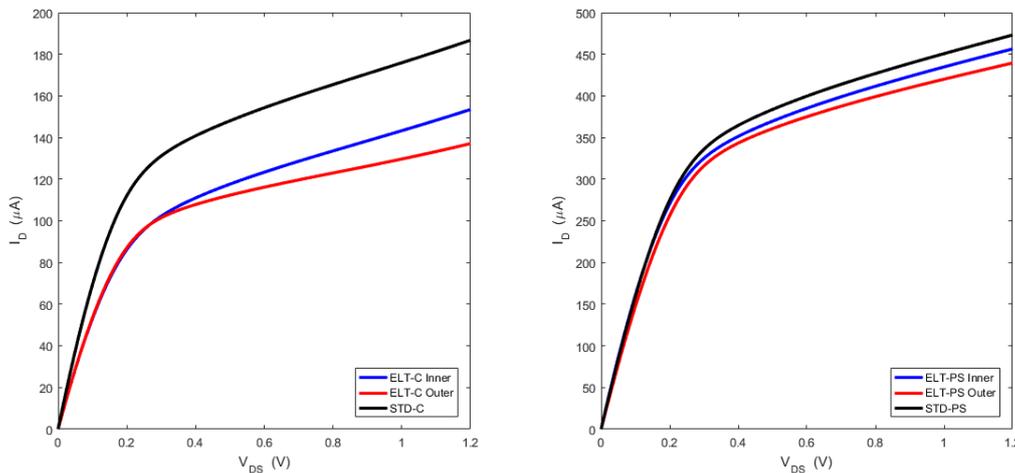
5. Resultados

Os resultados obtidos experimentalmente serão apresentados a seguir. Primeiramente serão apresentados os resultados referentes aos transistores individuais. Depois, serão apresentados os resultados dos transistores em associação em paralelo e em série, respectivamente.

5.1. Resultados dos ELTs Individuais

A Figura 18 apresenta as curvas $I_D \times V_{DS}$ médias para os transistores individuais analisados com tensão V_{GS} de 600 mV. À esquerda são apresentadas as curvas dos dispositivos ELT-C e STD-C e à direita as curvas dos dispositivos ELT-PS e STD-PS. Podemos observar na Figura 18 que a Pseudo-Simetria de fato torna a resposta do transistor ELT, independente da configuração do terminal de dreno, mais próxima do transistor retangular. Já a resposta do ELT assimétrico se comporta em conformidade com o exposto na literatura, com o ELT com dreno interno possuindo uma capacidade maior de corrente que o ELT com dreno externo, e que ambos têm uma capacidade de corrente bastante inferior ao do transistor retangular.

Figura 19 - Curvas $I_D \times V_{DS}$ médias dos dispositivos individuais com $V_{GS}=600\text{mV}$. A esquerda estão as curvas dos ELTs assimétricos e a direita as curvas dos ELTs Pseudo-Simétricos.



Fonte: Autoria própria.

As Tabelas 3, 4, 5 e 6 demonstram de maneira numérica o que pode ser constatado visualmente na Figura 18. As Tabelas 3 e 4 apresentam as correntes de dreno máximas médias (I_{Dmax}) para os dispositivos analisados. As Tabelas 5 e 6 apresentam a resistência de saída em saturação média dos dispositivos, estimadas pelo método da extrapolação linear. A coluna Diff% apresenta a análise da diferença percentual dos resultados entre os

transistores ELT e os seus respectivos transistores retangulares, apresentando valores positivos quando o ELT possuir um parâmetro de valor maior que o transistor retangular e valores negativos quando o ELT possuir um parâmetro de valor menor que o transistor retangular. Além disso, o CV para cada dispositivo foi analisado, no intuito de estimar se houve ou não aumento na variabilidade do dispositivo em decorrência do uso da técnica de ELT ou da configuração de seus terminais.

Tabela 3 - Corrente de dreno média máxima para os ELTs assimétricos com $V_{GS}=600\text{mV}$.

Dispositivo	I_{Dmax} (μA)	σ (μA)	CV (%)	Diff %
ELT-C <i>inner</i>	153,46	3,67	2,39	-17,81
ELT-C <i>outer</i>	137,09	4,83	3,53	-26,58
STD-C	186,72	4,72	2,53	--

Fonte: Autoria própria.

Tabela 4 - Corrente de dreno média máxima para os ELTs Pseudo-Simétricos com $V_{GS}=600\text{mV}$.

Dispositivo	I_{Dmax} (μA)	σ (μA)	CV (%)	Diff %
ELT-PS <i>inner</i>	456,33	9,73	2,13	-3,52
ELT-PS <i>outer</i>	439,41	13,01	2,96	-7,10
STD-PS	472,97	10,02	2,12	--

Fonte: Autoria própria.

Tabela 5 - Resistência de saída média em saturação estimada para os ELTs assimétricos com $V_{GS}=600\text{mV}$.

Dispositivo	r_0 ($\text{k}\Omega$)	σ ($\text{k}\Omega$)	CV (%)	Diff %
ELT-C <i>inner</i>	19,97	0,67	3,35	8,06
ELT-C <i>outer</i>	29,08	1,64	5,63	57,36
STD-C	18,48	0,68	3,69	--

Fonte: Autoria própria.

Tabela 6 - Resistência de saída média em saturação estimada para os ELTs Pseudo-Simétricos com $V_{GS}=600\text{mV}$.

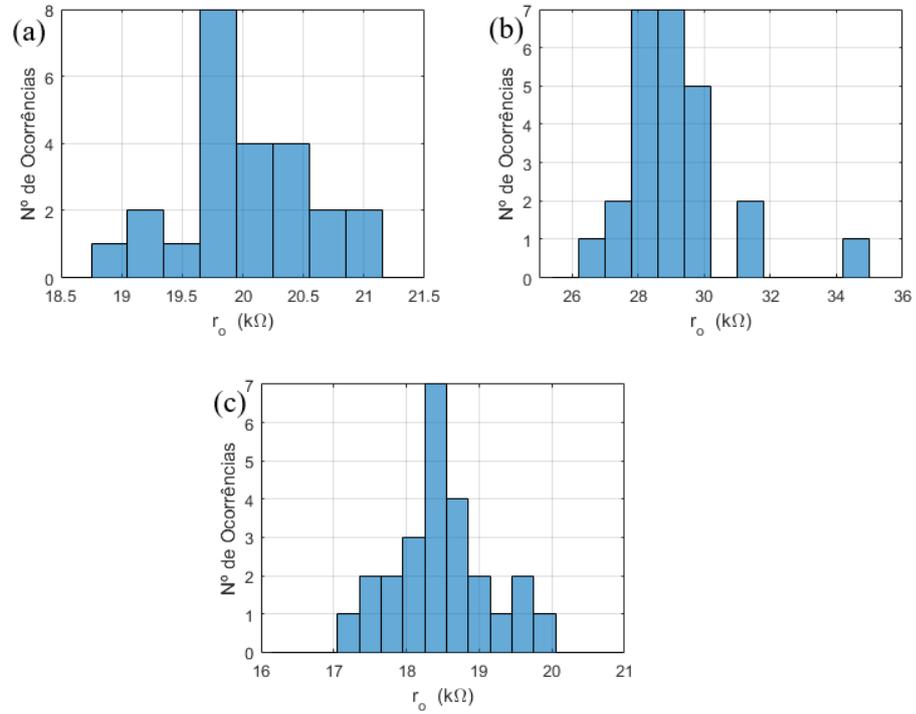
Dispositivo	r_0 ($\text{k}\Omega$)	σ ($\text{k}\Omega$)	CV (%)	Diff %
ELT-PS <i>inner</i>	8,22	0,19	2,29	2,88
ELT-PS <i>outer</i>	9,07	0,34	3,79	13,52
STD-PS	7,99	0,20	2,51	--

Fonte: Autoria própria.

Os resultados das Tabelas 4 e 6 demonstram também que o uso da Pseudo-Simetria faz com que a escolha da disposição dos terminais do dispositivo não seja mais tão clara, podendo necessitar de uma investigação mais aprofundada para conseguir discernir qual das configurações é a mais adequada.

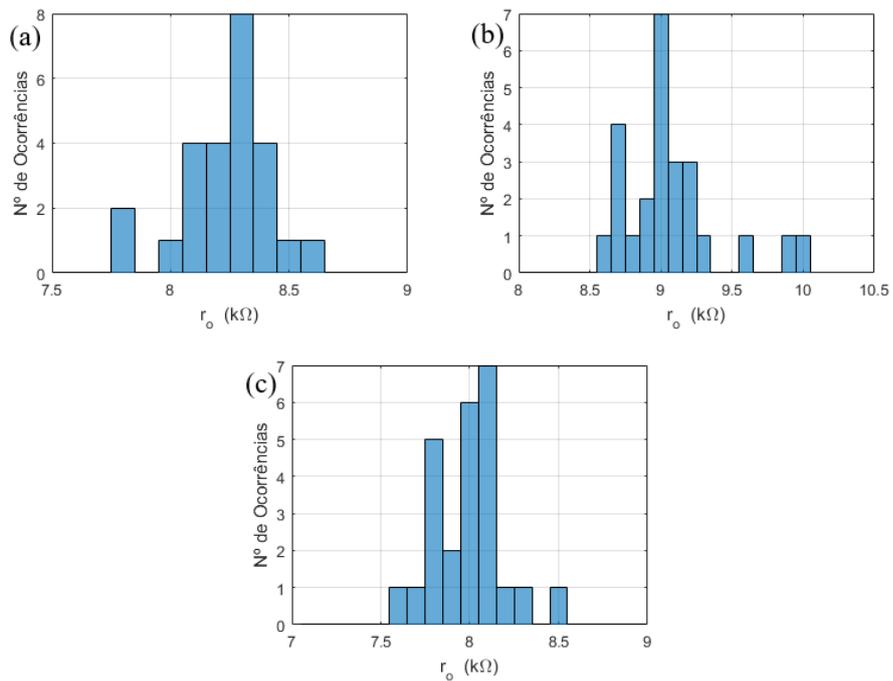
As Figuras 19 e 20 apresentam os histogramas para as resistências de saída extraídas para cada um dos dispositivos.

Figura 20 – Histogramas das Resistências de Saída extraídas para os dispositivos (a) ELT-C *Inner*, (b) ELT-C *Outer* e (c) STD-C.



Fonte: Autoria própria.

Figura 21 - Histogramas das Resistências de Saída extraídas para os dispositivos (a) ELT-PS *Inner*, (b) ELT-PS *Outer* e (c) STD-PS.



Fonte: Autoria própria.

As Tabelas 7 e 8 apresentam a tensão de limiar média extraída dos dispositivos utilizando o método da segunda derivada. A tensão V_{DS} utilizada ao aplicar o método foi de 100 mV, que foi a menor tensão de dreno utilizada durante os ensaios. Estes resultados indicam que o uso da técnica de ELT, com ou sem a Pseudo-Simetria, apresentam impacto aparente na tensão de limiar dos dispositivos. Os valores de tensão de limiar encontrados se encontram dentro da faixa dada pelos parâmetros de fabricação do processo, que estima uma tensão de limiar de $0,355 \pm 0,05$, ou seja, na faixa de [0,305 V, 0,405 V].

Tabela 7 - Tensão de Limiar média estimada pelo método da segunda derivada para os ELTs assimétricos.

Dispositivo	V_{TH} (V)	σ (V)	CV (%)
ELT-C <i>inner</i>	0,323	0,013	4,06
ELT-C <i>outer</i>	0,336	0,010	3,10
STD-C	0,348	0,015	4,34

Fonte: Autoria própria.

Tabela 8 - Tensão de Limiar média estimada pelo método da segunda derivada para os ELTs Pseudo-Simétricos.

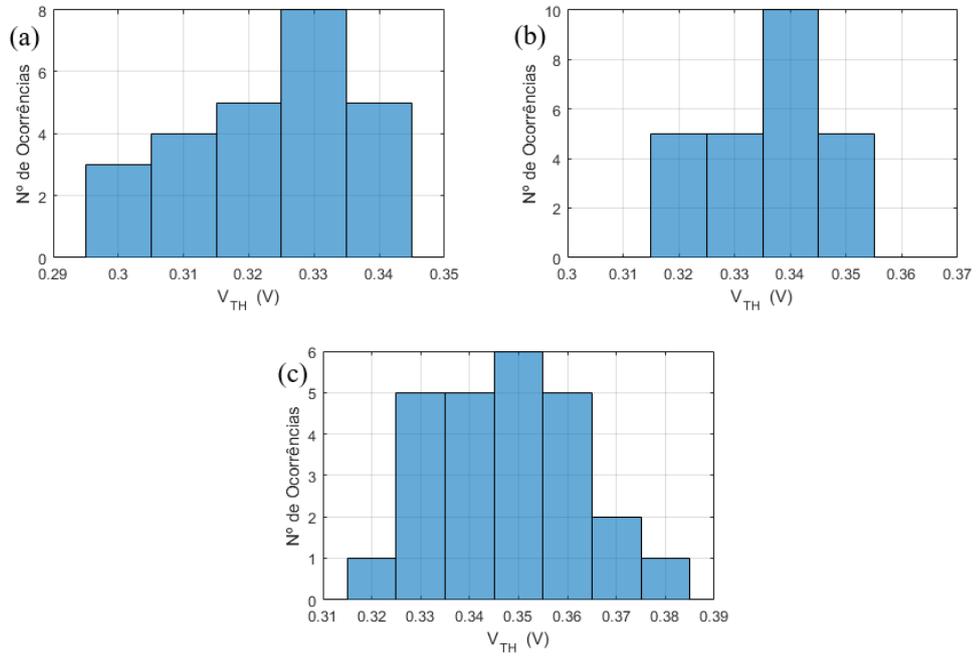
Dispositivo	V_{TH} (V)	σ (V)	CV (%)
ELT-PS <i>inner</i>	0,329	0,012	3,65
ELT-PS <i>outer</i>	0,3252	0,009	2,82
STD-PS	0,330	0,010	3,03

Fonte: Autoria própria.

As Figuras 21 e 22 apresentam os histogramas das tensões de limiar extraídas para cada dispositivo. Podemos notar nelas o fenômeno da discretização dos valores extraídos, decorrentes de se utilizar o método da segunda derivada. Como a excitação da tensão foi realizada a passos de 0,01V, os valores possíveis que podem ser extraídos pelo método também obedecerão aos mesmos intervalos.

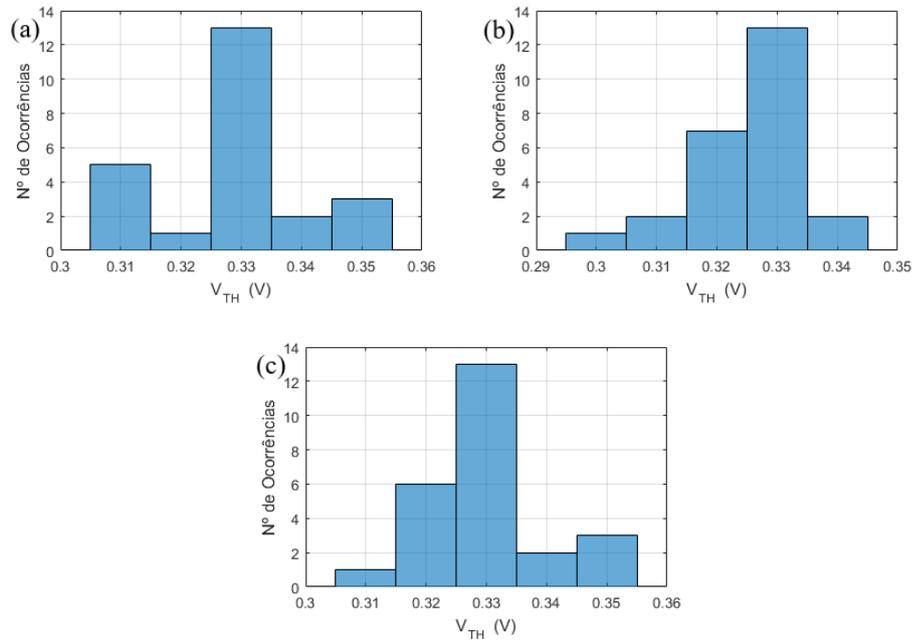
A transcondutância máxima média dos dispositivos também foi calculada e são apresentadas nas Tabelas 9 e 10. A tensão de dreno utilizada para estimar a transcondutância foi de 600 mV. Novamente o uso da Pseudo-Simetria torna o comportamento dos ELTs mais próximos entre si e, mais importante, mais próximo do transistor retangular. A transcondutância dos ELTs assimétricos foi também muito próxima e, curiosamente, a do ELT-C *outer* foi maior que a do ELT-C *inner*.

Figura 22 – Histogramas das Tensões de Limiar para os dispositivos (a) ELT-C *Inner*, (b) ELT-C *Outer* e (c) STD-C.



Fonte: Autoria própria.

Figura 23 - Histogramas das Tensões de Limiar para os dispositivos (a) ELT-PS *Inner*, (b) ELT-PS *Outer* e (c) STD-PS.



Fonte: Autoria própria.

Tabela 9 - Transcondutância máxima média calculada para os ELTs assimétricos com $V_{DS}=600mV$.

Dispositivo	g_m (μS)	σ (μS)	CV (%)
ELT-C <i>inner</i>	693,08	24,70	3,57
ELT-C <i>outer</i>	756,00	31,94	4,22
STD-C	969,16	29,66	3,06

Fonte: Autoria própria.

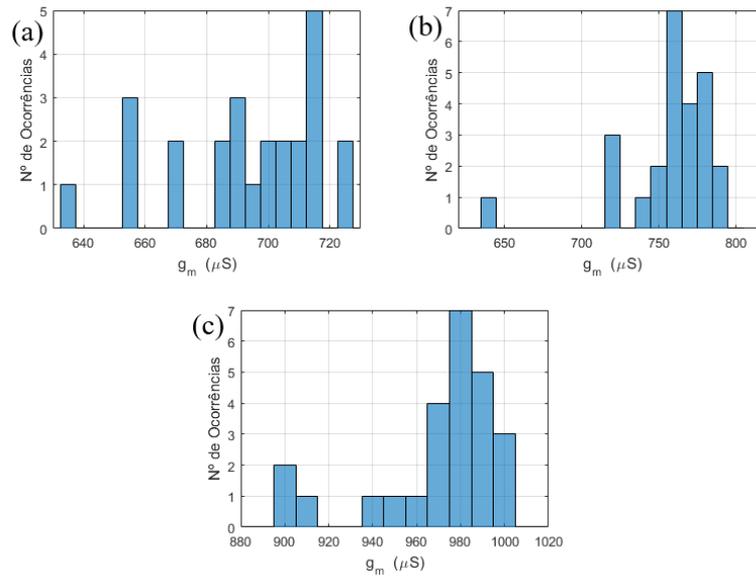
Tabela 10 - Transcondutância máxima média calculada para os ELTs Pseudo-Simétricos com $V_{DS}=600mV$.

Dispositivo	g_m (mS)	σ (mS)	CV (%)
ELT-PS <i>inner</i>	2,12	0,06	3,06
ELT-PS <i>outer</i>	2,02	0,09	4,38
STD-PS	2,18	0,06	2,62

Fonte: Autoria própria.

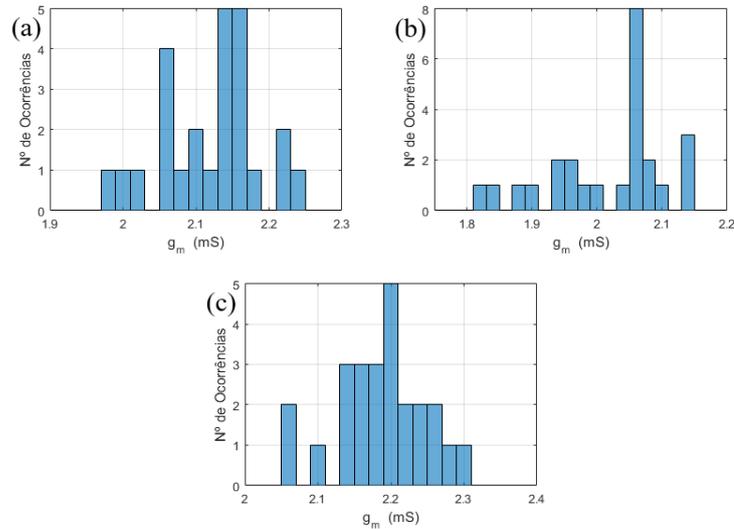
As Figuras 23 e 24 apresentam os histogramas das transcondutâncias máximas para cada dispositivo.

Figura 24 - Histogramas das Transcondutâncias máximas para os dispositivos (a) ELT-C *Inner*, (b) ELT-C *Outer* e (c) STD-C.



Fonte: Autoria própria.

Figura 25 - Histogramas das Transcondutâncias máximas para os dispositivos (a) ELT-PS *Inner*, (b) ELT-PS *Outer* e (c) STD-PS.



Fonte: Autoria própria.

O parâmetro g_m/I_D máximo (valor médio) para cada um dos tipos de leiautes é apresentado nas Tabelas 11 e 12. Podemos notar nas Tabelas 11 e 12 que os valores de g_m/I_D máximos são bem próximos, mas há sim uma leve dependência da razão de aspecto para os dispositivos analisados, uma vez que mesmo os transistores retangulares apresentaram uma alteração neste parâmetro, provavelmente por possuírem razões de aspecto diferentes. Podemos identificar com maior clareza a diferença através das curvas apresentadas na Figura 25.

Tabela 11 – g_m/I_D máximo médio calculado para os ELTs assimétricos com $V_{DS}=600\text{mV}$.

Dispositivo	g_m/I_D (V^{-1})	σ (V^{-1})	CV (%)
ELT-C <i>inner</i>	22,62	0,81	3,58
ELT-C <i>outer</i>	22,26	0,44	1,96
STD-C	23,07	0,50	2,16

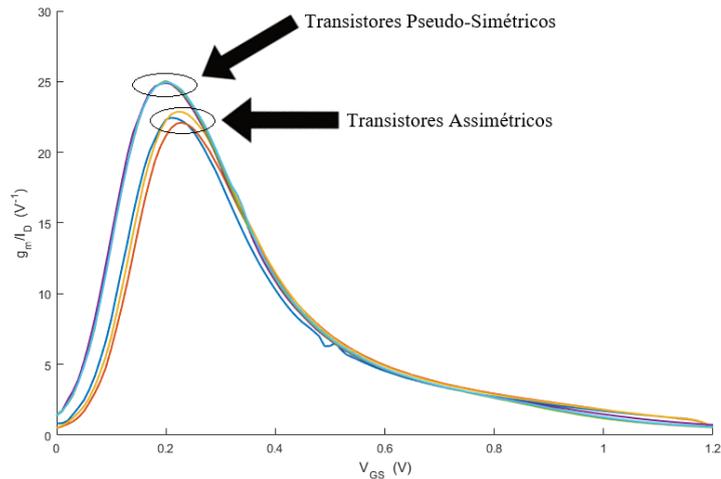
Fonte: Autoria própria.

Tabela 12 – g_m/I_D máximo médio calculado para os ELTs Pseudo-Simétricos com $V_{DS}=600\text{mV}$.

Dispositivo	g_m/I_D (V^{-1})	σ (V^{-1})	CV (%)
ELT-PS <i>inner</i>	25,10	0,41	1,64
ELT-PS <i>outer</i>	25,06	0,34	1,34
STD-PS	25,04	0,40	1,59

Fonte: Autoria própria.

Figura 26 – Curvas $g_m/I_D \times V_{GS}$ médias dos dispositivos analisados com enfoque nas diferenças dos seus valores máximos.



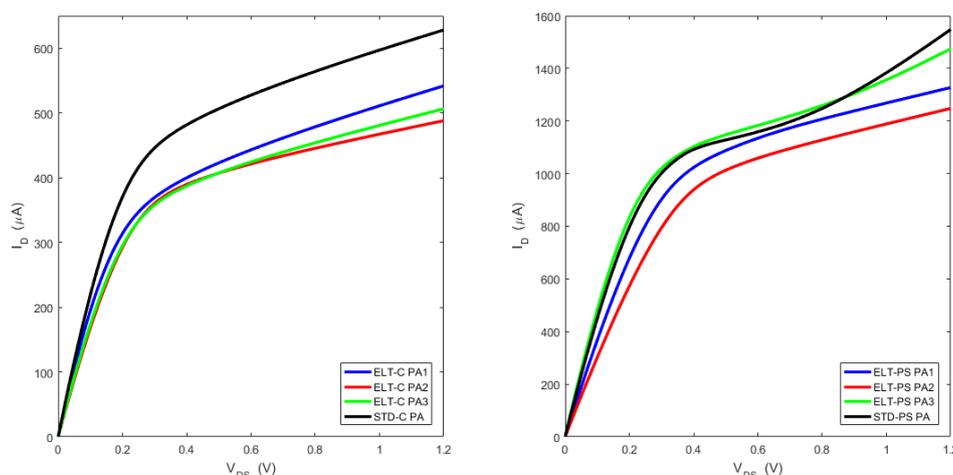
Fonte: Autoria própria.

Com relação a variabilidade, todos os dispositivos apresentaram CVs baixos, o que indica que o comportamento dos dispositivos é bastante homogêneo, e com valores próximos, o que indica que o uso da técnica ELT, a configuração dos terminais e sua assimetria de área não possuem impacto significativo na variabilidade dos dispositivos analisados.

5.2. Resultados dos ELTs Associados em Paralelo

A Figura 26 apresenta as curvas $I_D \times V_{DS}$ médias para os transistores associados em paralelo, com tensão V_{GS} de 600 mV. À esquerda estão apresentadas as curvas das associações dos dispositivos ELT-C e STD-C e à direita as curvas das associações dos dispositivos ELT-PS e STD-PS. Podemos observar na Figura 19 que a resposta dos ELTs assimétricos se dá de forma análoga ao caso dos transistores individuais. Porém agora temos a adição do ELT-C PA3 (verde claro), que apresenta um comportamento intermediário entre os transistores com dreno interno (ELT-C PA1) e os transistores de dreno externo (ELT-C PA2), uma vez que essa associação combina os dois tipos de ELT. Já alguns dos ELTs Pseudo-Simétricos apresentaram um comportamento anômalo. São eles os dispositivos ELT-PS PA3 e o STD-PS.

Figura 27 - Curvas $I_D \times V_{DS}$ médias dos dispositivos associados em paralelo com $V_{GS}=600mV$. A esquerda estão as curvas dos ELTs assimétricos e a direita as curvas dos ELTs Pseudo-Simétricos.

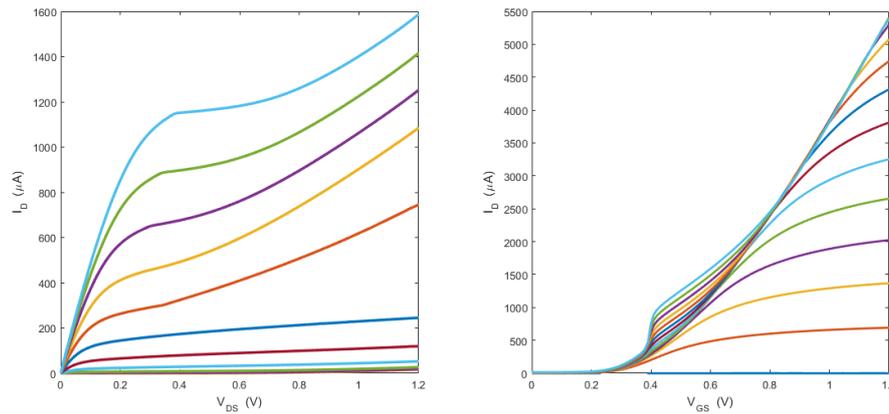


Fonte: Autoria própria

Estes resultados ficam em contraste com o que foi exposto em (CARDOSO, 2018), que também observou comportamento anômalo do dispositivo ELT-PS PA1 no seu experimento, o que neste não ocorreu. Um comportamento com características similares as observadas na Figura 26 é referido na literatura como “*kink effect*” (HAFEZ, GHIBAUDO, BALESTRA, 1989). Porém, este comportamento foi observado em temperatura ambiente na literatura apenas em dispositivos fabricados na tecnologia “*Partially Depleted Silicon on Insulator*” (PD SOI). Para a tecnologia “*bulk*”, utilizada neste trabalho, este efeito foi observado apenas em temperaturas muito baixas (HAFEZ, GHIBAUDO, BALESTRA, 1989). A Figura 27 apresenta em maiores detalhes o comportamento observado em um conjunto de curvas para uma das amostras medidas, sendo ela de um transistor retangular (STD-PS PA). Podemos observar que o comportamento anômalo só se apresenta para valores mais altos de polarização ($V_{GS} \geq 350mV$ e $V_{DS} \geq 400mV$).

Por isso, nenhuma análise mais aprofundada ou parâmetro foi calculado para os dispositivos ELT-PS PA3 e STD-PS PA, o que dificulta a comparação do uso ou não de pseudo-simetria para o caso da associação de ELTs em paralelo. As Tabelas 13 e 14 apresentam as correntes de dreno máximas médias para os dispositivos analisados e as Tabelas 15 e 16 apresentam a resistência de saída em saturação média dos dispositivos, estimadas pelo método da extrapolação linear. A análise foi feita de forma semelhante aos transistores individuais.

Figura 28 - Comportamento anômalo nas curvas medidas de uma amostra do dispositivo STD-PS PA.



Fonte: Autoria própria.

Tabela 13 - Corrente de dreno média máxima para os ELTs assimétricos associados em paralelo com $V_{GS}=600mV$.

Dispositivo	I_{Dmax} (μA)	σ (μA)	CV (%)	Diff %
ELT-C PA1	541,85	12,15	2,42	-13,74
ELT-C PA2	488,04	11,19	2,30	-22,31
ELT-C PA3	506,36	16,98	3,52	-19,39
STD-C PA	628,17	16,08	2,56	--

Fonte: Autoria própria.

Tabela 14 - Corrente de dreno média máxima para os ELTs Pseudo-Simétricos associados em paralelo com $V_{GS}=600mV$.

Dispositivo	I_{Dmax} (μA)	σ (V)	CV (%)
ELT-PS PA1	1327,08	60,74	4,58
ELT-PS PA2	1247,88	41,06	3,29

Fonte: Autoria própria.

Tabela 15 - Resistência de saída média em saturação estimada para os ELTs assimétricos associados em paralelo com $V_{GS}=600mV$.

Dispositivo	r_0 ($k\Omega$)	σ ($k\Omega$)	CV (%)	Diff %
ELT-C PA1	5,97	0,17	2,79	2,23
ELT-C PA2	8,82	0,33	3,69	51,03
ELT-C PA3	7,19	0,33	4,54	23,12
STD-C PA	5,84	0,19	3,27	--

Fonte: Autoria própria.

Tabela 16 - Resistência de saída média em saturação estimada para os ELTs Pseudo_Simétricos associados em paralelo com $V_{GS}=600mV$.

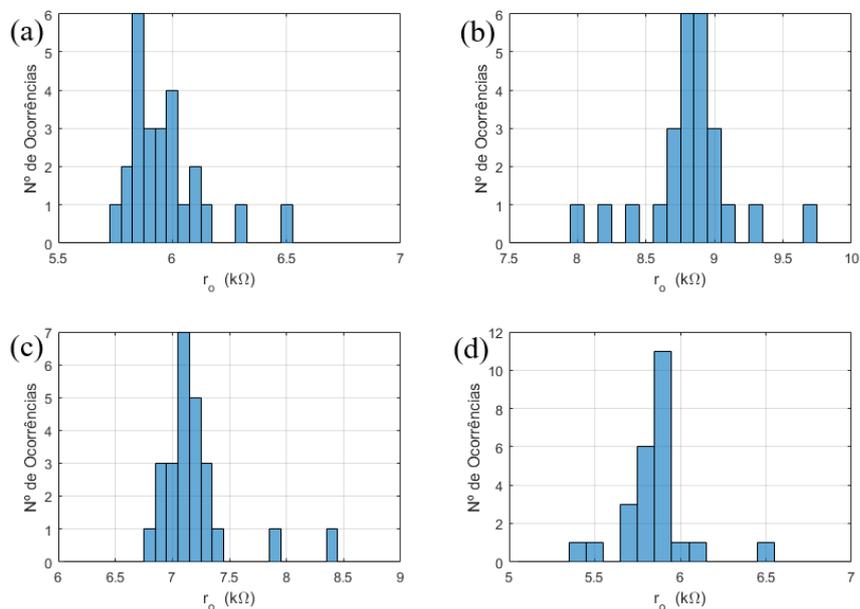
Dispositivo	r_0 ($k\Omega$)	σ ($k\Omega$)	CV (%)
ELT-PS PA1	3,05	0,22	7,11
ELT-PS PA2	3,13	0,32	10,14

Fonte: Autoria própria.

Se observa novamente que o uso da Pseudo-Simetria aproxima o comportamento do ELT de dreno interno com o de dreno externo. Com relação aos ELT-C, novamente o transistor com dreno interno (ELT-C PA1) tem um comportamento mais próximo do transistor retangular do que o transistor com dreno externo (ELT-C PA2). O uso de uma associação com ambos os tipos de ELT (ELT-C PA3) apresentou resultados intermediários entre eles.

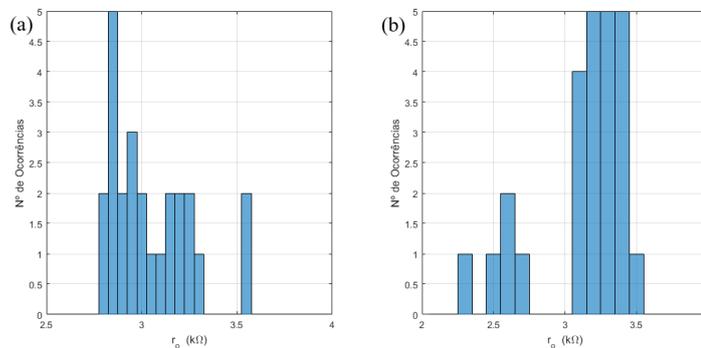
As Figuras 28 e 29 apresentam os histogramas das resistências de saída para cada dispositivo analisado.

Figura 29 - Histogramas das Resistências de Saída extraídas para os dispositivos (a) ELT-C PA1, (b) ELT-C PA2, (c) ELT-C PA3 e (d) STD-C PA.



Fonte: Autoria própria

Figura 30 - Histogramas das Resistências de Saída extraídas para os dispositivos (a) ELT-PS PA1 e (b) ELT-PS PA2.



Fonte: Autoria própria.

Para a análise da tensão de limiar, foi possível utilizar os dados de todos os dispositivos, pois o “*kink effect*” se manifesta apenas com valores consideráveis de tensão de dreno, conforme mostrado na Figura 20. Assim, as Tabelas 17 e 18 apresentam as tensões de limiar médias extraídas para todos os dispositivos em associação paralela.

Tabela 17 - Tensão de Limiar média estimada pelo método da segunda derivada para as associações de ELTs assimétricos.

Dispositivo	V_{TH} (V)	σ (V)	CV (%)
ELT-C PA1	0,321	0,010	3,23
ELT-C PA2	0,325	0,011	3,57
ELT-C PA3	0,324	0,013	4,08
STD-C PA	0,330	0,011	3,32

Fonte: Autoria própria.

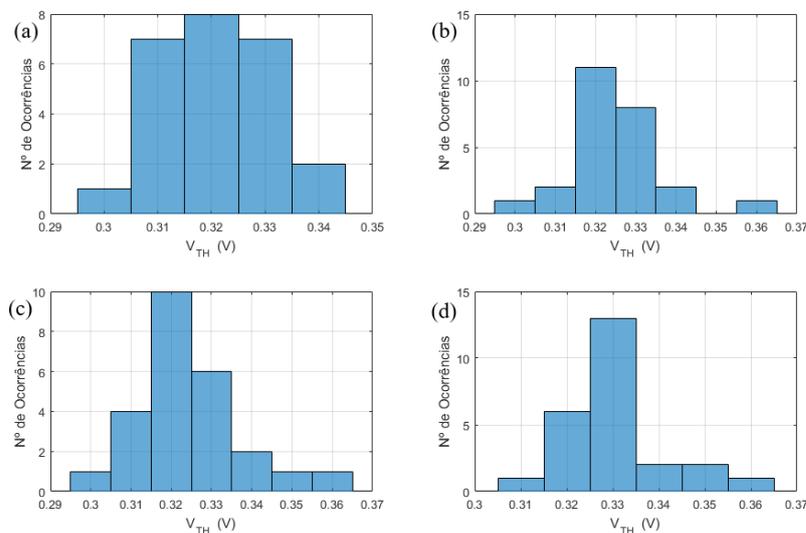
Tabela 18 - Tensão de Limiar média estimada pelo método da segunda derivada para as associações de ELTs Pseudo-Simétricos.

Dispositivo	V_{TH} (V)	σ (V)	CV (%)
ELT-PS PA1	0,299	0,009	2,97
ELT-PS PA2	0,295	0,008	2,61
ELT-PS PA3	0,315	0,009	2,76
STD-PS PA	0,314	0,008	2,58

Fonte: Autoria própria.

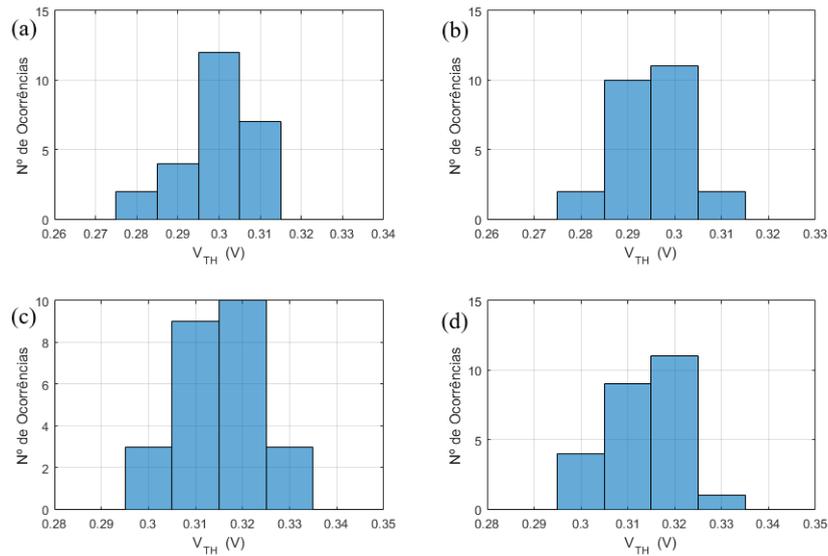
As Figuras 30 e 31 apresentam os histogramas das tensões de limiar extraídas para cada um dos dispositivos. Podemos observar o fenômeno da discretização dos valores obtidos em decorrência do uso do método da segunda derivada para estimar o valor da tensão de limiar.

Figura 31 - Histogramas das Tensões de Limiar extraídas para os dispositivos (a) ELT-C PA1, (b) ELT-C PA2, (c) ELT-C PA3 e (d) STD-C PA.



Fonte: Autoria própria.

Figura 32 - Histogramas das Tensões de Limiar extraídas para os dispositivos (a) ELT-PS PA1, (b) ELT-PS PA2, (c) ELT-PS PA3 e (d) STD-PS PA.



Fonte: Autoria própria.

A transcondutância máxima dos dispositivos é apresentada nas Tabelas 19 e 20, de forma análoga ao realizado para os transistores individuais. Em contraste com o obtido até o momento, uso da Pseudo-Simetria neste caso tornou o comportamento dos ELTs mais distantes até do que o uso de ELTs assimétricos. Já a transcondutância dos ELTs assimétricos foi bem próxima e, ao contrário do caso do transistor individual, a do ELT-C com dreno interno foi maior que a do ELT-C externo.

Tabela 19 - Transcondutância máxima média calculada para as associações de ELTs assimétricos com $V_{DS}=600mV$.

Dispositivo	g_m (mS)	σ (mS)	CV (%)
ELT-C PA1	2,39	0,07	2,86
ELT-C PA2	2,35	0,08	3,38
ELT-C PA3	2,28	0,10	4,51
STD-C PA	2,90	0,11	3,65

Fonte: Autoria própria.

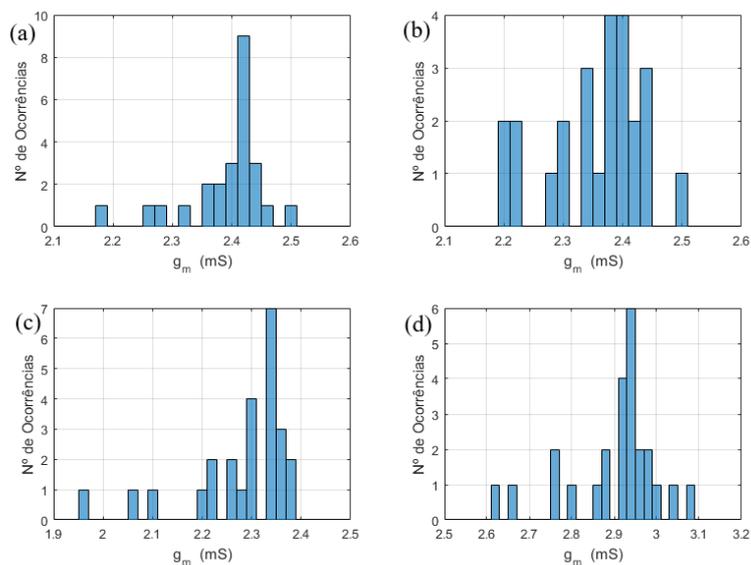
Tabela 20 - Transcondutância máxima média calculada para as associações de ELTs Pseudo-Simétricos com $V_{DS}=600mV$.

Dispositivo	g_m (mS)	σ (mS)	CV (%)
ELT-PS PA1	4,89	0,28	5,68
ELT-PS PA2	4,37	0,15	3,35

Fonte: Autoria própria.

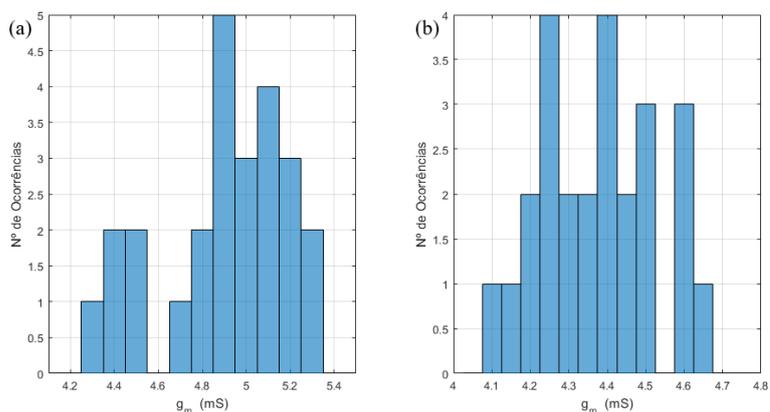
As Figuras 32 e 33 apresentam os histogramas das transcondutâncias máximas para os dispositivos analisados.

Figura 33 - Histogramas das Transcondutâncias máximas extraídas para os dispositivos (a) ELT-C PA1, (b) ELT-C PA2, (c) ELT-C PA3 e (d) STD-C PA.



Fonte: Autoria própria.

Figura 34 - Histogramas das Transcondutâncias máximas extraídas para os dispositivos (a) ELT-PS PA1 e (b) ELT-PS PA2.



Fonte: Autoria própria.

O parâmetro g_m/I_D máximo (valor médio) para cada tipo de leiaute é apresentado nas Tabelas 21 e 22. Novamente, os valores de g_m/I_D máximos são próximos, mas não idênticos, uma vez que suas razões de aspecto são diferentes.

Tabela 21 - g_m/I_D máximo médio calculado para os ELTs assimétricos com $V_{DS}=600\text{mV}$.

Dispositivo	g_m/I_D (V^{-1})	σ (V^{-1})	CV (%)
ELT-C PA1	21,84	0,85	3,91
ELT-C PA2	21,60	0,33	1,52
ELT-C PA3	21,67	0,59	2,72
STD-C PA	22,29	0,50	2,26

Fonte: Autoria própria.

Tabela 22 - g_m/I_D máximo médio calculado para os ELTs Pseudo-Simétricos com $V_{DS}=600mV$.

Dispositivo	g_m/I_D (V^{-1})	σ (V^{-1})	CV (%)
ELT-PS PA1	24,24	0,62	2,55
ELT-PS PA2	24,44	0,47	1,92

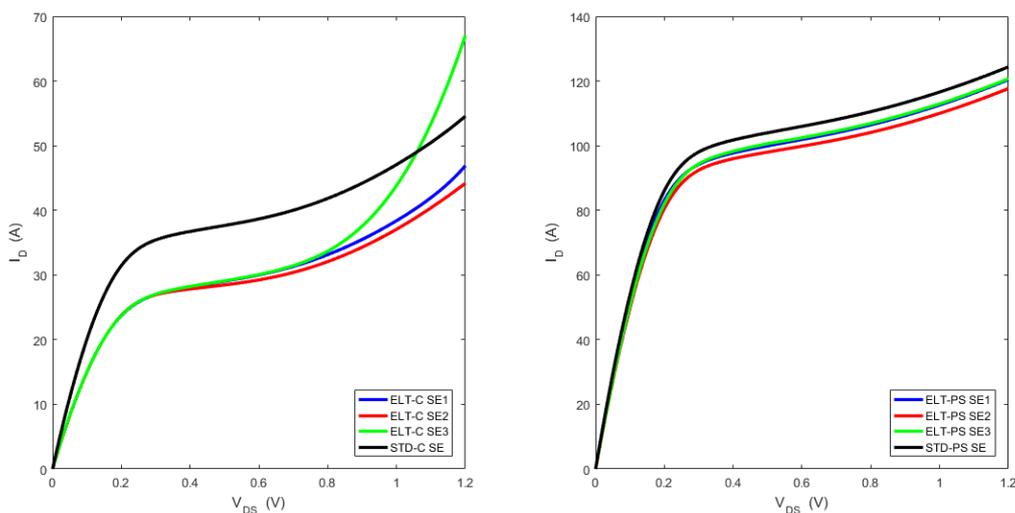
Fonte: Autoria própria.

Novamente, todos os dispositivos apresentaram CVs baixos e com valores próximos, indicando um comportamento amostral mais homogêneo e que o uso da técnica ELT, a configuração dos terminais e sua assimetria de área não possuem impacto significativo na variabilidade dos dispositivos ao associá-los em paralelo. Além disso, o maior valor de CV registrado nas medidas de todos os parâmetros deste trabalho pertence ao grupo dos ELT-PS, com valor de 10,14% para a resistência de saída média do dispositivo ELT-PS PA2.

5.3. Resultados dos ELTs Associados em Série

A Figura 34 apresenta as curvas $I_D \times V_{DS}$ médias para os transistores associados em série, com tensão V_{GS} de 600 mV. À esquerda estão apresentadas as curvas das associações dos dispositivos ELT-C e STD-C e à direita as curvas das associações dos dispositivos ELT-PS e STD-PS. Podemos observar que o comportamento em saturação de todos os dispositivos em saturação não se assemelha a um comportamento linear, que seria esperado pelo efeito de modulação do canal. Isto é ainda mais evidente para o dispositivo ELT-C SE3, que apresenta um comportamento praticamente exponencial em saturação.

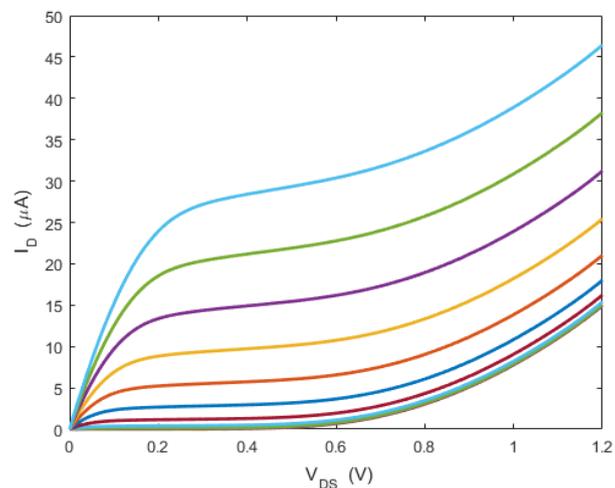
Figura 35 - Curvas $I_D \times V_{DS}$ médias dos dispositivos associados em série com $V_{GS}=600mV$. A esquerda estão as curvas dos ELTs assimétricos e a direita as curvas dos ELTs Pseudo-Simétricos.



Fonte: Autoria própria

Estas associações não foram exploradas em detalhe porque os dispositivos em série não apresentaram um comportamento característico de um transistor ao longo de toda excursão das tensões aplicadas, sendo eles ELT ou não. A Figura 35 apresenta todas as curvas $I_D \times V_{DS}$ para uma das associações em série, no caso a STD-C SE. Nela podemos ver que, mesmo com pouca ou nenhuma tensão aplicada em sua porta, este dispositivo apresentou níveis significativos de corrente de dreno quando a tensão $V_{DS} \geq 600 \text{ mV}$, o que não deveria ocorrer, pois ele estaria operando em corte. Este comportamento foi observado para todos os dispositivos associados em série.

Figura 36 - Conjunto de curvas $I_D \times V_{DS}$ medidas de uma amostra do dispositivo STD-C SE.



Fonte: Autoria própria.

Este comportamento pode ser explicado por um efeito chamado de “*Substrate Current induced Body Effect*” (SCBE). Este efeito causa a redução da resistência de saída do transistor para valores altos de V_{DS} , o que acarreta num aumento exponencial da corrente de dreno do dispositivo (GUPTA, ANVEKAR, VENKATESWARLU, 2013).

A tensão de limiar foi estimada para estes dispositivos e os resultados são apresentados nas Tabelas 23 e 24. Estes dispositivos apresentaram os maiores valores de tensão de limiar para todos os tipos de transistores e os mais próximos do valor médio fornecido pelo fabricante. Os resultados continuaram apresentando CV de valor baixo da mesma forma que os dispositivos individuais e as associações em paralelo, o que indica novamente que o uso da técnica ELT, a configuração dos terminais e sua assimetria de área não possuem impacto significativo na variabilidade dos dispositivos.

Tabela 23 - Tensão de Limiar média estimada pelo método da segunda derivada para os ELTs assimétricos associados em série.

Dispositivo	V_{TH} (V)	σ (V)	CV (%)
ELT-C SE1	0,347	0,012	3,4
ELT-C SE2	0,351	0,011	3,28
ELT-C SE3	0,338	0,012	3,72
STD-C SE	0,356	0,011	3,02

Fonte: Autoria própria.

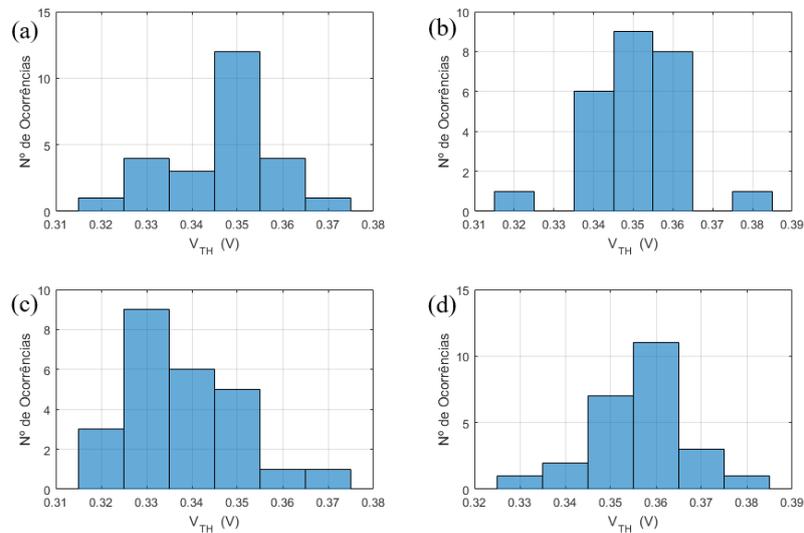
Tabela 24 - Tensão de Limiar média estimada pelo método da segunda derivada para os ELTs Pseudo-Simétricos associados em série.

Dispositivo	V_{TH} (V)	σ (V)	CV (%)
ELT-PS SE1	0,352	0,008	2,42
ELT-PS SE2	0,348	0,012	3,58
ELT-PS SE3	0,344	0,013	3,74
STD-PS SE	0,350	0,008	2,4

Fonte: Autoria própria.

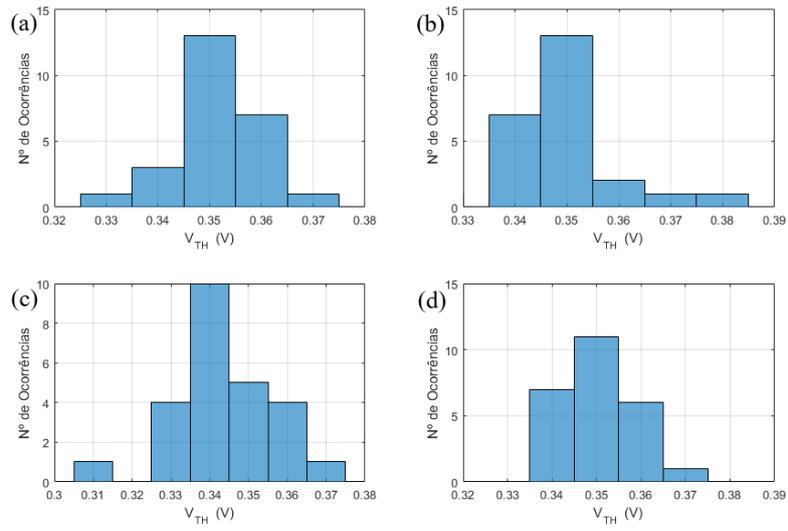
As Figuras 3 e 3 apresentam os histogramas das tensões de limiar calculadas para cada dispositivo.

Figura 37 - Histogramas das Tensões de Limiar extraídas para os dispositivos (a) ELT-C SE1, (b) ELT-C SE2, (c) ELT-C SE3 e (d) STD-C SE.



Fonte: Autoria própria.

Figura 38 - Histogramas das Tensões de Limiar extraídas para os dispositivos (a) ELT-PS SE1, (b) ELT-PS SE2, (c) ELT-PS SE3 e (d) STD-PS SE.



Fonte: Autoria própria.

6. Conclusão

Este trabalho consiste em um estudo do impacto do uso da técnica de ELT, uma técnica de tolerância à radiação a nível de projeto, sobre alguns dos parâmetros elétricos dos transistores projetados, quando comparados a um transistor de topologia retangular de mesma razão de aspecto, bem como aspectos de variabilidade. Foi verificado também se o uso da Pseudo-Simetria no projeto de ELTs, proposta por (CARDOSO, 2018), apresenta benefícios sobre o desempenho elétrico do dispositivo fabricado. Primeiramente, o capítulo 2 faz uma breve revisão sobre as origens e interações da radiação ionizante com dispositivos semicondutores, com especial enfoque nos efeitos causados pela TID.

Posteriormente, o capítulo 3 traz uma breve revisão do funcionamento dos transistores MOS, bem como o equacionamento simplificado do seu funcionamento e métodos de extração da tensão de limiar e resistência de saída experimentais, utilizadas neste trabalho. O capítulo 3 também introduz a noção de variabilidade em circuitos integrados e traz também os métodos estatísticos utilizados para avaliar a dispersão dos parâmetros analisados.

Além do embasamento teórico, foram realizadas medidas experimentais de 25 amostras no LCE da UFRGS, que consistiram na extração de um conjunto de curvas $I_D \times V_{DS}$ e $I_D \times V_{GS}$ dos dispositivos analisados. Com base nos resultados destes experimentos foi possível observar que o uso da Pseudo-Simetria tornou o comportamento do ELT mais próximo do transistor retangular convencional. Esta Pseudo-Simetria também apresentou melhoras do comportamento do ELT com dreno externo, quando comparado com o comportamento já conhecido do ELT assimétrico com dreno externo. Do ponto de vista do autor, seriam necessários análises mais aprofundadas de outros parâmetros (como capacitâncias e resposta AC) para averiguar com clareza as vantagens e desvantagens de cada uma das conformações dos terminais possíveis.

A variabilidade foi analisada através do CV dos parâmetros dos dispositivos, onde a maioria se manteve no intervalo de 2 a 5%, com o maior CV calculado de aproximadamente 10%, o que indica um comportamento amostral com tendência homogênea. Os valores próximos e pequenos indicam que o uso da técnica de ELT, da Pseudo-Simetria ou da conformação dos terminais dos transistores não aparenta

apresentar detrimento sobre a variabilidade dos dispositivos fabricados, quando comparados com o transistor retangular convencional.

Os trabalhos relacionados a esta dissertação foram apresentados no “33rd *Symposium on Integrated Circuits and Systems Design*” (SBCCI 2020), em uma apresentação virtual. Também geraram um artigo submetido à revista “*IEEE Transactions on Aerospace and Electronic Systems*”, que no momento da escrita deste texto encontra-se em uma segunda rodada de revisão.

7. Referências Bibliográficas

ANELLI, G. *et al.* Radiation tolerant VLSI circuits in standard deep submicron CMOS Technologies for the LHC experiments: practical design aspects. **IEEE Transactions on Nuclear Science**, Norfolk, v. 46, n. 6, p. 1690-1696, Dec. 1999.

ANGHEL, L.; ALEXANDRESCU, D.; NICOLAIDIS, M. Evaluation of a soft error tolerance technique based on time and or hardware redundancy. In: IEEE Integrated Circuits and Systems Design, 13, 2000, Manaus. **Proceedings [...]**, Manaus, 2000. p. 237-242.

BALEN, T. R. **Efeitos da radiação em dispositivos analógicos programáveis (FPAA) e técnicas de proteção.** 2010. Tese (Doutorado em Engenharia Elétrica) - Programa de Pós-Graduação em Engenharia Elétrica, Universidade Federal do Rio Grande do Sul, Porto Alegre, 2010.

BARNABY, H. J. Total-Ionizing-Dose Effects in Modern CMOS Technologies. **IEEE Transactions on Nuclear Science**, New York, v. 53, n. 6, p. 3103-3121, Dec. 2006.

BOUDENOT, J. C. Radiation Space Environment. In: VELAZCO, R.; FOUILLAT, P.; REIS, R. (Ed.). **Radiation Effects on Embedded Systems.** Dordrecht: Springer, 2007. p. 1-9.

BRITO, J. P. M. On-Chip Test Structures (Measurements) for nMOSFET Mismatch Characterization. 2022. Tese (Doutorado em Microeletrônica) – Programa de Pós-Graduação em Microeletrônica, Universidade Federal do Rio Grande do Sul, Porto Alegre, 2022.

CARDOSO, G. S. **Avaliação de aspectos de projeto analógico usando Enclosed Layout Transistors em tecnologia CMOS**. 2018. Tese (Doutorado em Microeletrônica) – Programa de Pós-Graduação em Microeletrônica, Universidade Federal do Rio Grande do Sul, Porto Alegre, 2018.

CARDOSO, G. S.; BALEN, T. R. Performance and simulation accuracy evaluation of analog circuits with enclosed layout transistors. **Analog Integrated Circuits and Signal Processing**, [S. l.], v. 93, n.3, p. 455-466, Dec. 2017.

CARUSONE, T. C.; JOHNS, D. A.; MARTIN, K. W. **Analog Integrated Circuits Design**. 2. ed. [S. l.]: John Wiley & Sons, 2011.

COOK, K. L. B. The ITAR and you – what you need to know about the International Traffic in Arms Regulations. **Aerospace Conference**, Mar. 2010, Big Sky. p. 1-12.

DJEZZAR, B. *et al.* Channel length impact on radiation-induced threshold voltage shift in N-MOSFET devices at low gamma rays radiation doses. IEEE Nuclear Science Symposium Conference Records, 9, 1999, Seattle. **Proceedings [...]**, Seattle, 1999. p. 401-407.

ECCOFET, R. In-flight anomalies on electronic devices. In: VELAZCO, R.; FOUILLAT, P.; REIS, R. (Ed.). **Radiation Effects on Embedded Systems**. Dordrecht: Springer, 2007. p. 31-68.

EUA. Estados Unidos da América (EUA). International Traffic in Arms Regulations. Code of Federal Regulations, n. 22, parts 120-130, 1997. Disponível em: <<https://www.govinfo.gov/content/pkg/CFR-1997-title22-vol1/pdf/CFR-1997-title22-vol1-chap-id2-subchapM.pdf>> Acesso em: 20 Ago. 2022.

FACCIO, F. Design Hardening Methodologies for ASICs. In: VELAZCO, R.; FOUILLAT, P.; REIS, R. (Ed.). **Radiation Effects on Embedded Systems**. Dordrecht: Springer, 2007. p. 143-160.

FACCIO, F.; CERVELLI, G. Radiation-induced edge effects in deep submicron CMOS transistors. **IEEE Transactions on Nuclear Science**, Seattle, v. 52, n. 6, p. 2413-2420, Dec. 2005.

FAN, X. *et al.* Gate-enclosed NMOS transistors. **Journal of Semiconductors**, [S. l.], v. 32, n. 8, Aug. 2011.

GIRALDO, A.; PACCAGNELLA, A.; MINZONI, A. Aspect ratio calculation in n-channel MOSFETs with a gate-enclosed layout. **Solid State Electronics**, [S. l.], v. 44, n. 6, p. 981-989, Jun. 2000.

GUPTA, K. A.; ANVEKAR, D. K.; VENKATESWARLU, V. Modeling of Short Channel MOSFET Devices and Analysis of Design Aspects for Power Optimisation. **International Journal of Modeling and Optimization**, [S. l.], v. 3, n. 3, p. 266-271, Jun. 2013.

HAFEZ, I. M., GHIBAUDO, G., BALESTRA, F. Analytical Modelling of the Kink Effect in MOS Transistors. **19th European Solid State Device Research Conference**. Sep. 1989. Berlin. p. 897-900.

HASTINGS, A. **The Art of Analog Layout**. 2. ed. [S. l.]: Pearson, 2005.

HEYNDERICKX, D. *et al.* Calculating low-altitude trapped particle fluxes with the NASA models AP-8 and AE-8. **Radiation Measurements**, Amsterdam, Elsevier, v. 26, n. 6, p. 947-952, Nov. 1996.

HUANG, R *et al.* Variability-and reliability-aware design for 16/14nm and beyond technology. IEEE International Electron Devices Meetings, 2017, San Francisco. **Proceedings [...]**, San Francisco, 2017. p. 12.4.1-12.4.4.

JARRON, P. *et al.* Deep submicron CMOS Technologies for the LHC experiments. **Nuclear Physics B – Proceedings Supplements**, [S. l.], v. 78, n. 1-3, p. 625-634, Aug. 1999.

KLIMACH, H. **Modelo de Descasamento (MISMATCH) entre Transistores MOS**. Tese (Doutorado em Engenharia Elétrica) – Programa de Pós-Graduação em Engenharia Elétrica, Universidade Federal de Santa Catarina, Florianópolis, 2008.

KLOUKINAS, K. *et al.* Development of a radiation tolerant 2.0-V standard cell library using deep submicron CMOS technology for the LHC. In: **Workshop on Electronics for LHC Experiments**, 4., Sep. 1998, Rome. p. 574-580.

LAMBA, V. K.; ENGLER, D.; MALIK, S. S. Effects of Random Distribution of Dopants in Nano-Scaled MOSFETs. **IEEE Conference on Nanotechnology**, 8., Aug. 2008, Arlington. p. 14-17.

LEE, M. S.; LEE, H. C. Dummy Gate-Assisted n-MOSFET Layout for a Radiation-Tolerant Integrated Circuit. **IEEE Transactions on Nuclear Science**, [S. l.], v. 60, n. 4, p. 3084-3091, Aug. 2013.

MANGHISONI, M. *et al.* Comparison of ionizing radiation effects in 0.18 and 0.25 μm CMOS Technologies for analog applications. **IEEE Transactions on Nuclear Science**, [S. l.], v. 50, n. 6, p. 1827-1833, Dec. 2003.

MEISENHEIMER, T. L.; FLEETWOOD, D. M. Effect of radiation-induced charge on 1/f noise in NMOS devices. **IEEE Transactions on Nuclear Science**, Reno, v. 37, n. 6, p. 1696-1702, Dec. 1990.

MEISENHEIMER, T. L. *et al.* 1/f noise in n- and p-channel MOS devices through irradiation and annealing. **IEEE Transactions on Nuclear Science**, San Diego, v. 38, n. 6, p. 1297-1303, Dec. 1991.

ORTIZ-CONDE, A. *et al.* Revisiting MOSFET threshold voltage extraction methods. **Microelectronics Reliability**, [S. l.], v.53, n. 1, p. 90-104, Jan. 2013.

OTT, R. L.; LONGNECKER, M. **An Introduction to Statistical Methods and Data Analysis**. 6. ed. Belmont: Brooks/Cole Cengage Learning, 2010.

RAZAVI, B. **Design of Analog CMOS Integrated Circuits**. 2. ed. New York: Mc Graw-Hill Education, 2016.

RE, V. *et al.* Total ionizing dose effects on the analog performance of a 0.13 μm CMOS technology. **IEEE Radiation Effects Data Workshop**, Seattle, Jul. 2005. p. 122-126.

RE, V. *et al.* Total ionizing dose effects on the noise performance of a 0.13 μm CMOS technology. **IEEE Transactions on Nuclear Science**, [S. l.], v. 53, n. 3, p. 1599-1606, Jun. 2006.

RODITI, I. **Dicionário Houaiss de física**. 1. ed. Rio de Janeiro: Objetiva, 2005.

ROQUE, W. L. **Introdução ao Cálculo Numérico – Um Texto Integrado com DERIVE®**. 1. ed. São Paulo: Atlas, 2000.

SCHRIMPF, R. D. Radiation Effects in Microelectronics. In: VELAZCO, R.; FOUILLAT, P.; REIS, R. (Ed.). **Radiation Effects on Embedded Systems**. Dordrecht: Springer, 2007. p. 11-29.

SCHWANK, J. R. *et al.* Radiation Effects in MOS Oxides. **IEEE Transactions on Nuclear Science**, [S. l.], v. 55, n. 4, p. 1833-1853, Aug. 2008.

SEDRA, A. S.; SMITH, K. C.; CARUSONE, T. C.; GAUDET, V. **Microelectronic Circuits**. 8. ed. New York: Oxford University Press, 2020.

SILVEIRA, F.; FLANDRE, D.; JESPERS, P. G. A. A $g/m/I/D$ based methodology for the design of CMOS analog circuits and its application on the synthesis of a silicon-on-insulator micropower OTA. **IEEE Journal of Solid-State Circuits**, [S. l.], v. 31, n. 9, p. 1314-1319, Sep. 1996.

SNOEYS, W. *et al.* Layout techniques to enhance the radiation tolerance of standard CMOS technologies demonstrated on a pixel detector readout chip. **Nuclear Instruments and Methods in Physics Research Section A: accelerators, spectrometers, detectors and associated equipment**, [S. l.], v. 439, n. 2-3, p. 349-360, Jan. 2000.

SNOW, E. H.; GROVE, A. S.; FITZGERALD, D. J. Effects of ionizing radiation on oxidized silicon surfaces and planar devices. **Proceedings of the IEEE**, [S. l.], v. 55, n. 7, p. 1168-1184, Jul. 1967.

TUROWSKI, M.; RAMAN, A.; SCHRIMPF, R. D. Nonuniform total-dose-induced charge distribution in shallow-trench isolation oxides. **IEEE Transactions on Nuclear Science**, [S. l.], v. 51, n. 6, p. 3166-3171, Dec. 2004.

VELAZCO, R; FOUILLAT, P.; REIS, R. (Ed.). **Radiation effects on embedded systems**. Dordrecht: Springer, 2007.

WINOKUR, P. S. *et al.* Use of COTS microelectronics in radiation environments. **IEEE Transactions on Nuclear Science**, Norfolk, v. 46, n. 6, p. 1494-1503, Dec. 1999.

WONG, H. *et al.* Modeling of transconductance degradation and extraction of threshold voltage in thin oxide MOSFET's. **Solid-State Electronics**, [S. l.], v. 30, n. 9, p. 953-968, Sep. 1987.

ZHOU, X.; LIM, K. Y.; LIM, D. A simple and unambiguous definition of threshold voltage and its implications in deep-submicron MOS device modeling. **IEEE Transactions on Electron Devices**, [S. l.], v. 46, n. 4, p. 807-809, Apr. 1999.

ZUPAC, D. *et al.* Separation of effects of oxide-trapped charge and interface-trapped charge on mobility in irradiated power MOSFETs. **IEEE Transactions on Nuclear Science**, [S. l.], v. 40, n. 6, p. 1307-1315, Dec. 1993.