

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL  
INSTITUTO DE INFORMÁTICA  
PROGRAMA DE PÓS-GRADUAÇÃO EM COMPUTAÇÃO

**Uma Ferramenta para Automação da Geração do  
Leiaute de Circuitos Analógicos sobre uma Matriz de  
Transistores MOS Pré-Difundidos**

por

ALESSANDRO GONÇALVES GIRARDI

Dissertação submetida à avaliação como requisito parcial  
para a obtenção do grau de Mestre em Ciência da Computação

Prof. Dr. Sergio Bampi  
Orientador

Porto Alegre, fevereiro de 2003.

## CIP - CATALOGAÇÃO NA PUBLICAÇÃO

Girardi, Alessandro Gonçalves

Uma Ferramenta para Automação da Geração do Leiaute de Circuitos Analógicos sobre uma Matriz de Transistores MOS Pré-Difundidos / por Alessandro Gonçalves Girardi - Porto Alegre: PPGC da UFRGS, 2003.

172f. : il.

Dissertação (mestrado) - Universidade Federal do Rio Grande do Sul - Programa de Pós-Graduação, Porto Alegre, BR - RS, 2003. Orientador: Bampi, Sergio.

1. Microeletrônica. 2. Projeto analógico. 3. Ferramenta de CAD. 4. Sea-of-gates. 5. Associação Trapezoidal de Transistores. I. Bampi, Sergio. II. Título.

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL

Reitora: Profª Wrana Panizzi

Pró-Reitor de Ensino: Prof. José Carlos Ferraz Hennemann

Pró-Reitor Adjunto de Pós-Graduação: Prof. Jaime Evaldo Fensterseifer

Diretor do Instituto de Informática: Prof. Philippe Olivier Alexandre Navaux

Coordenador do PPGC: Prof. Carlos Alberto Heuser

Bibliotecária-Chefe do Instituto de Informática: Beatriz Regina Bastos Haro

Para Litiane



“As idéias estão no chão  
Você tropeça e acha a solução”

Titãs



## Sumário

<b>Lista de Figuras</b> .....	<b>9</b>
<b>Lista de Tabelas</b> .....	<b>13</b>
<b>Lista de Abreviaturas</b> .....	<b>15</b>
<b>Lista de Símbolos</b> .....	<b>16</b>
<b>Resumo</b> .....	<b>18</b>
<b>Abstract</b> .....	<b>19</b>
<b>1 Introdução</b> .....	<b>20</b>
1.1 <b>Objetivos</b> .....	21
1.2 <b>Organização da dissertação</b> .....	21
<b>2 Projeto de Circuitos Mistos sobre uma Matriz de Transistores Pré-Difundidos</b> .....	<b>23</b>
2.1 <b>Arranjos pré-difundidos (ou programáveis por máscara)</b> .....	24
2.1.1 <b>Vantagens e limitações</b> .....	24
2.2 <b>Topologias de matrizes pré-difundidas</b> .....	25
2.3 <b>Conclusão</b> .....	28
<b>3 A Matriz SOT</b> .....	<b>29</b>
3.1 <b>Arquitetura</b> .....	29
3.2 <b>Características elétricas</b> .....	31
3.3 <b>Opções de topologia</b> .....	35
3.4 <b>Conclusão</b> .....	36
<b>4 Modelagem da Associação Trapezoidal de Transistores</b> .....	<b>38</b>
4.1 <b>Análise DC dos TATs</b> .....	38
4.2 <b>Análise de pequenos sinais dos TATs</b> .....	44
4.3 <b>Análise de pequenos sinais de um amplificador inversor com fonte de corrente utilizando TATs</b> .....	51
4.3.1 <b>Ganho <math>A_{v0}</math></b> .....	53
4.3.2 <b>Análise em frequência</b> .....	57
4.3.3 <b>Equivalência em pequenos sinais</b> .....	61
4.4 <b>Conclusão</b> .....	65
<b>5 Técnicas de Casamento de Transistores e sua Aplicação sobre a Matriz SOT</b> .....	<b>66</b>
5.1 <b>Casamento de transistores MOS</b> .....	66
5.2 <b>Efeitos geométricos</b> .....	67
5.2.1 <b>Área de <i>gate</i></b> .....	68
5.2.2 <b>Espessura do óxido de <i>gate</i></b> .....	69
5.2.3 <b>Modulação do comprimento de canal</b> .....	70
5.2.4 <b>Orientação</b> .....	70
5.3 <b>Efeitos de difusão e corrosão</b> .....	70
5.3.1 <b>Variações na taxa de corrosão do polisilício</b> .....	71
5.3.2 <b>Contatos sobre área de <i>gate</i> ativa</b> .....	72
5.3.3 <b>Difusões perto do canal</b> .....	72
5.3.4 <b>Contatos sobre difusão</b> .....	73
5.3.5 <b>PMOS versus NMOS</b> .....	73
5.4 <b>Efeitos térmicos e mecânicos</b> .....	73
5.4.1 <b>Gradientes de espessura do óxido</b> .....	74

5.4.2	Gradientes de tensão mecânica.....	74
5.4.3	Tensão mecânica induzida pela metalização.....	75
5.4.4	Gradientes térmicos.....	75
<b>5.5</b>	<b>Leiaute em centróide comum de transistores MOS.....</b>	<b>75</b>
<b>5.6</b>	<b>Regras para o casamento de transistores MOS.....</b>	<b>80</b>
<b>5.7</b>	<b>Aplicação das técnicas de leiaute sobre a matriz SOT.....</b>	<b>84</b>
<b>5.8</b>	<b>Exemplos de leiaute para casamento de TATs sobre a matriz SOT.....</b>	<b>88</b>
5.8.1	Padrões de interdigitação em uma banda.....	88
5.8.2	Padrões de interdigitação em duas bandas.....	90
<b>5.9</b>	<b>Conclusão.....</b>	<b>93</b>
<b>6</b>	<b>A Ferramenta LIT.....</b>	<b>95</b>
<b>6.1</b>	<b>Geração automática da matriz SOT.....</b>	<b>96</b>
<b>6.2</b>	<b>Cálculo do TAT equivalente.....</b>	<b>101</b>
<b>6.3</b>	<b>Geração do leiaute dos TATs e blocos básicos.....</b>	<b>109</b>
6.3.1	Geração automática dos TATs.....	110
6.3.2	Geração automática do par diferencial.....	112
6.3.3	Geração automática do espelho de corrente.....	114
<b>6.4</b>	<b>Geração automática do leiaute dos capacitores.....</b>	<b>114</b>
<b>6.5</b>	<b>Posicionamento das células.....</b>	<b>115</b>
<b>6.6</b>	<b>Roteamento global.....</b>	<b>116</b>
<b>6.7</b>	<b>Outras funções da ferramenta LIT.....</b>	<b>117</b>
<b>6.8</b>	<b>Conclusão.....</b>	<b>118</b>
<b>7</b>	<b>Projeto de um amplificador Miller.....</b>	<b>119</b>
<b>7.1</b>	<b>O Amplificador Miller.....</b>	<b>119</b>
<b>7.2</b>	<b>Projeto do amplificador Miller utilizando técnica convencional.....</b>	<b>121</b>
<b>7.3</b>	<b>Metodologia de projeto <math>g_m/I_D</math>.....</b>	<b>125</b>
7.3.1	Etapa 1: Cálculo das condutâncias de saída.....	130
7.3.2	Etapa 2: Geração da curva $g_m/I_D \times I$ .....	131
7.3.3	Etapa 3: Cálculo das correntes normalizadas.....	131
7.3.4	Etapa 4: Laço de refinamento da capacitância de realimentação $C_f$ .....	131
<b>7.4</b>	<b>Projeto do amplificador Miller utilizando a metodologia <math>g_m/I_D</math>.....</b>	<b>134</b>
<b>7.5</b>	<b>Projeto do amplificador Miller com TATs.....</b>	<b>135</b>
7.5.1	Projeto 1: equivalência em corrente.....	136
7.5.2	Projeto 2: menor número de transistores unitários.....	137
7.5.3	Projeto 3: menor condutância de saída.....	138
<b>7.6</b>	<b>Conclusão.....</b>	<b>139</b>
<b>8</b>	<b>Conclusão.....</b>	<b>141</b>
<b>8.1</b>	<b>Trabalhos futuros.....</b>	<b>142</b>
<b>Anexo 1</b>	<b>Descrição spice.....</b>	<b>144</b>
<b>Anexo 2</b>	<b>Código Matlab.....</b>	<b>147</b>
<b>Anexo 3</b>	<b>LIT - Manual do Usuário.....</b>	<b>154</b>
<b>Referências</b>	<b>.....</b>	<b>168</b>



## Lista de Figuras

FIGURA 2.1 - Um exemplo de estratégia de projeto utilizando <i>gate-array</i> . a) Célula primitiva de um <i>gate-array</i> ; b) Célula programada implementando uma NOR de 4 entradas .....	26
FIGURA 2.2 - Arquitetura <i>gate-array</i> .....	26
FIGURA 2.3 - Exemplos de células primitivas de <i>sea-of-gates</i> . a) Célula <i>sea-of-gates</i> com isolamento por óxido entre os <i>gates</i> ; b) Célula com isolamento por <i>gate</i> e suporte a múltiplos tamanhos de transistores .....	27
FIGURA 3.1 - Célula básica da matriz SOT .....	30
FIGURA 3.2 - Seção da matriz SOT composta por 3 bandas, cada uma contendo 30 células básicas.....	30
FIGURA 3.3 - Grade virtual sobre a matriz SOT. Contatos e vias são posicionados sobre os nós, enquanto que as linhas de metal são posicionadas sobre as linhas da grade.....	31
FIGURA 3.4 - Esquemático do circuito inversor usado para simulação elétrica da relação entre a largura de canal de um transistor e o atraso na carga e descarga do capacitor de saída.....	32
FIGURA 3.5 - Atraso em função de W do circuito inversor, tecnologia AMS 0.8 $\mu$ m, variando-se a carga. O comprimento do transistor (L) foi mantido constante em seu tamanho mínimo, ou seja, 0.8 $\mu$ m. Resultados obtidos por simulação. ....	33
FIGURA 3.6 - Atraso em função de W do circuito inversor, tecnologia AMS 0.35 $\mu$ m, variando-se a carga. O comprimento do transistor (L) foi mantido constante em seu tamanho mínimo (0.35 $\mu$ m). Resultados obtidos por simulação. ....	33
FIGURA 3.7 - Versão da matriz SOT na qual a posição dos transistores unitários da célula básica é modificada. ....	36
FIGURA 4.1 - Aspectos geométricos de um transistor trapezoidal.....	38
FIGURA 4.2 - Composição de um TAT .....	39
FIGURA 4.3 - Comparação entre as curvas simuladas $I_D \times V_{DS}$ de um transistor NMOS simples com $W/L=50\mu\text{m}/5\mu\text{m}$ e dois TATs equivalentes calculados através das aproximações por resistores lineares(TAT1: $ND=3$ , $NS=1$ ) e pelo modelo analítico BSIM3v3 (TAT2: $ND=4$ , $NS=2$ ). Tecnologia AMS 0.35, $W_{un}=4\mu\text{m}$ , $L_{un}=0,3\mu\text{m}$ , $V_{GS}=3\text{V}$ , $V_{SB}=0$ .....	41
FIGURA 4.4 - Efeito do incremento de NS na corrente do TAT. Gráfico obtido através de simulação elétrica, $ND=40$ , $W_{un}=4\mu\text{m}$ , $L_{un}=0,3\mu\text{m}$ , $V_{GS}=3\text{V}$ , $V_{DS}=3\text{V}$ , $V_{SB}=0$ . ....	42
FIGURA 4.5 - Efeito da variação de NS sobre a tensão no nó central de um TAT (nó m). Gráfico obtido através de simulação elétrica, $ND=40$ , $W_{un}=4\mu\text{m}$ , $L_{un}=0,3\mu\text{m}$ , $V_{GS}=3\text{V}$ , $V_{DS}=3\text{V}$ , $V_{SB}=0$ . ....	42
FIGURA 4.6 - Efeito do incremento de ND na corrente do TAT. Gráfico obtido através de simulação elétrica, $NS=1$ , $W_{un}=4\mu\text{m}$ , $L_{un}=0,3\mu\text{m}$ , $V_{GS}=3\text{V}$ , $V_{DS}=3\text{V}$ , $V_{SB}=0$ . ....	43
FIGURA 4.7 - Efeito da variação de ND sobre a tensão no nó central de um TAT (nó m). Gráfico obtido através de simulação elétrica, $NS=1$ , $W_{un}=4\mu\text{m}$ , $L_{un}=0,3\mu\text{m}$ , $V_{GS}=3\text{V}$ , $V_{DS}=3\text{V}$ , $V_{SB}=0$ . ....	43

FIGURA 4.8 - Modelo simplificado de pequenos sinais dos TATs para baixa frequência.....	44
FIGURA 4.9 - Gráfico comparativo $g_{ds}$ x $V_{DS}$ obtido a partir de simulações elétricas para um transistor simples com $W=30\mu\text{m}$ e $L=1,5\mu\text{m}$ e um TAT equivalente ( $ND=10$ , $NS=3$ , $W_{un}=4\mu\text{m}$ , $L_{un}=0,3\mu\text{m}$ ). $V_{SB}=0\text{V}$ .....	45
FIGURA 4.10 - Gráfico da relação entre $g_{ds}$ e $NS$ obtido através de simulações elétricas. Para este gráfico, $ND=20$ , $V_{GS}=2\text{V}$ , $V_{DS}=2\text{V}$ e $V_{SB}=0$ .....	46
FIGURA 4.11 - Gráfico da relação entre $g_{ds}$ e $ND$ obtido através de simulações elétricas. Para este gráfico, $NS=1$ , $V_{GS}=2\text{V}$ , $V_{DS}=2\text{V}$ e $V_{SB}=0$ .....	46
FIGURA 4.12 - Gráfico de $g_m$ em função de $V_{GS}$ obtido através de simulações elétricas. Para o transistor simples, $W=30\mu\text{m}$ e $L=1,5\mu\text{m}$ . Para o TAT, $ND=10$ , $NS=3$ , $W_{un}=4\mu\text{m}$ , $L_{un}=0,3\mu\text{m}$ . $V_{DS}=3\text{V}$ e $V_{SB}=0$ .....	47
FIGURA 4.13 - Simulação elétrica mostrando a influência do aumento de $ND$ na transcondutância $g_m$ de um TAT. Para este caso, $NS=1$ , $V_{DS}=3\text{V}$ e $V_{SB}=0$ .....	47
FIGURA 4.14 - Simulação elétrica mostrando a influência do aumento de $NS$ na transcondutância $g_m$ de um TAT. Para este caso, $ND=10$ , $V_{DS}=3\text{V}$ e $V_{SB}=0$ .....	48
FIGURA 4.15 - Gráfico da simulação elétrica de $g_m/I_D$ x $\log(I_D)$ para um transistor simples com $W=30\mu\text{m}$ e $L=1,5\mu\text{m}$ , um TAT equivalente ( $ND=10$ , $NS=3$ , $W_{un}=4\mu\text{m}$ , $L_{un}=0,3\mu\text{m}$ ) e um transistor simples com as mesmas dimensões de um transistor unitário da associação ( $W=4\mu\text{m}$ e $L=0,3\mu\text{m}$ ). $V_{DS}=3\text{V}$ , $V_{SB}=0$ .....	48
FIGURA 4.16 - Curva simulada $g_m/I_D$ versus $I_D$ para um TAT com $ND = 10$ e $NS=1, 2, 5$ e $9$ . $V_{DS}=3\text{V}$ , $V_{SB}=0$ .....	49
FIGURA 4.17 - Curva simulada $g_m/I_D$ versus $V_{GS}$ para um TAT com $ND=10$ e $NS=1, 2, 5$ e $9$ . $V_{DS} = 3\text{V}$ , $V_{SB}=0$ .....	49
FIGURA 4.18 - Curva simulada $g_m/I_D$ versus $I_D$ para um TAT com $NS = 1$ e $ND=2, 6$ e $10$ . $V_{DS}=3\text{V}$ , $V_{SB}=0$ .....	50
FIGURA 4.19 - Curva simulada $g_m/I_D$ versus $V_{GS}$ para um TAT com $NS = 1$ e $ND=2, 6$ e $10$ . $V_{DS}=3\text{V}$ , $V_{SB}=0$ .....	50
FIGURA 4.20 - Esquemático do amplificador inversor com fonte de corrente.....	51
FIGURA 4.21 - Amplificador inversor cascode.....	52
FIGURA 4.22 - Esquemático do amplificador inversor substituindo M2 do amplificador com transistores simples por um TAT com transistores compostos MD e MS.....	53
FIGURA 4.23 - Modelo em pequenos sinais do circuito amplificador utilizando TAT da fig. 4.22.....	53
FIGURA 4.24 - Circuito resultante da aplicação da técnica de rearranjo da fonte de corrente $g_{mMD}(V_{in}-V_m)$ sobre o circuito da fig. 4.23.....	54
FIGURA 4.25 - Circuito resultante da aplicação da técnica da substituição da fonte de corrente $g_{mMD}(V_{in}-V_m)$ do lado esquerdo sobre o circuito da fig. 4.24.....	54
FIGURA 4.26 - Circuito resultante da eliminação da fonte de corrente $I_2$ da fig. 4.25 e sua simplificação.....	55
FIGURA 4.27 - Circuito resultante da eliminação da fonte de corrente $I_1$ da fig. 4.25 e sua simplificação.....	56
FIGURA 4.28 - Esquemático do amplificador inversor cascode incluindo as capacitâncias parasitas.....	57

FIGURA 4.29 - Esquemático do amplificador inversor com TAT incluindo as capacitâncias parasitas .....	58
FIGURA 4.30 - Circuito equivalente para pequenos sinais do amplificador inversor com TAT incluindo as capacitâncias parasitas. a) Circuito completo; b) Simplificado.....	59
FIGURA 4.31 - Gráfico simulado do ganho do amplificador inversor com TATs da figura 4.22 versus o número de transistores em paralelo (ND) que formam MD. NS foi mantido constante em 5.....	64
FIGURA 5.1- Larguras e comprimentos efetivos e desenhados para $W/L=8,33\mu\text{m}/0,8\mu\text{m}$ e $W/L=1,66\mu\text{m}/4\mu\text{m}$ . A área de ambos os dispositivos é de $6,66\mu\text{m}^2$ . A área efetiva está hachurada. O transistor de canal curto tem uma área efetiva muito menor que o dispositivo de canal estreito. ....	69
FIGURA 5.2 - Arranjos de transistores MOS. a) sem <i>dummy gates</i> ; b) com <i>dummy gates</i> .....	71
FIGURA 5.3 - Arranjo de transistores interdigitados .....	76
FIGURA 5.4 - Deslocamentos laterais das regiões de dreno e fonte de um transistor devido ao implante inclinado. Note a diferença das sobreposições do <i>gate</i> sobre as regiões de dreno e fonte. As dimensões estão exageradas para efeitos de clareza.....	77
FIGURA 5.5 - Arranjo de transistores em par cruzado.....	79
FIGURA 5.6 - Posicionamento de dispositivos casados simetricamente em relação a um dispositivo emissor de calor.....	84
FIGURA 5.7 - Leiaute de dois TATs casados com ND=4 e NS=3. ....	89
FIGURA 5.8 - Leiaute de dois TATs casados com ND=3 e NS=2 .....	89
FIGURA 5.9 - Leiaute de dois TATs casados com ND=5 e NS=3 .....	90
FIGURA 5.10 - Leiaute de dois TATs casados com ND=4 e NS=2 .....	90
FIGURA 5.11 - Leiaute de dois TATs casados com ND=4 e NS=3 .....	91
FIGURA 5.12 - Leiaute de dois TATs casados com ND=3 e NS=2 .....	91
FIGURA 5.13 - Leiaute de dois TATs casados com ND=5 e NS=3 .....	92
FIGURA 5.14 - Leiaute de dois TATs casados com ND=4 e NS=2 .....	93
FIGURA 6.1 - Fluxo de projeto proposto pela ferramenta LIT.....	95
FIGURA 6.2 - Tela principal da ferramenta LIT, mostrando algumas de suas características. ....	96
FIGURA 6.3 - Definições adotadas neste texto com respeito às regras de leiaute.....	97
FIGURA 6.4 - Detalhe da matriz SOT mostrando as regras compostas utilizadas para a geração automática da célula básica.....	100
FIGURA 6.5 - Detalhe de uma linha de alimentação da matriz SOT mostrando a regra composta r5 usada para a geração automática.....	101
FIGURA 6.6 - Esquemático do TAT mostrando os nós e a direção das correntes em MD e MS .....	102
FIGURA 6.7 - Simulação elétrica $I_D \times V_{DS}$ de um transistor NMOS simples ( $W=30\mu\text{m}$ , $L=1\mu\text{m}$ ) e um TAT equivalente (ND=9, NS=5, $W_{un}=4\mu\text{m}$ , $L_{un}=0,3\mu\text{m}$ ). ....	108
FIGURA 6.8 - Simulação elétrica $I_D \times V_{GS}$ de um transistor simples ( $W=30\mu\text{m}$ , $L=1\mu\text{m}$ ) e um TAT equivalente (ND=9, NS=5, $W_{un}=4\mu\text{m}$ , $L_{un}=0,3\mu\text{m}$ ), ambos operando na região de saturação ( $V_{DS}=3\text{V}$ ).....	108
FIGURA 6.9 - Esquemático dos blocos analógicos básicos gerados automaticamente: a) par diferencial com TATs; b) espelho de	

	corrente com TATs. Neste exemplo, todos os TATs possuem ND=4 e NS=2. ....	110
FIGURA 6.10	- Estilos de leiaute para TATs: a) transistores unitários normais, uma banda; b) transistores unitários normais, duas bandas; c) transistores unitários mínimos, uma banda; d) transistores unitários mínimos, duas bandas. ....	111
FIGURA 6.11	- Exemplo do caminho de Euler para um TAT com ND=4 e NS=2. A ordem dos gates dos transistores unitários é M1-M2-M3-M4-M6-M5 e a ordem dos nós de difusão é X-D-X-D-X-S-X. ....	112
FIGURA 6.12	- Esquemático de um par diferencial mostrando os nomes e os nós dos transistores unitários. ....	113
FIGURA 6.13	- Leiaute simbólico mostrando o resultado do ordenamento par cruzado de um par diferencial onde cada TAT tem ND=4 e NS=2 ....	113
FIGURA 6.14	- Leiaute completo do par diferencial na configuração par cruzado, sendo ND=4 e NS=2 para ambos os TATs. ....	114
FIGURA 6.15	- Leiaute de um capacitor de 1,5pF construído a partir das capacitâncias de <i>gate</i> dos transistores unitários da matriz SOT, tecnologia AMS 0.35 $\mu$ m. ....	115
FIGURA 6.16	- Aparência do ambiente gráfico de posicionamento de células da ferramenta LIT. ....	116
FIGURA 6.17	- Comparação das curvas $I_D \times V_{DS}$ de um TAT do tipo NMOS com ND=6, NS=4, $W_{un}=4\mu$ m, $L_{un}=0,3\mu$ m extraídas a partir do leiaute pelas ferramentas LIT e Cadence. $V_{GS}=3V$ , $V_{SB}=0$ . ....	117
FIGURA 7.1	- Esquemático do amplificador Miller. ....	119
FIGURA 7.2	- Modelo de pequenos sinais do primeiro estágio do amplificador Miller. a) Modelo exato; b) Modelo equivalente simplificado. ....	120
FIGURA 7.3	- Modelo de pequenos sinais do segundo estágio do amplificador Miller (amplificador inversor com fonte de corrente). ....	121
FIGURA 7.4	- Modelo de pequenos sinais do amplificador Miller da figura 7.1. ....	121
FIGURA 7.5	- Curva $g_m/I_D$ versus $\log(I_C)$ para a tecnologia AMS 0.35 $\mu$ m obtida a partir das equações analíticas do modelo EKV. ....	128
FIGURA 7.6	- Curvas $g_m/I_D$ versus $I$ para a tecnologia AMS 0.35 $\mu$ m obtidas através do modelo analítico EKV e da simulação elétrica com o modelo BSIM3. ....	129
FIGURA 7.7	- Fluxo de projeto simplificado do amplificador Miller utilizando a metodologia $g_m/I_D$ . ....	130
FIGURA 7.8	- Detalhamento da 1ª etapa do projeto do amplificador Miller utilizando a metodologia $g_m/I_D$ . ....	131
FIGURA 7.9	- Detalhe do cálculo das correntes normalizadas de T1, T3, T5 e T6. ....	132
FIGURA 7.10	- Detalhe do laço de refinamento de $C_f$ . ....	133
FIGURA 7.11	- Leiaute completo do projeto versão 1 do amplificador Miller utilizando TATs. ....	137
FIGURA 7.12	- Leiaute completo do projeto versão 2 do amplificador Miller utilizando TATs. ....	138
FIGURA 7.13	- Leiaute do projeto versão 3 do amplificador Miller utilizando TATs. ....	139

## Lista de Tabelas

TABELA 4.1 - Estimativas de capacitâncias parasitas de um transistor NMOS simples de $W/L = 30\mu\text{m}/1\mu\text{m}$ e de 4 opções de TAT equivalente com $W_{un}=4\mu\text{m}$ e $L_{un}=0,3\mu\text{m}$ , tecnologia AMS $0,35\mu\text{m}$ .	44
TABELA 4.2 - Dimensões dos transistores para o amplificador inversor com fonte de corrente utilizando transistores simples.	51
TABELA 4.3 - Característica de pequenos sinais para o amplificador inversor projetado com transistores simples	52
TABELA 4.4 - Variações de NS do TAT equivalente da figura 4.22 ( $W_{un} = 4\mu\text{m}$ , $L_{un}=0,3\mu\text{m}$ ) e comparação com o inversor na configuração cascode da figura 4.21 utilizando transistores simples com as mesmas dimensões. (TAT original em negrito)	62
TABELA 4.5 - Variações de ND do TAT equivalente da fig. 4.22 ( $W_{un} = 4\mu\text{m}$ , $L_{un}=0,3\mu\text{m}$ ) e comparação com o inversor na configuração cascode da fig. 4.21 utilizando transistores simples com as mesmas dimensões. (TAT original em negrito)	63
TABELA 4.6 - Resultados obtidos via simulação para o amplificador da figura 4.22 composto por um TAT equivalente em pequenos sinais e comparação com o inversor em configuração cascode da figura 4.21 com transistores de mesmas dimensões.	64
TABELA 5.1 - Exemplos de padrões de interdigitação para arranjos de transistores.	78
TABELA 5.2 - Resumo das vantagens e desvantagens do uso da matriz SOT e da técnica TAT em relação às regras práticas de casamento de transistores MOS	87
TABELA 6.1 - Lista de parâmetros do modelo BSIM utilizados para o cálculo da corrente DC dos TATs	106
TABELA 6.2 - Comparação entre as correntes calculadas pela ferramenta LIT e as simuladas em uma ferramenta comercial spice para um transistor simples e 4 TATs equivalentes.	107
TABELA 7.1 - Dimensões dos transistores calculados a partir da metodologia convencional	125
TABELA 7.2 - Resultados obtidos através de simulação elétrica para o amplificador Miller projetado através da metodologia convencional	125
TABELA 7.3 - Valores de $n$ extraídos a partir de curvas simuladas com o modelo BSIM3 para a tecnologia AMS $0,35\mu\text{m}$ .	128
TABELA 7.4 - Valores de $g_m/I_D$ definidos para cada transistor do amplificador Miller	134
TABELA 7.5 - Dimensões dos transistores do amplificador Miller obtidas através da metodologia $g_m/I_D$	135
TABELA 7.6 - Resultados da performance do Amplificador Miller projetado pela metodologia $g_m/I_D$ comparando a simulação elétrica em nível de esquemático e leiaute extraído com as especificações iniciais	135
TABELA 7.7 - Número de transistores unitários para os TATs equivalentes no projeto versão 1	136

TABELA 7.8 - Resultados obtidos via simulação elétrica para o projeto do amplificador Miller com TATs versão 1.....	136
TABELA 7.9 - Número de transistores unitários para os TATs equivalentes no projeto versão 2 .....	137
TABELA 7.10 - Resultados obtidos via simulação elétrica para o projeto do amplificador Miller com TATs versão 2.....	137
TABELA 7.11 - Número de transistores unitários para os TATs equivalentes no projeto do amplificador Miller versão 3 .....	138
TABELA 7.12 - Resultados obtidos via simulação elétrica para o projeto do amplificador Miller com TATs versão 3.....	138
TABELA 7.13 - Comparação entre as diferentes versões do amplificador Miller .....	140

## Lista de Abreviaturas

AC	Alternate Current
CIF	Caltech Intermediate Format
CMOS	Complementary Metal-Oxide Semiconductor
DC	Direct Current
DIBL	Drain Induced Barrier Lowering
eq.	Equação
fig.	Figura
FPGA	Field Programable Gate-Array
FPAAs	Field Programable Analog Array
GBW	Gain Bandwidth
ICMR	Input Common Mode Rejection Ratio
MF	Margem de fase
MOS	Metal-Oxide Semiconductor
NMOS	Transistor MOS do tipo N
PMOS	Transistor MOS do tipo P
SOT	Sea-of-transistors
SR	Slew-rate
tab.	Tabela
TAT	Trapezoidal Association of Transistors

## Lista de Símbolos

$\epsilon_{Si}$	Permissividade do silício
$\mu$	Mobilidade dos portadores
$\beta$	Parâmetro de transcondutância
$\lambda$	Parâmetro de modulação do canal
$\Phi_S$	Potencial de superfície
$A_0$	Coefficiente de efeito de carga no substrato para o comprimento de canal
$A_{bulk}$	Parâmetro de efeito de carga do substrato
$AD$	Área de difusão de dreno
$A_{gs}$	Coefficiente de polarização de <i>gate</i>
$AS$	Área de difusão de fonte
$A_{v0}$	Ganho de tensão em baixas frequências
$b$	Comprimento da região de difusão
$B_0$	Coefficiente de efeito de carga no substrato para largura do canal
$B_1$	Variação da largura para o efeito de carga no substrato
$C_d$	Capacitância da região de depleção
$C_{DB}$	Capacitância parasita de dreno
$C_G$	Capacitância parasita de <i>gate</i>
$C_{GB0}$	Capacitância de sobreposição <i>gate-bulk</i>
$C_{GD0}$	Capacitância de sobreposição <i>gate-dreno</i>
$C_{GS0}$	Capacitância de sobreposição <i>gate-fonte</i>
$C_{it}$	Capacitância da interface óxido-silício
$C_J$	Capacitância por área de junção para polarização zero
$C_{JSW}$	Capacitância por periferia de junção para polarização zero
$C_L$	Capacitância de carga
$C_{MB}$	Capacitância parasita do nó central do TAT
$C_{ox}$	Capacitância do óxido de silício por unidade de área
$C_{SB}$	Capacitância parasita de fonte
$dL$	Fator de ajuste do comprimento do canal
$D_{sub}$	Coefficiente do expoente de DIBL na região de sub-limiar
$dW$	Fator de ajuste da largura do canal
$E_{sat}$	Campo elétrico de saturação
$E_{ta0}$	Coefficiente de DIBL na região de sub-limiar
$g_{ds}$	Condutância de saída
$g_m$	Transcondutância de <i>gate</i>
$g_{mb}$	Transcondutância de <i>bulk</i>
$GND$	Tensão de alimentação negativa ou terra
$I_D$	Corrente de dreno
$I$	Corrente normalizada
$K_1$	Coefficiente de efeito de corpo de primeira ordem
$L$	Comprimento de canal do transistor
$L_{eff}$	Comprimento de canal efetivo
$MD$	Transistor composto da associação série próximo ao terminal de dreno do TAT
$MJ$	Coefficiente de junção de fundo
$MJSW$	Coefficiente de junção de periferia
$MS$	Transistor composto da associação série próximo ao terminal de fonte do TAT
$n$	Fator de rampa



$N_a$	Concentração de dopantes no substrato
$N_{ch}$	Concentração de dopantes no canal
$ND$	Número de transistores unitários em paralelo que formam MD
$N_{factor}$	Fator de ajuste do fator de rampa
$n_i$	Concentração intrínseca dos portadores
$Nlx$	Parâmetro de dopagem lateral não uniforme
$NS$	Número de transistores unitários em paralelo que formam MS
$PB$	Tensão inerente
$PD$	Perímetro de difusão de dreno
$PS$	Perímetro de difusão de fonte
$q$	Carga do elétron
$R_{ds}$	Resistência série do transistor
$T_{nom}$	Temperatura nominal
$U_a$	Coefficiente de degradação da mobilidade de primeira ordem
$U_b$	Coefficiente de degradação da mobilidade de segunda ordem
$U_T$	Tensão térmica
$V_A$	Tensão de Early
$V_{DD}$	Tensão de alimentação positiva
$V_{DS}$	Tensão dreno-fonte
$V_{GS}$	Tensão <i>gate</i> -fonte
$V_{gst}$	Tensão <i>gate</i> -fonte efetiva
$V_J$	Potencial de junção
$V_m$	Tensão no nó central do TAT
$v_{sat}$	Velocidade máxima de deriva dos portadores
$V_{SB}$	Tensão fonte- <i>bulk</i>
$V_{SS}$	Tensão de alimentação negativa
$V_{th}$	Tensão de limiar
$W$	Largura de canal do transistor
$W_{eff}$	Largura de canal efetiva
$X_{dep}$	Espessura da camada de depleção no substrato
$X_J$	Profundidade da junção

## Resumo

Este trabalho apresenta o LIT, uma ferramenta de auxílio ao projeto de circuitos integrados analógicos que utiliza a técnica da associação trapezoidal de transistores (TAT) sobre uma matriz digital pré-difundida. A principal característica é a conversão de cada transistor simples de um circuito analógico em uma associação TAT equivalente, seguido da síntese automática do leiaute da associação séria-paralela de transistores.

A ferramenta é baseada na matriz SOT (*sea-of-transistors*), cuja arquitetura é voltada para o projeto de circuitos digitais. A matriz é formada somente por transistores unitários de canal curto de dimensões fixas. Através da técnica TAT, entretanto, é possível criar associações série-paralelas cujo comportamento DC aproxima-se dos transistores de dimensões diferentes dos unitários.

O LIT é capaz de gerar automaticamente o leiaute da matriz SOT e dos TATs, além de células analógicas básicas, como par diferencial e espelho de corrente, respeitando as regras de casamento de transistores. O cálculo dos TATs equivalentes também é realizado pela ferramenta. Ela permite a interação com o usuário no momento da escolha da melhor associação. Uma lista de possíveis associações é fornecida, cabendo ao projetista escolher a melhor. Além disso, foi incluído na ferramenta um ambiente gráfico para posicionamento das células sobre a matriz e um roteador global automático. Com isso, é possível realizar todo o fluxo de projeto de um circuito analógico com TATs dentro do mesmo ambiente, sem a necessidade de migração para outras ferramentas.

Foi realizado também um estudo sobre o cálculo do TAT equivalente, sendo que dois métodos foram implementados: aproximação por resistores lineares (válida para transistores unitários de canal longo) e aproximação pelo modelo analítico da corrente de dreno através do modelo BSIM3. Três diferentes critérios para a escolha da melhor associação foram abordados e discutidos: menor diferença de corrente entre o TAT e o transistor simples, menor número de transistores unitários e menor condutância de saída.

Como circuito de teste, foi realizado o projeto com TATs de um amplificador operacional de dois estágios (amplificador Miller) e a sua comparação com o mesmo projeto utilizando transistores *full-custom*. Os resultados demonstram que se pode obter bons resultados usando esta técnica, principalmente em termos de desempenho em frequência.

A contribuição da ferramenta LIT ao projeto de circuitos analógicos reside na redução do tempo de projeto, sendo que as tarefas mais suscetíveis a erro são automatizadas, como a geração do leiaute da matriz e das células e o roteamento global. O ambiente de projeto, totalmente gráfico, permite que mesmo projetistas analógicos menos experientes realizem projetos com rapidez e qualidade. Além disso, a ferramenta também pode ser usada para fins educacionais, já que as facilidades proporcionadas ajudam na compreensão da metodologia de projeto.

**Palavras-chave:** microeletrônica, projeto analógico, ferramenta de CAD, *sea-of-gates*, associação trapezoidal de transistores.

**TITLE:** “A TOOL FOR AUTOMATION OF ANALOG CIRCUIT LAYOUT GENERATION ON A PRE-DIFFUSED MOS TRANSISTOR ARRAY”

## Abstract

This work presents LIT, an analog integrated circuits design tool based on the trapezoidal association of transistors (TAT) technique over a pre-diffused digital array. The main tool characteristic is the conversion of each single transistor of an analog circuit into an equivalent TAT. The tool supports the automatic layout synthesis of the series-parallel transistor associations.

The LIT tool is based on the SOT (sea-of-transistors) array, whose basic matrix architecture is directed to digital design. Only short channel unit transistors with fixed dimensions form the array. Through the TAT technique, however, it is possible to create series-parallel associations that approximate the DC behavior of non-unit size transistors.

LIT is capable of automatically generating the SOT array and the TAT layout, including basic analog cells such as differential pairs and current mirrors, considering the transistors matching rules. The tool also computes more than one equivalent TAT for a given arbitrary geometry. It allows user interaction for the best association choice. A list of possible associations is provided and the designer has the freedom to choose the best association. Moreover, a graphic environment for cell placement over the array and an automatic global router are part of LIT. With these features, it is possible to make the entire TAT analog circuit design flow inside the same environment, without migration to other tools.

A study about the equivalent TAT calculation was performed and two methods were implemented: linear resistors approximation (valid for long-channel unit transistors) and drain-current analytic model approximation using the BSIM3 model. Three different rules for the best association choice were addressed in this work: smaller current difference between TAT and single transistor, smaller number of unit transistors and smaller output conductance.

As a test circuit, the design of a two-stage operational amplifier (Miller amplifier) using TATs was demonstrated and its comparison to the design using single transistors was done. The results show that one can obtain good results using the TAT technique, mainly in terms of performance and frequency.

The contribution of the LIT tool to the analog circuits design resides in the reduction of the design time. The error-prone tasks are automated, such as the layout generation and the global routing. The graphic design environment allows even non-expert analog designers to create quick and reliable designs. Besides, the tool also can be used for educational purposes, since the features provided aid the understanding of the design methodology.

**Keywords:** microelectronics, analog design, CAD tool, sea-of-gates, trapezoidal association of transistors.

# 1 Introdução

Os recentes avanços de processamento e de técnicas de projeto resultaram em circuitos integrados analógicos e mistos analógico-digitais que utilizam a tecnologia CMOS. Exemplos destes sistemas integrados são filtros a capacitor chaveado, conversores analógico-digitais e digital-analógicos e circuitos para processamento de sinais. Hoje em dia, há uma tendência em direção ao desenvolvimento de sistemas nos quais a parte digital realiza o processamento do sinal, enquanto que a parte analógica atua como uma interface com o mundo real.

A automação completa do projeto de circuitos analógicos ainda é um desafio. A grande quantidade de variáveis e as complexas inter-relações entre desempenho, tamanho dos transistores e parasitas (R, C, L) torna o projeto analógico, ainda hoje, uma arte dominada somente por projetistas experientes. Entretanto, níveis semicompletos de automação são viáveis, já que podem reduzir o tempo de projeto. Por exemplo, a geração automática de blocos analógicos compatíveis com a tecnologia digital é certamente um valor agregado.

A etapa de prototipação é uma fase crítica no projeto de circuitos analógicos e mistos. Simulações extensivas não garantem necessariamente a funcionalidade esperada do circuito. Metodologias tradicionais de projeto requerem um ciclo de fabricação completo, que pode demorar até quatro ou mais semanas e atrasar substancialmente a introdução de um novo produto no mercado. Além disso, um processo dedicado é caro e fatores econômicos devem determinar sua viabilidade.

Uma alternativa é o uso de matrizes pré-difundidas, as quais têm a vantagem de diminuir custos não-recorrentes e, assim, são mais atrativas para produção em pequena escala. Nesta estratégia, lotes de *wafers* contendo células primitivas de arranjos de transistores são fabricados e estocados. Todos os passos iniciais de fabricação são realizados antes da customização final. As conexões em metal, vias e passivação são então aplicadas sobre os *wafers* pré-difundidos para determinar a funcionalidade do circuito, reduzindo o tempo de *turn-around* para uma semana ou mesmo para alguns dias.

Por muitos anos os arranjos pré-difundidos foram considerados a melhor maneira de se produzir circuitos integrados de aplicação específica (ASICs) digitais com baixo custo e pequeno tempo de *turn-around*. Estas matrizes, criadas exclusivamente para o mapeamento digital, progressivamente perderam mercado nos últimos 10 anos. Hoje em dia, os FPGAs (*Field Programmable Gate-Arrays*) dominam este mercado, pois proporcionam projetos com milhões de transistores, com custo de hardware muito baixo e ferramentas de CAD poderosas e baratas para a síntese automática e para o mapeamento tecnológico. Como a velocidade dos transistores aumentou em relação à velocidade das conexões, a ligação de pares de transistores individuais com metal tornou-se menos competitivo em comparação com os projetos nos quais células lógicas geradas a mão são os elementos lógicos básicos. A velocidade e a potência consumida, entretanto, estão bem abaixo das obtidas através de projetos semi-customizados baseados em matrizes pré-difundidas.

Outro fator que influenciou na perda de mercado das matrizes pré-difundidas foi a pequena evolução da metodologia de projeto, em particular dos ambientes de projeto, os quais geralmente não suportam projetos mistos que incluem lógica aleatória, arranjos lógicos regulares e circuitos analógicos [DUC 91].

A técnica da associação trapezoidal de transistores (TAT) apareceu como uma alternativa para o projeto de circuitos analógicos sobre uma matriz pré-difundida. Ela é baseada na associação série-paralela de transistores usados em projetos digitais para emular o comportamento de transistores analógicos. Desta forma, para o projeto de circuitos mistos analógico-digitais, as matrizes pré-difundidas podem oferecer uma alternativa semi-customizada, enquanto que a arquitetura FPGA proporciona exclusivamente funcionalidades digitais. Os FPAAAs (*Field Programmable Analog Arrays*) são dispositivos que também utilizam a metodologia semi-customizada para o projeto de circuitos analógicos. Porém, como suas células básicas são blocos programáveis pré-definidos (pares diferenciais, espelhos de corrente, amplificadores, etc), a faixa de aplicação é muito restrita e o desempenho fica prejudicado pelo circuito de programação.

## 1.1 Objetivos

A metodologia de projeto semi-customizado usando TATs sobre arranjos de transistores pré-difundidos pode ser usada para o projeto de circuitos mistos. Vários trabalhos foram desenvolvidos demonstrando exemplos de aplicações que geraram bons resultados utilizando esta metodologia [CHOI 2001][HAA 95]. Entretanto, ficou evidente a falta de ferramentas de CAD apropriadas para automatizar o processo de síntese dos circuitos. Para preencher esta lacuna, foi desenvolvido o LIT, uma ferramenta de CAD especializada na geração do leiaute de células analógicas sobre uma matriz digital capaz de diminuir o tempo de projeto de circuitos analógicos sobre uma matriz de transistores pré-difundida usando a técnica da associação TAT.

O principal desafio da técnica TAT é a escolha adequada do TAT equivalente ao transistor simples, de modo que os efeitos negativos da substituição deste transistor no desempenho do circuito sejam os menores possíveis. Podem existir diversas opções de associações equivalentes, e a escolha da mais adequada nem sempre é uma tarefa direta e intuitiva.

O objetivo deste trabalho é a criação uma ferramenta de auxílio ao projeto de circuitos analógicos sobre uma matriz digital pré-difundida utilizando a técnica TAT. Pretende-se automatizar ao máximo a síntese do circuito analógico, fazendo com que o tempo de projeto seja reduzido. Assim, a utilização da metodologia de projeto semi-customizada poderia ser uma boa opção em termos de tempo de projeto, prototipação e fabricação de circuitos analógicos ou mistos. Pretende-se também fornecer ao projetista mais informações sobre os TATs equivalentes, proporcionando um maior número possível de dados para a escolha adequada da melhor associação.

## 1.2 Organização da dissertação

O capítulo 2 demonstra a estratégia de implementação de projetos de circuitos mistos em arranjos pré-difundidos, descrevendo suas vantagens e limitações. O capítulo começa com a discussão de fatores econômicos que influenciam na definição da metodologia de projeto de um circuito integrado. Logo após, são demonstradas as fases de implementação de circuitos semi-customizados, desde a fabricação da matriz de transistores até a customização final realizada através de interconexões em metal, e discutidas as vantagens e desvantagens desta metodologia. As diversas topologias de matrizes pré-difundidas também são abordadas.

O capítulo 3 mostra os detalhes arquiteturais e elétricos da matriz SOT, desenvolvida pelo Grupo de Microeletrônica da UFRGS. O tipo e o número de transistores unitários que compõem a célula básica da matriz são apresentados, bem como a disposição das células básicas que formam a matriz completa. A definição do tamanho dos transistores unitários, visando o projeto de circuitos digitais, é feita de acordo com a relação ótima entre a largura do canal dos transistores e o tempo de atraso obtido. São discutidas também opções de topologia da matriz, envolvendo variações como posicionamento dos transistores unitários e inserção de banco de capacitores.

O capítulo 4 descreve a construção e o comportamento das associações trapezoidais de transistores em grandes e pequenos sinais. As técnicas de cálculo do TAT equivalente são apresentadas, mostrando como é realizada a substituição de um transistor simples de um circuito analógico por um transistor composto equivalente sem que o desempenho original do circuito seja degradado. O exemplo de conversão de um transistor simples em um TAT equivalente em um circuito amplificador inversor com fonte de corrente é abordado, a fim de se demonstrar o efeito dessa substituição sobre as características ac e dc do amplificador.

O capítulo 5 traz um resumo das principais técnicas de casamento de transistores MOS e sua aplicação na associação trapezoidal de transistores sobre a matriz SOT. São discutidas questões ligadas ao projeto elétrico dos circuitos contendo transistores casados e questões relativas ao projeto físico. Inicialmente é feita uma revisão das técnicas de pareamento para transistores simples e, logo após, a transposição dessas mesmas técnicas para os TATs. Vantagens e desvantagens da metodologia de projeto semi-customizado em relação ao casamento de transistores são apresentadas, tendo como base a arquitetura da matriz SOT.

O capítulo 6 apresenta a ferramenta LIT, desenvolvida para auxiliar na concepção de circuitos analógicos utilizando TATs sobre a matriz SOT. Pretende-se com ela agregar em um mesmo ambiente todas as etapas de projeto, desde o cálculo do TAT equivalente, passando por etapas de geração automática do leiaute da matriz e das células, posicionamento das células e roteamento, além de outras facilidades como extração e criação de arquivos no formato CIF. São mostrados os detalhes de como cada etapa de projeto é realizada, indicando os níveis de automação atingidos.

O capítulo 7 descreve um exemplo de projeto de um circuito analógico com transistores simples e a sua transformação em um circuito composto por TATs aplicado à matriz SOT. O circuito alvo é um amplificador operacional de dois estágios, composto por um par diferencial, um espelho de corrente e mais três transistores, além de um capacitor de compensação. Apesar de ser um circuito simples, com ele é possível demonstrar toda a potencialidade de um projeto com TATs, já que diversos fatores estão envolvidos, como casamento de transistores, equivalência em corrente e equivalência em pequenos sinais. O capítulo inicia com a descrição do amplificador Miller de dois estágios. Logo após, duas metodologias de projeto são comparadas: a metodologia convencional, que utiliza equações de corrente de primeira ordem, e a metodologia  $g_m/I_D$ , que tem como única ligação entre o projeto e a tecnologia de fabricação a curva  $g_m/I_D$  versus  $I_D/(W/L)$ . O amplificador com transistores simples é, então, projetado, e a transformação para o projeto com TATs se dá através de três versões diferentes, cada uma enfatizando um fator para a escolha do melhor TAT equivalente. Ao final são feitas comparações entre os resultados obtidos para o desempenho de cada projeto. Todos os projetos são realizados com a ferramenta LIT.

O capítulo 8 apresenta as conclusões finais e as recomendações para trabalhos futuros.

## 2 Projeto de Circuitos Mistos sobre uma Matriz de Transistores Pré-Difundidos

A viabilidade de um projeto de microeletrônica depende de vários de fatores conflitantes, como desempenho em termos de velocidade ou consumo de potência, custo e volume de produção [RAB 96]. Um microprocessador, por exemplo, deve prover o máximo em desempenho a um baixo custo ao consumidor para ser competitivo no mercado. Alcançar ambos os objetivos simultaneamente só é possível através de um grande volume de vendas. O alto custo de desenvolvimento associado ao projeto de alta performance é, então, amortizado sobre muitas partes. Aplicações como radar ou sistemas espaciais apresentam outro cenário. Como neste caso o desempenho é um ponto crítico, técnicas customizadas de alta performance precisam ser utilizadas. O volume de produção é pequeno, porém o custo das partes eletrônicas é só uma pequena fração do custo total do sistema, e, portanto, não é um fator importante. Enfim, a maioria dos projetos digitais competem pela densidade de integração e não pelo desempenho. Sob estes aspectos, os custos de projeto podem ser reduzidos substancialmente através do uso de técnicas avançadas de automação que abrem mão do desempenho mas minimizam o tempo de projeto.

O custo de um dispositivo semiconductor é a soma de dois componentes:

- a) despesas não-recorrentes, que ocorrem somente uma vez por projeto e incluem o custo de planejamento;
- b) custo de produção por parte, que é função da complexidade do projeto, área consumida e produtividade.

Estas considerações econômicas estimulam o desenvolvimento de um número de estratégias de implementação distintas que variam de projetos *full-custom* visando alto desempenho a projetos de médio a baixo desempenho completamente automatizados.

No caso de circuitos mistos analógico-digitais, a estratégia de implementação utilizada pode ter um impacto ainda maior no custo do dispositivo. Apesar do vasto espectro de aplicações no qual os circuitos mistos são usados, eles ainda não atingiram o seu máximo potencial. Ainda hoje o projeto de circuitos analógicos não é tão automatizado quanto o projeto de circuitos digitais. Não existem ferramentas de CAD que automatizem completamente a síntese de um sistema analógico desde um nível de abstração comportamental até o leiaute. Uma das razões está relacionada ao fato de que circuitos analógicos levam em conta detalhes das características do dispositivo muito mais que os circuitos digitais. O projeto de circuitos analógicos geralmente requer muito cuidado na modelagem do dispositivo, e esta modelagem muitas vezes não está disponível. Em contraste, nos circuitos digitais os detalhes das características do dispositivo não têm grande influência, já que os transistores estão sendo chaveados entre os estados "ligado" e "desligado" e um modelo aproximado pode ser usado para esta transição [TSI 95].

Por outro lado, a automação do projeto não leva em consideração o tempo gasto no processo de manufaturação. A maior parte das metodologias de projeto requer uma rodada completa nos processos de fabricação. Isto pode tomar três semanas ou mais e pode atrasar substancialmente a introdução de um produto no mercado. Adicionalmente, uma rodada em processo dedicado é cara, e fatores econômicos devem determinar se esta alternativa é viável.

Conseqüentemente, várias metodologias de projeto alternativas foram desenvolvidas para não necessitarem de uma rodada completa no processo de

manufaturação ou para evitar um processo dedicado completo. Uma destas alternativas é o projeto sobre uma matriz de transistores pré-difundidos, conhecida como *gate-array*. Apesar de inicialmente ser desenvolvida somente para o projeto de circuitos digitais, podemos mostrar que circuitos analógicos também podem tirar proveito desta metodologia. Esta estratégia tem a vantagem de ter baixo custo não-recorrente e por isto é mais atrativa para produção em baixa escala. Tudo isso, entretanto, ao custo de baixa performance, baixa densidade de integração ou alta dissipação de potência.

## 2.1 Arranjos pré-difundidos (ou programáveis por máscara)

Nesta estratégia, lotes de *wafers* contendo arranjos de células primitivas ou transistores são manufaturados pelos fornecedores e armazenados. Todos os passos de fabricação necessários para construir os transistores são padronizados e executados sem levar em consideração a aplicação final.

Para transformar esses *wafers* em um projeto real, somente as interconexões desejadas precisam ser adicionadas, sendo que a função do *chip* é determinada através de somente algumas etapas de metalização. Essas camadas de metalização podem ser projetadas e empregadas nas lâminas pré-fabricadas com muito mais rapidez, reduzindo o tempo de *turn-around* a uma semana ou mesmo a alguns dias.

Um processo de fabricação de circuitos integrados tipicamente envolve mais de 200 etapas elementares, das quais 10 a 20 estão associadas à fotolitografia [MAL 87]. O alto custo das máscaras fotolitográficas é, hoje em dia, um dos fatores que mais influenciam no custo da fabricação quando o número de unidades é pequeno, como na etapa de prototipação de um projeto. Em um processo semi-customizado, a fabricação é dividida em duas fases sucessivas: a fase padrão e a fase customizada. A idéia é utilizar um conjunto de máscaras padrão - independentes da aplicação - para os primeiros passos de fabricação e um conjunto específico para os últimos passos. As máscaras customizadas são responsáveis pela implementação da função desejada no *wafer*, o qual já foi parcialmente processado durante a fase padrão. Como os *wafers* pré-processados são produzidos em larga escala, seu custo de produção por unidade é baixo.

O custo de fabricação da fase customizada é diretamente proporcional ao número de camadas de metalização utilizadas. Para um processo que utiliza 3 camadas de metal, por exemplo, são necessárias, no mínimo, 5 máscaras (metal 1, via, metal 2, via 2 e metal 3). Um número maior de camadas de metal, entretanto, pode ser decisivo para que o roteamento entre centenas ou milhares de transistores seja possível em um espaço reduzido.

### 2.1.1 Vantagens e limitações

As principais vantagens da metodologia de projeto semi-customizado sobre a metodologia *full-custom* são:

- a) o menor custo efetivo, ou o aumento da produtividade;
- b) o reduzido tempo de fabricação (ou tempo de *turn-around*);
- c) a melhor modelagem dos transistores unitários.



A produção de um circuito integrado pode ser dividida em duas partes [DUC 91]: custo de fabricação e custo de engenharia (ou custo de projeto). Na metodologia de projeto semi-customizado, o custo de fabricação é composto por duas partes: o custo do arranjo pré-difundido (fase padrão) e o custo de metalização (fase customizada). Em comparação com um processo *full-custom*, o preço do arranjo pré-difundido é menor por duas razões:

- a) o custo das máscaras é dividido entre todos os clientes e aplicações que usam o arranjo;
- b) os arranjos pré-difundidos são produzidos em grande quantidade e seu custo unitário é baixo.

Uma metodologia de projeto comum utilizada nos arranjos pré-difundidos é o projeto baseado em células, similar à metodologia *standard cells* utilizada nos projetos *full-custom*. Os custos de engenharia são aproximadamente os mesmos em ambos os casos, porém muito menor do que os custos dos projetos totalmente realizados à mão.

Estas vantagens, entretanto, se tornam menos importantes à medida que a quantidade de *chips* produzida aumenta. Para grandes volumes, os custos do projeto semi-customizado geralmente excedem os custos do projeto *full-custom*. Além disso, a área ocupada por um circuito no projeto semi-customizado é maior que a área ocupada se o projeto for realizado *full-custom*.

O tempo de *turn-around* é o tempo entre o depósito do arquivo contendo o projeto a ser fabricado na empresa responsável pela fabricação e a primeira rodada de amostras em silício. Como as matrizes são produzidas com antecedência e armazenadas, o tempo de *turn-around* reduz-se à fabricação das máscaras de customização e ao processamento das etapas de fabricação correspondentes. As etapas de customização são realizadas mais rapidamente que as etapas padrão, pois elas não requerem implantes, somente deposições de óxido e alumínio e as relativas fotolitografias e corrosões. Tipicamente, apesar de um processo de fabricação *full-custom* necessitar de algumas semanas (de 4 a 6) para completar, um processo semi-customizado necessita somente de alguns dias. Esta vantagem pode ser decisiva para aplicações onde o *time-to-market* é uma questão crítica para o sucesso comercial, ou para etapas de prototipação.

Outras vantagens podem ser citadas, como a maior independência do projeto quanto à tecnologia de fabricação (a manutenção da biblioteca de células é facilitada), o melhor controle sobre as características do processo e a melhor regularidade nos parâmetros do circuito permitidos pela produção das matrizes pré-difundidas em grandes quantidades, e o aumento da produtividade das *foundries*, as quais podem realizar a fabricação das matrizes nos intervalos entre processos *full-custom*.

Os principais obstáculos do projeto semi-customizado são a limitação na flexibilidade de projeto, o aumento na área e a conseqüente limitação da complexidade do projeto, a redução do desempenho e a limitação no volume de produção [DUC 91].

## 2.2 Topologias de matrizes pré-difundidas

As denominações *gate-array* ou *sea-of-gates* dependem do estilo da matriz pré-difundida [RAB 96]. Para ilustrar este conceito, considere a célula primitiva de um *gate-array* mostrada na figura 2.1. Ela é composta por 4 transistores do tipo NMOS e 4 transistores do tipo PMOS. As conexões dos *gates* são feitas em polisilício e as linhas de alimentação em metal. Há dois possíveis pontos de contato por área de difusão e dois

pontos de conexão para as linhas de polissilício. Para tornar esta célula - que não implementa ainda nenhuma função lógica - em um circuito real, acrescenta-se algumas linhas de roteamento em metal. Isto é ilustrado na figura 2.1b, onde a célula foi transformada em uma porta NOR de 4 entradas.

A metodologia *gate-array*, neste caso, utiliza duas camadas de metalização e posiciona as células em lacunas separadas por canais de roteamento, como mostrado na figura 2.2. A aparência geral é similar à da técnica *standard-cell*. Com a introdução de mais camadas de metalização, os canais de roteamento podem ser eliminados, e o roteamento é feito por sobre as células primitivas, o que, ocasionalmente, pode deixar alguma célula sem uso. Esta arquitetura sem canais, chamada *sea-of-gates*, produz um aumento na densidade de transistores e torna possível alcançar níveis de integração de mais de 500.000 *gates* em um único *chip* [RAB 96].

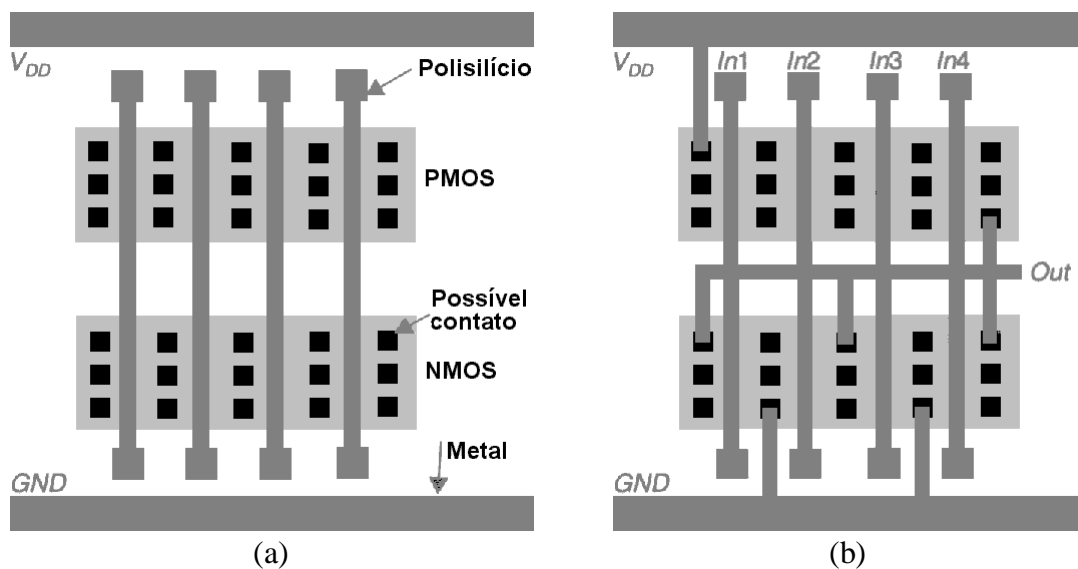


FIGURA 2.1 - Um exemplo de estratégia de projeto utilizando *gate-array*. a) Célula primitiva de um *gate-array*; b) Célula programada implementando uma NOR de 4 entradas

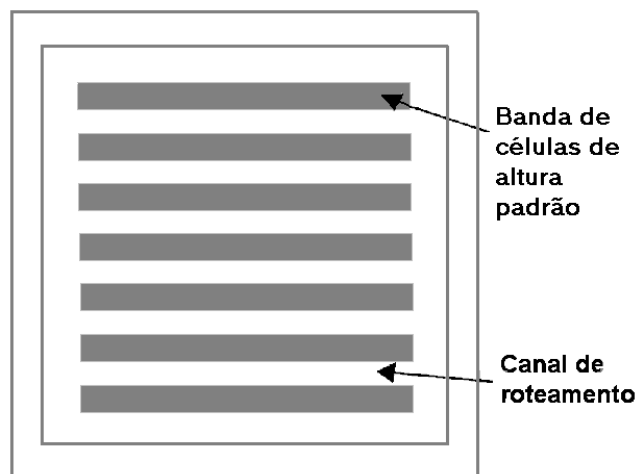


FIGURA 2.2 - Arquitetura *gate-array*

O primeiro desafio no projeto de uma matriz *sea-of-gates* (ou *gate-array*) é determinar a composição da célula primitiva e o tamanho dos transistores individuais. Para maximizar a velocidade de chaveamento, o comprimento de canal ( $L$ ) dos transistores é geralmente mínimo. Assim, as únicas possibilidades de variação são a largura de canal ( $W$ ), a relação entre  $W_P$  e  $W_N$ , a distância entre *gates* vizinhos e o número de transistores NMOS versus o número de transistores PMOS [HAA 95]. Um número suficiente de trilhas de roteamento deve estar disponível para minimizar o número de células desperdiçadas pela interconexão. A célula deve ser escolhida de modo que os transistores pré-fabricados possam ser utilizados a um nível máximo sobre uma vasta gama de projetos. Por exemplo, a configuração da figura 2.1 satisfaz muito bem a realização de portas lógicas de 4 entradas, porém desperdiça dispositivos na implementação de portas de 2 entradas. Múltiplas células são necessárias para a implementação de um flip-flop, por exemplo. Estruturas de células alternativas estão mostradas na figura 2.3, em formato simplificado. Na primeira alternativa, cada célula contém um número limitado de transistores (4 a 8). Os *gates* são isolados através de isolamento por óxido, também chamada isolamento por geometria. As terminações "dog-bone" nos polisilícios dos *gates* permitem um roteamento mais denso. A segunda alternativa fornece longas lacunas de transistores, todos compartilhando a mesma área de difusão. Nessa arquitetura é necessário que alguns dispositivos estejam cortados eletricamente para isolar *gates* vizinhos. Isso é feito amarrando-se os transistores NMOS e PMOS a  $GND$  e  $V_{DD}$ , respectivamente. Esta técnica é chamada isolamento por *gate* [NOI 85].

É importante observar que a célula da figura 2.3b apresenta duas lacunas de transistores NMOS pequenos que podem ser conectados em paralelo, se necessário. Transistores pequenos são úteis na implementação de lógica com transistores de passagem ou de células de memória. Ajustar corretamente o tamanho dos transistores da célula é o maior desafio.

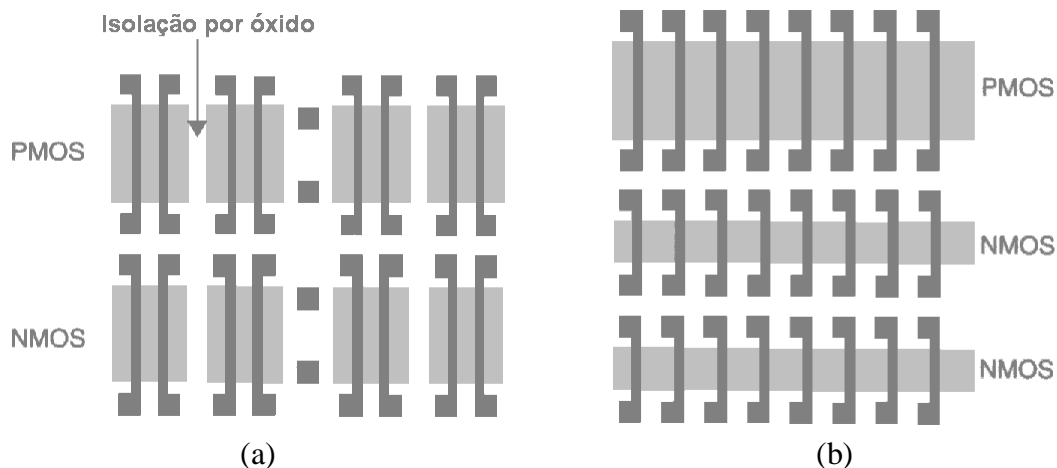


FIGURA 2.3 - Exemplos de células primitivas de *sea-of-gates*. a) Célula *sea-of-gates* com isolamento por óxido entre os *gates*; b) Célula com isolamento por *gate* e suporte a múltiplos tamanhos de transistores

Apesar de geralmente as matrizes pré-difundidas serem projetadas visando circuitos digitais, elas também podem acomodar circuitos analógicos. Todos os dispositivos usados no projeto de circuitos analógicos CMOS estão disponíveis em uma matriz pré-difundida: capacitores, resistores e transistores MOS. O desempenho destes dispositivos, entretanto, é limitado, e sua utilização depende da aplicação [HAA 95].

Os capacitores podem ser implementados através do *gate* dos transistores da matriz (com os terminais sendo *gate* e substrato e tendo o óxido de *gate* como dielétrico) ou através da capacitância entre camadas de metal (terminais metal 1 e metal 2, dielétrico óxido de campo). Os resistores podem ser construídos através das resistências de *gate* (polisilício) ou através das resistências das regiões de difusão (dreno e fonte dos transistores).

Os transistores MOS são os únicos dispositivos implementados diretamente na matriz pré-difundida. Entretanto, há uma variação muito limitada de larguras de canal, enquanto que o comprimento de canal é geralmente o mínimo permitido pela tecnologia de fabricação. Como os circuitos analógicos necessitam de flexibilidade quanto ao tamanho dos transistores, diferentes  $W_s$  e  $L_s$  podem ser obtidos pela combinação série-paralela dos transistores unitários da matriz.

Os conversores A/D são as principais aplicações de circuitos mistos sobre uma matriz pré-difundida, principalmente quando o desempenho do conversor estiver dentro das limitações impostas pela metodologia de projeto. Exemplos de projetos de conversores A/D sobre matrizes pré-difundidas são encontrados em [CHO 2001] e [HAA 95].

## 2.3 Conclusão

A metodologia de projeto semi-customizado, baseado em matrizes pré-difundidas, pode ser uma alternativa economicamente viável quando o desempenho do circuito não é um fator fundamental, a quantidade de unidades a serem produzidas compensa o investimento e o tempo de projeto é limitado.

Existem vários tipos de arquiteturas de matrizes pré-difundidas. Pode-se dividi-las em *gate-arrays*, na qual existem canais específicos para o roteamento, e *sea-of-gates*, em que o roteamento é feito por sobre as células. A célula básica da matriz pode conter um número variável de transistores. A escolha adequada do número e do tipo de transistores implementados na célula básica é um fator fundamental para um bom desempenho do circuito, além de influenciar diretamente na área total ocupada pelo circuito.

A automação do projeto semi-customizado é facilitada pela localização pré-definida dos transistores, sendo necessária somente a sua interconexão.

O FPGA, hoje em dia, domina o mercado de projetos rápidos devido aos baixos custos de software e hardware associados. Porém, ainda não é capaz de implementar circuitos analógicos de bom desempenho. Esta é uma vantagem das matrizes pré-difundidas, já que a técnica da associação trapezoidal de transistores é uma alternativa para a implementação de circuitos analógicos em matrizes digitais com baixo custo e reduzido tempo de projeto.

## 3 A Matriz SOT

O sucesso da metodologia de projeto semi-customizado baseada em matrizes pré-difundidas depende diretamente da arquitetura da matriz. O tipo de circuito que será implementado, por outro lado, é um fator determinante nesta arquitetura. Este capítulo descreve as características arquiteturais e elétricas da matriz *sea-of-transistors* (SOT), mostrando seus detalhes e suas peculiaridades tanto para aplicações digitais quanto para aplicações mistas analógico-digitais. São comentadas também as variações possíveis na topologia, analisando-se seus fatores positivos e negativos.

### 3.1 Arquitetura

A utilização da matriz SOT envolve tanto projetos de circuitos digitais como de circuitos analógicos ou mistos [AIT 96a]. Assim, sua arquitetura deve abranger aspectos decorrentes de aplicações bem distintas. Para circuitos digitais, a matriz deve prover transistores de tamanho adequado para requisitos de velocidade em lógica CMOS estática, por exemplo. Por outro lado, transistores de dimensões mínimas devem estar disponíveis para a construção de chaves ou *transmission gates*. Já os circuitos analógicos necessitam de transistores de tamanhos variáveis tanto na largura (W) quanto no comprimento (L). Como não é viável a existência de transistores de diversos tamanhos pré-difundidos na matriz, técnicas de associação de transistores precisam ser utilizadas para a geração de transistores equivalentes analógicos.

Pensando em tais aspectos é que a matriz SOT foi projetada, visando atender a uma demanda bastante heterogênea de circuitos. Conforme mostra a fig. 3.1, a célula básica matriz é composta por quatro transistores, dois do tipo PMOS e dois do tipo NMOS. Cada transistor possui um *gate* individual, ou seja, não há nenhuma conexão pré-difundida entre *gates* diferentes, o que proporciona uma maior flexibilidade tanto no projeto digital quanto no projeto analógico. A escolha adotada de 4 transistores deve-se ao fato de que a grande maioria dos circuitos lógicos (lógica CMOS estática) utiliza um mesmo número de transistores tipo N e tipo P. Isto determina que a relação de 1:1 no número de transistores N/P seja, portanto, a mais apropriada [AIT 96b]. A inclusão de muitos transistores na célula unitária implicaria no aumento de sua complexidade, diminuindo a taxa de aproveitamento da célula. Quatro transistores atendem às necessidades expostas acima, ao mesmo tempo em que mantêm a célula em um tamanho razoável.

As dobras das linhas de polisilício que compõem os gates (*dog bones*) servem para facilitar o roteamento, evitando a passagem de linhas de metal sobre os transistores no eixo vertical. As linhas de alimentação ( $V_{DD}$  e  $GND$ ) são feitas em metal 2 e sua largura é definida a partir da estimativa da corrente que circula por elas.

Os contatos com poço e substrato (*body-tie*) são posicionados sob as linhas de alimentação, evitando-se, assim, perda de área e um acréscimo de conexões em metal.

Para garantir o uso genérico da matriz SOT, optou-se por utilizar geometria exclusivamente retangular (estilo Manhattan). Isto a torna compatível com a grande maioria dos editores gráficos.

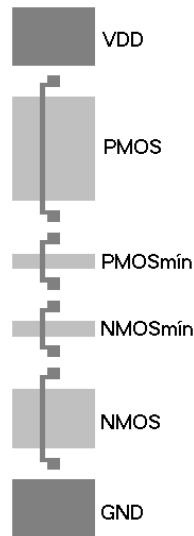


FIGURA 3.1 - Célula básica da matriz SOT

A macro-arquitetura da matriz SOT tem como principais características a regularidade e a simetria. As células básicas são dispostas lado a lado, formando uma banda. Várias bandas formam a matriz completa. A figura 3.2 mostra uma seção da matriz composta por 3 bandas, cada uma contendo 30 células básicas. As linhas de alimentação são comuns a duas bandas adjacentes se uma delas estiver espelhada. O espelhamento sucessivo das bandas acarreta uma economia em área de silício, além de aproximar os transistores unitários do mesmo tipo.

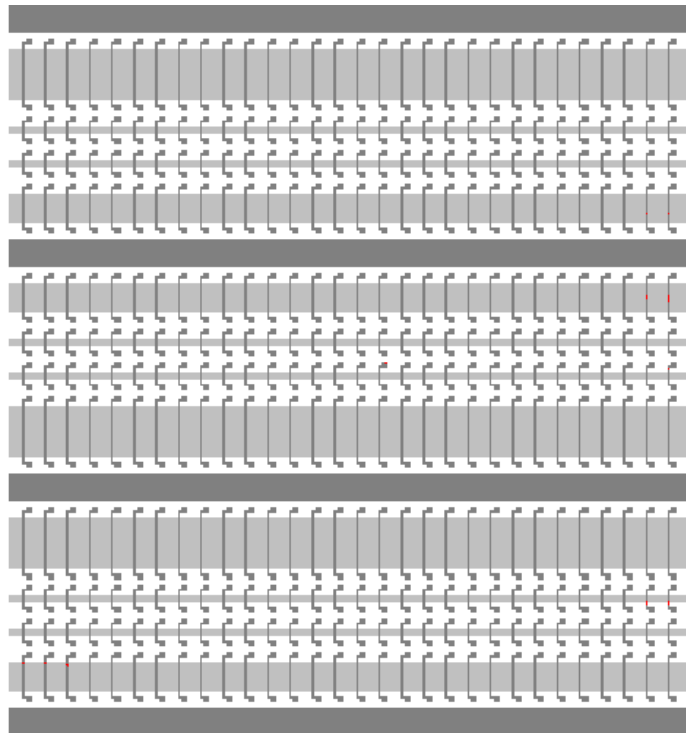


FIGURA 3.2 - Seção da matriz SOT composta por 3 bandas, cada uma contendo 30 células básicas

Se definirmos uma grade virtual sobre a matriz SOT, temos pontos específicos para a colocação de contatos ou vias e linhas para a passagem dos fios de metal utilizados no roteamento, conforme mostrado na figura 3.3.

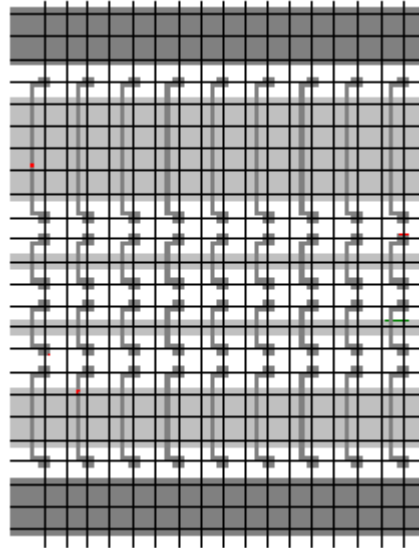


FIGURA 3.3 - Grade virtual sobre a matriz SOT. Contatos e vias são posicionados sobre os nós, enquanto que as linhas de metal são posicionadas sobre as linhas da grade.

O centro de cada contato ou via somente pode estar posicionado em um nó da grade. A posição das células básicas é tal que as áreas de difusão devem ser capazes de acomodar dois contatos ou vias horizontalmente. Apesar de aumentar as áreas de difusão e, por consequência, as capacitâncias parasitas de dreno e fonte, isto facilita o roteamento dos transistores, principalmente nas tecnologias de fabricação que não permitem contatos empilhados (via sobre contato).

Convencionou-se utilizar a camada de metal 1 somente para linhas verticais e metal 2 para linhas horizontais, proporcionando total transparência a ambos os níveis de metal em toda a matriz. O roteamento é feito sobre os transistores, de modo que canais de roteamento não são necessários.

As linhas horizontais de difusão não sofrem quebras. O isolamento entre difusões adjacentes é feito através da técnica de *gate isolation* [NOI 85][SAK 85], no qual o transistor unitário localizado entre as áreas de difusão que se deseja isolar é polarizado de modo a estar operando sempre na região de corte. Ou seja, um transistor tipo NMOS tem o *gate* ligado em *GND* e um transistor tipo PMOS tem o *gate* ligado em  $V_{DD}$ .

### 3.2 Características elétricas

Todos os transistores da célula básica possuem comprimento de canal ( $L$ ) mínimo, devido aos requisitos de atraso dos circuitos digitais. Os transistores NMOS e PMOS possuem larguras de canal também projetadas para lógica digital. Já os transistores NMOSmín e PMOSmín possuem largura de canal mínima permitida pela tecnologia (o suficiente para as áreas de difusão adjacentes acomodarem um contato). Eles podem ser usados para a construção de transistores de passagem e chaves CMOS.

O  $W$  do transistor NMOS é determinado de acordo com o fator de *fan-out* ótimo para potência e atraso. O tempo de atraso de um circuito é função da largura do canal ( $W$ ) de seus transistores. Porém, o aumento de  $W$  não implica em uma diminuição linear

do tempo de atraso. A simulação de um circuito inversor mostra que a relação entre essas duas variáveis é proporcional a  $1/W$ .

O circuito da figura 3.4 foi simulado com a ferramenta Pspice 9.0.

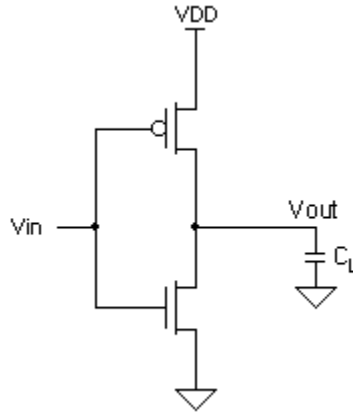


FIGURA 3.4 - Esquemático do circuito inversor usado para simulação elétrica da relação entre a largura de canal de um transistor e o atraso na carga e descarga do capacitor de saída.

A carga de saída do circuito inversor é determinada pelo seu *fan-out*. Podemos estimar a capacitância equivalente a um *fan-out* pela seguinte equação:

$$F.O. = W_{eff(NMOS)} \cdot L_{eff(NMOS)} \cdot C_{ox} + W_{eff(PMOS)} \cdot L_{eff(PMOS)} \cdot C_{ox} \quad \text{eq. 3.1}$$

onde  $W_{eff}$  e  $L_{eff}$  são os valores efetivos de  $W$  e  $L$ , considerando-se os efeitos de difusão lateral.

Um valor de  $W$  aproximadamente 10 vezes maior que o  $L$  mínimo para o transistor NMOS é um valor ótimo para um *fan-out* de até 5. Consideramos que o valor de  $W$  de PMOS é 1,7 a 2 vezes maior que o  $W$  de NMOS, de forma a igualar os tempos de subida e descida. Assim, a equação 3.1 pode ser simplificada para:

$$F.O. = (10L_{eff} \cdot L_{eff})C_{ox} + (17L_{eff} \cdot L_{eff})C_{ox} = 27L_{eff}^2 C_{ox} \quad \text{eq. 3.2}$$

Para demonstrar a validade das suposições acima, variamos o  $W$  do transistor tipo N do inversor e medimos o tempo de descida do sinal na saída do circuito. Foram utilizadas duas tecnologias diferentes nas simulações: AMS 0.8 e AMS 0.35.

Para a tecnologia AMS 0.8, cujo  $C_{ox}$  é igual a  $2,03 \times 10^{-3} \text{F/m}^2$ , o *fan-out* igual a 1 é equivalente a aproximadamente 0,03pF. A figura 3.5 mostra a curva do atraso em função de  $W$  para cargas equivalentes a *fan-out* igual a 1 (0,03pF), 3 (0,09pF) e 5(0,15pF).



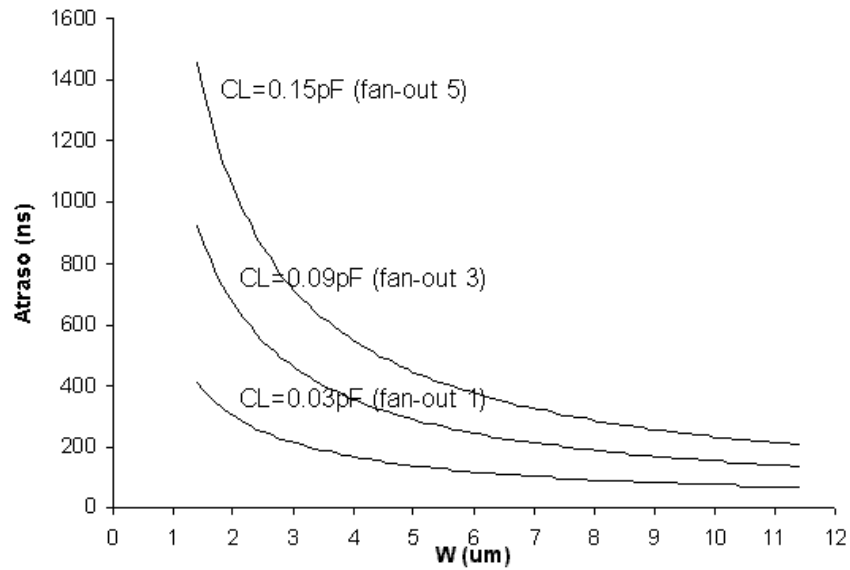


FIGURA 3.5 - Atraso em função de W do circuito inversor, tecnologia AMS 0.8µm, variando-se a carga. O comprimento do transistor (L) foi mantido constante em seu tamanho mínimo, ou seja, 0.8µm. Resultados obtidos por simulação.

Já para a tecnologia AMS 0.35µm, o valor de  $C_{ox}$  é de  $4,48 \times 10^{-3} \text{F/m}^2$ . Assim, o *fan-out* de 1 é equivalente a aproximadamente 0,01pF. Na figura 3.6 está plotada a simulação do circuito inversor para esta tecnologia com as cargas variando entre *fan-out* 1 (0,01pF), 3 (0,03pF) e 5 (0,05pF).

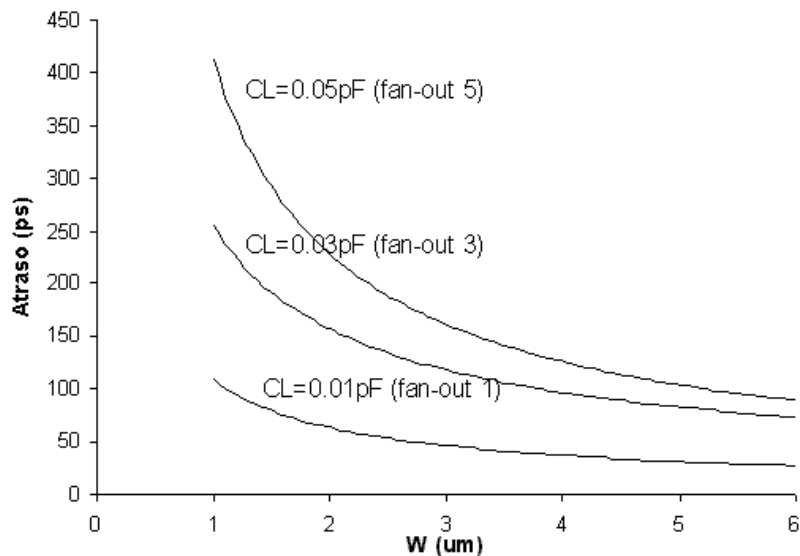


FIGURA 3.6 - Atraso em função de W do circuito inversor, tecnologia AMS 0.35µm, variando-se a carga. O comprimento do transistor (L) foi mantido constante em seu tamanho mínimo (0.35µm). Resultados obtidos por simulação.

A conclusão que se chega observando-se os gráficos é que a escolha do melhor valor para W do transistor NMOS deve levar em consideração a relação custo-benefício entre área ocupada pelo transistor e o ganho em performance do circuito. Pode-se ver pelos gráficos que um W 10 vezes maior que o L é uma boa escolha, já que a partir

deste valor o ganho em tempo de atraso não é muito significativo, inclusive para *fan-out* igual a 5.

A comprovação teórica da relação entre o atraso e o comprimento de canal pode ser feita considerando-se a equação do tempo de descida de um circuito inversor dado por [WES 93],

$$t_f = k \frac{C_L}{\beta_n V_{DD}} \quad \text{eq. 3.3}$$

onde  $k = 3$  a  $4$  para valores de  $V_{DD} = 3$  a  $5$  volts e  $V_m = 0.5$  a  $1$  volt;

$C_L$  = capacitância de carga do circuito (entrada dos próximos gates, saída deste gate e roteamento);

O parâmetro de transcondutância é dado por  $\beta_n = \mu_n C_{ox} \frac{W}{L}$

$V_{DD}$  = tensão de alimentação

A capacitância total de carga ( $C_L$ ) é dada por  $C_G + 2C_j + C_{out}$  (supondo que a área e o perímetro de dreno e fonte sejam iguais). As equações para estas capacitâncias podem ser aproximadas por:

$$C_G = WLC_{ox} + W(C_{GS0} + C_{GD0}) + 2LC_{GB0} \quad \text{eq. 3.4}$$

$$C_j = (AD \cdot C_j \cdot \left(1 + \frac{V_j}{PB}\right)^{-MJ}) + PD \cdot C_{JSW0} \cdot \left(1 + \frac{V_j}{PB}\right)^{-MJSW} \quad \text{eq. 3.5}$$

onde:

$C_{ox}$  = Capacitância do óxido de silício por unidade de área

$C_{GS0}$  = Capacitância de sobreposição gate-fonte

$C_{GD0}$  = Capacitância de sobreposição gate-dreno

$C_{GB0}$  = Capacitância de sobreposição gate-bulk

$C_j$  = Capacitância por área de junção para polarização zero

$C_{JSW}$  = Capacitância por periferia de junção para polarização zero

$MJ$  = Coeficiente de junção de fundo

$MJSW$  = Coeficiente de junção de periferia

$V_j$  = Potencial de junção (depende da polarização)

$PB$  = Tensão inerente

$AD$  = Área de difusão de dreno (ou fonte) =  $b \cdot W$

$b$  = Comprimento da região de difusão

$PD$  = Perímetro de difusão de dreno (ou fonte) =  $W + 2b$

Desta maneira, o tempo de descida é:

$$t_f = k \frac{WLC_{ox} + W(C_{GS0} + C_{CGD0}) + 2LC_{GB0} + 2bWC_j \left(1 + \frac{V_j}{PB}\right)^{-MJ} + (2W + 4b) \cdot C_{JSW0} \left(1 + \frac{V_j}{PB}\right)^{-MJSW} + C_{out}}{\mu_n C_{ox} \frac{W}{L} \cdot V_{DD}} \quad \text{eq. 3.6}$$

Derivando-se o tempo de descida em relação a  $W$ , temos

$$\frac{\partial t_f}{\partial W} = - \frac{kL \left( 2 \cdot L \cdot C_{GB0} + 4 \cdot b \cdot \left( 1 + \frac{V_J}{PB} \right)^{-MJSW} + C_{out} \right)}{\mu_n C_{ox} V_{DD}} \cdot \frac{1}{W^2} \quad \text{eq. 3.7}$$

A variação do tempo de descida é, portanto, proporcional a  $-1/W^2$ , confirmando os resultados obtidos por simulação.

Para que tenhamos tempos de subida e descida iguais na carga e na descarga do capacitor de saída, a largura de canal do transistor PMOS deve ser tal que a diferença entre as mobilidades dos portadores tipo N e tipo P sejam compensadas. Para isso acontecer,  $W_{PMOS}$  deve ser de 1,7 a 2 vezes maior que  $W_{NMOS}$ .

A construção de transistores para circuitos analógicos, cujas dimensões podem variar dentro de uma ampla faixa de possibilidades, é feita através da associação série-paralela dos transistores unitários da matriz, conforme será discutido no capítulo 4. A regularidade e a simetria da matriz SOT são fatores que facilitam a associação. As associações podem ser compostas tanto pelos transistores de tamanho mínimo quanto pelos transistores maiores (“normais”). Será demonstrado, nas seções posteriores, que a largura de canal do transistor unitário da associação não influencia significativamente na composição. Por isso, o  $W$  dos transistores “normais” da matriz é definido como visto acima, ou seja, a prioridade é dada aos circuitos digitais.

A regularidade da matriz SOT facilita a caracterização dos seus transistores unitários, proporcionando modelos para simulação mais precisos. O pareamento dos transistores para a obtenção de casamentos de corrente também é facilitado, devido à orientação e à regularidade dos transistores. Mais detalhes sobre pareamento de transistores na matriz SOT serão vistos no capítulo 5.

### 3.3 Opções de topologia

A arquitetura da matriz SOT pode ser modificada para atender a determinadas circunstâncias, como alguma aplicação específica ou melhora na performance de algum tipo de circuito.

Uma das alternativas é a inserção de bancos de capacitores. Esses bancos evitariam o uso das capacitâncias parasitas de *gate* para a construção de capacitores. A posição dos bancos, entretanto, é uma questão crucial, já que conexões muito longas podem existir desde o local do circuito até o banco. Outro fator importante é a quantidade de capacitores unitários, já que estes devem proporcionar a criação de capacitâncias dentro uma faixa de valores considerável. Pode haver casos em que a associação dos capacitores unitários para um determinado valor de capacitância seja tão grande que ocorra a falta destes para formar outras capacitâncias. Por outro lado, capacitores unitários sem uso significam perda de área. Além disso, o custo da matriz pré-difundida torna-se mais caro, pois uma tecnologia de fabricação com dupla camada de polisilício é necessária.

Um banco de capacitores anexo à matriz SOT é uma boa alternativa quando:

- a aplicação não pode ser realizada com capacitores formados por *gates*, pois exige dispositivos de alta linearidade;

- uma tecnologia com duplo-polisilício está disponível;
- o custo de fabricação não é um fator predominante;
- a quantidade de capacitores do circuito é condizente com a área ocupada pelo banco.

A opção pelo uso ou não do banco de capacitores é, portanto, mais uma questão econômica do que elétrica.

Outra alternativa de modificação da matriz SOT é quanto à disposição dos transistores unitários dentro da célula básica. Poderia-se colocar os transistores de tamanho mínimo nas bordas superior e inferior e aproximar os transistores de tamanho “normal”, como visto na figura 3.7.

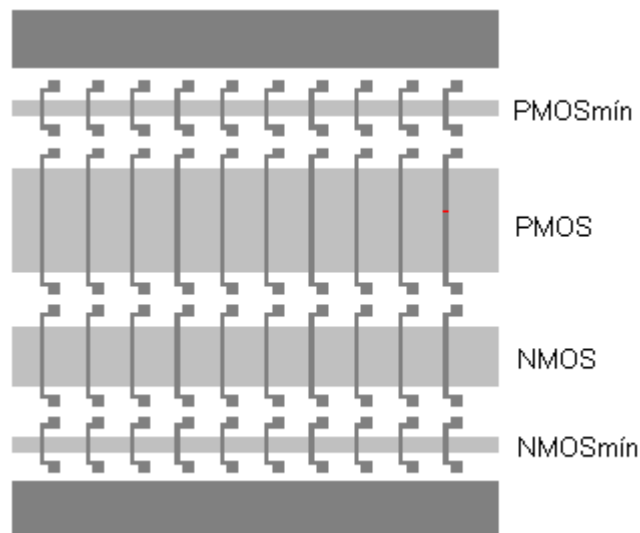


FIGURA 3.7 - Versão da matriz SOT na qual a posição dos transistores unitários da célula básica é modificada.

Esta configuração tem a vantagem de diminuir a distância de dois transistores de tamanho mínimo do mesmo tipo localizados em bandas diferentes, evitando a perda de transistores de tamanho “normal” cobertos por linhas de roteamento. Ao mesmo tempo, a proximidade dos transistores “normais” NMOS e PMOS poderia significar economia de área em circuitos realizados em lógica CMOS, por exemplo.

Uma desvantagem desta topologia é a grande distância entre transistores mínimos NMOSmín e PMOSmín, o que dificulta a construção de blocos como *transmission-gates*.

Essas modificações retratam a flexibilidade da matriz SOT também em relação à sua otimização para casos específicos. Este trabalho será focado na topologia da matriz proposta na figura 3.2, embora os mesmos resultados possam ser obtidos com os demais casos.

### 3.4 Conclusão

A matriz SOT foi projetada visando acomodar tanto circuitos puramente digitais quanto circuitos mistos analógico-digitais. Para isso, ela proporciona transistores unitários de tamanhos específicos para circuitos digitais, mas que podem ser utilizados

para formar associações que resultem em transistores equivalentes de dimensões maiores para o uso em circuitos analógicos.

A configuração da matriz SOT apresenta muitas vantagens, como elevada densidade de transistores, flexibilidade no projeto lógico devido à técnica de isolamento por porta, flexibilidade de roteamento, devido à ausência de canais de roteamento, estrutura regular adequada para o projeto de transistores mais largos (associação paralela) ou mais longos (associação serial) e simetria e regularidade, o que permite um melhor pareamento [AIT 96b].

A implementação de circuitos analógicos em matrizes SOT pré-difundidas é apropriada para aplicações onde: *i*) circuitos digitais são predominantes; *ii*) o desempenho exigido dos elementos analógicos não é elevado; *iii*) valores elevados de capacitores e resistores estão ausentes [NAV 94]; *iv*) a integração analógico-digital é um aspecto relevante de projeto e; *v*) fatores econômicos exijam um processo de fabricação de baixo custo e em tempo reduzido.

A topologia da matriz SOT é uma questão que depende da aplicação. A flexibilidade em relação ao tamanho e à posição dos transistores unitários permite modificação da topologia sem que as características principais da matriz sejam perdidas.

## 4 Modelagem da Associação Trapezoidal de Transistores

Este capítulo descreve a construção e o comportamento dos TATs em grandes e pequenos sinais. As técnicas de cálculo do TAT equivalente são apresentadas, mostrando como é realizada a substituição de um transistor simples de um circuito analógico por um transistor composto equivalente sem que o desempenho original do circuito seja degradado. O exemplo de conversão de um transistor simples em um TAT equivalente em um circuito amplificador inversor com fonte de corrente é abordado, a fim de se demonstrar o efeito dessa substituição sobre as características ac e dc do amplificador.

### 4.1 Análise DC dos TATs

Uma associação trapezoidal de transistores (TAT), proposta por [GAL 94], consiste em dois transistores em série, sendo que o transistor conectado ao terminal de dreno possui largura de canal ( $W$ ) maior que o transistor conectado ao terminal de fonte. O comprimento de canal ( $L$ ) de ambos os transistores são os mesmos. Os *gates* dos dois transistores estão conectados entre si, formando um dispositivo com as mesmas características de um transistor simples.

Segundo [RIC 84], um transistor em formato trapezoidal possui como principal característica uma menor condutância de saída. A fig. 4.1 mostra a geometria de um transistor trapezoidal. Ao mantermos o terminal de dreno ( $W_D$ ) maior que o terminal de fonte ( $W_S$ ), temos uma diminuição da condutância de saída ( $g_{ds}$ ) deste transistor em relação a um transistor simples equivalente.

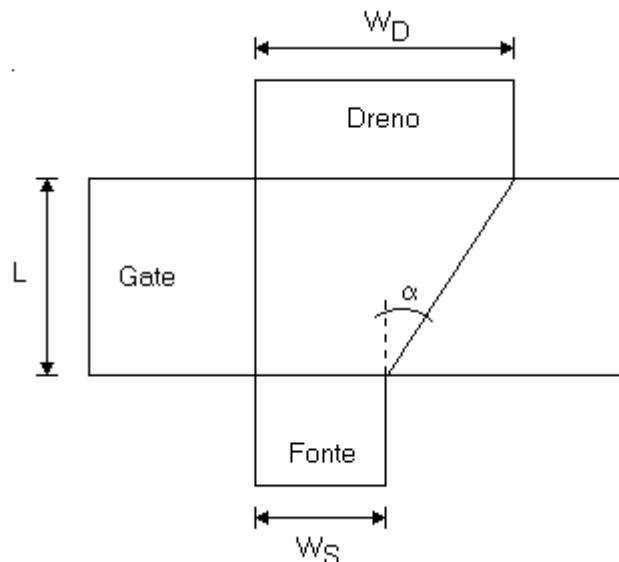


FIGURA 4.1 - Aspectos geométricos de um transistor trapezoidal

Uma associação trapezoidal de transistores segue o mesmo princípio. O formato trapezoidal é obtido através da devida composição série-paralela de transistores unitários. A fig. 4.2 mostra como um TAT é construído.

Neste texto usaremos algumas definições para facilitar o entendimento sobre os TATs:

- *MD*: Transistor composto da associação série próximo ao terminal de dreno.
- *MS*: Transistor composto da associação série próximo ao terminal de fonte.
- *Transistor unitário*: Transistor simples de tamanho fixo pelo qual a associação é composta.
- *ND*: Número de transistores unitários em paralelo que formam o transistor composto MD.
- *NS*: Número de transistores unitários em paralelo que formam o transistor composto MS.

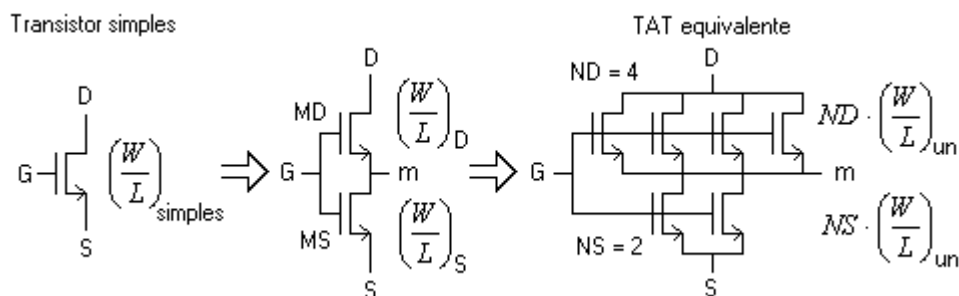


FIGURA 4.2 - Composição de um TAT

Para que a associação tenha o formato trapezoidal, precisamos garantir que  $ND$  seja sempre maior que  $NS$ . O uso de apenas dois transistores em série é uma definição adotada. Poderia-se utilizar mais transistores em série, porém os benefícios causados por esta estratégia ainda não são bem claros. Uma diminuição ainda maior na condutância de saída poderia ser obtida, porém este é um tema para outras discussões.

Consideraremos que todos os transistores unitários possuem as mesmas dimensões, principalmente pelo fato de que os TATs serão gerados sobre uma matriz de transistores pré-difundidos de tamanho fixo. Esta, aliás, é a principal vantagem dos TATs. Com eles podemos reproduzir o comportamento em nível de corrente de transistores simples de dimensões maiores que a dos transistores unitários. Para os circuitos analógicos, onde o tamanho dos transistores pode variar dentro de uma larga faixa de possibilidades, esta é realmente uma propriedade importante. A partir de uma associação série-paralela formada por transistores de tamanho mínimo é possível emular o comportamento de um transistor simples de tamanho bem maior.

Para transistores unitários de canal longo, a relação entre um transistor simples e seu TAT equivalente pode ser obtida considerando-se uma aproximação em que cada transistor unitário é tratado como um resistor linear. Assim, a largura e o comprimento de canal equivalentes dos transistores compostos MD e MS são dados pelas seguintes expressões:

$$W_{MD} = ND \cdot W_{UN} \quad \text{eq. 4.1}$$

$$L_{MD} = L_{UN} \quad \text{eq. 4.2}$$

$$W_{MS} = NS \cdot W_{UN} \quad \text{eq. 4.3}$$

$$L_{MS} = L_{UN} \quad \text{eq. 4.4}$$

De acordo com [GAL 94], o comprimento e a largura de canal equivalentes da associação são dados por

$$W_{eq} = W_{MD} \quad \text{eq. 4.5}$$

$$L_{eq} = L_{MD} + mL_{MS} \quad \text{eq. 4.6}$$

sendo que

$$m = \frac{\left(\frac{W}{L}\right)_{MD}}{\left(\frac{W}{L}\right)_{MS}} \quad \text{eq. 4.7}$$

Como todos os transistores unitários são iguais,  $m$  reduz-se a

$$m = \frac{ND}{NS} \quad \text{eq. 4.8}$$

e as equações para  $W_{eq}$  e  $L_{eq}$  tornam-se

$$W_{eq} = ND \cdot W_{UN} \quad \text{eq. 4.9}$$

$$L_{eq} = L_{UN} \cdot \left(\frac{ND}{NS} + 1\right) \quad \text{eq. 4.10}$$

A relação de aspecto equivalente é, então,

$$\left(\frac{W}{L}\right)_{eq} = \frac{ND}{\left(\frac{ND}{NS} + 1\right)} \cdot \frac{W_{UN}}{L_{UN}} \quad \text{eq. 4.11}$$

Esta relação de aspecto, entretanto, não garante que um TAT seja equivalente a um transistor simples de mesmo W/L. Quando os efeitos de canal curto dos transistores unitários tornam-se relevantes, outros fatores delimitadores de corrente predominam, como modulação do comprimento de canal, DIBL (*Drain Induced Barrier Lowering*), efeito da difusão lateral e, principalmente, a saturação de velocidade [CHO 2001]. Torna-se necessária, então, a inclusão destes efeitos no cálculo do TAT equivalente. Uma alternativa é utilizar um modelo analítico de corrente (como o modelo BSIM3)



para aproximar um valor de ND e NS que resultem em níveis de corrente DC, para uma determinada polarização, semelhantes aos do transistor simples que se deseja emular. Este método de cálculo do TAT equivalente, chamado de método analítico, proporciona bons resultados, porém é menos intuitivo e necessita de recursos computacionais para ser realizado. O capítulo 6 mostra como a ferramenta LIT realiza o cálculo do TAT equivalente baseado no modelo analítico BSIM3v3.

Uma melhor visualização dos efeitos de canal curto dos transistores unitários sobre a corrente  $I_D$  de um TAT pode ser feita através da curva  $I_D \times V_{DS}$ . A fig. 4.3 mostra como a corrente de um TAT composto por transistores unitários de canal curto é menor que a corrente de um transistor simples de mesmo W/L equivalente se considerarmos a aproximação por resistores lineares. Já a aproximação de primeira ordem feita através do modelo analítico de corrente proporciona uma melhor associação trapezoidal equivalente.

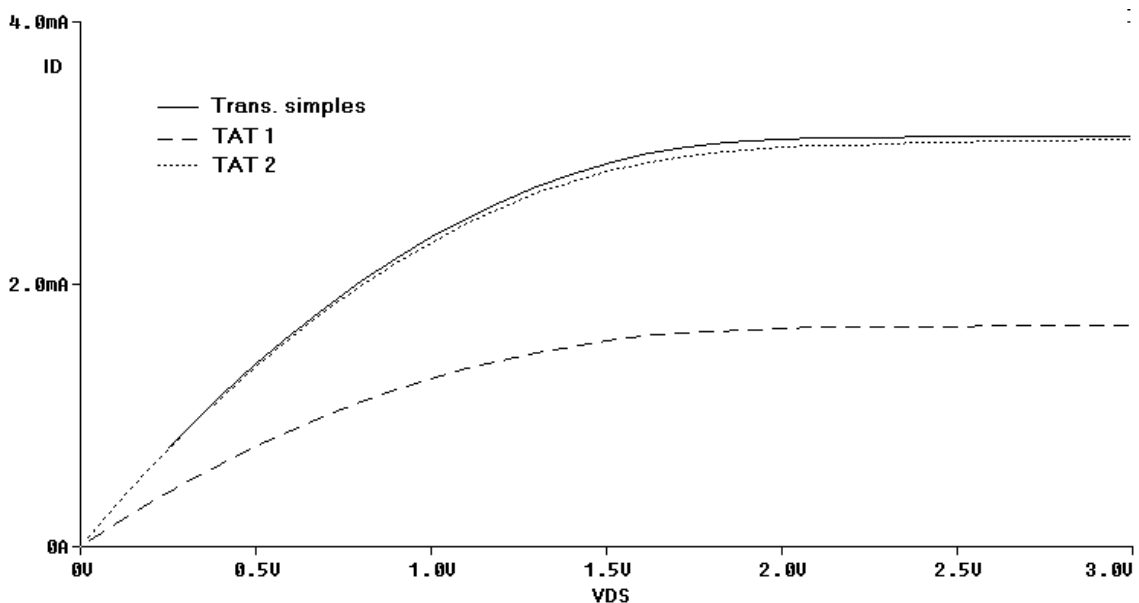


FIGURA 4.3 - Comparação entre as curvas simuladas  $I_D \times V_{DS}$  de um transistor NMOS simples com  $W/L=50\mu\text{m}/5\mu\text{m}$  e dois TATs equivalentes calculados através das aproximações por resistores lineares (TAT1:  $ND=3$ ,  $NS=1$ ) e pelo modelo analítico BSIM3v3 (TAT2:  $ND=4$ ,  $NS=2$ ). Tecnologia AMS 0.35,  $W_{un}=4\mu\text{m}$ ,  $L_{un}=0,3\mu\text{m}$ ,  $V_{GS}=3\text{V}$ ,  $V_{SB}=0$ .

O cálculo do TAT equivalente recai na escolha adequada de ND e NS. Podem existir várias soluções para a mesma corrente desejada. A escolha da melhor solução nem sempre é uma questão óbvia. Fatores como o número total de transistores unitários, características em pequenos sinais e equivalência em corrente devem ser levados em consideração.

A influência do valor de NS sobre a corrente de dreno do TAT pode ser vista na fig. 4.4. A variação da corrente é quase linear em relação a NS (para valores de NS pequenos) e depende da tensão no nó central do TAT (nó m), mostrada na fig. 4.5. Da mesma forma, o efeito da variação de ND sobre a corrente, mantendo-se NS fixo, é vista na fig. 4.6, e na fig. 4.7 está a variação de  $V_m$  em função de ND para o mesmo caso. A partir destes gráficos pode-se notar que o transistor MS tem uma influência maior na corrente do TAT do que o transistor MD. O incremento de ND faz com que o ponto de operação do transistor composto MD desloque-se em direção à região de saturação. Para um certo valor de ND, a tensão  $V_m$  aumenta até o ponto em que  $V_D - V_m$  torna-se maior que  $V_G - V_m - V_t$  e o transistor MD satura. A partir daí, um incremento em ND não produz

efeitos significativos na corrente  $I_D$  do TAT. Já o incremento de NS ocasiona o efeito contrário. Como MS opera sempre na região linear, a adição de mais um transistor unitário resulta em um aumento grande na corrente  $I_D$ . A tensão no nó central  $V_m$  diminui com o incremento de NS, pois o ponto de operação de MS move-se para a esquerda. Assim, a escolha de NS pode ser vista como um ajuste grosso da corrente  $I_D$ , enquanto que o ajuste fino é feito através de ND.

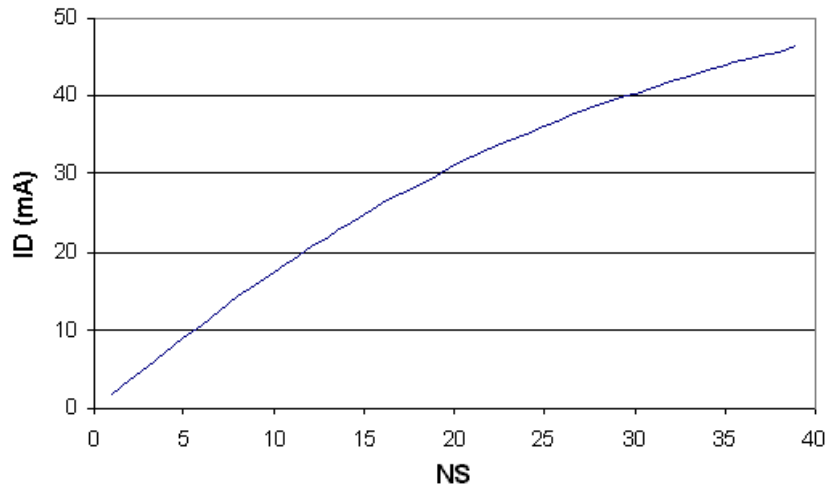


FIGURA 4.4 - Efeito do incremento de NS na corrente do TAT. Gráfico obtido através de simulação elétrica,  $ND=40$ ,  $W_{un}=4\mu\text{m}$ ,  $L_{un}=0,3\mu\text{m}$ ,  $V_{GS}=3\text{V}$ ,  $V_{DS}=3\text{V}$ ,  $V_{SB}=0$ .

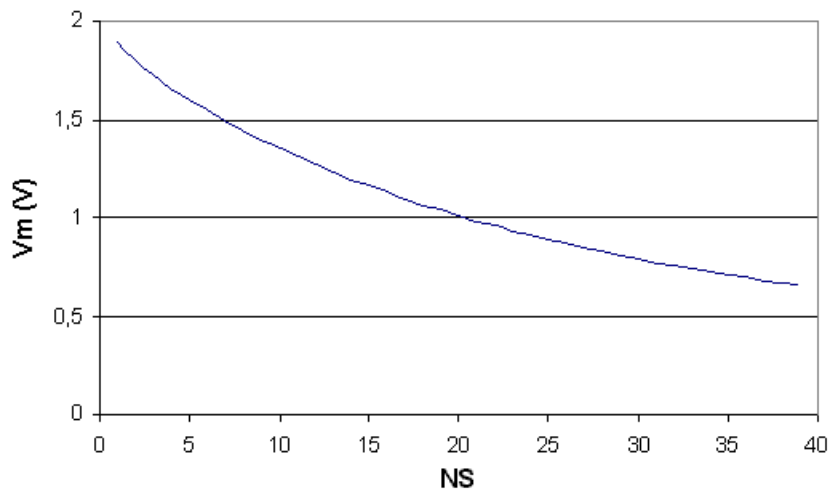


FIGURA 4.5 - Efeito da variação de NS sobre a tensão no nó central de um TAT (nó m). Gráfico obtido através de simulação elétrica,  $ND=40$ ,  $W_{un}=4\mu\text{m}$ ,  $L_{un}=0,3\mu\text{m}$ ,  $V_{GS}=3\text{V}$ ,  $V_{DS}=3\text{V}$ ,  $V_{SB}=0$ .

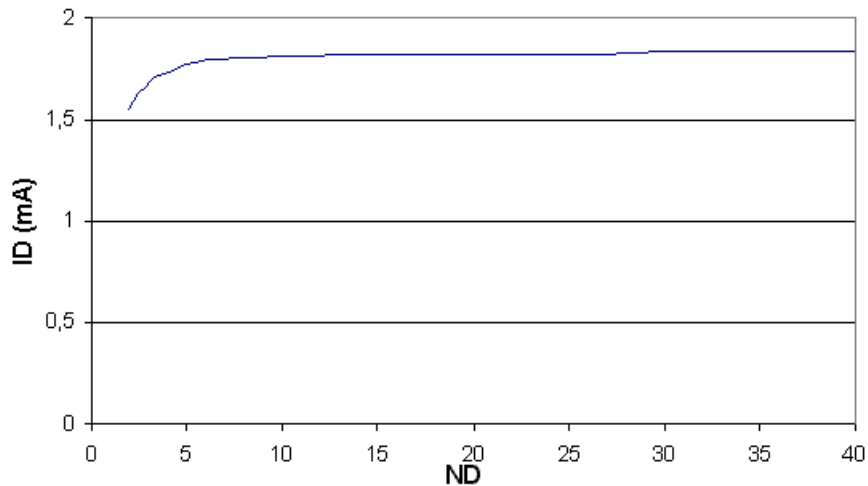


FIGURA 4.6 - Efeito do incremento de ND na corrente do TAT. Gráfico obtido através de simulação elétrica,  $NS=1$ ,  $W_{un}=4\mu m$ ,  $L_{un}=0,3\mu m$ ,  $V_{GS}=3V$ ,  $V_{DS}=3V$ ,  $V_{SB}=0$ .

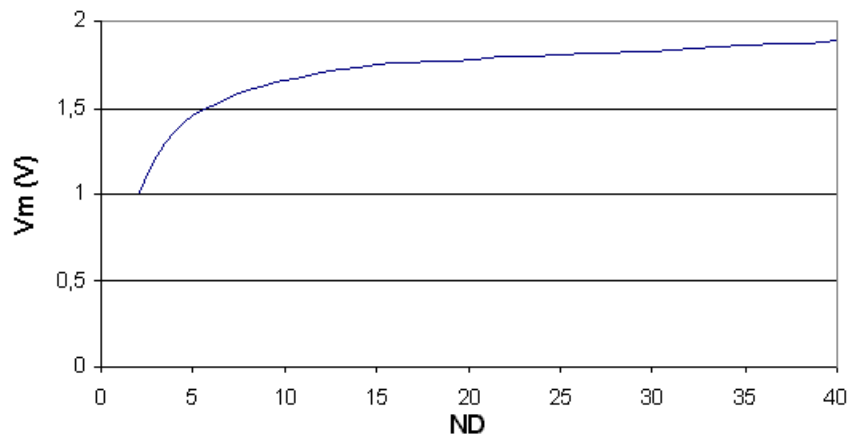


FIGURA 4.7 - Efeito da variação de ND sobre a tensão no nó central de um TAT (nó m). Gráfico obtido através de simulação elétrica,  $NS=1$ ,  $W_{un}=4\mu m$ ,  $L_{un}=0,3\mu m$ ,  $V_{GS}=3V$ ,  $V_{DS}=3V$ ,  $V_{SB}=0$ .

As capacitâncias parasitas dos TATs geralmente são maiores que a de um transistor simples, devido ao grande número de transistores unitários em paralelo. Isto influencia na localização dos pólos dos circuitos analógicos, como será visto na seção 4.3.2. A tabela 4.1 mostra as capacitâncias parasitas estimadas de um transistor simples e de quatro opções de TAT equivalente, calculadas pela ferramenta LIT. As capacitâncias de gate ( $C_G$ ) e do nó  $m$  ( $C_{MB}$ ) são proporcionais a  $ND+NS$ , enquanto que a capacitância de dreno ( $C_{DB}$ ) é proporcional a  $ND$  e a capacitância de fonte ( $C_{SB}$ ) é proporcional a  $NS$ . Note que o compartilhamento da mesma área de difusão entre transistores adjacentes diminui as capacitâncias parasitas dos nós do TAT.

TABELA 4.1 - Estimativas de capacitâncias parasitas de um transistor NMOS simples de  $W/L = 30\mu\text{m}/1\mu\text{m}$  e de 4 opções de TAT equivalente com  $W_{un}=4\mu\text{m}$  e  $L_{un}=0,3\mu\text{m}$ , tecnologia AMS 0,35 $\mu\text{m}$ .

	ND	NS	$C_G$ (fF)	$C_{DB}$ (fF)	$C_{SB}$ (fF)	$C_{MB}$ (fF)
<b>Trans. simples</b>	-	-	6,3	24,4	24,4	-
<b>TAT 1</b>	7	6	22,7	55,2	41,4	110,4
<b>TAT 2</b>	8	5	22,7	69,0	41,4	82,8
<b>TAT 3</b>	8	6	24,4	69,0	41,4	96,6
<b>TAT 4</b>	9	5	24,4	69,0	41,4	110,4

## 4.2 Análise de pequenos sinais dos TATs

A associação trapezoidal de transistores possui características de corrente e tensão para pequenos sinais que fazem com que ela se torne uma boa opção para o projeto de circuitos analógicos. O modelo simplificado de pequenos sinais para baixas frequências, considerando MD em saturação e MS em condução, está mostrado na fig. 4.8.

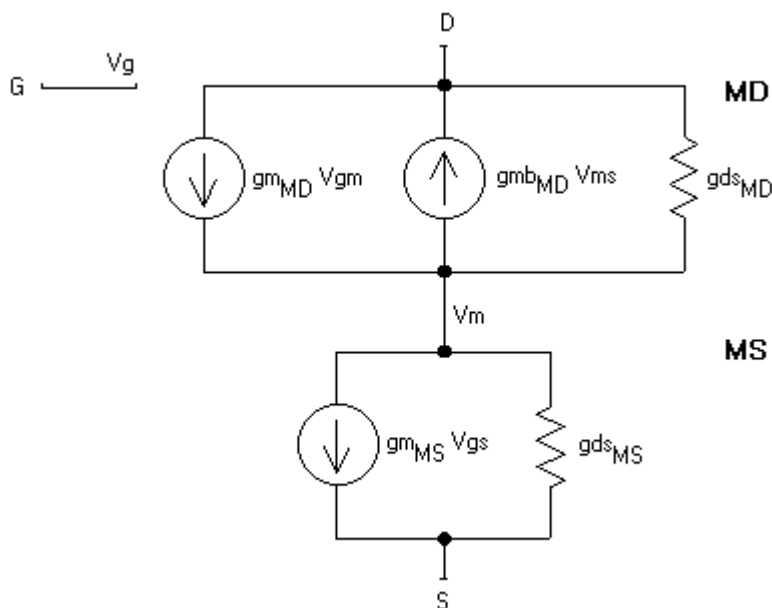


FIGURA 4.8 - Modelo simplificado de pequenos sinais dos TATs para baixa frequência.

O efeito de corpo sobre MD ( $g_{mb(MD)}V_{ms}$ ) acontece porque o terminal de fonte do transistor MD (nó m) está em um potencial acima do terminal de fonte do TAT (nó S). Assim, a tensão  $V_{sb}$  de MD (igual a  $V_{ms}$  se considerarmos que  $V_{sb(TAT)}$  é igual a zero) é maior que zero. Este efeito pode tornar-se nulo através de técnicas de layout pelas quais o substrato de MD é polarizado em um nível diferente do substrato de MS. Entretanto, esta técnica só é possível para um TAT do tipo NMOS se a tecnologia de fabricação permitir o uso de poços do tipo P. Da mesma forma para um TAT PMOS, poços do tipo N devem estar disponíveis. Neste caso, MD e MS estariam localizados em poços diferentes polarizados em  $V_m$  e  $V_s$ , respectivamente. Esta técnica de layout tem suas desvantagens, como aumento na área ocupada pelo TAT e necessidade de poços de ambos os tipos P e N disponíveis na tecnologia. Porém, se considerarmos que o efeito

de corpo torna-se menos significativo quanto menor o comprimento de canal dos transistores unitários - pois neste caso o efeito de canal curto predomina - podemos ignorá-lo sem perda na qualidade da análise. O preço a pagar em área seria grande demais para tão pouco ganho em desempenho.

De acordo com [RIC 84], um transistor de formato trapezoidal tem como principal característica uma menor condutância de saída em relação a um transistor simples equivalente. A partir de simulações elétricas pode-se constatar que a condutância de saída de uma associação trapezoidal de transistores também segue esta regra. A fig. 4.9 mostra a relação entre  $g_{ds}$  (condutância de saída) e a tensão dreno-fonte para um TAT e para um transistor simples equivalente para tensões gate-fonte de 1V, 2V e 3V. Neste gráfico, pode-se ver que o  $g_{ds}$  do TAT mantém-se menor ou, no máximo, semelhante ao  $g_{ds}$  do transistor simples em todas as regiões de operação.

Entretanto, resultados obtidos através de medidas elétricas em chips de teste demonstram o contrário. Segundo [CHO 2001], a condutância de saída de um TAT é maior que a de um transistor simples equivalente para tecnologias de  $1\mu\text{m}$  e  $0,5\mu\text{m}$ . Esta discordância entre valores medidos e simulados demonstra a fragilidade do modelo de simulação (no caso, BSIM3v3) em relação à condutância de saída.

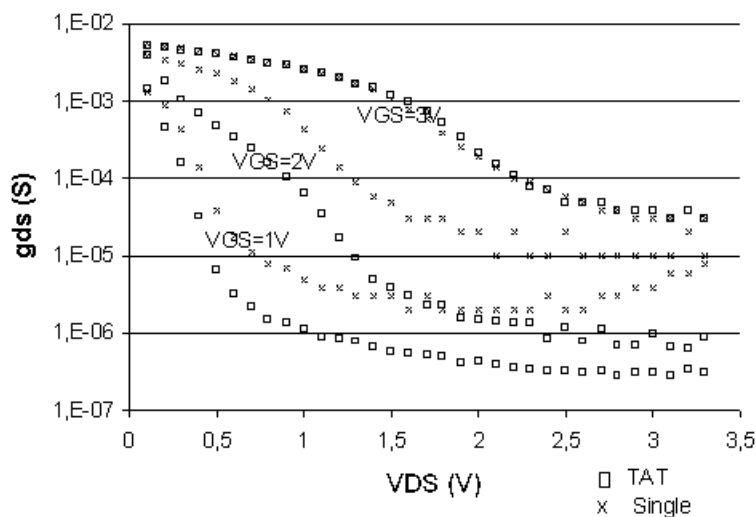


FIGURA 4.9 - Gráfico comparativo  $g_{ds}$  x  $V_{DS}$  obtido a partir de simulações elétricas para um transistor simples com  $W=30\mu\text{m}$  e  $L=1,5\mu\text{m}$  e um TAT equivalente ( $ND=10$ ,  $NS=3$ ,  $W_{un}=4\mu\text{m}$ ,  $L_{un}=0,3\mu\text{m}$ ).  $V_{SB}=0V$ .

A condutância de saída de um TAT pode ser diminuída com a inserção de mais transistores unitários em paralelo no transistor MD, ou seja, com o incremento de  $ND$ , ou com a diminuição de transistores unitários em paralelo em MS, ou seja, com o decremento de  $NS$ . As figuras 4.10 e 4.11 mostram as influências de  $ND$  e  $NS$  sobre o  $g_{ds}$  de um TAT. A condutância de saída de um TAT é diretamente proporcional à relação entre  $ND$  e  $NS$ . Isto concorda com os resultados obtidos por [RIC 84], segundo o qual a condutância de saída de um transistor trapezoidal diminui quanto maior for o ângulo  $\alpha$  (veja figura 4.1).

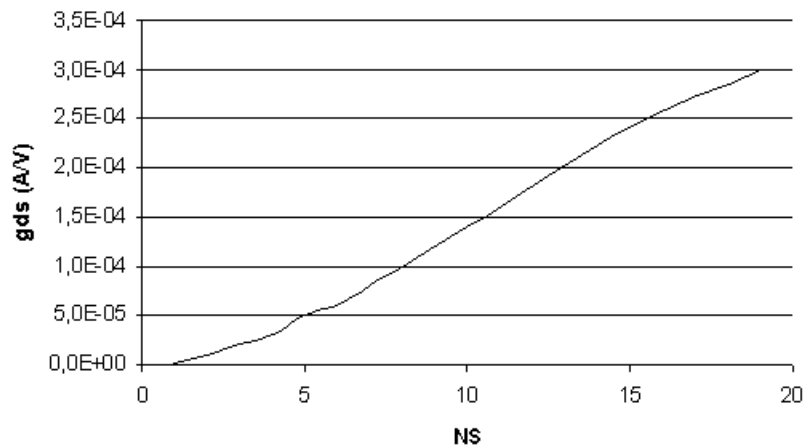


FIGURA 4.10 - Gráfico da relação entre  $g_{ds}$  e NS obtido através de simulações elétricas. Para este gráfico,  $ND=20$ ,  $V_{GS}=2V$ ,  $V_{DS}=2V$  e  $V_{SB}=0$ .

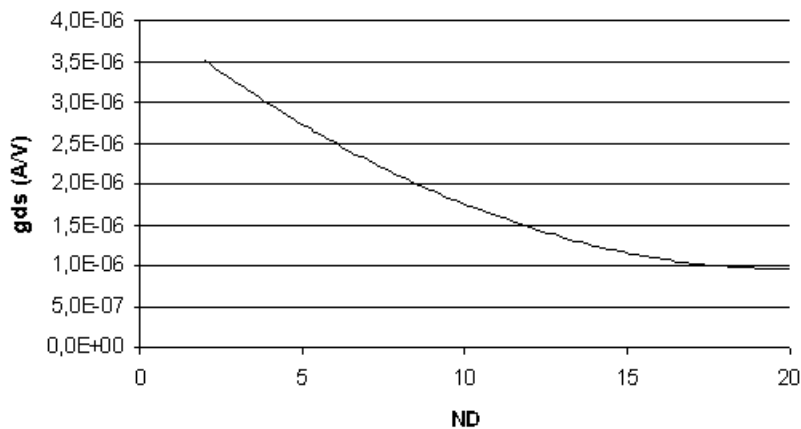


FIGURA 4.11 - Gráfico da relação entre  $g_{ds}$  e ND obtido através de simulações elétricas. Para este gráfico,  $NS=1$ ,  $V_{GS}=2V$ ,  $V_{DS}=2V$  e  $V_{SB}=0$ .

O comportamento da transcondutância  $gm$  em uma associação trapezoidal de transistores, entretanto, de certa forma minimiza o efeito da diminuição de  $g_{ds}$ . A transcondutância de *gate* é dada por:

$$gm = \frac{\partial I_D}{\partial V_{GS}} \quad \text{eq. 4.12}$$

A fig. 4.12 mostra o gráfico de  $gm$  em função de  $V_{GS}$  para um transistor simples e um TAT equivalente.

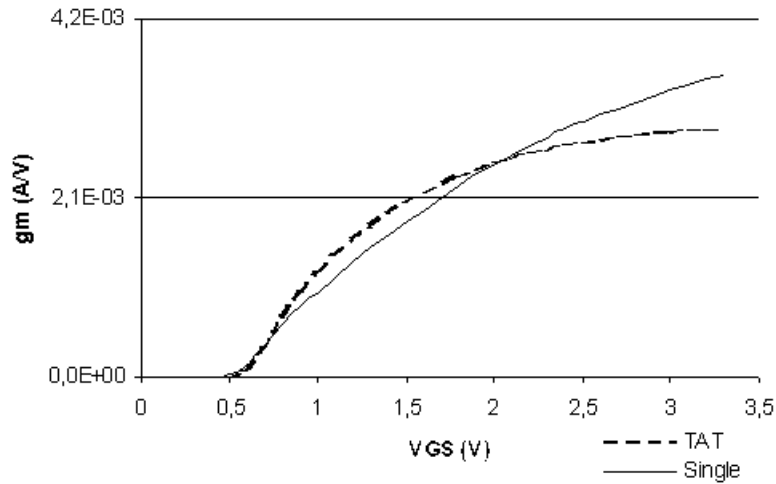


FIGURA 4.12 - Gráfico de  $gm$  em função de  $V_{GS}$  obtido através de simulações elétricas. Para o transistor simples,  $W=30\mu\text{m}$  e  $L=1,5\mu\text{m}$ . Para o TAT,  $ND=10$ ,  $NS=3$ ,  $W_{un}=4\mu\text{m}$ ,  $L_{un}=0,3\mu\text{m}$ .  $V_{DS}=3\text{V}$  e  $V_{SB}=0$ .

De acordo com [CHO 99a], a transcondutância de *gate* de um TAT é menor que a do transistor simples equivalente na região de inversão forte, podendo ser aproximada por

$$gm_{TAT} \cong gm_{MS} \quad \text{eq. 4.13}$$

Ou seja, quem estabelece a transcondutância do TAT é o transistor MS. As figuras 4.13 e 4.14 comprovam este fato. A simulação elétrica do gráfico  $gm \times V_{GS}$  variando-se  $ND$  para um  $NS$  fixo (fig. 4.13) e variando-se  $NS$  para um  $ND$  fixo (fig. 4.14) mostra que a influência de  $NS$  sobre a transcondutância  $gm$  é predominante em relação à influência de  $ND$ .

O valor de  $gm$  do TAT aumenta com o incremento de  $NS$  e permanece praticamente constante com o incremento de  $ND$ .

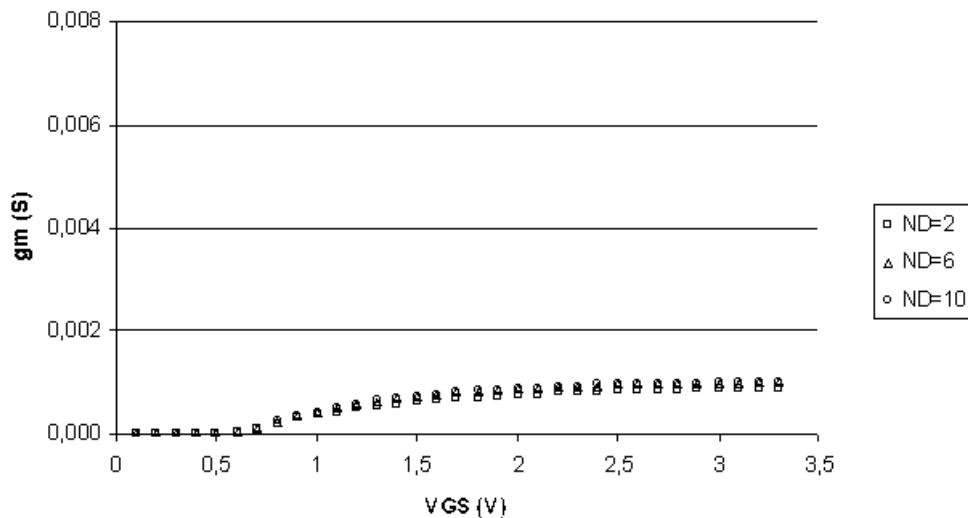


FIGURA 4.13 - Simulação elétrica mostrando a influência do aumento de  $ND$  na transcondutância  $gm$  de um TAT. Para este caso,  $NS=1$ ,  $V_{DS}=3\text{V}$  e  $V_{SB}=0$ .

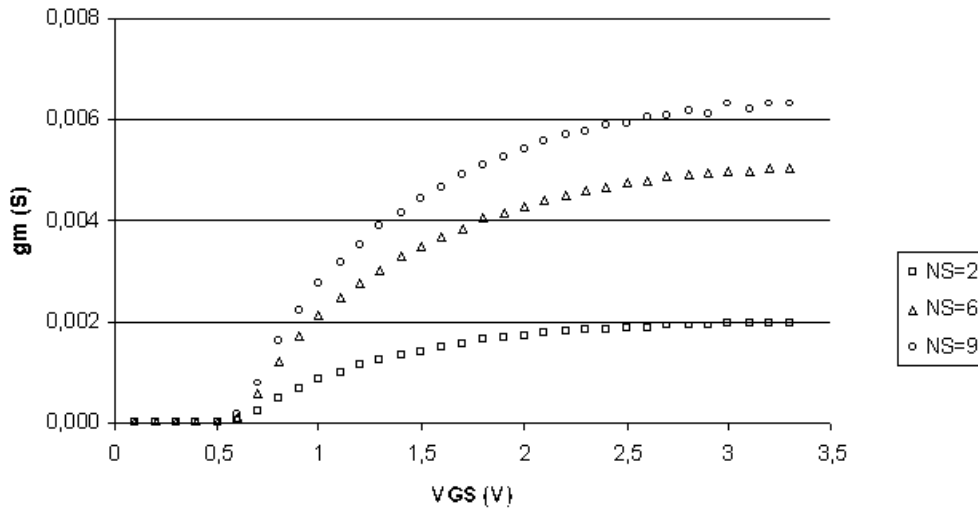


FIGURA 4.14 - Simulação elétrica mostrando a influência do aumento de NS na transcondutância  $g_m$  de um TAT. Para este caso,  $ND=10$ ,  $V_{DS}=3V$  e  $V_{SB}=0$ .

A fig. 4.15 mostra a diferença entre a relação  $g_m/I_D$  de um transistor simples, de um TAT equivalente e de um transistor unitário. Pode-se ver neste gráfico que a relação  $g_m/I_D$  de um TAT pode ser igual ou até mesmo maior que a de um transistor simples equivalente para um mesmo valor de corrente. Já em relação a um transistor unitário, o gráfico mostra que uma associação trapezoidal de transistores acarreta em uma melhora na relação  $g_m/I_D$ .

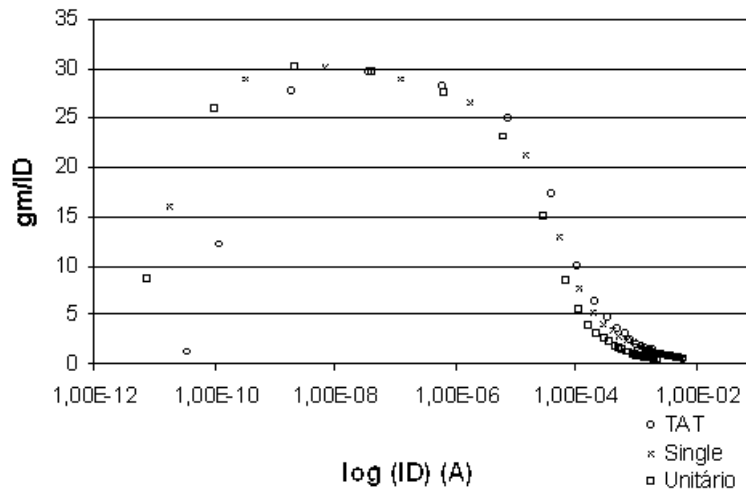


FIGURA 4.15 - Gráfico da simulação elétrica de  $g_m/I_D \times \log(I_D)$  para um transistor simples com  $W=30\mu m$  e  $L=1,5\mu m$ , um TAT equivalente ( $ND=10$ ,  $NS=3$ ,  $W_{un}=4\mu m$ ,  $L_{un}=0,3\mu m$ ) e um transistor simples com as mesmas dimensões de um transistor unitário da associação ( $W=4\mu m$  e  $L=0,3\mu m$ ).  $V_{DS}=3V$ ,  $V_{SB}=0$ .

O valor de  $g_m/I_D$  do TAT depende diretamente de NS. Simulações elétricas, como as mostradas na fig. 4.16, mostram que um incremento em NS significa um aumento na relação  $g_m/I_D$  na região de inversão forte. Já na região de inversão moderada a relação é praticamente constante. Na região de inversão fraca ocorre o contrário, ou seja, um incremento em NS resulta na diminuição de  $g_m/I_D$ . A fig. 4.17



mostra a mesma situação do gráfico da fig. 4.16, porém com  $V_{GS}$  no eixo  $x$ . O resultado é que, para um mesmo  $V_{GS}$ , temos o mesmo  $gm/I_D$  apesar do incremento de NS.

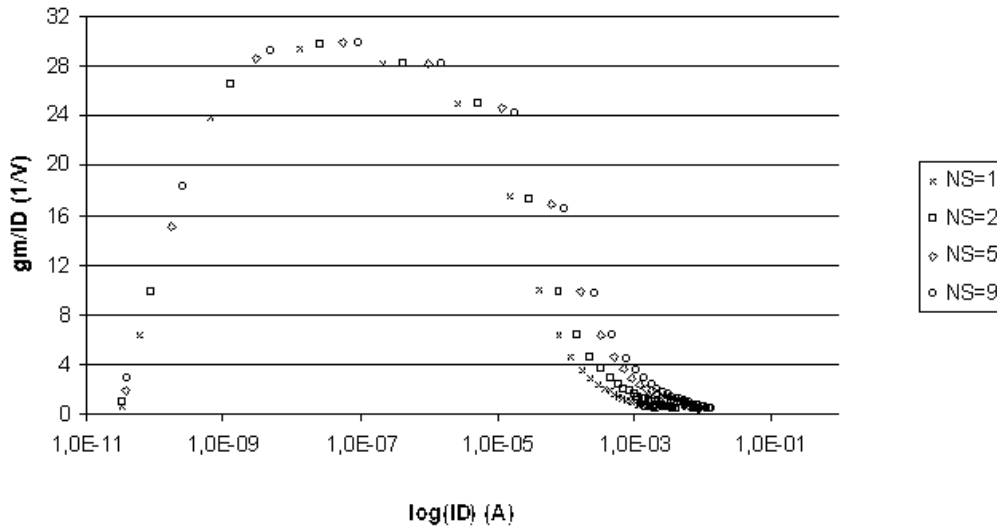


FIGURA 4.16 - Curva simulada  $gm/I_D$  versus  $I_D$  para um TAT com ND = 10 e NS=1, 2, 5 e 9.  $V_{DS}=3V$ ,  $V_{SB}=0$ .

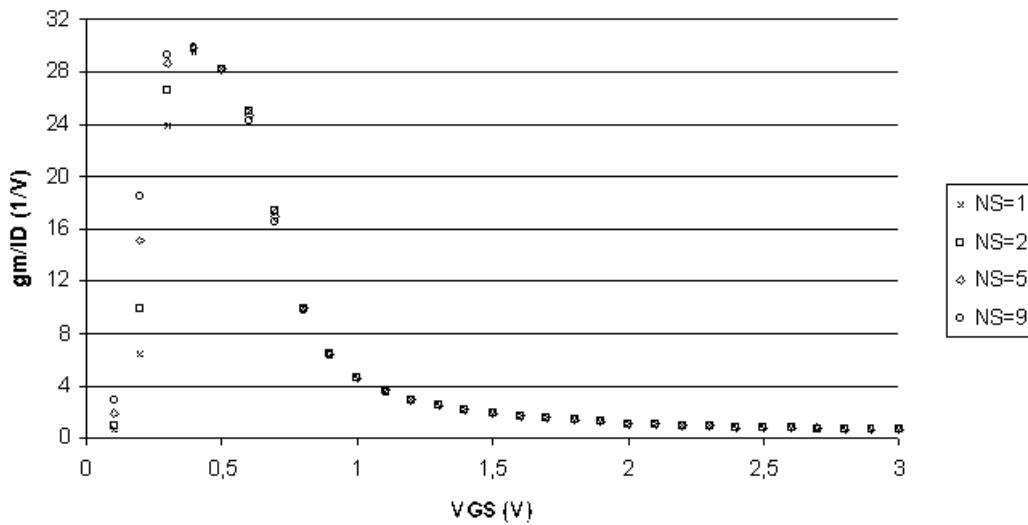


FIGURA 4.17 - Curva simulada  $gm/I_D$  versus  $V_{GS}$  para um TAT com ND=10 e NS=1, 2, 5 e 9.  $V_{DS} = 3V$ ,  $V_{SB}=0$ .

As figuras 4.18 e 4.19 mostram o pequeno efeito do incremento de ND na relação  $gm/I_D$  nas regiões de inversão moderada e forte, tanto em função de  $I_D$  quanto em função de  $V_{GS}$ . Já na região de inversão fraca o  $gm/I_D$  diminui com o aumento de ND.

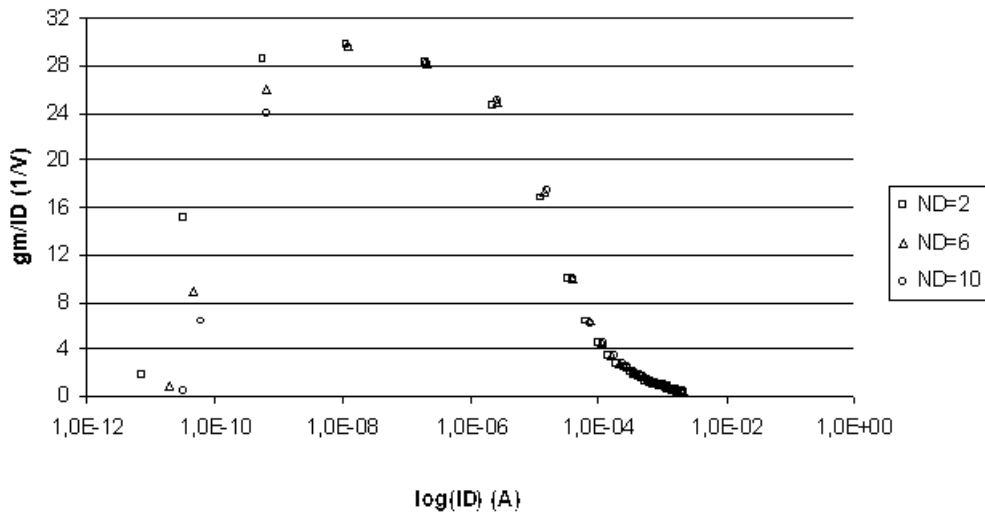


FIGURA 4.18 - Curva simulada  $gm/I_D$  versus  $I_D$  para um TAT com  $NS = 1$  e  $ND=2, 6$  e  $10$ .  $V_{DS}=3V$ ,  $V_{SB}=0$ .

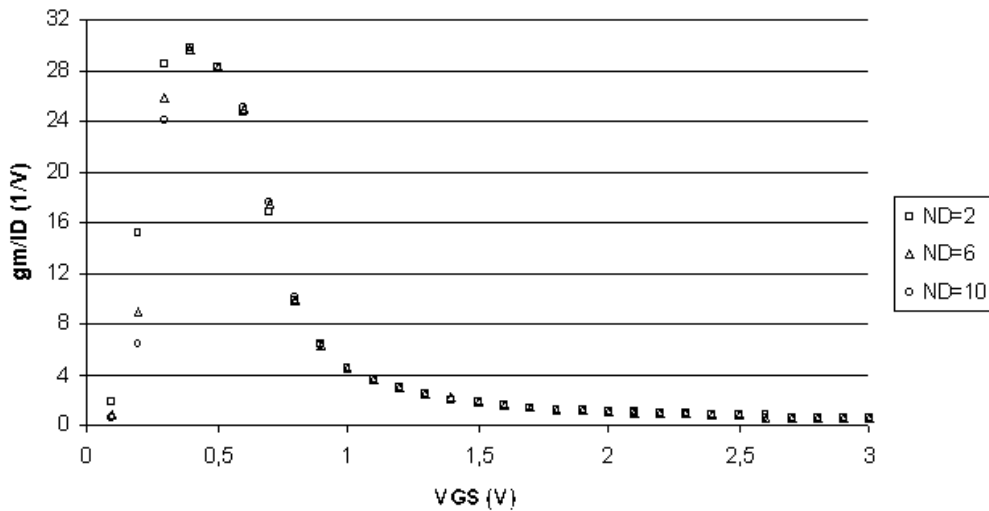


FIGURA 4.19 - Curva simulada  $gm/I_D$  versus  $V_{GS}$  para um TAT com  $NS = 1$  e  $ND=2, 6$  e  $10$ .  $V_{DS}=3V$ ,  $V_{SB}=0$ .

A partir dos gráficos demonstrados acima, pode-se notar que o valor de  $NS$  é determinante tanto para a definição de  $gds$  quanto de  $gm$ . O incremento de  $NS$  resulta em um aumento de  $gm/I_D$ , porém aumenta também o  $gds$ . Chega-se, então, em uma situação na qual o incremento de  $NS$  pode ocasionar tanto uma melhora no ganho de um circuito com o aumento de  $gm/I_D$  quanto uma diminuição deste mesmo ganho com o aumento de  $gds$ . Assim, deve-se observar até que ponto um incremento em  $NS$  garante melhor desempenho de um circuito.

### 4.3 Análise de pequenos sinais de um amplificador inversor com fonte de corrente utilizando TATs

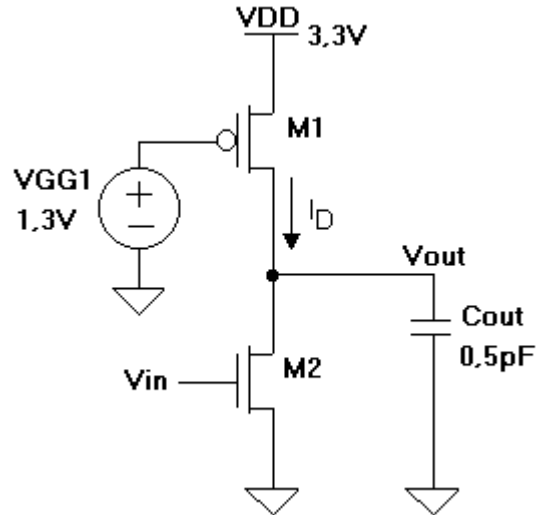


FIGURA 4.20 - Esquemático do amplificador inversor com fonte de corrente

Para analisarmos o comportamento de um circuito com TATs e as variações possíveis na determinação do TAT equivalente, tomamos um circuito amplificador simples, mostrado na fig. 4.20, composto por dois transistores, M1 e M2. O transistor M1 é polarizado com uma fonte fixa, funcionando então como uma fonte de corrente. O ganho de tensão em pequenos sinais é dado por

$$A_{v0} = \frac{V_{out}}{V_{in}} = - \frac{g_{m_{M2}}}{g_{ds_{M1}} + g_{ds_{M2}}} \quad \text{eq. 4.14}$$

Os transistores foram dimensionados de acordo com a tabela 4.2.

TABELA 4.2 - Dimensões dos transistores para o amplificador inversor com fonte de corrente utilizando transistores simples.

$W_1$	$3\mu\text{m}$
$L_1$	$1\mu\text{m}$
$W_2$	$30\mu\text{m}$
$L_2$	$1\mu\text{m}$

A simulação elétrica deste circuito mostra que o ponto de polarização DC de  $V_{in}$  para um ganho máximo está em 0,73V. A transcondutância  $gm$  e a condutância de saída de cada transistor neste ponto de polarização são mostradas na tabela 4.3. A partir destes valores calcula-se o ganho em baixas frequências, que é de 150 V/V.

TABELA 4.3 - Característica de pequenos sinais para o amplificador inversor projetado com transistores simples

$g_{m_{M2}}$ [A/V]	$8,0 \times 10^{-4}$
$g_{ds_{M1}}$ [A/V]	$3,29 \times 10^{-6}$
$g_{ds_{M2}}$ [A/V]	$1,65 \times 10^{-6}$
$I_D$ [ $\mu$ A]	88,6
$A_{v0}$ [V/V]	150
$f_{-3dB}$ [MHz]	1,4
$GBW$ [MHz]	186
DC $V_{in}$ [V]	0,73

De acordo com o fluxo de projeto proposto para o projeto com TATs no capítulo 6, cada transistor simples do circuito deveria ser substituído pelo seu TAT equivalente. Porém, para simplificar a análise e para que os resultados obtidos sejam mais evidentes, substituiremos somente o transistor M2 por um TAT.

Antes de realizar esta substituição, entretanto, é conveniente analisar uma variação muito utilizada do amplificador inversor: o amplificador inversor cascode. A fig. 4.21 mostra o esquemático deste amplificador. Veja que o transistor M3, polarizado em uma tensão DC fixa, foi incluído em série com o transistor M2. Esta configuração tem duas vantagens sobre o amplificador inicial: proporciona um aumento na impedância de saída e reduz o efeito da capacitância Miller de entrada [ALL 2002].

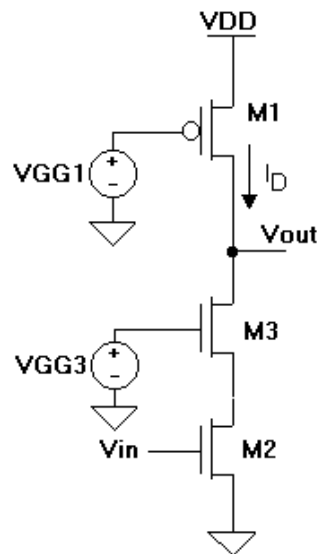


FIGURA 4.21 - Amplificador inversor cascode

O ganho em baixa frequência para pequenos sinais do amplificador inversor cascode pode ser aproximado por

$$\frac{V_{out}}{V_{in}} \cong -\frac{g_{m_{M2}}}{g_{ds_{M1}}} \quad \text{eq. 4.15}$$

A semelhança do estágio cascode com um TAT é evidente. A fig. 4.22 mostra o esquemático do mesmo amplificador da fig. 4.20, porém com a substituição de M2 por

um TAT equivalente. Os transistores compostos MD e MS do TAT podem ser vistos como M3 e M2 do amplificador cascode da fig. 4.21, respectivamente. A única diferença é que ambos os *gates* de MD e MS estão conectados a  $V_{in}$ . Isto faz com que a impedância de saída do amplificador com TATs seja influenciada também pela transcondutância  $g_m$  de MD. Para visualizar este efeito, faremos a análise em pequenos sinais do amplificador inversor utilizando um TAT.

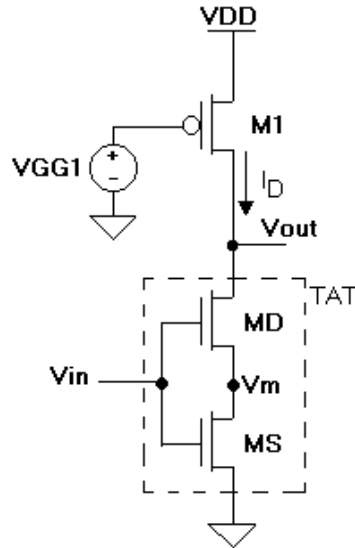


FIGURA 4.22 - Esquemático do amplificador inversor substituindo M2 do amplificador com transistores simples por um TAT com transistores compostos MD e MS

### 4.3.1 Ganho $A_{v0}$

A fig. 4.23 mostra o equivalente para pequenos sinais do circuito da fig. 4.22. Para efeitos de simplificação, desconsideraremos o efeito de corpo sobre MD causado por  $V_m$ . A tensão *gate-fonte* de MD é  $V_{GS}=V_{in}-V_m$ , sendo  $V_m$  a tensão no nó central do TAT.

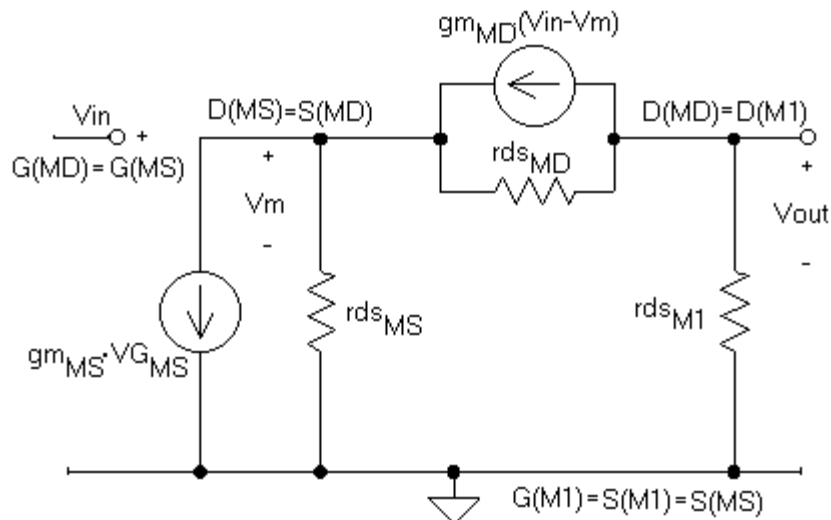


FIGURA 4.23 - Modelo em pequenos sinais do circuito amplificador utilizando TAT da fig. 4.22.

Para facilitar a análise, podemos utilizar a técnica de rearranjo da fonte de corrente  $g_{m_{MD}}(V_{in}-V_m)$ . A fig. 4.24 mostra o resultado deste rearranjo.

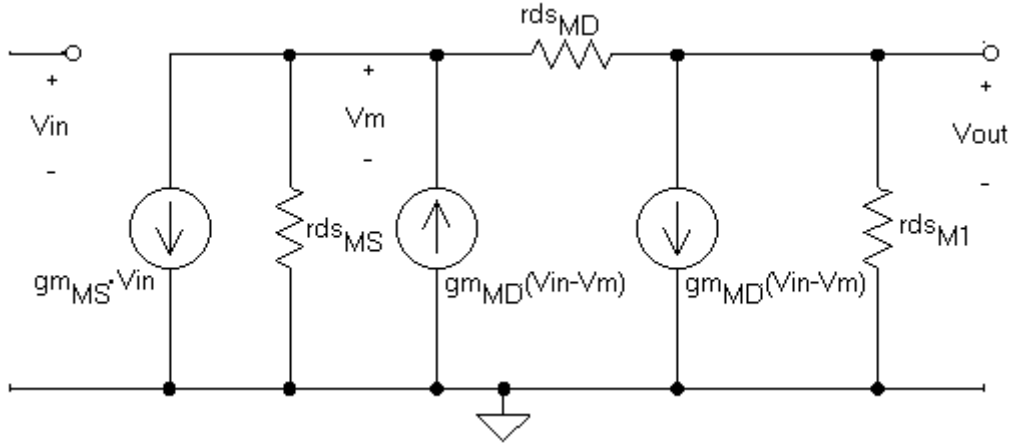


FIGURA 4.24 - Circuito resultante da aplicação da técnica de rearranjo da fonte de corrente  $g_{m_{MD}}(V_{in}-V_m)$  sobre o circuito da fig. 4.23.

Aplicando o princípio da substituição no circuito resultante, temos o circuito equivalente da fig. 4.25.

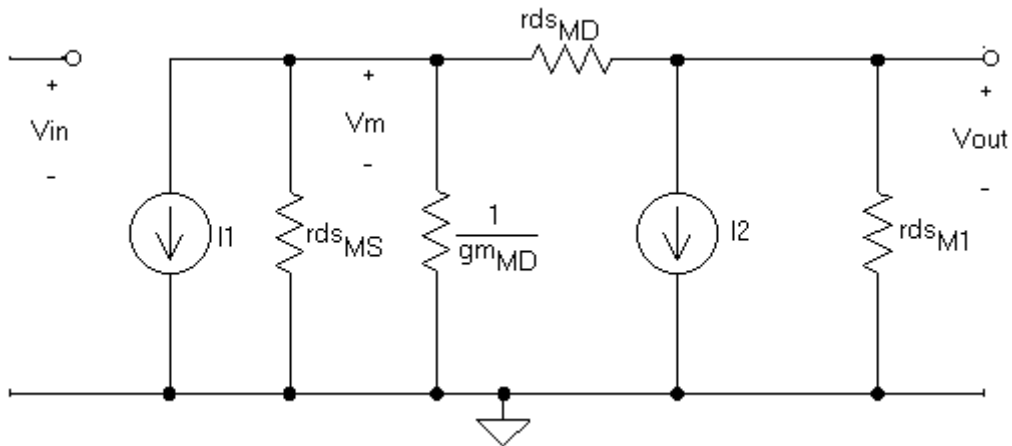


FIGURA 4.25 - Circuito resultante da aplicação da técnica da substituição da fonte de corrente  $g_{m_{MD}}(V_{in}-V_m)$  do lado esquerdo sobre o circuito da fig. 4.24.

As fontes de corrente controladas por tensão da fig. 4.25 são dadas por:

$$I_1 = V_{in} (g_{m_{MS}} - g_{m_{MD}}) \quad \text{eq. 4.16}$$

$$I_2 = g_{m_{MD}} (V_{in} - V_m) \quad \text{eq. 4.17}$$

Temos agora um circuito com duas fontes de corrente controladas que pode ser facilmente analisado. Para determinarmos o ganho de tensão  $V_{out}/V_{in}$ , aplicamos o

teorema da superposição, inicialmente eliminando a fonte  $I_2$ , conforme mostrado na fig. 4.26, onde

$$R_1 = \frac{rds_{MS}}{1 + gm_{MD} rds_{MS}} \quad \text{eq. 4.18}$$

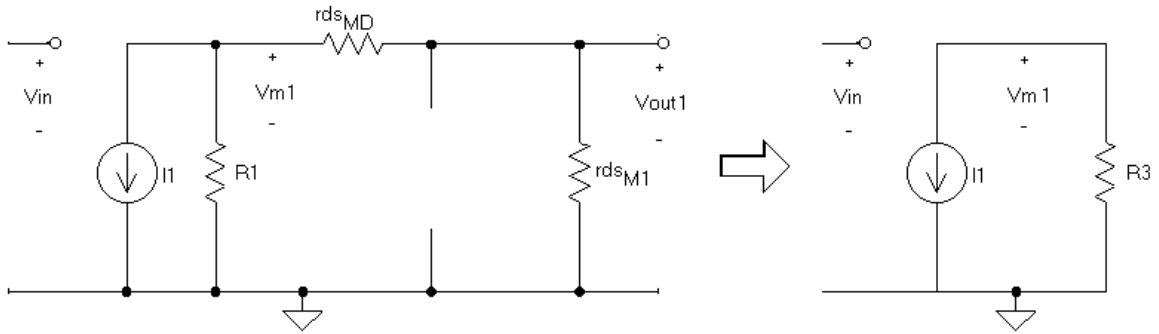


FIGURA 4.26 - Circuito resultante da eliminação da fonte de corrente  $I_2$  da fig. 4.25 e sua simplificação.

A tensão  $V_{m1}$  é facilmente calculada como

$$V_{m1} = -I_1 R_3 = -V_{in} (gm_{MS} - gm_{MD}) R_3 \quad \text{eq. 4.19}$$

A tensão  $V_{out1}$  é dada por

$$V_{out1} = \frac{V_{m1}}{R_2} rds_{M1} = -\frac{V_{in} (gm_{MS} - gm_{MD}) R_3 \cdot rds_{M1}}{R_2} \quad \text{eq. 4.20}$$

onde

$$R_2 = rds_{MD} + rds_{M1} \quad \text{eq. 4.21}$$

$$R_3 = \frac{R_1 R_2}{R_1 + R_2} \quad \text{eq. 4.22}$$

Eliminando agora a fonte de corrente  $I_1$ , temos o circuito da fig. 4.27.

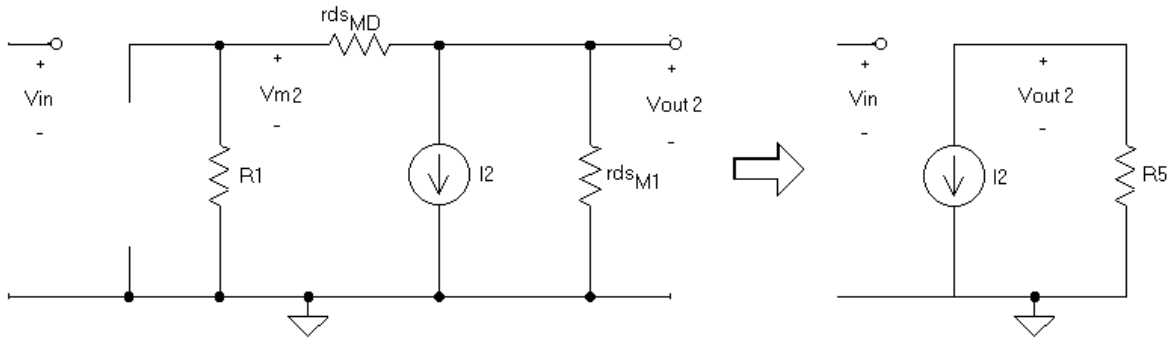


FIGURA 4.27 - Circuito resultante da eliminação da fonte de corrente I1 da fig. 4.25 e sua simplificação.

Calculando  $V_{out2}$ , temos

$$V_{out2} = -I_2 R_5$$

$$V_{out2} = -(g_{m_{MD}} V_{in} - g_{m_{MD}} V_{m2}) R_5 = -g_{m_{MD}} V_{in} R_5 + g_{m_{MD}} V_{out2} \frac{R_1 R_5}{R_4} \quad \text{eq. 4.23}$$

$$V_{out2} = -\frac{g_{m_{MD}} V_{in} R_5}{1 - g_{m_{MD}} \frac{R_1 R_5}{R_4}}$$

A tensão  $V_{m2}$  é

$$V_{m2} = \frac{V_{out2}}{R_4} R_1 \quad \text{eq. 4.24}$$

onde

$$R_4 = r_{ds_{MD}} + R_1 \quad \text{eq. 4.25}$$

$$R_5 = \frac{R_4 r_{ds_{M1}}}{R_4 + r_{ds_{M1}}} = \frac{(1 + g_{m_{MD}} r_{ds_{MS}})(r_{ds_{MD}} r_{ds_{M1}}) + r_{ds_{MS}} r_{ds_{M1}}}{(1 + g_{m_{MD}} r_{ds_{MS}})(r_{ds_{MD}} + r_{ds_{M1}}) + r_{ds_{MS}}} \quad \text{eq. 4.26}$$

Somando os resultados,  $V_{out} = V_{out1} + V_{out2}$  :

$$V_{out} = -\frac{V_{in} (g_{m_{MS}} - g_{m_{MD}}) \cdot R_3 \cdot r_{ds_{M3}}}{R_2} - \frac{g_{m_{MD}} V_{in} R_5}{1 - g_{m_{MD}} \frac{R_1 R_5}{R_4}} \quad \text{eq. 4.27}$$



O ganho  $V_{out}/V_{in}$  do amplificador inversor utilizando TAT é, então

$$A_{v0} = \frac{V_{out}}{V_{in}} = -\left(gm_{MS} - gm_{MD}\right) \frac{R_3 \cdot rds_{M1}}{R_2} - \frac{gm_{MD} R_5}{1 - gm_{MD} \cdot \frac{R_1 R_5}{R_4}}$$

$$= \frac{-(gds_{Ms} + gm_{MD} + gds_{MD}) \cdot (gm_{MD}) + (-gm_{MS} + gm_{MD})(gds_{MD} + gm_{MD})}{(gds_{Ms} + gm_{MD} + gds_{MD}) \cdot (gds_{MD} + gds_{M1}) + gds_{MD}(-gds_{MD} - gm_{MD})}$$

eq. 4.28

Podemos ver que o ganho do amplificador com TATs é dominado por  $gm_{MD}$  e  $gds_{MD}$ , em contraste com o ganho da configuração cascode, que é proporcional a  $gm_{M2}$  e  $1/gds_{M1}$ .

### 4.3.2 Análise em frequência

Para a análise em frequência, é necessária a inclusão dos capacitores parasitas do circuito. Primeiramente, para efeitos de comparação, veremos como se comporta o amplificador inversor cascode. O esquemático do inversor cascode com as capacitâncias parasitas está na figura 4.28, onde:

$$C_1 = C_{gd(M2)} \quad \text{eq. 4.29}$$

$$C_2 = C_{bd(M2)} + C_{bs(M3)} + C_{gs(M3)} \quad \text{eq. 4.30}$$

$$C_3 = C_{bd(M3)} + C_{bd(M1)} + C_{gd(M3)} + C_{gd(M1)} + C_L \quad \text{eq. 4.31}$$

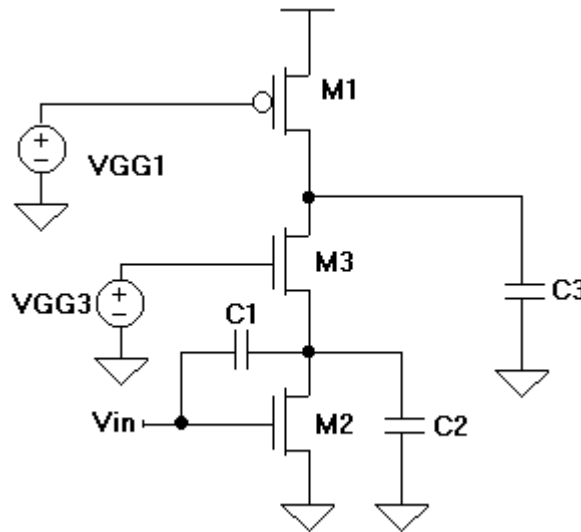


FIGURA 4.28 - Esquemático do amplificador inversor cascode incluindo as capacitâncias parasitas

O primeiro pólo, que é o dominante, pode ser aproximado por [ALL 2002]

$$p_1 \cong -\frac{g_{ds_{M1}}}{C_3} \quad \text{eq. 4.32}$$

O pólo não-dominante é calculado como:

$$p_2 \cong -\frac{g_{m_{M3}}}{C_1 + C_2} \quad \text{eq. 4.33}$$

Existe ainda um zero na resposta em frequência que tem o seguinte valor:

$$z_1 = \frac{g_{m_{M2}}}{C_1} \quad \text{eq. 4.34}$$

A capacitância parasita  $C_3$  é, então, a maior responsável pela degradação da frequência de corte do amplificador inversor cascode.

Analisaremos agora a resposta em frequência do amplificador inversor com TAT, cujo esquemático com os capacitores parasitas está mostrado na fig. 4.29.

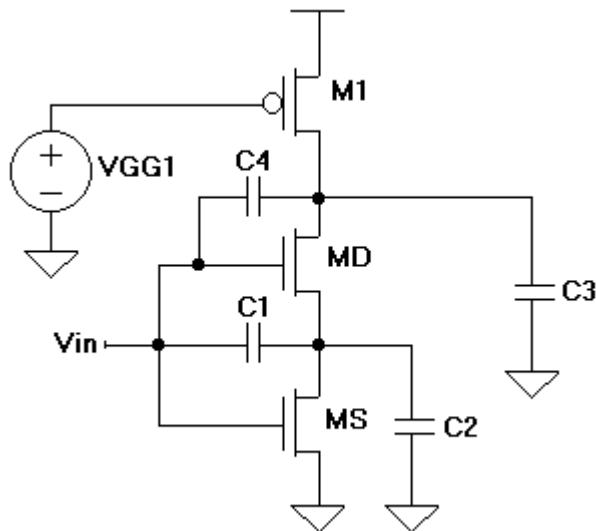


FIGURA 4.29 - Esquemático do amplificador inversor com TAT incluindo as capacitâncias parasitas

O circuito equivalente para pequenos sinais é construído da mesma forma que o circuito utilizado para o cálculo do ganho DC, como pode ser visto na fig. 4.30a. A fig. 4.30b mostra o circuito simplificado.

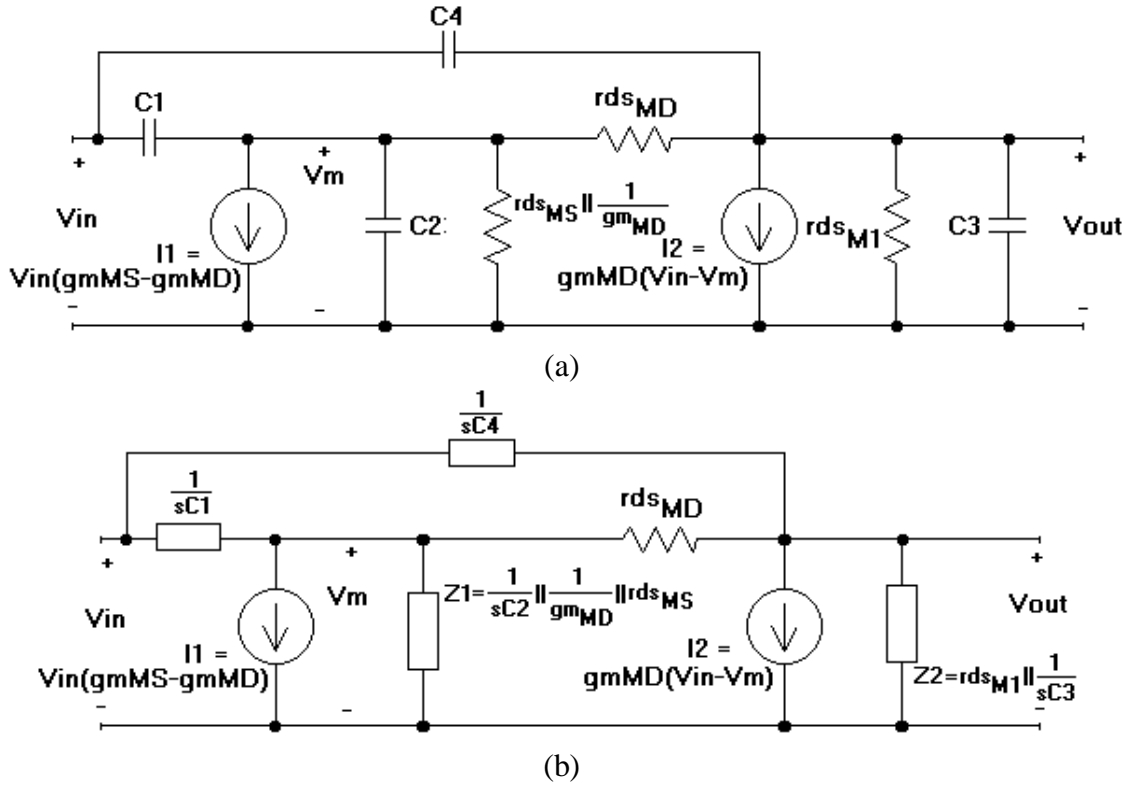


FIGURA 4.30 - Circuito equivalente para pequenos sinais do amplificador inversor com TAT incluindo as capacitâncias parasitas. a) Circuito completo; b) Simplificado.

As capacitâncias parasitas são dadas por:

$$C_1 = C_{gs(MD)} + C_{gd(MS)} \quad \text{eq. 4.35}$$

$$C_2 = C_{bd(MS)} + C_{bs(MD)} \quad \text{eq. 4.36}$$

$$C_3 = C_{bd(MD)} + C_{bd(M1)} + C_{gd(M1)} + C_L \quad \text{eq. 4.37}$$

$$C_4 = C_{gd(MD)} \quad \text{eq. 4.38}$$

Podemos observar o surgimento da capacitância parasita  $C_4$ , localizada entre  $V_{in}$  e  $V_{out}$ . Isto resulta na adição de um zero na resposta em frequência, pois é mais um caminho possível entre a entrada e a saída do circuito. Além disso, a capacitância  $C_3$  tem o seu valor reduzido em relação ao amplificador cascode exatamente por  $C_4$ .

Assumindo que a resistência da fonte de tensão  $V_{in}$  é pequena e ignorando o efeito de corpos, temos

$$V_{in}(sC_1 - g_{mMS} + g_{mMD}) + V_{out}g_{dsMD} = V_m(Y_1 + sC_1 + g_{dsMD}) \quad \text{eq. 4.39}$$

e

$$V_{in}(sC_4 - g_{mMD}) + V_{out}(-sC_4 - g_{dsMD} - Y_2) = V_m(-g_{dsMD} - g_{mMD}) \quad \text{eq. 4.40}$$

Isolando  $V_m$  na eq. 4.39:

$$V_m = \frac{V_{in}(sC_1 - gm_{MS} + gm_{MD}) + V_{out}gds_{MD}}{Y_1 + sC_1 + gds_{MD}} \quad \text{eq. 4.41}$$

Substituindo a eq. 4.41 na eq. 4.40, temos:

$$V_{in}(sC_4 - gm_{MD}) + V_{out}(-sC_4 - gds_{MD} - Y_2) = \frac{[V_{in}(sC_1 - gm_{MS} + gm_{MD}) + V_{out}gds_{MD}][ -gds_{MD} - gm_{MD} ]}{Y_1 + sC_1 + gds_{MD}} \quad \text{eq. 4.42}$$

O ganho  $V_{out}/V_{in}$  pode, então, ser calculado:

$$\frac{V_{out}}{V_{in}} = \frac{(gds_{MS} + gm_{MD} + gds_{MD} + s(C_2 + C_1)) \cdot (sC_4 - gm_{MD}) + (sC_1 - gm_{MS} + gm_{MD})(gds_{MD} + gm_{MD})}{(gds_{MS} + gm_{MD} + gds_{MD} + s(C_2 + C_1)) \cdot (gds_{MD} + gds_{M1} + s(C_4 + C_3)) + gds_{MD}(-gds_{MD} - gm_{MD})} \quad \text{eq. 4.43}$$

A equação acima pode ser reduzida algebricamente para

$$\frac{V_{out}}{V_{in}} = \left( \frac{1}{1 + as + bs^2} \right) \left( \frac{c}{(gds_{MS} + gm_{MD} + gds_{MD})gds_{M1} + gds_{MD}gds_{MS}} \right) \quad \text{eq. 4.44}$$

onde

$$a = \frac{(C_2 + C_1)(gds_{MD} + gds_{M1}) + (C_4 + C_3)(gds_{MS} + gm_{MD} + gds_{MD})}{(gds_{MS} + gm_{MD} + gds_{MD})gds_{M1} + gds_{MD}gds_{MS}} \quad \text{eq. 4.45}$$

$$b = \frac{(C_2 + C_1)(C_4 + C_3)}{(gds_{MS} + gm_{MD} + gds_{MD})gds_{M1} + gds_{MD}gds_{MS}} \quad \text{eq. 4.46}$$

$$c = [(C_2 + C_1)C_4]s^2 + [C_4(gds_{MS} + gm_{MD} + gds_{MD}) - C_2gm_{MD} + C_1gds_{MD}]s + [-gm_{MD}gds_{MS} - gm_{MS}gds_{MD}] \quad \text{eq. 4.47}$$

Observamos que, se  $s=0$ , a eq. 4.44 reduz-se à eq. 4.28, confirmando os cálculos para  $A_{V0}$ . Para o cálculo dos pólos, aplicamos um método baseado na redução de um polinômio de segunda ordem, que pode ser escrito como:

$$P(s) = 1 + as + as^2 = \left( 1 - \frac{s}{P_1} \right) \left( 1 - \frac{s}{P_2} \right) = 1 - s \left( \frac{1}{P_1} + \frac{1}{P_2} \right) + \frac{s^2}{P_1P_2} \quad \text{eq. 4.48}$$

Se assumirmos que  $|p_1| \gg |p_2|$ , então a eq. 4.48 pode ser simplificada para

$$P(s) \cong 1 - \frac{s}{p_1} + \frac{s^2}{p_1 p_2} \quad \text{eq. 4.49}$$

Agora podemos escrever  $p_1$  e  $p_2$  em termos de  $a$  e  $b$ :

$$p_1 = -\frac{1}{a} \quad \text{eq. 4.50}$$

$$p_2 = -\frac{a}{b} \quad \text{eq. 4.51}$$

Esta técnica está baseada no fato de assumirmos que a magnitude da raiz  $p_2$  é muito maior que a magnitude da raiz  $p_1$ . Considerando que os pólos do circuito estão muito distantes um do outro, a eq. 4.49 nos dá o seguinte valor para o pólo dominante:

$$p_1 = -\frac{(gds_{MS} + gm_{MD} + gds_{MD})gds_{M1} + gds_{MD}gds_{MS}}{(C_2 + C_1)(gds_{MD} + gds_{M1}) + (C_4 + C_3)(gds_{MS} + gm_{MD} + gds_{MD})} \quad \text{eq. 4.52}$$

O pólo não-dominante é dado por

$$p_2 = -\frac{(C_2 + C_1)(gds_{MD} + gds_{M1}) + (C_4 + C_3)(gds_{MS} + gm_{MD} + gds_{MD})}{(C_2 + C_1)(C_4 + C_3)} \quad \text{eq. 4.53}$$

Os zeros são as raízes da eq. 4.47. As simulações elétricas mostram que eles estão localizados muito além de  $GBW$ , portanto podem ser desconsiderados nesta análise.

A diferença entre os pólos do circuito com um TAT e os pólos do amplificador cascode está no fato de que as capacitâncias parasitas  $C_1$ ,  $C_2$  e  $C_4$  do circuito com TAT influenciam diretamente no pólo dominante, degradando-o em relação ao amplificador cascode.

### 4.3.3 Equivalência em pequenos sinais

Faremos agora uma análise quantitativa do desempenho do amplificador inversor com transistores simples e suas versões cascode e TAT. O TAT equivalente de M2 ( $W/L = 30\mu\text{m}/1\mu\text{m}$ ) é calculado através do método da aproximação da corrente (capítulo 6), cujo resultado nos dá  $ND=9$  e  $NS=5$  com transistores unitários de  $W/L = 4\mu\text{m}/0,3\mu\text{m}$ . O ganho de tensão do amplificador com este TAT é de apenas 90 V/V, ou seja, muito abaixo dos 150 V/V obtidos com transistores simples. A tabela 4.4 mostra o

ganho e a corrente do amplificador e o  $gm$  e o  $gds$  de cada transistor para variações no NS do TAT equivalente original. Pode-se notar que o ganho de tensão do amplificador aumenta quando NS diminui, porém muito pouco. Praticamente não há variação do ganho com NS. É feita também uma comparação com a versão cascode deste amplificador.

TABELA 4.4 - Variações de NS do TAT equivalente da figura 4.22 ( $W_{un} = 4\mu\text{m}$ ,  $L_{un}=0,3\mu\text{m}$ ) e comparação com o inversor na configuração cascode da figura 4.21 utilizando transistores simples com as mesmas dimensões. (TAT original em negrito)

	TAT 1	TAT 2	TAT 3	TAT 4	TAT 5
<i>Configuração TAT</i>					
<b>ND</b>	9	9	<b>9</b>	9	9
<b>NS</b>	3	4	<b>5</b>	6	7
$A_{v0}$ [V/V]	92	92	<b>90</b>	89	88
$f_{-3dB}$ [MHz]	2,36	2,55	<b>2,98</b>	3,10	3,29
$GBW$ [MHz]	214,0	241,0	<b>259,5</b>	275,8	290,6
$gm$ (MD) [A/V]	$1,49 \times 10^{-3}$	$1,49 \times 10^{-3}$	<b><math>1,48 \times 10^{-3}</math></b>	$1,49 \times 10^{-3}$	$1,48 \times 10^{-3}$
$gm$ (MS) [A/V]	$5,47 \times 10^{-4}$	$6,27 \times 10^{-4}$	<b><math>6,89 \times 10^{-4}</math></b>	$7,24 \times 10^{-5}$	$7,61 \times 10^{-4}$
$gds$ (MD) [A/V]	$2,43 \times 10^{-5}$	$2,16 \times 10^{-5}$	<b><math>2,05 \times 10^{-5}</math></b>	$2,08 \times 10^{-5}$	$2,05 \times 10^{-5}$
$gds$ (MS) [A/V]	$5,18 \times 10^{-4}$	$6,30 \times 10^{-4}$	<b><math>7,34 \times 10^{-4}</math></b>	$8,97 \times 10^{-4}$	$1,02 \times 10^{-3}$
$gds$ (M1) [A/V]	$2,75 \times 10^{-6}$	$3,49 \times 10^{-6}$	<b><math>4,22 \times 10^{-6}</math></b>	$3,86 \times 10^{-6}$	$4,07 \times 10^{-6}$
$I_D$ [ $\mu\text{A}$ ]	89,8	88,2	<b>86,9</b>	87,5	87,1
DC $V_{in}$ [V]	0,79	0,76	<b>0,74</b>	0,73	0,72
<i>Configuração Cascode</i>					
<b>W (M2)</b> [ $\mu\text{m}$ ]	12	16	<b>20</b>	24	28
<b>W (M3)</b> [ $\mu\text{m}$ ]	36	36	<b>36</b>	36	36
<b>L (M2)</b> [ $\mu\text{m}$ ]	0,3	0,3	<b>0,3</b>	0,3	0,3
<b>L (M3)</b> [ $\mu\text{m}$ ]	0,3	0,3	<b>0,3</b>	0,3	0,3
$A_{v0}$ [V/V]	208	255	<b>301</b>	317	362
$f_{-3dB}$ [MHz]	1,17	0,961	<b>1,04</b>	1,04	1,00
$GBW$ [MHz]	411	281	<b>316</b>	344	370
$gm$ (M2) [A/V]	$8,53 \times 10^{-4}$	$1,01 \times 10^{-3}$	<b><math>1,13 \times 10^{-3}</math></b>	$1,23 \times 10^{-3}$	$1,32 \times 10^{-3}$
$gm$ (M3) [A/V]	$1,49 \times 10^{-3}$	$1,50 \times 10^{-3}$	<b><math>1,50 \times 10^{-3}</math></b>	$1,50 \times 10^{-3}$	$1,50 \times 10^{-3}$
$gds$ (M2) [A/V]	$3,54 \times 10^{-5}$	$3,49 \times 10^{-5}$	<b><math>3,47 \times 10^{-5}</math></b>	$3,41 \times 10^{-5}$	$3,49 \times 10^{-5}$
$gds$ (M3) [A/V]	$2,30 \times 10^{-5}$	$2,4 \times 10^{-5}$	<b><math>2,47 \times 10^{-5}</math></b>	$2,42 \times 10^{-5}$	$2,60 \times 10^{-5}$
$gds$ (M1) [A/V]	$3,81 \times 10^{-6}$	$3,31 \times 10^{-6}$	<b><math>3,11 \times 10^{-6}</math></b>	$3,27 \times 10^{-6}$	$2,89 \times 10^{-6}$
$I_D$ [ $\mu\text{A}$ ]	87,6	88,5	<b>89,0</b>	88,6	89,5
DC $V_{in}$	0,75	0,72	<b>0,71</b>	0,69	0,68

A tabela 4.5 mostra agora o efeito da variação de ND do TAT equivalente sobre as características do amplificador. Consegue-se aumentar o ganho incrementando-se ND. O aumento de ND resulta em um aumento de  $gm_{MD}$  e, por consequência, o ganho de tensão, confirmando as previsões teóricas. Deve-se supor, então, que existe um valor de ND que resulta em um ganho do amplificador de 150 V/V, igual ao ganho do circuito com transistores simples.

TABELA 4.5 - Variações de ND do TAT equivalente da fig. 4.22 ( $W_{un} = 4\mu\text{m}$ ,  $L_{un}=0,3\mu\text{m}$ ) e comparação com o inversor na configuração cascode da fig. 4.21 utilizando transistores simples com as mesmas dimensões. (TAT original em negrito)

	TAT 1	TAT 2	TAT 3	TAT 4	TAT 5
<i>Configuração TAT</i>					
ND	7	8	<b>9</b>	10	11
NS	5	5	<b>5</b>	5	5
$A_{v0}$ [V/V]	84	89	<b>90</b>	95	101
$f_{-3dB}$ [MHz]	2,98	2,98	<b>2,98</b>	2,76	2,55
GBW [MHz]	256,5	259,0	<b>259,5</b>	265,5	262,7
$g_m$ (M2) [A/V]	$1,36 \times 10^{-3}$	$1,43 \times 10^{-3}$	<b><math>1,48 \times 10^{-3}</math></b>	$1,54 \times 10^{-3}$	$1,59 \times 10^{-3}$
$g_m$ (M3) [A/V]	$6,33 \times 10^{-4}$	$6,45 \times 10^{-4}$	<b><math>6,89 \times 10^{-4}</math></b>	$7,00 \times 10^{-4}$	$7,10 \times 10^{-4}$
$g_{ds}$ (M2) [A/V]	$1,96 \times 10^{-5}$	$2,16 \times 10^{-5}$	<b><math>2,05 \times 10^{-5}</math></b>	$2,18 \times 10^{-5}$	$2,31 \times 10^{-5}$
$g_{ds}$ (M3) [A/V]	$8,86 \times 10^{-4}$	$8,71 \times 10^{-4}$	<b><math>7,34 \times 10^{-4}</math></b>	$7,21 \times 10^{-4}$	$7,10 \times 10^{-4}$
$g_{ds}$ (M1) [A/V]	$3,75 \times 10^{-6}$	$3,10 \times 10^{-6}$	<b><math>4,22 \times 10^{-6}</math></b>	$3,65 \times 10^{-6}$	$3,25 \times 10^{-6}$
$I_D$ [ $\mu\text{A}$ ]	87,7	89,0	<b>86,9</b>	87,9	88,7
DC $V_{in}$ [V]	0,75	0,75	<b>0,74</b>	0,74	0,74
<i>Configuração Cascode</i>					
W (M2) [ $\mu\text{m}$ ]	20	20	<b>20</b>	20	20
W (M3) [ $\mu\text{m}$ ]	28	32	<b>36</b>	40	44
L (M2) [ $\mu\text{m}$ ]	0,3	0,3	<b>0,3</b>	0,3	0,3
L (M3) [ $\mu\text{m}$ ]	0,3	0,3	<b>0,3</b>	0,3	0,3
$A_{v0}$ [V/V]	283	297	<b>301</b>	302	310
$f_{-3dB}$ [MHz]	1,12	1,04	<b>1,04</b>	1,00	0,96
GBW [MHz]	320	315	<b>316</b>	314	310
$g_m$ (M2) [A/V]	$1,13 \times 10^{-3}$	$1,13 \times 10^{-3}$	<b><math>1,13 \times 10^{-3}</math></b>	$1,13 \times 10^{-3}$	$1,13 \times 10^{-3}$
$g_m$ (M3) [A/V]	$1,37 \times 10^{-3}$	$1,44 \times 10^{-3}$	<b><math>1,50 \times 10^{-3}</math></b>	$1,55 \times 10^{-3}$	$1,60 \times 10^{-3}$
$g_{ds}$ (M2) [A/V]	$3,61 \times 10^{-5}$	$3,53 \times 10^{-5}$	<b><math>3,47 \times 10^{-5}</math></b>	$3,42 \times 10^{-5}$	$3,38 \times 10^{-5}$
$g_{ds}$ (M3) [A/V]	$2,23 \times 10^{-5}$	$2,36 \times 10^{-5}$	<b><math>2,47 \times 10^{-5}</math></b>	$2,58 \times 10^{-5}$	$2,67 \times 10^{-5}$
$g_{ds}$ (M1) [A/V]	$3,29 \times 10^{-6}$	$3,19 \times 10^{-6}$	<b><math>3,11 \times 10^{-6}</math></b>	$3,04 \times 10^{-6}$	$2,98 \times 10^{-6}$
$I_D$ [ $\mu\text{A}$ ]	88,6	88,8	<b>89,0</b>	89,1	89,2
DC $V_{in}$ [V]	0,71	0,71	<b>0,71</b>	0,71	0,71

A fig. 4.31 mostra a simulação spice da variação do ganho do amplificador inversor com TATs em função de ND. O ganho atinge o valor esperado de 150 quando ND é igual a 34. Chegamos, então, a um TAT que substitui o transistor simples M2 sem que o amplificador tenha seu ganho de tensão máximo  $A_{v0}$  degradado. Os resultados de  $g_{ds}$ ,  $g_m$  e  $I_D$  obtidos através de simulação estão na tabela 4.6. Comparando com os resultados da tabela 4.3, a corrente de polarização do amplificador praticamente não mudou, mantendo praticamente inalteradas também as especificações de potência dissipada e *slew-rate*.

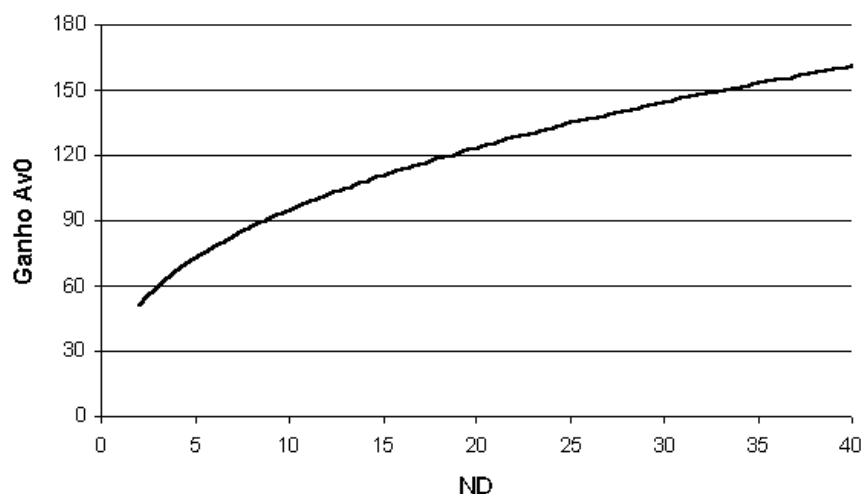


FIGURA 4.31 - Gráfico simulado do ganho do amplificador inversor com TATs da figura 4.22 versus o número de transistores em paralelo (ND) que formam MD. NS foi mantido constante em 5.

TABELA 4.6 - Resultados obtidos via simulação para o amplificador da figura 4.22 composto por um TAT equivalente em pequenos sinais e comparação com o inversor em configuração cascode da figura 4.21 com transistores de mesmas dimensões.

<i>Configuração TAT</i>	
<b>ND</b>	34
<b>NS</b>	5
<b>Ganho <math>A_{v0}</math> [V/V]</b>	150
<b><math>f_{-3dB}</math> [MHz]</b>	1,53
<b>GBW [MHz]</b>	238
<b><math>g_m</math> (MD) [A/V]</b>	$2,00 \times 10^{-3}$
<b><math>g_m</math> (MS) [A/V]</b>	$9,03 \times 10^{-4}$
<b><math>g_{ds}</math> (MD) [A/V]</b>	$2,81 \times 10^{-5}$
<b><math>g_{ds}</math> (MS) [A/V]</b>	$3,20 \times 10^{-4}$
<b><math>g_{ds}</math> (M1) [A/V]</b>	$3,63 \times 10^{-6}$
<b><math>I_D</math> [<math>\mu</math>A]</b>	87,9
<b>DC <math>V_{in}</math> [V]</b>	0,72
<i>Configuração Cascode</i>	
<b>W (M2) [<math>\mu</math>m]</b>	20
<b>W (M3) [<math>\mu</math>m]</b>	136
<b>L (M2) [<math>\mu</math>m]</b>	0,3
<b>L (M3) [<math>\mu</math>m]</b>	0,3
<b>Ganho <math>A_{v0}</math> [V/V]</b>	515
<b><math>f_{-3dB}</math> [MHz]</b>	0,897
<b>GBW [MHz]</b>	260
<b><math>g_m</math> (M2) [A/V]</b>	$1,19 \times 10^{-3}$
<b><math>g_m</math> (M3) [A/V]</b>	$2,00 \times 10^{-3}$
<b><math>g_{ds}</math> (M2) [A/V]</b>	$2,04 \times 10^{-5}$
<b><math>g_{ds}</math> (M3) [A/V]</b>	$4,01 \times 10^{-5}$
<b><math>g_{ds}</math> (M1) [A/V]</b>	$3,17 \times 10^{-6}$
<b><math>I_D</math> [<math>\mu</math>A]</b>	88,8
<b>DC <math>V_{in}</math> (V)</b>	0,70



## 4.4 Conclusão

O principal desafio no projeto de um circuito analógico com TATs está na escolha apropriada do número de transistores em paralelo que formam MD e MS. Este capítulo abordou três diferentes métodos de definição de ND e NS: equivalência em corrente pela aproximação por resistores lineares, equivalência em corrente pela aproximação pelo modelo analítico dos transistores e equivalência em pequenos sinais. O primeiro método utiliza uma formulação simples e proporciona bons resultados quando o TAT é formado por transistores de canal longo. Já o segundo método é mais genérico e inclui a geração de TATs compostos por transistores unitários de canal curto, apesar de não ser tão intuitivo. Estes dois métodos de cálculo do TAT equivalente somente são eficazes quando o TAT fizer parte de um circuito de referência de corrente (espelho de corrente ou fonte de corrente). Quando a função do TAT no circuito é proporcionar ganho de tensão ou algum outro tipo de especificação em pequenos sinais, o terceiro método precisa ser utilizado. O procedimento de equivalência em pequenos sinais, entretanto, não é um processo direto. O posicionamento do TAT no circuito influencia no cálculo de ND e NS, principalmente por causa da modificação ocasionada no circuito equivalente em pequenos sinais original. A automação deste método ainda não está bem definida.

A análise do circuito amplificador inversor com fonte de corrente, no qual o transistor M2 foi substituído por um TAT equivalente, mostra como a escolha adequada de ND e NS de um TAT depende de mais fatores além da simples equivalência em corrente. A substituição simples de M2 por um TAT com o mesmo comportamento DC, ou seja, equivalente em corrente, não foi suficiente para que as especificações iniciais do projeto se mantivessem. O ganho de tensão  $A_{v0}$  diminuiu de 150 V/V no projeto com transistores simples para 90 V/V no projeto com um TAT. O produto ganho-faixa, porém, subiu de 189MHz para 259,5MHz. A solução foi aumentar o valor de ND do TAT de 9 para 34. Assim, apesar de não haver mais equivalência em corrente, o requisito de ganho  $A_{v0}$  foi alcançado e o  $GBW$  ainda manteve-se maior que o original. A equivalência em pequenos sinais foi atingida.

A comparação entre o amplificador com TAT e o amplificador inversor cascode mostrou que há semelhanças entre as duas configurações. Pode-se fazer um paralelo entre o transistor M3 do amplificador cascode e o MD do TAT. Porém, a configuração cascode leva vantagem devido ao fato de que a contribuição dada por M3 no ganho e no  $GBW$  é melhor do que a contribuição dada por MD. No projeto final do amplificador, considerando que M3 possui as mesmas dimensões de MD, o amplificador cascode atingiu um ganho de 515 V/V e um  $GBW$  de 260MHz, superando assim o amplificador com TAT.

## 5 Técnicas de Casamento de Transistores e sua Aplicação sobre a Matriz SOT

Este capítulo traz um resumo das principais técnicas de casamento de transistores e a sua aplicação na associação trapezoidal de transistores sobre a matriz SOT. São discutidas questões ligadas ao projeto elétrico dos circuitos contendo transistores casados e questões relativas ao projeto físico, ou seja, ao leiaute propriamente dito. Inicialmente é feita uma revisão das técnicas de pareamento para transistores simples e, logo após, a transposição dessas mesmas técnicas para os TATs. Vantagens e desvantagens da metodologia de projeto semi-customizado em relação ao casamento de transistores são apresentadas, tendo como base a arquitetura da matriz SOT.

### 5.1 Casamento de transistores MOS

Uma ampla variedade de circuitos analógicos utiliza transistores MOS casados. Alguns circuitos, como pares diferenciais, necessitam do pareamento da tensão *gate-fonte*, enquanto que outros, como espelhos de corrente, necessitam do casamento das correntes de dreno. As condições de polarização requeridas para otimizar o casamento em tensão diferem daquelas requeridas para otimizar o casamento em corrente. Pode-se otimizar os transistores tanto para casamento de tensão como para casamento de corrente, mas não ambos simultaneamente [HAS 2001].

A relação entre polarização e pareamento de tensão é facilmente derivada das equações de Shichman-Hodges [SHI 68]:

$$I_D = k \left( V_{gst} - \frac{V_{DS}}{2} \right) V_{DS} \quad (\text{região linear}) \quad \text{eq. 5.1}$$

$$I_D = \frac{k}{2} V_{gst}^2 \quad (\text{região de saturação}) \quad \text{eq. 5.2}$$

onde  $k$  é o parâmetro de transcondutância do dispositivo. Apesar destas equações não preverem os efeitos de corpo, modulação do canal ou efeitos de canal curto, elas são úteis para esta análise, pois o objeto deste estudo é a relação entre as correntes ou tensões de dois transistores casados, e não o valor exato destas. Podemos utiliza-las, então, como uma forma simples de determinar qualitativamente as causas e os efeitos causadores do descasamento entre transistores MOS.

Suponhamos que dois transistores casados operam com a mesma corrente de dreno  $I_D$ . Se os transistores fossem ideais, então eles deveriam ter a mesma tensão *gate-fonte*  $V_{GS}$ . Na prática, o descasamento gera tensões *gate-fonte* diferentes por uma quantidade  $\Delta V_{GS} = V_{GS1} - V_{GS2}$ . Assumindo que os transistores operam em saturação, como é o geralmente o caso, então o *offset* de tensão  $\Delta V_{GS}$  é igual a

$$\Delta V_{GS} \cong \Delta V_t - V_{gst1} \left( \frac{\Delta k}{2k_2} \right) \quad \text{eq. 5.3}$$

onde  $\Delta V_t$  é igual à diferença entre as tensões de limiar dos dois transistores,  $\Delta k$  é igual à diferença entre as suas transcondutâncias,  $V_{gst1}$  é igual à tensão de gate efetiva do primeiro transistor e  $k_2$  é a transcondutância do segundo transistor. A tensão de *offset*  $\Delta V_{GS}$  depende das dimensões do dispositivo devido à presença da transcondutância  $k_2$  no denominador. Da mesma forma, a tensão de *offset* depende das condições de polarização devido à presença da tensão de gate efetiva  $\Delta V_{gst1}$  na equação. Estas dependências são características próprias dos transistores MOS.

Pode-se minimizar a tensão de offset  $\Delta V_{GS}$  dos transistores MOS através da redução da tensão de gate efetiva  $V_{gst}$  dos transistores casados. Circuitos que dependem do casamento de tensão, portanto, beneficiam-se do uso de grandes relações W/L e baixa corrente de operação ( $gm/I_D$  grande). As melhorias obtidas desta maneira são limitadas pelo início de condução sub-limiar e pela presença de descasamentos da tensão de limiar. Como regra prática, a redução de  $V_{gst}$  abaixo de 0,1V produz poucas melhoras no casamento de tensão [HAS 2001].

Circuitos que necessitam de casamento de corrente comportam-se de maneira diferente. O descasamento entre duas correntes de dreno  $I_{D1}$  e  $I_{D2}$  pode ser especificado em termos da relação  $I_{D2}/I_{D1}$ :

$$\frac{I_{D2}}{I_{D1}} \cong \frac{k_2}{k_1} \left( 1 + \frac{2\Delta V_t}{V_{gst1}} \right) \quad \text{eq. 5.4}$$

O descasamento entre correntes de dreno geralmente aumenta para tensões efetivas de *gate* pequenas devido à grande contribuição do descasamento das tensões de limiar  $\Delta V_t$ . Circuitos com casamento de corrente devem operar a tensões efetivas de *gate* grandes para evitar a intensificação das variações das tensões de limiar. O valor ótimo de  $V_{gst}$  depende de muitos fatores e é difícil de quantificar. Como regra prática, deve-se manter uma tensão nominal de, ao menos, 0,3V (preferivelmente 0,5V) nos transistores que geram correntes casadas. Tensões efetivas de *gate* maiores podem dar algum benefício adicional, porém a maioria das aplicações não suporta altas tensões  $V_{gst}$  [HAS 2001].

Em suma, circuitos que geram tensões casadas devem operar a baixas tensões de *gate* efetivas, enquanto que circuitos que geram correntes casadas devem operar com altas tensões de *gate* efetivas. Para a maioria dos casos, um  $V_{gst}$  nominal de 0,1V ou menos fornecerá um casamento de tensões ótimo, e um  $V_{gst}$  nominal de 0,3V ou mais dará um casamento de correntes ótimo. Assumindo que o projetista ajuste a polarização dos transistores para estes valores, o casamento agora depende quase que somente dos cuidados com o leiaute.

## 5.2 Efeitos geométricos

O tamanho, o formato e a orientação dos transistores MOS afetam o seu casamento. Transistores grandes casam com maior precisão que os pequenos, porque o

aumento da área de *gate* ajuda a minimizar o impacto de flutuações localizadas. Transistores de canal longo casam melhor que os de canal curto porque os canais longos reduzem as variações da largura das linhas e a modulação do comprimento do canal. Transistores orientados na mesma direção casam melhor que aqueles orientados em direções diferentes por causa da natureza anisotrópica do silício monocristalino. A seguir será discutido o impacto dos fatores geométricos no casamento de transistores MOS.

### 5.2.1 Área de *gate*

O descasamento de transistores MOS tem sido medido experimentalmente em um grande número de processos. Estas medidas revelam que a magnitude do descasamento da tensão de limiar varia inversamente com a raiz quadrada da área ativa de *gate*. Esta relação pode ser expressa em termos das dimensões efetivas de canal  $W_{eff}$  e  $L_{eff}$  como

$$s_{V_t} = \frac{C_{V_t}}{\sqrt{W_{eff} L_{eff}}} \quad \text{eq. 5.5}$$

onde  $s_{V_t}$  é o desvio padrão do descasamento da tensão de limiar e  $C_{V_t}$  é uma constante [LAS 86]. O valor de  $C_{V_t}$  é determinado empiricamente através de medidas de descasamento aleatórias entre pares de transistores de diferentes tamanhos. Os resultados somente se aplicam a transistores parecidos aos dispositivos de teste usados para derivar  $C_{V_t}$ . As relações entre dimensões desenhadas e dimensões efetivas nem sempre são conhecidas, e algumas vezes as dimensões desenhadas  $W_d$  e  $L_d$  devem ser substituídas pelas dimensões efetivas  $W_{eff}$  e  $L_{eff}$ . Esta substituição terá pequeno efeito na precisão dos prognósticos quando ambas as dimensões dos transistores forem muitas vezes maiores que as mínimas. Porém, se as dimensões dos transistores forem próximas das mínimas permitidas pela tecnologia de fabricação, então a diferença entre a área de *gate* desenhada e a área efetiva é muito grande [LOV 98]. Por exemplo, a fig. 5.1 mostra a largura e o comprimento de canal efetivos e desenhados para dois dispositivos com a mesma área desenhada, um com  $W/L=8,33\mu\text{m}/0,8\mu\text{m}$  e outro com  $W/L=1,66\mu\text{m}/4\mu\text{m}$ . Ambos os dispositivos têm uma área desenhada de  $6,66\mu\text{m}^2$ . A área hachurada é a área efetiva para o cálculo do descasamento de  $V_t$ . A figura ilustra como a geometria do transistor com  $W/L=8,33\mu\text{m}/0,8\mu\text{m}$  reduz severamente a sua área efetiva para  $A_{eff}=3,1\mu\text{m}^2$ , enquanto que o transistor com  $W/L=1,66\mu\text{m}/4\mu\text{m}$ , com  $A_{eff}=4,98\mu\text{m}^2$ , é afetado muito menos.

Assim, de acordo com a eq. 5.5 para layouts de dispositivos desenhados com a mesma área, aqueles com maior área efetiva terão melhor casamento. Para a mesma área desenhada, à medida que o comprimento de canal ( $L$ ) se torna menor ( $W/L$  grande), a área efetiva é reduzida e o casamento torna-se pior. Do mesmo modo, à medida que  $W$  se torna menor ( $W/L$  pequeno), a área efetiva aumenta e o casamento é melhor.

A eq. 5.5 somente se aplica a transistores que foram cuidadosamente desenhados para assegurar um casamento ótimo. Transistores com casamentos ruins geralmente exibem efeitos que não se comportam como preditos. Uma vez que estes defeitos são eliminados, os descasamentos da tensão de limiar remanescentes geralmente seguem a eq. 5.5 com boa precisão. Estudos teóricos sugerem que o descasamento residual da

tensão de limiar provém de flutuações estatísticas na distribuição dos dopantes do substrato [PEL 89]. Flutuações estatísticas na distribuição das cargas fixas do óxido também podem influenciar, porém em escala reduzida.

Variações aleatórias de pequena intensidade também parecem determinar o descasamento residual de transcondutâncias observado em dispositivos com bom casamento. Se o descasamento de transcondutâncias for descrito como a relação normalizada  $s_k/k$ , então ela varia com as dimensões efetivas  $W_{eff}$  e  $L_{eff}$ , como segue:

$$\frac{s_k}{k} = \frac{C_k}{\sqrt{W_{eff} L_{eff}}} \quad \text{eq. 5.6}$$

onde  $C_k$  é uma constante. Possíveis causas para estas variações na transcondutância incluem variações na largura das linhas, rugosidade do óxido de *gate* e variações estatísticas na mobilidade. A importância relativa destas causas não é conhecida, apesar de muitos autores sugerirem que as variações na mobilidade predominam.

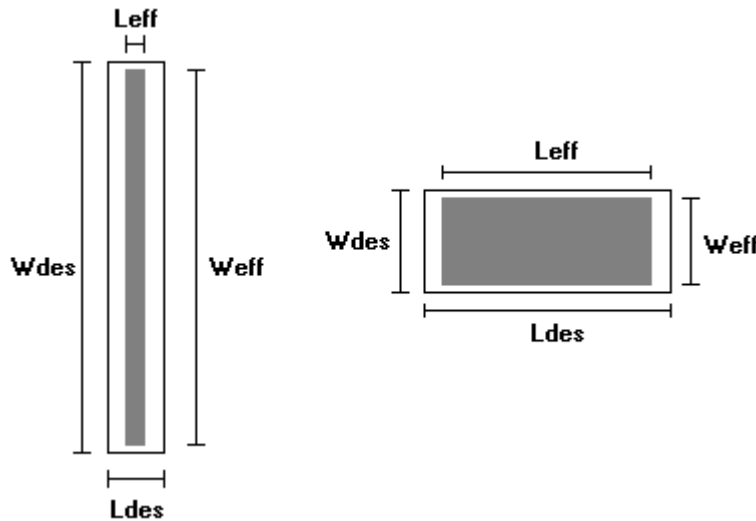


FIGURA 5.1- Larguras e comprimentos efetivos e desenhados para  $W/L=8,33\mu\text{m}/0,8\mu\text{m}$  e  $W/L=1,66\mu\text{m}/4\mu\text{m}$ . A área de ambos os dispositivos é de  $6,66\mu\text{m}^2$ . A área efetiva está hachurada. O transistor de canal curto tem uma área efetiva muito menor que o dispositivo de canal estreito.

### 5.2.2 Espessura do óxido de *gate*

Muitos projetistas acreditam que transistores com óxido de *gate* fino casam melhor que os transistores com óxido de *gate* mais espesso. À primeira vista, a evidência parece suportar esta hipótese, porém outros fatores além da espessura do óxido também influenciam. Os transistores de óxido fino para baixas tensões geralmente sofrem alguma forma de escalamento constante, que afeta não só a espessura do óxido de *gate* como também a dopagem do substrato. Se, como as pesquisas parecem indicar, a dopagem do substrato é a causa dominante do descasamento da tensão de limiar, então o escalamento deveria diminuir o descasamento por um fator  $S$ . O escalamento constante também diminui a espessura do óxido por um fator  $S$ . Esta coincidência parece assemelhar-se com a relação empírica observada entre as espessuras de óxido e o descasamento da tensão de limiar. Sem levar em consideração a causa exata, o

escalamento dos transistores para dimensões menores parece melhorar o casamento da tensão de limiar. Este efeito não se estende ao casamento de transcondutâncias, que parece continuar o mesmo, independente do escalamento.

### 5.2.3 Modulação do comprimento de canal

A modulação do comprimento de canal pode causar descasamentos severos entre transistores de canal curto operando em tensões dreno-fonte diferentes. O descasamento sistemático entre os transistores é proporcional à diferença entre suas tensões dreno-fonte, e inversamente proporcional aos seus comprimentos de canal. Comprimentos de canal desenhados de  $15\mu\text{m}$  a  $25\mu\text{m}$  são geralmente adequados para aplicações não-críticas. Maiores precisões podem ser obtidas através da operação dos transistores casados em tensões dreno-fonte similares, por exemplo, através da adição de cascodes. Projetistas raramente usam degeneração de fonte para combater a modulação do comprimento de canal porque a baixa transcondutância dos transistores MOS torna difícil a obtenção de degenerações adequadas sem o uso de resistores extremamente grandes.

### 5.2.4 Orientação

As transcondutâncias dos transistores MOS dependem da mobilidade dos portadores, e estes, por sua vez, exibem sensibilidade à tensão mecânica dependente da orientação. Transistores orientados ao longo de eixos diferentes do cristal exibirão diferentes transcondutâncias sob tensão mecânica. Como todos os dispositivos que estão dentro de um mesmo encapsulamento experimentam a mesma tensão mecânica, estes descasamentos somente podem ser evitados através da orientação dos transistores casados na mesma direção. Variações da mobilidade causadas pela tensão mecânica podem induzir grandes descasamentos de corrente entre dispositivos rotacionados [CHU 91].

A edição do leiaute pode facilmente introduzir erros de orientação se o projeto não foi particionado adequadamente. Considere um circuito que contém dois transistores casados: M1, localizado na célula X1, e M2, localizado na célula X2. Durante a edição do leiaute em alto nível, o projetista decide rotacionar a célula X1 em  $90^\circ$ . Apesar desta operação parecer inócua, ela realmente introduz uma diferença de  $90^\circ$  entre as orientações de M1 e M2. Erros deste tipo podem ser prevenidos pelo agrupamento de dispositivos casados em uma mesma célula. Isto pode tornar o esquemático mais difícil de ser compreendido, porém reduz o risco da introdução inadvertida de erros de casamento durante a edição do leiaute.

## 5.3 Efeitos de difusão e corrosão

As seções anteriores examinaram as fontes de descasamento que dependem somente da geometria. Outros tipos de descasamento são causados pela presença ou ausência de outras estruturas perto dos transistores casados. Por exemplo, a presença de regiões de polisilício perto dos eletrodos de *gate* pode causar pequenas variações na taxa de *etching* do polisilício. Estas variações produzem descasamentos nos comprimentos e larguras efetivos dos transistores casados. Similarmente, o

posicionamento de outras difusões perto do canal pode influenciar a concentração de dopantes no substrato e, então, causar variações na tensão de limiar e na transcondutância.

### 5.3.1 Variações na taxa de corrosão do polisilício

O polisilício nem sempre é corroído uniformemente. Grandes aberturas de poli limpam mais rapidamente que as pequenas, porque os íons de corrosão têm livre acesso aos lados e abaixo da região de grande abertura. As laterais das grandes aberturas, então, exibem alguns graus de corrosão a mais, devido ao tempo adicional que as aberturas pequenas necessitam para limpar. Este efeito pode causar variações nos comprimentos dos *gates* dos transistores. Considere o leiaute da fig. 5.2a. O *gate* do transistor M2 possui *gates* adjacentes em ambos os lados, mas os *gates* dos transistores M1 e M3 somente possuem *gates* adjacentes em um lado. O lado externo dos *gates* de M1 e M3 experimentam mais erosão que os correspondentes lados do *gate* de M2. Portanto, os comprimentos dos *gates* de M1 e M3 serão um pouco menores que o comprimento do *gate* de M2.

Transistores que devem alcançar casamento de corrente moderado ou preciso devem usar *dummy gates* para assegurar corrosão uniforme. Se isso não acontecer, descasamentos de corrente de 1% ou mais podem ocorrer. A fig. 5.2b mostra um exemplo de uma matriz de transistores incorporando *dummies*. A maioria dos projetistas constrói os *dummy gates* com a mesma largura dos transistores ativos, porém esta precaução não é estritamente necessária porque a largura das tiras de poli é muito menos significativa que o seu espaçamento. Os *dummies* D1 e D2 são, então, feitos tão estreitos quanto possível para permitir espaço para um contato. O espaçamento entre os *dummies* e os *gates* ativos deve ser exatamente igual ao espaçamento entre os próprios *gates* ativos.

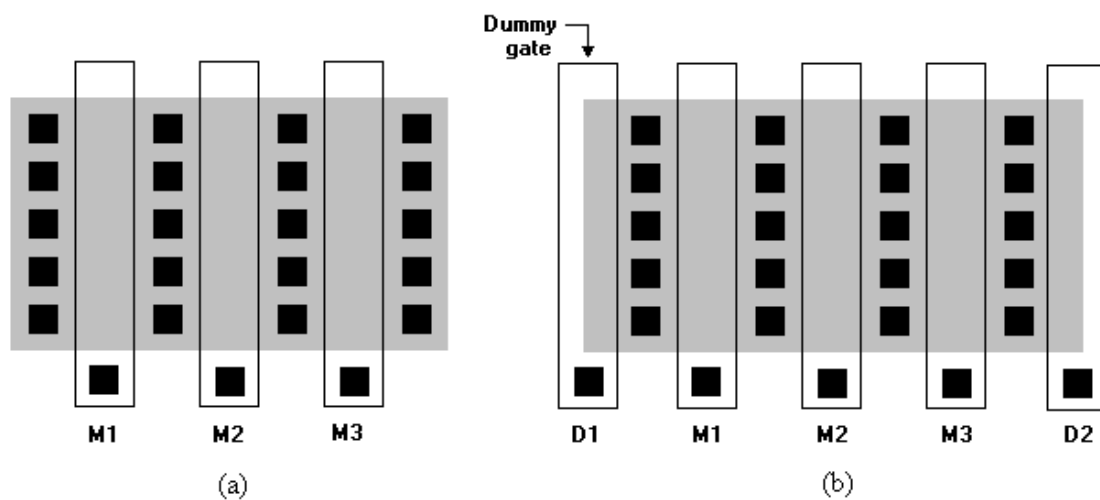


FIGURA 5.2 - Arranjos de transistores MOS. a) sem *dummy gates*; b) com *dummy gates*

Já que os *dummies* não são transistores reais, eles não requerem a presença de regiões de dreno e fonte ao longo de seus limites externos. O implante de fonte e dreno pode então terminar sob os *dummies*, como mostra a fig. 5.2b. Isto não deve introduzir descasamentos significativos, conquanto a geometria da difusão se estenda além da

lateral interna dos *dummies* por alguns microns, para assegurar que a lateral do *dummy* descanse sobre óxido de *gate* fino.

Os eletrodos dos *dummies* devem ser conectados eletricamente para prevenir a sua flutuação em potenciais desconhecidos. Apesar desta precaução não ser estritamente necessária, isto ajuda a assegurar que as características elétricas dos transistores não são afetadas pela formação de canais espúrios ou regiões de depleção abaixo dos *dummies*. Alguns projetistas conectam os *dummies* a eletrodos de *gates* adjacentes, mas esta prática não é recomendada porque aumenta as capacitâncias parasitas do terminal e as correntes de fuga. Uma prática melhor consiste na conexão dos *dummies* ao potencial do substrato.

Muitos projetistas interconectam múltiplos *gates* com uma linha de polisilício. Apesar disto ser inegavelmente conveniente, pode introduzir variações na taxa de corrosão devido à presença de uma geometria de polisilício adjacente. Para um casamento melhor possível, deve-se utilizar linhas simples de polisilício interconectadas com metal.

### 5.3.2 Contatos sobre área de *gate* ativa

Por razões ainda não bem entendidas, o posicionamento de contatos sobre as regiões de *gate* ativos de transistores MOS algumas vezes induzem descasamentos significantes da tensão de limiar. Uma possível explicação para este efeito é a presença de metal sobre o *gate* ativo. Outro mecanismo em potencial para o descasamento causado por contatos sobre *gates* envolve a silicidação localizada dos contatos. Em processos onde o poli de *gate* é suficientemente fino, alguns silicídios podem penetrar inteiramente através do polisilício. A presença de silicídios na interface do óxido altera drasticamente o funcionamento do eletrodo de *gate* nas vizinhanças do contato e pode causar grandes descasamentos de tensão de limiar. Variações no tamanho dos grãos, distribuição dos dopantes e tensão mecânica podem também ajudar na geração de descasamentos induzidos por contatos. A figura 5.2 ilustra o posicionamento correto dos contatos de *gate* nas extensões de polisilício. Esta precaução assegura que os contatos residam sobre óxido de campo, onde eles não podem alterar significativamente as propriedades dos transistores.

### 5.3.3 Difusões perto do canal

Difusões profundas podem afetar o casamento dos transistores próximos. Os “rabos” destas difusões se estendem a uma distância considerável além das suas junções e os dopantes em excesso que eles introduzem podem variar as tensões de limiar e alterar a transcondutância dos transistores localizados em regiões próximas. Poços também são difusões profundas. Geometrias de poço N não devem ser colocadas perto de transistores NMOS casados para prevenir que o “rabo” da distribuição dos dopantes do poço N intercepte os canais dos transistores casados. Transistores PMOS devem ser posicionados longe das bordas das regiões de poço N nas quais estão inseridos. Em todos os casos, um espaçamento das regiões de *gate* ativos igual ou maior a duas vezes a profundidade da junção devem limitar as interações para níveis negligenciáveis.



### 5.3.4 Contatos sobre difusão

Os contatos que ligam as regiões de difusão de dreno/fonte às linhas de metal, de modo a conectar os terminais dos transistores, podem afetar no casamento dos transistores. A resistência dos contatos pode variar muito de um contato para outro (por um fator de 5 ou mais em alguns processos [TSI 95]). Neste caso, o único caminho para manter o casamento baixo é assegurar que a resistência de cada contato seja muito menor que a resistência da região de difusão. Se este não for o caso, deve-se utilizar o maior número de contatos possíveis em cada nó, de modo a manter a resistência efetiva dos contatos baixa e, por conseguinte, minimizar a sua variação absoluta. A regra prática é, portanto, preencher a região de difusão com tantos contatos quantos couber. O mesmo vale para as vias.

### 5.3.5 PMOS versus NMOS

Transistores do tipo NMOS geralmente casam com maior precisão do que os transistores do tipo PMOS. Este fenômeno tem sido observado em diferentes processos, incluindo variantes de poços N e P. Alguns autores afirmam que os transistores PMOS exibem de 30 a 50% mais casamento de transcondutância do que os transistores NMOS [LAS 86][PEL 89]. Alguns estudos também detectaram um aumento no casamento das tensões de limiar em transistores PMOS, apesar deste não parecer tão significativo quando as diferenças no casamento de transcondutância.

Os mecanismos responsáveis pelas diferenças entre PMOS e NMOS ainda não são bem entendidos. Possíveis causas incluem o aumento na variabilidade dos dopantes do substrato, a presença de canais enterrados e os efeitos de tensão mecânica dependentes da orientação. Alguns autores sugerem que o aumento na variabilidade é resultado (ao menos em parte) das diferenças nos implantes para ajuste de *threshold*, porém isto parece uma explicação não razoável, já que muitos processos diferentes se comportam da mesma forma.

## 5.4 Efeitos térmicos e mecânicos

Outra importante categoria de casamento resulta das variações em larga escala chamadas gradientes. A magnitude dos casamentos induzidos pelos gradientes depende da separação entre os centros efetivos, ou centróides, dos dispositivos casados. Considerando que os dispositivos estão posicionados relativamente próximos uns dos outros, a variação  $\Delta P$  no parâmetro  $P$  entre dois dispositivos casados é igual ao produto da distância  $d$  entre os centróides e o gradiente  $\nabla P$  ao longo da linha que conecta os dois centróides:

$$\Delta P \cong d \nabla P \quad \text{eq. 5.7}$$

O impacto do gradiente no casamento depende tanto da magnitude do gradiente quanto da distância entre os centróides dos dispositivos casados. O casamento de transistores MOS é afetado pelos gradientes da espessura do óxido, tensão mecânica e temperatura.

### 5.4.1 Gradientes de espessura do óxido

A espessura de um filme de óxido depende da temperatura e da composição da atmosfera oxidante usada para cresce-lo. Apesar de os fornos modernos serem controlados com muita precisão, pequenas variações da temperatura e da composição da atmosfera ainda ocorrem dentro do tubo de cozimento. Camadas de óxido grosso geralmente exibem um padrão de anéis concêntricos coloridos que denunciam a presença de um gradiente radial na espessura do óxido. Óxidos de *gate* são muito finos para exibirem interferência de cores, mas também tendem a exibir gradientes radiais de espessura do óxido. Dispositivos localizados muito próximos uns dos outros possuem uma espessura de óxido muito similar, enquanto que dispositivos distantes podem apresentar grandes diferenças na espessura do óxido. Estas diferenças afetam diretamente o casamento da tensão de limiar.

### 5.4.2 Gradientes de tensão mecânica

A tensão mecânica afeta a transcondutância dos transistores MOS por causa da variação na mobilidade dos portadores. Os efeitos da tensão mecânica na mobilidade dependem da orientação. Em substratos de silício, os buracos experimentam máxima dependência da tensão mecânica ao longo do eixo  $\langle 110 \rangle$  e mínima dependência ao longo do eixo  $\langle 100 \rangle$ . Da mesma forma, os elétrons experimentam máxima dependência da tensão mecânica ao longo do eixo  $\langle 100 \rangle$  e mínima ao longo do eixo  $\langle 110 \rangle$ . Os chips são orientados à superfície mais plana da lâmina, perpendicular ao eixo  $\langle 110 \rangle$ . Assim, os elétrons experimentam mínima variação na mobilidade induzida pela tensão mecânica nas direções alinhadas aos eixos X e Y, enquanto que os buracos experimentam a mínima variação nas direções orientadas a  $45^\circ$  destes eixos.

A dependência da mobilidade à tensão mecânica no substrato cai a praticamente zero ao longo de orientações favorecidas, porém o mesmo não é verdade para a mobilidade efetiva dos portadores confinados no canal. A dependência da mobilidade efetiva à tensão mecânica diminui ao longo das direções previstas pela teoria, porém em escala muito menor que a prevista para o caso da mobilidade no substrato. O posicionamento diagonal de um transistor PMOS pode reduzir a dependência da sua transcondutância à tensão mecânica em somente 50%, ao invés dos 90% ou mais que seria esperado baseado nos dados da mobilidade no substrato. Os efeitos aleatórios das colisões dos portadores com a interface óxido/silício provavelmente conta para a dependência reduzida em relação à orientação das mobilidades efetivas, porém nem todos os pesquisadores concordam com os detalhes deste mecanismo. Dadas estas incertezas, parece haver poucas razões para a orientação diagonal de transistores PMOS. Deve-se preferir o projeto com leiautes em centróide comum para minimizar a sensibilidade à tensão mecânica.

A tensão mecânica tem relativamente pouco efeito sobre o casamento de tensão porque as tensões de limiar dos transistores MOS são praticamente independentes à sua variação. A pequena dependência que existe é causada provavelmente pelas variações na tensão de *bandgap* do silício causadas pela tensão mecânica. A tensão de limiar geralmente não exhibe mais de alguns poucos milivolts de variação induzida pela tensão mecânica, a qual pode ser reduzida ainda mais com o uso de técnicas de leiaute em centróide comum.

### 5.4.3 Tensão mecânica induzida pela metalização

O roteamento de linhas de metal sobre regiões de *gate* ativo de transistores MOS produz descasamento induzido pela tensão mecânica em quantidades significativas [TUI 96]. A metalização pode causar grandes descasamentos se os *wafers* não forem resfriados em uma atmosfera reduzida, já que a deposição de metal sobre o óxido de *gate* parece introduzir cargas de superfície neste óxido.

Idealmente, as linhas de metal nunca devem ser roteadas sobre as regiões de *gate* ativos de transistores casados. Se estas linhas precisarem cruzar os transistores, então considere a adição de linhas *dummies* de modo que cada transistor seja cruzado por um segmento idêntico de metalização na mesma posição ao longo do canal. Esta precaução minimizará o impacto da metalização no casamento, mas não o eliminará completamente. Assim, para a melhor precisão deve-se evitar completamente linhas de roteamento sobre regiões de *gate* ativas.

### 5.4.4 Gradientes térmicos

O casamento de tensões em transistores MOS depende primeiramente do casamento das tensões de limiar. As tensões de limiar diminuem com a temperatura em aproximadamente  $-2\text{mV}/^\circ\text{C}$ . A maioria dos coeficientes de temperatura são resultados de variações na função trabalho dos materiais de *gate* e substrato em relação à temperatura, e isto é virtualmente independente da corrente de dreno [KLA 86].

A tensão de *offset* de entrada dos transistores MOS é ajustada através da adequação das densidades de corrente. Esta operação tem como objetivo cancelar o descasamento das tensões de limiar pela introdução de um *offset* de compensação na transcondutância. O coeficiente de temperatura da tensão de limiar é causado por mecanismos diferentes que o coeficiente de temperatura da transcondutância. Portanto, os dois não são iguais, e a operação de ajuste não reduz o coeficiente de temperatura a zero.

O casamento de corrente dos transistores MOS depende primeiramente do casamento das transcondutâncias. Estas transcondutâncias são diretamente proporcionais às mobilidades efetivas dos portadores, as quais exibem grandes coeficientes de temperatura. A temperaturas perto de  $25^\circ\text{C}$ , a transcondutância de um MOS tipicamente exhibe coeficientes de temperatura de aproximadamente  $+7000\text{ppm}/^\circ\text{C}$ . Variações da temperatura na tensão de limiar têm pouco efeito no casamento de corrente, já que os transistores operam a uma tensão efetiva de *gate*  $V_{gst}$  relativamente alta.

## 5.5 Leiaute em centróide comum de transistores MOS

Descasamentos induzidos por gradientes podem ser minimizados pela redução da distância entre os centróides dos dispositivos casados. Alguns tipos de leiaute podem realmente reduzir a distância dos centróides a zero. Estes leiautes em “centróide comum” podem reduzir completamente os efeitos de variações em larga escala se estas forem funções lineares da distância. Mesmo se as variações contiverem componentes não-lineares, elas ainda são aproximadamente lineares para pequenas distâncias. Quanto mais compacto o leiaute em centróide comum, menos suscetível ele estará para os

gradientes não-lineares. Os melhores leiautes para transistores MOS combinam alinhamento exato dos centróides com compactação.

As regiões de *gate* ativas de um transistor geralmente têm a forma de um retângulo longo e estreito. Os transistores são geralmente divididos em segmentos para permitir a construção de um arranjo compacto. Os tipos mais simples de arranjos envolvem o posicionamento de múltiplos segmentos em paralelo. Se estes segmentos forem interdigitados corretamente, então os centróides dos dispositivos casados estarão alinhados em um ponto no meio do eixo de simetria do arranjo. A figura 5.3 mostra um exemplo de um par de transistores casados esboçados como um arranjo interdigitado. Este leiaute usa o padrão de interdigitação ABBA para assegurar um exato alinhamento dos centróides. Se os segmentos de fonte e dreno forem denotados por subscritos, então o padrão se torna  $D_A S_B D_B S_A D$ . Note que o segmento de A à direita tem seu dreno na direita, enquanto que o segmento de A à esquerda tem o seu dreno na esquerda. Da mesma forma, o segmento de B da direita tem sua fonte à direita, enquanto que o segmento de B da esquerda tem sua fonte à esquerda. Cada transistor, portanto, contém um segmento orientado em cada direção. A razão para esta precaução é um tanto sutil. Suponha que um transistor consista somente de segmentos com drenos à esquerda, enquanto que um segundo transistor tenha todos os seus segmentos com drenos à direita. Se os segmentos diferirem de alguma maneira, então os dois transistores não estarão casados. Se ambos os transistores consistirem completamente de segmentos orientados na mesma direção, então o efeito da orientação em cada transistor será o mesmo. Se cada transistor for composto por um número igual de segmentos orientados à esquerda e à direita, então os efeitos da orientação se cancelarão e os transistores se casarão.

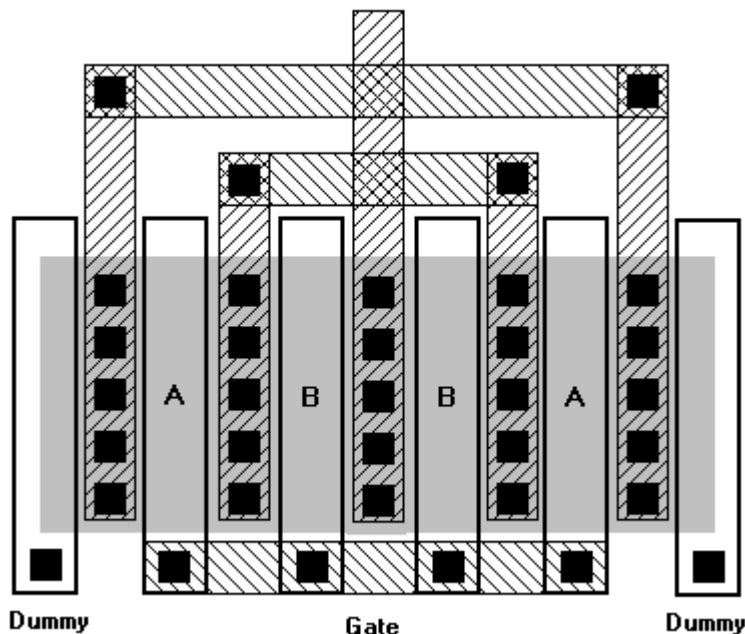


FIGURA 5.3 - Arranjo de transistores interdigitados

De uma forma mais geral, se definirmos a “quiralidade” de um transistor como a fração de segmentos orientados à direita que ele contém menos a fração de segmentos orientados à esquerda, então os transistores que possuem quiralidades iguais não experimentarão descasamentos dependentes da orientação. Por exemplo, um transistor tendo três segmentos orientados à direita a um orientado à esquerda tem uma

quiralidade de  $3/4 - 1/4 = 1/2$ . Da mesma maneira, um transistor tendo nove segmentos orientados à direita e três orientados à esquerda tem uma quiralidade de  $9/12 - 3/12 = 1/2$ . Como estes transistores têm quiralidades iguais, eles não exibem nenhum descasamento dependente da orientação. A maioria dos projetistas prefere usar arranjos com quiralidade zero, ou seja, transistores que consistem de números iguais de segmentos orientados à direita e à esquerda.

Descasamentos dependentes da orientação podem se desenvolver em transistores MOS devido ao deslocamento diagonal nos implantes de fonte e dreno. Tais deslocamentos diagonais ocorrem quando a implantação de íons é realizada em um ângulo para prevenir o tunelamento [GIB 68]. Tais implantes inclinados causam diferenças nas regiões de fonte/dreno do lado esquerdo dos *gates* em relação ao lado direito (figura 5.4). Se os dispositivos casados forem arranjados em um padrão  $D_A S_B D$ , então o dreno do dispositivo do lado esquerdo difere do dreno do dispositivo do lado direito. Igualmente, a fonte do dispositivo do lado esquerdo difere da fonte do dispositivo do lado direito. Implantes inclinados têm pouco efeito sobre o casamento de transistores que operam na região linear, porém dispositivos em saturação às vezes experimentam pequenas diferenças de transcondutância. Estes descasamentos tornam-se piores quando a queda de tensão ao longo do dispositivo se aproxima do máximo, porque implantes inclinados têm um impacto forte na geração de portadores [BAK 88]. Estas dependências da orientação se cancelam quando os transistores possuem quiralidades iguais.

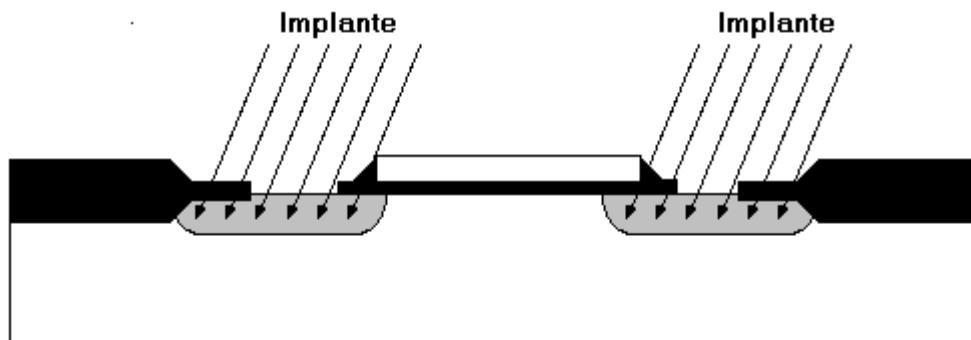


FIGURA 5.4 - Deslocamentos laterais das regiões de dreno e fonte de um transistor devido ao implante inclinado. Note a diferença das sobreposições do *gate* sobre as regiões de dreno e fonte. As dimensões estão exageradas para efeitos de clareza.

Os padrões de interdigitação para arranjos de transistores com centróide comum são geralmente difíceis de se construir, porque não é fácil satisfazer todas as regras de layout em centróide comum. O conjunto completo de regras para dispositivos MOS é o seguinte [HAS 2001]:

- **Coincidência:** os centróides dos dispositivos casados devem, ao menos, coincidir aproximadamente. Idealmente, os centróides devem coincidir exatamente.
- **Simetria:** o arranjo deve ser simétrico em torno dos eixos X e Y. Idealmente, esta simetria deve vir do posicionamento dos segmentos no arranjo e não da simetria dos próprios segmentos individuais.

- Dispersão: o arranjo deve exibir o mais alto grau de dispersão possível, ou seja, os segmentos de cada dispositivo devem ser distribuídos no arranjo o mais uniformemente possível.
- Compactação: o arranjo deve ser tão compacto quanto possível. Idealmente, deve se aproximar do formato de um quadrado.
- Orientação: cada dispositivo casado deve consistir de um número igual de segmentos orientados na mesma direção. De forma mais geral, os dispositivos devem possuir quiralidades iguais.

A tabela 5.1 mostra alguns padrões simples de interdigitação usados para transistores MOS. Segmentos de fonte e dreno são denotados por subscritos e seqüências de segmentos que podem ser repetidas estão entre parênteses. Quando um padrão inclui mais de uma seqüência repetida, cada porção da seqüência entre parênteses deve ser replicado o número de vezes. Certos padrões contêm locais onde os segmentos de fonte/dreno não podem se fundir uns com os outros. Estes são indicados por traços. Todos os padrões da tabela obedecem às regras da coincidência, simetria e orientação, porém muitos deles não são tão dispersos ou compactos quanto possível. Por exemplo, considere os padrões de 1 a 4. No padrão 1 falta dispersão, pois ele contém longas seqüências de segmentos pertencentes a um mesmo dispositivo. O padrão 2 contém quebras de difusão, o que o torna menos compacto que os outros. Os padrões 3 e 4 exibem dispersão considerável, pois os seus segmentos aparecem em pares na maioria das partes do arranjo. Entretanto, o centro do padrão 4 contém uma série de quatro segmentos pertencentes ao mesmo dispositivo. O centro do padrão 3 contém uma série de somente dois segmentos, por isso proporciona um melhor dispersão que o padrão 4. Em suma, o padrão 3 deve exibir maior precisão no casamento que os padrões 1, 2 e 4. O dispositivo da figura 5.3 usa o padrão 3.

TABELA 5.1 - Exemplos de padrões de interdigitação para arranjos de transistores

1	$(sA_D A)(sB_D B_s B_D B)(sA_D)_s$
2	$(_D A_s B_{D-D} B_s A_D) - (_D A_s B_{D-D} B_s A_D)$
3	$(_D A_s B_D B_s A)_D$
4	$(sA_D A_s B_D B)_s (B_D B_s A_D A_s)$
5	$(sA_D A_s B_D B_s A_D A)_s$
6	$(sA_D A_s B_{D-s} A_D A_{s-D} B_s A_D A)_s$
7	$(sA_D A_s B_D B_s C_D C)_s (C_D C_s B_D B_s A_D A_s)$

Transistores interdigitados não proporcionam o melhor cancelamento possível dos gradientes, pois eles dependem da simetria dos segmentos individuais do dispositivo para determinar um dos seus dois eixos de simetria. Um arranjo bi-dimensional em centróide comum proporciona um alto grau de simetria, pois ambos os eixos de simetria vêm do leiaute do arranjo, ao invés dos segmentos que o formam. Arranjos bi-dimensionais com centróide comum são particularmente úteis para o casamento de pares de transistores de tamanhos iguais, como pares diferenciais. Leiautes deste tipo são chamados “pares cruzados”. Como em outros leiautes com centróide comum, cuidados devem ser tomados para assegurar que as dependências da orientação se cancelem.

A figura 5.5 mostra a forma mais simples de par cruzado. Este leiaute segue o padrão de interdigitação  $_D A_s B_D / _D B_s A_D$ , onde a barra (/) separa os segmentos que ocupam os quadrantes superiores daqueles que ocupam os quadrantes inferiores. Isto

não só produz um leiaute compacto como também satisfaz a regra da orientação, pois os dois segmentos pertencentes a cada dispositivo estão orientados em direções opostas. Este leiaute é especialmente bom para pares de transistores relativamente pequenos.

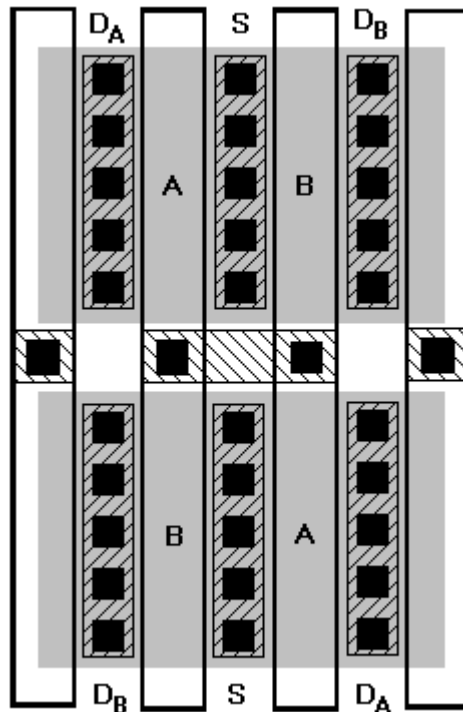


FIGURA 5.5 - Arranjo de transistores em par cruzado

Grandes pares cruzados são mais difíceis de se construir. A maioria dos projetistas simplesmente divide cada transistor em duas metades iguais e as posiciona em cantos diametralmente opostos do arranjo. Um leiaute deste tipo pode ser representado pelo padrão XY/YX, onde X e Y são os sub-arranjos compostos inteiramente por segmentos dos transistores A e B, respectivamente. Uma implementação típica de tal arranjo é  $({}_S A_D A)_S (B_D B)_S / ({}_S B_D B)_S (A_D A)_S$ . Apesar deste padrão satisfazer as regras de interdigitação, ele não proporciona uma ótima dispersão. À medida que o arranjo cresce em tamanho, a carência de dispersão o torna cada vez mais susceptível a descasamentos causados por componentes não-lineares de variação. Um padrão melhor para grandes pares cruzados é  $({}_D A_S B_D B_S A)_D / (B_S A_D A_S B)_D$ . Se o arranjo for ainda maior, então dispersão adicional pode ser introduzida pela elaboração do arranjo em dimensões verticais, como no exemplo seguinte:

$$\begin{array}{c} {}_D A_S B_D B_S A_D \\ {}_D B_S A_D A_S B_D \\ {}_D A_S B_D B_S A_D \\ {}_D B_S A_D A_S B_D \end{array}$$

A principal desvantagem dos padrões mais elaborados deste tipo está na dificuldade de se conectar os vários segmentos para formarem o dispositivo completo. Isto se torna particularmente difícil em casos onde os *gates* dos dois dispositivos casados não se ligam. Os padrões mais simples - e, por sua vez, mais fáceis de se conectar - geralmente servem para todas as aplicações, exceto para as que exigem maior precisão.

## 5.6 Regras para o casamento de transistores MOS

Esta seção sumariza as informações dadas anteriormente na forma de um conjunto de regras qualitativas. Estas regras permitem que os projetistas construam transistores casados mesmo se não existirem dados quantitativos para o processo em questão. As regras usam os termos “mínimo”, “moderado” e “preciso” para denotar os graus de precisão dos casamentos, que podem ser interpretadas como [HAS 2001]:

- Casamento mínimo: Descasamentos típicos de corrente de dreno na faixa de mais de 1%. Casamento mínimo é geralmente usado na construção de redes de polarização de corrente que não necessitam nenhum grau particular de precisão. Este nível de casamento corresponde a *offsets* típicos de  $\pm 10\text{mV}$  e, portanto, é inadequado para aplicações com casamento de tensão.
- Casamento moderado: Tensões de *offset* típicas na faixa  $\pm 5\text{mV}$  ou descasamentos de corrente de menos de 1%. Útil para a construção de estágios de entrada de amplificadores operacionais e comparadores não-críticos, onde *offsets* não ajustados de  $\pm 10\text{mV}$  são aceitáveis.
- Casamento preciso: Tensões de *offset* típicas na faixa de menos de  $\pm 1\text{mV}$  ou descasamentos de corrente de dreno de menos de  $\pm 0,1\%$ . Este nível de casamento geralmente envolve ajuste e o circuito resultante provavelmente só encontra suas especificações dentro de uma limitada faixa de temperaturas devido à presença de variações térmicas não compensadas.

A idéia central é construir tudo idêntico de modo que todos os componentes a serem casados sejam afetados pelos mesmos fatores da mesma maneira. As seguintes regras resumem os princípios mais importantes do casamento de transistores MOS:

### Regras relacionadas ao projeto elétrico:

1. *Os dispositivos a serem casados devem ser do mesmo tipo:* Não se pode esperar o casamento de transistores do tipo NMOS com transistores do tipo PMOS.
2. *Não utilize transistores de tamanho mínimo:* Para reduzir a influência de efeitos locais aleatórios, os transistores casados devem ser projetados com dimensões maiores que a mínima resolução possível da tecnologia de fabricação.
3. *Transistores casados devem ter a mesma polarização:* Em particular, para alcançar correntes idênticas, não é suficiente que os dispositivos a serem casados tenham a mesma tensão *gate-fonte*. Eles devem ter também a mesma tensão fonte-substrato  $V_{SB}$  e a mesma tensão dreno-fonte  $V_{DS}$ .
4. *Para casamento de tensão, mantenha  $V_{gst}$  pequeno:* A tensão de *offset* de um par de transistores casados contém um termo dependente da transcondutância do dispositivo. Este termo é diretamente proporcional a  $V_{gst}$ . Portanto, pequenos valores de  $V_{gst}$  proporcionam um melhor casamento de tensão. Reduzindo o  $V_{gst}$  abaixo de  $0,1\text{V}$  acarreta pouco benefício adicional, pois as variações da tensão de limiar começam a dominar a equação do *offset*. A maioria dos projetistas diminui o  $V_{gst}$  utilizando relações W/L grandes, pois isto ainda aumenta a área ativa dos transistores.
5. *Para casamento de corrente, mantenha  $V_{gst}$  grande:* A equação do descasamento de corrente contém um termo dependente da tensão de limiar. Este termo é



inversamente proporcional a  $V_{gst}$ , portanto grandes valores de  $V_{gst}$  minimizam seu impacto sobre o casamento de corrente. Circuitos que dependem de casamento de corrente devem manter um  $V_{gst}$  nominal de, ao menos, 0,3V. Transistores casados moderadamente devem manter um  $V_{gst}$  nominal de, ao menos 0,5V. Já os transistores com casamento preciso devem usar o maior valor possível de  $V_{gst}$  permitido pela configuração do circuito, porém nunca devem usar menos de 0,5V.

6. *Considere o uso de transistores NMOS ao invés de PMOS:* Dispositivos que necessitam de um implante de ajuste para compensar o *threshold* possuem um descasamento maior na tensão de limiar devido a diferentes dopagens que ocorrem na superfície. Esta é a principal razão para o descasamento significativamente maior dos dispositivos PMOS em relação aos NMOS.

### **Regras relacionadas ao projeto físico:**

1. *Use segmentos de mesmo formato e mesmo tamanho:* Transistores de diferentes comprimentos e larguras casam muito mal. Mesmo dispositivos com casamento mínimo devem possuir comprimentos de canal (L) idênticos. A maioria dos transistores casados possui larguras de canal (W) relativamente grandes e geralmente são divididos em seções, ou segmentos. Cada um destes segmentos deve possuir o mesmo comprimento e largura que os demais. Não tente casar transistores de diferentes larguras e comprimentos de canal, pois os fatores de correção de W e L,  $\delta W$  e  $\delta L$ , variam substancialmente de lote para lote.
2. *Use grandes áreas de gate ativas:* A área ativa de um transistor MOS é igual ao produto do comprimento de canal pela largura de canal (W·L). Assumindo que todas as outras considerações de casamento foram respeitadas, o *offset* residual devido a flutuações aleatórias é inversamente proporcional à raiz quadrada da área do dispositivo. Casamento moderado geralmente requer áreas ativas de algumas centenas de microns quadrados, enquanto que o casamento preciso requer milhares de microns quadrados.
3. *Oriente os transistores na mesma direção:* Transistores que não são paralelos uns aos outros tornam-se vulneráveis a variações da mobilidade causadas pela tensão mecânica e pela implantação de íons inclinada, o que pode causar variações grandes nas suas transcondutâncias. Este efeito é tão severo que mesmo os transistores com casamento mínimo devem ser posicionados em paralelo. Transistores casados, especialmente aqueles que não são auto-alinhados, devem ter quiralidades iguais. Esta condição deve ser obedecida para assegurar que cada transistor contenha um número igual de segmentos orientados em cada direção. Outro fato importante a ser considerado é que o fluxo de corrente dos transistores casados deve ser paralelo (idealmente na mesma direção). Isto evita o descasamento causado por processos de fabricação anisotrópicos ou mesmo pela anisotropia do substrato de silício.
4. *Posicione os transistores próximos uns dos outros:* Transistores MOS são vulneráveis a gradientes de temperatura, tensão mecânica e espessura do óxido. Mesmo os dispositivos com casamento mínimo devem residir o mais próximo possível dos demais. Transistores com casamento moderado ou preciso devem ser posicionados um imediatamente após o outro para facilitar o leiaute em centróide comum. Para transistores localizados dentro de poços, um poço comum deve ser usado se seus terminais de *bulk* forem comuns e se não houver possibilidade de interferência.

5. *Mantenha o leiaute dos transistores casados o mais compacto possível:* Transistores MOS naturalmente proporcionam leiautes compridos, o que os torna extremamente vulneráveis aos gradientes. Leiautes em centróide comum não podem eliminar completamente esta vulnerabilidade, portanto o projetista deve tentar criar o arranjo mais compacto possível. Isto geralmente requer que cada dispositivo seja dividido em segmentos.
6. *Onde prático, use leiautes em centróide comum:* Transistores com casamento moderado ou preciso necessitam de alguma forma de leiaute em centróide comum. Isto pode ser alcançado através da divisão de cada transistor em um número par de segmentos e pela disposição destes segmentos em arranjos interdigitados. Pares de transistores casados devem ser desenhados como pares cruzados para tirar vantagem da simetria superior deste arranjo.
7. *Coloque segmentos dummies nas extremidades dos arranjos de transistores:* Um arranjo de transistores deve incluir *dummy gates* nas suas extremidades. Estes *dummies* não precisam ter a mesma largura dos *gates* ativos, porém o espaçamento entre os *dummies* e os *gates* ativos deve ser igual ao espaçamento entre os próprios *gates* ativos. As áreas de difusão devem se estender ao menos em alguns microns abaixo dos *dummies* para prevenir que suas laterais descansem sobre bicos de pato. Os *dummies* devem ser conectados preferencialmente a potenciais que previnam a formação de canal sob eles. Isto é mais facilmente alcançado com a conexão ao potencial do substrato logo abaixo deles.
8. *Posicione os transistores em área de baixo gradiente de tensão mecânica:* Os gradientes de tensão mecânica alcançam um valor mínimo no centro do *chip*. Qualquer localização entre o centro e metade do caminho até as bordas cairá neste mínimo. Quando possível, transistores com casamento preciso devem residir dentro desta área de baixa tensão mecânica. Transistores com casamento mínimo ou preciso devem residir a, no mínimo, 250 $\mu$ m de distância das bordas do *chip*. A tensão mecânica atinge um máximo nos cantos dos *chips*, portanto evite o posicionamento de qualquer transistor casado nestas proximidades. Transistores do tipo PMOS podem experimentar uma dependência um pouco menor quando orientados ao longo das direções [100]. Este efeito não é suficientemente pronunciado para justificar o posicionamento de transistores com casamento mínimo ou moderado na diagonal, mas transistores com casamento preciso podem se beneficiar desta orientação não convencional. Transistores do tipo NMOS devem sempre ser orientados na horizontal ou na vertical.
9. *Posicione os transistores longe de dispositivos de potência:* Para o propósito de discussão, qualquer dispositivo que dissipa mais de 50mW deve ser considerado um dispositivo de potência, e qualquer dispositivo que dissipa mais de 250mW deve ser considerado um dispositivo de grande potência. Transistores com casamento preciso devem residir em um eixo de simetria com dispositivos de grande potência. Transistores com casamento moderado ou preciso devem estar posicionados a não menos de 250 a 500 $\mu$ m de distância do dispositivo de potência mais próximo. Dispositivos com casamento mínimo podem ser colocados próximos de dispositivos de potência, porém somente se eles estiverem na forma de leiaute em centróide comum. Porém, é conveniente lembrar que, apesar de uma linha de metal não gerar muito calor, ela pode conduzir o calor gerado em outros lugares.
10. *Transistores casados devem estar à mesma temperatura:* Os dispositivos a serem casados devem ser posicionados simetricamente em relação a uma fonte de calor de maneira a serem aquecidos igualmente, como ilustrado na fig. 5.6.

11. *Não coloque contatos sobre regiões de gate ativo:* Quando for possível, estenda o poli de *gate* além da difusão e posicione os contatos de *gate* sobre o óxido de campo. Quando isto não for possível, minimize o número e o tamanho dos contatos e coloque-os na mesma posição em todos os transistores.
12. *Não passe linhas de metal sobre as regiões de gate ativo:* Quando possível, evite o roteamento de metal sobre as regiões de *gate* ativo de transistores com casamento preciso. Estas linhas podem ser roteadas sobre transistores com casamento moderado, porém linhas *dummies* devem ser adicionadas de modo que cada seção do arranjo de dispositivos casados seja cruzado na mesma posição ao longo do seu canal por uma linha de mesmo comprimento.
13. *Mantenha todas as junções de difusão profunda longe das áreas ativas de gate:* O espaçamento mínimo entre o limite de um poço e um transistor com casamento preciso deve ser igual a duas vezes a profundidade do poço. Transistores com casamento mínimo ou moderado devem apenas obedecer às regras simples de layout.
14. *Posicione os transistores casados precisamente sobre os eixos de simetria do bloco:* Arranjos de transistores com casamento preciso devem ser posicionados de modo que o eixo de simetria do arranjo esteja alinhado com um dos dois eixos de simetria da lâmina. Se o projeto contiver um grande número de transistores casados, então reserve os melhores locais para os dispositivos mais críticos.
15. *Conecte os segmentos de gate usando linhas de metal:* Os segmentos de gate de transistores com casamento moderado ou preciso devem ser ligados através de linhas de metal, e não com polisilício. Transistores com casamento mínimo podem usar estruturas de poli para simplificar as conexões.
16. *O efeito de contatos e conexões dos dispositivos deve ser considerado:* O mesmo número de contatos deve ser usado em cada dispositivo e na mesma posição. Se for necessário o uso de vias, idealmente o mesmo número de vias deve ser usado na conexão de cada dispositivo. Contatos múltiplos devem ser utilizados para combater o efeito da variabilidade da resistência. As linhas de metal conectadas aos dispositivos devem ser do mesmo tipo, e as resistências parasitas (e capacitâncias, para operação *ac*) destas linhas devem, idealmente, também ser casadas.
17. *Use dispositivos com óxido fino ao invés de óxido grosso:* Alguns processos oferecem múltiplas espessuras para o óxido de *gate*. Os transistores com óxido mais fino geralmente exibem melhores características de casamento que aqueles que utilizam óxido grosso.

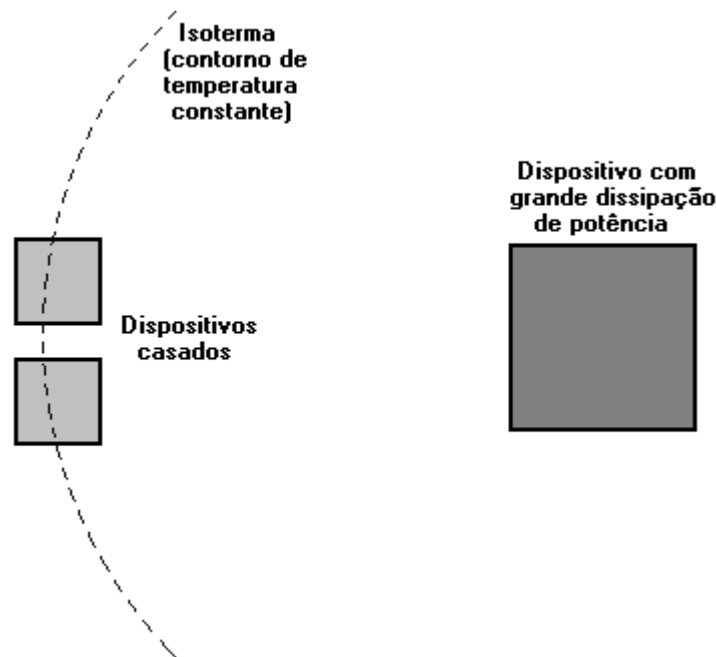


FIGURA 5.6 - Posicionamento de dispositivos casados simetricamente em relação a um dispositivo emissor de calor.

## 5.7 Aplicação das técnicas de leiaute sobre a matriz SOT

Sendo inicialmente desenvolvida pra o projeto de circuitos digitais, a matriz SOT não foi projetada pensando em obedecer a regras de casamento de transistores em circuitos analógicos. Entretanto, devido à sua natureza regular e simétrica, algumas das regras básicas de casamento descritas na seção 5.6 estão intrinsecamente implementadas. O projetista não precisa se preocupar com a orientação dos transistores no bloco de silício, por exemplo, pois todos os transistores da matriz estão orientados na mesma direção e não podem ser movidos ou rotacionados. Da mesma forma, a regra básica da quebra de um dispositivo de tamanho grande em segmentos menores já faz parte da filosofia de implementação de circuitos analógicos sobre a matriz SOT através da técnica TAT. Cada segmento pode ser visto como um transistor unitário da associação trapezoidal. A seguir as regras de casamento relacionadas ao leiaute serão comentadas tendo como base a sua aplicação sobre a matriz SOT.

1. *Use segmentos de mesmo formato e mesmo tamanho:* A matriz SOT contém apenas dois tamanhos de transistores unitários de cada tipo, “normal” e “mínimo”. Como um TAT é sempre formado por transistores unitários de mesmas dimensões, todos os seus segmentos possuem o mesmo formato e o mesmo tamanho. Esta regra é respeitada a partir do momento em que a escolha do tamanho dos transistores unitários for definida.
2. *Use grandes áreas de gate ativas:* Os transistores unitários da matriz SOT são pré-difundidos. Assim, não é possível determinar o tamanho dos segmentos dos dispositivos. Este é um ponto negativo em relação ao casamento de transistores sobre a matriz. Além disso, como todos os transistores unitários da matriz SOT possuem comprimentos de canal ( $L$ ) mínimos, os efeitos de difusão lateral tornam-

se mais acentuados e a área efetiva dos *gates* diminui consideravelmente. Por exemplo, na tecnologia  $0.35\mu\text{m}$ , um transistor unitário NMOS com  $W=4\mu\text{m}$  e  $L=0,3\mu\text{m}$  possui uma área desenhada de  $1,2\mu\text{m}^2$ , porém uma área efetiva de  $1,05\mu\text{m}^2$ , uma redução de 12,5%. Uma alternativa seria aumentar o L dos transistores unitários além do mínimo, porém isto não seria interessante para o projeto de circuitos digitais, já que neste caso a velocidade é um fator fundamental.

3. *Oriente os transistores na mesma direção*: Uma característica básica da matriz SOT é disposição dos transistores unitários em bandas horizontais. Desta forma, os *gates* estão dispostos na direção vertical paralelos uns aos outros e as regiões de difusão estão dispostas na direção horizontal. Não há como rotacionar ou mover os transistores, já que eles são pré-difundidos.
4. *Posicione os transistores próximos uns dos outros*: A distância entre um transistor unitário e outro imediatamente ao lado na matriz SOT é a suficiente para acomodar dois contatos lado a lado, ou seja, a distância entre dois *gates* adjacentes é de aproximadamente duas vezes a mínima permitida pela tecnologia. Esta condição, prevista para facilitar o roteamento entre as células, faz com que os segmentos não estejam posicionados o mais próximo possível uns dos outros. Para o caso de dispositivos com grande número de segmentos, a grande distância entre os extremos pode provocar descasamento causado por gradientes de temperatura, tensão mecânica ou espessura do óxido. Uma alternativa seria diminuir a distância entre os *gates* para acomodar somente um contato e realizar o roteamento entre as células com mais níveis de metal. Por outro lado, a inexistência de quebras de difusão é um fator importante para a compactação do leiaute. Em relação à necessidade de se posicionar todos os segmentos dos transistores casados dentro de um poço comum, isto já está implícito na matriz. Transistores PMOS, para um processo que utiliza poço N, por exemplo, dividem o mesmo poço se estiverem localizados em bandas adjacentes. Por outro lado, deve-se tomar cuidado para não posicionar circuitos que podem causar interferência nestas bandas, já que todos compartilham o mesmo poço.
5. *Mantenha o leiaute dos transistores casados o mais compacto possível*: A divisão de um transistor simples em segmentos já é uma característica da técnica da associação trapezoidal de transistores. A vantagem desta técnica é que um número menor de segmentos será necessário para compor o transistor original, já que o formato trapezoidal elimina a necessidade de vários transistores em série, diminuindo assim o número de transistores unitários. O casamento de dois TATs é facilitado pela própria natureza da sua construção.
6. *Onde prático, use leiautes em centróide comum*: A proximidade de transistores do mesmo tamanho localizados em bandas diferentes e a facilidade de interconexão tornam a matriz SOT própria para o desenho de leiautes em centróide comum. Pares cruzados também são fáceis de se obter (ver seção 5.8.2). Diversos padrões de interdigitação podem ser criados com os TATs, dependendo do número de transistores unitários ND e NS.
7. *Coloque segmentos dummies nas extremidades dos arranjos de transistores*: A técnica de isolamento por *gate* utilizada na matriz SOT cumpre exatamente esta regra. Um transistor de isolamento faz o papel de *dummy*, pois está localizado nas extremidades do arranjo, a sua distância ao transistor ativo mais próximo é a mesma distância entre os demais transistores ativos, possui o mesmo W dos transistores ativos e é polarizado reversamente de modo que não circula corrente significativa sob seu *gate*. A corrosão da camada de polisilício na matriz SOT se dá de maneira

uniforme, pois a regularidade dos transistores torna as áreas a serem corroídas praticamente iguais ao longo de toda a matriz.

8. *Posicione os transistores em áreas de baixo gradiente de tensão mecânica:* Esta é uma regra que independe da arquitetura da matriz. O posicionamento dos transistores casados críticos perto do centro do *chip* de silício já é suficiente para evitar descasamentos causados pelo gradiente de tensão mecânica.
9. *Posicione os transistores longe de dispositivos de potência:* Também esta é uma regra que deve ser levada em consideração durante o planejamento topográfico do *chip* e independe do fato de o circuito estar localizado sobre a matriz SOT ou não.
10. *Transistores casados devem estar à mesma temperatura:* A simetria em relação a uma fonte de calor pode não ser fácil de ser conseguida na matriz SOT. Geralmente os arranjos casados possuem formato retangular com seu lado maior na direção horizontal. Como não é possível rotacionar os transistores pré-difundidos, os transistores casados devem ser posicionados perpendicularmente às fontes de calor. O leiaute em centróide comum, neste caso, é imprescindível.
11. *Não coloque contatos sobre regiões de gate ativo:* Os contatos, na matriz SOT, somente podem ser colocados nas intersecções das linhas da grade. Como estas intersecções nunca acontecem sobre as regiões de *gate* pela própria arquitetura da matriz, esta regra é sempre respeitada. Os contatos são sempre posicionados em regiões com óxido de campo. O mesmo vale para as vias.
12. *Não passe linhas de metal sobre as regiões de gates ativos:* A matriz SOT permite a passagem de linhas de metal sobre os *gates*. Se os transistores necessitarem de casamento preciso, a solução é jogar estas linhas para trilhas acima ou abaixo do arranjo. A penalidade será em área ocupada, já que os transistores unitários acima ou abaixo do arranjo estarão impossibilitados de compor qualquer outro circuito.
13. *Mantenha todas as junções de difusão profunda longe das áreas ativas de gate:* Os poços da matriz SOT são pré-difundidos e, portanto, não podem ser movidos. A distância da borda dos poços aos *gates* está relacionada à distância entre as trilhas de transistores. No caso da matriz, esta distância é de duas vezes a mínima distância da grade no eixo Y. Portanto, a não ser que as trilhas de transistores sejam afastadas ainda mais, esta regra não é obedecida.
14. *Posicione os transistores casados precisamente sobre os eixos de simetria do bloco:* A arquitetura da matriz SOT prevê que os transistores unitários estejam todos na mesma direção. Para que esta regra seja obedecida, basta posicionar a matriz sobre o silício de modo que os transistores unitários estejam sobre os eixos de simetria do *chip*. Isto é realizado no momento do alinhamento da primeira máscara durante a fabricação do *chip*. Uma vez alinhado um transistor, todos os demais transistores da matriz SOT também estarão alinhados sobre os mesmos eixos.
15. *Conecte os segmentos de gate usando linhas de metal:* O processo de fabricação da matriz SOT vai até a camada de polisilício. Nesta etapa os transistores ainda não estão conectados entre si e a matriz ainda não tem sua função definida. A customização se dá pela aplicação apenas das camadas de metal. Portanto, não é possível conectar dois *gates* com polisilício, pois esta camada não está disponível na etapa de customização.
16. *O efeito de contatos e conexões dos dispositivos deve ser considerado:* Apesar de esta ser uma regra relacionada ao projeto físico e não à arquitetura da matriz propriamente dita, pode-se dizer que ela é facilitada pelo fato de que as regiões para o posicionamento de contatos sobre as áreas de difusão já estão pré-estabelecidas. Assim, para a conexão de dreno/fonte de segmentos com o mesmo tamanho, basta

preencher todas as posições de difusão com contatos para que o número de contatos em cada região de difusão seja sempre igual.

17. *Use dispositivos com óxido fino ao invés de óxido grosso:* Esta regra depende do processo de fabricação e não da arquitetura da matriz. Porém, se considerarmos que a matriz foi projetada para acomodar circuitos mistos e que os circuitos digitais necessitam de *gates* com óxido fino para maximizar a sua performance, pode-se dizer que não há razão para a fabricação da matriz SOT com transistores com óxido grosso.

A tabela 5.2 faz um resumo das regras de casamento relativas ao leiaute, apontando os pontos fortes e os pontos fracos da matriz SOT e da técnica da associação trapezoidal de transistores em relação a estas regras. Podemos ver que, das 17 regras propostas, 10 são inerentemente obedecidas pela própria arquitetura da matriz e pela filosofia da técnica TAT, 4 independem do fato de os transistores estarem sobre uma matriz pré-difundida e apenas 3 não podem ser satisfeitas completamente.

TABELA 5.2 - Resumo das vantagens e desvantagens do uso da matriz SOT e da técnica TAT em relação às regras práticas de casamento de transistores MOS

Nro	Regra de casamento	Possibilidade de a regra ser satisfeita <small>↑ - Boa  ↔ - Independente da matriz  ↓ - Má</small>
1	<i>Use segmentos de mesmo formato e mesmo tamanho</i>	↑
2	<i>Use grandes áreas de gate ativas</i>	↓
3	<i>Oriente os transistores na mesma direção</i>	↑
4	<i>Posicione os transistores próximos uns dos outros</i>	↓
5	<i>Mantenha o leiaute dos transistores casados o mais compacto possível</i>	↑
6	<i>Onde prático, use leiautes em centróide comum</i>	↑
7	<i>Coloque segmentos dummies nas extremidades dos arranjos de transistores</i>	↑
8	<i>Posicione os transistores em área de baixo gradiente de tensão mecânica</i>	↔
9	<i>Posicione os transistores longe de dispositivos de potência</i>	↔
10	<i>Transistores casados devem estar à mesma temperatura</i>	↔
11	<i>Não coloque contatos sobre regiões de gate ativo</i>	↑
12	<i>Não passe linhas de metal sobre as regiões de gates ativos</i>	↔
13	<i>Mantenha todas as junções de difusão profunda longe das áreas ativas de gate</i>	↓
14	<i>Posicione os transistores casados precisamente sobre os eixos de simetria do bloco</i>	↑
15	<i>Conecte os segmentos de gate usando linhas de metal</i>	↑
16	<i>O efeito de contatos e conexões dos dispositivos deve ser considerado</i>	↑
17	<i>Use dispositivos com óxido fino ao invés de óxido grosso</i>	↑

## 5.8 Exemplos de leiaute para casamento de TATs sobre a matriz SOT

A divisão de um transistor simples em segmentos iguais gera um conjunto de transistores unitários conectados em paralelo. Um TAT, por sua vez, é composto não só por transistores em paralelo, mas também por transistores em série. A existência de um nó no interior do TAT (nó X) é a grande diferença em relação a um transistor composto simples. O casamento de dois TATs segue o mesmo princípio do casamento de dois transistores simples, porém os padrões de interdigitação devem ser adaptados levando-se em consideração também o nó central X. Este é um fator complicador que faz com que alguns padrões não possam ser criados sem quebrar as regiões de difusão.

O leiaute apropriado para o casamento de dois TATs é fortemente influenciado pelo número de transistores unitários que compõem estes dispositivos. Podem acontecer casos em que é impossível criar alguns padrões de interdigitação com certos valores de ND e NS.

A configuração em par cruzado de dois TATs é um exemplo de como o nó central pode causar certas restrições no leiaute. O padrão par cruzado para transistores simples, como já foi visto antes, é dado por  ${}_D A_S B_D / {}_D B_S A_D$  se cada transistor for dividido em dois segmentos iguais. Um TAT, entretanto, é composto por, no mínimo, 3 transistores (2 conectados ao dreno e 1 conectado à fonte). Cada segmento, então, é na verdade uma combinação de segmentos que inclui o nó intermediário.

Uma escolha importante é o número de bandas a serem utilizadas no leiaute dos TATs. Uma única banda pode representar em um leiaute pouco compacto, porém necessário em algumas ocasiões, principalmente quando o número total de transistores unitários for pequeno. A utilização de duas bandas permite a realização da configuração par cruzado e facilita um arranjo em centróide comum, além de melhorar o fator de forma do bloco. Entretanto, a distância entre os transistores das duas bandas pode resultar em leiautes pouco compactos. Esta estratégia é mais indicada para TATs com grande número de transistores unitários. O uso de mais de duas bandas só é justificável em ocasiões muito especiais, como para o melhor ajuste do fator de forma ou quando o número de transistores unitários é extremamente grande. A grande distância entre os transistores unitários e a impossibilidade do uso dos demais transistores localizados entre as bandas tornam esta opção proibitiva nos demais casos.

As seções a seguir mostram as possíveis combinações de arranjos para o leiaute dos TATs de acordo com o número de transistores unitários ND e NS e com o número de bandas utilizadas da matriz.

### 5.8.1 Padrões de interdigitação em uma banda

a) *ND par, NS ímpar*: o leiaute em centróide comum não é possível. Por exemplo, para dois TATs com ND=4 e NS=3 na configuração par diferencial, não é possível dividir cada um deles em um número par de elementos, por isso um arranjo linear com centróide comum não pode ser realizado. A alternativa é formar o arranjo mais compacto e disperso possível, como o padrão

$${}_X A_{D1} A_{X1} A_S B_{X2} B_{D2} B_{X2} B_S A_{X1} A_{D1} A_{X1} A_S B_{X2} B_{D2} B_{X2}$$

cujo leiaute está na fig. 5.7.



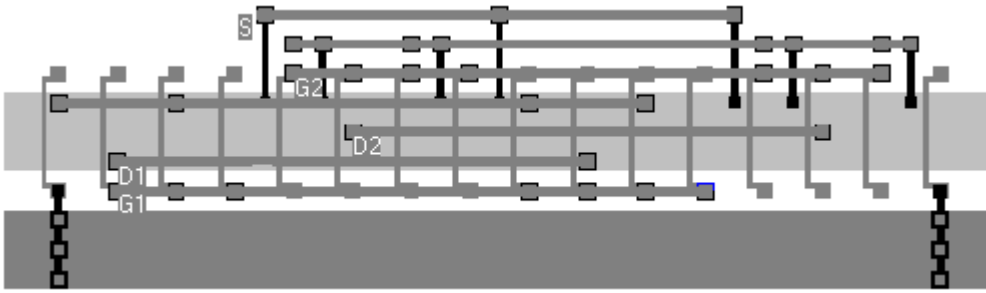


FIGURA 5.7 - Leiaute de dois TATs casados com ND=4 e NS=3.

b) *ND ímpar, NS par*: mais uma vez um leiaute em centróide comum não é possível, pois não se pode realizar a divisão dos TATs em um número par de elementos inteiros. Um padrão razoável de interdigitação para dois TATs casados com ND=3 e NS=2 poderia ser

$$X_1 A_{D1-D1} A_{X1} A_S B_{X2} B_{D2} B_{X2} B_S A_{X1} A_{D1-D2} B_{X2}$$

A quebra da difusão é realizada na matriz SOT através da inserção de um transistor de isolamento. A fig. 5.8 mostra o leiaute do padrão acima.

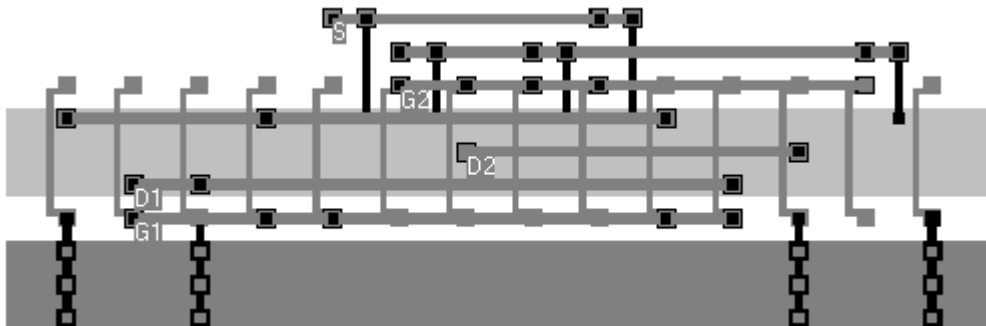


FIGURA 5.8 - Leiaute de dois TATs casados com ND=3 e NS=2

c) *ND ímpar, NS ímpar*: a configuração em centróide comum é possível, porém as quebras de difusão são iminentes. Não existe um caminho de Euler completo neste circuito. Um exemplo é um par diferencial formado por dois TATs com ND=5 e NS=3. Um padrão centróide comum pode ser o seguinte:

$$D_1 A_{X1} A_{D1} A_{X1} A_S - S B_{X2} B_{D2} B_{X2} B_{D2} - X_2 B_{D2} B_{X2} B_S B_{X2} - X_1 A_S A_{X1} A_{D1} A_{X1}$$

Este não é um padrão muito compacto, porém o fato de possuir centróide comum já é uma vantagem importante. A figura 5.9 mostra um leiaute que utiliza este arranjo.

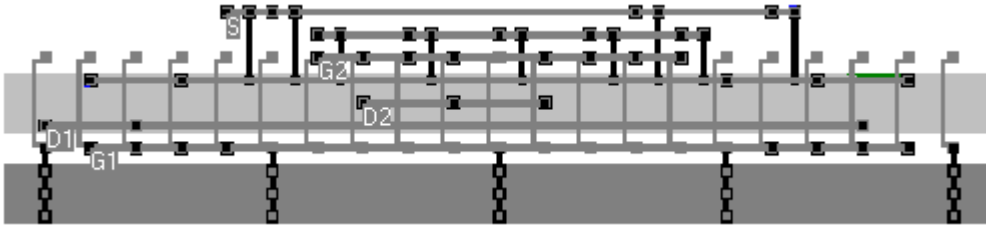


FIGURA 5.9 - Leiaute de dois TATs casados com ND=5 e NS=3

d) *ND par, NS par*: esta é a melhor configuração para o leiaute de dois TATs casados. Um arranjo em centróide comum pode ser facilmente alcançado através da divisão dos TATs em duas, quatro, ou até mais partes, desde que seja um número par. Por exemplo, para TATs formados por ND=4 e NS=2, o seguinte padrão de interdigitação pode ser obtido:

$$x_1 A_{D1} A_{X1} A_S B_{X2} B_{D2} B_{X2} B_{D2} B_{X2} B_S A_{X1} A_{D1} A_{X1}$$

Este padrão, além de proporcionar um arranjo com centróide comum, ainda evita a quebra das regiões de difusão, tornando o leiaute mais compacto. A figura 5.10 mostra o leiaute resultante com esta configuração.

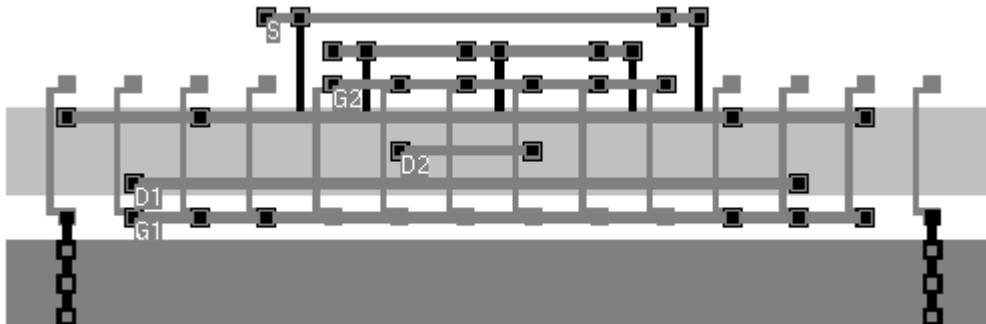


FIGURA 5.10 - Leiaute de dois TATs casados com ND=4 e NS=2

### 5.8.2 Padrões de interdigitação em duas bandas

a) *ND par, NS ímpar*: apesar de não ser possível dividir os TATs em duas partes iguais, ainda assim um leiaute em centróide comum pode ser realizado. O número de transistores unitários em uma banda é menor que na outra. O seguinte padrão pode ser realizado para TATs com ND=4 e NS=3:

$$\begin{array}{c} x_1 A_{D1} A_{X1} A_S B_{X2} B_{D2} B_{X2} \\ s B_{X2} B_{D2} B_{X2} B_S A_{X1} A_{D1} A_{X1} A_S \end{array}$$

Não são necessárias quebras na difusão, o que torna o leiaute compacto. O leiaute dos TATs conforme este arranjo está na fig. 5.11.

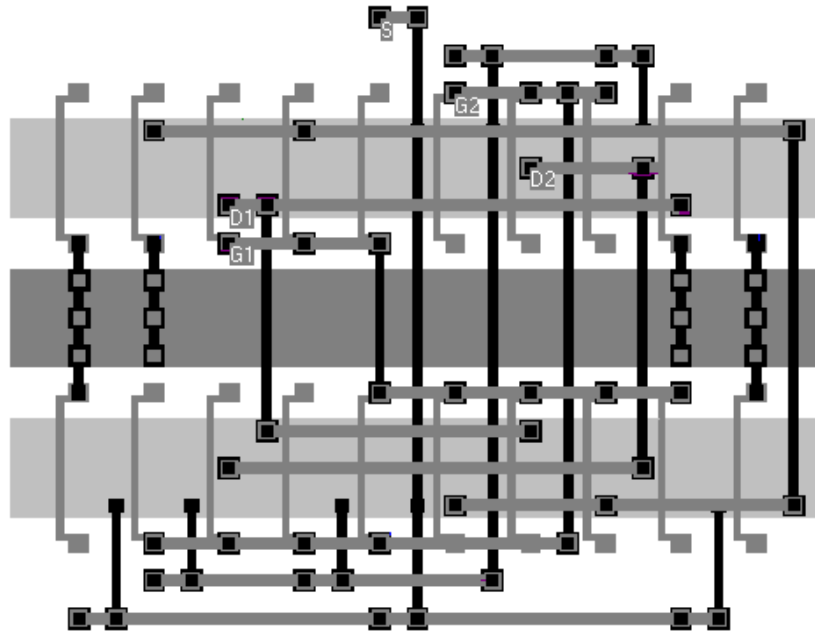


FIGURA 5.11 - Leiaute de dois TATs casados com  $ND=4$  e  $NS=3$

b)  $ND$  ímpar,  $NS$  par: da mesma forma que a configuração anterior, não é possível dividir os TATs em um número par de partes iguais. Assim, o número de transistores unitários em cada banda é diferente. Para TATs casados com  $ND=3$  e  $NS=2$ , temos o seguinte padrão de interdigitação par cruzado em centróide comum:

$$\begin{array}{c} D_1 A_{X1} A_S B_{X2} B_{D2} \\ X_2 B_{D2} B_{X2} B_S A_{X1} A_{D1} A_{X1} \end{array}$$

O número de segmentos pode ser maior na banda de cima ou na banda de baixo, isto é irrelevante. A fig. 5.12 mostra este arranjo aplicado à matriz SOT.

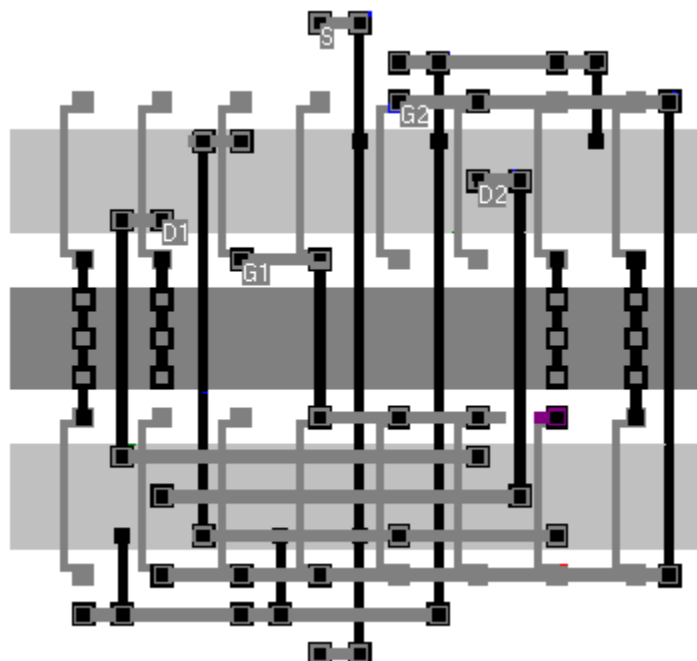


FIGURA 5.12 - Leiaute de dois TATs casados com  $ND=3$  e  $NS=2$

c) *ND ímpar, NS ímpar*: neste caso, temos um número total par de transistores unitários em cada TAT. É possível, portanto, realizar uma divisão que resulte em um número de segmentos iguais em cada banda. Por exemplo, para  $ND=5$  e  $NS=3$ , temos 8 transistores unitários em cada TAT. Se dividirmos 4 para a banda de cima e 4 para a banda de baixo, o seguinte padrão de interdigitação pode ser usado:

$$\begin{array}{c} D_1 A_{X1} A_{D1} A_{X1} A_S B_{X2} B_{D2} B_{X2} B_{D2} \\ S B_{X2} B_{D2} B_{X2} B_S A_{X1} A_{D1} A_{X1} A_S \end{array}$$

O arranjo na forma de um par cruzado, com centróide comum, torna este casamento uma boa opção, conforme leiaute mostrado na figura 5.13.

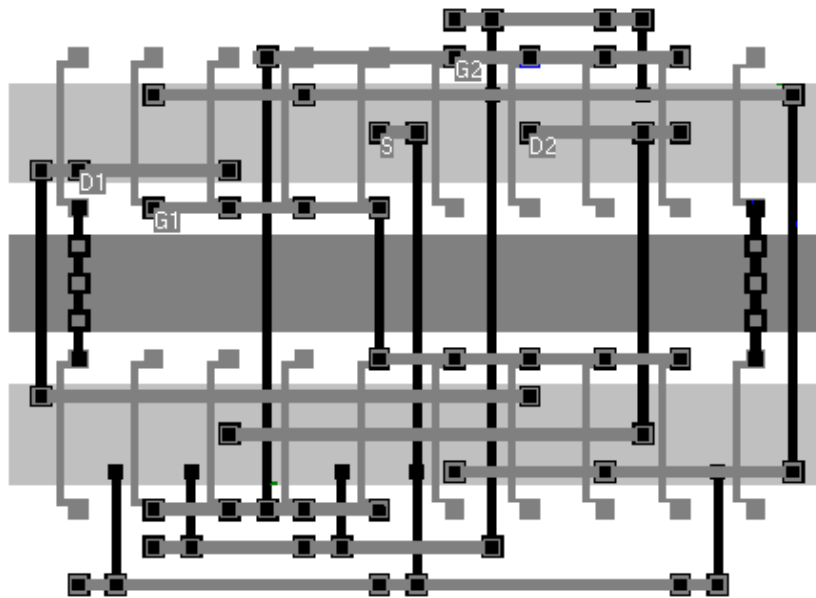


FIGURA 5.13 - Leiaute de dois TATs casados com  $ND=5$  e  $NS=3$

d) *ND par, NS par*: esta configuração dos TATs permite a geração de pares cruzados com facilidade. Para TATs casados com  $ND=4$  e  $NS=2$ , um arranjo centróide comum pode ser utilizado:

$$\begin{array}{c} X_1 A_{D1} A_{X1} A_S B_{X2} B_{D2} B_{X2} \\ X_2 B_{D2} B_{X2} B_S A_{X1} A_{D1} A_{X1} \end{array}$$

Este padrão casa tanto os transistores compostos MD quanto os MS, tornando-se a melhor opção para um bom casamento entre dois TATs. A figura 5.14 mostra o leiaute resultante.

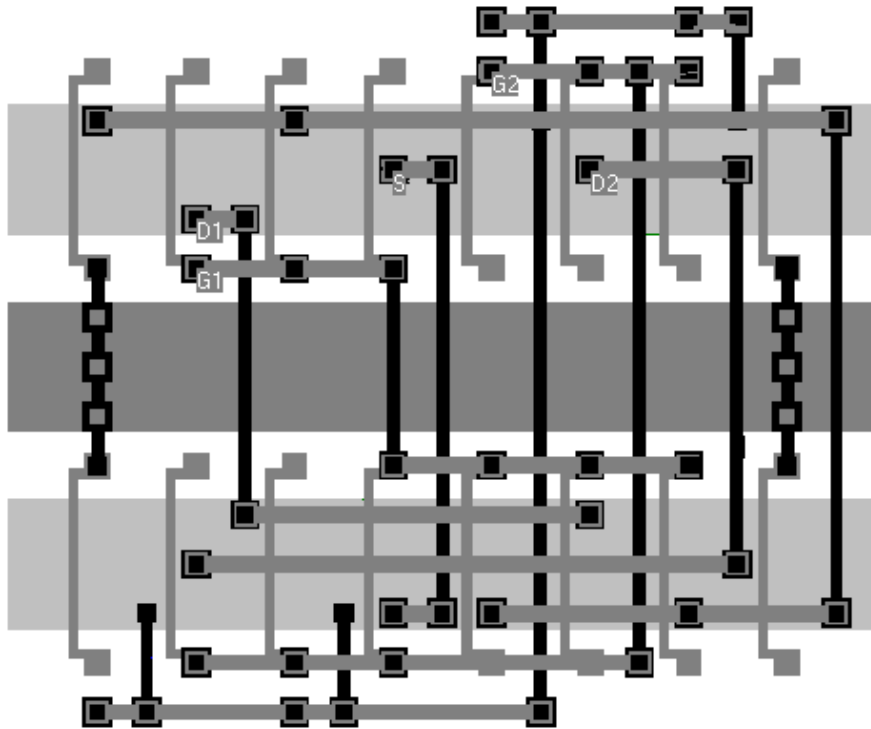


FIGURA 5.14 - Layout de dois TATs casados com  $ND=4$  e  $NS=2$

## 5.9 Conclusão

A geração do layout de dispositivos casados é uma questão que envolve não só o posicionamento e a conexão dos transistores. Fatores elétricos, mecânicos e térmicos também devem ser levados em consideração. O posicionamento do circuito longe de fontes de calor ou em regiões de baixo gradiente de tensão mecânica é um dos cuidados a serem tomados. Tais cuidados não são necessários na geração do layout de transistores não-casados, simplesmente porque pequenas variações nas suas características não mudarão o funcionamento do circuito. A geração conjunta do layout dos transistores casados é uma necessidade, pois ambos os dispositivos devem possuir exatamente as mesmas características. Algumas regras práticas básicas de casamento foram resumidas neste capítulo. A matriz SOT, pela sua arquitetura, satisfaz a maioria destas regras. A regularidade do layout da matriz também é um fator que auxilia no casamento de transistores, pois o processo de fabricação pode ser melhor controlado, evitando-se, por exemplo, grandes variações na taxa de corrosão do polisilício ou na espessura do óxido de *gate*. Algumas regras, entretanto, como a não-utilização de transistores de canal curto na composição dos transistores casados, não podem ser alcançadas. Analisando-se as regras obedecidas e aquelas que não se pode satisfazer completamente, pode-se dizer que a matriz SOT é adequada para casamentos moderados ou mínimos (de acordo com a classificação de [HAS 2001]). Casamentos precisos não podem ser obtidos.

Os TATs podem valer-se dos mesmos padrões de interdigitação dos transistores simples, porém com a inserção do nó central X. Isto causa uma pequena modificação dos padrões. O layout dos TATs casados é fortemente influenciado pelo número de transistores unitários  $ND$  e  $NS$ . A configuração mais adequada para o casamento de dois TATs é um número par de transistores unitários tanto para  $ND$  quanto para  $NS$ ,

arranjados em duas bandas, o que permite um leiaute em par cruzado com centróide comum sem necessidade de transistores de isolamento na região interna do bloco.

A qualidade do leiaute de transistores casados somente pode ser analisada com certeza após a fabricação. As regras abordadas neste capítulo só levam em conta os aspectos qualitativos para um bom pareamento. Uma análise quantitativa só pode ser realizada através de uma caracterização do processo de fabricação, criando-se um banco de dados com informações estatísticas sobre os gradientes. O projetista, então, teria informações específicas sobre questões importantes para o pareamento e poderia utilizá-las no momento da geração do leiaute dos transistores casados.

## 6 A Ferramenta LIT

A ferramenta LIT foi desenvolvida para auxiliar na concepção de circuitos analógicos utilizando TATs sobre a matriz SOT. Pretende-se com ela agregar em um mesmo ambiente todas as etapas de projeto, desde o cálculo do TAT equivalente, passando por etapas de geração automática do leiaute da matriz e das células, posicionamento das células e roteamento, além de outras facilidades como extração e criação de arquivos no formato CIF (*Caltech Intermediate Format*) [MEA 80].

A ferramenta baseia-se na premissa de que o circuito analógico com transistores simples já foi projetado e validado. O fluxo de projeto, mostrado na fig. 6.1, começa, então, com uma descrição em formato SPICE deste circuito. O resultado esperado é um circuito equivalente formado por TATs que mantenha as mesmas especificações originais de ganho de tensão (ou corrente), banda passante, produto ganho-faixa, potência, slew-rate, etc. Apesar de algumas especificações precisarem ser relaxadas em detrimento de outras, como será mostrado no capítulo 7 com um exemplo de projeto, pretende-se demonstrar que a transformação de cada transistor simples em um TAT é plausível e a ferramenta LIT facilita este trabalho. O fluxo de projeto proposto não precisa ser necessariamente seguido na ordem proposta e nem passar por todas as etapas dentro da ferramenta. Cada etapa é independente da outra e pode ser realizada interna ou externamente.

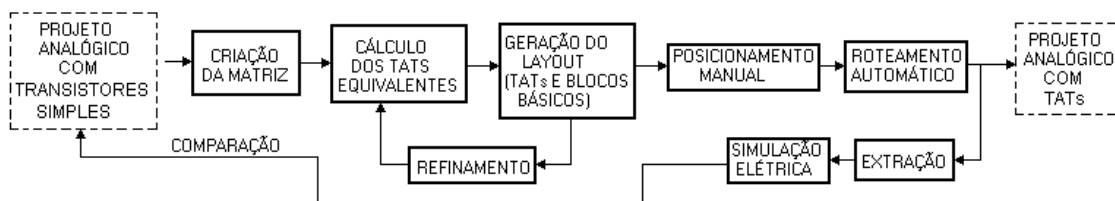


FIGURA 6.1 - Fluxo de projeto proposto pela ferramenta LIT

Criada em C++, a ferramenta pode ser compilada em um PC em ambiente Windows, de modo que as facilidades gráficas ficam evidentes quando o projetista trabalha visualizando diretamente o leiaute. Isso torna o processo de geração do leiaute mais confiável e intuitivo, principalmente para projetistas menos experientes. A fig. 6.2 mostra a tela principal da ferramenta. Um dos maiores objetivos é automatizar as etapas de projeto mais demoradas e suscetíveis a erro, como a geração do leiaute e o roteamento.

A interação com outras ferramentas é facilitada pelo fato de que o LIT gera e importa arquivos em formato padrão spice e CIF.

A princípio, o LIT foi projetado para trabalhar com qualquer tecnologia de fabricação padrão CMOS com, no mínimo, três níveis de metal. A permissão do uso de contatos empilhados não é imprescindível, porém torna o roteamento interno das células muito menos complexo, o que pode acarretar em uma diminuição na área total ocupada de silício. As regras de leiaute e os parâmetros elétricos dos dispositivos ficam armazenados em um arquivo de tecnologia, em formato texto de fácil edição. A portabilidade de um projeto de uma tecnologia de fabricação para outra fica, então, facilitada, sendo necessária somente a substituição do arquivo de tecnologia.

Nas seções a seguir serão detalhados os métodos utilizados em cada etapa do fluxo de projeto.

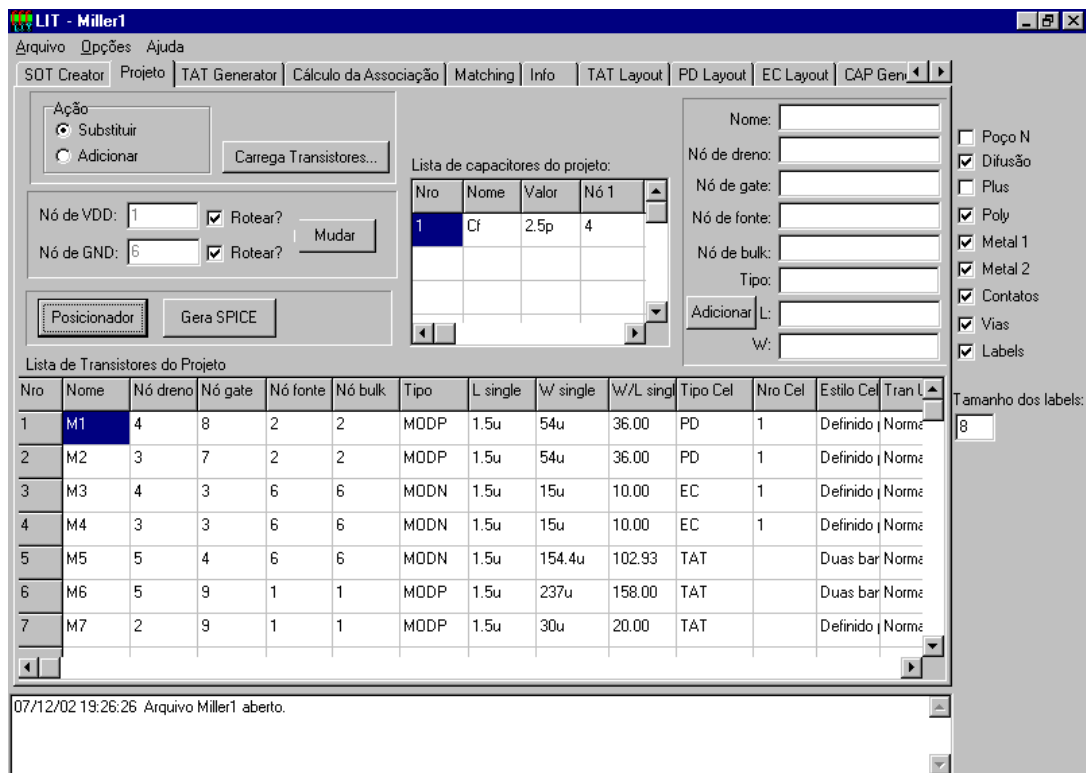


FIGURA 6.2 - Tela principal da ferramenta LIT, mostrando algumas de suas características.

## 6.1 Geração automática da matriz SOT

A ferramenta LIT pode trabalhar com qualquer arquitetura de matriz pré-difundida. Esta dissertação, porém, utiliza a matriz SOT como referência. Devemos nos ater a esta arquitetura para demonstrar todas as potencialidades da ferramenta. Assim, as características que serão demonstradas podem ser aplicadas a qualquer outro tipo de matriz.

O leiaute da matriz SOT, descrita no capítulo 3, pode ser facilmente automatizado devido ao seu formato regular e repetitivo. A estratégia de geração mais simples considera cada célula básica como uma célula independente. Um conjunto de células instanciadas lado a lado forma uma banda. Um conjunto de bandas, por sua vez, forma a matriz completa.

Para facilitar ainda mais a geração do leiaute, adotamos o uso de uma grade virtual, que determina uma posição regular dos nós tanto no eixo x quanto no eixo y. O tamanho absoluto dessa grade é calculado a partir das regras de leiaute fornecidas junto com a tecnologia-alvo de fabricação.

Antes de detalhar como a grade e as distâncias no leiaute são calculadas, é preciso adotar algumas definições quanto aos aspectos geométricos, de acordo com a fig. 6.3:

- largura( $a$ ): largura mínima permitida para a camada  $a$ ;
- espaçamento( $a$ ,  $b$ ): espaçamento mínimo permitido entre as camadas  $a$  e  $b$ ;
- sobreposição( $b$ ,  $c$ ): sobreposição mínima da camada  $b$  sobre a camada  $c$ .



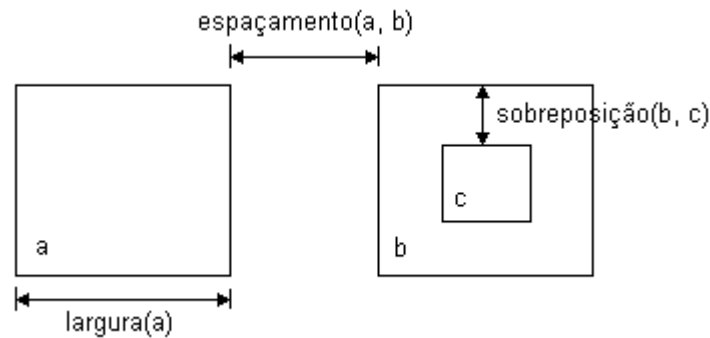


FIGURA 6.3 - Definições adotadas neste texto com respeito às regras de leiaute.

O tamanho da grade é determinado pelas seguintes regras de leiaute compostas:

- Distância mínima entre vias

- Sobreposição de metal2 sobre a via:

$$g1 = largura(via) + 2*sobreposição(metal2, via) + espaçamento(metal2, metal2)$$

- Sobreposição de metal1 sobre a via:

$$g2 = largura(via) + 2*sobreposição(metal1, via) + espaçamento(metal1, metal1)$$

- Distância mínima entre dois contatos

- Sobreposição de polisilício sobre contato:

$$g3 = largura(contato) + 2*sobreposição(polisilício, contato) + espaçamento(polisilício, polisilício)$$

- Dois contatos com um *gate* entre eles:

$$g4 = largura(contato) + 2*espaçamento(gate, contato) + largura(polisilício)$$

- Espaçamento entre um contato que liga polisilício a metal1 e outro que liga difusão a metal1:

$$g5 = largura(contato) + sobreposição(difusão, contato) + espaçamento(polisilício, difusão) + sobreposição(polisilício, contato)$$

- Distância mínima entre via2:

- Sobreposição de metal2 sobre via2:

$$g6 = \text{largura}(\text{via2}) + 2 * \text{sobreposição}(\text{metal2}, \text{via2}) + \text{espaçamento}(\text{metal2}, \text{metal2})$$

- o Sobreposição de metal3 sobre via2:

$$g7 = \text{largura}(\text{via2}) + 2 * \text{sobreposição}(\text{metal3}, \text{via2}) + \text{espaçamento}(\text{metal3}, \text{metal3})$$

Assim, a grade no eixo x é determinada por:

$$\text{grid}_x = \text{max}(g4, g7) \quad \text{eq. 6.1}$$

sendo *max* uma função que retorna o maior valor entre os argumentos. Já a grade no eixo y é dada por:

$$\text{grid}_y = \text{max}(g1, g2, g3, g5, g6, g7) \quad \text{eq. 6.2}$$

Outras regras de leiaute que restringem ainda mais o posicionamento de vias e contatos podem existir, como espaçamento mínimo entre via e *gate* ou distância mínima entre via e contato. Estas regras geralmente não influenciam no tamanho da grade. Porém, caso isto ocorra, devem ser levadas em consideração.

Todos os contatos e as vias geradas na célula básica devem ter seu ponto central posicionados em um nó da grade. Sendo obedecida esta regra, garantiremos que não haverá violação nas regras de leiaute durante a geração automática.

Depois de gerada a grade, a célula básica da matriz SOT pode ser criada. As seguintes camadas básicas são geradas automaticamente:

- Para os transistores do tipo N:
  - o poço P
  - o difusão
  - o implante n+
  - o polisilício
- Para os transistores do tipo P
  - o poço N
  - o difusão
  - o implante p+
  - o polisilício
- Alimentação
  - o metal 2

Quando a tecnologia-alvo não necessitar do desenho de algum tipo de poço, ele não será gerado. A geração de outras camadas específicas de determinada tecnologia pode ser necessária, devendo estar explicitadas no arquivo de tecnologia.

A célula básica compreende os seguintes blocos: transistores NMOS, NMOSmín, PMOS e PMOSmín e linhas de VDD e VSS. Estas últimas arbitrou-se serem feitas em metal 2, mantendo o estilo de roteamento local da matriz SOT (linhas horizontais em metal 2 e linhas verticais em metal 1).

Como o comprimento de canal ( $L$ ) de todos os transistores unitários da matriz SOT é o mínimo permitido pela tecnologia, a única dimensão variável dos *gates* é a largura de canal. Além disso, a largura das linhas de alimentação também pode ser definida. Entretanto, estas variáveis estão limitadas a valores que encaixem na grade. A largura de canal de um transistor deve ser um valor exato para que as áreas de difusão ao seu lado acomodem um número inteiro de contatos e vias mais duas vezes a sobreposição de difusão sobre contato. Para simplificar, podemos pensar em termos de múltiplos da grade. Por exemplo, para o transistor unitário NMOS, o comprimento de canal é dado por:

$$W_{NMOS} = (N - 1)grid\_y + 2 \cdot sobreposição(difusão, contato) \quad \text{eq. 6.3}$$

onde  $N$  é um número inteiro de contatos ou vias que podem ser acomodados verticalmente sobre uma área de difusão ao lado do *gate*.

Seguindo este mesmo princípio, a largura das linhas de alimentação é dada por

$$W_{VDD(VSS)} = (N - 1)grid\_y + 2 \cdot sobreposição(metal2, via) \quad \text{eq. 6.4}$$

Neste caso,  $N$  é o número de vias acomodadas verticalmente dentro uma linha de alimentação.

Definidas estas variáveis, o leiaute da célula básica da matriz SOT é gerado com o auxílio de apenas 5 regras de leiaute compostas. Quatro destas regras referem-se à geração dos transistores unitários (ver fig. 6.4):

$$\begin{aligned} \mathbf{r1a} &= 0,5 * largura(contato) + \\ &\quad sobreposição(polissilício, contato) \\ \mathbf{r1b} &= 0,5 * largura(via) + sobreposição(polissilício, via) \\ \mathbf{r1} &= \max(r1a, r1b) \\ \mathbf{r2} &= largura(gate) = largura(polissilício) \\ \mathbf{r3} &= 0,5 * largura(contato) + sobreposição(difusão, contato) \\ \mathbf{r4} &= 0,5 * grid\_x + 0,5 * r2 - r1 \end{aligned}$$

A regra  $r1b$  só existe em tecnologias que restringem o posicionamento de via sobre polissilício.

Já a geração das linhas de alimentação depende de somente uma regra composta (fig. 6.5):

$$\begin{aligned} \mathbf{r5a} &= 0,5 * largura(via) + sobreposição(metal2, via) \\ \mathbf{r5b} &= 0,5 * largura(via) + sobreposição(metal2, via2) \\ \mathbf{r5} &= \max(r5a, r5b) \end{aligned}$$

Sob as linhas de alimentação são geradas também áreas de difusão conectadas a essas linhas que servem para polarizar o substrato (*body-tie*).

Conforme visto no capítulo 3, cada área de difusão da matriz SOT deve acomodar dois contatos ou duas vias no sentido horizontal. Assim, cada célula básica possui uma largura de  $2 \cdot \text{grid}_x$ . Para evitar que os transistores unitários posicionados nas laterais das bandas possuam áreas de difusão menores que os demais, cada célula básica é gerada com uma largura de  $3 \cdot \text{grid}_x + 2 \cdot r_3$ . Quando essas células forem instanciadas para formarem as bandas, poderá haver sobreposição das difusões, o que não compromete no funcionamento da matriz.

Gerada a célula básica, a matriz SOT é construída tendo como variáveis o número de bandas e o número de células básicas por banda.

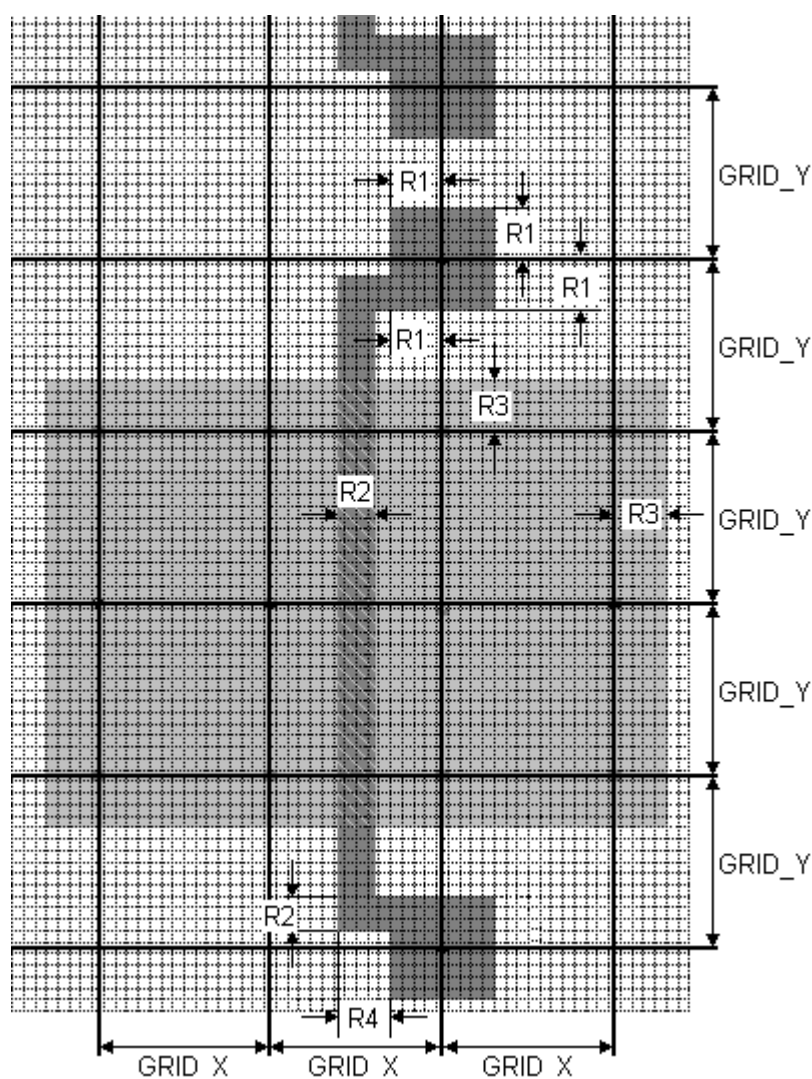


FIGURA 6.4 - Detalhe da matriz SOT mostrando as regras compostas utilizadas para a geração automática da célula básica

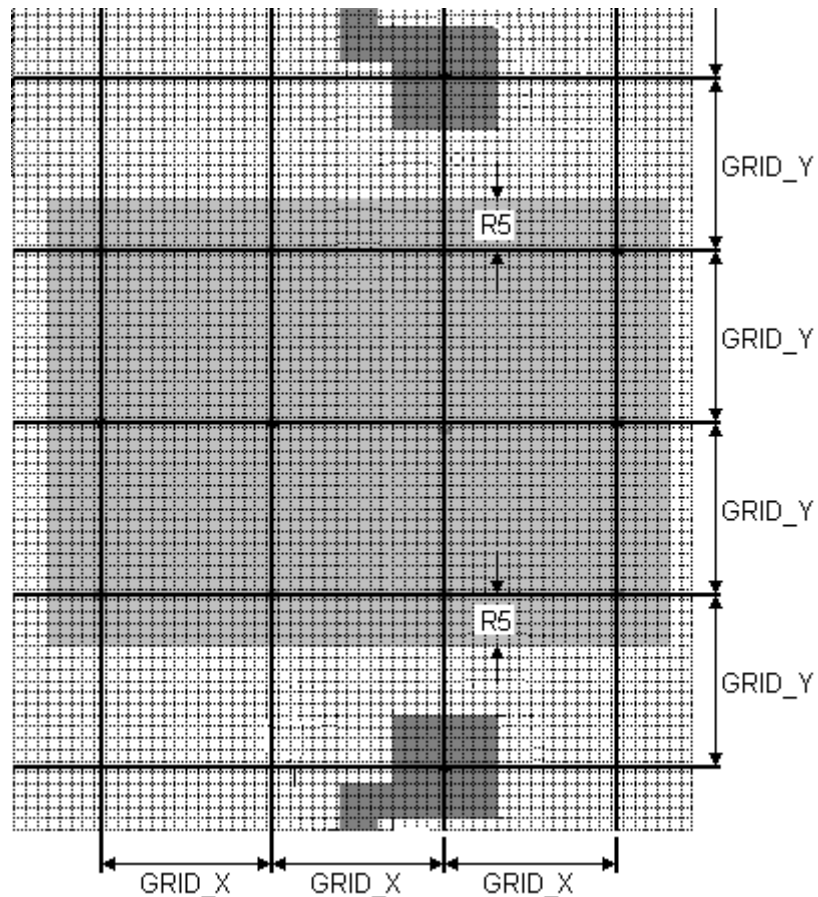


FIGURA 6.5 - Detalhe de uma linha de alimentação da matriz SOT mostrando a regra composta r5 usada para a geração automática

## 6.2 Cálculo do TAT equivalente

A transformação de cada transistor simples do projeto analógico em um TAT equivalente é mais uma das funções da ferramenta LIT. Dada a definição de equivalência em corrente, no qual o TAT equivalente deve possuir uma corrente DC igual ou próxima à corrente DC do transistor simples para uma mesma polarização, o fato é que podem existir várias soluções de TAT equivalente. Assim, cabe ao projetista decidir sobre qual solução utilizar.

Como visto no capítulo 4, as equações para o cálculo do TAT equivalente baseadas na aproximação por resistores lineares não produzem bons resultados quando os transistores unitários possuem comprimento de canal menores que  $0,5\mu\text{m}$ . Nestas tecnologias, os efeitos de canal curto são mais acentuados, principalmente o efeito de saturação da velocidade. A inclusão dos efeitos de canal curto sobre as equações da aproximação por resistores lineares complicaria em muito os cálculos, já que os transistores compostos MD e MS operam em regimes diferentes de polarização. Assim, outra aproximação para o cálculo dos TATs equivalentes é necessária.

Resolveu-se partir para um método segundo o qual a corrente DC de um TAT é calculada de acordo com equações que modelam os efeitos de canal curto. O valor desta corrente é, então, comparado ao valor da corrente de um transistor simples. Se os dois valores estiverem dentro de uma margem de diferença aceitável, então o TAT é

considerado equivalente. Caso contrário, parte-se para uma nova rodada de cálculos para um TAT de tamanho diferente. Apesar deste método usar a “força bruta” como solução, computacionalmente ele é eficiente. Em computadores atuais, tais cálculos devem demorar frações de segundo para serem realizados.

Os parâmetros de entrada deste método são os seguintes:

- Comprimento de canal do transistor simples ( $L_{sg}$ )
- Largura de canal do transistor simples ( $W_{sg}$ )
- Comprimento de canal dos transistores unitários ( $L_{un}$ )
- Largura de canal dos transistores unitários ( $W_{un}$ )
- Margem de diferença aceitável, em % ( $f$ )
- Menor valor de ND (ou NS) permitido
- Maior valor de ND (ou NS) permitido
- Tensões de polarização ( $V_{GS}$  e  $V_{DS}$ )
- Parâmetros elétricos do modelo para a tecnologia-alvo

Este último item motivou o uso das equações do modelo BSIM3v2.2 [LIN 99] para o cálculo do TAT equivalente. Como o Grupo de Microeletrônica da UFRGS trabalha principalmente com as tecnologias de fabricação da AMS (*Austria Mikro Systeme International AG*) e os modelos dos transistores fornecidos são relativos ao modelo BSIM, optou-se por utilizar as equações deste modelo. De outra, forma seria necessário re-extrair alguns parâmetros para outros modelos a partir dos parâmetros BSIM. Isto poderia acentuar eventuais erros do modelo em relação às curvas de corrente reais.

As equações do modelo BSIM utilizadas foram simplificadas, pois determinados fatores não são importantes no cálculo da corrente nos TATs. O efeito de corpo, por exemplo, causado pela diferença de tensão entre os terminais de fonte e *bulk*, foram ignorados.

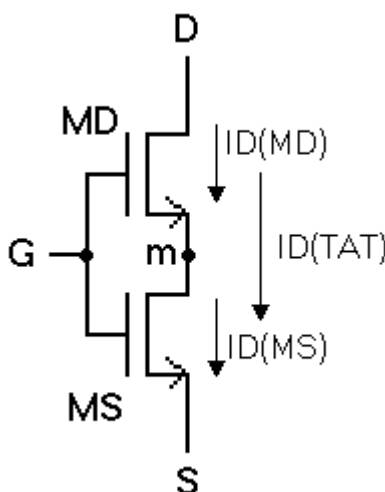


FIGURA 6.6 - Esquemático do TAT mostrando os nós e a direção das correntes em MD e MS

A corrente no TAT é calculada pelo seguinte método: de acordo com a fig. 6.6,  $I_{D(MD)} = I_{D(MS)} = I_{D(TAT)}$ . Calculando-se a corrente de dreno do transistor MD, temos a corrente do TAT. Esta corrente depende do valor de ND. Porém as tensões dreno-fonte e gate-fonte de MD são diferentes das do TAT:

$$\begin{aligned} V_{ds(MD)} &= V_{dm(TAT)} = V_{ds(TAT)} - V_{ms(TAT)} \\ V_{gs(MD)} &= V_{gm(TAT)} = V_{gs(TAT)} - V_{ms(TAT)} \end{aligned} \quad \text{eq. 6.5}$$

O valor de  $V_{ms}$  do TAT depende de ND e NS e pode ser aproximado por [CHO 2001]:

$$V_{ms} = \left( 1 - \frac{1}{\sqrt{1 + \frac{ND}{NS}}} \right) \cdot \frac{(V_{gs(TAT)} - V_{TH0})}{n} \quad \text{eq. 6.6}$$

onde  $V_{TH0}$  é a tensão de limiar de canal longo para  $V_{SB}=0$  (parâmetro  $V_{TH0}$ ) e  $n$  é o chamado *slope factor*, calculado pela seguinte equação no modelo BSIM:

$$n = 1 + N_{factor} \frac{C_d}{C_{ox}} + \frac{C_{it}}{C_{ox}} \quad \text{eq. 6.7}$$

$C_{ox}$  é a capacitância do óxido sob o gate,  $N_{factor}$  é um fator de ajuste de  $n$  fornecido com o modelo (parâmetro NFACTOR),  $C_{it}$  é a capacitância da interface óxido-silício (parâmetro CIT) e  $C_d$  é a capacitância da região de depleção dada por

$$C_d = \frac{\epsilon_{Si}}{X_{dep}} \quad \text{eq. 6.8}$$

A corrente de dreno do transistor composto MD, na região de inversão forte e em saturação, considerando  $R_{ds} = 0$ , é

$$I_{dsat(MD)} = ND \cdot W_{un\,eff} v_{sat} C_{ox} (V_{gst} - A_{bulk} V_{dsat}) \quad \text{eq. 6.9}$$

A largura efetiva de canal do transistor unitário, devido ao efeito de difusão lateral, é dada por

$$W_{un\,eff} = W_{un} - 2dW \quad \text{eq. 6.10}$$

O fator  $dW$  é modelado no BSIM através do parâmetro WINT. O mesmo efeito de difusão lateral ocorre para o valor efetivo do comprimento de canal:

$$L_{un\,eff} = L_{un} - 2dL \quad \text{eq. 6.11}$$

onde  $dL$  é equivalente ao parâmetro LINT. Para modelar a tensão *gate-fonte* efetiva no transistor MD é usada a seguinte expressão:

$$V_{gst} = V_{gs} - V_{ms} - V_{th} \quad \text{eq. 6.12}$$

sendo  $V_{gs}$  e  $V_{ms}$  relativos aos terminais do TAT. A tensão de limiar de MD ( $V_{th}$ ), incluindo efeito de canal curto e efeito de dopagem lateral não-uniforme, é dada por

$$V_{th} = V_{th0} + K_1 \left( \sqrt{1 + \frac{Nlx}{L_{uneff}}} - 1 \right) \sqrt{\Phi_s} - \Delta V_{th} \quad \text{eq. 6.13}$$

Neste caso consideramos que  $V_{sb}$  de MD é zero. Na equação,  $Nlx$  é o parâmetro de dopagem lateral não uniforme (NLX),  $K1$  o coeficiente de efeito de corpo de primeira ordem (K1) e  $\Phi_s$  é o potencial de superfície, dado por

$$\Phi_s = 2U_T \ln \left( \frac{N_a}{n_i} \right) \quad \text{eq. 6.14}$$

onde  $U_T$  é a tensão térmica (0,02586V a 300K),  $N_a$  é a concentração de dopantes no substrato (parâmetro NSUB) e  $n_i$  é a concentração intrínseca dos portadores, que pode ser aproximada por

$$n_i = 1.45 \cdot 10^{10} \cdot e^{21.5565981 \frac{E_{g0}}{2U_T}} \quad \text{eq. 6.15}$$

$$E_{g0} = 1.16 - \frac{7.02 \cdot 10^{-4} T_{nom}}{T_{nom} + 1108} \quad \text{eq. 6.16}$$

$T_{nom}$  é a temperatura nominal (neste caso, 300,15K). A variável  $\Delta V_{th}$  modela a redução da tensão de limiar devido a efeitos de canal curto.

$$\Delta V_{th} = \theta_{DIBL(L)} E_{ta0} V_{ds} \quad \text{eq. 6.17}$$

O efeito DIBL (*Drain Induced Barrier Lowering*) é modelado por

$$\theta_{DIBL(L)} = e^{\left( \frac{D_{sub} L_{uneff}}{2l_{r0}} \right)} + 2e^{\left( \frac{D_{sub} L_{uneff}}{l_{r0}} \right)} \quad \text{eq. 6.18}$$

$$l_{r0} = \sqrt{\frac{\epsilon_{Si} T_{ox} X_{dep}}{\epsilon_{ox}}} \quad \text{eq. 6.19}$$



$D_{sub}$  e  $E_{ta0}$  são coeficientes de DIBL na região de sub-limiar (parâmetros DSUB e ETA0, respectivamente).

A velocidade máxima de deriva dos portadores ( $v_{sat}$ ) é um parâmetro fornecido com o modelo (VSAT). Já a tensão de saturação da corrente de dreno  $V_{dsat}$  é dada por:

$$V_{dsat} = \frac{E_{sat} L_{un\,eff} V_{gst}}{A_{bulk} E_{sat} L_{un\,eff} + V_{gst}} \quad \text{eq. 6.20}$$

onde  $E_{sat}$  é o campo elétrico crítico no qual a velocidade dos portadores satura.

$$E_{sat} = \frac{2v_{sat}}{\mu_{eff}} \quad \text{eq. 6.21}$$

A mobilidade efetiva dos portadores é dada por:

$$\mu_{eff} = \frac{\mu_0}{1 + U_a \left( \frac{V_{gst} + 2V_{th}}{T_{ox}} \right) + U_b \left( \frac{V_{gst} + 2V_{th}}{T_{ox}} \right)^2} \quad \text{eq. 6.22}$$

para  $V_{sb} = 0$ .  $\mu_0$  é a mobilidade dos portadores na temperatura nominal (parâmetro U0),  $U_a$  é o coeficiente de degradação da mobilidade de primeira ordem (parâmetro UA) e  $U_b$  é o coeficiente de degradação da mobilidade de segunda ordem (parâmetro UB).

$A_{bulk}$  é o parâmetro de efeito de carga do substrato. Quando a tensão de dreno é grande e/ou o comprimento ( $L$ ) do canal é longo, a espessura da camada de depleção é não-uniforme ao longo do canal. Isto causa a variação de  $V_{th}$  ao longo do canal. Este parâmetro aumenta quando  $L$  aumenta:

$$A_{bulk} = \left( 1 + \frac{K_1}{2\sqrt{\Phi_s}} \left( \frac{A_0 L_{un\,eff}}{L_{un\,eff} + 2\sqrt{X_J X_{dep}}} \left( 1 - A_{gs} V_{gst} \left( \frac{L_{un\,eff}}{L_{un\,eff} + 2\sqrt{X_J X_{dep}}} \right)^2 \right) + \frac{B_0}{ND \cdot W_{un\,eff} + B_1} \right) \right) \quad \text{eq. 6.23}$$

$A_0$  = coeficiente de efeito de carga no substrato para o comprimento de canal (parâmetro A0).

$X_J$  = profundidade da junção (parâmetro XJ).

$X_{dep}$  = espessura da camada de depleção no substrato.  $X_{dep} = \sqrt{\frac{2\epsilon_{Si}\Phi_s}{qN_{ch}}}$  (para  $V_{bs}=0$ )

$\epsilon_{si}$  = permissividade do silício ( $1.06 \cdot 10^{-10}$  F/m)

$q$  = carga do elétron ( $1.60217733 \cdot 10^{-19}$  C)

$N_{ch}$  = concentração de dopantes no canal (parâmetro NCH).

$A_{gs}$  = coeficiente de polarização de gate (parâmetro AGS).

$B_0$  = coeficiente de efeito de carga no substrato para largura do canal (parâmetro B0).

$B_1$  = *offset* de largura para o efeito de carga no substrato (parâmetro B1).

A tabela 6.1 lista os parâmetros do modelo BSIM utilizados para o cálculo da corrente em um TAT.

TABELA 6.1 - Lista de parâmetros do modelo BSIM utilizados para o cálculo da corrente DC dos TATs

Símbolo	Descrição	Valor padrão	Unidade
<b>VTH0</b>	Tensão de limiar para transistores de canal longo com $V_{bs}=0$	0,7 (NMOS) -0,7 (PMOS)	V
<b>K1</b>	Parâmetro de efeito de corpo de primeira ordem	0,5	$V^{1/2}$
<b>NLX</b>	Parâmetro de dopagem lateral não-uniforme	1,74e-7	m
<b>U0</b>	Mobilidade à temperatura nominal	670 (NMOS) 250 (PMOS)	cm <sup>2</sup> /Vs
<b>UA</b>	Coeficiente de primeira ordem de degradação da mobilidade	2,25e-9	m/V
<b>UB</b>	Coeficiente de segunda ordem de degradação da mobilidade	5,87e-19	(m/V) <sup>2</sup>
<b>VSAT</b>	Velocidade de saturação à temperatura nominal	8e4	m/s
<b>A0</b>	Coeficiente do efeito de carga no substrato para comprimento de canal	1	-
<b>AGS</b>	Coeficiente de polarização de gate para $A_{bulk}$	0	1/V
<b>B0</b>	Coeficiente do efeito de carga no substrato para largura de canal	0	m
<b>B1</b>	<i>Offset</i> de largura de canal para o efeito de carga no substrato	0	m
<b>WINT</b>	Parâmetro de ajuste de largura de canal	0	m
<b>LINT</b>	Parâmetro de ajuste de comprimento de canal	0	m
<b>NFACTOR</b>	Fator de variação de sub-limiar	1	-
<b>ETA0</b>	Coeficiente de DIBL na região de sub-limiar	0,08	-
<b>DSUB</b>	Coeficiente do expoente de DIBL na região de sub-limiar	0,56	-
<b>CIT</b>	Capacitância de interface	0	F/m <sup>2</sup>
<b>TOX</b>	Espessura do óxido de gate	1,5e-8	m
<b>XJ</b>	Profundidade da junção	1,5e-7	m
<b>NCH</b>	Concentração de dopantes no canal	1,7e17	cm <sup>-3</sup>
<b>NSUB</b>	Concentração de dopantes no substrato	6e16	cm <sup>-3</sup>

Um TAT é considerado equivalente a um transistor simples quando

$$f(\%) > 100 - \left| \frac{I_{D(TAT)} \cdot 100}{I_{D(Tran.simples)}} \right| \quad \text{eq. 6.24}$$

As equações descritas até agora se referem a um TAT do tipo NMOS. Para o cálculo da corrente DC em um TAT do tipo PMOS basta inverter o sinal de  $V_{GS}$ ,  $V_{DS}$  e  $V_{TH0}$  e trata-lo como um pseudo-NMOS.

As simplificações realizadas no cálculo da corrente provocam um pequeno erro em relação à simulação spice. Porém a diferença está dentro de uma margem de erro aceitável, pelo fato de que o próprio modelo contém erro em relação à corrente real. A tabela 6.2 mostra a diferença entre as correntes calculadas pelo LIT e as simuladas no spice para um transistor simples e 4 TATs equivalentes. Estes 4 TATs equivalentes foram fornecidos pela ferramenta LIT a partir das especificações de erro máximo de 5%,  $V_{GS}=V_{DS}=3V$ ,  $W_{in}=4\mu m$ ,  $L_{in}=0,3\mu m$  e ND máximo de 10. De acordo com a tabela 6.2, a maior diferença entre as correntes foi de 6,7%, o que é aceitável do ponto de vista de projeto analógico. A menor diferença foi para o TAT 4 (ND=6, NS=5). As figuras 6.7 e 6.8 mostram as curvas características  $I_D \times V_{GS}$  e  $I_D \times V_{DS}$  do transistor simples e do TAT 4. Pode-se notar que o ajuste da corrente para uma determinada polarização na região de saturação não garante o ajuste para as demais polarizações, principalmente pelo fato de que a transcondutância  $gm$  do transistor simples e do TAT equivalente são diferentes (capítulo 4). Já na região linear o casamento das correntes fica evidente, pois os efeitos de canal curto não se sobressaem.

TABELA 6.2 - Comparação entre as correntes calculadas pela ferramenta LIT e as simuladas em uma ferramenta comercial spice para um transistor simples e 4 TATs equivalentes.

	<b>W</b>	<b>L</b>	<b>ND</b>	<b>NS</b>	<b><math>I_D</math> (spice)</b>	<b><math>I_D</math> (LIT)</b>	<b>Diferença (%)</b>
<b>Tran. simples</b>	30 $\mu m$	1 $\mu m$	-	-	6,9 mA	7,2 mA	4,3
<b>TAT 1</b>			7	6	7,5 mA	7,0 mA	6,7
<b>TAT 2</b>			8	5	7,2 mA	6,9 mA	4,2
<b>TAT 3</b>			8	6	8,0 mA	7,5 mA	6,2
<b>TAT 4</b>			9	5	7,5 mA	7,2 mA	4,0

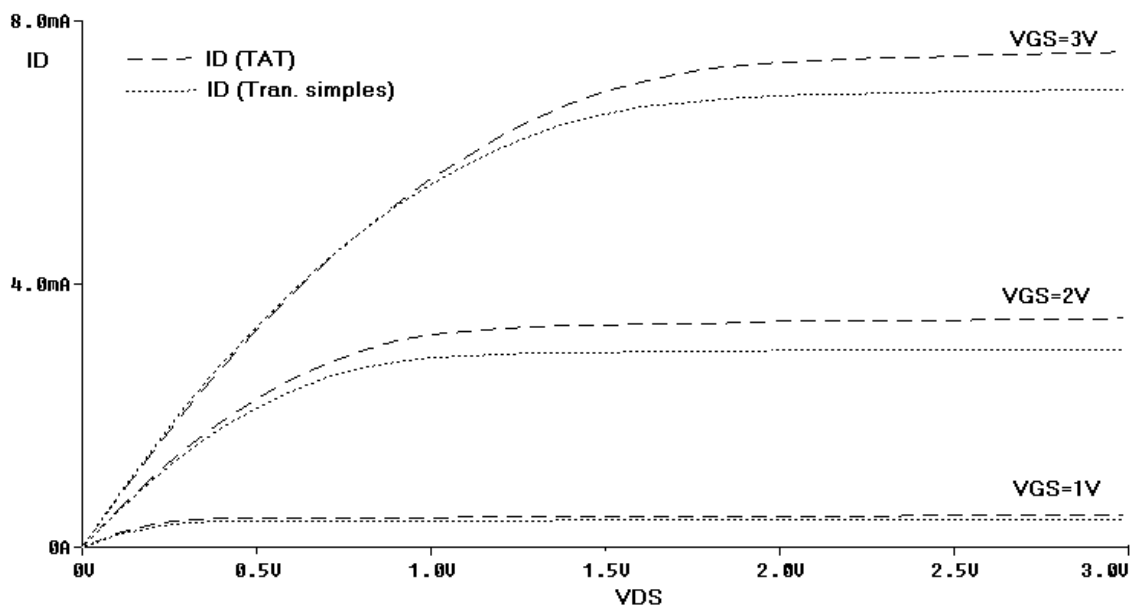


FIGURA 6.7 - Simulação elétrica  $I_D \times V_{DS}$  de um transistor NMOS simples ( $W=30\mu\text{m}$ ,  $L=1\mu\text{m}$ ) e um TAT equivalente ( $ND=9$ ,  $NS=5$ ,  $W_{un}=4\mu\text{m}$ ,  $L_{un}=0,3\mu\text{m}$ ).

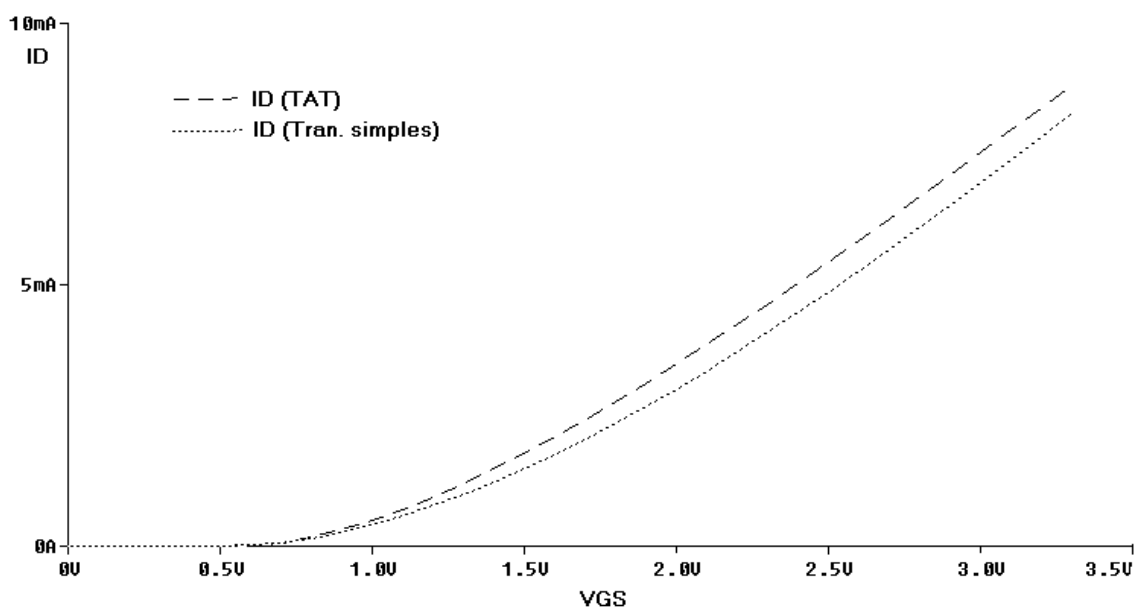


FIGURA 6.8 - Simulação elétrica  $I_D \times V_{GS}$  de um transistor simples ( $W=30\mu\text{m}$ ,  $L=1\mu\text{m}$ ) e um TAT equivalente ( $ND=9$ ,  $NS=5$ ,  $W_{un}=4\mu\text{m}$ ,  $L_{un}=0,3\mu\text{m}$ ), ambos operando na região de saturação ( $V_{DS}=3\text{V}$ ).

Outra função implementada no LIT é a estimativa das capacitâncias parasitas dos nós do TAT. A informação destas capacitâncias fornece ao projetista mais subsídios para a melhor escolha de  $ND$  e  $NS$  do TAT equivalente.

### 6.3 Geração do leiaute dos TATs e blocos básicos

A ferramenta LIT, no seu atual estado de desenvolvimento, proporciona a geração automática do leiaute de três diferentes blocos básicos, assim chamados: TAT, par diferencial e espelho de corrente. O primeiro nada mais é do que uma associação trapezoidal de transistores equivalente a um transistor simples, com valores de ND e NS definidos. O par diferencial é um conjunto de dois TATs exatamente iguais com fonte comum. Já o espelho de corrente pode conter dois ou mais TATs com dimensões variáveis. A figura 6.9 mostra o esquemático destes blocos. A geração automática conjunta dos TATs em pares diferenciais e em espelhos de corrente é necessária para que ocorra um bom casamento de corrente entre os TATs, conforme discutido no capítulo 5.

A estratégia utilizada para a geração dos blocos básicos é simplesmente posicionar e conectar adequadamente, através de ligações em metal, os nós dos transistores unitários pré-difundidos na matriz SOT. Seguindo a definição prévia de que as linhas de metal 1 só podem existir na direção vertical e de que as linhas de metal 2 só podem existir na direção horizontal, temos uma total transparência entre as camadas de metal.

Podemos também chamar a geração dos blocos básicos como roteamento interno das células, já que os transistores unitários da matriz SOT já estão pré-difundidos e, por isso, possuem posição fixa. O roteamento interno, então, nada mais é do que uma célula contendo ligações em metal. Esta célula é instanciada sobre a matriz, definindo assim a funcionalidade do circuito. A geração automática dos TATs e dos blocos básicos cria as seguintes camadas:

- contatos
- metal 1
- vias
- metal 2

Para isolar um bloco básico de outro localizado imediatamente ao seu lado sobre a matriz SOT, é utilizada a técnica de isolamento por *gate* (ou *gate isolation*) [NOI 85] [SAK 85]. Esta técnica permite que mais de um bloco básico seja gerado sobre uma mesma banda sem a necessidade de quebra na difusão. Utiliza-se um dos *gates* da matriz polarizado reversamente (NMOS ligado em  $V_{SS}$  ou PMOS ligado em  $V_{DD}$ ), o que faz com que não circule corrente do dreno para a fonte neste transistor (desconsiderando as correntes de fuga). Além de isolar as duas regiões de difusão adjacentes, a técnica de isolamento por *gate* também tem a vantagem de reduzir as capacitâncias parasitas de *sidewall* nestas regiões. A perda em área é de apenas dois transistores por banda (um em cada lateral do bloco). Em certas tecnologias, entretanto, o uso de isolamento por *gate* ao invés de quebra na difusão pode representar economia de área. Se a mínima distância entre duas camadas de difusão for maior que o comprimento mínimo de canal mais a distância mínima entre *gate* e contato, então a técnica de isolamento por *gate* trará vantagens em relação à área ocupada pelo circuito.

*Gates* de isolamento também podem existir dentro dos blocos, seguindo os mesmos princípios de isolar duas regiões de difusão adjacentes.

A seguir um detalhamento maior sobre a geração de cada bloco será feito.

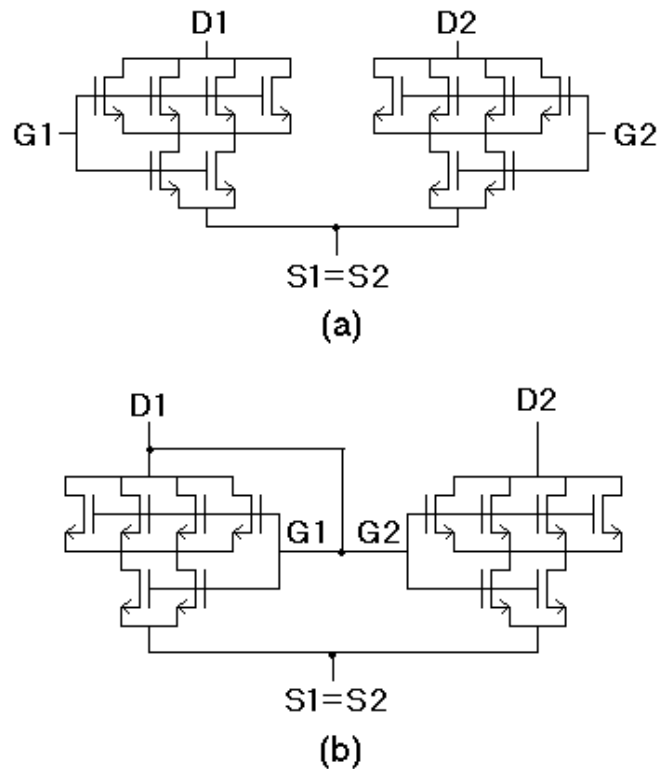


FIGURA 6.9 - Esquemático dos blocos analógicos básicos gerados automaticamente: a) par diferencial com TATs; b) espelho de corrente com TATs. Neste exemplo, todos os TATs possuem  $ND=4$  e  $NS=2$ .

### 6.3.1 Geração automática dos TATs

A regularidade da matriz SOT não permite muita flexibilidade em relação à geração do leiaute dos TATs. Definidos  $ND$  e  $NS$ , as variáveis que restam são apenas o tamanho do transistor unitário (normal ou mínimo) e o número de bandas.

O tamanho do transistor unitário é definido no momento da geração da associação, não sendo, assim, uma escolha em nível de leiaute.

O número de bandas utilizadas para a geração do leiaute de um TAT torna-se, então, o fator mais importante. Se todo o leiaute for gerado em uma só banda, o fator de forma da célula pode não ser adequado, ou seja, para um número grande de transistores unitários esta talvez não seja a melhor solução. Por outro lado, a utilização de mais de uma banda pode ocasionar perda de transistores que não fazem parte da célula e que estão localizados entre as trilhas de transistores unitários ativos. Este fato acontece principalmente quando mais de duas bandas são utilizadas. Analisando o uso de mais de duas bandas, chegou-se à conclusão de que a perda em área e o aumento das conexões tornam esta opção inviável. Assim, a ferramenta LIT pode criar o leiaute dos TATs em dois estilos diferentes: com transistores unitários em uma só banda ou em duas bandas (figura 6.10).

Para evitar a quebra de difusão dentro da célula, o que acarretaria na inserção de transistores de isolamento, a ordem dos transistores unitários é determinada de acordo com o caminho de Euler, que é uma linha imaginária que passa através de cada transistor uma única vez sem sofrer interrupção. A fig. 6.11 mostra um exemplo de caminho de Euler em um TAT.

A principal diferença entre os dois estilos de leiaute propostos está no comprimento total das conexões. A melhor opção dependerá do número total e do tamanho dos transistores unitários. Além disso, ocorrerá uma pequena diferença na área e no perímetro de difusão dos transistores unitários localizados nas laterais da célula. No estilo de leiaute em duas bandas vão existir 4 transistores unitários nas laterais, enquanto que em uma só banda existirão apenas dois. Isto ocasiona um pequeno acréscimo da capacitância parasita dos nós localizados nas laterais no caso de geração em duas bandas.

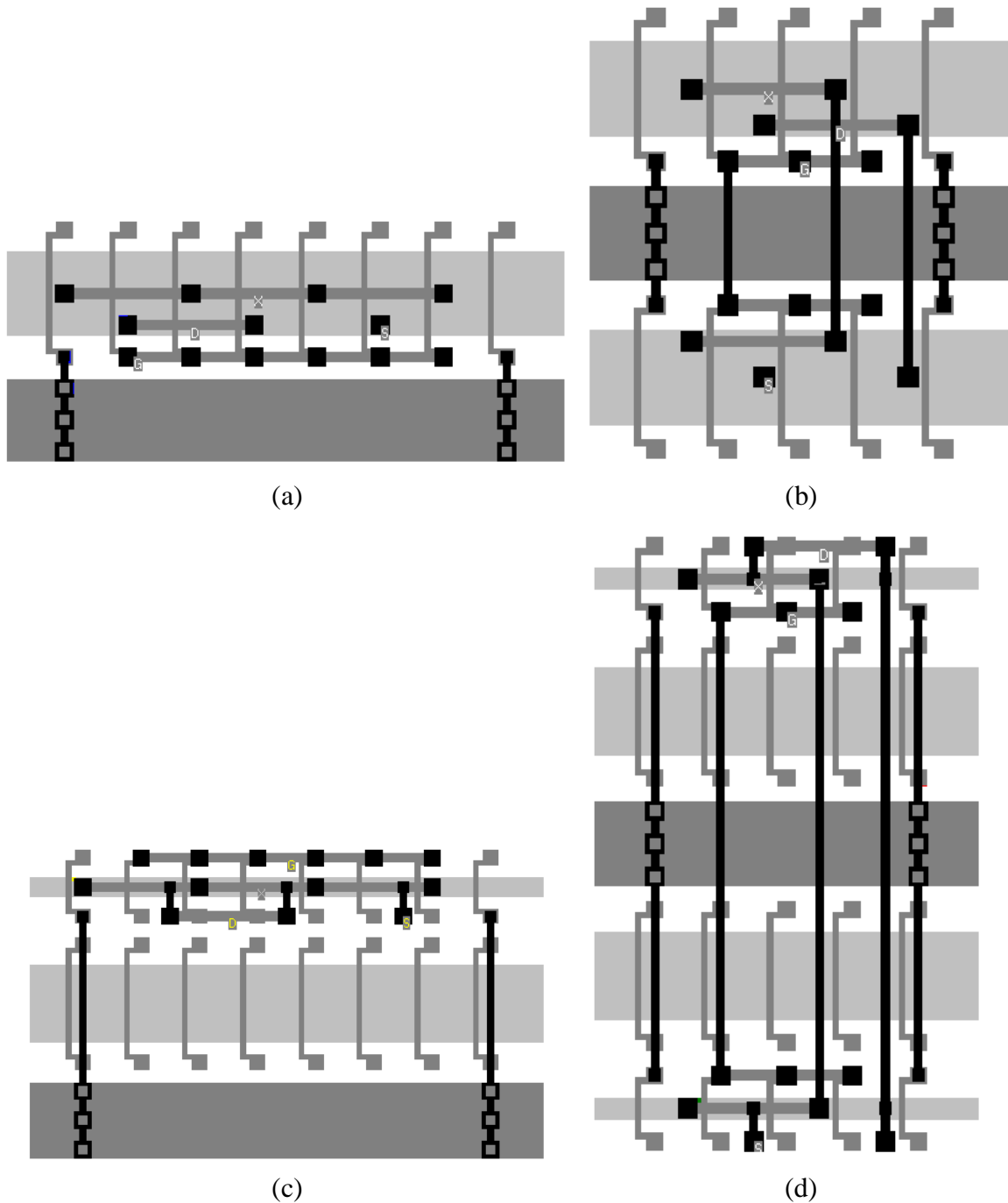


FIGURA 6.10 - Estilos de leiaute para TATs: a) transistores unitários normais, uma banda; b) transistores unitários normais, duas bandas; c) transistores unitários mínimos, uma banda; d) transistores unitários mínimos, duas bandas.

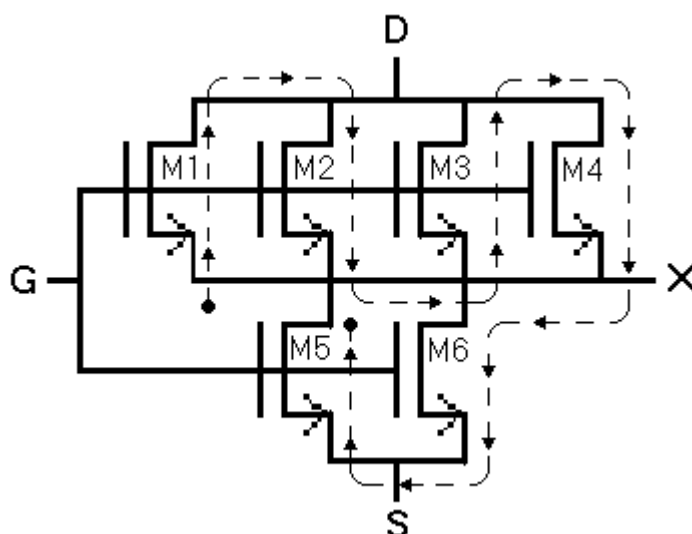


FIGURA 6.11 - Exemplo do caminho de Euler para um TAT com  $ND=4$  e  $NS=2$ . A ordem dos gates dos transistores unitários é M1-M2-M3-M4-M6-M5 e a ordem dos nós de difusão é X-D-X-D-X-S-X.

### 6.3.2 Geração automática do par diferencial

Para prover um melhor casamento entre dois TATs, a ferramenta LIT é capaz de gerar seu leiaute em conjunto. Ou seja, os dois TATs que formam um par diferencial são reunidos em um bloco básico e o leiaute é gerado levando em consideração certas restrições quanto ao pareamento. Conforme visto no capítulo 5, existem várias técnicas de geração do leiaute de um par diferencial que podem ser adotadas sobre a matriz SOT. O LIT é capaz de gerar o leiaute de qualquer configuração, partindo-se do princípio de que o fator mais importante é a posição relativa dos transistores unitários. A ordem pela qual os transistores unitários são dispostos é que define o estilo de leiaute. A partir de informações sobre este ordenamento, um algoritmo baseado em trilhas horizontais e verticais é utilizado para a geração do roteamento interno da célula.

O ordenamento dos transistores unitários é realizado automaticamente a partir da escolha do projetista sobre qual a estratégia de pareamento a ser utilizada. Os algoritmos para a automação do ordenamento são específicos para cada estratégia, e levam em consideração o tipo e o número de transistores unitários ( $ND$  e  $NS$ ). Estes algoritmos retornam a ordem dos transistores unitários e a ordem dos nós de difusão. O LIT possui, então, um “banco de ordenadores”, ou seja, um conjunto de algoritmos de ordenamento de transistores unitários, os quais podem ser editados e incrementados.

Os principais ordenadores disponíveis atualmente são para as estratégias de par cruzado e interdigitação. Porém, para que o projetista tenha a liberdade de modificar a ordem dos transistores unitários proposta pelos algoritmos, o LIT disponibiliza um ambiente gráfico no qual é possível realizar esta operação visualmente, bastando “clique e arrastar”. Com isto é possível criar estratégias mistas ou variações de estratégias de pareamento.

Como exemplo, deseja-se realizar o ordenamento dos transistores unitários de dois TATs (T1 e T2) com  $ND=4$  e  $NS=2$  segundo a estratégia de par cruzado. Considerando-se o nome dos transistores unitários e os nós de T1 e T2 conforme a figura 6.12, o retorno do algoritmo deve ser o seguinte:



Ordem dos transistores unitários:

banda superior: t1\_d1 - t1\_d2 - t1\_s1 - t2\_s1 - t2\_d2 - t2\_d1

banda inferior: t2\_d4 - t2\_d3 - t2\_s2 - t1\_s2 - t1\_d3 - t1\_d4

Ordem dos nós de difusão:

banda superior: X1 - D1 - X1 - S - X2 - D2 - X2

banda inferior: X2 - D2 - X2 - S - X1 - D1 - X1

A figura 6.13 mostra graficamente o resultado do ordenamento dos transistores unitários. O nó de fonte comum aos dois TATs permite a existência de um caminho de Euler em cada banda. Porém esta nem sempre é uma regra. Pode haver casos em que seja necessária a introdução de transistores de isolamento no interior da célula. A figura 6.14 mostra o leiaute completo do par diferencial.

É preciso lembrar que a estratégia par cruzado requer sempre o uso de duas bandas.

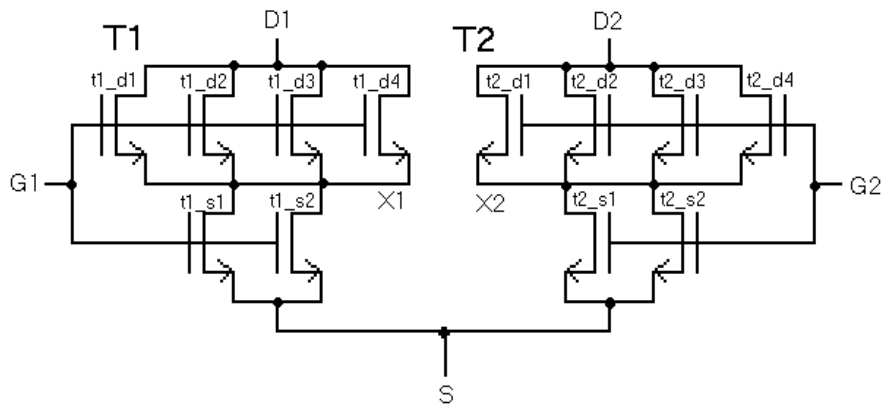


FIGURA 6.12 - Esquemático de um par diferencial mostrando os nomes e os nós dos transistores unitários

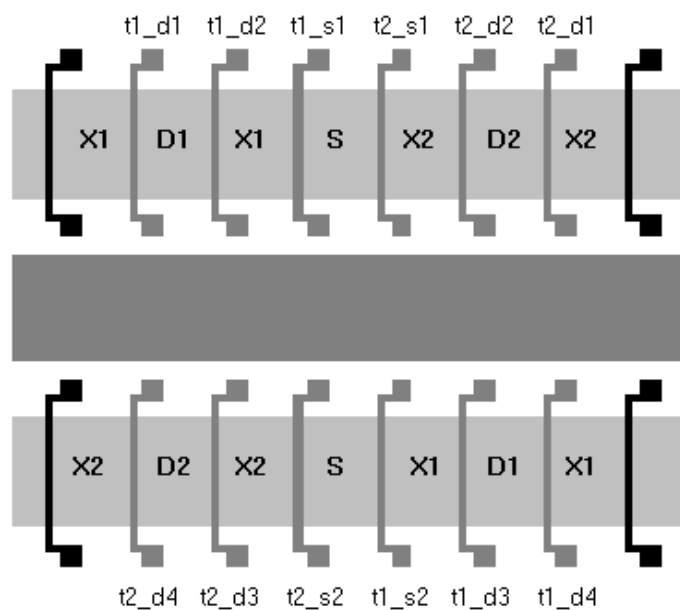


FIGURA 6.13 - Leiaute simbólico mostrando o resultado do ordenamento par cruzado de um par diferencial onde cada TAT tem ND=4 e NS=2

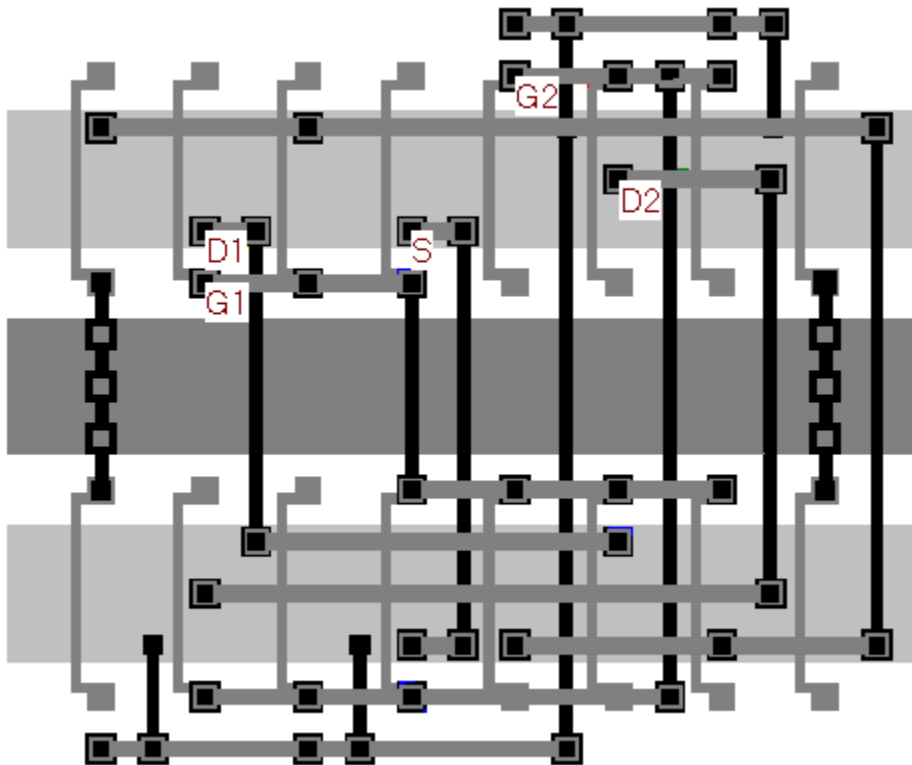


FIGURA 6.14 - Leiaute completo do par diferencial na configuração par cruzado, sendo  $ND=4$  e  $NS=2$  para ambos os TATs.

### 6.3.3 Geração automática do espelho de corrente

O bloco espelho de corrente segue o mesmo princípio do par diferencial. A única diferença está na ligação adicional entre os nós de *gate* dos TATs e o nó de dreno do TAT de referência. As mesmas estratégias de pareamento são utilizadas e, portanto, o mesmo banco de ordenadores.

Como o espelho de corrente pode conter um número variável de TATs de tamanhos diferentes, pode-se dizer que o leiaute do par diferencial é um caso especial do leiaute do espelho de corrente.

## 6.4 Geração automática do leiaute dos capacitores

Como a matriz SOT é composta somente por transistores e considerando que não existem bancos de capacitores, os capacitores são obtidos através das capacitâncias parasitas de *gate*. A ferramenta LIT possui recursos que permitem o cálculo do número de transistores unitários necessários para se atingir a capacitância desejada, além de gerar automaticamente as conexões entre estes transistores.

Considerando-se que todos os transistores unitários sejam iguais, a quantidade de *gates* necessária para se criar uma determinada capacitância desejada  $C_{des}$  é dada por:

$$N = \frac{C_{des}}{C_{G_{un}}} \quad \text{eq. 6.25}$$

onde  $C_{G_{un}}$  é a capacitância de *gate* de cada transistor unitário. Porém, a matriz SOT possui transistores unitários de três tamanhos diferentes: NMOS, PMOS e mínimos. Para evitar perda de área, podemos utilizar todos estes transistores na criação do capacitor:

$$C_{des} = p \cdot C_{G\_NMOS} + q \cdot C_{G\_PMOS} + r \cdot C_{G\_mínimos} \quad \text{eq. 6.26}$$

onde  $p$ ,  $q$  e  $r$  são o número de transistores unitários NMOS, PMOS e mínimos, respectivamente. Desta maneira, é possível aproveitar-se de todos os transistores unitários da banda.

O fator de forma do capacitor formado por *gates* é definido pelo número de bandas utilizadas e pelo número de células em cada banda. O LIT permite a geração de capacitores com qualquer fator de forma. Inicialmente é feita uma previsão de quantos transistores são necessários para se atingir a capacitância desejada. A partir daí, o projetista determina quantas bandas deseja utilizar. O posicionamento absoluto e o roteamento interno da célula capacitor são feitos automaticamente.

Como exemplo, para um capacitor de 1,5pF, a ferramenta LIT estima um total de 274 transistores unitários (tecnologia 0,35). Uma opção de leiaute para este capacitor está mostrado na fig. 6.15.

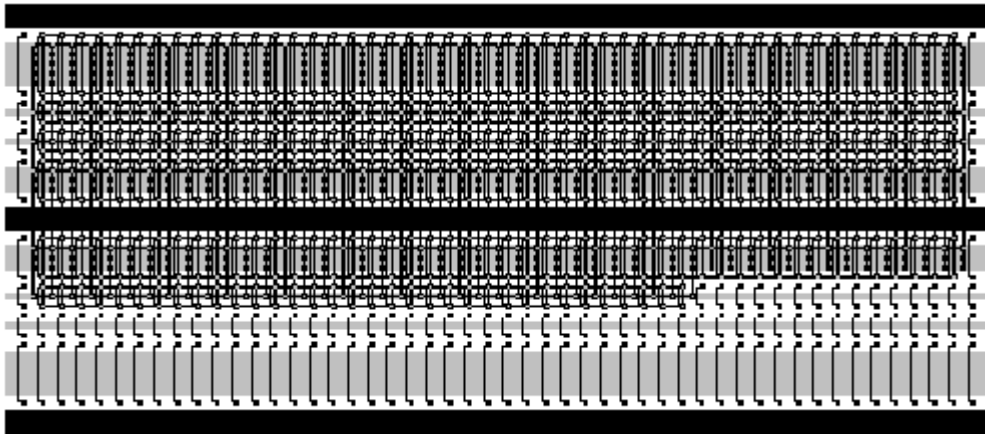


FIGURA 6.15 - Leiaute de um capacitor de 1,5pF construído a partir das capacitâncias de *gate* dos transistores unitários da matriz SOT, tecnologia AMS 0.35µm.

## 6.5 Posicionamento das células

Seguindo o fluxo de projeto proposto para o projeto de circuitos analógicos com TATs, depois que o leiaute de cada bloco básico é gerado, é feito então o posicionamento dos blocos sobre a matriz SOT. Dentro da filosofia de integrar todo o ciclo de projeto em uma mesma ferramenta, o LIT dispõe de um ambiente gráfico para posicionamento de células. Este ambiente permite ao projetista o posicionamento manual de cada TAT ou bloco básico simplesmente clicando e arrastando as células

com o mouse. Para evitar a violação de regras de leiaute durante este processo manual, as células são movidas somente em múltiplos da grade. A figura 6.16 mostra como este ambiente gráfico é formado.

No ambiente de posicionamento estão incluídas algumas ferramentas, como espelhamento e rotação das células, régua para medição de distâncias e opção para salvar a figura do layout em formato *bitmap* ou em formato CIF.

Como trabalho futuro, pretende-se aplicar algoritmos de posicionamento para circuitos analógicos de modo a automatizar este processo.

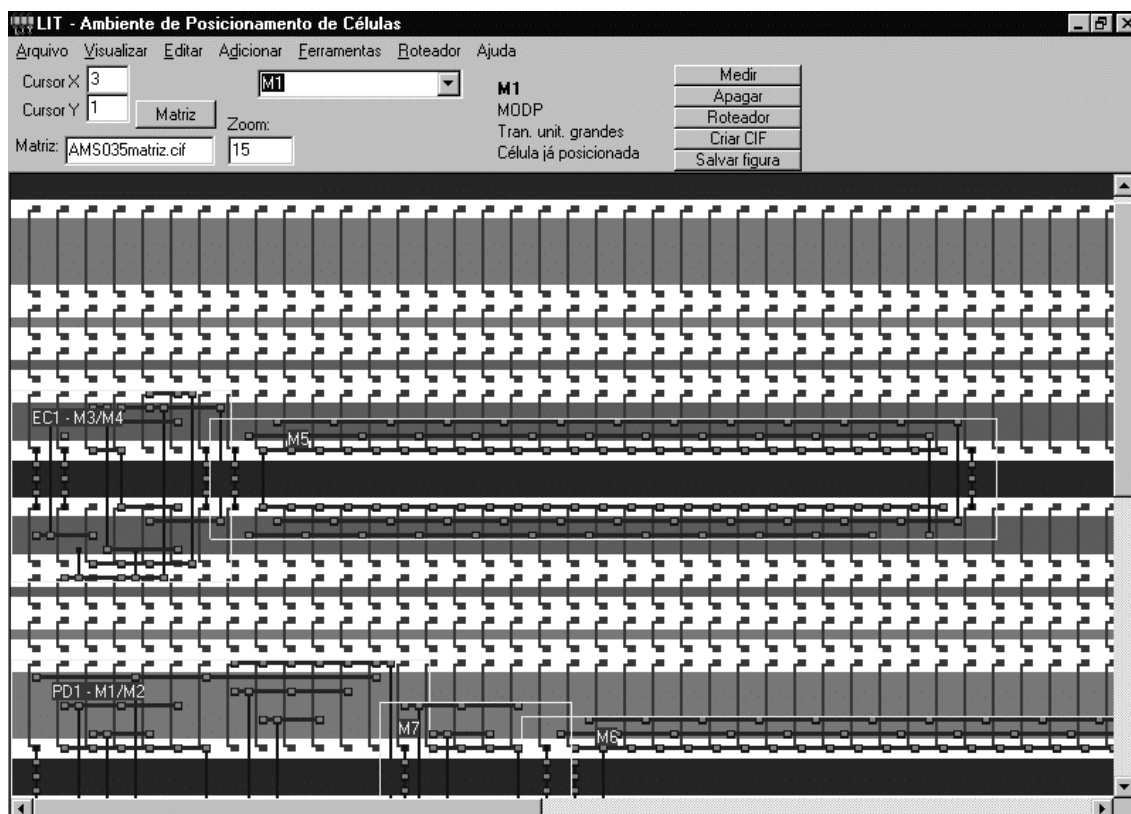


FIGURA 6.16 - Aparência do ambiente gráfico de posicionamento de células da ferramenta LIT.

## 6.6 Roteamento global

O roteamento entre as células é feito a partir do terceiro nível de metal. A matriz SOT é totalmente transparente ao metal 3, pois todas as conexões internas das células são feitas em metal 1 e metal 2. Isto facilita o roteamento global, evitando-se conexões mais longas.

Para evitar a mudança de ambiente nesta etapa, uma ferramenta de roteamento automático, baseada no algoritmo Maze Router usando A\* [HAR 68], foi integrada ao LIT. Apesar de originalmente este algoritmo ser dedicado ao roteamento de circuitos digitais, seu uso para circuitos analógicos pode ser visto como um roteamento inicial que depois será otimizado. Em muitos casos, entretanto, uma otimização não é necessária.

A camada de roteamento é vista no LIT como uma célula que é instanciada sobre a matriz.

Pretende-se, como trabalho futuro, agregar algoritmos de roteamento específicos para circuitos analógicos, os quais devem levar em considerações restrições quanto a atraso, pareamento, casamento de impedância, etc.

## 6.7 Outras funções da ferramenta LIT

Além das funções descritas acima, a ferramenta LIT proporciona ao projetista a possibilidade de extração do leiaute em uma descrição no formato spice e geração de arquivos de troca em formato CIF.

A extração do leiaute implementada é uma extração de primeira ordem, ou seja, não leva em consideração as resistências e capacitâncias parasitas decorrentes das conexões em metal. São extraídos os transistores unitários e suas dimensões ( $W_{un}$  e  $L_{un}$ ), e as áreas e os perímetros das regiões de difusão. Com estas informações, entretanto, o projetista já pode realizar simulações elétricas durante a fase de projeto sem perda significativa de confiabilidade. A figura 6.17 mostra as curva simuladas  $I_{Dx}V_{DS}$  de um TAT cujo leiaute foi extraído pelo LIT e do mesmo TAT extraído pela ferramenta comercial Cadence (extração completa de resistências e capacitâncias parasitas). A diferença entre as curvas é de aproximadamente 2,5%, perfeitamente aceitável em se tratando de uma simulação. As duas descrições spice completas podem ser vistas no Anexo 1.

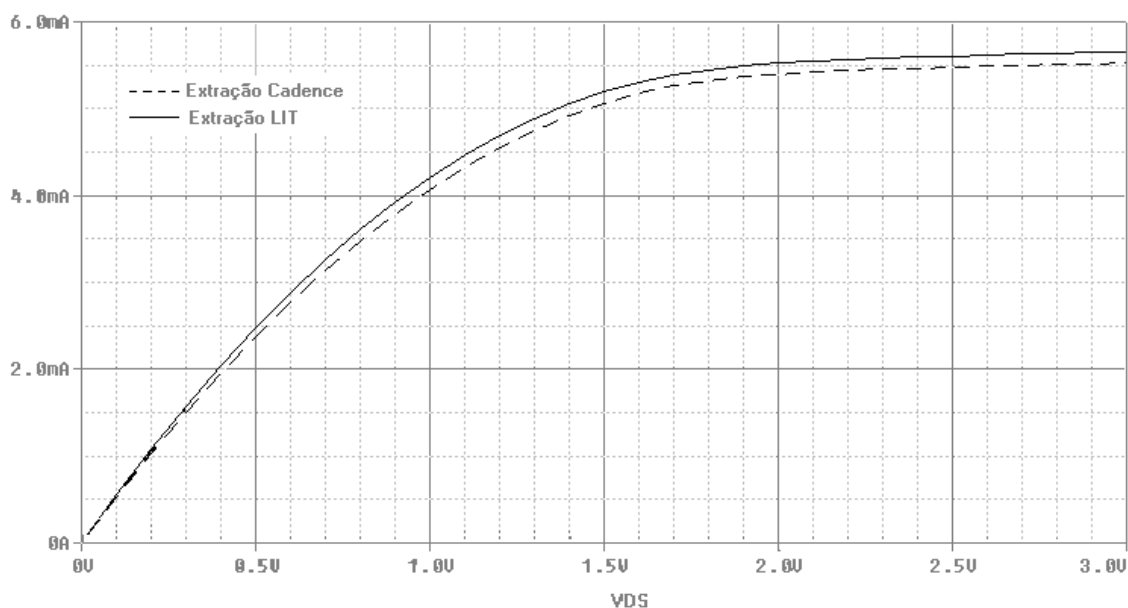


FIGURA 6.17 - Comparação das curvas  $I_{Dx}V_{DS}$  de um TAT do tipo NMOS com  $ND=6$ ,  $NS=4$ ,  $W_{un}=4\mu m$ ,  $L_{un}=0,3\mu m$  extraídas a partir do leiaute pelas ferramentas LIT e Cadence.  $V_{GS}=3V$ ,  $V_{SB}=0$ .

A geração dos arquivos em formato CIF pode ser feita para células individuais ou para o circuito completo. O formato CIF é padrão na indústria de semicondutores e arquivos neste formato são importados por praticamente todas as ferramentas comerciais.

Além disso, também está integrado ao LIT um visualizador de leiaute em formato CIF, uma ferramenta para medida de dimensões sobre o leiaute (régua) e um gerador de esquemático para TATs. Todas estas ferramentas integradas em um só

ambiente auxiliam no andamento do fluxo de projeto, evitando a migração para outros ambientes durante a realização de determinadas etapas.

O LIT pode ser visto também como uma ferramenta de geração do leiaute de blocos analógicos individuais, os quais não precisam necessariamente ser compostos por TATs. Um TAT se transforma em um transistor simples se considerarmos que NS é igual a zero e que cada transistor unitário é um segmento de um transistor simples. Aplicando-se as funções de casamento de transistores implementadas pelo LIT, temos uma ferramenta interessante para a síntese física de qualquer circuito analógico.

## 6.8 Conclusão

A ferramenta LIT foi implementada para preencher uma lacuna no projeto de circuitos analógicos utilizando TATs sobre uma matriz digital pré-difundida. Não há ferramentas comerciais específicas para tal projeto. Assim, esta ferramenta torna-se importante para automatizar o processo de síntese física de circuitos analógicos e diminuir o tempo e os custos de projeto.

Este capítulo expôs as funcionalidades da ferramenta, que incluem a geração do leiaute da matriz pré-difundida, cálculo da associação trapezoidal de transistores, geração do leiaute dos TATs, par diferencial, espelho de corrente e capacitores, ambiente para posicionamento manual das células sobre a matriz e roteamento global automático entre as células. Além disso, várias funções que não poderiam deixar de faltar em uma ferramenta deste tipo também foram implementadas: geração do arquivo em formato CIF, extração do circuito em formato spice, visualizador de leiaute e estimativa das capacitâncias parasitas dos TATs.

Uma das principais características do LIT é forma modular como as funções foram implementadas, ou seja, uma totalmente independente da outra. Por exemplo, o cálculo do TAT equivalente e a geração do leiaute dos TATs são dois módulos distintos e podem ser usados em situações isoladas sem que isso interfira no seu funcionamento.

As facilidades gráficas do LIT são um benefício a mais proporcionado pela ferramenta. Desta forma, mesmo projetistas de circuitos analógicos menos experientes podem, de maneira rápida e intuitiva, realizar projetos de qualidade e de boa confiabilidade.

O manual do usuário do LIT, mostrando mais detalhes do funcionamento desta ferramenta, está no Anexo 3.

## 7 Projeto de um amplificador Miller

Este capítulo descreve o projeto de um circuito analógico com transistores simples e a sua transformação em um circuito composto por TATs aplicado à matriz SOT. O circuito utilizado como exemplo é um amplificador operacional de dois estágios. Este amplificador é composto por um par diferencial, um espelho de corrente e mais três transistores, além de um capacitor de compensação. Apesar de ser um circuito simples, com ele é possível demonstrar toda a potencialidade de um projeto com TATs, já que diversos fatores estão envolvidos, como casamento de transistores, equivalência em corrente e equivalência em pequenos sinais.

O capítulo inicia com a descrição do amplificador Miller de dois estágios. Logo após, duas metodologias de projeto são comparadas: a metodologia convencional, que utiliza equações de corrente de primeira ordem, e a metodologia  $g_m/I_D$ , que tem como única ligação entre o projeto e a tecnologia de fabricação a curva  $g_m/I_D$  versus  $I_D/(W/L)$ . O amplificador com transistores simples é, então, projetado, e a transformação para o projeto com TATs se dá através de três versões diferentes, cada uma enfatizando um fator para a escolha do melhor TAT equivalente. Ao final são feitas comparações entre os resultados obtidos para o desempenho de cada projeto. Todos os projetos são realizados com o auxílio da ferramenta LIT.

### 7.1 O Amplificador Miller

O amplificador operacional Miller é um amplificador de dois estágios que tem esta denominação porque utiliza a versão mais simples da técnica da compensação “Miller”. Esta técnica é aplicada conectando-se um capacitor da saída do circuito à entrada do segundo estágio amplificador. A fig. 7.1 mostra o esquemático do amplificador Miller.

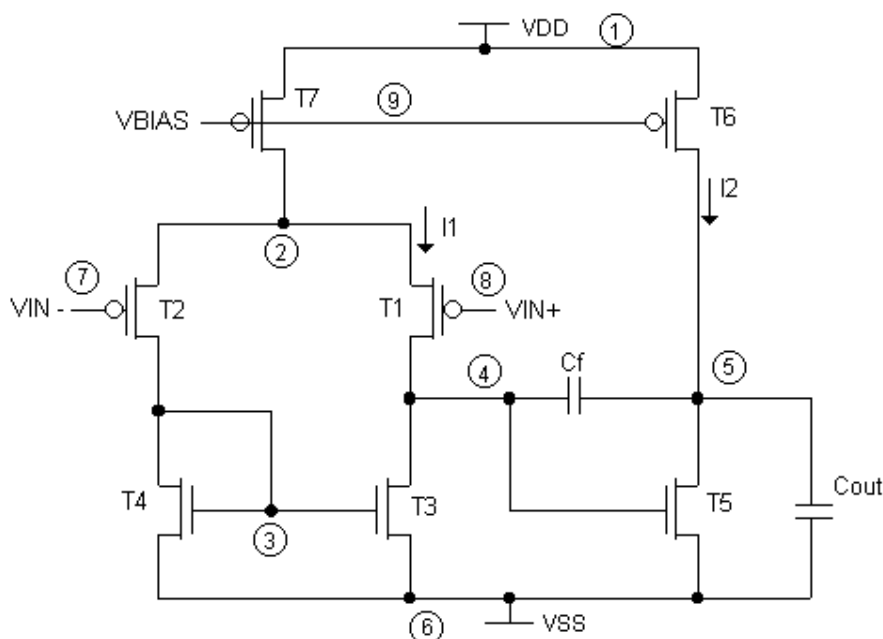


FIGURA 7.1 - Esquemático do amplificador Miller

O primeiro estágio é um amplificador diferencial, formado pelos transistores T1, T2, T3, T4 e T7. O amplificador diferencial é um dos circuitos mais versáteis no projeto analógico. Ele serve como estágio de entrada para a maioria dos amplificadores operacionais e é formado por um par diferencial, um espelho de corrente (carga) e um transistor que tem a função de fonte de corrente. O circuito equivalente para pequenos sinais do primeiro estágio está mostrado na figura 7.2. Podemos ver que a resistência de saída é dada por

$$r_l = \frac{1}{g_{ds1} + g_{ds3}} \quad \text{eq. 7.1}$$

O ganho em baixas frequências deste estágio é dado por:

$$A_{v0(f)} = -\frac{gm_1}{g_{ds1} + g_{ds3}} \quad \text{eq. 7.2}$$

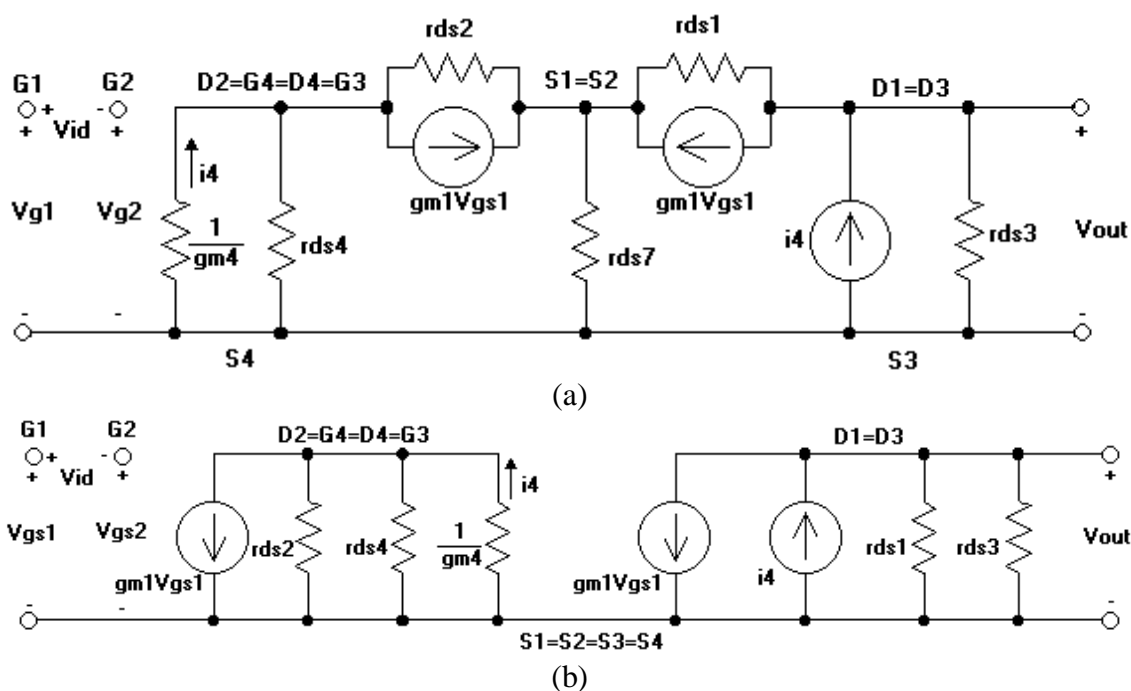


FIGURA 7.2 - Modelo de pequenos sinais do primeiro estágio do amplificador Miller. a) Modelo exato; b) Modelo equivalente simplificado

O segundo estágio é um amplificador inversor com fonte de corrente, formado pelos transistores T5 e T6. Esta configuração proporciona um alto ganho de tensão. A fonte de corrente usa o transistor T6 com a mesma polarização de T7. O circuito equivalente para pequenos sinais do segundo estágio está mostrado na fig. 7.3. A resistência de saída é dada por:

$$r_{II} = \frac{1}{g_{ds5} + g_{ds6}} \quad \text{eq. 7.3}$$



E o ganho em baixas frequências é dado por:

$$A_{v0(II)} = -\frac{g_{m5}}{g_{ds5} + g_{ds6}} \quad \text{eq. 7.4}$$

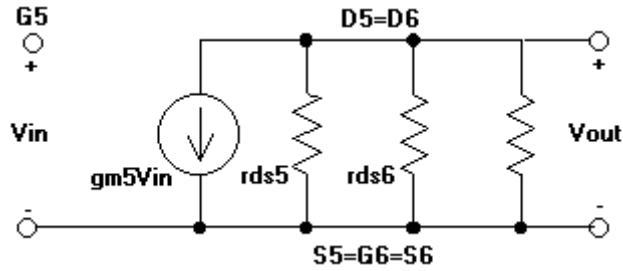


FIGURA 7.3 - Modelo de pequenos sinais do segundo estágio do amplificador Miller (amplificador inversor com fonte de corrente).

Juntando os dois estágios e incluindo o capacitor de compensação  $C_f$ , temos o circuito equivalente para pequenos sinais mostrado na figura 7.4.

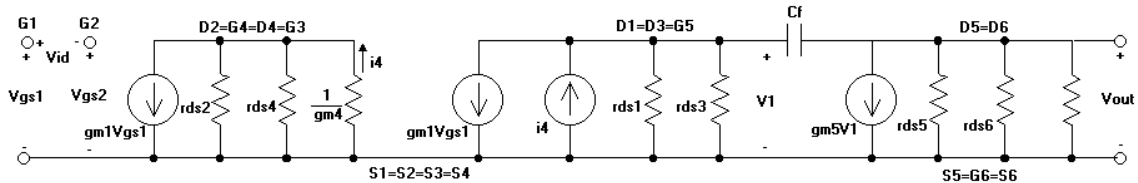


FIGURA 7.4 - Modelo de pequenos sinais do amplificador Miller da figura 7.1.

O ganho total do amplificador Miller em baixas frequências é, então, o produto dos ganhos dos dois estágios:

$$A_{v0} = \frac{g_{m1}g_{m5}}{(g_{ds1} + g_{ds3})(g_{ds5} + g_{ds6})} \quad \text{eq. 7.5}$$

A função do capacitor de compensação  $C_f$  é separar ainda mais os pólos do amplificador de modo a evitar que o circuito se torne instável (compensação Miller).

## 7.2 Projeto do amplificador Miller utilizando técnica convencional

O projeto de circuitos analógicos seguindo a técnica convencional é baseado no modelo simplificado da corrente de dreno na região de saturação e em inversão forte [ALL 2002]. A suposição de que todos os transistores operam na região de inversão forte simplifica muito o projeto e facilita o cálculo das dimensões dos transistores. Porém, as limitações impostas por esta restrição impedem a exploração das outras regiões de operação, as quais podem proporcionar bons resultados para sistemas de baixa potência [VIT 77].

Antes de iniciar o projeto, é importante lembrar algumas equações que modelam o comportamento em pequenos sinais do amplificador Miller. Todas as equações são baseadas no seguinte modelo simplificado de corrente na região de saturação:

$$I_D = K' \frac{W}{2L} (V_{GS} - V_T)^2 \quad \text{eq. 7.6}$$

onde  $K'$  é o parâmetro de transcondutância. Quando os dispositivos são caracterizados na região linear com baixas tensões de *gate* e dreno, o valor de  $K'$  é aproximadamente igual a  $\mu_0 C_{ox}$  neste modelo simplificado. Este não é o caso quando os dispositivos são caracterizados com tensões grandes que introduzem efeitos como degradação da mobilidade. Para este caso,  $K'$  é geralmente menor.

Assumindo que todos os transistores estão operando na região de saturação, temos as seguintes equações que modelam o amplificador Miller da figura 7.1:

$$\text{Slew-rate } SR = \frac{I_7}{C_f} \quad \text{eq. 7.7}$$

$$\text{Produto ganho-faixa } GBW = \frac{g_{m1}}{C_f} \quad \text{eq. 7.8}$$

$$\text{Pólo de saída } p_2 = -\frac{g_{m5}}{C_f} \quad \text{eq. 7.9}$$

$$\text{Zero no semi-plano direito } z_1 = \frac{g_{m5}}{C_f} \quad \text{eq. 7.10}$$

$$\text{CMR positivo } V_{in(\max)} = V_{DD} - \sqrt{\frac{I_7}{\beta_2}} - |V_{T2}| - V_{DS7(\text{sat})} \quad \text{eq. 7.11}$$

$$\text{CMR negativo } V_{in(\min)} = V_{SS} + \sqrt{\frac{I_7}{\beta_4}} + V_{T4} - |V_{T2}| \quad \text{eq. 7.12}$$

$$\text{Tensão de saturação } V_{DS(\text{sat})} = \sqrt{\frac{2I_{D7}}{\beta_7}} \quad \text{eq. 7.13}$$

O procedimento de projeto começa pela escolha do comprimento de canal ( $L$ ) dos dispositivos a serem utilizados no circuito. Este valor determinará o valor do parâmetro de modulação do canal ( $\lambda$ ), que é um parâmetro necessário para o cálculo do ganho do amplificador.

A seguir é estabelecido o valor do capacitor de compensação  $C_f$ . Como regra básica, o posicionamento do pólo de saída do circuito a 2,2 vezes o  $GBW$  permite uma margem de fase de  $60^\circ$  (assumindo que o zero do semi-plano direito  $z_1$  é maior que 10 vezes o  $GBW$ ) [ALL 2002]. Tal posicionamento do pólo resulta no seguinte valor mínimo para  $C_f$ :

$$C_f > 0,22C_L \quad \text{eq. 7.14}$$

A seguir, determinamos o valor mínimo da corrente de polarização  $I_7$ , cujo valor é dado pelo requisito de *slew-rate*.

$$I_7 = SR(C_f) \quad \text{eq. 7.15}$$

A relação de aspecto de T4 pode ser determinada pelo requisito de *ICMR* negativo. A seguinte equação para  $(W/L)$  foi derivada da equação 7.12:

$$\left(\frac{W}{L}\right)_4 = \frac{I_7}{(K_4)' [V_{SS} - V_{in(\min)} + V_{T4} - |V_{T2}|]^2} \quad \text{eq. 7.16}$$

Se o valor determinado para  $(W/L)_4$  for menor que um, então ele deve ser aumentado para um valor que minimize o produto de  $W$  e  $L$ . Isto minimiza a área da região de *gate*, e, por consequência, reduz a capacitância de *gate*. Esta capacitância parasita contribui para a degradação da margem de fase.

A transcondutância dos transistores de entrada pode ser determinada a partir do conhecimento de  $C_f$  e  $GBW$ . A transcondutância  $g_{m1}$  é calculada pela seguinte equação:

$$g_{m1} = GBW \cdot C_f \quad \text{eq. 7.17}$$

A relação de aspecto  $(W/L)_1$  é obtida diretamente de  $g_{m1}$ , como mostrado abaixo:

$$\left(\frac{W}{L}\right)_1 = \frac{g_{m1}^2}{K_1' I_7} \quad \text{eq. 7.18}$$

Agora já há informação suficiente para o cálculo da tensão de saturação do transistor T7. Usando a equação do *ICMR* positivo (eq. 7.11), calculamos  $V_{DS7}$ :

$$V_{DS7} = V_{in(\max)} + V_{DD} + \sqrt{\frac{I_7}{\beta_2}} + |V_{T2}| \quad \text{eq. 7.19}$$

Se o valor de  $V_{DS7}$  for menor que 100mV, então valores de  $(W/L)_7$  muito grandes podem acontecer. Isto talvez não seja aceitável.

Com  $V_{DS7}$  determinado,  $(W/L)_7$  pode ser extraído a partir da seguinte equação:

$$\left(\frac{W}{L}\right)_7 = \frac{2I_7}{K_7' (V_{DS7})^2} \quad \text{eq. 7.20}$$

Neste ponto o projeto do primeiro estágio do amplificador está completo. Consideremos agora o segundo estágio.

Para uma margem de fase de 60°, assumiu-se que o valor do pólo de saída seja 2,2 vezes maior que  $GBW$ . Baseado nessa premissa e na relação para  $p_2$  na eq. 7.9, a transcondutância  $g_{m5}$  pode ser determinada a partir da seguinte relação:

$$g_{m5} = 2,2(g_{m1}) \left( \frac{C_L}{C_f} \right) \quad \text{eq. 7.21}$$

Geralmente, para uma margem de fase razoável, o valor de  $g_{m5}$  é aproximadamente 10 vezes a transcondutância do estágio de entrada  $g_{m1}$ . Há, portanto, duas possíveis aproximações para o cálculo de  $(W/L)_5$  e  $I_5$ . A primeira é alcançar um espelhamento adequado da carga do primeiro estágio (T3 e T4). Isto requer que  $V_{GS3}=V_{GS5}$ . Usando a fórmula para  $g_m$ , que é  $K'(W/L)(V_{GS}-V_T)$ , temos:

$$\left( \frac{W}{L} \right)_5 = \left( \frac{W}{L} \right)_3 \frac{g_{m5}}{g_{m3}} \quad \text{eq. 7.22}$$

Conhecendo  $g_{m5}$  e  $(W/L)_5$ , definiremos a corrente DC  $I_5$  usando a seguinte equação:

$$I_5 = \frac{g_{m5}^2}{2(K_5') \left( \frac{W}{L} \right)_5} \quad \text{eq. 7.23}$$

A segunda aproximação no projeto do estágio de saída é usar o valor de  $g_{m5}$  e a tensão  $V_{DS(sat)}$  de T5 para encontrar a corrente. A combinação da equação para  $g_m$  com a equação para  $V_{DS(sat)}$  resulta em uma equação relacionando  $(W/L)$ ,  $V_{DS(sat)}$ ,  $g_m$  e os parâmetros de processo. Usando esta relação, dada abaixo, com o requisito de  $V_{DS(sat)}$  fornecido pelas especificações do estágio de saída, pode-se determinar  $(W/L)_5$ .

$$\left( \frac{W}{L} \right)_5 = \frac{g_{m5}}{K_5' V_{DS(sat)}} \quad \text{eq. 7.24}$$

A equação 7.23 é usada como antes para determinar o valor de  $I_5$ . Em ambas as aproximações para a determinação de  $I_5$ , deve-se checar a especificação de dissipação de potência, já que  $I_5$  corresponderá pela maior parte da potência consumida pelo circuito.

O tamanho do transistor T6 pode ser determinado pela seguinte equação:

$$\left( \frac{W}{L} \right)_6 = \left( \frac{W}{L} \right)_7 \left( \frac{I_5}{I_7} \right) \quad \text{eq. 7.25}$$

O projeto inicial de todos os (W/L) está completo. Se alguma especificação não for atendida, deve-se ajustar os tamanhos dos transistores através de um refinamento progressivo.

A tabela 7.1 mostra os resultados obtidos no projeto do amplificador Miller utilizando a metodologia convencional. Todos os comprimentos de canal (L) foram fixados em 1,5 $\mu\text{m}$ . As especificações de projeto e os resultados obtidos por simulação elétrica estão mostrados na tabela 7.2.

TABELA 7.1 - Dimensões dos transistores calculados a partir da metodologia convencional

Transistor	W ( $\mu\text{m}$ )	L ( $\mu\text{m}$ )
T1	42	1,5
T2	42	1,5
T3	5	1,5
T4	5	1,5
T5	82	1,5
T6	205	1,5
T7	25	1,5

TABELA 7.2 - Resultados obtidos através de simulação elétrica para o amplificador Miller projetado através da metodologia convencional

	Especificação inicial	Resultado da simulação
$A_{v0}$ (dB)	> 80	90,85
$MF$ (°)	60	55
$GBW$ (MHz)	15	16
$SR$ (V/ $\mu\text{s}$ )	> 18	19,2
$I_{DD}$ ( $\mu\text{A}$ )	-	510,5
$P_{diss}$ (mW)	-	1,68
$V_{out}$ máx (V)	0,5	0,996
$V_{out}$ min (V)	-1	-1,5

### 7.3 Metodologia de projeto $g_m/I_D$

A metodologia de projeto  $g_m/I_D$  considera a relação entre a transcondutância  $g_m$  sobre a corrente DC  $I_D$  e a corrente de dreno normalizada  $I \equiv I_D/(W/L)$  como a ferramenta fundamental de projeto [SIL 96]. A escolha de  $g_m/I_D$  é baseada na sua importância pelas três seguintes razões:

- Está fortemente relacionada ao desempenho dos circuitos analógicos;
- Fornecer um indicativo da região de operação do dispositivo;
- Proporciona uma ferramenta para o cálculo das dimensões dos transistores.

A aplicação da metodologia no projeto de circuitos analógicos se dá de forma direta. O ganho DC de cada estágio do amplificador Miller, por exemplo, é dado pelas seguintes equações:

$$1^\circ \text{ estágio: } A_{v0(I)} = -\frac{g_{m1}}{I_{D1}}(V_{A1} + V_{A3}) \quad \text{eq. 7.26}$$

$$2^\circ \text{ estágio: } A_{v0(II)} = -\frac{g_{m5}}{I_{D5}}(V_{A5} + V_{A6}) \quad \text{eq. 7.27}$$

onde  $V_A$  é a tensão de Early relativa a cada transistor.

A relação  $g_m/I_D$  é uma medida da eficiência de transformar corrente (e, por sua vez, potência), em transcondutância, isto é, quanto maior o valor de  $g_m/I_D$ , maior a transcondutância que obtemos para um valor de corrente constante. Assim, a relação  $g_m/I_D$  é, às vezes, interpretada como uma medida de “eficiência da geração de transcondutância” [LAK 94].

A relação de  $g_m/I_D$  com o modo de operação do transistor pode ser observada pelo fato de que ela é igual à derivada do logaritmo de  $I_D$  com respeito a  $V_G$ , como mostrado abaixo:

$$\frac{g_m}{I_D} = \frac{1}{I_D} \frac{\partial I_D}{\partial V_G} = \frac{\partial(\ln I_D)}{\partial V_G} = \frac{\partial \left[ \ln \left( \frac{I_D}{\frac{W}{L}} \right) \right]}{\partial V_G} \quad \text{eq. 7.28}$$

Esta derivada é máxima na região de inversão fraca, onde a dependência de  $I_D$  por  $V_G$  é exponencial (enquanto que na região de inversão forte ela é quadrática), tornando-se quase linear na região de inversão forte por causa do efeito de saturação da velocidade. O valor máximo é igual a  $1/(nU_T)$ , onde  $n$  é o fator de rampa e  $U_T$  é a tensão térmica. A relação  $g_m/I_D$  diminui quando  $I_D$  e  $V_G$  são aumentados e o ponto de operação se move em direção à inversão forte. Desta forma, a relação  $g_m/I_D$  também é um indicador do modo de operação do transistor.

Consideremos agora a dependência de  $g_m/I_D$  sobre o tamanho dos transistores. A corrente normalizada  $I$  é independente do tamanho do transistor. De acordo com [VIT 77], a relação  $g_m/I_D$  também é independente do tamanho. Assim, a relação entre  $g_m/I_D$  e a corrente normalizada é uma característica singular para todos os transistores do mesmo tipo (NMOS ou PMOS) de um mesmo processo.

A qualidade “universal” da curva  $g_m/I_D$  versus  $I$  pode ser explorada extensivamente durante a fase de projeto, na qual as relações de aspecto dos transistores não são conhecidas. Uma vez que dois dos valores de  $g_m/I_D$ ,  $g_m$  e  $I_D$  forem derivados, a relação  $(W/L)$  pode ser determinada sem ambigüidades.

A curva  $g_m/I_D$  versus  $I$  pode ser obtida de duas maneiras: analiticamente, usando um modelo do transistor MOS que proporcione uma representação contínua da corrente do transistor e dos parâmetros de pequenos sinais em todas as regiões de operação (como o modelo EKV [VIT 93]), ou através de medidas de um transistor típico. É mais apropriado, obviamente, considerar uma curva média representativa de um grande número de transistores de maneira a levar em conta as variações estatísticas da tecnologia.

Para o projeto do amplificador Miller, como não dispomos de transistores de teste para realizar medidas de corrente, a curva  $g_m/I_D$  versus  $I$  foi construída através dos modelos analíticos EKV e BSIM3.

A obtenção da curva  $g_m/I_D$  x  $I$  a partir do modelo EKV é feita da maneira apresentada a seguir. O valor de  $g_m/I_D$  pode ser calculado diretamente pela seguinte equação:

$$\frac{g_m}{I_D} = \frac{1}{n \cdot U_T} \cdot \frac{1 - e^{(-\sqrt{I_C})}}{\sqrt{I_C}} \quad \text{eq. 7.29}$$

onde  $I_C$  é o coeficiente de inversão dado por

$$I_C = \frac{I_D}{2 \cdot n \cdot \beta \cdot U_T^2} \quad \text{eq. 7.30}$$

Os valores de  $\beta$  e  $U_T$  são calculados a partir das seguintes equações:

$$\beta = \mu_o \cdot C_{ox} \cdot \frac{W}{L} \quad \text{eq. 7.31}$$

$$U_T = \frac{k \cdot T}{q} \quad \text{eq. 7.32}$$

onde  $k$  é a constante de Boltzmann,  $T$  é a temperatura em Kelvin e  $q$  é a carga do elétron.

A partir de agora, podemos plotar a curva  $g_m/I_D$  x  $\log(I_C)$ , mostrada na fig. 7.5. Ficam claras nesta figura as regiões de operação do transistor. O valor de  $\log(I_C)=1$  limita, por definição, a região de inversão fraca (valores de  $\log(I_C)<1$ ) da região de inversão forte (valores de  $\log(I_C)>1$ ). A região próxima a  $\log(I_C)=1$  é chamada de região de inversão moderada.

Substituindo a eq. 7.30 na eq. 7.29 e isolando  $I_D/(W/L)$ , temos:

$$\frac{g_m}{I_D} = \frac{\sqrt{2 \cdot n \cdot \mu_o \cdot C_{ox}}}{n} \cdot \frac{1 - e^{-\frac{\sqrt{\frac{I_D}{W/L}}}{U_T \cdot \sqrt{2 \cdot n \cdot \mu_o \cdot C_{ox}}}}}{\sqrt{\frac{ID}{W/L}}} \quad \text{eq. 7.33}$$

A equação acima utiliza o parâmetro  $n$  para o cálculo de  $g_m/I_D$ . Como este parâmetro não é fornecido pela *foundry*, é necessário extrai-lo. Existem várias técnicas visando a extração deste parâmetro [COR 2003]. A extração de  $n$  a partir de curvas simuladas nos dá os valores mostrados na tabela 7.3 para a tecnologia AMS 0.35u.

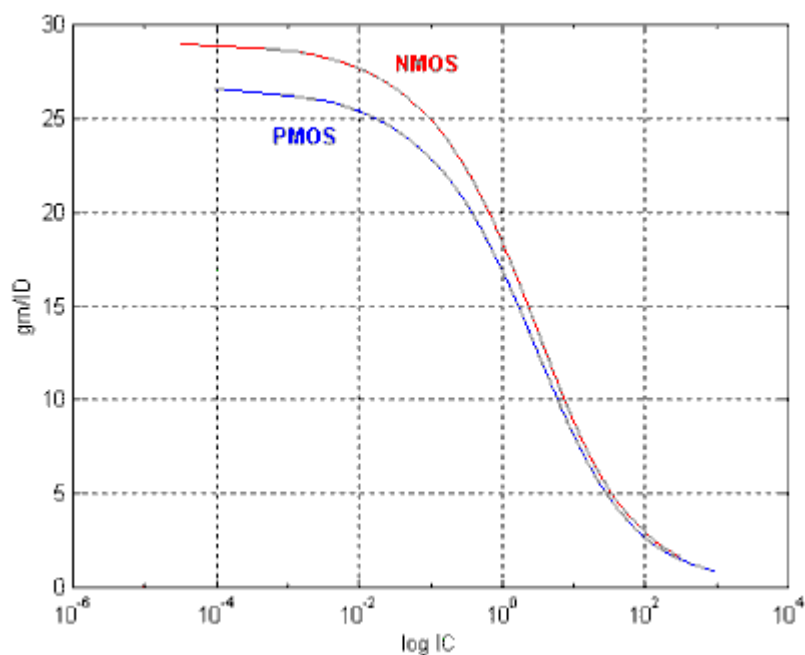


FIGURA 7.5 - Curva  $g_m/I_D$  versus  $\log(I_C)$  para a tecnologia AMS 0.35um obtida a partir das equações analíticas do modelo EKV.

TABELA 7.3 - Valores de  $n$  extraídos a partir de curvas simuladas com o modelo BSIM3 para a tecnologia AMS 0.35u.

Tipo de transistor	$n$
NMOS	1,22
PMOS	1,17

A curva  $g_m/I_D \times I$  também pode ser obtida através da simulação elétrica spice. A partir do modelo BSIM3v3 fornecido pela *foundry*, simulamos a curva  $I_D \times V_{GS}$  de um transistor quadrado ( $W=L$ ). Calculando o logaritmo e derivando cada ponto da curva da corrente em relação a  $V_{GS}$ , podemos construir uma tabela de  $g_m/I_D$  em função de  $I_D$ . Como neste caso  $I_D$  é igual a  $I$ , temos diretamente a curva  $g_m/I_D \times I$ .

A figura 7.6 mostra as curvas  $g_m/I_D$  versus  $I$  para transistores do tipo NMOS e do tipo PMOS na tecnologia AMS 0.35u obtidas a partir das equações analíticas do modelo EKV e a partir da simulação spice usando o modelo BSIM3. Pode-se ver que o erro maior entre as curvas se dá na região de inversão fraca. Isto acontece por causa da diferente abordagem de cada modelo nesta região. Na região de inversão forte, entretanto, a paridade das curvas é mais evidente.



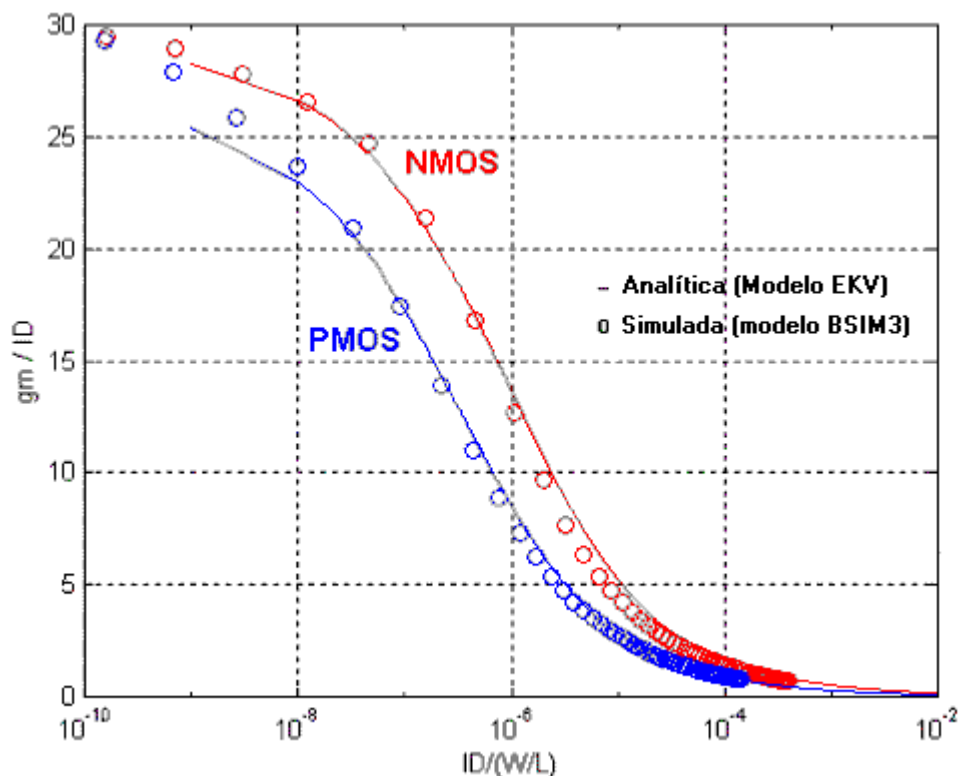


FIGURA 7.6 - Curvas  $g_m/I_D$  versus  $I$  para a tecnologia AMS 0.35 $\mu\text{m}$  obtidas através do modelo analítico EKV e da simulação elétrica com o modelo BSIM3.

É possível automatizar o projeto do amplificador Miller através da metodologia  $g_m/I_D$ . A partir de um código implementado em Matlab [SIL 2002], todos os cálculos são realizados sem a intervenção do projetista, inclusive a própria geração da curva  $g_m/I_D \times I$ . As entradas do sistema são as especificações de funcionamento do circuito, o comprimento de canal ( $L$ ) de todos os transistores (que determinarão o ganho), a capacitância de carga ( $C_{OUT}$ ) e a região de operação de cada transistor na forma do seu  $g_m/I_D$ . Além disso, a transcondutância do transistor T3 ( $g_{m3}$ ) também é fixada pelo projetista.

Os valores de  $g_m/I_D$  de cada transistor são determinados de acordo com o seu efeito no desempenho do amplificador.

Poucos parâmetros relativos à tecnologia são utilizados: espessura do óxido ( $t_{OX}$ ), *slope factor* ( $n$ ), tensão de limiar ( $V_{T0}$ ) e mobilidades ( $\mu_n$  e  $\mu_p$ ). Além disso, parâmetros relativos às capacitâncias parasitas intrínsecas também são necessários.

Podemos dividir o fluxo de projeto do amplificador Miller em 4 etapas. A figura 7.7 mostra o fluxo completo simplificado com a numeração relativa a cada uma das etapas. Cada etapa será detalhada a seguir.

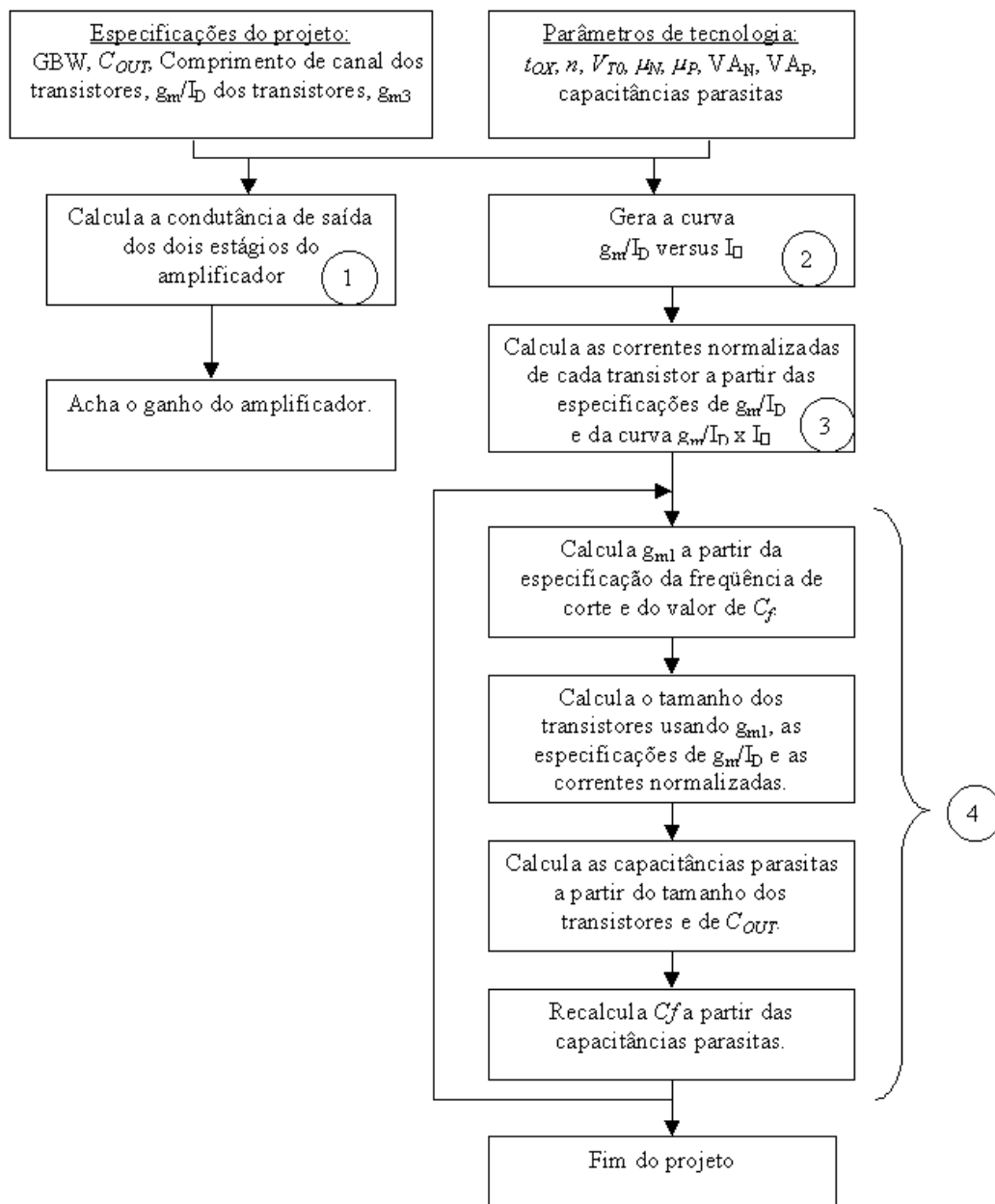


FIGURA 7.7 - Fluxo de projeto simplificado do amplificador Miller utilizando a metodologia  $g_m/I_D$ .

### 7.3.1 Etapa 1: Cálculo das condutâncias de saída

O ganho do amplificador Miller, de acordo com a equação 7.5, é inversamente proporcional às condutâncias de saída dos transistores T1, T3, T5 e T6 do esquemático da fig. 7.1. Estas condutâncias dependem das tensões de Early ( $V_A$ ) dos transistores, as quais por sua vez, dependem do comprimento de canal ( $L$ ) e da tensão  $V_{GS}$ . Através de dados experimentais ou, na falta destes, através de simulações elétricas, é possível criar uma tabela  $V_{AxL}$  para diversos valores de  $V_{GS}$ . A figura 7.8 mostra como as tensões de Early são obtidas. Dados os valores de  $L_1$ ,  $L_3$ ,  $L_5$  e  $L_6$ , além da tensão  $V_{GS}$  aproximada de operação destes transistores, uma consulta simples à tabela  $V_{AxL}$  retorna os valores de  $V_{A1}$ ,  $V_{A3}$ ,  $V_{A5}$  e  $V_{A6}$ . A relação entre a tensão de Early e a condutância de saída  $g_{ds}$  é dada por

$$gds = \frac{I_D}{V_A} \quad \text{eq. 7.34}$$

Assim, o comprimento de canal dos transistores influencia diretamente no ganho em baixas frequências do amplificador Miller (eq. 7.26 e 7.27).

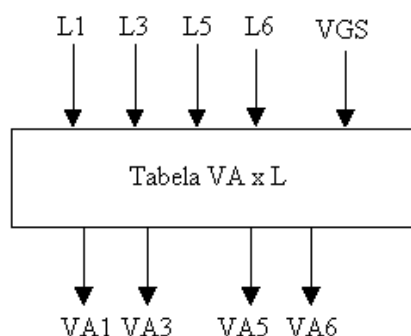


FIGURA 7.8 - Detalhamento da 1ª etapa do projeto do amplificador Miller utilizando a metodologia  $g_m/I_D$

### 7.3.2 Etapa 2: Geração da curva $g_m/I_D \times I$

O procedimento de cálculo da curva  $g_m/I_D \times I$  já foi explicado anteriormente. Como não dispomos de dados experimentais, optamos por utilizar a curva simulada eletricamente a partir do modelo BSIM3v3 fornecido pelo fabricante.

Para a obtenção da curva usa-se o seguinte procedimento:

- a) a curva  $I_D \times V_{GS}$ , com  $V_{DS} = 1.65V$  e  $V_{SB} = 0V$  é obtida via simulação de um transistor de  $W/L=1$  ( $W=10\mu m$ ,  $L=10\mu m$ );
- b) como neste caso  $I_D=I$ , calcula-se  $\log(I_D)$  de cada ponto;
- c) calcula-se a derivada de  $\log(I_D)$  em relação a  $V_{GS}$  para cada ponto
- d) Plota-se  $g_m/I_D \times I$ .

### 7.3.3 Etapa 3: Cálculo das correntes normalizadas

Sabendo-se os valores de  $(g_m/I_D)$ , a corrente normalizada  $I_D/(W/L)$  é obtida diretamente através da curva  $g_m/I_D \times I$ . Como os transistores do par diferencial de entrada (T1 e T2) possuem as mesmas dimensões, seus  $g_m/I_D$  também são iguais, assim como os valores de  $g_m/I_D$  de T3 e T4. A fig. 7.9 mostra o esquema de cálculo das correntes normalizadas.

### 7.3.4 Etapa 4: Laço de refinamento da capacitância de realimentação $C_f$

Esta é a etapa principal do projeto do amplificador Miller. As dimensões dos transistores são determinadas e o capacitor de compensação  $C_f$  é calculado a partir destas dimensões. O efeito da variação do tamanho dos transistores sobre  $C_f$  é observado na variação das capacitâncias parasitas. De acordo com a figura 7.1, a capacitância parasita no nó 4 depende das dimensões de T1, T3 e T5. Já a capacitância parasita do nó 5 depende das dimensões de T5 e T6. Estas capacitâncias somam-se ao valor de  $C_f$ , influenciando na localização nos pólos. Desta maneira, o valor de  $C_f$  para uma margem de fase de aproximadamente  $60^\circ$  deve ser recalculado cada vez que os

tamanhos dos transistores são modificados. Como a determinação do W/L de cada transistor também depende de  $C_f$ , torna-se necessária a utilização de um laço iterativo para que o valor de  $C_f$  convirja para um valor ótimo.

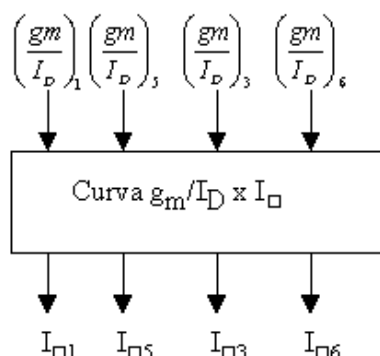


FIGURA 7.9 - Detalhe do cálculo das correntes normalizadas de T1, T3, T5 e T6

A figura 7.10 mostra os detalhes do laço de refinamento de  $C_f$ . Inicialmente, o valor de  $C_f$  é fixado em 2,9pF e a variável auxiliar  $C_{guess}$  é fixada em zero. O laço inicia com  $C_{guess}$  recebendo o valor de  $C_f$ . A transcondutância do transistor T1 ( $g_{m1}$ ) é calculada a partir de  $C_f$  e  $GBW$ . Sabendo-se  $g_{m1}$  e  $(g_{m1}/I_D)_1$ , determina-se a corrente normalizada  $I_1$ , que é a corrente que circula pelos transistores T1 e T3. A partir de  $I_1$ , calcula-se  $(W/L)_1$  e  $(W/L)_3$ . Para que o pólo não dominante esteja a aproximadamente 10 vezes o  $GBW$ , adota-se  $g_{m5}=9g_{m1}$ . Assim, a corrente normalizada  $I_2$  pode ser determinada e, por sua vez, também as dimensões  $(W/L)_5$  e  $(W/L)_6$ .

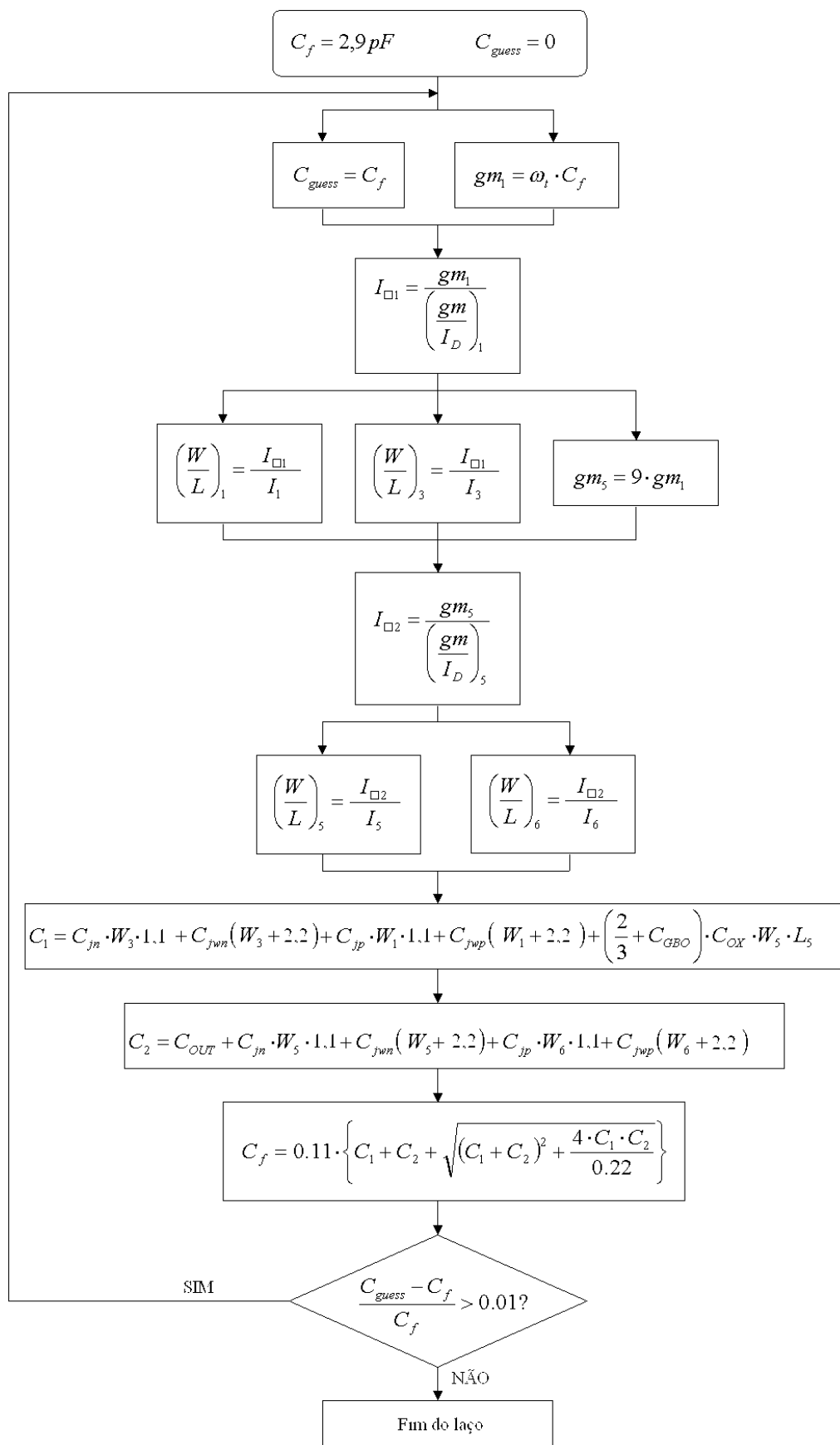
Agora que as dimensões de todos os transistores já foram determinadas, as capacitâncias parasitas no nó 4 ( $C_1$ ) e no nó 5 ( $C_2$ ) podem ser calculadas, levando-se em consideração as capacitâncias parasitas dreno-substrato, fonte-substrato, *gate*-dreno, *gate*-fonte e *gate*-substrato de T1, T3, T5 e T6. As áreas e os perímetros de dreno e fonte destes transistores precisam ser estimados. Na tecnologia AMS 0,35um, considerando-se que os *gates* não são quebrados, a área mínima de difusão (suficiente para acomodar um contato) é dada por:

$$A_{dif(min)}[\mu m^2] = 1.1\mu m \cdot W[\mu m] \quad \text{eq. 7.35}$$

Já o perímetro mínimo é dado por

$$P_{dif(min)}[\mu m] = 2,2\mu m + W[\mu m] \quad \text{eq. 7.36}$$

A capacitância de compensação é recalculada, então, de acordo com a condição especificada para uma margem de fase de 60° [ALL 2002]. Se a diferença deste valor em relação à capacitância de compensação anterior ( $C_{guess}$ ) for maior que 1% (ou outro valor definido), então o laço é reiniciado e todos os cálculos realizados novamente com este valor de  $C_f$ . Se a diferença for menor que 1%, o laço termina e o valor obtido para  $C_f$  é o valor ótimo.

FIGURA 7.10 - Detalhe do laço de refinamento de  $C_f$

Falta ainda determinar as dimensões de T7. Como este transistor não influencia na especificação do ganho ou  $GBW$ , seu  $g_m/I_D$  é irrelevante. A corrente que deve ser fornecida por T7 é igual a  $2I_1$ . Calculando-se  $V_{BIAS}$  através do  $V_{GS}$  de T6 necessário para que ele forneça a corrente  $I_2$ , pode-se chegar ao valor de  $(W/L)_7$ .

O código Matlab contendo as rotinas descritas acima pode ser visto no Anexo 2.

## 7.4 Projeto do amplificador Miller utilizando a metodologia $g_m/I_D$

As especificações iniciais do amplificador Miller são as seguintes:

- Ganho DC:  $A_{v0} > 10000$  (80dB)
- Produto ganho-faixa:  $GBW > 15\text{MHz}$
- Margem de fase:  $MF > 60^\circ$
- Entrada modo comum:  $ICMR = -1\text{V}$  a  $0.5\text{V}$
- *Slew-rate*:  $SR > 18\text{V/us}$
- Carga:  $C_L = 10\text{pF}$
- Alimentação:  $V_{DD} = 1.65\text{ V}$  e  $V_{SS} = -1.65\text{ V}$

O procedimento do projeto descrito na seção anterior busca a melhor performance em termos de ganho DC ( $A_{v0}$ ), Margem de Fase ( $MF$ ), produto ganho-faixa ( $GBW$ ) e *slew rate* ( $SR$ ). Entretanto, este procedimento pode ser modificado levando em conta outros aspectos (como ruído e  $CMR$  – rejeição de modo comum) que podem ser relevantes para um determinado tipo de aplicação.

Os valores de  $g_m/I_D$  de cada transistor foram definidos levando-se em consideração a região de operação desejada. A tabela 7.4 mostra estes valores.

TABELA 7.4 - Valores de  $g_m/I_D$  definidos para cada transistor do amplificador Miller

Transistor	$g_m/I_D$
T1	10
T2	10
T3	10
T4	10
T5	7
T6	7
T7	-

Todos os comprimentos de canal foram fixados em  $1,5\mu\text{m}$ . As dimensões dos transistores obtidas pela metodologia  $g_m/I_D$  na tecnologia AMS  $0.35\mu\text{m}$  estão mostrados na tabela 7.5. O valor projetado do capacitor  $C_f$  é de  $2,5\text{pF}$ . A tabela 7.6 mostra os resultados obtidos via simulação elétrica e a comparação com as especificações iniciais.

TABELA 7.5 – Dimensões dos transistores do amplificador Miller obtidas através da metodologia  $g_m/I_D$ 

Transistor	W/L	W ( $\mu\text{m}$ )	L ( $\mu\text{m}$ )
<b>T1</b>	36	54	1,5
<b>T2</b>	36	54	1,5
<b>T3</b>	10	15	1,5
<b>T4</b>	10	15	1,5
<b>T5</b>	103	154,4	1,5
<b>T6</b>	158	237	1,5
<b>T7</b>	20	30	1,5

TABELA 7.6 – Resultados da performance do Amplificador Miller projetado pela metodologia  $g_m/I_D$  comparando a simulação elétrica em nível de esquemático e leiaute extraído com as especificações iniciais

	Especificações iniciais	Simulação elétrica	
		Esquemático	Leiaute Extraído
$A_{v0}$ (dB)	> 80	90,09	81,99
$f_{-3dB}$ (Hz)	-	543	1,04k
$MF$ (°)	> 60	54,3	55
$GBW$ (MHz)	> 15	15,14	14,6
$SR$ (V/ $\mu\text{s}$ )	> 18	20,7	20,42
$I_{DD}$ ( $\mu\text{A}$ )	-	356	347
$P_{diss}$ (mW)	-	1,17	1,14
$V_{out \text{ máx}}$ (V)	0,5	1	1
$V_{out \text{ min}}$ (V)	-1	-1,48	-1,47

## 7.5 Projeto do amplificador Miller com TATs

Como exemplo de um projeto utilizando TATs, tomaremos o amplificador Miller projetado através da metodologia  $g_m/I_D$  (seção 7.4), cujas dimensões dos transistores simples estão definidas na tabela 7.5. A tecnologia de fabricação utilizada foi a mesma do projeto com transistores simples, ou seja, a AMS 0,35 $\mu\text{m}$ . Para esta tecnologia, a dimensão dos transistores unitários é a seguinte:  $W_{NMOS}=4\mu\text{m}$ ,  $W_{PMOS}=7\mu\text{m}$ ,  $L_{NMOS}=L_{PMOS}=0,3\mu\text{m}$ .

Seguindo o fluxo de projeto proposto no capítulo 6, depois de validado o projeto com transistores simples, cada transistor é substituído por um TAT equivalente. Para cada W e L do transistor simples, a ferramenta LIT fornece uma lista de opções de associação. A escolha da melhor associação pode ser feita de acordo com os seguintes critérios:

- menor diferença entre a corrente do TAT e a corrente do transistor simples;
- menor número de transistores unitários para um determinado erro de corrente;
- menor condutância de saída do TAT para um determinado erro de corrente.

A seguir serão feitas três diferentes versões do mesmo projeto utilizando TATs, sendo que em cada versão a escolha da melhor associação seguirá um dos critérios acima. O capacitor de compensação  $C_f$  foi fixado em 2,5pF e construído com duplo-poli. Os leiautes apresentados a seguir não incluem este capacitor. Assim, os efeitos das capacitâncias não-lineares construídas com os *gates* dos transistores unitários não interferem no desempenho do amplificador, tornando mais claros os efeitos da substituição dos transistores simples por TATs equivalentes. Todos os projetos foram realizados com o auxílio da ferramenta LIT.

### 7.5.1 Projeto 1: equivalência em corrente

Nesta versão, o fator determinante na escolha das associações é o menor erro possível em relação à corrente DC dos transistores simples. A tabela 7.7 mostra os valores de ND e NS projetados para cada TAT equivalente.

TABELA 7.7 - Número de transistores unitários para os TATs equivalentes no projeto versão 1

	Transistor simples			TAT equivalente	
	W ( $\mu\text{m}$ )	L ( $\mu\text{m}$ )	W/L	ND	NS
<b>M1</b>	54	1,5	36	8	4
<b>M2</b>	54	1,5	36	8	4
<b>M3</b>	15	1,5	10	3	2
<b>M4</b>	15	1,5	10	3	2
<b>M5</b>	154,4	1,5	103	27	23
<b>M6</b>	237	1,5	158	25	22
<b>M7</b>	30	1,5	20	6	2

Este projeto utilizou 139 transistores unitários, dos quais 60 são NMOS e 79 são PMOS. A área total ocupada é de  $129\mu\text{m} \times 46,5\mu\text{m} = 5.998,5\mu\text{m}^2$ . O leiaute completo pode ser visto na figura 7.11. Os resultados do desempenho do amplificador obtidos através de simulação elétrica estão na tabela 7.8.

TABELA 7.8 - Resultados obtidos via simulação elétrica para o projeto do amplificador Miller com TATs versão 1

<b><math>A_{v0}</math> (dB)</b>	62,9
<b><math>f_{-3\text{dB}}</math> (Hz)</b>	11k
<b><math>MF</math> (°)</b>	74,7
<b><math>GBW</math> (MHz)</b>	15,9
<b><math>I_{DD}</math> (<math>\mu\text{A}</math>)</b>	333
<b><math>P_{diss}</math> (mW)</b>	1,1



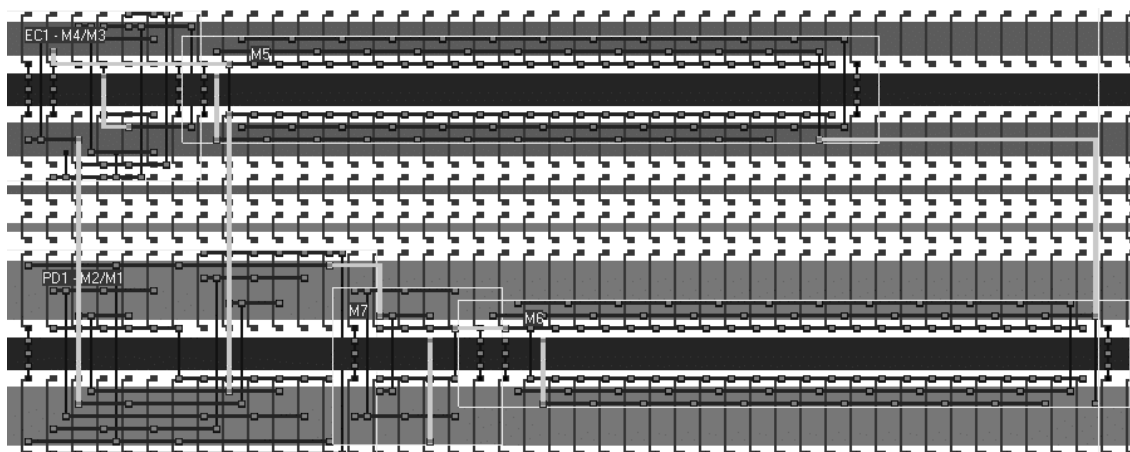


FIGURA 7.11 - Leiaute completo do projeto versão 1 do amplificador Miller utilizando TATs

### 7.5.2 Projeto 2: menor número de transistores unitários

Nesta versão, o fator determinante na escolha das associações é o menor número de transistores unitários, considerando-se uma margem de erro de corrente de  $\pm 5\%$ . A tabela 7.9 mostra o ND e o NS projetados para cada TAT equivalente.

TABELA 7.9 - Número de transistores unitários para os TATs equivalentes no projeto versão 2

	Transistor simples			TAT equivalente	
	W ( $\mu\text{m}$ )	L ( $\mu\text{m}$ )	W/L	ND	NS
<b>M1</b>	54	1,5	36	6	5
<b>M2</b>	54	1,5	36	6	5
<b>M3</b>	15	1,5	10	3	2
<b>M4</b>	15	1,5	10	3	2
<b>M5</b>	154,4	1,5	103	26	22
<b>M6</b>	237	1,5	158	23	22
<b>M7</b>	30	1,5	20	5	2

O número total de transistores unitários utilizados é de 132 (58 NMOS e 74 PMOS). A área de silício ocupada pelo leiaute é de  $123\mu\text{m} \times 46,5\mu\text{m} = 5.719,5\mu\text{m}^2$ . O leiaute completo está mostrado na figura 7.12. Os resultados obtidos via simulação elétrica estão na tabela 7.10.

TABELA 7.10 - Resultados obtidos via simulação elétrica para o projeto do amplificador Miller com TATs versão 2

<b><math>A_{v0}</math> (dB)</b>	62,1
<b><math>f_{-3dB}</math> (Hz)</b>	12,05k
<b><math>MF</math> (°)</b>	74,7
<b><math>GBW</math> (MHz)</b>	15,67
<b><math>I_{DD}</math> (<math>\mu\text{A}</math>)</b>	310
<b><math>P_{diss}</math> (mW)</b>	1,02

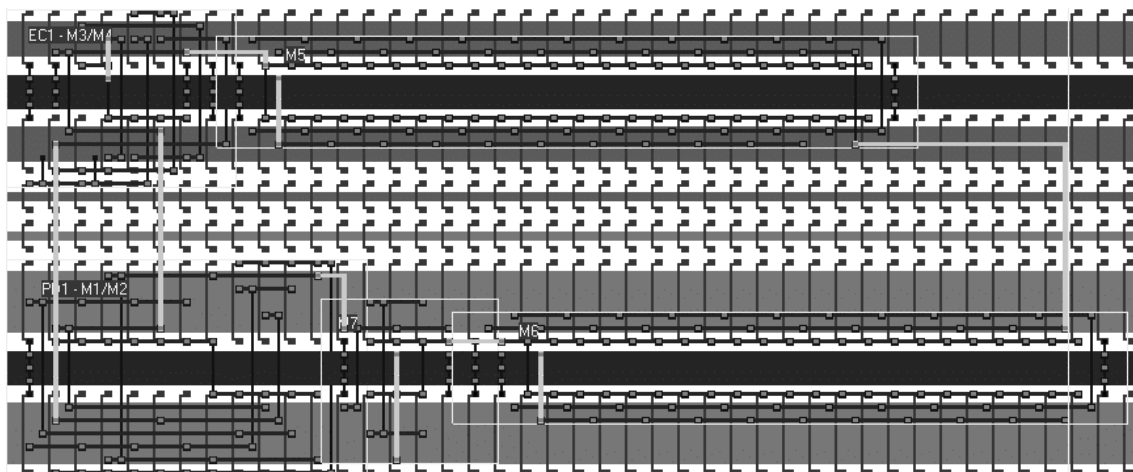


FIGURA 7.12 - Leiaute completo do projeto versão 2 do amplificador Miller utilizando TATs

### 7.5.3 Projeto 3: menor condutância de saída

O fator determinante na escolha das associações nesta versão é a maior relação ND/NS (menor condutância de saída) para uma margem de erro de corrente de  $\pm 5\%$  e para um ND máximo de 50. Os valores obtidos para ND e NS de cada TAT estão na tabela 7.11.

TABELA 7.11 - Número de transistores unitários para os TATs equivalentes no projeto do amplificador Miller versão 3

	Transistor simples			TAT equivalente	
	W ( $\mu\text{m}$ )	L ( $\mu\text{m}$ )	W/L	ND	NS
<b>M1</b>	54	1,5	36	9	4
<b>M2</b>	54	1,5	36	9	4
<b>M3</b>	15	1,5	10	3	2
<b>M4</b>	15	1,5	10	3	2
<b>M5</b>	154,4	1,5	103	50	14
<b>M6</b>	237	1,5	158	50	15
<b>M7</b>	30	1,5	20	6	2

O número total de transistores unitários utilizados neste projeto é de 173 (74 NMOS e 99 PMOS). A área ocupada é de  $165\mu\text{m} \times 46,5\mu\text{m}$ , ou seja,  $7.672,5\mu\text{m}^2$ . Os resultados da performance deste amplificador obtidos através de simulação elétrica estão na tabela 7.12. O leiaute completo desta versão do amplificador está mostrado na figura 7.13.

TABELA 7.12 - Resultados obtidos via simulação elétrica para o projeto do amplificador Miller com TATs versão 3

$A_{v0}$ (dB)	65,4
$f_{-3dB}$ (Hz)	9,75k
MF (°)	73,8
GBW (MHz)	15,64
$I_{DD}$ ( $\mu\text{A}$ )	384,7
$P_{diss}$ (mW)	1,27

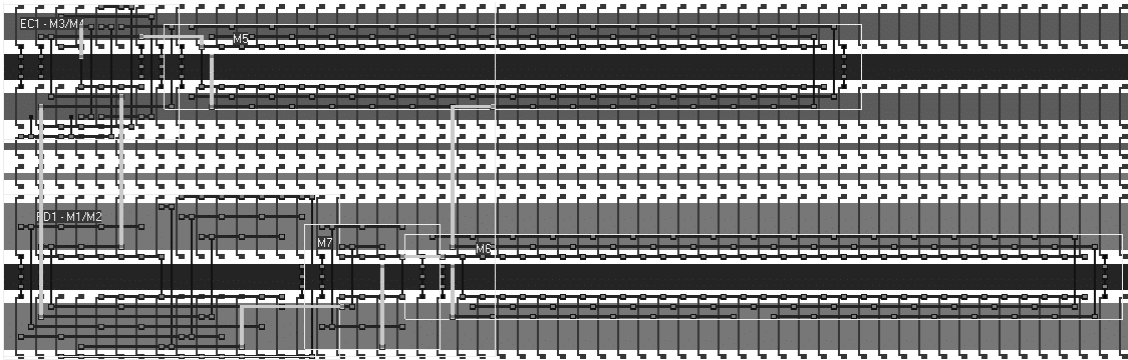


FIGURA 7.13 - Leiaute do projeto versão 3 do amplificador Miller utilizando TATs

## 7.6 Conclusão

O projeto do amplificador Miller pode ser completamente automatizado através da utilização da metodologia  $g_m/I_D$ . Esta metodologia de projeto aplica-se facilmente à maioria dos circuitos analógicos, pois geralmente há uma relação direta entre o  $g_m/I_D$  dos transistores e as equações que modelam o desempenho do circuito. Além disso, pode-se trabalhar sob o ponto de vista da região de operação do transistor. Já o projeto convencional, baseado na aproximação em primeira ordem da equação da corrente de dreno na região de saturação, limita a região de operação dos transistores à região de inversão forte e dificulta a automação do projeto.

O projeto do amplificador Miller utilizando TATs mostrou que a substituição simples de cada transistor por um TAT equivalente proporciona bons resultados no desempenho do circuito. A tabela 7.13 faz uma comparação do desempenho do projeto com transistores simples e dos três projetos apresentados utilizando TATs. Apesar de o ganho em baixas frequências  $A_{V0}$  ter diminuído de 82dB para aproximadamente 65dB, ainda assim este exemplo de projeto demonstrou que é possível alcançar ganhos consideráveis utilizando associações trapezoidais de transistores sobre uma matriz pré-difundida projetada originalmente para acomodar circuitos digitais. O produto ganho-faixa ( $GBW$ ) e a margem de fase obtiveram melhores resultados no amplificador com TATs do que no amplificador com transistores simples. Isto se deve à característica dos TATs que faz com que ele se comporte como um falso cascode. A corrente total que circula pelo amplificador ( $I_{DD}$ ) manteve-se praticamente inalterada, comprovando a metodologia utilizada para o cálculo dos TATs equivalentes em corrente.

As três versões do projeto com TATs, cada uma tendo um fator predominante diferente na escolha da melhor associação (menor diferença de corrente, menor número de transistores e maior relação ND/NS), demonstraram que há pouca diferença em termos de desempenho de um circuito para outro. O ganho  $A_{V0}$  do projeto versão 3 aumentou em menos de 10% em relação aos outros projetos. O esperado seria uma diferença maior, porém outros efeitos degradaram o desempenho, como o aumento das capacitâncias parasitas e os efeitos de canal curto dos transistores unitários. Pode-se concluir, portanto, que a versão 2 do projeto com TATs, em que o fator predominante foi o menor número possível de transistores unitários, é o melhor projeto, pois a economia de área foi significativa em relação à versão 3, por exemplo, e a perda em ganho DC não foi tão expressiva.

Comparando a menor área ocupada no projeto com TATs (versão 2,  $5.719,5\mu\text{m}^2$ ) com a área ocupada pelo projeto com transistores simples ( $3.748\mu\text{m}^2$ , de acordo com

[COR 2003]), podemos ver que houve um acréscimo de mais de 50%. Deste modo, a escolha adequada de ND e NS dos TATs é importante tanto do ponto de vista das especificações elétricas do sistema quanto da área de silício consumida.

TABELA 7.13 - Comparação entre as diferentes versões do amplificador Miller

<b>Projeto</b>	$A_{v0}$ (dB)	$f_{-3dB}$ (kHz)	$MF(^{\circ})$	$GBW$ (MHz)	$I_{DD}$ ( $\mu$ A)	$P_{diss}$ (mW)	<b>Total de transistores unitários</b>	<b>Área total ocupada*</b> ( $\mu$ m <sup>2</sup> )
<b>Transistores Simples</b>	82,0	1,04	55,0	14,6	346	1,14	-	3.784,0
<b>TAT versão 1</b>	62,9	11,00	74,7	15,9	333	1,10	139	5.998,5
<b>TAT versão 2</b>	62,1	12,05	74,7	15,7	310	1,02	132	5.719,5
<b>TAT versão 3</b>	65,4	9,75	73,8	15,6	385	1,27	173	7.672,0

\* Sem incluir o capacitor  $C_f$ .

## 8 Conclusão

O presente trabalho apresentou uma ferramenta de auxílio ao projeto de circuitos integrados analógicos sobre uma matriz digital de transistores MOS pré-difundidos. A ferramenta LIT foi proposta para a preencher a lacuna da falta de ferramentas de CAD específicas para o projeto de circuitos mistos semi-customizados. Não há ferramentas comerciais específicas para tal projeto. Assim, esta ferramenta torna-se importante para automatizar o processo de síntese física de circuitos analógicos e diminuir o tempo e os custos de projeto.

As principais funções implementadas no LIT são:

- Geração automática do leiaute da matriz pré-difundida
- Cálculo da associação trapezoidal equivalente
- Geração automática do leiaute dos TATs
- Geração automática do leiaute de blocos analógicos básicos, como pares diferenciais, espelhos de corrente e capacitores
- Ambiente gráfico para posicionamento manual das células
- Roteamento automático entre as células

Além disso, várias funções que não poderiam deixar de faltar em uma ferramenta deste tipo também foram implementadas: geração do arquivo em formato CIF, extração do circuito em formato spice, visualizador de leiaute e estimativa das capacitâncias parasitas dos TATs.

Uma das principais características do LIT é forma modular como as funções foram implementadas, ou seja, uma totalmente independente da outra. Por exemplo, o cálculo do TAT equivalente e a geração do leiaute dos TATs são dois módulos distintos e podem ser usados em situações isoladas sem que isso interfira no seu funcionamento.

As facilidades gráficas do LIT são um benefício a mais proporcionado pela ferramenta. Desta forma, mesmo projetistas de circuitos analógicos menos experientes podem, de maneira rápida e intuitiva, realizar projetos de qualidade e de boa confiabilidade. O LIT também pode ser utilizado como ferramenta acadêmica no ensino de técnicas de projeto de circuitos integrados.

A inclusão de técnicas de casamento de transistores dá ao LIT um maior valor agregado. A geração do leiaute de dispositivos casados é uma questão que envolve não só o posicionamento e a conexão dos transistores. Fatores elétricos, mecânicos e térmicos também devem ser levados em consideração. O posicionamento do circuito longe de fontes de calor ou em regiões de baixo gradiente de tensão mecânica é um dos cuidados a serem tomados. A geração conjunta do leiaute dos transistores casados é uma necessidade, pois ambos os dispositivos devem possuir exatamente as mesmas características. Algumas regras práticas básicas de casamento foram resumidas neste trabalho. A matriz SOT, pela sua arquitetura, satisfaz a maioria destas regras. A regularidade do leiaute da matriz também é um fator que auxilia no casamento de transistores, pois o processo de fabricação pode ser melhor controlado, evitando-se, por exemplo, grandes variações na taxa de corrosão do polisilício ou na espessura do óxido de *gate*. Algumas regras, entretanto, como a não-utilização de transistores de canal curto na composição dos transistores casados, não podem ser alcançadas. Analisando-se as regras obedecidas e aquelas que não se pode satisfazer completamente, pode-se dizer que a matriz SOT é adequada para casamentos moderados ou mínimos (de acordo com a classificação de [HAS 2001]). Casamentos precisos não podem ser obtidos.

O principal desafio no projeto de um circuito analógico com TATs é a escolha apropriada do número de transistores em paralelos que formam MD e MS. Este trabalho abordou três diferentes métodos de definição de ND e NS: equivalência em corrente pela aproximação por resistores lineares, equivalência em corrente pela aproximação do modelo analítico dos transistores e equivalência em pequenos sinais. O primeiro método utiliza uma formulação simples e proporciona bons resultados quando o TAT é formado por transistores de canal longo. Já o segundo método é mais genérico e inclui a geração de TATs compostos por transistores unitários de canal curto, apesar de não ser tão intuitivo. Estes dois métodos de cálculo do TAT equivalente somente são eficazes quando o TAT fizer parte de um circuito de referência de corrente (espelho de corrente ou fonte de corrente). Quando a função do TAT no circuito é proporcionar ganho de tensão ou algum outro tipo de especificação em pequenos sinais, o terceiro método precisa ser utilizado. O procedimento de equivalência em pequenos sinais, entretanto, não é um processo direto. O posicionamento do TAT no circuito influencia no cálculo de ND e NS, principalmente por causa da modificação ocasionada no circuito equivalente em pequenos sinais original. A automação deste método ainda não está bem definida.

Como exemplo de utilização do fluxo de projeto proposto, foi realizada a síntese de um amplificador Miller através da ferramenta LIT. Inicialmente, o amplificador foi projetado automaticamente através da utilização da metodologia  $g_m/I_D$ . O projeto do amplificador Miller utilizando TATs mostrou que a substituição simples de cada transistor por um TAT equivalente proporciona bons resultados no desempenho do circuito. Apesar de o ganho de tensão em baixas frequências  $A_{v0}$  ter diminuído de 82dB no projeto com transistores simples para aproximadamente 65dB no projeto com TATs, ainda assim esse exemplo de projeto demonstrou que é possível alcançar ganhos consideráveis utilizando associações trapezoidais de transistores sobre uma matriz pré-difundida composta somente por transistores de largura de canal mínima. O produto ganho-faixa ( $GBW$ ) e a margem de fase obtiveram melhores resultados no amplificador com TATs do que no amplificador com transistores simples. Isto se deve à característica dos TATs que faz com que ele se comporte como um falso cascode. A corrente total  $I_{DD}$  manteve-se praticamente inalterada, comprovando a metodologia utilizada para o cálculo dos TATs equivalentes em corrente. Em relação à área de silício ocupada, o projeto com TATs obteve uma área de 1,5 a 2 vezes maior do que o projeto com transistores simples, dependendo do fator principal utilizado na escolha dos TATs equivalentes. Pode-se concluir, assim, que a escolha adequada de ND e NS dos TATs é importante tanto do ponto de vista das especificações elétricas do sistema quanto da área de silício consumida.

Os resultados obtidos demonstraram a eficiência da ferramenta LIT, tanto na redução do tempo de projeto quanto na qualidade do leiaute gerado, já que a automação evita falhas humanas e proporciona maior confiabilidade ao produto final.

## 8.1 Trabalhos futuros

A falta de circuitos de teste fez com que o estudo das associações trapezoidais compostas por transistores unitários de canal curto ficasse restrita a simulações elétricas. Para um estudo mais detalhado, pretende-se enviar para fabricação o amplificador Miller formado por transistores simples e uma versão composta por TATs gerada pelo LIT, além de estruturas de teste que permitam medidas para a extração dos parâmetros

da tecnologia. Também podem ser incluídos no chip de prototipação alguns transistores simples e suas opções de TATs equivalentes, de modo que mais informações a respeito da melhor associação equivalente sejam obtidas.

Este trabalho apresentou o LIT como uma ferramenta específica para o projeto de circuitos analógicos sobre uma matriz pré-difundida. Entretanto, dentro do mesmo ambiente já criado, pode-se incluir funções que não se restringem somente à matriz, mas também à síntese de circuitos analógicos *full-custom*. A adição de mais funções é facilitada devido à maneira modular com que a ferramenta foi implementada.

A primeira sugestão de trabalho futuro é automatizar o processo de posicionamento das células, que atualmente é manual. Esta automação deve levar em conta aspectos relativos aos circuitos analógicos, como casamento de impedâncias, ruído, etc. A ferramenta de roteamento global também pode ser aperfeiçoada, através da inclusão de larguras de linhas variáveis, restrições quanto à posição destas linhas e restrições relativas ao casamento de transistores.

Outra sugestão é criar associações trapezoidais de transistores em que o comprimento de canal dos transistores unitários seja variável. Assim, efeitos de canal curto podem ser evitados. Isto, é claro, implica na migração para outra metodologia de projeto, já que isso não é possível de se conseguir sobre a matriz pré-difundida, onde todos os transistores unitários possuem os mesmos comprimentos de canal.

Este estudo também restringiu a 2 o número de transistores em série que formam o TAT. Pode-se, como proposta de atividade futura, estudar os efeitos da inserção de mais transistores em série no comportamento da associação.

## Anexo 1 Descrição spice

Descrições spice de um TAT do tipo NMOS com ND=6, NS=4, Wun=4 $\mu$ m, Lun=0,3 $\mu$ m com os seguintes nomes dos terminais:

dreno: D  
 fonte: S  
 gate: G

Arquivo spice extraído pela ferramenta LIT (extração de primeira ordem):

```
* Projeto M1
* Arquivo gerado pela ferramenta LIT versao 1.
* 22/10/02 15:08:11

* Transistor M1
M1_1 D G X_M1 0 MODN L=300n W=4u AD=5.4p AS=2.7p PD=2.7u PS=1.35u
M1_2 D G X_M1 0 MODN L=300n W=4u AD=2.7p AS=2.7p PD=1.35u PS=1.35u
M1_3 D G X_M1 0 MODN L=300n W=4u AD=2.7p AS=2.7p PD=1.35u PS=1.35u
M1_4 D G X_M1 0 MODN L=300n W=4u AD=2.7p AS=2.7p PD=1.35u PS=1.35u
M1_5 D G X_M1 0 MODN L=300n W=4u AD=2.7p AS=5.4p PD=1.35u PS=2.7u
M1_6 D G X_M1 0 MODN L=300n W=4u AD=5.4p AS=2.7p PD=2.7u PS=1.35u
M1_7 X_M1 G S 0 MODN L=300n W=4u AD=2.7p AS=2.7p PD=1.35u PS=1.35u
M1_8 X_M1 G S 0 MODN L=300n W=4u AD=2.7p AS=2.7p PD=1.35u PS=1.35u
M1_9 X_M1 G S 0 MODN L=300n W=4u AD=2.7p AS=2.7p PD=1.35u PS=1.35u
M1_10 X_M1 G S 0 MODN L=300n W=4u AD=5.4p AS=2.7p PD=2.7u PS=1.35u
```

Arquivo spice extraído pela ferramenta Cadence (extração completa)

```
* # FILE NAME:
/GME/CDS_DIRS/CDS_GIRAR/CIFES/SIM/M1/HSPICES/EXTRACTED/NETLIST/
* ml.c.raw
* Netlist output for hspiceS.
* Generated on Nov 22 15:28:49 2002
* File name: AMS035_bas_ml_extracted.S.
* Subcircuit for cell: ml.
* Generated for: hspiceS.
* Generated on Nov 22 15:28:49 2002.
C11 2 1 764.346967371875E-18 M=1.0
C13 GND 1 7.18520854386994E-15 M=1.0
C15 GND 2 565.260025811869E-18 M=1.0
C17 S 2 801.243722554272E-18 M=1.0
C19 G 1 10.6707093112729E-15 M=1.0
C21 G 2 1.50801394297389E-15 M=1.0
C23 G GND 2.8194846902075E-15 M=1.0
C25 D 1 648.865195260743E-18 M=1.0
C27 D 2 1.35031313709585E-15 M=1.0
C29 D GND 1.12268806735607E-15 M=1.0
C31 D G 1.16929383181725E-15 M=1.0
M33 9 GND 2 1 MODN L=300.000010611257E-9 W=3.99999998990097E-6
+AD=13.3999998597201E-12 AS=5.39999989168649E-12 PD=10.6999996205559E-6
```



+PS=2.70000009550131E-6 NRD=137.500002980232E-3 NRS=137.500002980232E-3 M=1.0  
M35 8 GND 2 1 MODN L=300.000010611257E-9 W=3.9999998990097E-6  
+AD=13.3999998597201E-12 AS=5.39999989168649E-12 PD=10.6999996205559E-6  
+PS=2.70000009550131E-6 NRD=137.500002980232E-3 NRS=137.500002980232E-3 M=1.0  
M37 2 G S 1 MODN L=300.000010611257E-9 W=3.9999998990097E-6  
+AD=5.39999989168649E-12 AS=5.39999989168649E-12 PD=2.70000009550131E-6  
+PS=2.70000009550131E-6 NRD=137.500002980232E-3 NRS=137.500002980232E-3 M=1.0  
M39 2 G D 1 MODN L=300.000010611257E-9 W=3.9999998990097E-6  
+AD=5.39999989168649E-12 AS=5.39999989168649E-12 PD=2.70000009550131E-6  
+PS=2.70000009550131E-6 NRD=137.500002980232E-3 NRS=137.500002980232E-3 M=1.0  
M41 S G 2 1 MODN L=300.000010611257E-9 W=3.9999998990097E-6  
+AD=5.39999989168649E-12 AS=5.39999989168649E-12 PD=2.70000009550131E-6  
+PS=2.70000009550131E-6 NRD=137.500002980232E-3 NRS=137.500002980232E-3 M=1.0  
M43 D G 2 1 MODN L=300.000010611257E-9 W=3.9999998990097E-6  
+AD=5.39999989168649E-12 AS=5.39999989168649E-12 PD=2.70000009550131E-6  
+PS=2.70000009550131E-6 NRD=137.500002980232E-3 NRS=137.500002980232E-3 M=1.0  
M45 2 G S 1 MODN L=300.000010611257E-9 W=3.9999998990097E-6  
+AD=5.39999989168649E-12 AS=5.39999989168649E-12 PD=2.70000009550131E-6  
+PS=2.70000009550131E-6 NRD=137.500002980232E-3 NRS=137.500002980232E-3 M=1.0  
M47 S G 2 1 MODN L=300.000010611257E-9 W=3.9999998990097E-6  
+AD=5.39999989168649E-12 AS=5.39999989168649E-12 PD=2.70000009550131E-6  
+PS=2.70000009550131E-6 NRD=137.500002980232E-3 NRS=137.500002980232E-3 M=1.0  
M49 D G 2 1 MODN L=300.000010611257E-9 W=3.9999998990097E-6  
+AD=5.39999989168649E-12 AS=5.39999989168649E-12 PD=2.70000009550131E-6  
+PS=2.70000009550131E-6 NRD=137.500002980232E-3 NRS=137.500002980232E-3 M=1.0  
M51 2 G D 1 MODN L=300.000010611257E-9 W=3.9999998990097E-6  
+AD=5.39999989168649E-12 AS=5.39999989168649E-12 PD=2.70000009550131E-6  
+PS=2.70000009550131E-6 NRD=137.500002980232E-3 NRS=137.500002980232E-3 M=1.0  
M53 2 G D 1 MODN L=300.000010611257E-9 W=3.9999998990097E-6  
+AD=5.39999989168649E-12 AS=5.39999989168649E-12 PD=2.70000009550131E-6  
+PS=2.70000009550131E-6 NRD=137.500002980232E-3 NRS=137.500002980232E-3 M=1.0  
M55 D GND 4 1 MODN L=300.000010611257E-9 W=3.9999998990097E-6  
+AD=5.39999989168649E-12 AS=7.39999988369489E-12 PD=2.70000009550131E-6  
+PS=7.70000042393804E-6 NRD=137.500002980232E-3 NRS=137.500002980232E-3 M=1.0  
M57 D GND 3 1 MODN L=300.000010611257E-9 W=3.9999998990097E-6  
+AD=5.39999989168649E-12 AS=7.39999988369489E-12 PD=2.70000009550131E-6

+PS=7.70000042393804E-6 NRD=137.500002980232E-3 NRS=137.500002980232E-3 M=1.0  
M59 2 G D 1 MODN L=300.000010611257E-9 W=3.9999998990097E-6  
+AD=5.39999989168649E-12 AS=5.39999989168649E-12 PD=2.70000009550131E-6  
+PS=2.70000009550131E-6 NRD=137.500002980232E-3 NRS=137.500002980232E-3 M=1.0  
:

## Anexo 2 Código Matlab

Descrição Matlab do projeto do amplificador Miller utilizando a metodologia  $g_m/I_D$ .

```
% Projeto de um amplificador Miller segundo a metodologia gm/ID

% A curva gm/ID é calculada a partir das curvas VG x ID simuladas com
o BSIM3v3

% Tecnologia AMS 0.35

% Entradas: fT, Cout, gm/ID

clear all;
close all;

% temperatura
T = 300;
UT0 = .0259; % tensão térmica (300K) .....V
epsOx = .345e-10; % permissividade do SiO2 .....F/m

% tecnologia AMS 0.35
Cox = 4.48e-3; % F/m^2
L = 1;
nn = 1.32; np = 1.45;
VTon = 0.4655; VTop = 0.617; % V
mun = 403.5e-4; mup = 129.6e-4;
p_n = [nn VTon UT0];
p_p = [np VTop UT0];
Kn = mun*Cox; Kp = mup*Cox;

% capacitâncias parasitas fonte e dreno, F/um2
Cjn = 9.3e-16; Cjwn = 2.8e-16;
Cjp = 1.42e-15; Cjwp = 3.8e-16;
Cgbo = 1.1e-16; % igual para NMOS e PMOS

% configuração Miller
fT = 6e6; wT = 2*pi*fT;
Cout = 10e-12;

% T1: Par diferencial, tipo p
% T3: Espelhos carga par diferencial, tipo n
% T5: fonte comum 2do estágio, tipo n
% T6: polarização 2do estágio, tipo p
% T7: fonte de corrente par diferencial (tipo p)

% ----- Tensões de Early -----
%VGS      0.7V      1V      1.5V      2V      3V
VAn      = [ 45.72   79.22   110.3   116.6   129.5   % L = 1um
             61.14   104.6   142.7   149.2   159.6   % L = 1.5um
             69.54   120.5   168.4   177.4   178.8   % L = 2um
             75.84   132.5   187.9   205.2   204.05  % L = 2.5um
             96.05   171.02  258.3   286.6   297.3   % L = 5um
             110.7   190.1   297.4   350.1   357.8   % L = 7.5um
             121.8   209.9   330.8   381.1   426.2 ]; % L = 10um
```

```

%VGS      -0.7V   -1V     -1.5V   -2V     -3V
VAp      = [ 25.66  31.33  30.21  28.31  27.55   % L = 1um
              52.51  49.41  44.17  40.48  38.24   % L = 1.5um
              70.84  64.30  57.16  51.98  48.06   % L = 2um
              86.57  78.65  69.81  63.57  57.99   % L = 2.5um
              165.6  150.3  133.0  119.8  103.9   % L = 5um
              242.5  221.1  193.5  173.2  151.5   % L = 7.5um
              322.9  290.1  255.6  227.4  198.9 ]; % L = 10um

% Comprimentos de canal (em um)
L1 = 6; L3 = 6; L7 = 6;
L5 = 3; L6 = 3;
C0 = 0; gm3 = 1;

% Cálculo das condutâncias de saída
eixoy = [1
          1.5
          2
          2.5
          5
          7.5
          10 ];
Vln = spline(eixoy, VAn(:,1), L1);
Vlp = 2*spline(eixoy, VAp(:,1), L1);
VA1 = (Vln*Vlp)/(Vln+Vlp);

V2n = spline(eixoy, VAn(:,1), L5);
V2p = 2*spline(eixoy, VAp(:,1), L6);
VA2 = (V2n*V2p)/(V2n+V2p);

% Tensões
VS = 0; VD = 1.65;

[mn, mp] = curvagmid035; % Curva gm/ID

Im_n = mn(:,2)';
GmsobreId_n = mn(:,3)';
VG_n = mn(:,1)';

Im_p = mp(:,2)';
GmsobreId_p = mp(:,3)';
VG_p = mp(:,1)';

% gm/ID transistores par diferencial
gm1sobreID1 = 10; I1 =
10^(spline(GmsobreId_p, log10(Im_p), gm1sobreID1));

% gm/ID segundo estágio
gm5sobreID2 = 4; I5 =
10^(spline(GmsobreId_n, log10(Im_n), gm5sobreID2));

% gm/ID espelho de corrente T3

gm3sobreID1 = 4;
I3 = 10^(spline(GmsobreId_n, log10(Im_n), gm3sobreID1));

% T6 (bias 2do estágio)
gm6sobreID6 = 3; I6 = 10^(spline(GmsobreId_p, log10(Im_p), gm6sobreID6));

% sintese do amplificador Miller

```

```

Cf = 2.9e-12; Cguess = 0;
while abs((Cguess-Cf)/Cf) > .001;
    Cguess = Cf;
    % primeiro estágio
    gm1 = wT*Cf;
    ID1 = gm1/gm1sobreID1;
    WsobreL1 = ID1/(I1); W1 = WsobreL1*L1;

    % Espelho de corrente (T3)
    WsobreL3 = ID1/(I3); W3 = WsobreL3*L3;

    % segundo estágio
    gm5 = 9*gm1;
    ID2 = gm5/gm5sobreID2;
    WsobreL5 = ID2/(I5); W5 = WsobreL5*L5;

    % T6 (bias 2do estágio)
    WsobreL6 = ID2/(I6); W6 = WsobreL6*L6;

    % recalculo de Cf, C1, C2
    C1 = Cjn*W3*1.1+Cjwn*(W3+2.2)+Cjp*W1*1.1+Cjwp*(W1+2.2)+(2*Cgbo*L5);

    C2 = Cout+Cjn*W5*1.1+Cjwn*(W5+2.2)+Cjp*W6*1.1+Cjwp*(W6+2.2);

    Cf = .11*(C1+C2+sqrt((C1+C2)^2+4*C1*C2/.22));

end

Av1 = 20*log10(gm1sobreID1*VA1); Av2 = 20*log10(gm5sobreID2*VA2); Av =
Av1 + Av2;
g1 = ID1/VA1; g5 = ID2/VA2;

% resposta em frequencia
k = 1/(2*pi);
A1 = - Cf;
A0 = gm5;
B2 = Cf*C1 + Cf*C2 + C1*C2;
B1 = Cf*g1 + C2*g1 + Cf*g5 + C1*g5 + Cf*gm5;
B0 = g1*g5;
num = [(A1*C0/2/gm3) (A1+A0*C0/2/gm3) A0]; z = roots(num);
den = [(B2*C0/gm3) (B2+B1*C0/gm3) (B1+B0*C0/gm3) B0]; p = roots(den);
Z1 = z(1)*k;
P1 = -p(1)*k;
P2 = -p(2)*k;
w = logspace(1,11,1000); f = w/(2*pi);
H = gm1*freqs(num,den,w);
phi = (180/pi)*angle(H);
magdB = 20*log10(abs(H));
fT = spline(magdB,w,0)*k;
phase = spline(w,phi,fT/k);
if phase > 0,
    margin = phase-180;
else,
    margin = 180+phase;
end
A = magdB(1);

% Tensões VG

VG1 = spline(log10(Im_p),VG_p,log10(I1));
VG5 = spline(log10(Im_n),VG_n,log10(I5));

```

```

VG3 = spline(log10(Im_n),VG_n,log10(I3));
VG6 = spline(log10(Im_p),VG_p,log10(I6));

% T7 (bias 1ro estágio)
WsobreL7 = 2*ID1/(I6); W7 = WsobreL7*L7;

Idd = 2*ID1+ID2; % corrente total (A)

% Estimativa superficie total
Surf = (W1*2 + W3*2 + W7)*(L1+16) + (W5 + W6)*(L5+16) + Cf*1e12/Cox*5;
%em um2

out = [nn          Cjn*1e15   Cjp*1e15   C1*1e12
       Cf*1e12     Cjwn*1e15  Cjwp*1e15  C2*1e12
       Idd*1e3     fT/1e6     margin     A
       gmlsobreID1 VG1        VG3        Av1
       gm5sobreID2 VG5        VG6        Av2
       W1          W3         W5         W6
       L1          W7         L5         Surf*1e-6];

texto = sprintf('Cf : %0.5g pF\nIdd: %0.5g mA\nft: %0.5g MHz\nMargem:
%0.5g graus\nAv: %0.5g\nW1: %0.5g um\nW3: %0.5g um\nW5: %0.5g um\nW6:
%0.5g um\nW7: %0.5g
um\n',Cf*1e12,Idd*1e3,fT/1e6,margin,A,W1,W3,W5,W6,W7);
disp(texto);

texto = sprintf('VG1 : %0.5g V\nVG3: %0.5g V\nVG5: %0.5g V\nVG6: %0.5g
V\n',VG1,VG3,VG5,VG6);
disp(texto);

AD1 = 1.1e-6*W1*1e-6;
AD3 = 1.1e-6*W3*1e-6;
AD5 = 1.1e-6*W5*1e-6;
AD6 = 1.1e-6*W6*1e-6;
AD7 = 1.1e-6*W7*1e-6;
PD1 = (W1+2.2)*1e-6;
PD3 = (W3+2.2)*1e-6;
PD5 = (W5+2.2)*1e-6;
PD6 = (W6+2.2)*1e-6;
PD7 = (W7+2.2)*1e-6;

texto = sprintf('AD1 : %0.5g V\nPD1: %0.5g V\nAD3: %0.5g V\nPD3: %0.5g
V\nAD5: %0.5g V\nPD5: %0.5g V\nAD6: %0.5g V\nPD6: %0.5g V\nAD7: %0.5g
V\nPD7: %0.5g V\n',AD1,PD1,AD3,PD3,AD5,PD5,AD6,PD6,AD7,PD7);
disp(texto);

semilogx(f,magdB, f,phi)

% Curva gm/ID vs ID/(W/L) 0.35um
% Retorna duas matrizes com as variáveis VG, ID e gmid

% Obtida via simulação SPICE

function [yn, yp]= curvagmid035()

% Curva VG x ID
% VD = 3.3V VS = 0V VB = 0
VG_ID_N = [0.000E+00 3.388E-12
           5.000E-02 3.669E-12
           1.000E-01 4.973E-12

```

1.500E-01	1.098E-11
2.000E-01	3.850E-11
2.500E-01	1.629E-10
3.000E-01	7.111E-10
3.500E-01	3.021E-09
4.000E-01	1.215E-08
4.500E-01	4.587E-08
5.000E-01	1.582E-07
5.500E-01	4.603E-07
6.000E-01	1.067E-06
6.500E-01	2.014E-06
7.000E-01	3.272E-06
7.500E-01	4.806E-06
8.000E-01	6.596E-06
8.500E-01	8.637E-06
9.000E-01	1.093E-05
9.500E-01	1.348E-05
1.000E+00	1.628E-05
1.050E+00	1.934E-05
1.100E+00	2.265E-05
1.150E+00	2.623E-05
1.200E+00	3.006E-05
1.250E+00	3.415E-05
1.300E+00	3.849E-05
1.350E+00	4.309E-05
1.400E+00	4.795E-05
1.450E+00	5.306E-05
1.500E+00	5.841E-05
1.550E+00	6.402E-05
1.600E+00	6.988E-05
1.650E+00	7.599E-05
1.700E+00	8.234E-05
1.750E+00	8.893E-05
1.800E+00	9.577E-05
1.850E+00	1.028E-04
1.900E+00	1.102E-04
1.950E+00	1.177E-04
2.000E+00	1.255E-04
2.050E+00	1.335E-04
2.100E+00	1.418E-04
2.150E+00	1.503E-04
2.200E+00	1.590E-04
2.250E+00	1.679E-04
2.300E+00	1.771E-04
2.350E+00	1.865E-04
2.400E+00	1.961E-04
2.450E+00	2.059E-04
2.500E+00	2.160E-04
2.550E+00	2.263E-04
2.600E+00	2.367E-04
2.650E+00	2.474E-04
2.700E+00	2.584E-04
2.750E+00	2.695E-04
2.800E+00	2.808E-04
2.850E+00	2.924E-04
2.900E+00	3.041E-04
2.950E+00	3.161E-04
3.000E+00	3.282E-04
3.050E+00	3.406E-04
3.100E+00	3.532E-04
3.150E+00	3.660E-04

```
3.200E+00  3.789E-04
3.250E+00  3.921E-04
3.300E+00  4.055E-04 ];
```

```
VG_ID_P=[0.000E+00  -3.310E-12
-5.000E-02  -3.312E-12
-1.000E-01  -3.322E-12
-1.500E-01  -3.368E-12
-2.000E-01  -3.595E-12
-2.500E-01  -4.703E-12
-3.000E-01  -1.007E-11
-3.500E-01  -3.569E-11
-4.000E-01  -1.539E-10
-4.500E-01  -6.673E-10
-5.000E-01  -2.694E-09
-5.500E-01  -9.826E-09
-6.000E-01  -3.213E-08
-6.500E-01  -9.160E-08
-7.000E-01  -2.193E-07
-7.500E-01  -4.401E-07
-8.000E-01  -7.638E-07
-8.500E-01  -1.190E-06
-9.000E-01  -1.717E-06
-9.500E-01  -2.342E-06
-1.000E+00  -3.065E-06
-1.050E+00  -3.885E-06
-1.100E+00  -4.803E-06
-1.150E+00  -5.818E-06
-1.200E+00  -6.931E-06
-1.250E+00  -8.143E-06
-1.300E+00  -9.453E-06
-1.350E+00  -1.086E-05
-1.400E+00  -1.237E-05
-1.450E+00  -1.398E-05
-1.500E+00  -1.568E-05
-1.550E+00  -1.749E-05
-1.600E+00  -1.940E-05
-1.650E+00  -2.140E-05
-1.700E+00  -2.351E-05
-1.750E+00  -2.572E-05
-1.800E+00  -2.802E-05
-1.850E+00  -3.043E-05
-1.900E+00  -3.294E-05
-1.950E+00  -3.555E-05
-2.000E+00  -3.826E-05
-2.050E+00  -4.108E-05
-2.100E+00  -4.399E-05
-2.150E+00  -4.701E-05
-2.200E+00  -5.013E-05
-2.250E+00  -5.335E-05
-2.300E+00  -5.668E-05
-2.350E+00  -6.010E-05
-2.400E+00  -6.363E-05
-2.450E+00  -6.727E-05
-2.500E+00  -7.101E-05
-2.550E+00  -7.485E-05
-2.600E+00  -7.879E-05
-2.650E+00  -8.284E-05
-2.700E+00  -8.699E-05
-2.750E+00  -9.125E-05
-2.800E+00  -9.562E-05
```



```

-2.850E+00 -1.001E-04
-2.900E+00 -1.047E-04
-2.950E+00 -1.093E-04
-3.000E+00 -1.141E-04
-3.050E+00 -1.190E-04
-3.100E+00 -1.240E-04
-3.150E+00 -1.291E-04
-3.200E+00 -1.344E-04
-3.250E+00 -1.397E-04
-3.300E+00 -1.451E-04 ];

VG_ID_P = -VG_ID_P;

% NMOS
VG1=VG_ID_N(6:66,1);
ID1=VG_ID_N(6:66,2);
ID1a=log(ID1);
gm1=diff(ID1a)./diff(VG1);
ID1=ID1(1:length(ID1)-1);
VG1=VG1(1:length(VG1)-1);

% PMOS
VG2=VG_ID_P(9:66,1);
ID2=VG_ID_P(9:66,2);
ID2a=log(ID2);
gm2=diff(ID2a)./diff(VG2);
ID2=ID2(1:length(ID2)-1);
VG2=VG2(1:length(VG2)-1);

figure;
semilogx(ID1,gm1,'r -',...
ID2,gm2,'b -');
grid;
ylabel('gm / ID');
xlabel('ID/(W/L)');
title('Tecnologia AMS 0.35');

yn = [VG1 ID1 gm1];
yp = [VG2 ID2 gm2];


```

—

## Anexo 3 LIT - Manual do Usuário

Este manual traz uma descrição em formato tutorial das funções implementadas na ferramenta LIT versão 1.0. Esta versão foi compilada para ser executada no sistema operacional Microsoft Windows 98, 2000 ou XP em um computador do tipo PC, no mínimo Pentium. A ferramenta está disponível para *download* em [www.inf.ufrgs.br/~girardi](http://www.inf.ufrgs.br/~girardi).

### A3.1 Iniciando o programa

Clique duas vezes sobre o ícone do LIT  para iniciar o programa. Uma tela como mostrada na figura A3.1 abrirá.

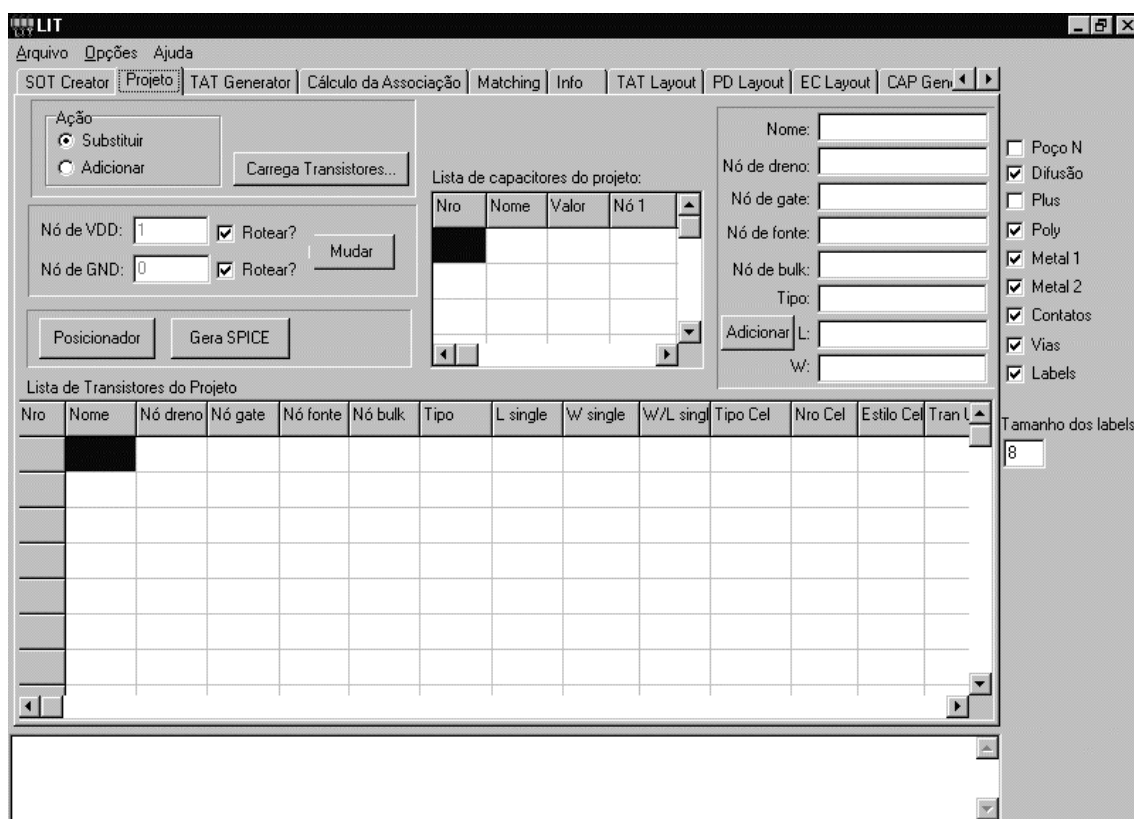


FIGURA A3.1 - Tela de abertura da ferramenta LIT.

O LIT está dividido em módulos, cada um localizado em uma página diferente. Pode-se alternar entre as páginas clicando nas suas bordas localizadas na parte de cima da tela (figura A3.2).

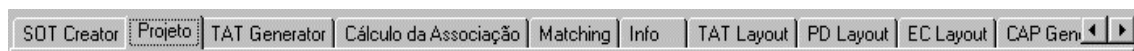


FIGURA A3.2 - Detalhe das bordas das páginas. Cada página representa um módulo da ferramenta.

No topo da tela está localizado o menu principal. Na parte inferior está uma caixa de mensagens, onde são dadas informações das atividades realizadas pela

ferramenta. Na direita, ficam os controles de visualização do leiaute, onde é possível escolher as camadas que se deseja visualizar e as que se deseja ocultar, além do tamanho da fonte dos *labels*.

### A3.2 Iniciando um novo projeto

Para começar a trabalhar com o LIT, é necessário criar um projeto clicando em *Arquivo->Novo*. Uma janela se abrirá pedindo o nome e o diretório de trabalho (figura A3.3).

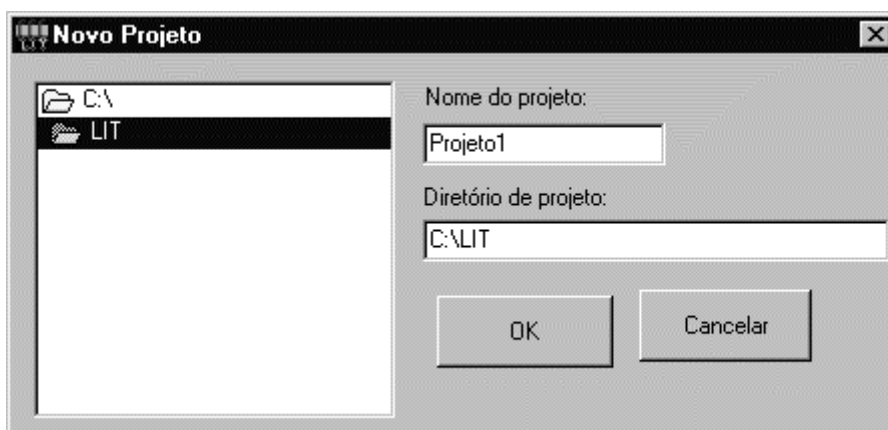


FIGURA A3.3 - Janela para a criação de um novo projeto.

Depois de preenchidos os campos, clique em *OK* para continuar.

### A3.3 Definindo a tecnologia

Cada projeto no LIT está atrelado a uma tecnologia de fabricação. A primeira coisa a fazer logo após criar um novo projeto é carregar o arquivo de tecnologia e criar a matriz SOT.

Clique na borda da página “*SOT Creator*” para alternar para esta página. Na caixa de texto “*Arquivo de tecnologia*”, digite o nome do arquivo de tecnologia desejado. É importante notar que esse arquivo de tecnologia deve estar localizado dentro do diretório de trabalho anteriormente selecionado. Selecione o número de vias nas linhas de alimentação (o que determinará a largura dessas linhas) e o número de vias nos transistores PMOS (o que determinará a largura de canal desses transistores). A seguir, clique em “*Carregar tecnologia*”. O LIT automaticamente calculará as dimensões dos transistores unitários da matriz e das linhas de alimentação, baseado nas regras de leiaute. Todas as informações são mostradas na tela.

Para criar a matriz SOT, indique o número de células básicas por banda e o número total de bandas desejados e clique em “*Cria Matriz SOT*”. Será criado um arquivo em formato CIF cujo nome é formado pelo nome da tecnologia mais o sufixo “matriz”. Por exemplo, para a tecnologia AMS 0.35 $\mu$ m, o nome do arquivo que contém a matriz SOT será *AMS035matriz.cif*. Pode-se visualizar o leiaute da matriz digitando-se o nome do arquivo no local abaixo da tela à direita e clicando-se em “*Desenha*”.

A opção de se criar somente a célula básica da matriz também pode ser feita. Basta clicar em “*Criar célula básica*”. Um arquivo em formato CIF será gerado. O

nome deste arquivo será o nome da tecnologia mais o sufixo “bas”. Na tecnologia AMS 0.35 $\mu\text{m}$ , por exemplo, este arquivo terá o nome *AMS035bas.cif*. A figura A3.4 mostra a aparência da página *SOT Creator*.

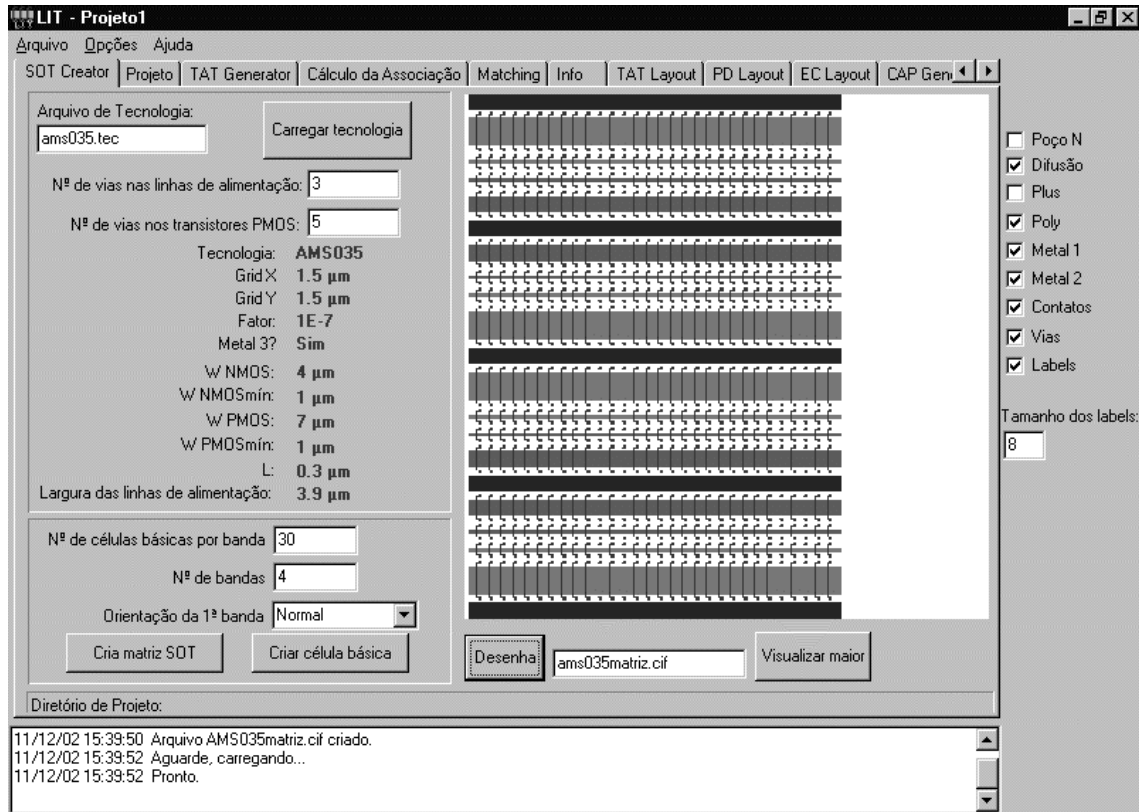


FIGURA A3.4 - Página *SOT Creator*.

### A3.4 Carregando os transistores do projeto

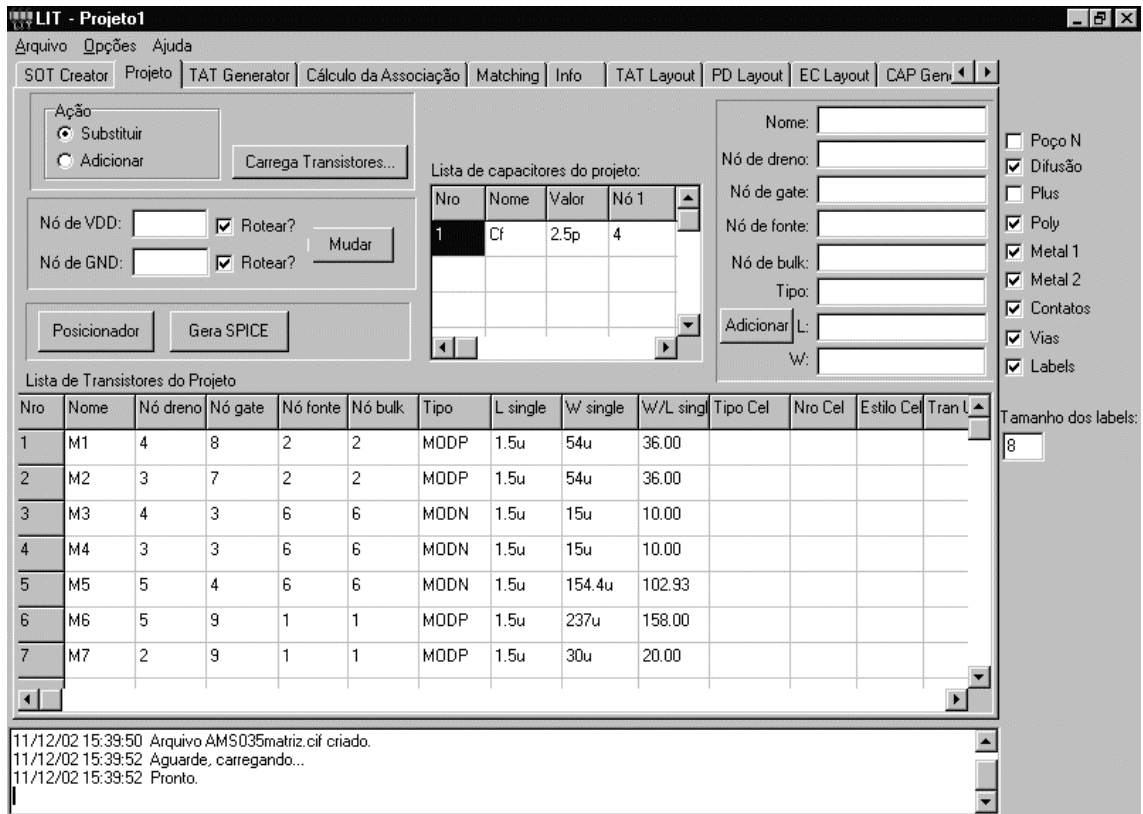
O fluxo de projeto proposto pela ferramenta LIT tem como ponto de partida um circuito projetado com transistores simples, previamente simulado e validado. Assim, a entrada da ferramenta é um arquivo em formato *spice* contendo a descrição desse circuito.

Alterne para a página “*Projeto*”, clique em “*Carregar Transistores*” e selecione o arquivo *spice* desejado. O LIT irá ler todos os transistores e capacitores desse arquivo. A “*Lista de Transistores do Projeto*” é uma tabela contendo todas as informações a respeito dos transistores, como largura e comprimento de canal, nomes dos nós dos terminais, tipo de transistor, etc. Nesta lista também estarão informações sobre os TATs equivalentes dos transistores simples.

Na “*Lista de Capacitores do Projeto*” estarão todos os capacitores lidos do arquivo *spice*.

É possível ainda adicionar transistores individualmente, através das caixas de texto localizadas na parte direita da tela. Depois de preencher todos os campos, clique em “*Adicionar*”. O transistor adicionado irá para o final da *Lista de Transistores*.

A figura A3.5 mostra o aspecto da página “*Projeto*”.

FIGURA A3.5 - Página *Projeto*.

### A3.5 Definindo a função dos transistores no circuito

A geração do leiaute dos TATs envolve questões como casamento dos transistores. Para definir quais são os TATs que precisam casar entre si, é preciso determinar o tipo de célula básica a que eles pertencem.

O LIT reconhece três tipos de células básicas diferentes: par diferencial (PD), espelho de corrente (EC) e TAT propriamente dito. O par diferencial é uma célula formada por dois TATs exatamente iguais, ou seja, com mesmo ND e NS e com o mesmo terminal de fonte. Já o espelho de corrente pode conter dois TATs de tamanhos diferentes cujos terminais de fonte são comuns e os terminais de gate são ligados no terminal de dreno do TAT de referência. Já a célula básica TAT é formada por um único TAT de qualquer tamanho.

Inicialmente, todos os TATs são considerados como pertencentes a uma célula básica TAT. Quando isto não for verdadeiro, é preciso informar à ferramenta a qual célula ele pertence. Para isso, clique com o botão direito do *mouse* sobre o nome do transistor desejado na *Lista de Transistores*. Um menu *pop-up* aparecerá. A seguir, clique em “*Tipo de célula*”. Na nova janela que se abrirá, como a mostrada na figura A3.6a, escolha o tipo de célula a que pertence este TAT e clique em “*Próxima*”. Se o tipo de célula escolhida for par diferencial ou espelho de corrente, surgirá outra tela (figura A3.6b) perguntando qual é o segundo transistor da célula. Selecione um na lista de transistores. É necessário também definir-se um índice para essa célula para distingui-la das demais. Por exemplo, se o tipo de célula selecionada é o par diferencial e o índice é 1, então o nome da célula será “PD1”. Clique “*OK*” para finalizar.

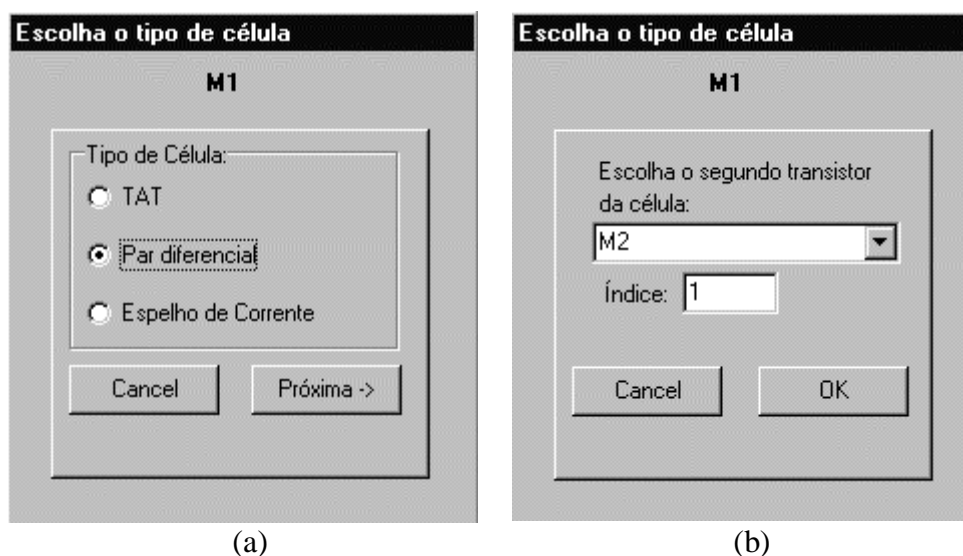


FIGURA A3.6 - Janela de determinação do tipo de célula.

Se o segundo transistor selecionado já fizer parte de outra célula, será perguntado se deseja destruir a outra célula ou cancelar a criação desta.

As colunas “*Tipo Cel*” e “*Nro Cel*” da Lista de Transistores serão atualizadas.

Deve-se realizar o mesmo procedimento para os demais transistores pertencentes aos espelhos de corrente ou pares diferenciais.

### A3.6 Cálculo da associação

O cálculo do TAT equivalente é feito para cada transistor simples separadamente. Há dois métodos de cálculo: aproximação por resistores lineares ou aproximação pelo modelo analítico da corrente (modelo BSIM3). O primeiro é indicado para transistores unitários de canal curto, enquanto que o segundo serve para qualquer dimensão de transistor unitário.

Para calcular o TAT equivalente pelo método da aproximação por resistores lineares, clique com o botão direito do *mouse* sobre o transistor desejado na *Lista de Transistores*. No menu que se abrirá, clique em “*Associação->TAT Generator*”. O programa alternará para a página “*TAT Generator*” (figura A3.7). As informações sobre nome e dimensões do transistor selecionado automaticamente serão atualizadas. Selecione o tamanho desejado dos transistores unitários (normais ou mínimos) e clique em “*Calcular*”. Uma lista de opções de associações aparecerá. Para cada opção são indicados os números de transistores unitários em paralelo NS e NS, o W/L equivalente, o número total de transistores unitários, a relação ND/NS ( $m$ ), o W equivalente e o L equivalente. Selecionando-se também o estilo de leiaute, a ferramenta fornece uma estimativa das capacitâncias parasitas nos nós do TAT. Pode-se incrementar ou decrementar os valores de ND e NS de forma a refinar as soluções propostas. A cada variação no número de ND ou NS, todas as demais estimativas são atualizadas automaticamente.

Selecione a opção de associação desejada e clique em “*Aceita Cálculo*”. O programa voltará à página “*Projeto*” e a *Lista de Transistores do Projeto* será atualizada

com as informações de tamanho dos transistores unitários, ND, NS,  $W_{eq}$ ,  $L_{eq}$ ,  $(W/L)_{eq}$ , número total de transistores e capacitâncias parasitas.

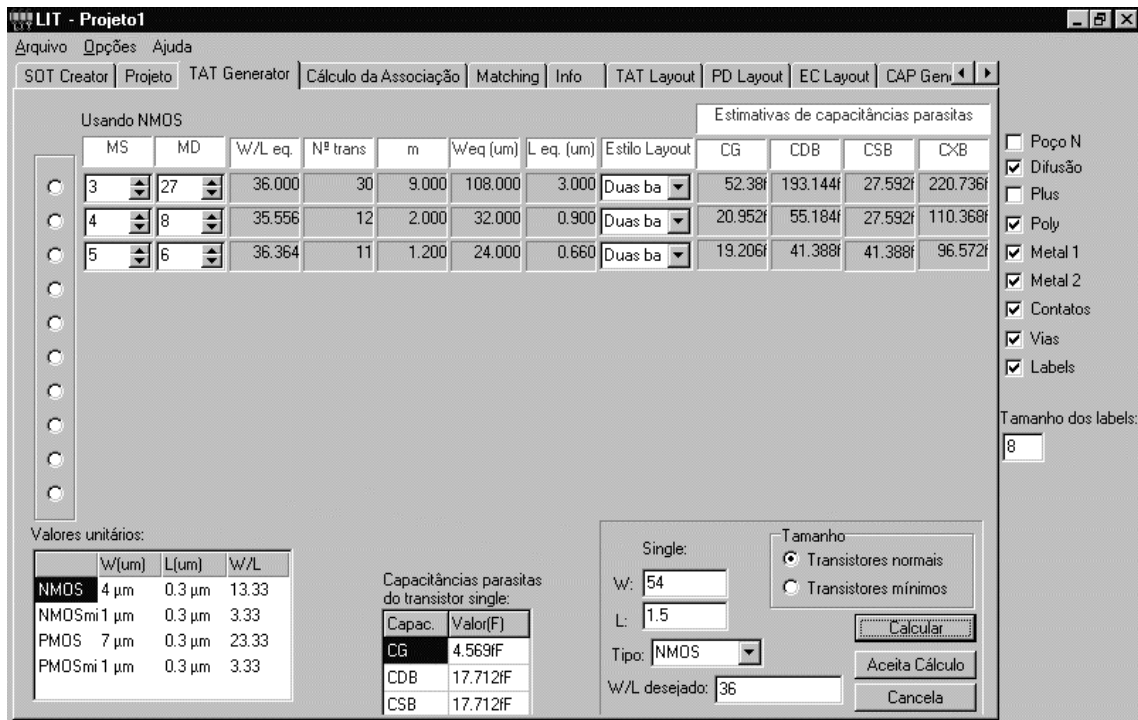
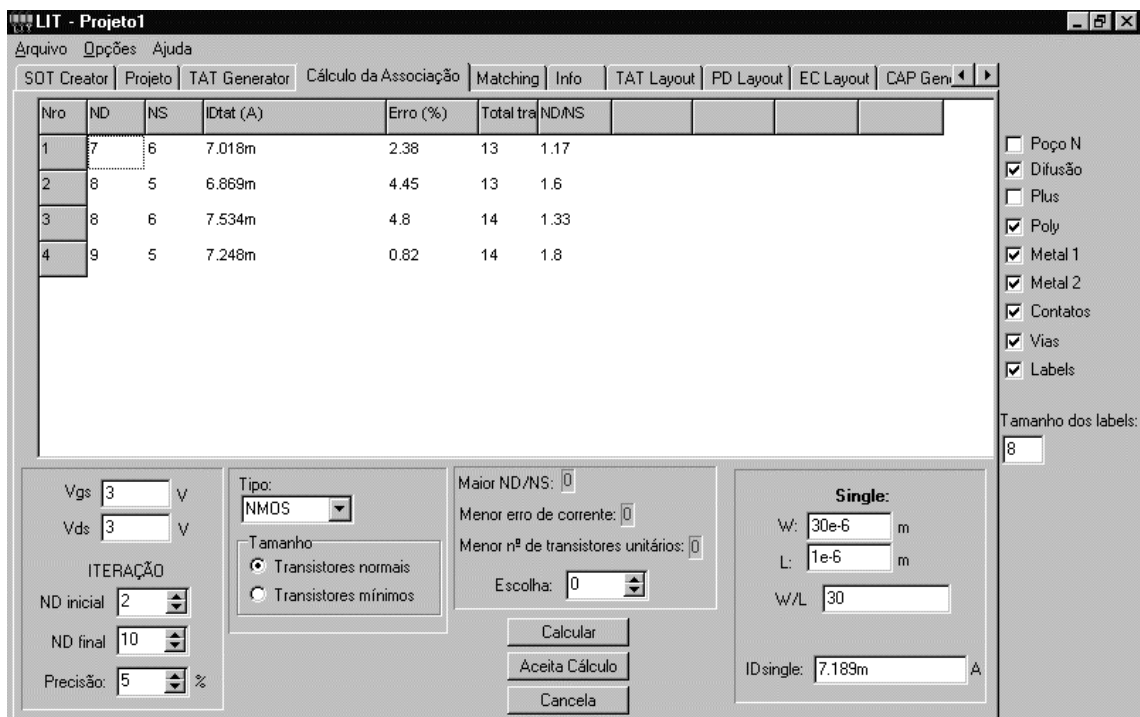


FIGURA A3.7 - Página *TAT Generator*.

Para calcular o TAT equivalente pelo método da aproximação pelo modelo da corrente, clique com o botão direito do *mouse* sobre o transistor desejado na *Lista de Transistores* e depois em “Associação->Cálculo da Associação”. O programa alternará para a página “Cálculo da Associação”, mostrada na figura A3.8. Os dados relativos ao tamanho e ao tipo de transistor serão atualizados automaticamente.

Selecione o tamanho desejado dos transistores unitários e o ponto de operação DC ( $V_{gs}$  e  $V_{ds}$ ). Selecione também os valores de ND inicial e final para a iteração e o erro máximo de corrente admitido. A seguir, clique em “Calcular”. Uma lista de opções de associação aparecerá, indicando o ND, o NS, a corrente de dreno do TAT ( $I_{D(TAT)}$ ), o erro da corrente do TAT em relação à corrente do transistor simples, o número total de transistores unitários e a relação ND/NS.

Selecione a opção de associação desejada em “Escolha” e clique em “Aceita Cálculo” para terminar. O programa retornará à página “Projeto” e atualizará a *Lista de Transistores*.

FIGURA A3.8 - Página *Cálculo da Associação*.

### A3.7 Geração do leiaute das células

A geração do leiaute é feita de acordo com o tipo de célula. Para iniciar a geração, é necessário que a associação trapezoidal já esteja calculada (ND e NS definidos).

O LIT proporciona duas maneiras de geração do leiaute das células: automática e semi-automática. Na geração automática, a única intervenção do usuário é escolher uma dentre as opções de estilo de leiaute fornecidas. Já na geração semi-automática, o usuário pode intervir na localização dos transistores unitários e na posição das linhas de roteamento interno de forma a criar diferentes padrões de interdigitação.

#### A3.7.1 Geração automática do leiaute dos TATs

A geração automática dos TATs é feita pelo módulo “*TAT Layout*”. Na página “*Projeto*”, clique com o botão direito do mouse sobre o TAT desejado na *Lista de Transistores* e depois em “*Criar Layout->Normal*”. A página “*TAT Layout*” se abrirá e duas versões de leiaute serão criadas: transistores unitários em uma só banda ou transistores unitários em duas bandas. Selecione a opção desejada e clique em “*OK*” para voltar à página “*Projeto*”. As colunas relativas às informações sobre o leiaute na *Lista de Transistores* serão atualizadas. A figura A3.9 mostra a página “*TAT Layout*”.



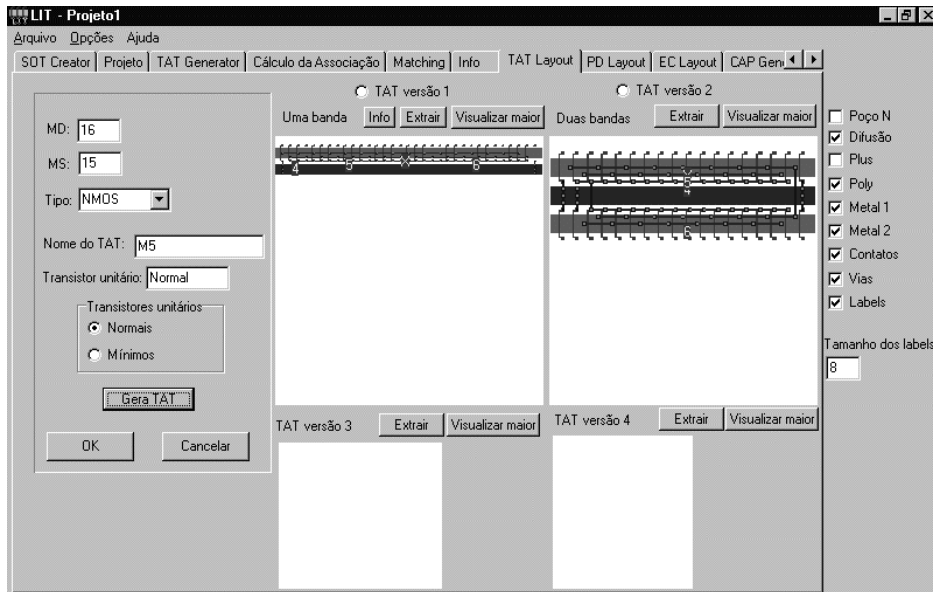


FIGURA A3.9 - Página TAT Layout.

### A3.7.2 Geração automática do leiaute dos pares diferenciais

Clique com o botão direito do *mouse* sobre qualquer um dos TATs que pertencem à célula PD desejada na *Lista de Transistores* e depois em “*Criar Layout->Normal*”. O programa alternará para a página “*PD Layout*” e 5 versões de leiaute serão criadas: transistores unitários em uma banda com linhas de roteamento passando sobre os *gates*, transistores unitários em duas bandas com linhas de roteamento passando sobre os *gates*, transistores unitários em uma banda sem linhas de roteamento passando sobre os *gates*, transistores unitários em duas bandas sem linhas de roteamento passando sobre os *gates* e configuração par cruzado sem linhas de roteamento passando sobre os *gates* (esta última só é criada quando ND+NS for par).

Selecione a opção desejada e clique em “*OK*” para voltar à página “*Projeto*”. A *Lista de Transistores* será atualizada com os dados obtidos. A figura A3.10 mostra a página “*PD Layout*”.

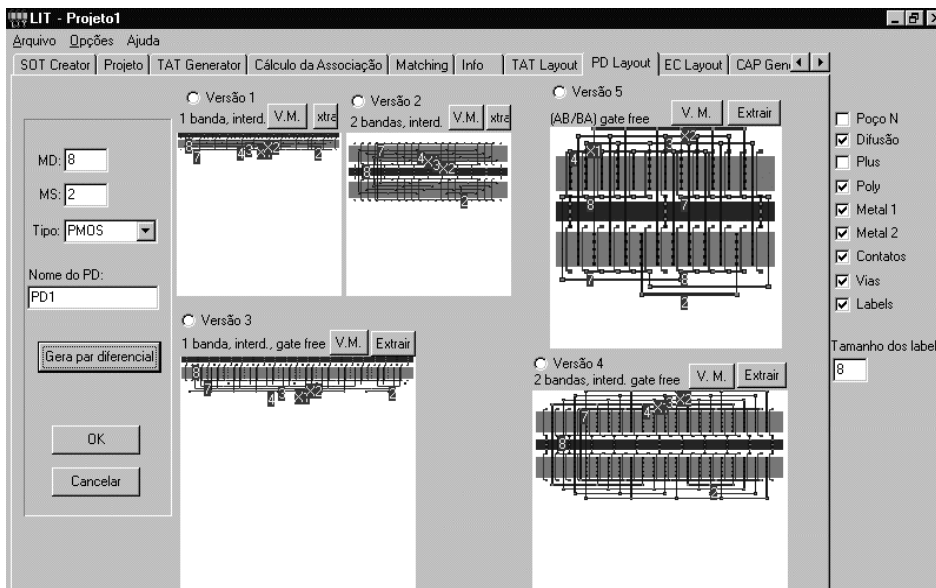


FIGURA A3.10 - Página PD Layout.

### A3.7.3 Geração automática do leiaute do espelho de corrente

Clique com o botão direito do *mouse* sobre qualquer um dos TATs que pertencem à célula EC desejada na *Lista de Transistores* e depois em “*Criar Layout->Normal*”. O programa alternará para a página “*EC Layout*”. Selecione o TAT de referência do espelho e clique em “*Gera layout do espelho*”. Somente uma versão de leiaute será gerada: configuração par cruzado sem linhas de roteamento passando sobre os *gates*. Selecione essa opção e clique em “*OK*” para voltar à página “*Projeto*”. A *Lista de Transistores* será atualizada com os dados obtidos. A figura A3.11 mostra a página “*EC Layout*”.

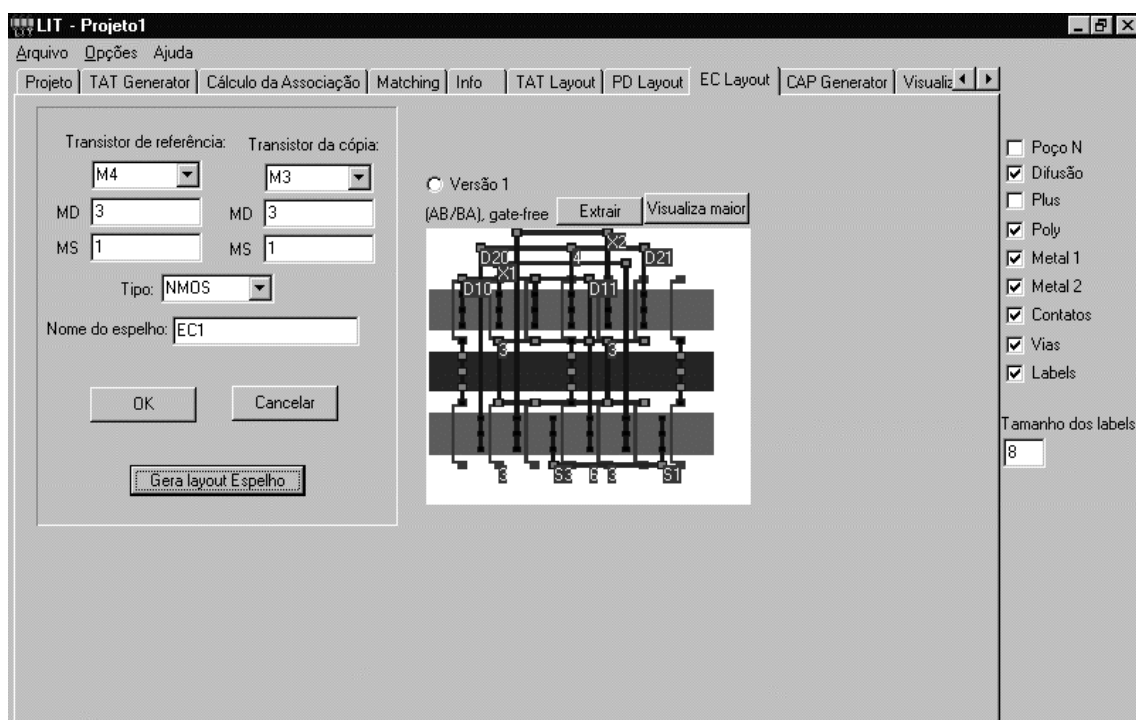


FIGURA A3.11 - Página *EC Layout*.

### A3.7.4 Geração semi-automática do leiaute

Existem inúmeros padrões de interdigitação, que dependem do número de transistores unitários envolvidos na associação. Para tornar mais flexível a definição do padrão e evitar que o projetista fique restrito aos padrões oferecidos pela ferramenta, o LIT possui um “*Ambiente Gráfico para Casamento de Transistores*”. Neste ambiente, pode-se criar qualquer padrão de interdigitação somente clicando e arrastando os transistores unitários com o *mouse*. A criação dos padrões é guiada pela ferramenta através do pré-ordenamento dos transistores.

Para entrar no modo de casamento de transistores, clique com o botão direito do *mouse* sobre o TAT desejado (este TAT deve fazer parte de uma célula PD ou EC). A seguir, clique em “*Criar Layout->Matching*”. O programa alternará para a página “*Matching*”. Essa página, mostrada na figura A3.12, possui três áreas: leiaute simbólico da célula, mostrando a posição dos transistores unitários e os nós dos terminais (no topo da tela); tabela contendo os transistores unitários (na parte inferior direita); e um

conjunto de sub-páginas de controle e configuração (na parte inferior esquerda da tela). O LIT automaticamente preencherá os campos com as informações do par de TATs selecionados.

A tabela com os transistores unitários que formam a célula será criada. O leiaute simbólico é relativo a esta tabela. O usuário pode modificar a posição dos transistores unitários simplesmente clicando e arrastando as linhas da tabela. A cada modificação na ordem dos transistores unitários a figura do leiaute simbólico se atualizará automaticamente. Nesta figura é possível observar se os nós de difusão dos transistores adjacente possuem o mesmo nome, isto é, se a ligação das difusões está correta. Quando o nome do nó estiver na cor branca, é porque a ligação está certa, caso contrário o nome estará na cor vermelha. O leiaute final só poderá ser gerado quando todos os nós estiverem na cor branca.

Clicando com o botão direito sobre um transistor na tabela, aparecerá um menu *pop-up* com algumas opções de edição. Uma das opções é girar horizontalmente o transistor unitário selecionado (inverter nós de dreno e fonte). Clique com o botão direito do *mouse* sobre este transistor e depois em “*Inverter nós de difusão*”. Outra opção é inserir transistor de isolamento entre os transistores ativos. Há duas opções: inserir transistor de isolamento acima ou abaixo do transistor selecionado. Pode-se também excluir um transistor de isolamento clicando-se em “*Excluir transistor*” no menu *pop-up*.

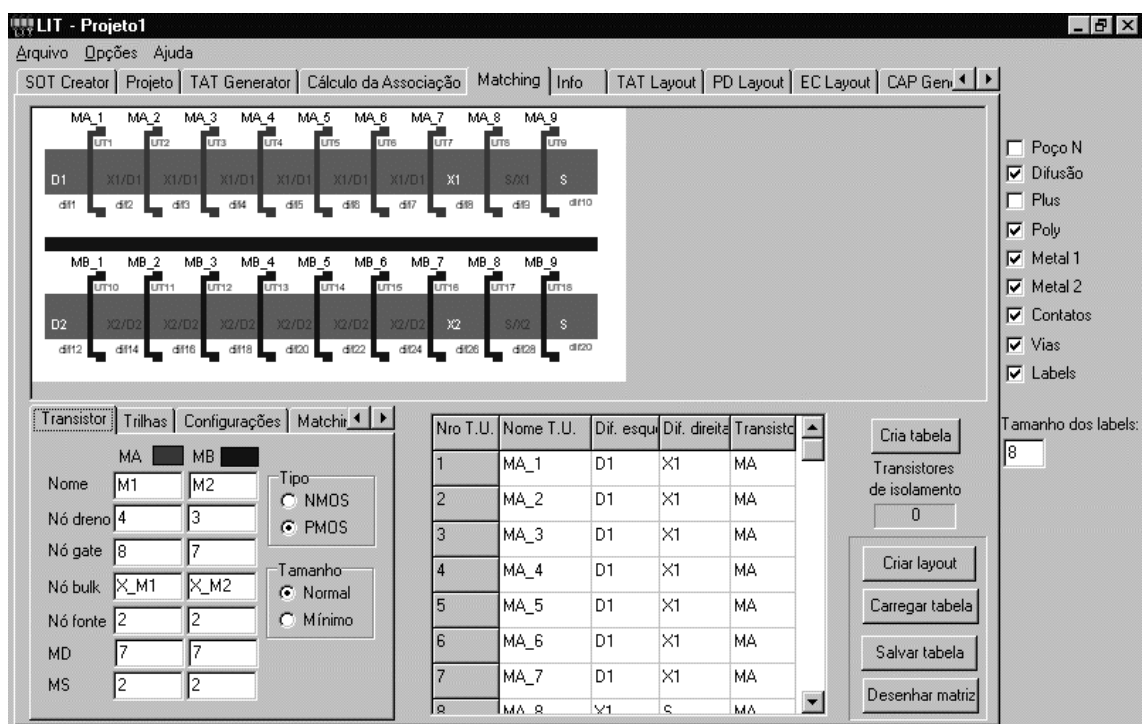


FIGURA A3.12 - Página *Matching*.

Nas sub-páginas de configuração, todas as demais informações a respeito da geração do leiaute estão disponíveis.

Na sub-página “*Transistor*”, que pode ser vista na figura A3.12, estão as informações características dos TATs, como nome, terminais, ND, NS, tipo e tamanho dos transistores unitários.

Na sub-página “*Trilhas*”, mostrada na figura A3.13, pode-se editar a altura das trilhas (em múltiplos da grade) das linhas horizontais de roteamento interno da célula. O

botão “*Default*” retorna os valores padrões e o botão “*Gate-free*” retorna valores de trilhas horizontais de modo que nenhuma linha de metal passe sobre os *gates*. Pode-se salvar e carregar trilhas de arquivos no formato “.ltr”.



FIGURA A3.13 - Sup-página *Trilhas*.

Na sub-página “*Configurações*” pode-se definir o número de bandas a serem utilizadas, a existência ou não de transistores de isolamento laterais, a ligação ou não do dreno do transistor de referência com os *gates* dos demais transistores (para criar espelhos de corrente) e o nome dos arquivos CIF e de tabela da célula em edição. A figura A3.14 mostra a aparência desta sub-página.

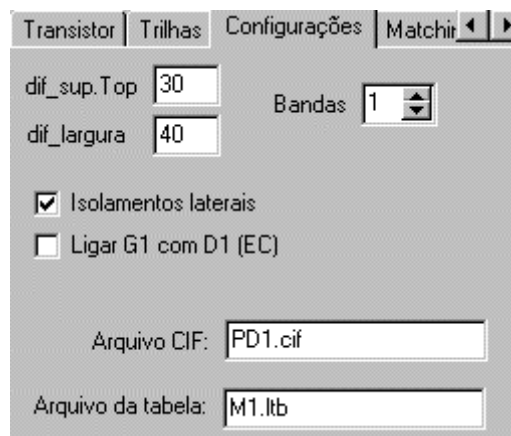
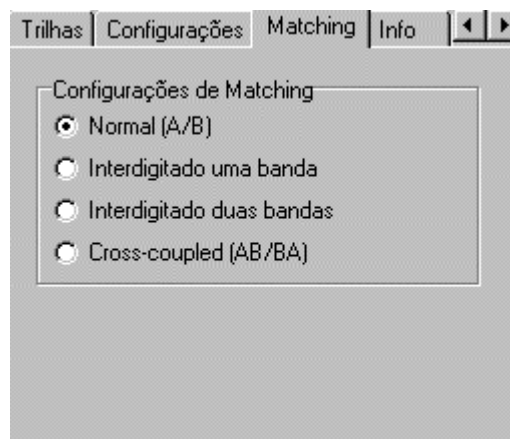
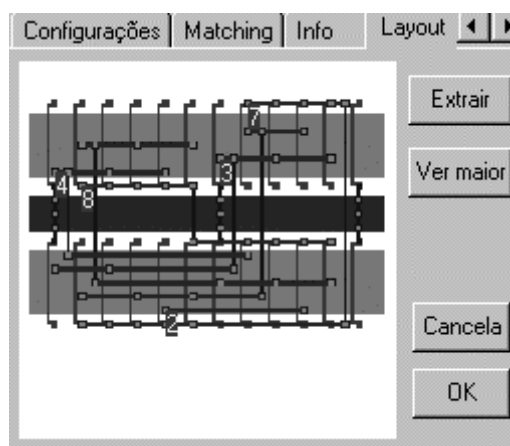


FIGURA A3.14 - Sub-página *Configurações*.

Na sub-página “*Matching*” (figura A3.15) pode-se definir o pré-ordenamento da tabela de transistores unitários. Selecione o padrão de ordenamento desejado e clique em “*Criar tabela*” na extremidade direita da tela. Os transistores unitários serão posicionados de acordo com o padrão escolhido.

FIGURA A3.15 - Sub-página *Matching*.

Depois de realizada a correta ordenação dos transistores unitários e realizadas as configurações adicionais, clique no botão “*Criar layout*” localizado à direita da página. A ferramenta gerará o leiaute da célula automaticamente e a sua figura será mostrada na sub-página “*Layout*” (figura A3.16). Para aceitar o leiaute gerado e finalizar a geração da célula, clique no botão “*OK*” desta sub-página. O programa retornará à página “*Projeto*” e atualizará a *Lista de Transistores*.

FIGURA A3.16 - Sub-página *Layout*.

### A3.8 Posicionamento e roteamento das células

Na atual versão do LIT o posicionamento das células sobre a matriz pré-difundida é feito manualmente. Porém, para evitar a migração para outra ferramenta nesta etapa, foi implementado um ambiente gráfico de posicionamento de células. Para acessar este ambiente, clique no botão “*Posicionador*” localizado na página “*Projeto*”. Uma nova janela se abrirá, como a mostrada na figura A3.17. Selecione uma célula na lista localizada no topo da tela e clique na posição desejada sobre a matriz. A seguir, clique sobre o leiaute da célula que aparecerá e o arraste para a sua posição. Para evitar a violação de regras de leiaute nesta etapa, só é permitida a movimentação da célula em múltiplos da grade. Depois que a célula estiver na sua posição correta, clique com o botão direito do *mouse* e depois em “*Pronto*” para finalizar o posicionamento desta célula.

Outras funções que podem ser acessadas no ambiente de posicionamento são: rotacionar, espelhar e apagar células, medir a distância entre dois pontos na matriz, aumentar ou diminuir o zoom e salvar a figura do leiaute em formato bitmap (.BMP).

Depois que todas as células forem posicionadas, clique no botão “Roteador” para realizar o roteamento global do circuito.

Para gerar o arquivo final em formato CIF, clique em “Criar CIF”. O nome do arquivo será perguntado. Escreva um nome e clique em “OK”. O arquivo ficará armazenado no diretório de trabalho.

Para voltar à página “Projeto”, clique no menu “Arquivo->Retornar”.

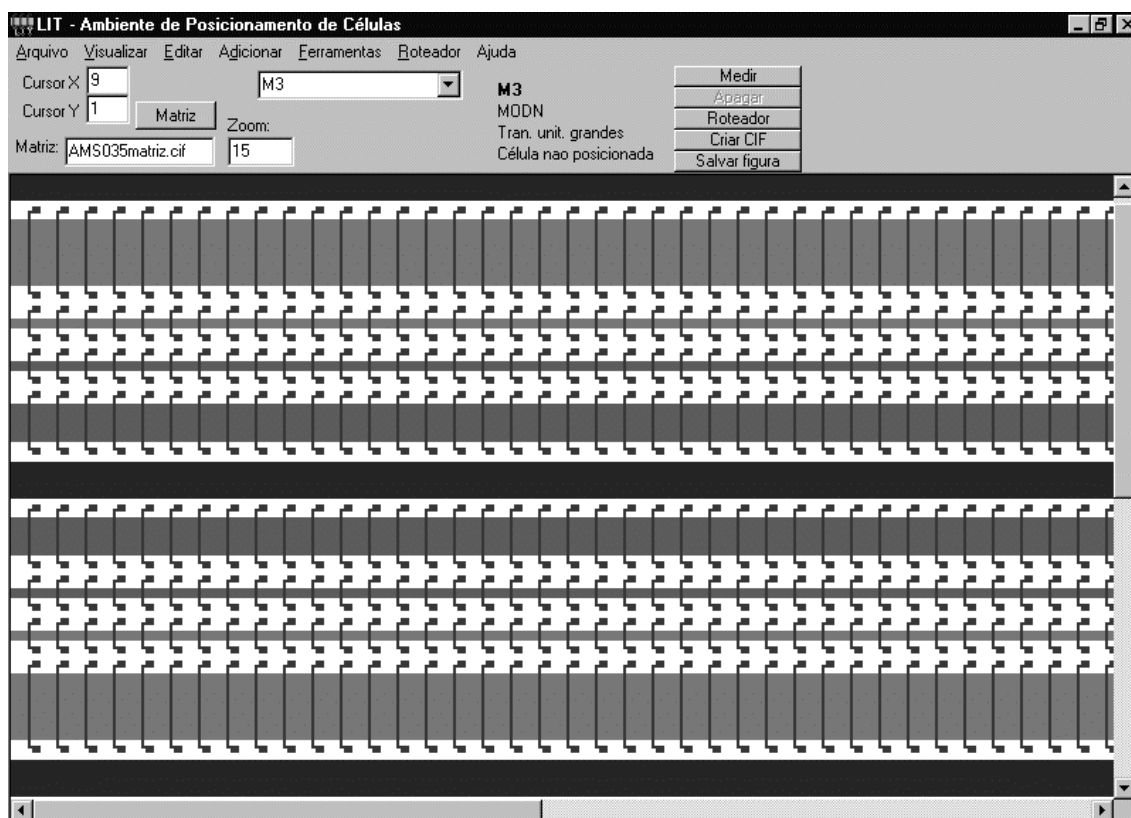


FIGURA A3.17 - Ambiente de posicionamento de células.

### A3.9 Outras funções

Para extrair o leiaute gerado para uma descrição *spice*, clique no botão “Gera Spice” localizado na página “Projeto”. O nome do arquivo de destino será perguntado. Digite um nome e clique em “OK”. Serão extraídos todos os TATs cujas associações já estiverem sendo calculadas.

É possível também de se realizar a extração das células individuais. Neste caso, clique no botão correspondente à extração na página onde o leiaute foi gerado.

O LIT pode gerar o leiaute de células isoladas, que não precisam necessariamente estar posicionadas sobre a matriz. O leiaute é armazenado no diretório de trabalho em um arquivo em formato CIF cujo nome é o nome da célula mais a extensão “.cif”. Por exemplo, o leiaute da célula M1 fica armazenado no arquivo *M1.cif*. Este arquivo pode ser importado por outras ferramentas.

Também pode-se visualizar e salvar qualquer célula em formato *bitmap*. Cada página possui uma caixa de imagens e um botão “Visualizar maior” correspondente.

Clicando neste botão é possível visualizar o leiaute em tamanho maior. Para salvar em *bitmap*, clique no botão “*Salvar como BMP*” e indique o nome do arquivo de destino.

Para salvar o projeto, clique no menu *Arquivo->Salvar*. Os projetos salvos possuem um formato próprio da ferramenta com a extensão “.lit”.

## Referências

- [AIT 96a] AITA, André Luiz; PARISOTO, Antônio Marcos; BAMPI, Sergio. Sea-of-Transistors (SOT) Array Dedicated to Analog-Digital Circuit Design. In: SIMPÓSIO BRASILEIRO DE CONCEPÇÃO DE CIRCUITOS INTEGRADOS, SBCCI, 9., 1996, Recife. **Proceedings...** Recife: [s.n.], 1996. p. 237-246.
- [AIT 96b] AITA, André Luiz. **Projeto de Circuitos Analógico-Digitais Utilizando Metodologia “Sea-of-Transistors”**. Porto Alegre: UFRGS, 1996. Relatório Técnico de Atividades.
- [AIT 97] AITA, André Luiz; BAMPI, Sergio; CHOI, Jung Hyun. Design of Mixed Digital-Analog Circuits on a Digital Sea-of-Transistors. In: INTERNATIONAL SYMPOSIUM ON CIRCUITS AND SYSTEMS, 1997, Hong Kong. **[Papers]**. [S. l.: s. n.], 1997. p. 2028-2031.
- [AIT 2000] AITA, André Luiz; BAMPI, Sergio; CHOI, Jung Hyun. A Generator of Trapezoidal Association of Transistors (TAT): Improving Analog Circuits in a Pre-Diffused Transistor Array. In: SYMPOSIUM ON INTEGRATED CIRCUITS AND SYSTEMS DESIGN, SBCCI, 13., 2000, Manaus. **Proceedings...** Los Alamitos: IEEE Computer Society, 2000. p. 99-104.
- [ALL 2002] ALLEN, Phillip E.; HOLBERG, Douglas R. **CMOS Analog Circuit Design**. New York: Oxford University Press, 2002. 775p.
- [BAK 88] BAKER, F. K.; PFIESTER, J. R. The Influence of Tilted Source-Drain Implants on High-Field Effects in Submicrometer MOSFETs. **IEEE Transactions on Electron Devices**, New York, v. 35, n. 12, p. 2119-2124, 1988.
- [BEH 92] BEHR, Alexandre Ternes; SCHNEIDER, Márcio Cherem; NOCETI FILHO, Sidnei; MONTORO, Carlos Galup. Harmonic Distortion Caused by Capacitors Implemented with MOSFET Gates. **IEEE Journal of Solid-State Circuits**, New York, v. 27, n. 10, p. 1470-1475, Oct. 1992.
- [BER 92] BERMUDEZ, J. C. M.; SCHNEIDER, M. C.; MONTORO, C. G. Linearity of Switched Capacitor Filter Employing Nonlinear Capacitors. In: IEEE INTERNATIONAL SYMPOSIUM ON CIRCUITS AND SYSTEMS, San Diego, EUA. **Proceedings...** San Diego: [s. n.], 1992. p.1211-1214.
- [BEU 88] BEUNDER, Michiel A.; KERNHOF, Juergen P.; HOEFFLINGER, Bernd. The CMOS Gate Forest: An Efficient and Flexible High-Performance ASIC Design Environment. **IEEE Journal of Solid-State Circuits**, New York, v. 23, n. 2, p. 387-399, Apr. 1988.
- [CHO 99a] CHOI, Jung H.; BAMPI, Sergio. Conductances and Noise in Trapezoidal Association of Transistors for Analog Applications Using a SOT Methodology. In: SYMPOSIUM ON INTEGRATED CIRCUITS AND SYSTEMS DESIGN, SBCCI, 12., 1999, Natal. **Proceedings...** Los Alamitos: IEEE Computer Society, 1999. p. 22-25.



- [CHO 99b] CHOI, Jung H.; BAMPI, Sergio. OTA Amplifieres Design on Digital Sea-of Transistors Array. In: DESIGN, AUTOMATION AND TEST IN EUROPE, DATE, 1999, Munich. **User Forum**. Los Alamitos: IEEE Computer Society, 1999.
- [CHO 2001] CHOI, Jung H. **Mixed-Signal Design of SD Modulators on the Pre-Diffused Array Using Trapezoidal Association of Transistors**. 2001. 185p. Tese (Doutorado em Ciência da Computação) - Instituto de Informática, UFRGS, Porto Alegre.
- [CHU 91] CHUNG, J. E.; CHEN, J.; KO, P.-K.; HU, C.; LEVI, M. The Effects of Low-Angle Off-Axis Substrate Orientation on MOSFET Performance and Reliability. **IEEE Transactions on Electron Devices**, New York, v. 38, n. 3, p. 627-633, 1991.
- [COR 2003] CORTES, F. R. P. **Modelagem e Projeto de Módulos Amplificadores e Comparadores em Tecnologia CMOS 0,35 $\mu$ m**. 2003. Dissertação (Mestrado em Ciência da Computação) - Instituto de Informática, UFRGS, Porto Alegre. Defesa provável em abril de 2003.
- [DUC 89] DUCHENE, Philippe; DECLERCQ, Michel J. A Highly Flexible Sea-of-Gates Structure for Digital and Analog Applications. **IEEE Journal of Solid-State Circuits**, New York, v. 24, n. 3, p. 576-584, June 1989.
- [DUC 91] DUCHENE, Philippe. **Architecture and Design Methodologies of CMOS and BiCMOS Semi-Custom Arrays**. 1991. 207p. Ph. D. Thesis, EPFL, Lausanne.
- [FAN 85] FANG, Robert C. Y.; SU, Kung-Yen; HSU, James Juen. A Two-Dimensional Analysis of Sheet and Contact Resistance Effects in Basic Cells of Gate-Array Circuits. **IEEE Journal of Solid-State Circuits**, New York, v. sc-20, n. 2, p. 481-488, Apr. 1985.
- [GAL 94] GALUP-MONTORO, Carlos; SCHNEIDER, Márcio. C.; LOSS, Itamar J. B. Series-Parallel Association of FET's for High Gain and High Frequency Applications. **IEEE Journal of Solid-State Circuits**, New York, v. 29, n. 9, p.1094-1101, Sept. 1994.
- [GIB 68] GIBBONS, J. F. Ion Implantation in Semiconductors - Part I: Range Distribution Theory and Experimental. **Proceedings of the IEEE**, New York, v. 56, n. 3, p. 296-319, 1968.
- [GIR 2003] GIRARDI, A. G.; BAMPI, S. LIT - An Automatic Layout Generation Tool for Trapezoidal Association of Transistors for Basic Analog Building Blocks. In: DESIGN, AUTOMATION AND TEST IN EUROPE, DATE, 2003, Munich. **Proceedings...** Los Alamitos: IEEE Computer Society, 2003.
- [GRA 82] GRAY, Paul R.; MEYER, Robert G. MOS Operational Amplifier Design - A Tutorial Overview. **IEEE Journal of Solid-State Circuits**, New York, v. sc-17, n. 6, p. 969-982, Dec. 1982.
- [HAA 95] HAAN, Poul Erik de. **Analog Circuit Design on Digital Sea-of-Gates Arrays**. 1995, 141p. Ph.D. Thesis, Universiteit Twente, Twente.

- [HAR 68] HART, P. E.; NILSSON, N. J.; RAPHAEL, B. A Formal Basis of the Heuristic Determination of Minimum Cost Paths. **IEEE Transactions on Systems, Science and Cybernetics**, New York, SSC-4, p. 100-107, 1968.
- [HAS 2001] HASTINGS, Alan. **The Art of Analog Layout**. New Jersey: Prentice-Hall, 2001. 539p.
- [JOA 94] JOARDAR, Kuntal. A Simple Approach to Modeling Cross-Talk in Integrated Circuits. **IEEE Journal of Solid-State Circuits**, New York, v. 29, n. 10, p. 1212-1219, Oct. 1994.
- [KAW 89] KAWADA, Shigeru et al. 1.5- $\mu$ m CMOS Gate Arrays with Analog/Digital Macros Designed Using Common Base Arrays. **IEEE Journal of Solid-State Circuits**, New York, v. 24, n. 4, p. 985-990, Aug. 1989.
- [KLA 86] KLAASEN, F. M.; HES, W. On the Temperature Coefficient of the MOSFET Threshold Voltage. **Solid-State Elect.**, New York, v. 29, n. 8, p. 787-789, 1986.
- [LAK 94] LAKER, Kenneth R.; SANSEN, Willy M. C. **Design of Analog Integrated Circuits and Systems**. New York: McGraw-Hill, 1994. 898p.
- [LAS 86] LAKSHMIKUMAR, Kadaba R.; HADAWAY, Robert A.; COPELAND, Miles A. Characterization and Modeling of Mismatch in MOS Transistors for Precision Analog Design. **IEEE Journal of Solid-State Circuits**, New York, v. sc-21, n. 6, p.1057-1066, Dec. 1986.
- [LIN 99] LIN, W. et al. **BSIM3v3.2.2 MOSFET Model Users' Manual**. Berkeley, CA, EUA: University of California, 1999.
- [LLO 94] LLOPIS, R. Peset; KERKHOFF, H. G. On the Transistor Sizes of CMOS Sea-of-Gates Arrays. In: International Workshop on Power and Modeling, Optimization and Simulation, PATMOS, 4., 1994, Barcelona. **Proceedings...** [Barcelona]:UPC, 1994. p.170-177.
- [LOV 98] LOVETT, Simon J.; WELTEN, Marco; MATHEWSON, Alan; MASON, Barry. Optimizing MOS Transistor Mismatch. **IEEE Journal of Solid-State Circuits**, New York, v. 33, n. 1, p.147-150, Jan. 1998.
- [MAL 87] MALY, W. **Atlas of IC Technologies: An Introduction to VLSI Processes**. EUA: Benjamin/Cummings, 1987.
- [MCC 81] McCREARY, James L. Matching Properties, and Voltage and Temperature Dependence of MOS Capacitors. **IEEE Journal of Solid-State Circuits**, New York, v. sc-16, n. 6, p. 608-615, Dec. 1981.
- [MCN 94] McNUT, M. J.; LEMARQUIS, S.; DUNKLEY, J. L. Systematic Capacitance Matching Errors and Corrective Layout Procedures. **IEEE Journal of Solid-State Circuits**, New York, v. 29, n. 5, p. 611-616, May 1994.
- [MEA 80] MEAD, Carver; CONWAY, Lynn. **Introduction to VLSI Systems**. Reading: Addison-Wesley, 1980.
- [NAV 94] NAVARRO JR, S. et al. Implementation of Analog Circuits on Digital Sea-of-gates. In: CONGRESSO DA SOCIEDADE BRASILEIRA DE MICROELETRÔNICA, SBMICRO, 9., Rio de Janeiro. **Anais...** Rio de Janeiro: SBMICRO, 1994. p.625-633.

- [NOI 85] NOIJE, Wilhelmus A. M. Van; DECLERCK, Gilbert J. Advanced CMOS Gate Array Architecture Combining “Gate Isolation” and Programmable Routing Channels. **IEEE Journal of Solid-State Circuits**, New York, v. sc-20, n. 2, p. 469-480, Apr. 1985.
- [PEL 89] PELGROM, M. J. M.; DUINMAIJER, A. C. J.; WELBERS, A. P. G. Matching Properties of MOS Transistors. **IEEE Journal of Solid-State Circuits**, New York, v. sc-24, n. 5, p. 1433-1439, 1989.
- [PLE 86] PLETERSEK, Tone et al. High-Performance Designs with CMOS Analog Strandard Cells. **IEEE Journal of Solid-State Circuits**, New York, v. sc-21, n. 2, p. 215-222, Apr. 1986.
- [RAB 96] RABAEY, J. **Digital Integrated Circuits: A Design Perspective**. Upper Saddle River: Prentice-Hall, 1996.
- [RAZ 99] RAZAVI, Behzad. CMOS Technology Characterization for Analog and RF Design. **IEEE Journal of Solid-State Circuits**, New York, v. 34, n. 3, p. 268-276, Mar. 1999.
- [RIC 84] RICCÓ, B. Effects of Channel Geometries on FET Output Conductance in Saturation. **IEEE Electron Device Letters**, New York, v. EDL-5, n. 9, p. 353-356, Sept. 1984.
- [SAK 85] SAKASHITA, Kazuhiro et al. A 10K-Gate CMOS Gate Array Based on a Gate Isolation Structure. **IEEE Journal of Solid-State Circuits**, New York, v. sc-20, n. 1, p. 413-417, Feb. 1985.
- [SCH 92] SCHNEIDER, M. C.; BERMUDEZ, J. C. M.; MONTORO, C. G. On the Implemetation of Switched Capacitor Circuits in Gate Arrays. In: IEEE INTERNATIONAL ASIC CONFERENCE AND EXHIBIT, 5., Rochester, NY, EUA. **Proceedings...** [S. l. : s. n.], 1992. p. 405-408.
- [SCH 95] SCHNEIDER, M. C. et al. Design Techniques for Analog Circuits in Sea of Transistors. In: MIDWEST SYMPOSIUM ON CIRCUITS AND SYSTEMS, 38., 1995, Rio de Janeiro. **Proceedings...** Piscataway: UFRJ, 1996.
- [SHI 68] SHICHMAN, H.; HODGES, D. A. Modeling and Simulation of Insulated-Gate Field-Effect Transistor Switching Circuits. **IEEE Journal of Solid-State Circuits**, New York, v. sc-3, 1968.
- [SHY 84] SHYU, Jyn-Bang; TEMES, Gabor C.; KRUMMENACHER, François. Random Error Effects in Matched MOS Capacitors and Current Sources. **IEEE Journal of Solid-State Circuits**, New York, v. sc-19, n. 6, p.948-955, Dec. 1984.
- [SIL 96] SILVEIRA, F.; FLANDRE, D; JESPER, P. G. A. A  $g_m/I_D$  Based Methodology for the Design of CMOS Analog Circuits and Its Application to the Synthesis of a Silicon-on-Insulator Micropower OTA. **IEEE Journal of Solid-State Circuits**, New York, v. 31, n. 9, p. 1314-1319, Sept. 1996.
- [SIL 2002] SILVEIRA, F. **Síntese do amplificador Miller usando Matlab**. Porto Alegre: UFRGS, 2002. Arquivo Matlab.

- [STA 94] STANISIC, Balsha R. et al. Addressing Substrate Coupling in Mixed-Mode IC's: Simulation and Power Distribution Synthesis. **IEEE Journal of Solid-State Circuits**, New York, v. 29, n. 3, p. 226-237, Mar. 1994.
- [SU 93] SU, David K.; LOINAZ, Marc L.; MASUI, Shoichi; WOOLEY, Bruce A. Experimental Results and Modeling Techniques for Substrate Noise in Mixed-Signal Integrated Circuits. **IEEE Journal of Solid-State Circuits**, New York, v. 28, n. 4, p. 420-429, Apr. 1993.
- [TSI 95] TSIVIDIS, Yannis. **Mixed Analog-Digital VLSI Devices and Technology**. EUA: McGraw-Hill, 1995.
- [TUI 96] TUINHOUT, H.; PELGROM, M.; VRIES, R. P. de; VERTREGT, M. Effects of Metal Coverage on MOSFET Matching. In: IEEE INTERNATIONAL ELECTRON DEVICES MEETING, IEDM, 1996. **Proceedings...** [S. l. : s. n.], 1996. p. 735-738.
- [VIT 77] VITTOZ, Eric A.; FELLRATH, J. CMOS Analog Integrated Circuits Based on Weak Inversion Operation. **IEEE Journal of Solid-State Circuits**, New York, v. sc-12, n. 3, p. 224-231, June 1977.
- [VIT 85] VITTOZ, Eric A. The Design of High-Performance Analog Circuits on Digital CMOS Chips. **IEEE Journal of Solid-State Circuits**, New York, v. sc-20, n. 3, p. 657-665, June 1985.
- [VIT 93] VITTOZ, Eric A. Micropower Techniques. In: FRANCA, J. E.; TSIVIDIS, Y. P. (Ed.). **Design of VLSI Circuits for Telecommunications and Signal Processing**. Englewood Cliffs, NJ, EUA: Prentice-Hall, 1993.
- [WES 93] WESTE, Neil H. E.; ESHRAGHIAN, Kamran. **Principles of CMOS VLSI Design: A System Perspective**. EUA: Addison-Wesley, 1993. 713p.