

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL
ESCOLA DE ENGENHARIA
DEPARTAMENTO DE ENGENHARIA ELÉTRICA
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA

TIAGO ROBERTO BALEN

**EFEITOS DA RADIAÇÃO EM DISPOSITIVOS ANALÓGICOS
PROGRAMÁVEIS (FPAAs) E TÉCNICAS DE PROTEÇÃO**

Porto Alegre
2010

TIAGO ROBERTO BALEN

**EFEITOS DA RADIAÇÃO EM DISPOSITIVOS ANALÓGICOS
PROGRAMÁVEIS (FPAAs) E TÉCNICAS DE PROTEÇÃO**

Tese apresentada ao Programa de Pós-Graduação em Engenharia Elétrica, da Universidade Federal do Rio Grande do Sul, como parte dos requisitos para a obtenção do título de Doutor em Engenharia Elétrica.

ORIENTADOR: Marcelo Soares Lubaszewski

Porto Alegre

2010

TIAGO ROBERTO BALEN

EFEITOS DA RADIAÇÃO EM DISPOSITIVOS ANALÓGICOS PROGRAMÁVEIS (FPAAs) E TÉCNICAS DE PROTEÇÃO

Esta tese foi julgada adequada para a obtenção do título de Doutor em Engenharia Elétrica e aprovada em sua forma final pelo Orientador e pela Banca Examinadora.

Orientador: _____

Prof. Dr. Marcelo Soares Lubaszewski, UFRGS

Doutor pela Institut Nationale Polytechnique de Grenoble – França

Banca Examinadora:

Dr. Odair Lelis Gonzalez, DCTA/IEAv

Doutor pela Universidade de São Paulo

Prof. Dr. Cleonilson Protásio de Souza, UFPB

Doutor pela Universidade Federal de Campina Grande

Prof. Dr. Fernando Rangel de Sousa, UFSC

Doutor pela Ecole Nationale Supérieure des Télécommunications - Paris, França

Prof. Dr. Gilson Inácio Wirth, PPGEE – UFRGS

Doutor pela Universitaet Dortmund, Alemanha

Prof. Dr. Luigi Carro, PPGEE – UFRGS

Doutor pela Universidade Federal do Rio Grande do Sul

Coordenador do PPGEE: _____

Prof. Dr. Alexandre Sanfelice Bazanella

Porto Alegre, agosto de 2010.

DEDICATÓRIA

Dedico este trabalho às pessoas que amo: minha família e, em especial, à Maríndia, minha esposa.

AGRADECIMENTOS

Agradeço à UFRGS e ao Programa de Pós-Graduação em Engenharia Elétrica (PPGEE), por viabilizar minha formação acadêmica. À CAPES e ao CNPq, pela bolsa concedida no primeiro ano do doutorado e pelos auxílios concedidos para apresentação de trabalhos em eventos científicos fora do país.

Agradeço ao meu orientador, prof. Dr. Marcelo Lubaszewski, pelos ensinamentos, incentivo e confiança. Ao colega M.Sc. Franco Leite, e ao Eng. Fábio BiscagliaVieira pela ajuda na interminável injeção de bit-flips no FPAA.

Agradeço também aos professores Dr. Gilson Wirth e Dr^a. Fernanda Kastensmidt pelas dicas e ajuda no desenvolvimento do trabalho. Ao colega Ivandro Ribeiro pelo auxílio no início das simulações *spice*.

Agradeço também ao Dr. Odair Lelis Gonzalez, pela oportunidade de realizar os experimentos de irradiação no LRI/IEAv, e por oportunizar minha participação no II Workshop sobre os efeitos da radiação ionizante em dispositivos eletrônicos e fotônicos de uso aeroespacial. Também agradeço ao Eng. Rafael Galhardo Vaz pela presteza e dedicação dispensadas na etapa de aquisição de dados, durante os experimentos de irradiação.

Por fim, agradeço mais uma vez minha família, pelo apoio e suporte. Agradeço também mais uma vez, de maneira muito especial, à minha esposa, Maríndia, pelo apoio, dedicação, paciência, carinho, enfim, por tudo... (sem esquecer a grande ajuda na revisão das referências!).

RESUMO

Este trabalho estuda os efeitos da radiação em dispositivos analógicos programáveis (FPAA, do inglês, *Field Programmable Analog Arrays*) e técnicas de proteção que podem ser aplicadas para mitigar tais efeitos. Circuitos operando no espaço ou em altitudes elevadas, como, por exemplo, em satélites e aeronaves, recebem doses de radiação e impacto de íons e outras partículas que, dependendo da altitude e de características do próprio circuito, podem afetar o seu correto funcionamento. Os FPAA proporcionam características interessantes aos sistemas analógicos e de sinal misto, como a prototipação rápida e a possibilidade de reconfiguração dinâmica (permitindo a implementação de sistemas de instrumentação e controle adaptativos). Assim, os FPAA podem ser atrativos aos projetistas de sistemas de aplicação espacial, uma vez que a utilização de componentes comerciais, (COTS - do inglês, *Commercial Off-The-Shelf*), é uma alternativa para redução de custos do sistema final. Por isso, é necessário classificar estes dispositivos segundo o nível de tolerância à radiação e desenvolver técnicas de proteção contra seus efeitos. Essencialmente, é possível dividir os efeitos da radiação em dois principais grupos: efeitos de dose total ionizante ou TID (do inglês, *Total Ionizing Dose*) e os eventos singulares (*Single Event Effects* ou SEEs). Os dois principais eventos singulares que podem perturbar os FPAA são investigados: os SETs (*Single Event Transients*) e os SEUs (*Single Event Upsets*). Os SETs podem gerar pulsos transientes em determinados nós do circuito, e, quando atingem o inversor de controle das portas de transmissão dos bancos de capacitores do dispositivo, podem ocasionar uma redistribuição de carga entre os capacitores do banco, afetando temporariamente o sinal que trafega pelo FPAA. Tais efeitos foram investigados através de simulações *spice*. Já os SEUs podem afetar os FPAA que são baseados em memória do tipo SRAM. Para investigar tais efeitos foram realizados experimentos de injeção de falhas do tipo *bit-flip* (inversão de bit) no *bitstream* de programação de um FPAA baseado neste tipo de memória. Os experimentos mostraram que a inversão de um único bit pode ser catastrófica para o funcionamento do sistema. Posteriormente, um esquema *self-checking* (autoverificável) baseado em redundância foi proposto. Tal esquema foi construído com os recursos programáveis do FPAA e é capaz de recuperar os dados originais de programação do dispositivo se um erro for detectado. A capacidade do esquema proposto de detectar desvios funcionais no bloco sob teste e sua confiabilidade quando os seus próprios blocos são afetados por inversão de bits de memória, foram investigadas. Finalmente, os efeitos de dose total sobre dispositivos programáveis foram investigados através de um experimento prático, no qual um FPAA comercial foi bombardeado por radiação gama proveniente de uma fonte de Cobalto-60. Os resultados experimentais mostraram que as chaves analógicas, que proporcionam a programabilidade do dispositivo, e seus circuitos de controle são os principais responsáveis por degradar o sinal processado pelo FPAA quando determinados níveis de dose total acumulada são atingidos.

Palavras-chave: Single Event Effects (SEE), Total Ionizing Dose (TID), Field Programmable Analog Arrays (FPAA), Efeitos da radiação em circuitos eletrônicos, Circuitos auto-testáveis, Tolerância à radiação.

ABSTRACT

In this work the radiation effects on Field Programmable Analog Arrays (FPAAs) are studied and mitigation techniques are proposed. The main effects induced by radiation sources in electronic circuits operating in space and at high altitudes are SEU (Single Event Upset), SET (Single Event Transient) and TID (Total Ionizing Dose). FPAAs are programmable analog circuits that provide design flexibility and some interesting features for applications such as adaptive control and instrumentation and evolvable analog hardware. These features can be very useful in avionics and space applications, where the system environmental variables can vary significantly in few minutes, being necessary to re-calibrate the sensor conditioning circuits to correct errors or improve system performance, for example. Since the use of commercial off-the-shelf (COTS) components may reduce systems costs in such critical applications, it is very important to develop system-level mitigation techniques (to radiation effects), aiming the increasing of the reliability of commercial available devices (including FPAAs). Some FPAA models are based on SRAM memory cells, which make this kind of device vulnerable to SEU when employed in applications susceptible to radiation incidence. An SEU can affect the programming memory of the FPAA and change the device configuration, modifying the analog circuit behavior. In this work, fault injection experiments were performed in order to investigate the effects of SEU in a commercial FPAA by injecting bit-flips in the FPAA programming bitstream. Then, a self-checking scheme was proposed. This scheme, which is built with the FPAA available programming resources, is able to restore the original programming data if an error is detected. Fault injection was also performed to investigate the reliability of the checker when the bitstream section which controls its own blocks is corrupted due to an SEU. Results indicated a very low aliasing probability due to single faults in the checker (0.24%). Effects of SET were also studied, considering the disturbance of the switches (transmission gates) of the FPAA programmable capacitor banks. *Spice* simulations showed that transient pulses in the control circuit of the switches may lead to charge redistribution between the capacitors of the bank, affecting the voltage and current of the involved nodes. Finally, total ionizing dose (TID) effects were investigated by means of an irradiation experiment. In such experiment the FPAA was exposed to Cobalt-60 gamma radiation. The experimental results showed that the analog switches of the device as well as their control circuits are the main responsible for degrading the processed signal when certain radiation levels were achieved.

Keywords: Single Event Upset (SEU), Total Ionizing Dose (TID) Field Programmable Analog Arrays (FPAAs), Radiation Effects, Self-checking, Radiation Hardening Techniques.

SUMÁRIO

1. INTRODUÇÃO	19
2. EFEITOS DA RADIAÇÃO NOS CIRCUITOS ELETRÔNICOS	24
<i>2.1 Origens e Classificação da Radiação Espacial.....</i>	<i>24</i>
<i>2.2 Caracterização dos efeitos da radiação em dispositivo eletrônicos</i>	<i>31</i>
<i>2.3 Efeitos de Dose Total.....</i>	<i>33</i>
<i>2.3.1 Desvios na tensão de limiar de transistores.....</i>	<i>38</i>
<i>2.3.2 Current Leakage (Fuga de Corrente).....</i>	<i>39</i>
<i>2.3.3 Degradação da mobilidade de portadores.....</i>	<i>42</i>
<i>2.3.4 Alteração no espectro de ruído intrínseco de dispositivos MOS.....</i>	<i>44</i>
<i>2.3.5 Neutralização de cargas induzidas por radiação ionizante.....</i>	<i>46</i>
<i>2.4 Efeitos Singulares (Single Event Effects).....</i>	<i>47</i>
<i>2.4.1 Single Event Upsets</i>	<i>50</i>
<i>2.4.2 Single Event Transients</i>	<i>56</i>
<i>2.4.3 Efeitos singulares catastróficos.....</i>	<i>58</i>
<i>2.5 Efeitos da Radiação em Dispositivos Analógicos.....</i>	<i>60</i>
<i>2.5.1 Efeitos de Dose Total em Dispositivos Lineares</i>	<i>61</i>
<i>2.5.2 Efeitos Singulares Transientes em Circuitos Integrados Analógicos</i>	<i>65</i>
<i>2.5.3 Efeitos da radiação em circuitos a capacitores chaveados</i>	<i>77</i>
<i>2.6 Influência da Tecnologia de Fabricação nos Efeitos da Radiação.....</i>	<i>80</i>
3. TÉCNICAS DE PROTEÇÃO À RADIAÇÃO PARA CIRCUITOS ELETRÔNICOS	85
<i>3.1 Proteção em nível de processo ou tecnologia</i>	<i>85</i>
<i>3.2 Proteção em nível de projeto</i>	<i>87</i>
<i>3.3 Proteção em nível de Sistema.....</i>	<i>95</i>
4. FIELD PROGRAMMABLE ANALOG ARRAYS	104
<i>4.1 Arquitetura típica de um FPAA genérico.....</i>	<i>104</i>
<i>4.2 O FPAA AN10E40 da Anadigm Company.....</i>	<i>106</i>
<i>4.3 O FPAA AN221E04 da Anadigm Company.....</i>	<i>110</i>

5. EFEITOS DE SEUS EM DISPOSITIVOS ANALÓGICOS PROGRAMÁVEIS	115
5.1 SEUs em um FPAA genérico baseado em memória SRAM.....	115
5.2 Experimentos de injeção de falhas do tipo SEU no FPAA AN10E40.....	116
5.2.1 Procedimento de Injeção de Falhas	117
5.2.2 Detecção de Erros	118
5.2.3 Resultados dos experimentos de injeção de falhas.....	120
5.2.4 Estimativa da taxa de erros - Soft Error Rate (SER)	122
6. EFEITOS TRANSIENTES (SETS) NOS BANCOS DE CAPACITORES DE FPAAS	125
6.1 Modelo SPICE dos Bancos de Capacitores do FPAA AN10E40	125
6.1.1 Modelo das chaves programáveis	125
6.1.2 Modelo completo dos bancos de capacitores	130
6.1.3 Modelo compacto dos bancos de capacitores	131
6.2 Simulação e análise de SETs nas chaves dos bancos de capacitores	132
6.3 Propostas para implementação de tolerância a SET em nível de projeto	141
7. ESQUEMA DE AUTO-RECUPERAÇÃO BASEADO EM REDUNDÂNCIA ...	147
7.1 Arquitetura proposta.....	147
7.2 Injeção de Falhas no Circuito Detector de Erro (Checker).....	151
7.2.1 Injeção de Falhas no Checker Parte I: DUTs Sem Falhas	153
7.2.2 Injeção de Falhas no Checker Parte II: DUTs Com Falhas.....	154
7.3 Aumento de redundância para obter um checker SCD	157
8. EFEITOS DE DOSE TOTAL EM FPAAS - ESTUDO DE CASO: FPAA AN221E04	158
8.1 Configuração do experimento de irradiação	158
8.2 Resultados	161
8.3 Annealing (neutralização).....	177
8.4 Comparação com os dados obtidos pelo INTA (Espanha).....	180
8.5 Possibilidades de Proteção à TID para FPAAs	181
9. CONCLUSÕES	184
APÊNDICE A – CÓDIGO SPICE UTILIZADO COMO BASE NAS SIMULAÇÕES APRESENTADAS NO CAPÍTULO 6	205

LISTA DE ILUSTRAÇÕES

Figura 2.1: Cinturões de radiação de Van Allen e magnetosfera terrestre. Extraída de (CRAIG & MARK, 2008)	25
Figura 2.2: Espectro de energia de prótons (a) e elétrons (b) em baixa órbita e de elétrons (c) em uma órbita geostacionária, em regiões próximas aos cinturões de radiação interno e externo. Gráficos extraídos de (STASSINOPOULOS & RAYMOND, 1988).	26
Figura 2.3: Ilustração da aproximação do cinturão de Van Allen interno da Terra na região do atlântico sul devido à anomalia magnética. Figura extraída de (NASA Image Science Center).	27
Figura 2.4: Simulação de fluxo de prótons utilizando o modelo AP-8 para uma altitude de 500 Km na região da SAA. Figura extraída de ESA Space Environment Information System (SPENVIS).	28
Figura 2.5: Imagens feitas pelo instrumento MISR da nave espacial TERRA, da NASA, evidenciando o alto fluxo de prótons na região do atlântico sul. Extraída de NASA Earth Observatory (NASA, 2000).	28
Figura 2.6: Ilustração do “chuveiro” de partículas secundárias gerado pela interação de um RCG com a atmosfera terrestre (NASA, 2006)	30
Figura 2.7: Fluxo de Nêutrons ao nível do mar em função da sua energia. Extraída de (BAUMANN, 2001) adaptada do original de (ZIGLER, 1996).	31
Figura 2.8: classificação dos efeitos da radiação espacial em função de suas respectivas fontes. Extraída de (ECOFFET, 2007).	33
Figura 2.9: Fração de carga que não sofre recombinação inicial em função do campo elétrico, considerando raios-gama (Co-60), raios-x, prótons de baixa energia e partículas-alfa. Figura adaptada de (SCHWANK et al., 2008) com dados extraídos de (SHANEYFELT et al., 1991)	35
Figura 2.10: Formação e saturação da região de aprisionamento de cargas na interface em função da taxa de dose para transistores MOS de porta de polysilício. Figura adaptada de (SCHWANK et al., 2008) e originalmente publicada em (SHANEYFELT et al., 1992).	37
Figura 2.11: Alteração na inclinação da curva de corrente de dreno (I_D) versus a tensão de porta (V_G) de um transistor MOS na região sub-limiar. Adaptada de (SCHRIMPF, 2007)	40
Figura 2.12: Fuga de corrente versus tensão de porta em um capacitor MOS não irradiado e posteriormente irradiado com raios gama a uma dose total de 5,3 Mrad. Figura original em (SCARPA et al., 1997).	41
Figura 2.13: Região de inversão no substrato (P) de um transistor MOS induzida por cargas positivas aprisionadas no óxido de campo em decorrência de acúmulo de dose total. Figura extraída de (SCWHANK et al., 2008) e originalmente publicada em (SHANEYFELT, 1998).	42
Figura 2.14: Dependência da mobilidade de portadores em um MOSFET de potência. Figura extraída de (ZUPAC et al., 1993).	43
Figura 2.15: Dependência da mobilidade normalizada em função da dose de radiação em dispositivos MOS. Figura extraída de (SCHIRIMPF, 2007).	44

Figura 2.16: Comparação do espectro de ruído nominal de um transistor MOS com o ruído resultante em diferentes condições de radiação, <i>annealing</i> e umidade. Extraída de (ZHOU, et al., 2008).	46
Figura 2.17: Tempo de neutralização de cargas aprisionadas no óxido em um transistor NMOS, à temperatura ambiente, irradiado com dose total de 100 Krad(SiO ₂) através de diferentes fontes e taxa de dose. Extraída de (SCHWANK et al., 2008) com dados originais de (FLEETWOOD et al., 1988).	47
Figura 2.18: Junção P-N atingida por um íon: a) transferência de energia e formação do rastro de ionização, b) coleta de cargas por deriva com a camada de depleção deformada em formato de funil e c) coleta de cargas por difusão. Extraída de WANG & AGRAWAL (2008).	49
Figura 2.19: Pulso de corrente gerado por um SEE em função do tempo. Adaptada de WANG & AGRAWAL (2008).	49
Figura 2.20: Distribuição da carga coletada em transistores MOS (bulk) em função do local de incidência do íon causador do SEE. Extraída de Ferlet-Cavrois et al. (2006).	53
Figura 2.21: Pulsos transientes medidos em função do local atingido pelo íon incidente em um transistor MOS (bulk). Extraída de Ferlet-Cavrois et al. (2006).	53
Figura 2.22: Rastro deixado por diferentes partículas (com diferentes números atômicos) em emulsão nuclear. Figura extraída de (KOLASINSKI et al., 1979).	55
Figura 2.23: SEU em um elemento de memória.	56
Figura 2.24: Exemplo de degradação de um pulso por mascaramento elétrico. Dependendo da largura do pulso gerado (a) este, ao propagar-se pelo circuito, pode vir a ser atenuado (b) ou filtrado (c), caracterizando o mascaramento elétrico. Extraída de Entrena et al. (2009).	57
Figura 2.25: Propagação de um SET na lógica combinacional. Exemplos de mascaramento lógico e mascaramento por janela de amostragem.	58
Figura 2.26: Pulso transiente observado por Wirth & Rogers (1964) na junção coletor-base de um transistor irradiado com pulso de raio-X. Extraída do trabalho original citado.	61
Figura 2.27: <i>Enhancement Factor</i> em função da taxa de dose para diferentes dispositivos disponíveis comercialmente considerando a degradação do ganho de pequenos sinais (JOHNSTON, SWIFT, RAX, 1994).	63
Figura 2.28: Comparação de dados reais de degradação, obtidos no espaço, com testes de laboratório sobre o dispositivo LM139, indicando a ocorrência do fenômeno ELDRS (TURFLINGER et al., 2003).	64
Figura 2.29: Simulação de um pulso transiente induzido por radiação em um amplificador operacional bipolar para três situações de balanceamento (<i>matching</i>) do par diferencial de entrada. Extraída de (PAULOS, BISHOP, TURFLINGER, 1987).	66
Figura 2.30: simulação de um pulso transiente induzido por radiação em um amplificador operacional bipolar para 3 valores de ganho em malha fechada. O ganho de malha fechada não interfere significativamente na resposta de curto prazo, mas domina o tempo de recuperação. Extraída de (PAULOS, BISHOP, TURFLINGER, 1987).	67
Figura 2.31: Pico da resposta transiente em função do ganho do circuito para os amplificadores testados em (PAULOS, BISHOP, TURFLINGER, 1987).	68
Figura 2.32: Tempo de recuperação em função do ganho do circuito para os amplificadores testados em (PAULOS, BISHOP, TURFLINGER, 1987) e comparação com o tempo de estabilização da resposta ao degrau dos sistemas implementados com os amplificadores.	69
Figura 2.33: Pulso transiente induzido pela colisão de um íon de Xe no comparador analógico LM111H. Extraída de (KOGA et al. 1993).	70

Figura 2.34: Exemplos de pulsos transientes induzido pela colisão de um íon no amplificador operacional OP-15 (KOGA et al. 1993).	70
Figura 2.35: Tabela extraída de (KOGA et al., 1993) mostrando as diferenças observadas nos parâmetros do pulso transiente induzido pela ionização em diferentes CIs analógicos comerciais.	71
Figura 2.36: Seção de choque em função da LET efetiva do íon incidente para o amplificador operacional OP-05 considerando diferentes valores de tensão limiar de detecção. Extraída de (KOGA et al., 1993).....	72
Figura 2.37: SETs observados no OpAmp LM124 em função da altura na órbita do sistema (operando no espaço durante 4 anos). Extraída de (CRAIN et al., 2001).....	73
Figura 2.38: (a) Pulsos injetados nos experimentos de simulação realizados por Boulghassoul et al., (2002) e (b) a respectiva representação no domínio frequência de cada pulso. Observa-se que a limitação em banda imposta pelo amplificador operacional tende a eliminar diferenças no perfil harmônico dos sinais, uma vez que estas diferenças são mais pronunciadas em altas frequências. Figuras compiladas de (Boulghassoul et al., 2002) ..	74
Figura 2.39: Propagação dos pulsos mostrados na figura 2.35 pelos estágios do amplificador operacional considerado. Figuras compiladas de (Boulghassoul et al., 2002)	74
Figura 2.40: Amplitude do SET gerado em simulações através de injeção de um pulso de corrente em diferentes transistores do amplificador operacional estudado em (ESPINOSA-DURAN et al., 2007).	76
Figura 2.41: Pior efeito em termos de desvio de amplitude do sinal de saída (Vout) e do sinal na saída do detector on-line embutido (Vonline) observado nas simulações realizadas em (ESPINOSA-DURAN et al., 2007).	76
Figura 2.42: Resultados das simulações realizadas em (ESPINOSA-DURAN et al., 2007b) considerando 10 iterações da análise de Monte Carlo sobre o filtro testado, após sua conversão em um oscilador.....	79
Figura 2.43: (a) Exemplo de amplificador a capacitor chaveado, com as fases dos sinais de controle explicitadas por Φ_1 e Φ_2 , e os seus circuitos equivalentes durante as fases de amostragem (b) e avaliação (c). Figura compilada de (FLEMING et al., 2008).....	80
Figura 2.44: Dependência da espessura do óxido no desvio da tensão de limiar ocasionado pelo acúmulo de carga no óxido (a) na interface SiO ₂ /Si. Figura compilada de (SCHWANK et al., 2008).	81
Figura 2.45: ilustração da seção transversal de transistores MOS SOI e <i>Bulk</i> . Figura extraída de (SCHWANK et al., 2008).	83
Figura 2.46: Comparação da corrente gerada pela incidência de íon de 6,2MeV em tecnologias bulk e SOI de diferentes nós tecnológicos. Figura compilada de (FERLET-CAVROIS et al., 2006).	83
Figura 3.1: Layout tradicional de um transistor MOS e layout do tipo ELT. Figura extraída de (WIRTH, 2009).....	87
Figura 3.2: Detalhe do anel de guarda em transistores ELT interrompendo possíveis caminhos de fuga de corrente. Figura extraída de (WIRTH, 2009).....	88
Figura 3.3: (a) Layout detalhado de transistores ELT e (b) sua vista em corte. Figura extraída de (SNOEYS et al., 2000).....	88
Figura 3.4: Comparação entre transistores de mesma tecnologia e relação W/L quanto à corrente de fuga ocasionada pela exposição a 2 Mrad de radiação acumulada: (a) transistor com layout tradicional e (b) transistor ELT. Figura extraída de (SNOEYS et al., 2000)	89
Figura 3.5: Célula de memória modificada, com a inclusão de resistores de realimentação, para tolerância a SEU. Figura extraída do trabalho de MNICH et al. (1983).....	92

Figura 3.6.: Célula de básica de armazenamento tolerante à SEU, proposta por (CALIN, NICOLAIDIS, VELAZCO, 1996). Figura Extraída de (NICOLAIDIS, 2005).	92
Figura 3.7: Circuito a capacitor chaveado considerado em (FLEMING et al., 2008) e detalhe do bloco OTA. Figura compilada de (FLEMING et al., 2008).	94
Figura 3.8: Duplicações nos circuitos de entrada do OTA e na rede de capacitores chaveados, para compensação de efeitos transientes no par diferencial de entrada do amplificador. Figura compilada de (FLEMING et al., 2008).	94
Figura 3.9: Distribuição da corrente nos transistores duplicados do par diferencial durante as fases de amostragem e avaliação (simulação), quando um SET que forçou o desligamento do transistor M1a foi compensado pelo aumento da corrente em M1b. Figura extraída de (FLEMING et al., 2008).	95
Figura 3.10: Fluxo de procedimentos para a qualificação de componentes quanto sua tolerância à radiação. Figura extraída de (MILAGRES, 2009)	97
Figura 3.11: Exemplo de redundância modular tripla (espacial).....	99
Figura 3.12: Exemplo de redundância temporal.....	100
Figura 3.13: Célula de memória redundante com votadores triplicados e realimentação, que permitem a recarga do valor votado como correto. Figura extraída de (KASTENSMIDT, 2003).	100
Figura 3.14: Redundância com diversidade de implementação. Figura extraída de (BORGES et al., 2010).	101
Figura 3.15: Replicação de dispositivos em nível de componente em uma placa de circuito impresso.	101
Figura 3.16: Diagrama típico de um votador analógico. Figura adaptada de (VÁZQUES, 1995).	103
Figura 3.17: Comparador flexível baseado em um subtrator/somador e um comparador de janela proposto por (VÁZQUES, 1995).	103
Figura 4.1: Arquitetura de um FPAA genérico	105
Figura 4.2: Arquitetura de um CAB genérico	105
Figura 4.3: Representação em blocos do AN10E40 (ANADIGM, 2003).....	107
Figura 4.4 Barramentos globais e <i>cross over switches</i>	107
Figura 4.5: Conectividade local do AN10E40 (BRATT; MACBETH, 1998).....	108
Figura 4.6: Representação do CAB do AN10E40 (ANADIGM, 2003).....	109
Figura 4.7: Banco programável de capacitores	109
Figura 4.8: Diagrama em blocos do FPAA AN221E04. Extraído de (ANADIGM, 2003b)..	111
Figura 4.9: Esquemático do CAB do FPAA AN221E04. Extraído de (ANADIGM, 2003b)	112
Figura 4.10: Possíveis arquiteturas consideradas para os bancos de capacitores do AN221E04	112
Figura 4.11(a): Célula de entrada do FPAA AN221E04. Extraído de (ANADIGM, 2003b)	113
Figura 4.11(b): Célula de entrada multiplexada do FPAA AN221E04. Extraído de (ANADIGM, 2003b)	113
Figura 4.12: Célula de saída do FPAA AN221E04. Extraído de (ANADIGM, 2003b)	113
Figura 4.13: Exemplo de programabilidade com o software <i>Anadigm Designer II</i>	114
Figura 5.1: Modificação no circuito programado devido a um SEU na memória de programação de um FPAA baseado em memória SRAM	116
Figura 5.2: Exemplos de <i>bitstream</i> de configuração	117
Figura 5.3: <i>Bitstream</i> padrão do módulo oscilador e o comportamento esperado para o sinal	118
Figura 5.4: <i>Bitstreams</i> modificados e o comportamento obtido para o sinal de saída do oscilador.....	118

Figura 5.5: Circuito de dectção de erro	119
Figura 5.6: Simulação (a) sem falhas e (b) com um desvio de 100Hz (0.5%) na frequência do sinal do oscilador	119
Figura 5.7: Resultados dos experimentos de injeção de falhas para o primeiro CAB do oscilador.....	120
Figura 5.8: Resultados dos experimentos de injeção de falhas para o segundo CAB do oscilador.....	121
Figura 5.9: Esquemático do Oscilador (implementado com dois CABs).....	121
Figura 5.10: Possível implementação do oscilador com dois CABs do AN10E40 e exemplo de recursos programáveis não utilizados (linhas pontilhadas)	121
Figura 5.11: Fluxo de nêutrons para a região da cidade de Porto Alegre em função da altitude.	124
Figura 6.1: esquema das chaves programáveis do modelo utilizado para os bancos de capacitores, onde “a” e “b” são os terminais da chave e os sinais complementares “Cont” e “Not_Cont” controlam o estado da chave (aberta ou fechada).....	126
Figura 6.2: Comparação gráfica qualitativa da resistência R_{ON} de uma porta de transmissão com as resistências individuais dos transistores PMOS e NMOS, de acordo com (WESTE & ESHRAGHIAN, 1994)	127
Figura 6.3: Comportamento da resistência R_{ON} de uma chave CMOS cujas dimensões são $L_N=2\ \mu\text{m}$, $W_N=60\ \mu\text{m}$, $L_P=2\ \mu\text{m}$, $W_P=100\ \mu\text{m}$. Figura extraída de (RODRÌGUEZ-MONTAÑÉS et al., 2002)	127
Figura 6.4: Esquema das chaves programáveis do modelo utilizado para os bancos de capacitores, incluindo o inversor CMOS para a lógica de controle.....	128
Figura 6.5: Modelo de um ramo do banco de capacitores. Os nós a e c representam os dois terminais do banco.	131
Figura 6.6: Modelo do banco de capacitores com os valores de capacitância de cada ramo. 131	131
Figura 6.7: Modelo compacto do banco de capacitores, onde C_{eq} é o somatório das capacitâncias efetivamente conectadas ao banco de capacitor (valor programado de capacitância) e R_{on_eq} é o paralelo das resistências “ON” das chaves do banco que se encontram fechadas.....	132
Figura 6.8: Simulação de SET através de fonte de corrente.....	133
Figura 6.9: resultados da simulação considerando os efeitos de um SET na redistribuição de carga entre dois capacitores equivalentes de valores similares (15,24 pF e 15,36pF) em um mesmo banco de capacitores programável.	133
Figura 6.10: Resultados da simulação mostrando em detalhes o pulso ocasionado pelo SET.	134
Figura 6.11: Resultados da simulação mostrando em detalhes a redução de tensão no capacitor equivalente programado no banco.	134
Figura 6.12: Circuito utilizado para análise das condições iniciais e finais de carga e tensão nos capacitores do banco.	136
Figura 6.13: Transferência de carga e variações de tensão para valores extremos dos capacitores envolvidos (vítima menor e agressor maior).	139
Figura 6.14: Transferência de carga e variações de tensão para valores extremos dos capacitores envolvidos (vítima maior e agressor menor).	139
Figura 6.15: Pulso de tensão na saída do inversor de controle da chave do banco de capacitores ocasionado por um pulso transiente de 5 mA de pico.	140
Figura 6.16: Pulso na saída do inversor de controle da chave do banco de capacitores ocasionado por um pulso transiente de 2 mA de pico quando as dimensões do inversor são $L_n = L_p = 0,6\ \mu\text{m}$, $W_n = 1\ \mu\text{m}$ e $W_p = 2,5\ \mu\text{m}$	141

Figura 6.17: Um dos ramos do banco de capacitores considerando a proposta de duplicação das chaves programáveis.	143
Figura 6.18: Transferência de carga e variações de tensão para valores extremos dos capacitores envolvidos (vítima menor a agressor maior) utilizando chaves redundantes para programação do banco. Neste caso a chave afetada é que está conectada ao capacitor “agressor”.....	144
Figura 6.19: Transferência de carga e variações de tensão para valores extremos dos capacitores envolvidos (vítima menor e agressor maior) utilizando chaves redundantes para programação do banco. Neste caso a chave afetada é que está conectada ao capacitor “vítima”.....	145
Figura 6.20: Simulação do efeito de um SET no inversor de controle na chave conectada ao capacitor “vítima” quando este tem um valor de 127 unidades de capacitância (15,24 pF) e o agressor 128 unidades de capacitância (15,32 pF).....	145
Figura 7.1: Diagrama de blocos do esquema de auto-recuperação com o FPAA AN10E40.	148
Figura 7.2: Parâmetros e resposta em frequência do filtro programado como bloco funcional de interesse.....	148
Figura 7.3: Diagrama de blocos (tela do software de programação) do esquema proposto... ..	149
Figura 7.4: Sinais de saída dos filtros e sinal de erro considerando um desvio injetado em um dos filtros	150
Figura 7.5: Saída dos comparadores quando o sinal de erro excede os limites de tolerância	150
Figura 7.6: Configuração de teste e resultados esperados (DUT sem falhas).....	154
Figura 7.7: Resultados dos experimentos de injeção de falhas no <i>checker</i> quando o DUT não apresenta falhas.....	154
Figura 7.8: configuração de teste e resultados esperados (DUT com falha).....	155
Figura 7.9: Resultados da injeção de falhas no <i>checker</i> com um desvio funcional injetado também no DUT	155
Figura 8.1. Diagrama em blocos do circuito programado no FPAA para o experimento de irradiação.	159
Figura 8.2: Configuração do experimento de pré-irradiação.....	160
Figura 8.3: Diagrama em blocos da configuração de teste, durante a irradiação do FPAA... ..	160
Figura 8.4: Configuração do experimento de irradiação no LRI.....	161
Figura 8.5: Detalhe da proteção de chumbo utilizada em parte da placa do FPAA.....	161
Figura 8.6: Corrente consumida pelo FPAA em função do tempo de irradiação decorrido. .	162
Figura 8.7: Componente AC da corrente de alimentação do FPAA em função do tempo de irradiação. Os valores estão em microampères (RMS) e representados em escala logarítmica.	163
Figura 8.8: THD do sinal de entrada do sistema e do sinal de saída do filtro passa-banda ao longo do experimento.	164
Figura 8.9: Sinais adquiridos durante o experimento: (a) sinal de excitação e (b) saída do filtro no início do experimento (0 krad de dose acumulada); (c) saída do filtro minutos antes da redução da THD (@20,5 krad) e (d) logo após a redução (@ 21krad).....	165
Figura 8.10: Sinal de saída do filtro com diferentes valores de dose acumulada.....	166
Figura 8.11: Nível médio e amplitude pico-a-pico do sinal de saída do filtro ao longo do experimento.	167
Figura 8.12: Primeiro conjunto de amostras a revelar o sinal de erro, indicando que para dose acumulada superior a 23 krad os filtros duplicados começaram a sofrer desvios de intensidades distintas.	168
Figura 8.13: Sinal de erro para dois valores de dose acumulada: (a) 24 krad e (b) 27 krad, pouco antes da falha completa do dispositivo.....	169

Figura 8.14: Saída do comparador em função da dose acumulada, evidenciando a variação do <i>offset</i> DC.	170
Figura 8.15: Aumento da resistência em função da dose acumulada para as chaves analógicas testadas no trabalho de Franco, Zong e Agapito (2006).	172
Figura 8.16: Janela de inatividade observada para as chaves analógicas do CI ADG41AKAN, da Analog Devices, testadas no trabalho de Franco, Zong e Agapito (2006).....	173
Figura 8.17: Variações típicas da tensão de limiar de transistores NMOS e PMOS, em função da dose acumulada, segundo Franco, Zong e Agapito (2006).....	174
Figura 8.18: Circuito utilizado para simular o comportamento das chaves analógicas e sua lógica de controle na presença de falhas induzidas por radiação.	175
Figura 8.19: Simulações para o efeito de desvios negativos em V_{th} do transistor NMOS do inversor de controle no sinal de saída do inversor.	176
Figura 8.20: Saída da porta de transmissão quando o transistor M1 está cortado.....	176
Figura 8.21: Distorção observada no sinal de saída da porta de transmissão quando simulados desvios positivos de V_{th} no transistor NMOS (M1).....	176
Figura 8.22: Forno onde o FPPA foi submetido ao annealing à temperatura de 100°.	178
Figura 8.23: Corrente de alimentação durante a irradiação e a etapa de annealing, mostrando que mesmo após o annealing este parâmetro não foi totalmente recuperado.	178
Figura 8.24: Distorção harmônica durante a irradiação e a etapa de annealing, mostrando a recuperação total deste parâmetro após o annealing acelerado.	179
Figura 8.25: Variações da corrente de alimentação medidas no experimento de irradiação realizado por pesquisadores do INTA (RIVAS, 2007).	181
Figura 8.26: Proposta de replicação e utilização alternada como alternativa ao aumento de vida útil de um sistema exposto à radiação ionizante.	182

LISTA DE TABELAS

Tabela 2.1: Faixas de energia de elétrons, prótons e íons de origem espacial (BOUDENOT, 2007).	31
Tabela 2.2: sumário dos mecanismos e efeitos de dose total em dispositivos bipolares segundo Johnston & Plaag (1987).....	62
Tabela 2.3: Valores médios de variação de tensão de limiar dos transistores irradiados no trabalho de Manghisoni et al. (2003).	65
Tabela 2.4: Diferenças observadas nos parâmetros do pulso transiente induzido pela ionização em diferentes CIs analógicos comerciais. Extraída de (KOGA et al., 1993).....	71
Tabela 3.1: Dose acumulada durante 3 anos em função da blindagem metálica total, conforme modelo de condições ambientais considerados para os satélites CEBERS 3 e 4 (CEBERS, 2008).	98
Tabela 5.1: Parâmetros para o cálculo da SER do FPAA ao nível do mar.	123

LISTA DE ABREVIATURAS

AC	Alternated Current
A/D	Analog-to-Digital
ASEU	Analog Single Event Upset
ASIC	Aplication Specific Integrated Circuit
BICS	Built-In Current Sensor
BP	Band-Pass
BPSG	Borophosphosilicate Glass
BSIM	Berkley Short Channel IGFET Model
CAB	Configurable Analog Block
CBERS	China Brasil Earth Resource Satellite
CERN	Conseil Européen pour la Recherche Nucléaire
CI	Circuito Integrado
CMOS	Complementary Metal-Oxide-Semiconductor
CUT	Circuit Under Test
D/A	Digital-to-Analog
DC	Direct Current
DCTA	Departamento de Ciência e Tecnologia Aeroespacial
DICE	Dual Interlocked Cell
DTMR	Divesty Triple Modular Redundancy
DUT	Device Under Test / Desgin Under Test
ECC	Error Correcting Codes
EEPROM	Electrical Erasable Programmable Read Only Memory
ELDRS	Enhanced Low Dose Rate Sensitivity
ELT	Enclosed Layout Transistor
ESA	European Space Agency
FET	Field Effect Transistor
FIT	Failure In Time
FPAA	Field Programmable Analog Array
FPGA	Field Programmable Gate Array
GEO	Geosynchronous Earth Orbit
HIT	Heavy Ion Tolerant
IEEE	Institute of Electrical and Electronic Engineers
IGFET	Insulated Gate Field Effect Transistor
INPE	Instituto Nacional de Pesquisas Espaciais
I/O	Input/Output
IP	Intellectual Property
ITAR	International Trafic in Arms Regulations
LEO	Low Earth Orbit
LET	Linear Energy Transfer
LHC	Large Hadron Collider
LINAC	Linear Accelerator

LOCOS	Local Oxidation of Silicon
LRI	Laboratório de Radiação Ionizante
LUT	Look-Up Table
MEO	Medium Earth Orbit
MISR	Multi-angle Imaging SpectroRadiometer
MOS	Metal Oxide Semiconductor
NASA	National Aeronautics and Space Administration
NIEL	Non-Ionizing Energy Loss
OPAMP	Operational Amplifier
OTA	Operational Transconductor Amplifier
PWM	Pulse Width Modulator
RAM	Random Access Memory
RCG	Raios Cósmicos Galáticos
RILC	Radiation Induced Leakage Current
RMS	Root Mean Square
ROM	Read Only Memory
SAA	South Atlantic Anomaly
SAR	Successive Approximation Register
SC	Switched-Capacitor
SCD	Strongly Code Disjoint
SEB	Single Event Burnout
SEE	Single Event Effects
SEGR	Single Event Gate Rupture
SEL	Single Event Latch-up
SER	Soft Error Rate
SET	Single Event Transient
SEU	Single Event Upset
SHE	Single Hard Error
SoC	System-on-a-Chip
SOHO	Solar and Heliospheric Observatory
SOI	Silicon on Insulator
SRAM	Static Random Access Memory
STI	Shallow Trench Isolation
THD	Total Harmonic Distortion
TID	Total Ionizing Dose
TMR	Triple Modular Redundancy
TSC	Totally Self Checking

1. INTRODUÇÃO

Desde a invenção do transistor em 1948 a indústria de semicondutores vem evoluindo a uma velocidade impressionante. Os circuitos integrados têm se tornado cada vez mais densos e complexos. O aumento da capacidade de integração permite a concepção de circuitos cada vez mais poderosos e capazes de operar em frequências cada vez mais elevadas. A quantidade de memória que se consegue integrar em único chip também aumentou consideravelmente nos últimos anos. Um exemplo são as memórias *flash*, presentes nos populares *pen drives*, que possuem hoje a mesma quantidade de memória de armazenamento do que um disco rígido padrão possuía há três anos atrás.

Este aumento na capacidade de integração só se tornou possível devido ao chamado “escalonamento tecnológico” (*technology scaling*), ou seja, a redução das dimensões dos transistores de um circuito integrado. A evolução dos circuitos integrados acabou tornando-os mais suscetíveis a falhas, além de aumentar a variabilidade do processo de produção, o que pode acarretar em circuitos operando fora de suas faixas de especificação. Outros efeitos colaterais da miniaturização são: o efeito de canal curto, a corrente de fuga (*leakage current*) (TAUR *et al.*, 1997), e uma maior vulnerabilidade a falhas transientes ocasionadas por incidência de radiação (MESSENGER, 1992), as quais são o escopo de investigação deste trabalho. Assim, ao passo que aumenta a complexidade dos circuitos integrados, aumenta também a necessidade de se desenvolver técnicas e metodologias de teste e de tolerância a falhas para estes circuitos.

Segundo a lei de Moore (MOORE, 1965) para circuitos digitais, a cada 18 meses a capacidade de integração de transistores em um circuito integrado digital é multiplicada por dois. O mesmo não acontece com circuitos analógicos, fazendo com que, quando possível, os circuitos digitais sejam preferidos na implementação de sistemas eletrônicos. No entanto, em muitas aplicações os circuitos analógicos desempenham um importante papel, principalmente no interfaceamento do sistema digital com o mundo físico. O mundo real é, por natureza, essencialmente analógico. Portanto, a tarefa de interfaceamento não pode ser executada por circuitos puramente digitais. Filtros contínuos e chaveados, reguladores e comparadores de tensão e amplificadores são circuitos analógicos muito utilizados na implementação de sistemas eletrônicos. A necessidade de utilização de circuitos analógicos em aplicações

críticas impõe a estes dispositivos requisitos como confiabilidade, precisão e operação segura, o que há mais tempo já vinha sendo preocupação no domínio digital.

No final da década de 90 o surgimento de um novo tipo de circuito analógico, denominado *Field Programmable Analog Array* (FPAA), trouxe para o domínio analógico características até então restritas ao domínio digital, proporcionadas pelos *Field Programmable Gate Arrays* (FPGAs). Tais características são a reconfigurabilidade, a flexibilização de projeto, a prototipação rápida e a possibilidade de implementação de sistemas adaptativos e evolutivos (HEREFORD; PRUITT, 2004; ZNAMIROWSKI; PAULUSINSKI; VRUDHULA, 2004). Estas características podem ser interessantes em aplicações espaciais, como, por exemplo, no condicionamento de sensores de um satélite, podendo auxiliar na implementação de técnicas de instrumentação e controle reconfiguráveis ou adaptativos.

No entanto, circuitos eletrônicos operando no espaço podem ser expostos a doses de radiação significativas, bem como à incidência de partículas pesadas provenientes do sol ou de fora da galáxia. Esta exposição à radiação pode ocasionar alterações e perturbações no circuito, prejudicando o seu funcionamento.

Os efeitos relacionados à incidência de radiação em componentes eletrônicos vêm sendo estudados há bastante tempo pela comunidade científica internacional, principalmente visando aplicações espaciais e militares. Tais efeitos são de interesse também dos estudiosos da Física Nuclear, pois as instalações nucleares (como os aceleradores de partículas, por exemplo) demandam a utilização de circuitos eletrônicos em ambientes que podem estar expostos a altos níveis de radiação. Um exemplo recente é o LHC (Large Hadron Collider) do CERN (*Conseil Européen pour la Recherche Nucléaire*), que entrou em operação em 2008. Durante a etapa de desenvolvimento do LHC, diversos trabalhos estudaram os efeitos da radiação em componentes eletrônicos que seriam então utilizados nos circuitos de instrumentação e controle dos sistemas desta instalação (FRANCO et al., 2004; GINGRICH et. al., 2003).

O Brasil também tem direcionado esforços em pesquisas relacionadas aos efeitos da radiação em circuitos eletrônicos, embora de forma mais modesta e recente. No entanto, observa-se um movimento no sentido de qualificar as pesquisas na área, uma vez que a utilização de sistemas eletrônicos no espaço ou em ambientes hostis é do interesse do Ministério da Defesa, da Agência Espacial Brasileira e do INPE (Instituto Nacional de Pesquisas Espaciais). Um exemplo deste interesse é o programa de satélite CBERS (*China Brasil Earth Resource Satellites*), que consiste em uma parceria do governo brasileiro com o

governo chinês. Três satélites deste programa já estão em órbita e outros ainda deverão ser lançados.

Outra questão que torna importante as pesquisas na área é o efeito de uma regulamentação do governo dos Estados Unidos (mais detalhes são discutidos no capítulo 4) que proíbe ou dificulta a exportação de componentes eletrônicos tolerantes à radiação aos demais países. Deste modo, o desenvolvimento de técnicas de proteção e projeto de circuitos integrados tolerantes passa a ser crucial para o desenvolvimento dos programas de satélites brasileiros e das pesquisas na área de engenharia e física nuclear.

Neste contexto, este trabalho visa estudar os efeitos da radiação em FPAA's, e desenvolver técnicas e estratégias de proteção aplicáveis a estes dispositivos. Para isso, dois FPAA's comerciais, fabricados pela *Anadigm Company* (ANADIGM, 2002 e 2003), foram utilizados neste trabalho.

A estrutura de um FPAA típico compreende um grande conjunto de chaves analógicas, visando permitir a programabilidade do dispositivo. Estas chaves são controladas por circuitos digitais e por um *bitstream* armazenado em blocos de memória. Alguns modelos de FPAA's são baseados em memórias do tipo SRAM (*Static Random Access Memory*) para armazenar os dados de programação do dispositivo. A utilização deste tipo de bloco de memória torna o FPAA vulnerável a efeitos conhecidos como SEUs (*Single Event Upsets*) quando considerada sua aplicação em ambientes suscetíveis à radiação, como é o caso das aplicações espaciais. Os SEUs são inversões de bit em células de memória provocadas por pulsos de corrente induzidos pelo impacto de uma partícula energética no silício.

Circuitos combinacionais da lógica de controle dos FPAA's também podem sofrer com efeitos singulares transientes (SET – *Single Event Transients*) ocasionados pelo impacto de partículas fortemente ionizantes e este efeito pode ter conseqüências na parte analógica do dispositivo, que é controlada por estes circuitos. Um exemplo é a estrutura de banco de capacitores, que pode ser perturbada por eventos transientes em suas chaves de controle, conforme será discutido ao decorrer do trabalho.

Outro problema relacionado à incidência de radiação em circuitos eletrônicos diz respeito aos efeitos de dose total. A exposição prolongada à radiação ionizante faz com que partes do circuito sofram alterações em suas características elétricas, devido a cargas elétricas acumuladas (induzidas pela radiação). Este efeito é conhecido como TID (*Total Ionizing Dose*). Estas alterações elétricas prejudicam o correto funcionamento do dispositivo e podem, dependendo da quantidade de dose acumulada, danificá-lo permanentemente.

Basicamente, é possível dividir os estudos e experimentos realizados nesta tese em quatro partes. Inicialmente é conduzido um estudo teórico sobre as origens e os efeitos da radiação nos circuitos integrados e sobre as principais técnicas de proteção existentes. Posteriormente, três dos principais efeitos da radiação em circuitos eletrônicos, que podem prejudicar os FPAA, são estudados através de injeções de falhas por emulação e simulação, bem como, através de um experimento prático de irradiação.

Inicialmente alguns experimentos de injeção de falhas, realizados a fim de analisar os possíveis efeitos dos SEUs nos blocos de memória SRAM do FPAA considerado, são apresentados. Nestes experimentos são injetadas falhas do tipo *bit-flip* (inversão de bit) no *bitstream* de programação relacionado a um módulo pré-definido programado no FPAA. Os efeitos destas inversões de bit são então discutidos.

Posteriormente, é feita uma investigação sobre os efeitos de perturbações transientes nas estruturas de controle dos bancos de capacitores de um FPAA. Com base neste estudo, algumas propostas de alteração em nível de projeto são consideradas como forma de proteção ao circuito.

Outra proposta feita no trabalho diz respeito a um esquema que visa a autodetecção de erros e a auto-recuperação da memória de programação quando ocorrer uma alteração funcional ocasionada por um SEU. Este esquema é baseado em redundância e associado a um circuito detector de erros que pode ser aplicado a qualquer bloco analógico de interesse. O circuito detector de erros é construído com os recursos programáveis internos do FPAA e uma simples lógica externa é necessária. A confiabilidade do esquema proposto é analisada através de um conjunto de experimentos de injeção de falhas.

Finalmente, os efeitos de dose total sobre um FPAA comercial são estudados através de um experimento prático. Neste experimento o FPAA é submetido à radiação gama, gerada por uma bomba de cobalto (^{60}Co), e os sinais processados pelo FPAA, bem como sua corrente de alimentação, são monitorados. Os resultados obtidos são então discutidos e possibilidades de implementação de alterações de projeto (em nível de *layout* e sistema) para aumento de tolerância são apresentadas.

Este trabalho está organizado da seguinte maneira: o capítulo 2 descreve as origens da radiação espacial e os seus efeitos nos circuitos eletrônicos. No capítulo 3 as principais técnicas existentes de proteção à radiação para circuitos eletrônicos são discutidas. O capítulo 4 apresenta os FPAA de um modo geral, bem como os dispositivos utilizados na parte experimental deste trabalho. O capítulo 5 apresenta os possíveis efeitos de SEUs em FPAA

baseados em memória do tipo SRAM. Os efeitos transientes nos bancos de capacitores dos dispositivos são investigados no capítulo 6. O capítulo 7 apresenta uma proposta para proteção a SEUs para FPAAs baseados em memória SRAM. Os experimentos realizados para investigar os efeitos de dose total, bem como os resultados obtidos e considerações sobre estratégias de proteção, são apresentados no capítulo 8. Finalmente, o capítulo 9 apresenta as conclusões desta tese, as publicações decorrentes do trabalho e as possibilidades de trabalhos futuros.

2. EFEITOS DA RADIAÇÃO NOS CIRCUITOS ELETRÔNICOS

A primeira evidência de que a radiação pode perturbar a operação de circuitos eletrônicos ocorreu em 1962 quando um teste nuclear realizado em alta altitude pelos Estados Unidos ocasionou a falha do recém lançado satélite de telecomunicações Telstar (VELAZCO; FOUILLAT; REIS, 2007). A partir deste momento os efeitos da radiação (seja natural ou produzida pelo homem) nos circuitos eletrônicos passaram a ser objeto de estudo da comunidade científica, das agências espaciais e dos órgãos militares.

2.1 ORIGENS E CLASSIFICAÇÃO DA RADIAÇÃO ESPACIAL

Nesta seção é feita uma breve descrição das origens e dos principais tipos de radiação e partículas de origem espacial e potencialmente perigosas (no que concerne aos circuitos eletrônicos). Posteriormente os efeitos deste tipo de atividade nos circuitos eletrônicos são apresentados.

Neste trabalho o estudo sobre a radiação é focado nas principais fontes de radiação eletromagnética e partículas energéticas, no espaço ou provenientes dele. A atmosfera terrestre age como um filtro natural reduzindo a intensidade da radiação que atinge a terra (BOUDENOT, 2007). A radiação é tão mais intensa quanto maior for a altitude em relação ao nível do mar, ou, em baixas altitudes, quanto mais próximo das regiões polares – devido aos cinturões de radiação, como será visto na sequência deste capítulo. No entanto, dadas as dimensões reduzidas dos transistores que compõem os circuitos eletrônicos atuais, a quantidade de energia necessária para gerar atividade elétrica em um transistor também é consideravelmente baixa. Assim, mesmo ocorrendo em menor intensidade, a incidência de radiação pode afetar os circuitos eletrônicos operando também ao nível do mar (O’GORMAN, 1994).

As principais partículas que podem causar efeitos indesejados nos circuitos eletrônicos são elétrons, prótons, nêutrons, partículas alfa e íons pesados, além da radiação eletromagnética (como, por exemplo, raios-x e raios-gama) (STASSINOPOULOS & RAYMOND, 1988).

As principais fontes de radiação de origem espacial estão listadas a seguir:

2.2.1 Cinturões de Van Allen. São regiões do espaço, em torno da Terra, repletas de prótons e elétrons, formadas devido à interação do campo magnético terrestre com o vento solar. A Figura 2.1 mostra um esquema da magnetosfera e os dois cinturões de Van Allen (interno e externo), sendo o cinturão externo o que contém partículas com maior energia. O cinturão interno contém elétrons com espectro de energia de até 5 MeV e situa-se em uma região que vai de aproximadamente 100 km a 10.000 km de altitude. Já o cinturão externo contém elétrons de até 7 MeV e situa-se em altitudes de aproximadamente 20.000 km até aproximadamente 60.000 km (STASSINOPOULOS & RAYMOND, 1988) além e apresentar um fluxo mais variável e intenso do que o do cinturão interno. Os cinturões também compreendem prótons de alta energia. Outros cinturões de radiação podem surgir temporariamente, após tempestades magnéticas, com elétrons de energia maior do que os contidos nos cinturões permanentes (até 30 MeV) e prótons de até 500 MeV (ECOFFET, 2007).

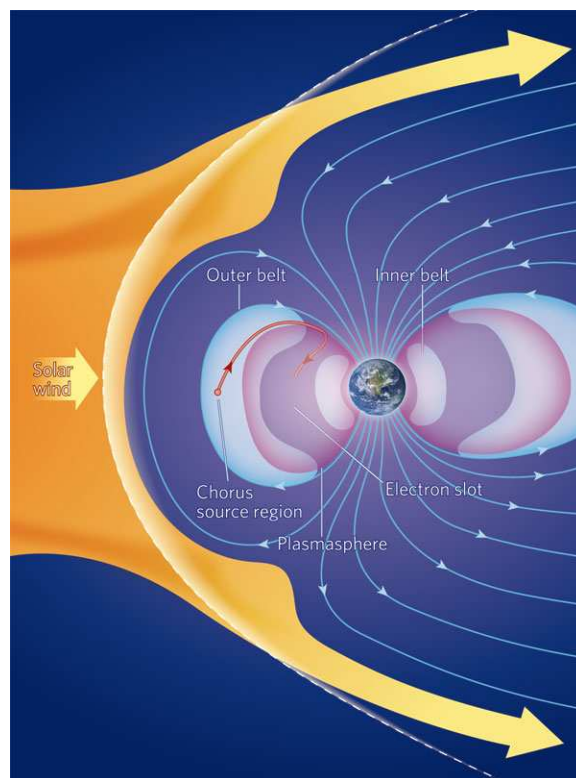
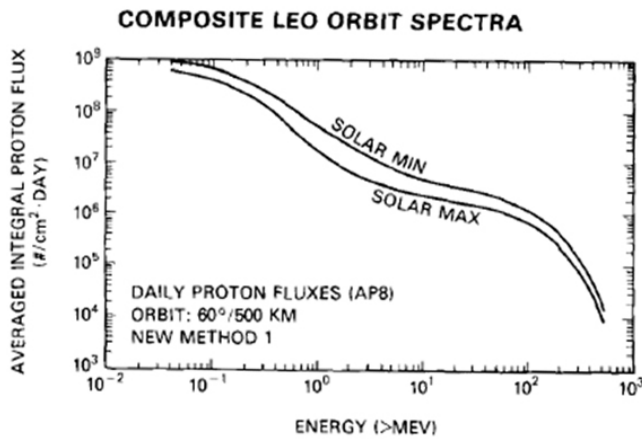


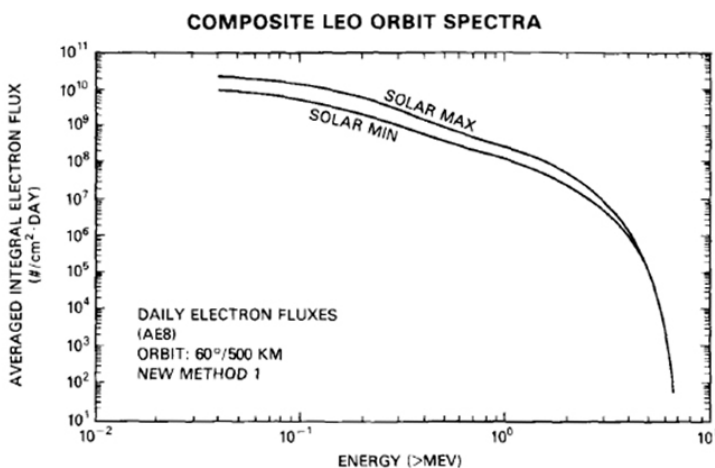
Figura 2.1: Cinturões de radiação de Van Allen e magnetosfera terrestre. Extraída de (RODGER & CLILVERD, 2008).

Dados de incidência de radiação observados em diversos satélites pela NASA deram origem a modelos pelos quais é possível calcular o fluxo de prótons (Modelo AP-8) e elétrons

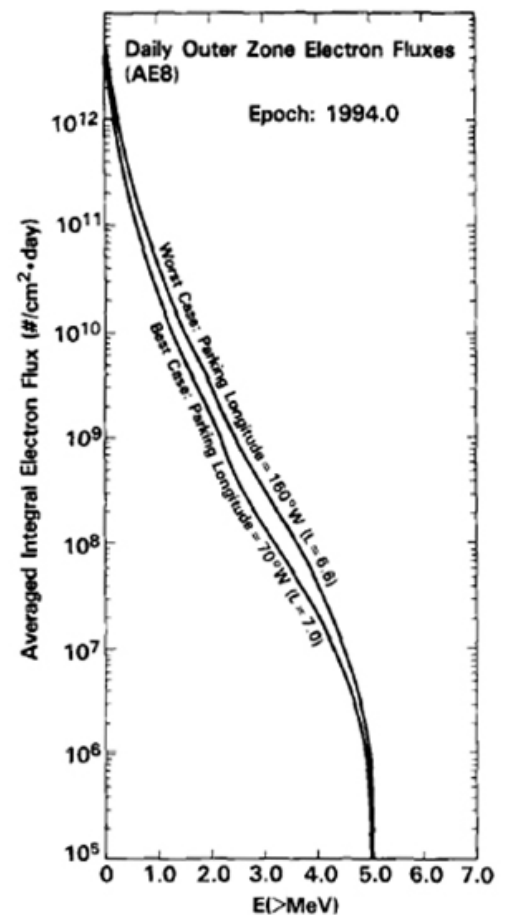
(Modelo AE-8), para uma determinada órbita (altitude e inclinação), devido aos cinturões de radiação (HEYNDERICKX et al., 1996). A Figura 2.2 mostra os fluxos integrados de prótons e elétrons para uma órbita LEO (*Low Earth Orbit* ou baixa órbita terrestre) a 500km, considerando um período de 24h, bem como o fluxo integrado de elétrons para uma órbita geostacionária (aproximadamente 36.000 km) (STASSINOPOULOS & RAYMOND, 1988). Segundo os autores desse trabalho, o espectro de prótons em órbitas geostacionárias, ao contrário do observado em baixas órbitas, é bastante suave e com a maior parte das partículas compreendendo energias abaixo de 1,75 MeV. Assim, este tipo de partícula, não atravessa a estrutura metálica externa dos satélites e aeronaves e não representa maiores problemas em órbitas geossíncronas.



(a)



(b)



(c)

Figura 2.2: Espectro de energia de prótons (a) e elétrons (b) em baixa órbita e de elétrons (c) em uma órbita geostacionária, em regiões próximas aos cinturões de radiação interno e externo. Gráficos extraídos de (STASSINOPOULOS & RAYMOND, 1988).

Também relacionada com a magnetosfera terrestre uma importante característica das linhas de campo magnético tem influência na distribuição de fluxo de partículas, trata-se da **Anomalia Magnética do Atlântico Sul**, ou, usando a terminologia em inglês *South Atlantic Anomaly* (SAA). Esta anomalia consiste em uma aproximação das linhas de campo magnético sobre o sul do Brasil, formando uma espécie de depressão. Esta depressão existe devido a diferença entre o centro do dipolo magnético e o centro geográfico da Terra, tendo como referenciais o eixo magnético e o eixo de rotação. Nesta região, os cinturões de radiação alcançam menores altitudes, inclusive penetrando nas camadas atmosféricas (Figura 2.3). A SAA é responsável pela maior parte da radiação aprisionada incidente sobre satélites de baixa órbita (STASSINOPOULOS & RAYMOND, 1988; ECOFFET, 2007). As partículas aprisionadas na SAA são elétrons (>1 MeV) e prótons (>10 MeV) (HEYNDERICKX et al., 1996).

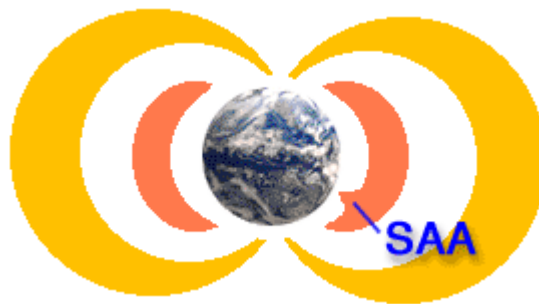


Figura 2.3: Ilustração da aproximação do cinturão de Van Allen interno da Terra na região do atlântico sul devido à anomalia magnética. Figura extraída de (NASA Image Science Center, 2010).

A Figura 2.4 mostra uma simulação realizada pela agência espacial europeia utilizando o modelo AP-8 para o fluxo de prótons em uma altitude de 500 km na região do atlântico sul. É possível visualizar nesta figura que no centro da SAA, próximo ao estado do Rio Grande do Sul, os valores de fluxo calculados são até 100 vezes maiores do que em outras regiões, considerando a mesma altitude (SPENVIS, 2010). Já a Figura 2.5 mostra uma imagem real obtida de um instrumento denominado MISR (*Multi-angle Imaging SpectroRadiometer*) embarcado na espaçonave *TERRA* da NASA. As câmeras do MISR foram projetadas para detectar luz visível, mas são também sensíveis a prótons energéticos. Estas imagens foram feitas com a proteção da lente fechada revelando uma quantidade muito maior de prótons na região da SAA do que a quantidade observada nas demais regiões da Terra (NASA, 2000).

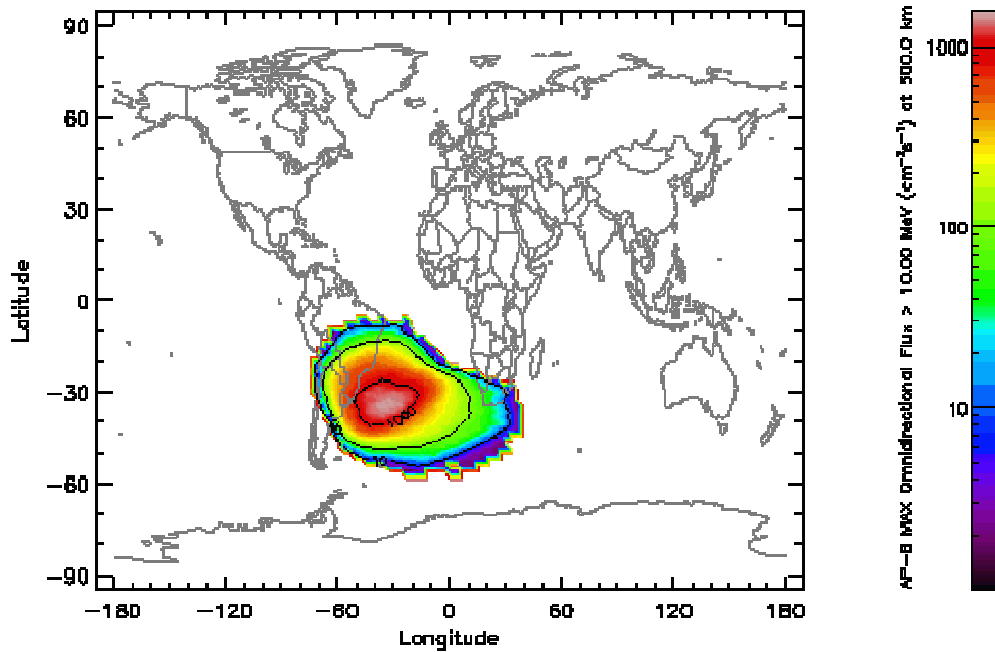


Figura 2.4: Simulação de fluxo de prótons utilizando o modelo AP-8 para uma altitude de 500 km na região da SAA. Figura extraída de ESA Space Environment Information System (SPENVIS, 2010).

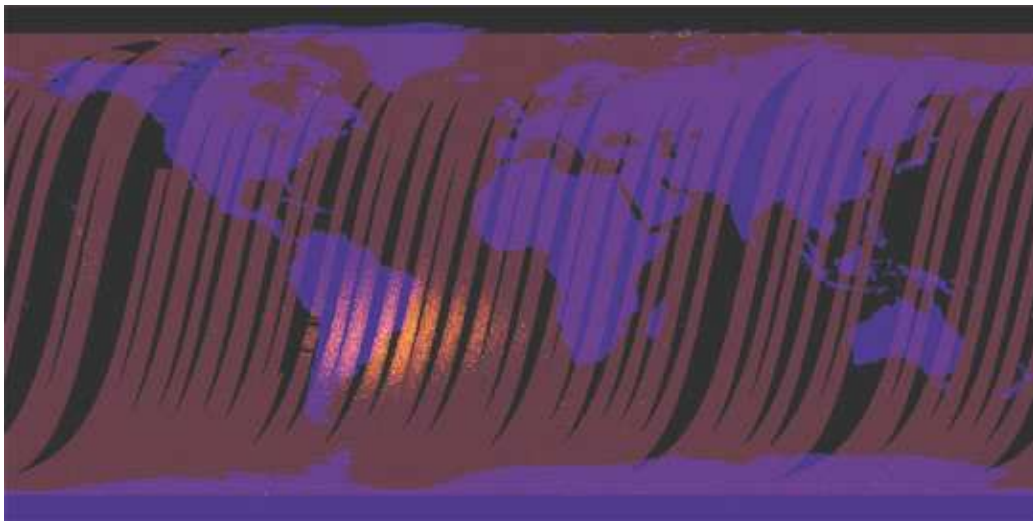


Figura 2.5: Imagens feitas pelo instrumento MISR da nave espacial TERRA, da NASA, evidenciando o alto fluxo de prótons na região do atlântico sul. Extraída de NASA Earth Observatory (NASA, 2000).

2.2.2 Atividade solar. O sol também é responsável por grande parte da radiação presente no ambiente espacial. A atividade solar é cíclica, com um período aproximado de 11 anos, compreendendo 7 anos de alta atividade e 4 anos de baixa atividade (BOUDENOT, 2007). No semiciclo de baixa atividade as **explosões solares** (*solar flares*) geralmente emitem íons pesados em uma quantidade relativa menor do que o fluxo de raios cósmicos galácticos (definição abaixo) que viajam pelo sistema solar. Entretanto, em alguns eventos isolados, em

períodos de alta atividade, a emissão de íons pesados pode aumentar em até quatro ordens de grandeza, gerando fluxos de íons maiores dos que os observados para os raios cósmicos galácticos, por períodos que podem chegar a vários dias (STASSINOPOULOS & RAYMOND, 1988). As explosões solares emitem íons de alta energia (dezenas de MeV a centenas de GeV), além de partículas-alfa e elétrons. Outro evento associado à atividade do sol é o **vento solar** que ocorre devido à altíssima temperatura da coroa solar, excitando os elétrons ao ponto destes conseguirem “fugir” do campo gravitacional solar, sendo ejetados. Essa fuga de elétrons cria um desbalanceamento de carga da coroa solar, resultando também na ejeção de prótons e íons pesados. Este fenômeno específico é conhecido como *ejeção de massa coronal*. O vento solar é composto, aproximadamente, por 95% de prótons, 4% de íons de Hélio e 1% de outros íons pesados – além de elétrons em quantidade tal que torne o vento solar neutro (BOUDENOT, 2007).

2.2.3 Raios cósmicos galácticos (RCG). Segundo Stassinopoulos & Raymond (1988) as regiões do espaço compreendidas entre as galáxias são repletas de partículas energéticas que podem ser classificadas como raios cósmicos: prótons (~85%), partículas α (~14%) e núcleos pesados (~1%). Já Boudenot (2007), afirma que a composição dos raios cósmicos galácticos compreende 83% de prótons, 13% de núcleos de Hélio e 3% de elétrons. De fato, partículas α são núcleos de Hélio, formados por dois prótons e dois nêutrons (He^{++}). Os RCGs possuem energia típica na casa de 10 GeV por núcleon e chegam às regiões próximas à Terra com energias em torno de 1 GeV por núcleon. O fluxo de raios cósmicos observados fora da magnetosfera, em distâncias equivalentes à distância terra-sol, situa-se na casa de 4 partículas/cm²s (STASSINOPOULOS & RAYMOND, 1988).

A atividade solar também tem influência sobre o fluxo de RCGs que chega até a atmosfera terrestre, exercendo uma espécie de modulação. Em períodos de alta atividade solar a incidência de RCGs é menor do que em períodos de baixa atividade (McDONALD, 1998).

Os raios cósmicos de origem galáctica são considerados partículas primárias. Ao ingressarem na atmosfera terrestre os RCGs reagem com o Oxigênio e o Nitrogênio formando complexas cascatas de partículas secundárias e terciárias também conhecidas como “chuveiros” de partículas (O’GORMAN, 1994) – esquematizados na Figura 2.6 – em um processo nuclear denominado *spallation*. Estas partículas secundárias incluem prótons, nêutrons, píons e múons. Estas duas últimas partículas têm uma vida curta e acabam não atingindo a Terra em fluxos significativos. Já os fluxos de prótons e elétrons são atenuados

devido a interações coulombianas com a atmosfera. Por isso, as partículas com alta energia (> 1 MeV) com maior probabilidade de perturbar os circuitos eletrônicos ao nível do mar são os nêutrons. O fluxo de nêutrons ao nível do mar representa em torno de 1% do fluxo de partículas primárias. Segundo Ziegler & Lanford (1981) o fluxo destas variadas partículas ao nível do mar é aproximadamente $500/m^2s$. Quanto maior a altitude em relação ao nível do mar, maior é o fluxo de nêutrons observado. Aproximadamente a cada 3 km de altitude o fluxo de nêutrons aumenta 10 vezes, porém, esta tendência tende a saturar a aproximadamente 15 km de altitude (BAUMANN, 2001).

A Figura 2.7 mostra o fluxo de nêutrons ao nível do mar em função de sua energia. Observa-se que nêutrons de maiores energias apresentam fluxos reduzidos ao nível do mar. O fluxo de nêutrons ao nível do mar em Nova York (~ 14 nêutrons / cm^2h) é usado com frequência como grandeza comparativa a fluxos observados em outras regiões ou altitudes.

Os nêutrons que perdem sua energia cinética ao entrar na atmosfera terrestre e atingem o equilíbrio térmico são chamados *nêutrons térmicos*, cuja energia depende da temperatura ($0,025$ eV @ 25° C), podem ser responsáveis por reações com materiais não radioativos presente nos materiais do circuito integrado atingido, gerando partículas e raios gamma que podem ionizar o material (WANG & AGRAWAL, 2008).

A Tabela 2.1 (BOUDENOT, 2007), sumariza as faixas de energia das principais partículas de origem espacial em relação a sua fonte geradora.

Os mecanismos de geração de perturbação de circuitos eletrônicos por partículas de origem espacial são descritos na seção 2.4.

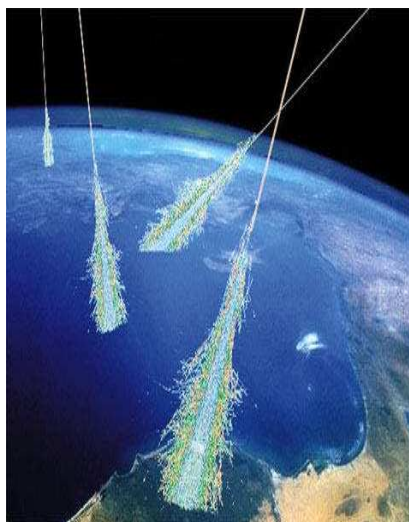


Figura 2.6: Ilustração do “chuveiro” de partículas secundárias gerado pela interação de um RCG com a atmosfera terrestre (NASA, 2006)

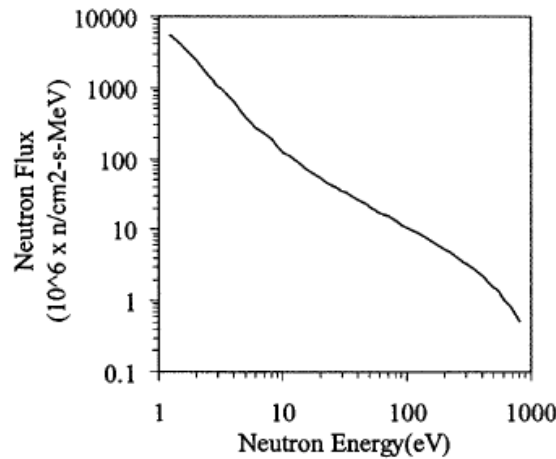


Figura 2.7: Fluxo de Nêutrons ao nível do mar em função da sua energia. Extraída de (BAUMANN, 2001) adaptada do original de (ZIGLER, 1996).

Tabela 2.1: Faixas de energia de elétrons, prótons e íons de origem espacial (BOUDENOT, 2007).

Cinturões de Radiação	Elétrons	eV – 10 MeV
	Prótons	keV – 500 MeV
Atividade Solar	Prótons	keV – 500 MeV
	Íons	1 MeV – 10 MeV / n
Raios Cósmicos Galácticos	Prótons e Íons	Até 300 MeV / n

2.2 CARACTERIZAÇÃO DOS EFEITOS DA RADIAÇÃO EM DISPOSITIVO ELETRÔNICOS

Dispositivos eletrônicos em aplicações espaciais têm grande probabilidade de sofrer efeitos indesejados ocasionados por raios cósmicos e radiação. Além das aplicações em missões de exploração, a principal aplicação dos circuitos eletrônicos no espaço consiste nos satélites artificiais (comunicação, sensoriamento remoto, posicionamento global, meteorologia, pesquisa e finalidades militares). Os satélites podem ser classificados quanto à altitude de sua órbita o que define também os níveis e as fontes de radiação às quais o satélite estará exposto, conforme segue:

(a) **LEO (Low Earth Orbit)** – Satélites de baixa órbita. Situados em altitudes na faixa de 300 a 5.000 km de altitude. Quando em órbitas equatoriais muito baixas (em torno de 300 km) os satélites LEO não estão expostos a níveis significativos de radiação. Porém, se a inclinação da órbita for menor que 45° o satélite estará sujeito à anomalia magnética do

atlântico sul. Satélites em órbitas polares ou com trajetória próxima aos pólos estarão sujeitos aos cinturões de radiação (em sua região de aproximação da Terra). Órbitas de aproximadamente 1.400 km (constelações de satélites) são suscetíveis a altas doses de radiação devido aos prótons do cinturão interno de radiação (STASSINOPOULOS & RAYMOND, 1988; BOUDENOT, 2007).

(b) MEO (*Medium Earth Orbit*) – Satélites de média órbita. São os satélites localizados em órbitas acima de 5.000 km e abaixo de órbitas geoestacionárias (GEO).

(c) GEO (*Geosynchronous Orbit*) – Satélites Geoestacionários. Situados a 36.000 km de altitude, sua órbita tem um período de 24h. Por isso, tomando a Terra como referência, encontram-se parados em posições únicas, daí seu nome.

Tanto órbitas MEO como GEO estão mais expostas ao cinturão de Van Allen externo, onde a maior fonte de radiação são elétrons. A radiação do cinturão externo pode ser mitigada com blindagens de alumínio relativamente finas, pois, o poder de penetração dos elétrons do cinturão externo é moderado (STASSINOPOULOS & RAYMOND, 1988).

Como exemplo das doses de radiação às quais os satélites estão submetidos Boudenot (2007) cita um satélite GEO operando durante 18 anos que acumula 100 krad com blindagem de 5mm de alumínio e 10 krad com blindagem de 10mm de alumínio. Como comparação, um satélite em uma órbita LEO de 2000 km durante 5 anos com blindagem de 10mm acumula uma dose de 300 krad (BOUDENOT, 2007). No entanto, tanto satélites em órbitas LEO, MEO e GEO estão expostos aos íons pesados e partículas altamente energéticas, que nem sempre são evitadas com blindagens de alumínio e podem ocasionar eventos singulares (definição abaixo).

Neste contexto, existem basicamente três tipos de efeitos que afetam os circuitos eletrônicos em aplicações espaciais (BOUDENOT, 2007):

(a) *Total Ionizing Dose (TID)* – Dose ionizante total: efeito cumulativo, de longo prazo, que degrada algumas propriedades elétricas dos circuitos devido ao acúmulo de cargas nos materiais que compõem o circuito integrado. Podem ser reversíveis (SCHWANK et al., 2008).

(b) *Displacement Damage (DD)* – Danos por deslocamento: danos físicos na estrutura cristalina do material (silício no caso dos semicondutores de interesse neste trabalho) ocasionados pela perda de energia de forma não ionizante (NIEL – Non-ionizing Energy Loss) das partículas incidentes no material, degradando o material e suas propriedades (SROUR, MARSHALL, MARSHALL, 2003). Tal efeito não será abordado nesta tese.

(c) *Single Event Effects (SEEs)* – Efeitos Singulares: são efeitos que ocorrem devido ao impacto de partículas fortemente ionizantes no silício, ionizando-o densamente e podendo provocar um pulso de corrente (WANG & AGRAWAL, 2008). Os SEEs podem ainda ser classificados como:

i) SEU (*Single Event Upset*): atinge elementos de memória modificando o estado de um BIT armazenado (GUNZER, WOLICKI, ALLAS, 1979).

ii) SET (*Single Event Transient*): pulso transiente que pode ou não ser capturado por um elemento de memória. Ocorre tanto em dispositivos digitais (BAZE & BUCHNER, 1997) quanto em circuitos analógicos (TURFLINGER, 1996).

iii) Eventos singulares catastróficos, como: SEL (*Single Event Latchup*); SEB (*Single Event Burnout*); SEGR (*Single Event Gate Rupture*); SHE (*Single Hard Error*): são eventos destrutivos, que danificam permanentemente o circuito (SEXTON, et al. 1997)

A Figura 2.8 relaciona as fontes de radiação espacial, descritas na seção anterior com as três classes de efeitos definidas acima. Detalhes sobre efeitos de TID e SEE são apresentados a seguir.

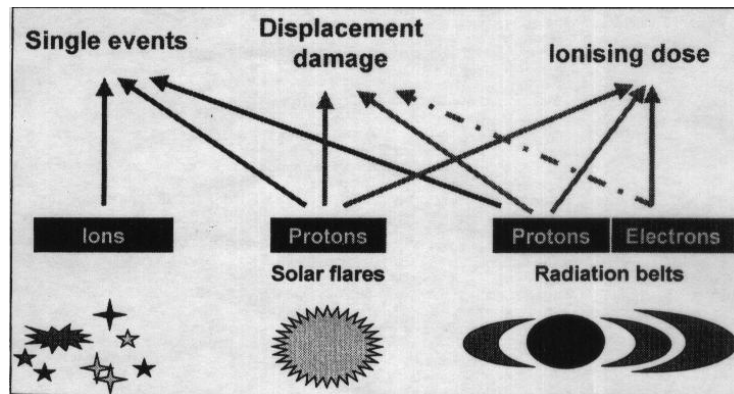


Figura 2.8: classificação dos efeitos da radiação espacial em função de suas respectivas fontes. Extraída de (ECOFFET, 2007).

2.3 EFEITOS DE DOSE TOTAL

Efeitos de dose total ionizante ou, como o termo é conhecido em inglês, *Total Ionizing Dose* (TID) ocorrem devido à exposição dos circuitos integrados à radiação ao longo do tempo (SCHRIMPF, 2007). São efeitos de longo prazo e sua intensidade depende da intensidade da radiação e do tempo que o circuito foi exposto a esta radiação.

Antes de prosseguir com a discussão dos efeitos de dose total convém apresentar algumas definições a respeito das grandezas e unidades de medida envolvendo a absorção de

radiação ionizante. A unidade de medida de dose total de radiação (TID) acumulada utilizada nesta tese é o *rad* (radiation absorbed dose). O rad é uma unidade de medida do sistema CGS e representa 100 **ergs** de energia depositada por grama de material. O **erg** é a unidade de energia do CGS cujo equivalente no sistema MKS é o **Joule**, tal que $1 \text{ erg} = 0,1 \mu\text{J}$. No sistema MKS o equivalente do rad é o **Gray** (Gy) que é definido como a deposição de 1 J de energia em 1 kg do material irradiado de maneira que $100 \text{ rad} = 1 \text{ Gy}$. Uma vez que a absorção de energia depende do material, estas unidades necessitam ser explicitadas em termos do material, como, por exemplo, para o silício: $100 \text{ rad}(\text{Si}) = 1 \text{ Gy}(\text{Si})$ (STASSINOPOULOS & RAYMOND, 1988).

O acúmulo de cargas em óxidos de isolamento, induzido por radiação ionizante, foi inicialmente estudado por Snow et al. (1967). Os óxidos de campo e camadas de isolamento são mais suscetíveis a efeitos de TID do que regiões ativas nos transistores MOS atuais (TUROWSKI, RAMAN, SCHRIMPF, 2004). Em óxidos finos (tecnologias atuais) cargas devido à radiação são geradas em menor volume e são rapidamente conduzidas para fora do óxido por tunelamento. Sendo assim, uma quantidade menor de carga é aprisionada – conforme discussão na sequência do texto. No entanto, óxidos muito finos são vulneráveis aos efeitos relacionados com o fenômeno de fuga de corrente, enquanto os óxidos do tipo *high-k* (alta constante dielétrica) são mais suscetíveis aos efeitos de radiação ionizante do que os óxidos convencionais quando comparadas camadas de isolamento de mesma espessura (SCHRIMPF, 2007; ZAFAR et al., 2002).

Conforme já discutido anteriormente, elétrons gerados em reações secundárias devido ao impacto de partículas alfa e prótons, bem como a exposição à radiação X ou γ , podem ocasionar a ionização de átomos nas camadas de óxido, gerando pares elétron-lacuna. Se a energia dos portadores gerados for maior do que a mínima energia necessária para gerar um par elétron-lacuna, pode haver a geração de mais de um par de portadores. Assim, um único fóton de alta energia pode criar um número muito grande de pares elétron-lacuna (SCHWANK et al., 2008). Por isso, quanto maior for a energia e a quantidade de partículas incidentes no circuito integrado, mais severos serão os efeitos de ionização ocasionados.

Logo após a geração dos portadores no óxido, devido ao efeito de ionização, ocorre um efeito chamado “recombinação inicial”, onde parte dos pares elétron-lacuna gerados sofrem recombinação mútua antes mesmo de deixarem a camada de óxido, guiados pelo campo elétrico que atravessa esta camada. A taxa de recombinação inicial é fortemente dependente do campo elétrico que atravessa o óxido, além de depender também da massa, carga e energia

da partícula incidente. Os elétrons possuem uma alta mobilidade no óxido e são rapidamente “empurrados” para fora na presença de campo elétrico, normalmente em picossegundos (SCHWANK et al., 2008). Em dispositivos sem polarização ou polarização fraca a recombinação inicial ocorre em maior intensidade.

A Figura 2.9 mostra a taxa de pares de portadores que não sofrem recombinação (valor referenciado na literatura como *charge yield*) em função do campo elétrico e do tipo/energia de radiação (SHANEYFELT et al., 1991). Observa-se na Figura 2.9 que portadores gerados por partículas de energias distintas sofrem influência do campo elétrico na taxa de recombinação inicial. Quanto maior é o campo elétrico, menor é a probabilidade de uma partícula sofrer recombinação inicial, pois a deriva de portadores ocorre mais rapidamente sob a influência de campos maiores.

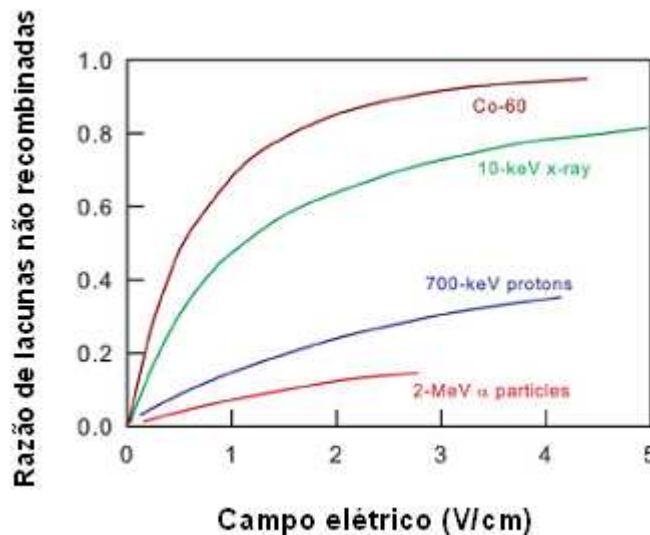


Figura 2.9: Fração de carga que não sofre recombinação inicial em função do campo elétrico, considerando raios-gama (Co-60), raios-x, prótons de baixa energia e partículas-alfa. Figura adaptada de (SCHWANK et al., 2008) com dados extraídos de (SHANEYFELT et al., 1991)

A deriva de portadores ocorrerá em sentidos opostos (elétrons para um lado e lacunas para outro) dependendo da polarização da tensão aplicada na estrutura (por exemplo, a tensão entre porta e substrato em um transistor CMOS). Considerando, por exemplo, um capacitor MOS de substrato tipo *p* com uma tensão de porta positiva, da fração de portadores que não sofre recombinação inicial, os elétrons serão atraídos para o terminal de porta enquanto as lacunas irão migrar no sentido da interface SiO₂/Si (óxido/canal).

Segundo Turowski et al. (2004) o número de lacunas que são geradas no óxido em função do campo elétrico, da taxa acumulada de radiação (dose), do material e das dimensões da camada de óxido é dada pela equação:

$$N_l = f(E_{ox}) \cdot g_o \cdot D \cdot t_{ox} \quad (2.1)$$

onde $f(E_{ox})$ é taxa de geração de lacunas que não sofrem recombinação inicial (*hole yield*) em função do campo elétrico aplicado (E_{ox}); g_o é um parâmetro que depende do material e expressa a densidade inicial de pares de portadores gerados em função da intensidade da radiação, que para o SiO₂ (dióxido de silício) é $8,1 \times 10^{12}$ pares/cm³/rad; D é a dose (em rad) à qual o dispositivo é submetido e t_{ox} é a espessura do óxido (SCHWANK et al., 2008).

Uma parte das lacunas que se move em direção da interface SiO₂/Si (quando a tensão de porta é positiva) será aprisionada em “armadilhas” no óxido (efeito conhecido como *oxide-trapped charge*, em inglês). À medida que as cargas positivas que migram em direção à interface SiO₂/Si (considerando polarização de porta positiva em um transistor MOS) são aprisionadas, ocorre a liberação de íons de hidrogênio que são, por sua vez, transportados até a interface onde podem reagir e formar regiões de aprisionamento (*interface traps*) (SCHWANK et al., 2008). Regiões de aprisionamento na interface também podem ter origem em “vagas de oxigênio” ocasionadas pela difusão de oxigênio para fora do óxido (WARREN et al., 1994).

O aprisionamento de cargas na interface ocorre de maneira muito mais lenta do que o aprisionamento no óxido podendo levar milhares de segundos para atingir a saturação após a incidência de um pulso de radiação ionizante (SHANEYFELT et al., 1992). A Figura 2.10 ilustra este efeito para transistores MOS com porta de polysilício e espessura de óxido de porta de 47 nm (sob campo elétrico de 1MV/cm) irradiados com um valor de dose total de aproximadamente 75 krad(Si) com diferentes taxa de dose e repetição de pulsos em um acelerador linear de elétrons (LINAC - do inglês, *Linear Accelerator*). Na Figura 2.10 o eixo vertical mostra a densidade de cargas aprisionadas na interface (ΔD_{it}). Observa-se que o tempo necessário para que a densidade de cargas atinja o valor de saturação neste caso independe da taxa de dose irradiada.

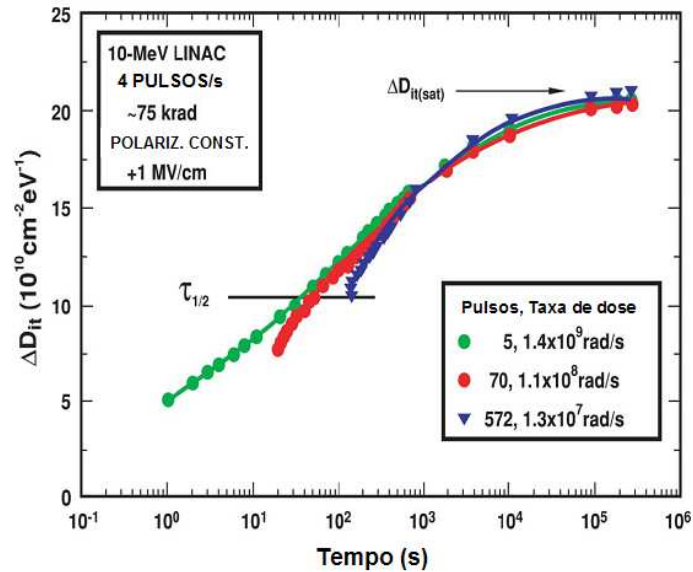


Figura 2.10: Formação e saturação da região de aprisionamento de cargas na interface em função da taxa de dose para transistores MOS de porta de polysilício. Figura adaptada de (SCHWANK et al., 2008) e originalmente publicada em (SHANEYFELT et al., 1992).

O aprisionamento de cargas na interface depende do campo elétrico aplicado assim como ocorre no aprisionamento no óxido. Segundo SCHWANK et al., (2008) uma pequena ou até mesmo insignificante quantidade de cargas será aprisionada na interface SiO_2/Si sob polarização de campo elétrico negativo, uma vez que as lacunas irão migrar em sentido oposto ao da interface.

As regiões de aprisionamento na interface podem trocar cargas com o semiconductor em escalas de tempo relativamente curtas (SCHRIMPF, 2007), aumentando o ruído intrínseco do dispositivo, e quando o transistor estiver desligado (*off*) pode inverter a polarização na interface gerando um caminho para o fluxo de corrente. Tal inversão gera um fenômeno conhecido como *leakage current* (fuga de corrente ou literalmente “vazamento”) o que aumenta o consumo estático do circuito integrado podendo inclusive danificá-lo.

Além do efeito de *leakage current*, cargas aprisionadas tanto no óxido como na interface também são responsáveis por desvios na tensão de limiar de transistores MOS, causam degradação da mobilidade de portadores e modificam as características de ruído dos dispositivos (SCHRIMPF, 2007; MEISENHEIMER et al., 1991), conforme será discutido nos parágrafos seguintes. Os efeitos de dose total em transistores bipolares são sucintamente apresentados na seção 2.5.1.

2.3.1 Desvios na tensão de limiar de transistores

Cargas aprisionadas no Óxido (N_{ot}) e na interface (N_{it}) modificam as características (tensão x corrente) da região *sub-threshold* (sub-limiar) dos transistores MOS. A carga líquida aprisionada no óxido é normalmente positiva (tanto para transistores N como em dispositivos do tipo P) enquanto a carga aprisionada na interface pode ser positiva, neutra ou negativa, dependendo do potencial da interface e da natureza física do defeito responsável pelo aprisionamento de cargas (SCHRIMPF, 2007).

Transistores do tipo *canal-P* têm carga líquida normalmente positiva aprisionada na interface, o que contribui negativamente para um desvio na tensão de limiar do transistor. Já no transistor do tipo N a carga aprisionada é tipicamente negativa, ocasionado um desvio positivo na tensão de limiar. No entanto, o desvio total na tensão de limiar depende do resultado líquido das cargas acumuladas no óxido (N_{ot}) e das cargas acumuladas na interface (N_{it}). Uma vez que a carga líquida aprisionada no óxido é positiva (tanto em transistores P como em transistores N) o acúmulo de cargas total (considerando aprisionamento no óxido e na interface) tende a ser maior nos transistores do tipo P . Isso ocorre, pois, neste tipo de transistor os dois mecanismos de aprisionamento de cargas geram carga líquida positiva ocorrendo um efeito aditivo, enquanto que, nos transistores N , os dois efeitos geram cargas com sinais opostos, logo, parte da carga será compensada e o sinal (polarização) dependerá do efeito que ocorreu com maior intensidade (SCHWANK et al., 2008).

O desvio total na tensão de limiar (ΔV_{th}) será a soma dos desvios individuais ocasionados pelo aprisionamento de cargas no óxido e na interface, conforme a equação:

$$\Delta V_{th} = \Delta V_{ot} + \Delta V_{it} \quad (2.2)$$

ΔV_{ot} e ΔV_{it} , são, respectivamente, as parcelas de contribuição no desvio da tensão de limiar, devido às cargas aprisionadas no óxido e na interface, e podem ser calculados por:

$$\Delta V_{ot} = \frac{-1}{C_{ox} \cdot t_{ox}} \int_0^{t_{ox}} \rho_{ot}(x) x dx \quad (2.3)$$

$$\Delta V_{it} = \frac{-1}{C_{ox} \cdot t_{ox}} \int_0^{t_{ox}} \rho_{it}(x) x dx \quad (2.4)$$

onde $\rho_{ot}(x)$ e $\rho_{it}(x)$ são, respectivamente, a densidade de distribuição de cargas induzidas por radiação aprisionadas no óxido e na interface, C_{ox} é a capacitância e t_{ox} a espessura da camada de óxido.

Observa-se pelas equações acima que o desvio na tensão de limiar tem sinal oposto ao da carga líquida aprisionada. Assim, carga líquida positiva gera um desvio negativo na tensão de limiar, enquanto um desvio positivo neste parâmetro ocorre quando o valor da carga líquida armazenada é negativo (SCHWANK et al., 2008).

Conforme será discutido na seção 2.3.5, as cargas aprisionadas no óxido e na interface podem ser neutralizadas ao longo do tempo. Considerando intervalos de tempo curtos e altas taxas de dose de radiação, a taxa de neutralização para cargas aprisionadas no óxido será baixa. Logo, ΔV_{ot} é normalmente alto e negativo. Já a formação de cargas na interface demanda maiores tempos para atingir valores significativos (conforme discutido anteriormente e exemplificado na Figura 2.10). Assim, sob estas condições ΔV_{it} será pequeno e o desvio na tensão de limiar será grande e negativo, dominado por ΔV_{ot} , tanto em transistores do tipo N como em transistores do tipo P (SCHWANK et al., 2008).

Considerando agora tempos de exposição e taxas de dose moderados tanto ΔV_{it} como ΔV_{ot} podem ser altos. Para transistores do tipo N estas duas parcelas de contribuição para o desvio na tensão de limiar têm sinais opostos e tendem a compensarem-se mutuamente. Para tempos de exposição longos, com taxas de dose baixas, boa parte das cargas aprisionadas no óxido tende a ser neutralizada, logo, o desvio na tensão de limiar é dominado pelas cargas aprisionadas na interface, que tendem a atingir a saturação em períodos prolongados (Figura 2.10). Em transistores do tipo P tanto ΔV_{it} como ΔV_{ot} são negativos e seus efeitos são somados. Assim, tanto para taxas de dose elevadas como baixas o desvio na tensão de limiar em transistores P tende a ser alto e negativo (SCHWANK et al., 2008).

2.3.2 Current Leakage (Fuga de Corrente)

Além de variações no nível da tensão de limiar, os efeitos de dose total também podem alterar a inclinação da curva *corrente de dreno X tensão de porta*, alterando a resposta sub-limiar (*sub-threshold*) do dispositivo. Este efeito deve-se principalmente ao acúmulo de cargas na interface e faz com que a inclinação da curva (neste caso, traçada em escala log) seja diminuída, conforme ilustrado de maneira qualitativa na Figura 2.11. (SCHRIMPF,

2007). Tal alteração é particularmente preocupante se considerarmos os valores reduzidos de tensão de alimentação e de limiar dos transistores atuais, pois mesmo sob baixa tensão aplicada na porta do transistor, um nível significativo de corrente pode fluir entre dreno e fonte, aumentando o consumo estático do dispositivo e, em algumas vezes, impedindo que o transistor seja desligado.

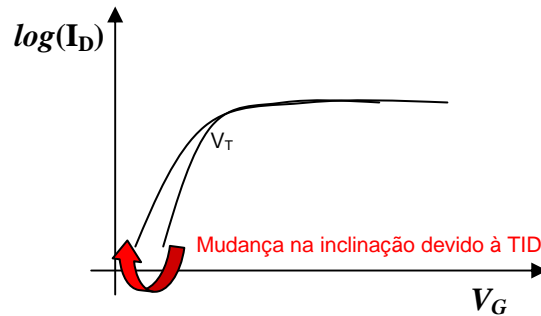


Figura 2.11: Alteração na inclinação da curva de corrente de dreno (I_D) versus a tensão de porta (V_G) de um transistor MOS na região sub-limiar. Adaptada de (SCHRIMPF, 2007).

Outra forma de fuga de corrente associada especificamente a óxidos muito finos é conhecida como RILC (*Radiation-Induced Leakage Current*) (SCARPA et al., 1997). Este efeito é observado quando óxidos finos sob polarização de campos elétricos baixos são submetidos a taxas de dose elevadas. O efeito de RILC aumenta com o aumento da taxa de dose e com a diminuição da espessura do óxido. A Figura 2.12 mostra o gráfico da relação de corrente de fuga de porta (I_G) em função da tensão de porta aplicada (V_G) considerando um capacitor de substrato tipo P não irradiado e posteriormente irradiado com raios gama (Co-60) a uma dose total de 5,3 Mrad(Si). Durante a fase de irradiação a polarização aplicada ao óxido de 4,4 nm de espessura foi 0,3V (SCARPA et al., 1997).

O fenômeno de RILC foi também observado em dispositivos irradiados com diferentes fontes de radiação, como, por exemplo, elétrons de 8 MeV (CESCHIA et al., 1997), raios-X de 10 keV íons pesados (CESCHIA et al., 2000).

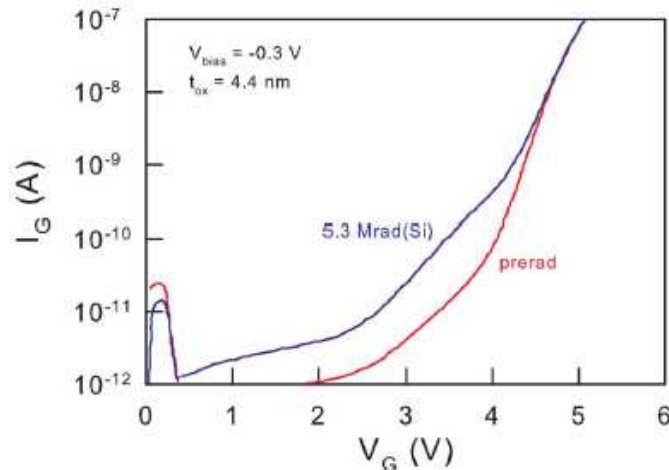


Figura 2.12: Fuga de corrente versus tensão de porta em um capacitor MOS não irradiado e posteriormente irradiado com raios gama a uma dose total de 5,3 Mrad. Figura original em (SCARPA et al., 1997).

Apesar do fenômeno de RILC estar associado a óxidos finos (óxidos de porta), o efeito de acúmulo de cargas induzidas por radiação é mais intenso em óxidos mais espessos, pois, conforme já discutido anteriormente, em óxidos finos os elétrons são rapidamente removidos por tunelamento (SCHRIMPF, 2007). Desta maneira, os efeitos de fuga de corrente (em transistores não endurecidos contra radiação) são dominados pelo acúmulo de cargas nos óxidos que isolam as regiões ativas (óxidos de campo). Enquanto os óxidos de porta nas tecnologias atuais assumem valores próximos a poucas dezenas ou unidades de nanômetros, óxidos de campo variam entre 100 nm e 1000 nm (SCHWANK et al., 2008). Em óxidos de campo o acúmulo de cargas é positivo, logo, cargas negativas são induzidas no silício próximo a estas regiões. Em substratos ou poços do tipo P (transistores N) estas cargas induzidas formarão uma região de inversão (Figura 2.13), podendo gerar um caminho de corrente entre dreno e fonte de um mesmo transistor (*intra-device leakage*) ou entre os terminais de dispositivos vizinhos (*inter-device leakage*) (SCHRIMPF, 2007; BOESCH & McLEAN, 1985; SHANEYFELT, 1998). A Figura 2.13 ilustra um transistor cujo óxido de campo é do tipo LOCOS (*Local Oxidation of Silicon – Oxidação Local de Silício*), no entanto os mesmos efeitos de fuga de corrente e criação de canais parasitas ocorre em camadas de isolamento do tipo STI (*Shallow-Trench Isolation*).

Técnicas de modificação de projeto em nível de transistor podem ser utilizadas para minimizar os efeitos da fuga de corrente induzida por radiação. Algumas destas técnicas serão discutidas no capítulo 3.

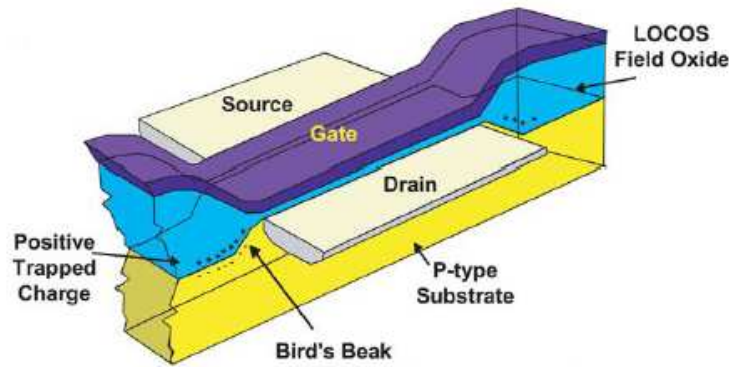


Figura 2.13: Região de inversão no substrato (P) de um transistor MOS induzida por cargas positivas aprisionadas no óxido de campo em decorrência de acúmulo de dose total. Figura extraída de (SCWHANK et al., 2008) e originalmente publicada em (SHANEYFELT, 1998).

2.3.3 Degradação da mobilidade de portadores

Algumas características dos transistores MOS, como por exemplo, velocidade e capacidade de corrente são altamente dependentes da mobilidade dos portadores na camada de inversão. Cargas aprisionadas no óxido (N_{ot}) e na interface (N_{it}) podem reduzir a mobilidade da camada de inversão em virtude de um fenômeno conhecido como “Espalhamento Coulomb” (*Coulomb Scattering*) (ZUPAC et al., 1993). O espalhamento Coulomb é formalmente definido como *o espalhamento de uma ou mais partículas ao interagir com o campo eletrostático de um núcleo* (RODITI, 2005). Por estarem mais próximas do canal, cargas acumuladas na interface têm maior efeito no espalhamento e exercem uma influência maior na mobilidade dos portadores. A equação seguinte, originalmente proposta por Dimitrijevic e Stojadinovic (1987), modela o efeito das cargas aprisionadas (tanto na interface quanto no óxido) na mobilidade de dispositivos MOSFET:

$$\mu = \frac{\mu_0}{1 + \alpha_{it} N_{it} + \alpha_{ot} N_{ot}} \quad (2.5)$$

onde μ é mobilidade resultante (pós-irradiação), μ_0 é a mobilidade nominal e α_{it} e α_{ot} são parâmetros que quantificam os efeitos do aprisionamento de cargas na mobilidade.

Embora as cargas na interface exerçam maior influência na mobilidade, a equação 2.5 mostra que este parâmetro depende também das cargas aprisionadas no óxido. Assim tem-se uma dependência de duas variáveis. Zupac et al. (1993), através da análise de dados de diferentes dispositivos (MOSFETS de potência) irradiados, analisaram a dependência de cada

um destes parâmetros na mobilidade. A Figura 2.14 mostra um gráfico tridimensional retirado desse trabalho, onde a mobilidade normalizada (μ/μ_0) é mostrada em função da variação das concentrações de cargas aprisionadas (ΔN_{it} e ΔN_{ot}). Nesta figura os dados coletados durante a etapa de irradiação aparecem como triângulos preenchidos e os dados obtidos durante o *annealing* (será discutido na seção 2.3.5) como triângulos vazados. As projeções de ambas as curvas aparecem nos planos auxiliares como círculos e quadrados. Os dados foram obtidos através da irradiação de um MOSFET de potência a uma dose total de 11,8 krad(Si), taxa de dose de 0,6 rad(si)/s e posteriormente submetendo o dispositivo a uma temperatura de 100° C durante 168 horas (*annealing*).

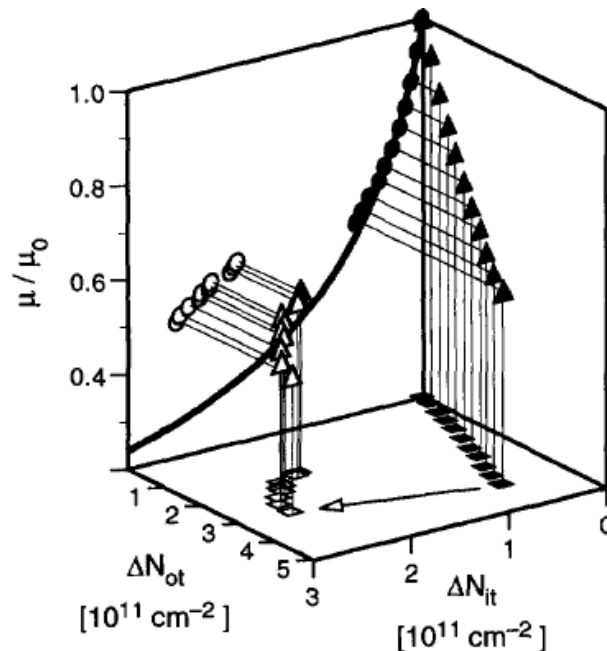


Figura 2.14: Dependência da mobilidade de portadores em um MOSFET de potência irradiado. Figura extraída de (ZUPAC et al., 1993).

No entanto, a separação dos efeitos de degradação da mobilidade em função do mecanismo de aprisionamento (óxido ou interface) não pode ser realizado quando as distribuições de carga (ΔN_{it} e ΔN_{ot}) forem linearmente dependentes. Neste caso, o modelo matemático leva em conta apenas a distribuição de cargas na interface, conforme segue (SEXTON & SCHWANK, 1985):

$$\mu = \frac{\mu_0}{1 + \alpha \Delta N_{it}} \quad (2.6)$$

sendo que,

$$N_{ot} = mN_{it} \quad (2.7)$$

e,

$$\alpha = \alpha_{it} + m\alpha_{ot} \quad (2.8)$$

onde m é um número real.

Uma interpretação gráfica simplificada da equação 2.6 pode ser obtida da Figura 2.15, que mostra de maneira qualitativa o efeito do aumento da dose de radiação na mobilidade de dispositivos MOS, sem explicitar a contribuição das cargas aprisionadas na interface e no óxido.

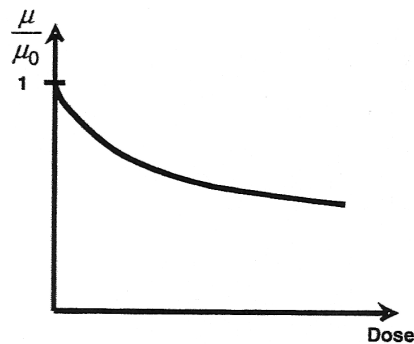


Figura 2.15: Dependência da mobilidade normalizada em função da dose de radiação em dispositivos MOS. Figura extraída de (SCHIRIMPF, 2007).

Em aplicações suscetíveis à radiação ionizante a degradação da mobilidade pode chegar a tal ponto de resultar em falhas paramétricas nos dispositivos afetados (ZUPAC et al., 1993).

2.3.4 Alteração no espectro de ruído intrínseco de dispositivos MOS

A incidência de radiação pode afetar o desempenho de um circuito eletrônico aumentando o ruído intrínseco do dispositivo. Aplicações espaciais suscetíveis à radiação podem demandar baixos níveis de ruído, mesmo operando em um ambiente hostil, como por exemplo, amplificadores de baixo ruído em transponders de satélites e sensores em sondas e aeronaves.

Possivelmente, um dos primeiros trabalhos a estudar o efeito da radiação em junções p-n de semicondutores foi realizado por Fonger et al. (1958), em estudos relacionados ao efeito fotoelétrico em diodos e “triodos”. Uma das explicações para o ruído durante a irradiação de um dispositivo semiconductor baseava-se na “fotocorrente” ocasionada pela geração de pares elétron-lacuna em decorrência da deposição de energia de partículas “rápidas” (FONGER, LOFERSKI, RAPPAPORT, 1958), primárias ou secundárias, na região de difusão de uma junção p-n.

Contudo, tal efeito ocorre não apenas durante a incidência de radiação, devido às correntes transientes provocadas pela ionização dos materiais do circuito integrado, mas também devido às cargas acumuladas no óxido, e segundo Lauritzen (1972), principalmente, na interface óxido-silício. O acúmulo de cargas na interface (Si/SiO₂) formaria centros de recombinação onde pares elétron-lacuna sofrem recombinação repetidamente, aumentando o ruído de baixa frequência, principalmente o ruído 1/f ou “*flicker noise*”.

No entanto, Meisenheimer & Fleetwood (1990), baseados em dados experimentais afirmam que o fator predominante para o aumento do ruído 1/f em transistores NMOS, consiste no acúmulo de cargas no óxido (em oposição às teorias que afirmavam que o acúmulo de cargas na interface prevalecia). Em um trabalho posterior, os mesmos autores verificaram que o ruído 1/f em transistores PMOS apresenta menor influência da radiação (MEISENHEIMER et al., 1991) em comparação com o NMOS. No entanto, para os dois tipos de dispositivos a neutralização de cargas no período pós-irradiação reduz o ruído 1/f.

Em um trabalho mais recente Zhou et al. (2008) realizaram uma série de medidas de ruído 1/f em transistores MOS com óxido STI (*Shallow Trench Isolation*) de uma tecnologia comercial de 130 nm. Nestes experimentos os autores irradiaram o dispositivo com raios-X de 10 keV e posteriormente realizaram a etapa de *annealing* à temperatura ambiente. Os dispositivos testados foram submetidos a uma dose total de 300 krad(Si). Um dado interessante deste trabalho é a influência da umidade (a qual o dispositivo foi submetido posteriormente) no ruído *flicker*, conforme mostrado na Figura 2.16. Nesta figura é possível observar que a radiação elevou o espectro do ruído em mais de duas ordens de grandeza.

Após 48 horas de *annealing*, sem polarização, o ruído já era menor do que o medido imediatamente após a irradiação, mas ainda maior do que o espectro nominal do dispositivo. Alguns dispositivos foram submetidos à umidade relativa de 85% e 130° C, por três dias, e apresentaram níveis de ruído ainda menor do que os medidos antes da irradiação. A razão para tal, segundo os autores, é a reação das moléculas de água com o silício e o óxido, atuando como um passivador, o que reduz a densidade de defeitos (armadilhas) no óxido. Estes defeitos são as principais causas de aprisionamento de cargas e geração de ruído 1/f mesmo em dispositivos não submetidos à radiação (ZHOU, et al., 2008).

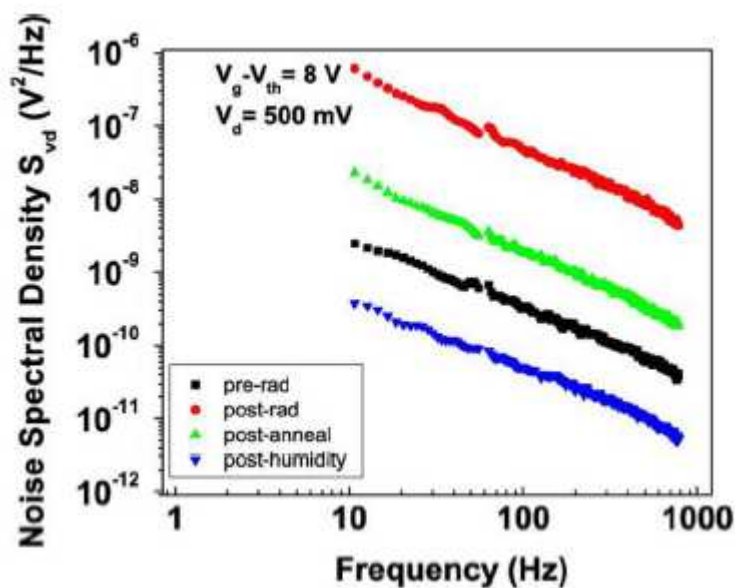


Figura 2.16: Comparação do espectro de ruído nominal de um transistor MOS com o ruído resultante em diferentes condições de radiação, *annealing* e umidade. Extraída de (ZHOU, et al., 2008).

2.3.5 Neutralização de cargas induzidas por radiação ionizante

Conforme já mencionado nas seções anteriores, após o aprisionamento de cargas induzidas pela incidência de radiação em transistores MOS estas começam a ser neutralizadas. A velocidade com que ocorre a neutralização depende da quantidade de cargas aprisionadas, da intensidade da polarização aplicada aos transistores (campo elétrico no óxido) e da temperatura à qual o dispositivo é mantido após o período em que foi irradiado. A Figura 2.17, extraída de (SCHWANK et al., 2008) com dados de um trabalho anterior (FLEETWOOD et al., 1988) mostra a dependência do tempo de neutralização de cargas aprisionadas no óxido (neste caso considerando o desvio resultante na tensão de limiar) em

um transistor NMOS para uma dose total de radiação de 100 krad(SiO₂) mantido à temperatura ambiente e polarizado com 6 V, sendo que a espessura do óxido é 60 nm. A dose total de 100 krad foi obtida com fontes de diferentes taxas de dose de radiação (rad/s). Pela figura observa-se que a neutralização pode levar meses para ocorrer à temperatura ambiente, mesmo para taxas de doses relativamente baixas, como a que foi testada.

A neutralização de cargas aprisionadas no óxido ocorre basicamente por dois mecanismos: o tunelamento (HALLIDAY et al., 2007) de elétrons do silício para as regiões de aprisionamento no óxido (OLDHAM et al., 1986) ou pela emissão térmica de elétrons da banda de valência do óxido para as regiões de cargas aprisionadas (McWHORTER, et al., 1990). Por isso, para acelerar o processo de neutralização pode-se submeter o circuito a altas temperaturas (em geral em torno de 100° C) e, por esta razão, o processo de neutralização é também referenciado como *annealing*, cuja tradução para o português é “recozimento”.

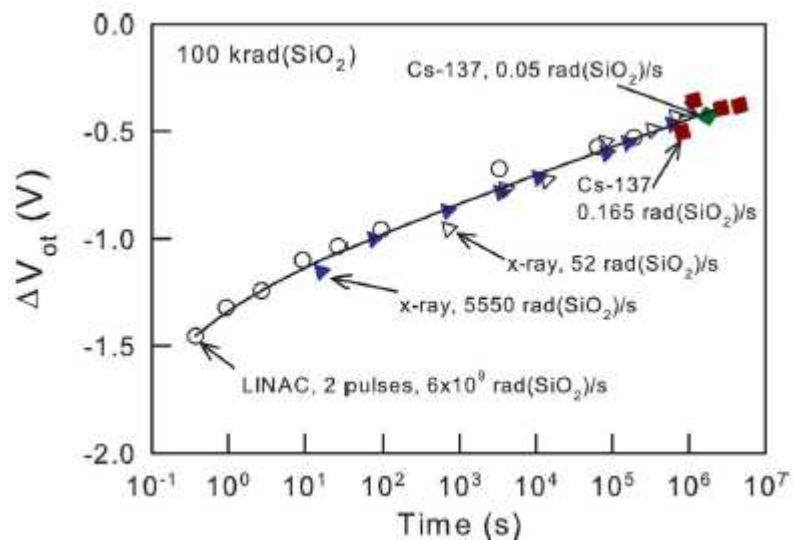


Figura 2.17: Tempo de neutralização de cargas aprisionadas no óxido em um transistor NMOS, à temperatura ambiente, irradiado com dose total de 100 krad(SiO₂) através de diferentes fontes e taxa de dose. Extraída de (SCHWANK et al., 2008) com dados originais de (FLEETWOOD et al., 1988).

2.4 EFEITOS SINGULARES (*SINGLE EVENT EFFECTS*)

Efeitos singulares ou, usando a terminologia em inglês *single event effects* (SEEs), são causados pelo impacto de uma única partícula energética em um nó sensível de um circuito eletrônico. Tais efeitos são normalmente causados por partículas com alta energia, as quais são mais abundantes em altas altitudes ou no espaço (DODD et al., 1998). A razão para tal é a

proteção natural exercida pela atmosfera e pela magnetosfera terrestre que “filtram” boa parte das partículas com alta energia, gerando partículas de energia menor em reações secundárias (BAUMANN, 2001), conforme já mencionado na seção 2.1.

Tendências tecnológicas como a redução das dimensões de transistores e o aumento significativo da densidade de transistores em um único chip têm tornado os sistemas atuais cada vez mais sensíveis a SEEs (WANG & AGRAWAL, 2008). O principal motivo para tanto é a redução dos valores de carga armazenados nos nós dos circuitos digitais atuais, fazendo com que a carga coletada em um SEE seja suficiente para perturbar o circuito. Na próxima seção questões envolvendo coleta de carga e transferência de energia ao semicondutor, serão discutidas em um maior nível de detalhamento.

O mecanismo básico de geração de um SEE é mostrado na Figura 2.18. O impacto de uma partícula em uma junção PN transfere energia para o material, ionizando o silício e gerando pares elétron-lacuna, que, em nível elétrico, gera um pulso de corrente (Figura 2.19). Esta corrente pode ser interpretada pelo circuito como um sinal e afetar o seu funcionamento.

A Figura 2.18 ilustra a geração de pares elétron-lacuna e a coleta de cargas logo após um evento singular ocasionado pela incidência de um íon pesado. O formato do pulso de corrente resultante da coleta de cargas é devido a dois mecanismos distintos de transporte de portadores após a passagem do íon: inicialmente por deriva, e posteriormente por difusão (BAUMANN, 2005). O tempo de duração do pulso de corrente depende do tipo de partícula e sua energia, bem como da tecnologia e da região específica do circuito afetado. De acordo com dados extraídos de artigos relacionados, as durações típicas de pulsos ocasionados por SEEs situam-se na faixa de centenas de picossegundos a dezenas de nanossegundos (ZIEGLER & LANFORD, 1981; NARASIMHAM et al., 2007).

Baseado no comportamento de um pulso gerado por um SEE, Messenger, em 1982, propôs um modelo matemático para a corrente resultante ($I_p(t)$), baseado em uma dupla exponencial, conforme a equação seguinte:

$$I_p(t) = I_0(e^{-t/\tau_\alpha} - e^{-t/\tau_\beta}) \quad (2.9)$$

Onde I_0 é aproximadamente o máximo valor da corrente resultante da coleta de cargas, τ_α é a constante de tempo relacionada à coleta de cargas pela junção e τ_β é a constante de tempo relacionada ao estabelecimento do rastro de ionização deixado pelo íon incidente. (MESSENGER, 1982).

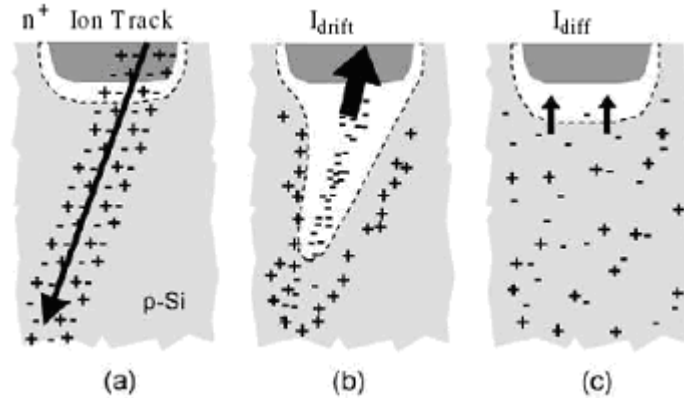


Figura 2.18: Junção P-N atingida por um íon: a) transferência de energia e formação do rastro de ionização, b) coleta de cargas por deriva com a camada de depleção deformada em formato de funil e c) coleta de cargas por difusão. Extraída de WANG & AGRAWAL (2008).

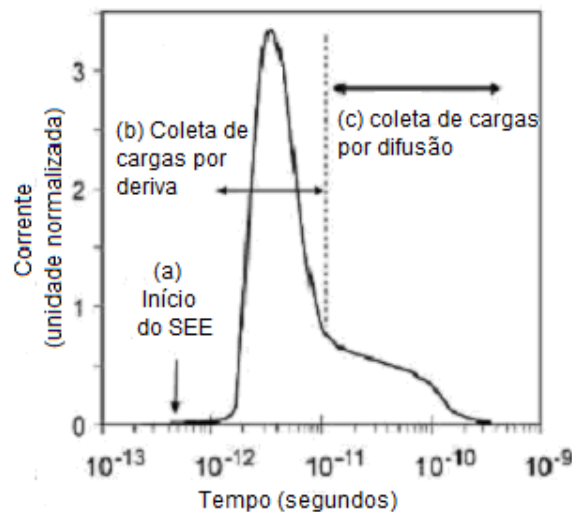


Figura 2.19: Pulso de corrente gerado por um SEE em função do tempo. Adaptada de WANG & AGRAWAL (2008).

O modelo proposto por Messenger leva em consideração que a maior parte da carga gerada pela passagem de um íon é coletada pelo processo de deriva, deformando a região de depleção em um formato de funil, conforme proposto por (HSIEH, MURLEY, O'BRIEN, 1981) e como sugerem as Figuras 2.18 e 2.19. Por se tratar de um modelo simples, porém acurado, a equação de dupla exponencial é amplamente utilizada na simulação e análise de SEEs em circuitos eletrônicos.

Os SEEs podem ser classificados em um conjunto de fenômenos distintos, embora os mecanismos de ionização e coleta de cargas sejam similares para os diferentes casos. Os dois tipos de eventos singulares de maior interesse para esta tese são os eventos não destrutivos: o

SET (*Single Event Transient*) e o SEU (*Single Event Upset*). Os eventos singulares destrutivos serão discutidos brevemente.

Um SET ocorre quando a partícula incide sobre nós de elementos combinacionais de um circuito digital ou de um circuito analógico (BAZE & BUCHNER, 1997; SAVAGE et al., 2001; TURFLINGER, 1996). Já um SEU ocorre quando uma partícula atinge uma célula de memória, ou um registrador, com energia suficiente para modificar o seu estado (GUNZER, WOLICKI, ALLAS, 1979).

Tanto SEUs como SETs podem ocasionar erros em sistemas eletrônicos. Tais erros são conhecidos como *soft errors* ou, em português, erros suaves, pois não danificam diretamente o sistema e podem ser posteriormente corrigidos (MAY & WOODS, 1978). A taxa com que estes erros ocorrem é conhecida como SER (*Soft Error Rate*) (BAUMANN, 2001). Ambos os efeitos (SEU e SET), bem como os *soft errors* são discutidos com mais detalhes e ilustrados nas duas sub-seções seguintes. Uma vez que os mecanismos de geração de SEU e SET são similares, diferindo quanto à natureza do circuito atingido (elemento de memória ou lógica combinacional) e ao tipo e energia da partícula incidente, mais atenção será dada à definição e explicação dos mecanismos de geração dos SEUs. Posteriormente, serão apresentadas as definições e particularidades dos SETs.

2.4.1 *Single Event Upsets*

Os SEUs diferem dos SETs pelo seu caráter não transiente, pois estão associados à inversão de bits de elementos de memória. Também são referenciados na literatura como *soft errors* e podem ter uma duração indefinida ou serem corrigidos após um ou mais ciclos de relógio. Os *soft errors* são conhecidos desde a década de 1950 (ZIEGLER & LANFORD, 1979) e sua relação com atividade radioativa foi reportada na década seguinte.

No entanto, tais erros também são percebidos ao nível do solo, os quais foram pela primeira vez associados à radiação em um trabalho de May e Woods (1978). Segundo os autores desse trabalho uma das principais fontes de erros do tipo *soft*, ao nível do mar, teria origem em partículas α emitidas no decaimento radiativo de Urânio e Tório, elementos presentes em pequenas concentrações principalmente nos materiais de encapsulamento dos circuitos integrados. Este efeito também foi estudado em (YANEY et al., 1979) e, segundo Baumann, (2001), consiste em uma das três principais fontes de radiação geradora de SEUs em circuitos eletrônicos. Como exemplos de materiais dos CIs que emitem partículas alfa

devido a impurezas radioativas, Baumann (2001) cita uma camada de 30 μm de cobre cuja emissividade é menor que $0,001 \alpha/\text{cm}^2\cdot\text{h}$ e soldas baseadas em chumbo que podem ter uma emissividade de até $7,2 \alpha/\text{cm}^2\cdot\text{h}$.

Em 1975, Binder et. al. publicaram um trabalho reportando anomalias em satélites ocasionadas por raios cósmicos. Posteriormente, a perturbação de circuitos eletrônicos por raios cósmicos no nível do solo foi prevista em um trabalho de Ziegler e Lanford (1979). No mesmo ano, Guenzer et al. (1979) reportaram que os *soft errors* em altitude terrestre não seriam apenas causados por isótopos instáveis de urânio e tório presentes nos materiais do CI, mas também por reações nucleares. Segundo Baumann, (2001) esta também seria uma das principais fontes de radiação geradora de SEU ao nível do mar. Nestas reações, nêutrons de alta energia de origem espacial interagem com o núcleo do silício gerando íons secundários e partículas α . No referido trabalho, Guenzer et al. (1979) submeteram uma memória DRAM de 16KB a nêutrons e prótons de alta energia (14 MeV e 32 MeV, respectivamente) que, chocando-se com o núcleo de átomos de silício, geraram partículas alfa em quantidade suficiente para ocasionar SEUs. Conforme já discutido anteriormente, na seção 2.1, os raios cósmicos interagem com a atmosfera terrestre gerando diversos tipos de partículas. No entanto, são os nêutrons as partículas mais prováveis de causarem perturbação em circuitos submicrométricos no nível do mar (WANG & AGRAWAL, 2008).

Um dos primeiros estudos a reportar a ocorrência de efeitos de raios cósmicos ao nível do solo foi publicado em 1994 por O’Gorman. Nesse trabalho réplicas de um experimento projetado para testar os efeitos de raios cósmicos sobre a SER de uma memória DRAM foram posicionadas em locais de diferentes altitudes em relação ao solo: 200 m abaixo do nível do mar (em uma mina de sal), ao nível do mar e em altitudes de 1,6 km e 3,1 km. O objetivo do teste abaixo do nível do mar foi o de observar a quantidade de erros gerados pelas impurezas radioativas do encapsulamento da memória, pois nesta profundidade a incidência de raios cósmicos pode ser desprezada (O’GORMAN, 1994). Depois de eliminar a influência de partículas α geradas pelo decaimento radioativo, neste caso de ^{210}Po , presente no encapsulamento do CI, O’Gorman constatou que a SER induzida por raios cósmicos foi aproximadamente 10 vezes maior na altitude de 3,1 km em comparação com os dados observados ao nível do mar.

A terceira fonte principal de radiação ionizante em dispositivos eletrônicos considerada nesta tese é, segundo Baumann (2001), a radiação secundária induzida pela interação de nêutrons térmicos de origem cósmica com o isótopo de boro ^{10}B , utilizado como dopante em

materiais do tipo p e como isolante em materiais do tipo BPSG (*Borophosphosilicate glass*). Nesta reação, além de um núcleo de Lítio e um fóton γ , uma partícula α é emitida com uma energia de 1,47 MeV. Segundo Wang e Agrawal (2008) e Bauman (2001), este mecanismo de geração de partículas α foi recentemente considerado o principal gerador de *upsets* em memórias SRAM dos nós tecnológicos 0,25 μm e 0,18 μm que utilizam camadas isolantes BPSG.

O termo *upset* (perturbação, em português) e sua associação a eventos singulares apareceu no título de um trabalho de Gunzer et. al (1979) pela primeira vez como é conhecido até hoje: *Single Event Upset*. Desde então a sigla SEU vem sendo utilizada para designar perturbações em elementos de memória de circuitos digitais, ocasionadas por radiação ou raios cósmicos. Segundo a definição da Agência Espacial Norte Americana (NASA), extraída de um trabalho de Wang e Agrawal (2008) e traduzida livremente nesta tese: “**Single Event Upsets** são erros induzidos por radiação em circuitos microeletrônicos, ocasionados quando partículas carregadas (normalmente provenientes dos cinturões de radiação ou de raios cósmicos) perdem energia, ionizando o meio pelo qual elas passam, deixando para trás um rastro de pares elétron-lacuna”.

As partes de um circuito integrado mais sensíveis aos SEUs são as junções P-N de transistores desligados, mais especificamente o dreno de transistores PMOS desligados e a região do canal de transistores NMOS desligados (WANG & AGRAWAL, 2008; DODD & SEXTON, 1995).

Embora detalhes físicos do complexo mecanismo de geração dos SEEs estejam em permanente discussão, principalmente devido à constante evolução e miniaturização que acompanha os circuitos microeletrônicos, alguns modelos são bem aceitos pela comunidade científica. A formalização do processo de geração de um SEU passa pela definição de alguns termos que serão agora apresentados.

Quando uma partícula atinge um nó sensível no circuito, ocorre o processo de coleta de carga, conforme ilustrado na Figura 2.18. A **carga coletada** (Q_{col}) durante a passagem desta partícula é dependente da geometria do circuito (PETERSEN et al., 1993), da concentração de dopagem do nó atingido, da impedância e da tensão do nó (que definem a corrente e a carga) bem como da energia e trajetória da partícula (CONNELL et al., 1995). Se a carga coletada por um nó particular do dispositivo for maior que a **carga crítica** (Q_{cri}) deste nó (DODD & SEXTON, 1995), o nó sofrerá uma mudança de estado que poderá ser transiente (SET) ou, se for em um nó específico de um elemento de memória, gerará um SEU (MAY & WOODS,

1978). Um estudo realizado por Ferlet-Cavrois et al. (2006) investigou as regiões de maior sensibilidade ao impacto de um íon energético (entre dreno, canal e fonte) de transistores MOS da tecnologia $0,25\ \mu\text{m}$, tomando como parâmetro a carga coletada. A Figura 2.20, extraída desse trabalho mostra que a carga coletada é maior quando o SEE ocorre próximo ao dreno. O mesmo estudo mostra um gráfico comparativo da corrente que flui pelo dreno de um transistor em decorrência de SEEs na região do dreno e na região da fonte, mostrando que o dreno apresenta uma sensibilidade maior, justamente pela maior coleta de cargas (Figura 2.21). Segundo Ferlet-Cavrois et al. (2006) foi observado que nos casos em que o evento ocorre em regiões do transistor que não o dreno, a coleta de cargas é dominada pela componente de difusão o que normalmente é fator determinante para reduzir a coleta de cargas.

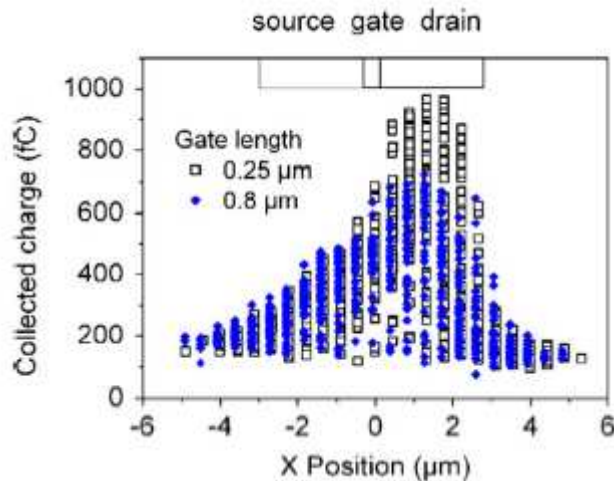


Figura 2.20: Distribuição da carga coletada em transistores MOS (bulk) em função do local de incidência do íon causador do SEE. Extraída de Ferlet-Cavrois et al. (2006).

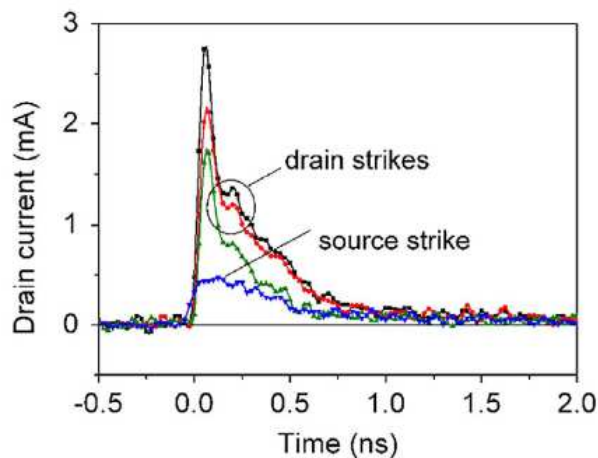


Figura 2.21: Pulsos transientes medidos em função do local atingido pelo íon incidente em um transistor MOS (bulk). Extraída de Ferlet-Cavrois et al. (2006).

A vulnerabilidade de um determinado circuito a eventos singulares é definida em termos de área, através de uma grandeza conhecida como *cross section* (seção de choque), cujo símbolo é σ e a unidade é $cm^2/dispositivo$ ou cm^2/bit (CONNELL et al., 1995). A seção de choque (σ) é tão maior quanto maior for o somatório das áreas ativas do dispositivo, mas também é função da transferência linear de energia (**LET**, do inglês: *Linear Energy Transfer*) das partículas incidentes, uma vez que o cálculo de σ depende do número efetivo de *upsets* observados para uma determinada **fluência** de partículas, conforme descrito na equação seguinte (KOGA, et al., 1985).

$$\sigma = \frac{N}{F \cos \Phi} \quad (2.10)$$

onde N é o número observado de *upsets* e F é a **fluência** do feixe de partículas, que vem a ser o número de partículas incidentes por unidade de área. Φ é o ângulo de incidência da partícula (ou feixe de partículas) em relação à direção normal.

A fluência pode também ser definida como a integral ao longo do tempo do **fluxo** de partículas. O fluxo, por sua vez, é a quantidade de partículas incidente por unidade de área por unidade de tempo [*partículas/cm²s*], sendo que muitas vezes o tempo é considerado milhões de horas, resultando na unidade *partículas/cm²Mh* (KOGA, et al., 1985; ZIEGLER & LANFORD, 1981).

Conforme pode ser visto na equação 2.10, o ângulo de incidência da partícula representa uma variável importantíssima sobre sua capacidade de gerar um evento singular, tal como estudado em um trabalho de Dodd, Shaneyfelt e Sexton. (1997), sendo as partículas com maior angulação (em relação à direção normal), as que mais contribuem com a coleta de carga. A influência do ângulo de incidência na coleta de cargas foi estudada inicialmente por Campbel et al. (1983). Posteriormente outros trabalhos também foram dedicados à investigação da influência desta variável nos SEEs (SHANFIELD et al., 1987; McNULTY, BEUVAIS, ROTH, 1991; McNULTY et al., 1992, PETERSEN et al., 1993).

A transferência linear de energia, LET, é definida como a quantidade de energia depositada por unidade de comprimento do caminho percorrido pela partícula (XAPSOS, 1992). Em termos de unidade de LET existe uma medida análoga a Q_{cri} (descrita acima) que representa o limiar de ocorrência de um SEE a uma dada fluência de partículas e é conhecida como LET limiar, ou LET_{th} (onde o índice *th* representa a palavra *threshold*, do inglês, cuja tradução é *limiar*).

Quando uma partícula atinge um nó sensível de um circuito, tal que sua LET seja maior que a LET_{th} daquele nó ($LET_{partícula} > LET_{th}$), a carga coletada pelo nó será maior que sua carga crítica ($Q_{col} > Q_{cri}$), caracterizando um SEE.

A carga depositada por uma partícula ao atingir um elemento do circuito tem relação com a sua perda de energia ao longo de seu percurso (dE/dx), que, segundo Kolasinski et al. (1979) é diretamente proporcional ao produto da massa atômica e do quadrado do número atômico (Z) da partícula. A Figura 2.22, extraída do trabalho de Kolasinski, mostra o rastro deixado em uma emulsão nuclear por partículas com diferentes números atômicos, evidenciando a forte dependência da energia depositada com o Z da partícula.

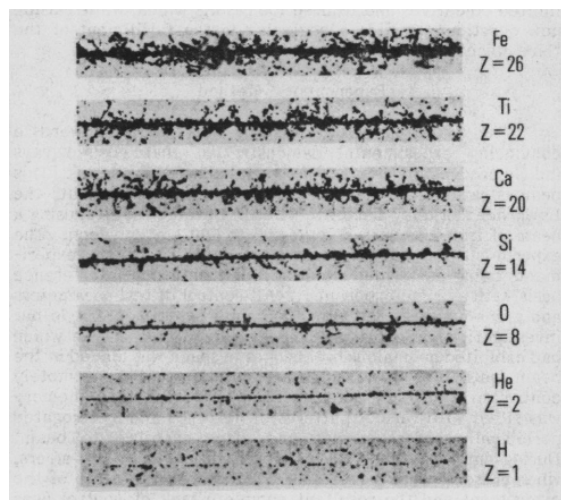


Figura 2.22: Rastro deixado por diferentes partículas (com diferentes números atômicos) em emulsão nuclear. Figura extraída de (KOLASINSKI et al., 1979).

A Figura 2.23 ilustra um SEU em uma célula de memória. Neste exemplo o transistor P_2 está ligado e N_2 está desligado, logo, o dreno do transistor N_2 está com nível lógico 1 ($\sim VDD$). Desta maneira a junção PN formada por substrato e dreno de N_2 está reversamente polarizada. Uma vez que o dreno é atingido por uma partícula, os portadores gerados no processo de ionização tendem a movimentar-se por deriva, deformando a camada de depleção da junção, sendo os elétrons atraídos para o dreno do transistor (conforme Figura 2.18). No caso em que a carga coletada pelo nó B seja suficiente para inverter seu potencial (descarregando o nó) o inversor formado por P_1 e N_1 inverterá também o nó A, e, devido ao acoplamento cruzado da célula de memória, a inversão no nó B tende a ser retida até a próxima escrita na célula, caracterizando um SEU.

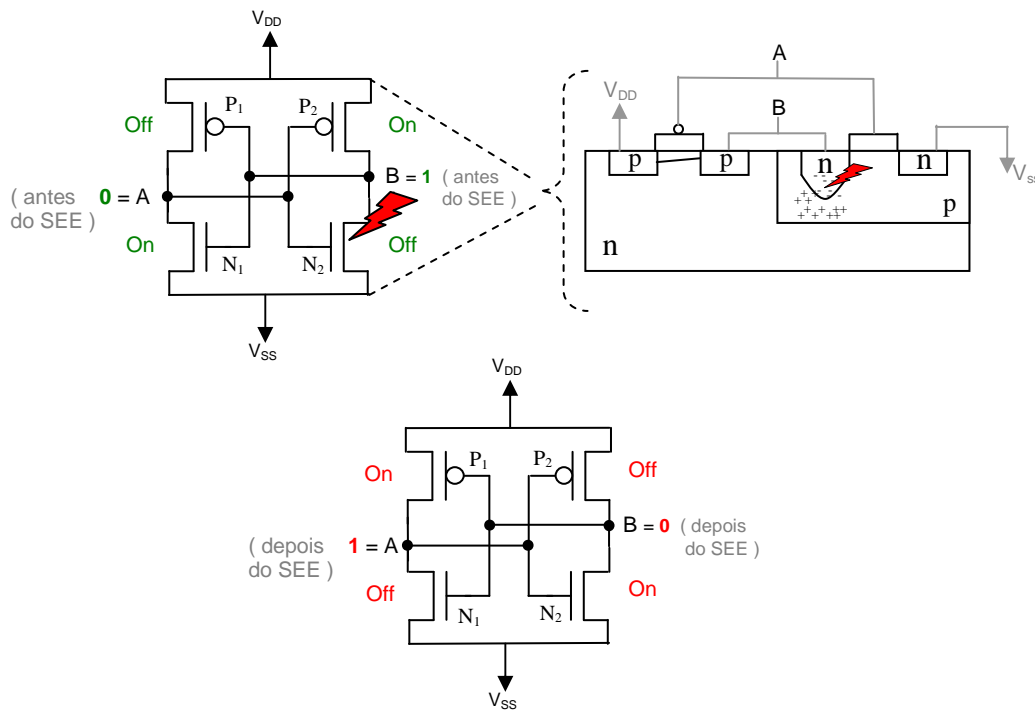


Figura 2.23: SEU em um elemento de memória.

2.4.2 Single Event Transients

Os eventos singulares do tipo transiente (SET) são aqueles que não geram, diretamente, inversão de bits no circuito atingido. Se por um lado, para quantificar os efeitos de SEUs, utiliza-se a métrica da taxa de erros (SER - que vem a ser o número observado de inversões de bit por unidade de tempo), para os SETs, características como amplitude, formato e duração do pulso de corrente são grandezas importantes. De fato, tanto SEUs como SETs são originados por pulsos de corrente gerados pelo impacto de partículas energéticas no semicondutor. Deste modo, é possível afirmar que a origem destes efeitos em nível elétrico ocorre no domínio analógico. No entanto, uma vez que os SEUs estão diretamente associados a elementos de memória, é possível também fazer uma distinção quanto ao efeito resultante de cada um destes eventos singulares: o SEU gera um efeito indesejado no domínio digital (inversão de bits em elementos de memória) (GUNZER, WOLICKI, ALLAS, 1979), enquanto o SET causa uma pulso de corrente, em um dado ponto do circuito, que pode propagar-se modificando a tensão de outros nós e a corrente em outros pontos do circuito (BAZE & BUCHNER, 1997; SAVAGE et al., 2001). Justamente pelo exposto acima, os SEUs são eventos exclusivos de circuitos digitais (embora na literatura mais antiga os eventos

transistres em circuitos analógicos também tenham sido denominados ASEU, ou *Analog SEU* (TURFLINGER, 1996)), enquanto os SETs ocorrem também em circuitos analógicos. Eventos singulares em circuitos analógicos serão abordados na seção 2.5.

Um SET em um circuito digital pode ocasionar um *soft error* se for capturado por um elemento de memória, ou se for propagado até os pinos de entrada e saída, podendo de alguma forma ser observado externamente (NEWBERRY, KAYE, SOLI, 1990). Na medida em que o SET se propaga pelo caminho do sinal, o pulso pode ter sua largura diminuída ou até mesmo aumentada (FERLET-CAVROIS et al., 2007; WIRTH, KASTENSMIDT, RIBEIRO, 2008) devido aos diferentes atrasos de propagação de subida e descida das portas que compõe o circuito (parâmetros que dependem da carga à qual cada porta está submetida e ao dimensionamento e parâmetros tecnológicos dos transistores). O pulso ocasionado pelo SET pode ainda ser atenuado em sua amplitude, ao longo do circuito combinacional, chegando a um elemento de memória com uma pequena amplitude, não sendo capturado pelo registrador. Tal fenômeno é conhecido como **mascaramento elétrico** e é ilustrado na Figura 2.24. Outro tipo de mascaramento é o **mascaramento lógico** (Figura 2.25), caracterizado pelo fato de impedir que um SET propague-se até um elemento de memória por este ocorrer ou propagar-se por caminhos não sensibilizados da lógica combinacional (ENTRENA, et al., 2009).

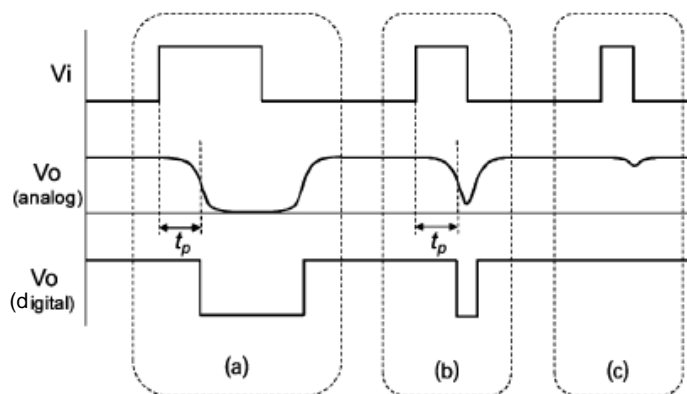


Figura 2.24: Exemplo de degradação de um pulso por mascaramento elétrico. Dependendo da largura do pulso gerado (a) este, ao propagar-se pelo circuito, pode vir a ser atenuado (b) ou filtrado (c), caracterizando o mascaramento elétrico. Extraída de Entrena et al. (2009).

O pulso propagado após a ocorrência de um SET, mesmo quando não mascarado pelos mecanismos aqui descritos, pode ainda sofrer um mascaramento temporal, ou “mascaramento por janela de amostragem” (*latch window masking*) (ENTRENA, et al., 2009). Neste caso,

mesmo invertendo temporariamente o nível lógico na entrada de um registrador, o pulso ocorre fora do intervalo de tempo de captura do sinal, conforme ilustrado também na Figura 2.25. Quanto maior for a largura do pulso do SET, menor é a probabilidade de ocorrer o mascaramento temporal, pois a probabilidade do pulso vir a ser capturado aumenta.

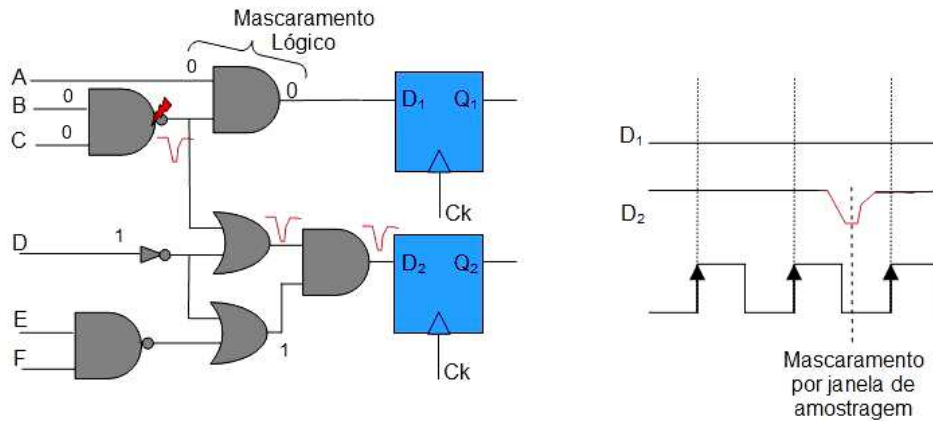


Figura 2.25: Propagação de um SET na lógica combinacional. Exemplos de mascaramento lógico e mascaramento por janela de amostragem.

A amplitude e a duração de um SET dependem de fatores como a tecnologia de fabricação, geometria do circuito, tensão de polarização do nó afetado, impedância de carga do nó, local do transistor atingido pela partícula, além de fatores relacionados ao SEE em si, como o tipo e energia da partícula incidente. Conforme já mencionado no início da seção 2.4, o tempo de duração típico dos SETs situa-se na faixa de centenas de picossegundos a dezenas de nanossegundos (ZIEGLER & LANFORD, 1981; NARASIMHAM et al., 2007). No entanto, ao propagar-se pelo circuito, é possível que a largura do pulso resultante aumente significativamente (FERLET-CAVROIS et al., 2007).

2.4.3 Efeitos singulares catastróficos

Efeitos singulares podem também danificar permanentemente o dispositivo atingido. Tais efeitos são denominados catastróficos ou destrutivos e não fazem parte do escopo desta tese; por isso, serão brevemente descritos. Segundo Boudenot (2007) os efeitos singulares catastróficos podem ser classificados como:

(a) **SEL (Single Event Latchup)**: A Tecnologia CMOS apresenta estruturas parasitas do tipo PNPN nas suas junções de material semiconductor, devido à sua geometria. Tal estrutura é similar a dos SCRs (*Silicon Controlled Rectifier* – Retificador Controlado de Silício), que são

dispositivos utilizados para retificação e controle de potência. Tal estrutura parasita pode ser “chaveada” por um evento singular com alta LET, de modo a estabelecer um caminho de baixa impedância (curto circuito) entre os terminais de alimentação (VDD e VSS) de uma porta CMOS (em especial inversores), podendo danificá-la permanentemente. (SHOGA & BINDER, 1986). Este efeito foi reportado inicialmente em 1979 por Kolasinski et al., em testes de laboratório com íons pesados diretamente incidentes (SCHWANK et al., 2006). Posteriormente, após a verificação do aumento de consumo de corrente em um satélite da ESA, operando próximo à região da anomalia magnética do atlântico sul, foi identificado que íons gerados em reações secundárias devido ao impacto de prótons também podem ter um valor de LET suficiente para gerar um SEL (ADAMS, et al. 1992).

(b) SEB (*Single Event Burnout*): Caracterizado pela destruição do dispositivo devido a altas temperaturas provocadas por curtos-circuitos induzidos por SEEs. O dispositivo literalmente “queima” (*burnout*). Alguns estudos associam o *burnout* ao *latchup*, como consequência deste. Logo, ocorre principalmente em MOSFETS de potência (NORMAND et al. 1997; KOGA et al., 1999).

(c) SEGR (*Single Event Gate Rupture*): Com a redução das dimensões dos transistores nas tecnologias recentes, a espessura do óxido de porta tem sido significativamente reduzida. Tal redução aumenta o campo elétrico do óxido de porta, uma vez que este é inversamente proporcional à espessura do dielétrico. Assim, perturbações no campo elétrico que permeia o óxido podem fazer com que este supere a sua rigidez dielétrica, ocasionando sua ruptura (de modo similar ao que ocorre em descargas eletrostáticas). Um dos primeiros estudos sobre falhas ocasionadas por SEGR, por Wrobel (1987), propôs um modelo para este efeito no qual o evento singular no óxido gera um caminho ionizado (plasma) que pode configurar um caminho de baixa impedância, descarregando subitamente o capacitor MOS de porta, gerando uma corrente suficientemente alta para danificar o dispositivo. Um modelo mais recente, proposto por Wheatley et al. (1994), associa a ocorrência de um SEGR com o acúmulo temporário de cargas na região logo abaixo à interface SiO_2/Si , o que altera momentaneamente o valor do campo elétrico em regiões específicas. Neste caso, nas regiões onde o campo elétrico aumenta, pode ocorrer uma ruptura local do dielétrico. Devido às altas correntes e tensões em que operam transistores MOS de potência, eventos do tipo SEGR são mais comuns nestes dispositivos em especial.

(d) SHE (*Single Hard Error*): São erros *hard*, associados a memórias, que causam a inversão “semipermanente” de alguns bits. Segundo Dufour et al. (1992), um SHE poderia ser causado por um único íon pesado, por repetidos SEEs em um mesmo transistor ou ainda por acúmulo de dose total (TID), modificando de maneira “semipermanente” as características elétricas de alguns transistores impedindo o correto funcionamento da memória. O termo “semipermanente” foi utilizado por Dufour em seu trabalho, pois, ao submeter o dispositivo testado (inicialmente bombardeado com íons pesados) à radiação ultra-violeta e altas temperaturas, as células de memória antes defeituosas, passaram a operar normalmente, indicando que é possível neutralizar um SHE. A hipótese de que um SHE pode ocorrer devido à dose total depositada por um SEE foi também confirmada por Poivey et al. (1994). Nesse estudo, memórias do tipo SRAM de dois diferentes fabricantes foram testadas com íons pesados e radiação γ de Co-60. SHEs foram observados nos dois casos. No caso dos experimentos com raios- γ , SHEs começaram a ser observados com doses acima de 10 krad(Si) aumentando significativamente para doses de 20 krad(Si) e 40 krad(Si). Segundo Poivey et al. (1994), a alteração da tensão de limiar dos transistores afetados pela radiação (conforme discutido na seção 2.3.1) é a principal causa (em nível elétrico) de um SHE.

2.5 EFEITOS DA RADIAÇÃO EM DISPOSITIVOS ANALÓGICOS

A preocupação com os efeitos da radiação em circuitos eletrônicos é, em grande parte, direcionada a dispositivos digitais, devido à maior “agressividade” do escalonamento tecnológico no domínio digital. Outro fator que faz com que uma quantidade maior de trabalhos focalize o domínio digital é a natureza de um dos principais efeitos da radiação em componentes eletrônicos, o SEU, que, por sua definição no sentido estrito, ocorre apenas em elementos de memória (GUNZER, WOLICKI, ALLAS, 1979; WANG & AGRAWAL, 2008). No entanto, estudos e técnicas de proteção foram também direcionados aos dispositivos analógicos, inicialmente contemplando a tecnologia bipolar, a qual dominava as aplicações analógicas até os anos 80 (BROWN et al., 1985; PEASE et al., 1996). Posteriormente, os circuitos CMOS analógicos passaram a receber atenção no que concerne sua aplicação no ambiente aeroespacial, principalmente em aplicações de potência (WHEATLEY, TITUS, BURTON, 1994). Atualmente, dada a capacidade de integração de sistemas mistos em um único chip, e sua grande aplicabilidade em sistemas de aquisição de dados e sensoriamento de satélites e aeronaves, pesquisas na área de tolerância à radiação têm

contemplado também as aplicações da tecnologia CMOS em circuitos analógicos de baixa potência e sistemas de sinal misto.

2.5.1 Efeitos de Dose Total em Dispositivos Lineares

Apesar da evolução da tecnologia CMOS, transistores bipolares ainda são encontrados em diversos componentes disponíveis comercialmente, os chamados COTS (*commercial off-the-shelf*), os quais são largamente empregados em aplicações espaciais (WINOKUR et al., 1999; PEASE, SCHRIMPF, FLEETWOOD, 2009).

Os primeiros trabalhos sobre os efeitos da radiação, em semicondutores, encontrados nesta pesquisa, datam de 1958 (FONGER, LOFERSKI, RAPPAPORT, 1958; LOFERSKI & RAPPAPORT, 1958) mostrando indícios da perturbação das características elétricas destes componentes através de alterações do nível de ruído, geração de correntes transientes e alteração do tempo de vida de portadores. Já em 1964, Wirth & Rogers estudaram efeitos de fotocorrentes (denominação comum encontrada nos trabalhos da época) transientes induzidas por radiação em diodos e transistores, observando a geração de um pulso de corrente na junção coletor-base de um transistor 2N1051 irradiado com pulsos de raio-X (Figura 2.26).

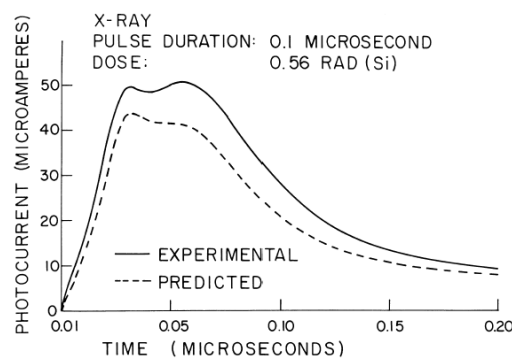


Figura 2.26: Pulso transiente observado por Wirth & Rogers (1964) na junção coletor-base de um transistor irradiado com pulso de raio-X. Extraída do trabalho original citado.

Em 1979, Johnston & Lancaster, estudaram os efeitos de dose total em diferentes amostras do amplificador operacional 108A pertencentes ao mesmo *wafer* e, também, de diferentes lotes. Em suas conclusões os autores afirmam que mesmo dispositivos de um mesmo wafer, ou do mesmo lote, podem apresentar distintos níveis de tolerância à radiação, devido à variabilidade do processo de produção.

Em um estudo publicado em 1987, Johnston & Plaag descreveram os principais mecanismos de perturbação de transistores bipolares pela radiação ionizante:

a) **acúmulo de cargas nos óxidos de isolamento** gerando inversão do potencial de superfície (similar ao efeito nos transistores MOS, descritos anteriormente neste capítulo) principalmente abaixo de áreas metalizadas, onde o campo elétrico é mais intenso. O acúmulo de cargas também aumenta o número de centros de recombinação, degradando o ganho e aumentando a fuga de corrente.

b) **modificação na taxa de recombinação superficial** de portadores minoritários, diminuindo o ganho do transistor.

c) **danos de deslocamento no substrato (*bulk displacement damage*)** que também geram centros de recombinação, o que reduz o tempo de vida dos portadores minoritários e o ganho dos dispositivos. Este efeito é altamente dependente da geometria do transistor bipolar, sendo mais comum em transistores *pnp* (JOHNSTON & PLAAG, 1987) e podendo ser considerado desprezível em transistores cuja largura da base é menor que 1 μm (ENLOW et al., 1991). A tabela 2.2, adaptada de (JOHNSTON & PLAAG, 1987) sumariza os mecanismos e efeitos de dose total em dispositivos bipolares.

Tabela 2.2: Sumário dos mecanismos e efeitos de dose total em dispositivos bipolares segundo Johnston & Plaag (1987).

Mecanismo	Dependência da Energia da Partícula	Depend. da Polarização (campos reduzidos)	Efeito no dispositivo
Taxa de recombinação na superfície	<i>Moderada</i>	<i>Fraca</i>	<i>Redução no ganho</i>
Cargas aprisionadas no óxido	<i>Moderada</i>	<i>Forte</i>	<i>Inversão; Redução no ganho; Aumento do leakage.</i>
Danos no substrato	<i>Forte</i>	<i>Nenhuma</i>	<i>Redução no ganho</i>

Um efeito particular da radiação em transistores bipolares foi identificado em 1991, por Enlow et al., denominado ELDRS (*Enhanced Low Dose Rate Sensitivity*), que traduzido para o português significa “aumento da sensibilidade à baixa taxa de dose”. Tal fenômeno tem este nome justamente por apresentar efeitos pronunciados em dispositivos sujeitos a baixas taxas de dose. O efeito ELDRS consiste em uma dependência verdadeira que alguns dispositivos demonstram em relação à taxa de dose (rad/s), diferentemente do que ocorre em dispositivos CMOS, onde os efeitos dependem mais fortemente da dose total acumulada do que da taxa de dose em si (PEASE, SCHRIMPF, FLEETWOOD, 2009).

A quantificação do efeito de ELDRS é normalmente realizada com auxílio de uma métrica conhecida como *Enhancement Factor* (EF), o qual é definido como a relação de degradação de um dado parâmetro elétrico, observada sob uma baixa taxa de dose, em relação à degradação percebida a uma taxa de dose elevada (para um mesmo valor de TID) (PEASE, SCHRIMPF, FLEETWOOD, 2009). Uma ilustração do EF é feita na Figura 2.27, extraída de um trabalho de Johnston et al. (1994). A figura em questão mostra o EF para o parâmetro de degradação $\Delta_{hfe^{-1}}$ dos transistores de entrada de quatro dispositivos lineares baseados em tecnologia bipolar, além de um conjunto de transistores discretos. O parâmetro $\Delta_{hfe^{-1}}$ consiste na variação da degradação do inverso do ganho de corrente de pequenos sinais (*hfe*), a baixas taxas de dose, em comparação à degradação obtida a taxas mais elevadas. É possível visualizar na Figura 2.27 um aumento da degradação do parâmetro considerado para valores baixos de taxa de dose para a maioria dos dispositivos.

Já a Figura 2.28, mostra dados reais obtidos em um experimento conduzido durante 7 anos no espaço, no qual o CI LM139 (4 OPAMPS) foi submetido a uma dose total de 45 krad(Si) ocasionada pela passagem do sistema pelos cinturões de radiação durante uma hora a cada ciclo de uma órbita de 12 horas. Na mesma figura é feita uma comparação da degradação da corrente de polarização de entrada com dados obtidos em testes de laboratório com diferentes taxas de dose, mostrando que o efeito ELDRS existe na prática no ambiente espacial (TURFLINGER et al., 2003).

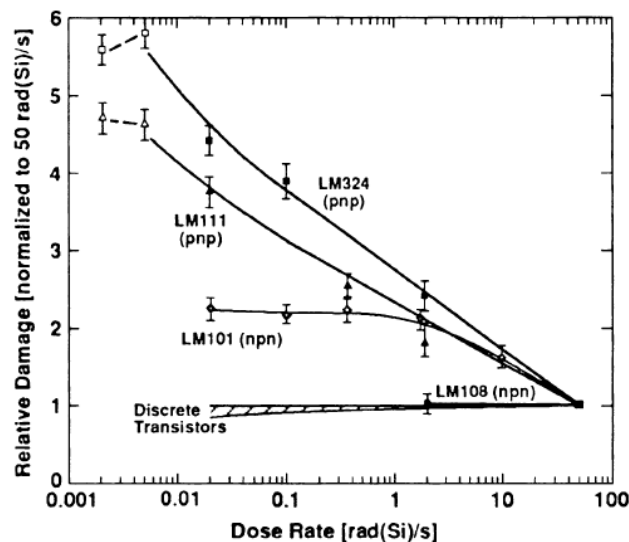


Figura 2.27: *Enhancement Factor* em função da taxa de dose para diferentes dispositivos disponíveis comercialmente considerando a degradação do ganho de pequenos sinais (JOHNSTON, SWIFT, RAX, 1994).

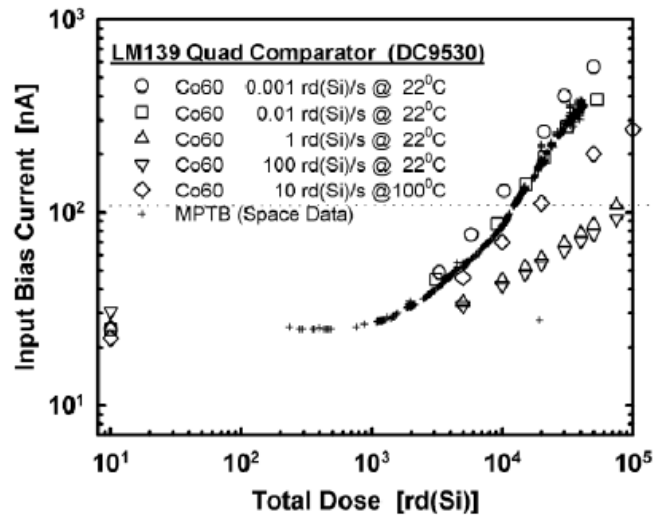


Figura 2.28: Comparação de dados reais de degradação, obtidos no espaço, com testes de laboratório sobre o dispositivo LM139, indicando a ocorrência do fenômeno ELDRS (TURFLINGER et al., 2003).

Trabalhos com compilações de dados obtidos em experimentos relacionados ao efeito ELDRS, identificaram pelo menos 30 tipos de dispositivos distintos que apresentaram EFs maiores que 2 (PEASE et al., 1996; PEASE et al., 2001; PEASE, 2008; PEASE, SCHRIMPF, FLEETWOOD, 2009).

Embora grande parte dos trabalhos dedicados aos efeitos de dose total em componentes eletrônicos disponíveis na literatura especializada contempla a tecnologia bipolar, os circuitos CMOS também vêm sendo estudados no que concerne sua resposta à radiação ionizante. O acúmulo de dose total afeta o transistor MOS independentemente de sua aplicação em um circuito digital ou analógico, ocasionando efeitos similares em nível elétrico (detalhados nas seções 2.3.1 a 2.3.4), mas com conseqüências distintas em nível de sistema. No entanto, os circuitos analógicos não têm acompanhado a evolução dos circuitos digitais no quesito “redução de dimensões”. Logo, uma tecnologia 0,6 μm , por exemplo, pode ser considerada obsoleta no domínio digital, mas ainda esta disponível em larga escala em componentes analógicos comerciais. Como as tecnologias menos recentes possuem óxidos mais espessos, é possível afirmar que componentes CMOS analógicos disponíveis comercialmente, têm, em geral, uma maior vulnerabilidade à TID, devido a suas dimensões, em comparação com os circuitos digitais do estado-da-arte.

Neste sentido, em um trabalho publicado em 2003 por Manghisoni et al., as conseqüências da migração de nó tecnológico, de 0,25 μm para 0,18 μm , para a tecnologia CMOS em aplicações analógicas, em relação aos efeitos da radiação ionizante, foram investigadas. Os autores testaram transistores MOS fabricados nas duas tecnologias,

observando os efeitos da exposição a raios-x e raios- γ (com dose total acumulada de até 30 Mrad) no desvio da tensão de limiar e na variação do espectro de ruído 1/f. As conclusões do trabalho apontam que a utilização de tecnologias mais modernas reduzem o impacto da exposição à radiação ionizante nos parâmetros considerados, conforme exemplificado na Tabela 2.3, com dados extraídos do trabalho citado (MANGHISONI et al., 2003). Os mesmos autores investigaram posteriormente os efeitos da radiação em transistores (também para aplicações analógicas) do nó tecnológico 0,13 μm , concluindo que esta tecnologia apresenta uma tolerância ainda maior que as anteriormente investigadas quando considerados os efeitos no desvio da tensão de limiar e ruído 1/f (RE et al., 2006).

Além dos efeitos anteriormente citados, a variação da tensão de limiar nos transistores que formam o par diferencial de entrada de amplificadores operacionais resulta também em um aumento da tensão de Offset do OpAmp (TURFINGLER & DAVEY, 1996). Ainda, alterações induzidas por TID em características dos transistores MOS, podem causar (dependendo da dose total submetida) desvios em especificações importantes dos amplificadores como produto ganho-faixa e distorção harmônica total (THD) (GUNASEELAN et al., 2003).

Tabela 2.3: Valores médios de variação de tensão de limiar dos transistores irradiados (até 30 Mrad) no trabalho de Manghisoni et al. (2003).

	Variação na tensão de limiar ΔV_t (mV)		
	Processo 0,18 μm	Processo 0,25 μm	Processo 0,35 μm
PMOS	-7	+5	-60
NMOS	-5	-30	-100

2.5.2 Efeitos Singulares Transientes em Circuitos Integrados Analógicos

Dentre os circuitos integrados analógicos os amplificadores operacionais (OpAmps) configuram o mais importante macrobloco funcional, quer seja de forma discreta ou como parte de um sistema integrado mais complexo. Dadas as diversas aplicações deste tipo de circuito, os efeitos da radiação e as técnicas de proteção aplicadas aos OpAmps são também bastante variadas. Parâmetros específicos como correntes de polarização e operação, circuito de realimentação e carga associada aos nós do circuito, influenciam diretamente no

comportamento do amplificador na presença de radiação ionizante (PAULOS, BISHOP, TURFLINGER, 1987).

Um pulso transiente em um dado estágio de um amplificador operacional pode propagar-se pelo circuito sendo moldado pelos elementos do caminho do sinal, e amplificado pelos demais estágios, antes de ser efetivamente percebido pelo sistema no qual o OpAmp está inserido. Assim, diferentemente do que ocorre no domínio digital, é difícil definir o limiar de atividade elétrica induzida por radiação que pode ser efetivamente considerada um erro.

A resposta transiente à radiação em OpAmps é, em muitos casos, dependente do desbalanceamento dos transistores da entrada diferencial, dado que um pulso transiente pode agir como uma perturbação de modo comum. Paulos et al., (1987) investigaram o comportamento de dois amplificadores operacionais (um fabricado em tecnologia bipolar e outro em tecnologia CMOS) sob o efeito de pulsos transientes, através de simulações elétricas e comparando posteriormente com dados reais (Raios-X). O efeito do desbalanceamento do par diferencial de entrada (*mismatch*) na resposta transiente pode ser visto na Figura 2.29, (extraída do referido trabalho) a qual mostra a resposta simulada a um pulso transiente no amplificador bipolar estudado. Na figura observa-se que pares desbalanceados geram respostas mais severas (em amplitude e tempo de duração) do que a resposta obtida com um balanceamento perfeito (ideal).

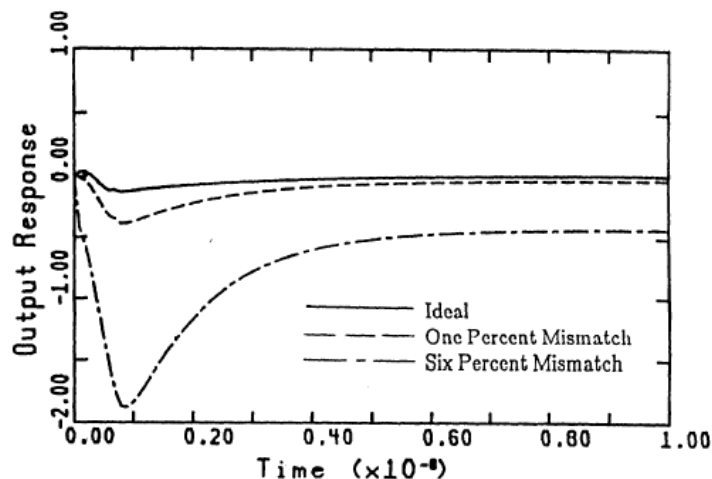


Figura 2.29: Simulação de um pulso transiente induzido por radiação em um amplificador operacional bipolar para três situações de balanceamento (*matching*) do par diferencial de entrada. Extraída de (PAULOS, BISHOP, TURFLINGER, 1987).

Ainda sobre o mesmo trabalho, os autores consideram três comportamentos distintos do pulso de corrente gerado dependendo da parte do OpAmp afetada pelo pulso de radiação ionizante (transistores no caminho do sinal, transistores do circuito de polarização e nó de saída do amplificador).

Pulsos de radiação de duração curta no caminho do sinal produzem respostas associadas tanto ao comportamento do amplificador em malha aberta como ao sistema realimentado, refletindo as características dinâmicas do sistema. O início da resposta transiente do pulso (pico) depende fundamentalmente das características de malha aberta do OpAmp, enquanto que a resposta de longo prazo é dominada pelo circuito realimentado. Como resultado, o pico da resposta transiente é, de modo geral, insensível ao ganho de malha fechada do sistema, enquanto que o tempo de recuperação após o pulso é dependente do parâmetro do circuito (em malha fechada) conhecido como “tempo de estabilização” (*settling time*) (PAULOS, BISHOP, TURFLINGER, 1987). Este efeito pode ser visto na Figura 2.30, onde a resposta transiente do amplificador (bipolar) em três configurações de ganho, para uma mesma carga, é mostrada.

Quando o pulso de corrente é originado no nó de saída do amplificador a carga deste nó domina o comportamento da resposta. O laço de realimentação e as características de malha aberta do amplificador não influenciam significativamente a resposta neste caso (PAULOS, BISHOP, TURFLINGER, 1987).

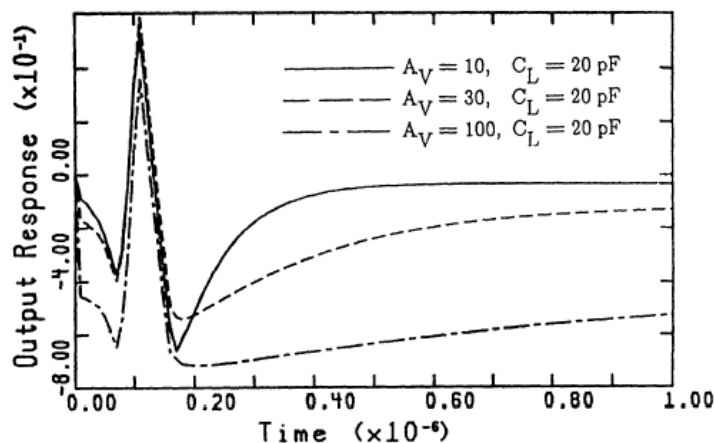


Figura 2.30: simulação de um pulso transiente induzido por radiação em um amplificador operacional bipolar para 3 valores de ganho em malha fechada. O ganho de malha fechada não interfere significativamente na resposta de curto prazo, mas domina o tempo de recuperação. Extraída de (PAULOS, BISHOP, TURFLINGER, 1987).

Quando a perturbação é originada nos transistores do circuito de polarização do OpAmp a resposta obtida é mais complexa, resultando em uma modulação da corrente no caminho do

sinal. O circuito de polarização pode ter constantes de tempo maiores ou menores do que as constantes envolvidas no caminho do sinal, dependendo do projeto do amplificador. Deste modo, a resposta pode ser dominada tanto pelas características dinâmicas do caminho do sinal, como pelas características do circuito de polarização. Como um exemplo da importância do circuito de polarização para um amplificador operacional é possível citar o amplificador 741 que possui 24 transistores, dos quais 13 pertencem ao circuito de polarização (TURFLINGER, 1996).

Os autores do trabalho (PAULOS, BISHOP, TURFLINGER, 1987) ainda compararam as respostas aos pulsos transientes considerando o amplificador bipolar e o amplificador CMOS. A Figura 2.31 mostra a comparação realizada considerando o pico da resposta em função do ganho. A Figura 2.32 mostra a comparação considerando o tempo de recuperação. Neste caso, o tempo de estabilização da resposta ao degrau dos amplificadores (em malha fechada), também em função do ganho realimentado, é utilizado como referência, mostrando que a resposta ao pulso de radiação tem forte correlação com este parâmetro.

Uma posterior modelagem da resposta a pulsos transientes em amplificadores foi realizada por Turflinger (1996) levando em conta a resposta individual de cada pólo do amplificador.

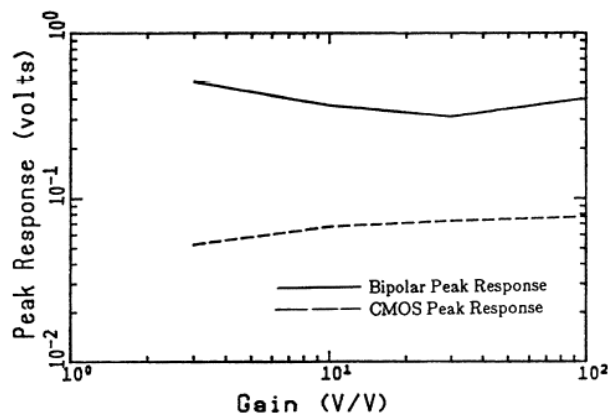


Figura 2.31: Pico da resposta transiente em função do ganho do circuito para os amplificadores testados em (PAULOS, BISHOP, TURFLINGER, 1987).

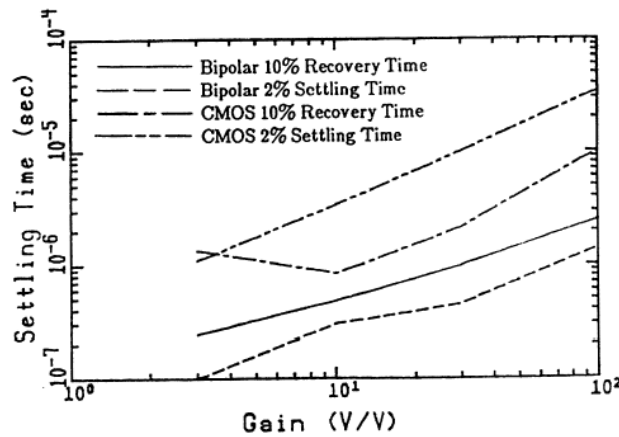


Figura 2.32: Tempo de recuperação em função do ganho do circuito para os amplificadores testados em (PAULOS, BISHOP, TURFLINGER, 1987) e comparação com o tempo de estabilização da resposta ao degrau dos sistemas implementados com os amplificadores.

Conforme ficou claro nos parágrafos acima, a aplicação na qual o OpAmp é utilizado tem influência direta na resposta a pulsos transientes induzidos por radiação. Determinadas aplicações podem tornar o sistema ainda mais sensível a pulsos transientes, como no caso dos derivadores e integradores (PAULOS, BISHOP, TURFLINGER, 1987). Enquanto o primeiro bloco evidencia as variações bruscas ocasionadas pelo pulso transiente, podendo saturar o OpAmp rapidamente, o segundo bloco amplifica o efeito de um pulso de longa duração, através da integração ao longo do tempo.

Os efeitos de pulsos transientes foram estudados no trabalho discutido anteriormente considerando pulsos de raios-X, por isso, apesar de serem classificados como eventos transientes, não podem ser considerados SEEs. Efeitos singulares em circuitos analógicos foram inicialmente estudados em um trabalho de Koga et al. (1993), motivado por anomalias percebidas em um sensor do satélite TOPEX, da NASA, lançado em 1992. Nestes estudos iniciais a terminologia para a perturbação de circuitos analógicos por SEEs foi herdada do domínio digital e referenciada também como SEU, pois os mecanismos físicos de coleta de carga e geração do pulso de corrente são os mesmos observados em circuitos digitais (KOGA et al., 1993). Em trabalhos posteriores alguns autores chegaram a classificar estas perturbações como ASEU (Analog SEU) (TURFLINGER, 1996), mas hoje, como forma de distinção da perturbação de elementos de memória, utiliza-se a terminologia SET (Single Event Transient) (ADELL, et al., 2000).

Koga et al. (1993) buscaram quantizar a vulnerabilidade de circuitos analógicos a efeitos transientes da radiação testando dois amplificadores operacionais e um comparador analógico com íons de Xenônio e realizando um cálculo da seção de choque (*cross section*). No entanto,

a seção de choque é uma grandeza proveniente dos circuitos digitais, pois é o cálculo do número de inversões de bit (em memórias ou registradores) observadas para uma determinada fluência de partículas e ângulo de incidência do feixe. A adaptação para o mundo analógico do cálculo da seção de choque no referido trabalho foi realizada considerando que um “SEU analógico” ocorre quando a amplitude do pulso transiente gerado supera um dado limiar arbitrário de tensão. A Figura 2.33 mostra a perturbação gerada por um SEE na saída do comparador LM111H, obtida nos testes realizados no referido trabalho. Exemplos de perturbações no amplificador OP-15 (utilizado no satélite TOPEX) são mostrados na Figura 2.34.

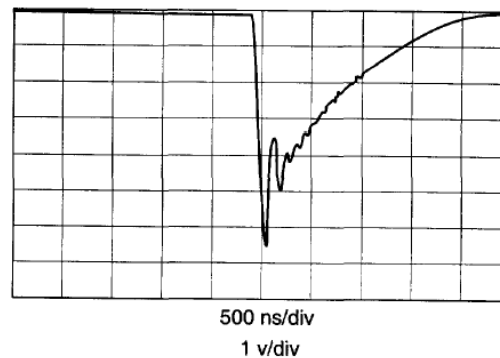


Figura 2.33: Pulso transiente induzido pela colisão de um íon de Xe no comparador analógico LM111H. Extraída de (KOGA et al. 1993).

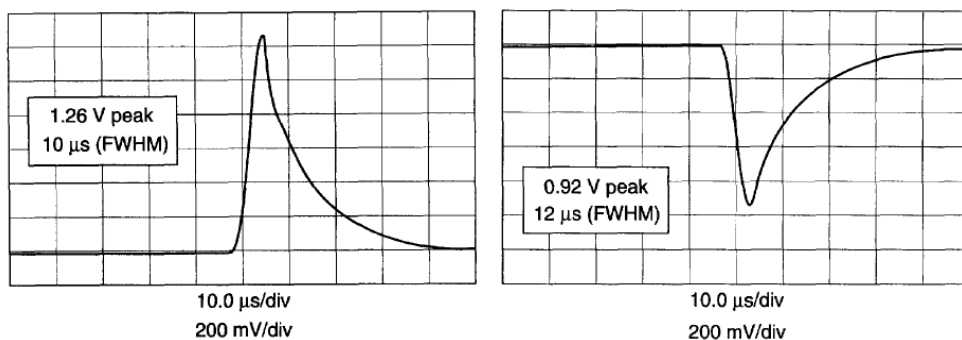


Figura 2.34: Exemplos de pulsos transientes induzido pela colisão de um íon no amplificador operacional OP-15 (KOGA et al. 1993).

Estudando o trabalho de Koga et al. o autor desta tese conclui que a seção de choque para circuitos analógicos não configura uma grandeza tão significativa quanto a mesma representa para os circuitos digitais. A razão para esta interpretação é que a quantização do número de erros depende do limiar de detecção considerado para o pulso transiente gerado, além das condições dos sinais de entrada, polarização e carga do nó de saída do circuito, entre

outros fatores. Assim, a seção de choque para um mesmo circuito analógico pode ser diferente para aplicações e condições diferentes consideradas. Na Tabela 2.4 se observa as diferenças nos parâmetros do pulso transiente gerado, para diferentes componentes testados. A dependência da seção de choque com o limiar de detecção de erro considerado é exemplificado na Figura 2.35, onde a seção de choque em função da LET efetiva do íon incidente é mostrada. Observa-se que quanto maior a tensão de limiar considerada, menor é a seção de choque para um mesmo valor de LET.

Tabela 2.4: Diferenças observadas nos parâmetros do pulso transiente induzido pela ionização em diferentes CIs analógicos comerciais. Extraída de (KOGA et al., 1993)

Device ID	Rise Time (nsec)	Width (FWHM in μ sec)	Amplitude (mV)	Polarity
HS3530RH	2500	3	Up to 4000	Positive & Negative
OP-05	2500	15	Up to 800	Mostly Positive
OP-15	3000	12	Up to 1300	Positive & Negative
LM111H	100	0.5	Up to 6000	Mostly Negative

Em um trabalho posterior, Ecoffet et al. (1994) testaram outros amplificadores operacionais e comparadores disponíveis comercialmente, confirmando as conclusões de Koga et al. (1993) e deixando ainda mais claro a forte influência do limiar de detecção considerado e da tensão diferencial de entrada na obtenção da seção de choque dos componentes. Em 1997, Koga et al. investigaram a fundo os efeitos da polarização na sensibilidade de diversos circuitos comerciais a transientes induzidos por radiação, concluindo que a parte mais sensível da maioria dos circuitos lineares é justamente o par diferencial de entrada.

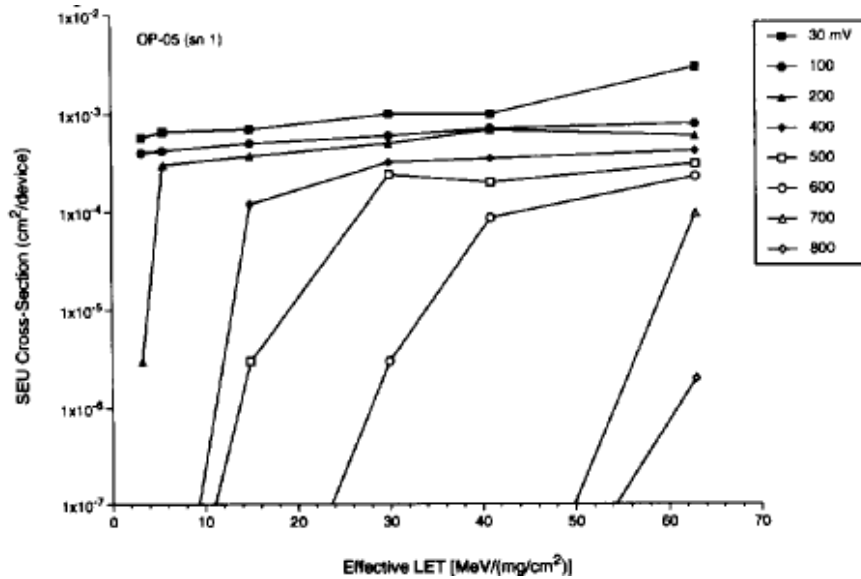


Figura 2.35: Seção de choque em função da LET efetiva do íon incidente para o amplificador operacional OP-05 considerando diferentes valores de tensão limiar de detecção. Extraída de (KOGA et al., 1993).

Dados de experimentos realizados no espaço através de um conjunto de circuitos lançado em 1997, denominado MPTB (*Microelectronics and Photonics Test Bed*) foram publicados em (CRAIN et al., 2001). A órbita deste sistema implicava na passagem pelos cinturões de radiação de prótons duas vezes por dia. Um destes experimentos foi realizado sobre um amplificador operacional (LM124). A Figura 2.36 mostra a distribuição de SETs detectados ao longo do ano em função da altura (esta é variável pois a órbita do sistema é elíptica e com inclinação de 63°) expressa em termos de uma medida conhecida com “*L-shell*” (altura das linhas do campo magnético, cuja unidade é o raio da Terra). É possível ver na figura que a maioria dos eventos ocorreu com $L=2$ (região de abrangência do cinturão de radiação interno) e uma série deles ocorreram durante os dias 14 e 15 de julho de 2001 quando uma forte tempestade solar foi registrada.

Anomalias no circuito de alimentação do satélite científico SOHO (*Solar and Heliospheric Observatory*) das agências ESA e NASA também motivaram o estudo dos efeitos de SET em alguns dispositivos analógicos (*driver* de potência, controlador PWM, OpAmp e comparador de tensão) utilizados no projeto do referido satélite (HARBOE-SORENSEN et al., 1999). O estudo mostrou que os componentes testados (todos em tecnologia bipolar) apresentam vulnerabilidade a SETs. Os autores também afirmam que a amplitude dos eventos observados pode chegar ao máximo da faixa de operação dos dispositivos (*rail-to-rail*) e apresentar duração de até 4 μ s.

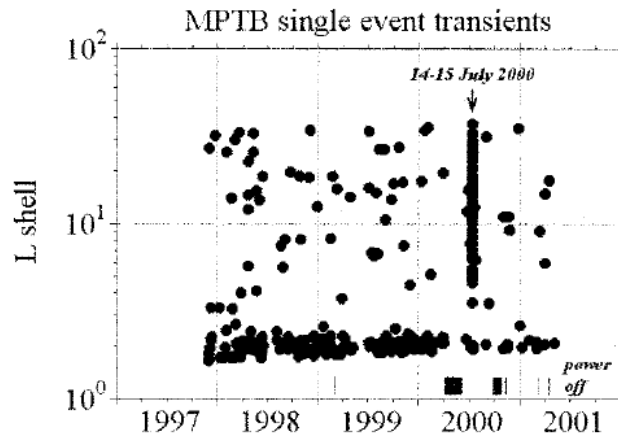


Figura 2.36: SETs observados no OpAmp LM124 em função da altura na órbita do sistema (operando no espaço durante 4 anos). Extraída de (CRAIN et al., 2001).

A análise dos efeitos transientes da radiação ionizante em circuitos analógicos também pode ser realizada no domínio frequência (BOULGHASSOUL et al., 2002; KAUPPILA et al. 2004). Através da transformada de Fourier do sinal gerado pelo SEE e das funções de transferência dos blocos intermediários do sistema atingido pelo SET é possível estimar o efeito do transiente na saída do circuito. Dependendo da banda passante do circuito afetado, o SET pode ser atenuado, pois este pode ter um conteúdo harmônico que excede a banda passante do circuito. Assim, conforme Boulghassoul et al., (2002), diferentes perfis de coleta de cargas, ocasionam diferentes perfis de conteúdo harmônico dos SETs e tendem a gerar pulsos de corrente com diferentes formatos. No entanto, a limitação de banda do circuito atingido pode fazer com que a amplitude e duração do pulso transiente na saída do circuito tenham uma dependência maior da carga depositada pelo SEE do que do formato do sinal transiente em si. As Figuras 2.37 e 2.38 exemplificam este fato. A primeira mostra dois pulsos transientes de diferentes formatos injetados através de simulação em um dos transistores do circuito, um amplificador operacional LM124 (cuja banda é de 1 MHz), e a respectiva equivalência no domínio frequência de cada pulso. A segunda mostra o comportamento similar dos dois pulsos ao se propagarem pelos estágios do amplificador.

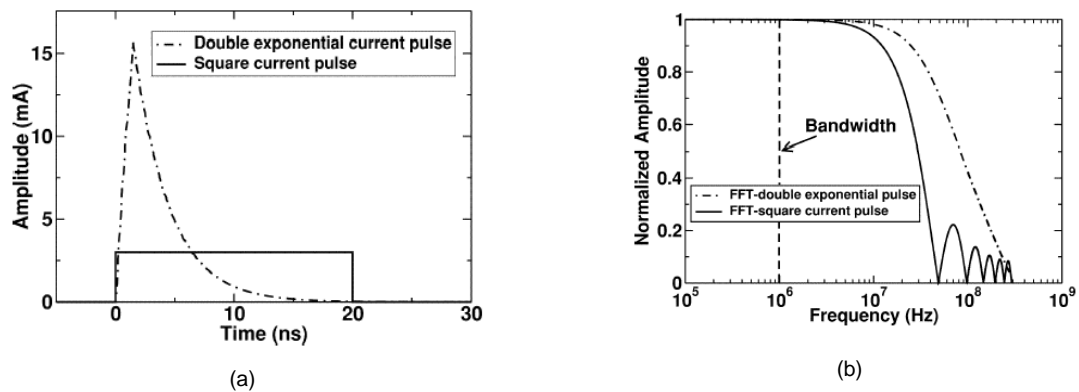


Figura 2.37: (a) Pulsos injetados nos experimentos de simulação realizados por Boulghassoul et al., (2002) e (b) a respectiva representação no domínio freqüência de cada pulso. Observa-se que a limitação em banda imposta pelo amplificador operacional tende a eliminar diferenças no perfil harmônico dos sinais, uma vez que estas diferenças são mais pronunciadas em altas freqüências. Figuras compiladas de (Boulghassoul et al., 2002)

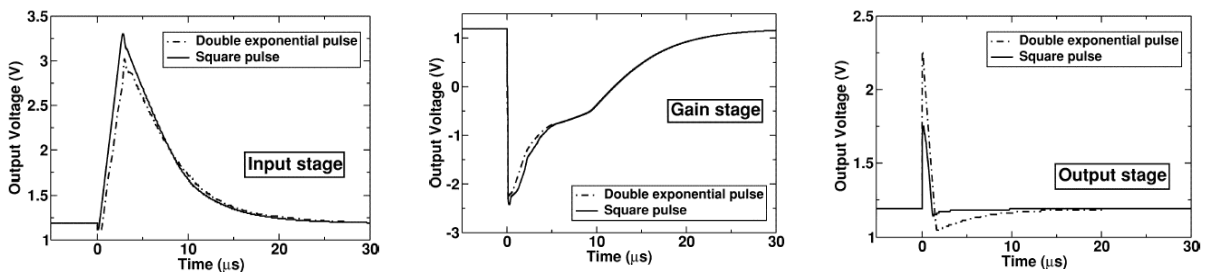


Figura 2.38: Propagação dos pulsos mostrados na Figura 2.35 pelos estágios do amplificador operacional considerado. Figuras compiladas de (Boulghassoul et al., 2002)

Kauppila et al., (2007) propuseram a utilização de métodos derivados da teoria da comunicação na análise dos efeitos transientes da radiação ionizante. Neste trabalho os autores utilizaram técnicas de análise e representação dos SETs no domínio freqüência associadas a métodos probabilísticos. O método consiste em injetar diversos SETs no circuito de interesse e obter uma coleção suficientemente grande de sinais de saída do circuito, de modo que os sinais configurem uma amostra estatisticamente significativa do comportamento da saída do circuito afetado por SETs em seus transistores. Neste caso o SET é tratado como ruído aleatório que desvia o sinal do circuito atingido de sua média (para fora dos limites estatísticos impostos pelo ruído intrínseco).

Alguns trabalhos recentes estudados nesta tese investigam os efeitos da radiação em circuitos CMOS de alto desempenho. Espinosa-Duran et al. (2007) estudaram o efeito de pulsos transientes através de simulações realizadas sobre um amplificador operacional CMOS de alta velocidade customizado para fabricação na tecnologia AMS-CMOS 0,8 μm . Pulsos

transientes de corrente com amplitudes variando entre 200 μA e 2 mA foram injetados em diferentes nós do amplificador operacional, construído com 16 transistores além de mais dois transistores que formam um detector de variações on-line embutido no próprio dispositivo. Segundo os autores do referido trabalho, além das condições de polarização, o estado de operação dos transistores também influenciam nos efeitos transientes. O estado de operação é definido pelos autores do trabalho em termos da corrente entre dreno e fonte de um determinado transistor, podendo receber três classificações: HCS (*High Conduction State* – tradução: estado de condução elevada), LCS (*Low Conduction State* – tradução: estado de baixa condução) e ICS (*Intermediate Conduction State* – tradução: estado de condução intermediária). Os estados representam as amplitudes máximas e mínimas, além dos valores intermediários, das correntes conduzidas pelos transistores do circuito em sua operação normal.

Nos experimentos realizados pelos autores (ESPINOSA-DURAN et al., 2007), o amplificador operacional foi utilizado em uma configuração “seguidor de tensão” sendo que o limiar de detecção de erro ocasionado pelo SET foi considerado 1% de variação do sinal de saída em relação ao sinal de entrada ou em relação ao sinal obtido na saída do detector *on-line*. Uma série de conclusões interessantes foram obtidas no trabalho citado em relação às partes do amplificador mais sensíveis. A Figura 2.39 mostra a distribuição dos pulsos de corrente, com sua amplitude (variação em relação ao sinal livre de falhas), em relação aos transistores do circuito. Uma das observações realizadas foi que o efeito de um SET é mais pronunciado em transistores operando no estado LCS; por isso, os transistores menos sensíveis são os que formam o espelho de corrente do estágio de entrada (M1, M2, M7 e M8) e os mais sensíveis são os próprios transistores do estágio diferencial de entrada (M3 a M6), conforme a Figura 2.40. A Figura 2.41 mostra a simulação no domínio tempo correspondendo ao pior efeito observado em termos de desvio de amplitude (transistor M3).

Os autores não explicitaram no trabalho o valor da largura (tempo) do pulso injetado nos transistores, apesar de afirmarem que se tratava de SETs “rápidos”. No entanto, valores de tempo para as perturbações geradas são apresentados, sendo que um SET injetado no transistor M3 também foi o que apresentou o maior tempo de recuperação (em torno de 100 ns). Como conclusões adicionais os autores afirmam que os transistores PMOS, neste amplificador, são mais sensíveis a SETs do que os NMOS e que o circuito de detecção on-line embutido aumentou a taxa de detecção de SETs de 88,8% para 93,2%.

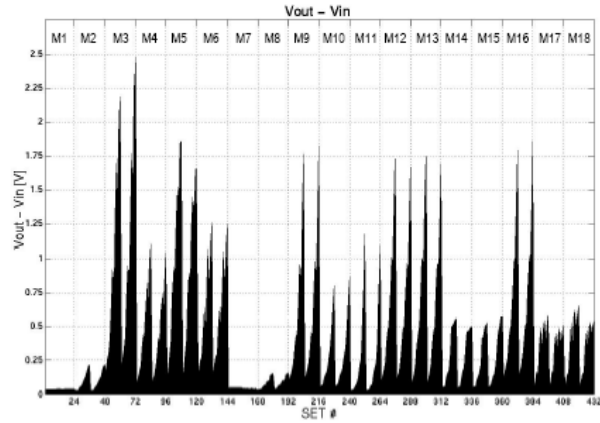


Figura 2.39: Amplitude do SET gerado em simulações através de injeção de um pulso de corrente em diferentes transistores do amplificador operacional estudado em (ESPINOSA-DURAN et al., 2007).

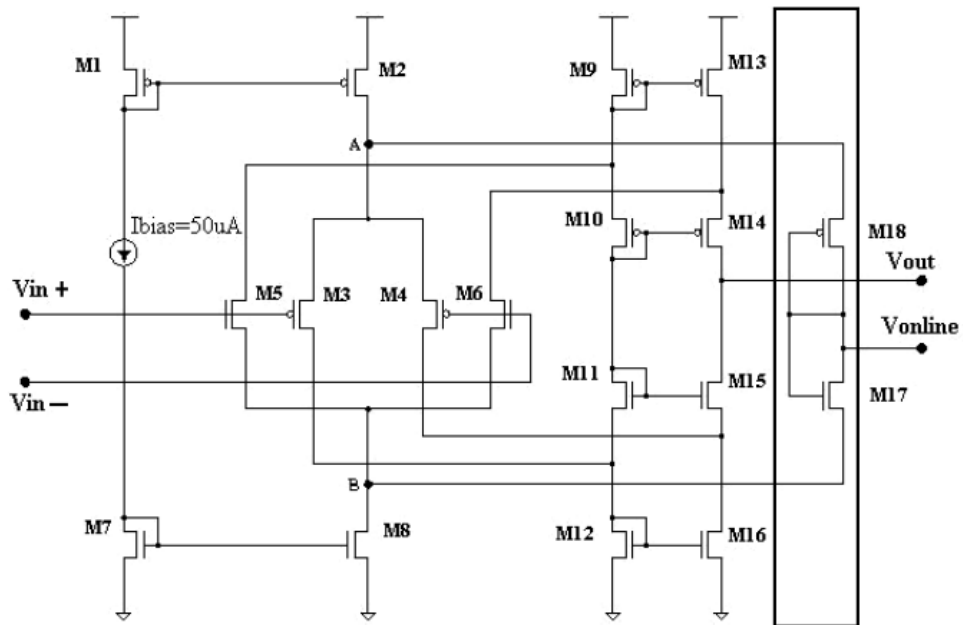


Figura 2.40: OpAmp considerado no trabalho de Espinosa-Duran et al., (2007).

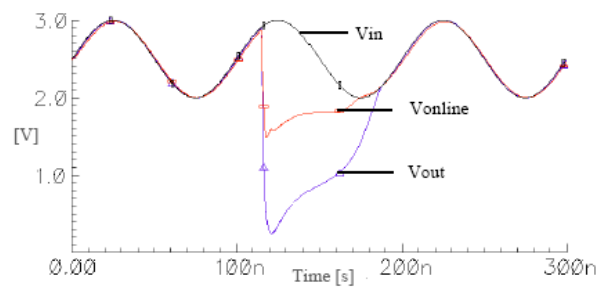


Figura 2.41: Pior efeito em termos de desvio de amplitude do sinal de saída (Vout) e do sinal na saída do detector on-line embutido (Vonline) observado nas simulações realizadas em (ESPINOSA-DURAN et al., 2007).

Savage et al. (2001) apresentaram uma compilação de diversos dados obtidos em testes de laboratório e no espaço (até 2001) no que concerne SETs em componentes COTS, incluindo vários componentes analógicos. Diversos outros trabalhos disponíveis na literatura são dedicados ao estudo dos efeitos da radiação em circuitos integrados complexos de sinal misto, como, por exemplo, conversores de dados e PLLs (TURFLINGER & DAVEY, 1990; TURFLINGER, 1996; TURFLINGER, DAVEY, BINGS, 1996; CHUNG, et al. 2006; JAULENT et al., 2008). Alguns destes trabalhos exploraram os efeitos da radiação em circuitos a capacitor chaveado, os quais serão discutidos na próxima seção deste capítulo.

2.5.3 Efeitos da radiação em circuitos a capacitores chaveados

Uma classe de circuito analógico de sinal misto muito importante para o escopo desta tese são os circuitos analógicos a capacitores chaveados. Poucos trabalhos focando os efeitos da radiação sobre este tipo de circuito foram encontrados nesta revisão bibliográfica e serão discutidos na sequência. Alguns trabalhos dedicados a blocos de menor granularidade como portas de transmissão e capacitores (elementos que juntamente com o amplificador operacional formam o coração dos FPAA's – circuito alvo desta tese) serão também discutidos.

Os circuitos a capacitores chaveados utilizam capacitores cuja corrente é controlada por chaves ativadas por sinais de relógio em contrafase não sobrepostos, e emulam o comportamento de um resistor (ALLEN & HOLBERG; 1987). Além da redução de área proporcionada por esta técnica, uma maior precisão é obtida em parâmetros funcionais do circuito analógico, pois estes geralmente são definidos em função de razão de capacitâncias. Embora um capacitor MOS isolado possa apresentar variações típicas de capacitância na ordem de 10%, essas razões de capacitâncias (por exemplo, C_1/C_2) apresentam uma variabilidade relativa de até 0,1%, pois são realizadas por capacitores de uma mesma vizinhança no CI, e, que são normalmente implementados com técnicas de projeto em nível de *layout* que aumentam o pareamento ou balanceamento (*matching*) entre os capacitores unitários utilizados (SOARES & PETRAGLIA, 2007).

A degradação do capacitor e dos transistores que compõe as chaves do circuito, principalmente através de fuga de corrente, irá fazer com que o capacitor perca carga armazenada. Assim, a resistência equivalente obtida pelo esquema tornar-se-á não linear, o

que não é desejável na maioria das aplicações analógicas (TURFLINGER, DAVEY, BINGS, 1996).

As chaves utilizadas em aplicações analógicas são, usualmente, portas de transmissão compostas por um transistor P e um N em paralelo (detalhes no capítulo 6). Em um trabalho de 2004, FRANCO et al. testaram os efeitos da radiação em chaves CMOS analógicas (portas de transmissão) para verificar a sua aplicabilidade a um circuito a ser utilizado no LHC (*Large Hadron Collider*) do CERN (Organização Européia de Pesquisa Nuclear - cuja sigla deriva do francês: *Conseil Européen pour la Recherche Nucléaire*). No referido trabalho modelos comerciais de chaves analógicas foram testados com nêutrons (fluência = 5×10^{13} n.cm⁻²) e dose total de centenas de Gy(ar) de radiação gama. Os efeitos observados após submeter as amostras à radiação incluem modificação do nível de tensão de controle necessária para mudar a chave de estado, permanência em um dado estado (aberta ou fechada), histerese, e variação na tensão mínima de alimentação necessária para o correto funcionamento da chave. Segundo os autores, este último fenômeno é devido à variação da tensão de limiar dos transistores irradiados (FRANCO et al., 2004), conforme discutido anteriormente, na seção 2.3.1.

Filtros a capacitores chaveados foram testados em relação à sua resposta à incidência de radiação (TID) em um trabalho de Espinosa-Duran et al. (2007b). Nesse trabalho o principal efeito considerado foi a variação da tensão de limiar dos transistores CMOS do filtro. Estas variações foram classificadas pelos autores como “defeitos induzidos por radiação”. Assim, os autores utilizaram uma técnica de teste orientada a defeitos, conhecida como OBT (*Oscillation-based Test* cuja tradução é “teste baseado em oscilação”) - proposta originalmente por Arabi & Kaminsaka, (1996) – para identificar filtros defeituosos. As análises foram baseadas em simulações de Monte Carlo cujo parâmetro variado foi a tensão de limiar dos transistores. O filtro testado foi um passa-baixas de segunda ordem, projetado para ser implementado com processo AMS-CMOS 0,8 μ m. Os valores considerados de variação da tensão de limiar dos transistores foram baseados em um trabalho experimental sobre esta tecnologia, no qual os desvios máximos observados para este parâmetro foram $\Delta V_{ThN} = -110\text{mV}$ e $\Delta V_{ThP} = 232\text{mV}$, para os transistores N e P respectivamente. A Figura 2.42 mostra o resultado obtido nas simulações para 10 iterações, considerando o sinal oscilatório de teste gerado pelo filtro, após a sua conversão em um oscilador (princípio básico da técnica OBT). Nesta figura é possível visualizar claras variações, principalmente na amplitude e no nível DC do sinal gerado. No entanto, na maioria das iterações da análise, o

circuito deixou de oscilar, configurando um comportamento catastrófico quando comparado com o comportamento sem falhas (oscilação sustentada) (ESPINOSA-DURAN et al., 2007b).

Circuitos a capacitor chaveado (SC, do inglês, *Switched-Capacitor*) processam o sinal em amostras, por isso também podem ser classificados como elementos de tempo discreto. O processamento de uma amostra do sinal analógico por um circuito a capacitor chaveado ocorre em duas etapas distintas, de acordo com as fases dos sinais de controle das chaves do circuito. Inicialmente ocorre a etapa de amostragem, quando os capacitores de entrada são carregados pelo sinal a ser processado. Na segunda etapa, a entrada é momentaneamente desconectada do capacitor, o qual é então conectado ao circuito, procedendo a fase de avaliação. Estas duas etapas são repetidas continuamente na frequência do relógio que controla o chaveamento do circuito.

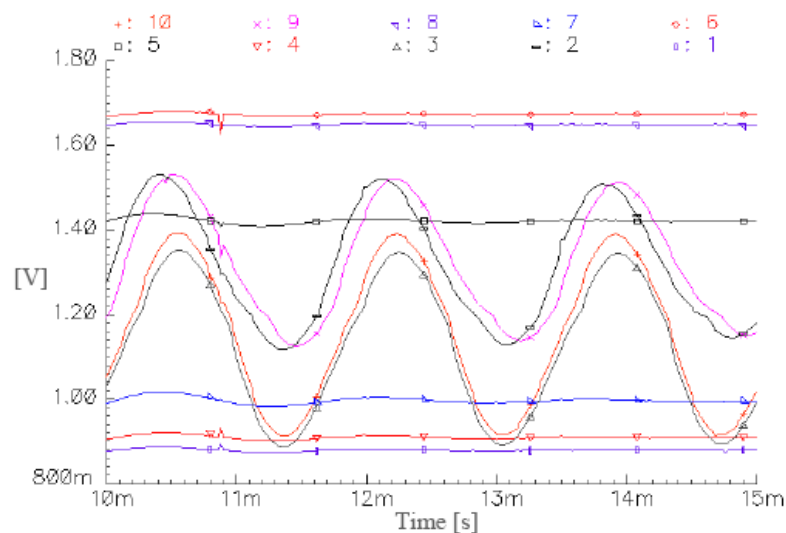


Figura 2.42: Resultados das simulações realizadas em (ESPINOSA-DURAN et al., 2007b) considerando 10 iterações da análise de Monte Carlo sobre o filtro testado, após sua conversão em um oscilador.

A Figura 2.43, adaptada de um trabalho de Fleming et al., (2008), mostra um exemplo de um circuito totalmente diferencial a capacitor chaveado – um amplificador baseado em um bloco OTA (*Operational Transconductance Amplifier*) – e seus circuitos equivalentes durante as fases de amostragem e avaliação. Observa-se na Figura 2.43 que durante a fase de avaliação a tensão diferencial na entrada do OTA é fornecida pelos nós flutuantes do capacitor. Assim, um SET que altere a carga dos capacitores na entrada do amplificador na fase de avaliação será percebido com mais facilidade pelo OTA, podendo ainda ser amplificado antes de propagar-se até a saída do circuito (FLEMING et al., 2008). De fato, os

autores simularam SETs em todos os nós do circuito, sendo que os pulsos transientes de maior magnitude ocorreram justamente nos nós de entrada do amplificador. Baseado nestes dados os autores propuseram uma modificação de projeto, incluindo um circuito de compensação, para aumentar a tolerância do circuito a eventos transientes induzidos por radiação.

Circuitos SC ainda não foram exaustivamente estudados em relação à sua resposta aos efeitos da radiação. No capítulo 6 desta tese o fenômeno de redistribuição de carga em bancos de capacitores utilizados em circuitos a capacitor chaveado é investigado.

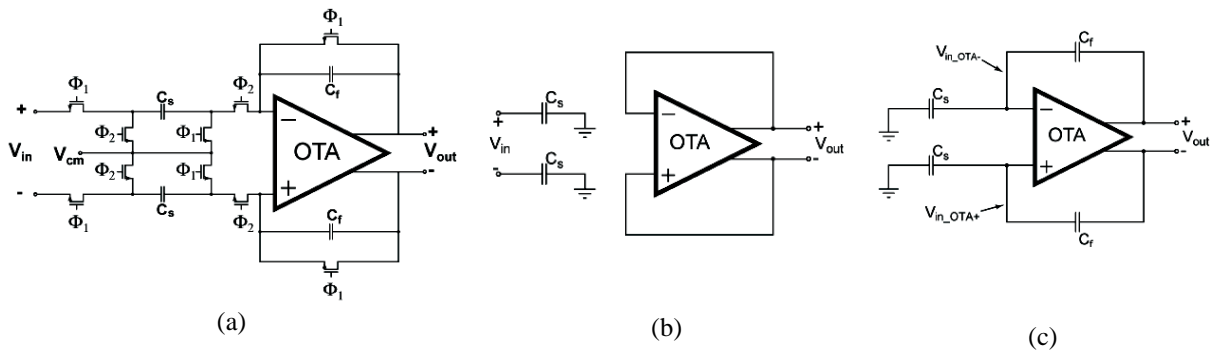


Figura 2.43: (a) Exemplo de amplificador a capacitor chaveado, com as fases dos sinais de controle explicitadas por Φ_1 e Φ_2 , e os seus circuitos equivalentes durante as fases de amostragem (b) e avaliação (c). Figura compilada de (FLEMING et al., 2008)

2.6 INFLUÊNCIA DA TECNOLOGIA DE FABRICAÇÃO NOS EFEITOS DA RADIAÇÃO

Os efeitos da radiação em componentes eletrônicos têm relação direta com a tecnologia de fabricação e a redução das dimensões dos transistores (*scaling*). Por um lado, a redução das dimensões dos transistores dos nós tecnológicos atuais aumenta sua vulnerabilidade à SEEs, pois as tensões de operações, as capacitâncias e cargas associadas aos nós do circuito e a margem de ruído diminuem, facilitando a inversão de estados ou sinais do circuito (NARASIMHAM et al., 2007). Por outro lado a redução da espessura das camadas de óxido, de um modo geral, torna os circuitos menos vulneráveis aos efeitos de longo prazo ocasionados por TID (SCHWANK et al., 2008), conforme já mencionado na seção 2.5.1, em uma discussão sobre os trabalhos de Manghisoni et al. (2003) e Re et al. (2006), que identificaram um significativo aumento na tolerância a efeitos de dose total em tecnologias de CIs analógicos mais recentes.

Um dos primeiros estudos que relacionaram a espessura do óxido com os efeitos da radiação ionizante no desvio da tensão de limiar mostra que, para as tecnologias da época

(meados dos anos 70), o desvio na tensão de limiar era diretamente proporcional ao cubo da espessura do óxido (FOSSUM; DERBENWIK; GREGORY, 1975). Já, dados mais recentes apontam para uma relação quadrática (SCHRIMPF, 2007), ou aproximadamente quadrática ($t_{ox}^{1,5}$ a $t_{ox}^{1,8}$) (SCHWANK et al., 2008), ou seja:

$$\Delta V_T \propto t_{ox}^2 \quad (2.11)$$

Aparentemente, poder-se-ia deduzir, de maneira equivocada, que existe uma discrepância entre tal proporcionalidade e as equações 2.3 e 2.4 (apresentadas na seção 2.3), onde a espessura do óxido aparece no denominador da expressão que determina o desvio na tensão de limiar. No entanto a dependência da densidade de cargas aprisionadas [$\rho_{ot}(x)$ e $\rho_{it}(x)$] com a espessura da camada de óxido não está explicitada nestas equações. Conforme discutido anteriormente, a recombinação inicial interfere significativamente na densidade de cargas aprisionadas. Como este parâmetro depende do campo elétrico, e o campo elétrico será maior em óxidos mais finos, a dependência do desvio na tensão de limiar com a espessura da camada de óxido será diretamente proporcional (SCHRIMPF, 2007), conforme ilustrados na Figura 2.44 (SCHWANK et al., 2008).

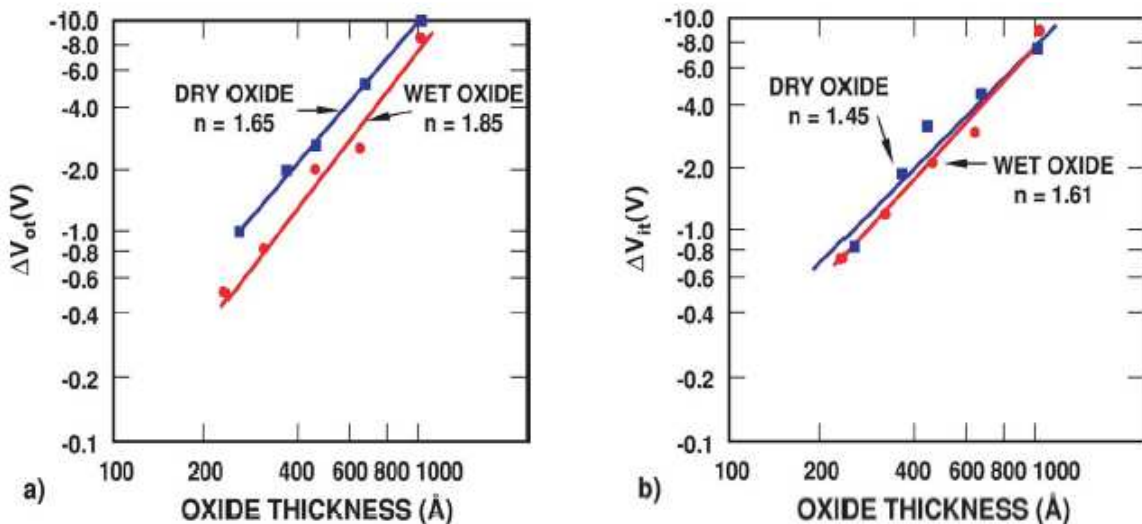


Figura 2.44: Dependência da espessura do óxido no desvio da tensão de limiar ocasionado pelo acúmulo de carga no óxido (a) na interface SiO₂/Si. Figura compilada de (SCHWANK et al., 2008).

A redução da espessura do óxido de porta nas tecnologias recentes, associada à redução das tensões de alimentação implica em uma menor carga armazenada no capacitor de porta

dos transistores quando este se encontra em um estado estático (aberto ou fechado). Além disso, a redução das dimensões dos transistores também reduz as capacitâncias parasitas associadas. Sendo assim, a carga necessária para gerar uma corrente que carregue ou descarregue as capacitâncias associadas aos nós do circuito, devido ao impacto de uma partícula energética nestes nós (Q_{cri}), também é menor (SHIVAKUMAR et al., 2002). Assim, tecnologias modernas são, de um modo geral, mais vulneráveis a SEUs e SETs.

O aumento da velocidade de operação (frequência de relógio) também pode contribuir para o aumento da taxa de erros uma vez que o efeito de mascaramento por janela de amostragem de SETs é também reduzido. Quanto maior for a frequência de relógio de um registrador do circuito, maior será a probabilidade de um SET (propagado até a entrada deste registrador) ser por ele capturado e armazenado (BAZE & BUCHNER, 1997; NARASIMHAM et al., 2007).

Outro efeito da integração em ultra larga escala (principalmente em circuitos de memória) é o aumento da densidade de transistores (e por consequência de áreas ativas) de um CI, o que aumenta a probabilidade de ocorrer um SEU ou SET, aumentando a seção de choque dos circuitos integrados. No entanto, Johnston (1998) traçou um contraponto à afirmação de que as reduções de dimensões e aumento na integração contribuem apenas negativamente no que diz respeito aos efeitos da radiação. Se por um lado a seção de choque de um dado circuito de memória com alta densidade de células é maior do que a de memórias fabricadas em tecnologias mais antigas, a taxa de erro por bit (SER/bit), segundo Johnston, tende a ser menor em memórias densas, justamente pela grande quantidade de bits. O autor também afirma que em algumas tecnologias (como, por exemplo, CMOS epitaxial) a redução da espessura da camada de substrato reduz a profundidade de penetração de uma partícula incidente, reduzindo também o volume, e por consequência, a intensidade da coleta de carga.

Tecnologias específicas também podem ser empregadas para aumentar os níveis de tolerância à radiação dos circuitos integrados. Um exemplo é a tecnologia SOI (*Silicon on Insulator*) que apresenta uma maior imunidade à radiação ionizante, tanto à efeitos transientes, quanto à TID (SCHWANK et al., 2008). A Figura 2.45, mostra a comparação entre a seção transversal de transistores das tecnologias CMOS Bulk e SOI, onde é possível visualizar que o substrato na tecnologia SOI é isolado dos transistores através de uma camada de óxido (*buried oxide*, cuja tradução literal é “óxido enterrado”). Embora esta camada de óxido também sofra o acúmulo de cargas induzidas por acúmulo de dose total, o transistor pode ser projetado para operar em modo de depleção parcial, o que reduz significativamente o

efeito do acúmulo de cargas sobre as características elétricas do transistor (como V_T , por exemplo), pois, neste modo o canal do transistor não se entende até a região do óxido enterrado.

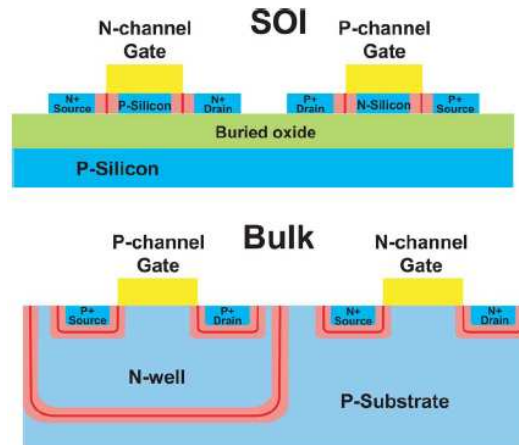


Figura 2.45: Ilustração da seção transversal de transistores MOS SOI e *Bulk*. Figura extraída de (SCHWANK et al., 2008).

Quanto aos efeitos de SEEs, a tecnologia SOI também apresenta maior tolerância, pois, sendo o substrato isolado do transistor principal pela camada de óxido enterrado, a região de coleta de cargas fica restrita a um volume menor (MUSSEAU, 1996). A Figura 2.46 mostra a comparação das intensidades das correntes geradas pelo impacto de um íon com energia de 6,2 MeV em transistores MOS *bulk* e SOI de diferentes tecnologias.

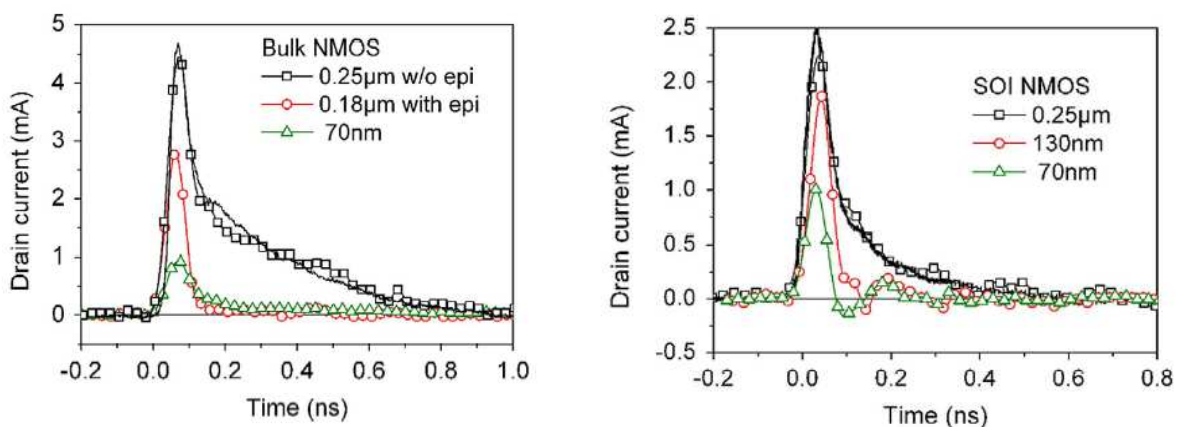


Figura 2.46: Comparação da corrente gerada pela incidência de íon de 6,2MeV em tecnologias bulk e SOI de diferentes nós tecnológicos. Figura compilada de (FERLET-CAVROIS et al., 2006).

A Figura 2.46 mostra que a corrente gerada nas tecnologias *bulk* é maior do que as observadas para dispositivos SOI. Também é possível observar uma redução no valor de pico do pulso de corrente em tecnologias de dimensões menores, reflexo da diminuição na tensão de alimentação (2 V, 1,8 V, 1,5 V e 0,7 V para as tecnologias 0,25 μm , 0,18 μm , 130 nm e 70 nm, respectivamente), e, segundo Ferlet-Cavrois et al. (2006), deve-se também ao aumento da dopagem do substrato. Outro fator observado nestas curvas é a ausência, ou redução da componente de coleta de cargas por difusão nas tecnologias “menores”, o que corrobora com a tese de Musseau (1996), acima citada, de que a redução das dimensões de um transistor reduz a coleta de cargas.

Pelas razões expostas acima, a tecnologia SOI é uma alternativa de proteção em nível de tecnologia contra os efeitos da radiação, conforme será discutido no próximo capítulo, o qual apresenta as principais técnicas e metodologias de mitigação dos efeitos da radiação em diferentes níveis de implementação.

3. TÉCNICAS DE PROTEÇÃO À RADIAÇÃO PARA CIRCUITOS ELETRÔNICOS

O capítulo anterior apresentou os efeitos da radiação em circuitos eletrônicos analógicos e digitais, deixando clara a necessidade do desenvolvimento e aprimoramento de técnicas e metodologias de projeto e de teste para mitigar tais efeitos, ou tornar os circuitos eletrônicos tolerantes a um dado nível de radiação pré-definido. Neste contexto, dependendo da fase de concepção de um dado circuito ou sistema, a proteção contra os efeitos da radiação pode ser implementada em três diferentes níveis em um circuito eletrônico (FACCIO, 2007):

(a) Processo ou tecnologia (*hardening-by-technology*): quando um determinado processo ou tecnologia de fabricação são alterados ou quando uma tecnologia que apresenta características intrínsecas de tolerância à radiação, é empregada. Um exemplo é a tecnologia SOI, discutida no capítulo anterior.

(b) Projeto (*hardening-by-design*): quando a estrutura ou lógica de um determinado circuito é alterada em nível de projeto, a fim de se implementar tolerância à TID ou SEEs.

(c) Sistema (*hardening-by-system*): quando a implementação em nível de sistema é alterada. Um exemplo é a redundância (temporal ou espacial) conforme será descrito na sequência do trabalho.

Alguns autores de trabalhos pesquisados consideram apenas as duas primeiras classificações, dividindo a técnicas de alteração de projeto em nível de *layout* (ou dispositivo) e em nível de sistema.

3.1 PROTEÇÃO EM NÍVEL DE PROCESSO OU TECNOLOGIA

No capítulo anterior, um estudo sobre a influência da tecnologia de fabricação dos circuitos integrados foi apresentado, mostrando que parâmetros dependentes da tecnologia (como dimensões dos transistores e espessura dos óxidos de isolamento) podem influenciar no nível de tolerância à radiação de um determinado circuito. Sendo assim, é intuitivo pensar que a escolha de uma determinada tecnologia ou a otimização de um dado processo de fabricação podem ser consideradas como estratégias de proteção contra os efeitos da radiação (DERBENWICK & GREGORY, 1975).

Modificações na etapa de crescimento de óxido de porta em um processo de fabricação de transistores PMOS de porta metálica foram propostas por Aubuchon (1971) como forma de aumentar a tolerância à radiação destes transistores. O autor mostrou que as condições

ambientais (principalmente a temperatura de oxidação e recozimento) e o método de deposição da porta metálica apresentaram uma significativa influência no nível de tolerância à radiação. De fato, dada a grande dependência da intensidade dos efeitos da radiação com o óxido de porta dos transistores MOS, os primeiros estudos sobre a otimização do processo de fabricação foram direcionados a estruturas e materiais alternativos para a camada de isolamento de porta e ao material da própria porta em si (AUBUCHON, 1971). Diversos outros estudos propuseram técnicas e utilização de diferentes materiais para reduzir os efeitos do acúmulo de cargas nas camadas isolantes (principalmente o desvio na tensão de limiar), como, por exemplo, (DERBENWICK & GREGORY, 1975; McGARRITY, 1980; DELANUS et al., 1993).

Conforme discutido no capítulo anterior, a tecnologia SOI tem sido empregada na fabricação de componentes tolerantes à radiação. A razão para tanto é o isolamento do transistor em relação ao substrato, o que reduz a coleta de cargas em eventos do tipo SEE. Sendo assim, a intensidade dos efeitos ocasionados pela incidência de raios cósmicos em aplicações críticas pode ser reduzida com o emprego de tal tecnologia. No entanto, o óxido enterrado da tecnologia SOI também sofre com os efeitos de TID sendo necessário aplicar técnicas de fabricação ou *layout* para reduzir estes efeitos. Um exemplo é o implante de silício no óxido enterrado, a fim de compensar as cargas acumuladas (positivas) através destes implantes que apresentam carga negativa (MRSTIK et al., 2000).

A evolução da tecnologia de fabricação dos circuitos integrados tem adicionado aos transistores atuais uma natural tolerância a efeitos de dose total, devido à redução significativa das espessuras de óxido de isolamento, conforme abordado no capítulo anterior. Segundo Faccio (2007), tecnologias submicrométricas, com espessura de óxido da ordem de 2 nm, apresentam tolerância intrínseca a doses de até dezenas de Mrad.

Modificações na tecnologia de fabricação podem também reduzir a vulnerabilidade a SEEs, como, por exemplo, a remoção de BPSG (*Borophosphosilicate glass*) do processo, o que elimina a possibilidade de *soft errors* ocasionados pela interação de nêutrons térmicos com o material (NICOLAIDIS, 2005).

Técnicas de proteção baseadas no processo de fabricação não fazem parte do escopo desta tese, por isso não serão abordadas com detalhes. Nas próximas seções serão abordadas técnicas de proteção em níveis de projeto (transistores ou *layout* e blocos básicos) e sistema.

3.2 PROTEÇÃO EM NÍVEL DE PROJETO

A proteção em nível de projeto considerada neste trabalho diz respeito à alteração de *layout* de transistores e de topologias de blocos comumente empregados na concepção de circuitos integrados.

Uma forma de diminuir os efeitos de dose total em transistores MOS é modificar sua geometria, a fim de diminuir a fuga de corrente induzida por radiação. Conforme visto na seção 2.3.2, o aprisionamento de cargas nos óxidos de isolamento e na interface SiO_2/Si pode induzir inversões no canal, ou até mesmo canais parasitas em um transistor ou entre transistores, ocasionando fuga de corrente. Tal efeito ocorre tanto em transistores com isolamento do tipo LOCOS quanto em isolamento do tipo STI.

Uma metodologia que pode ser empregada para reduzir drasticamente a fuga de corrente ocasionada por acúmulo de dose total é conhecida como ELT (*Enclosed Layout Transistor*) (SNOEYS et al., 2000). Nesta topologia de transistor, o terminal de fonte é totalmente circundado pela região da porta de polysilício. Deste modo, não há óxido de campo em contato simultâneo com fonte e dreno, por onde poderia surgir um canal parasita (induzido pelo acúmulo de cargas). A Figura 3.1 mostra um layout tradicional de um transistor MOS (à esquerda), bem como os caminhos por onde é possível existir fuga de corrente gerada por acúmulo de cargas no óxido. Na mesma figura (à direita), é ilustrado o layout de um transistor ELT onde se observa que não existem os mesmos caminhos de fuga de corrente entre dreno e fonte.

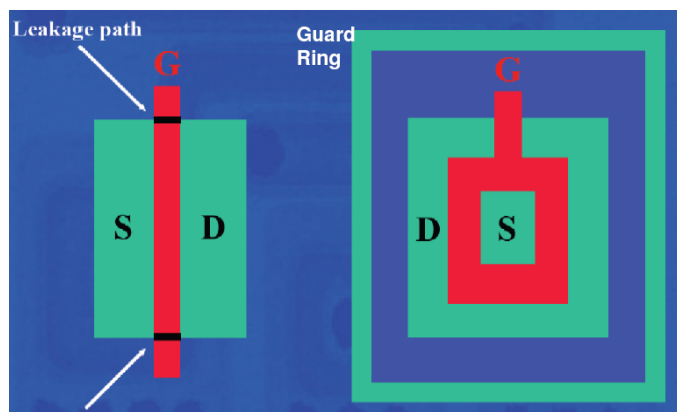


Figura 3.1: Layout tradicional de um transistor MOS (esquerda) e layout do tipo ELT (direita). Figura extraída de (WIRTH, 2009).

A Figura 3.1 evidencia que, além da forma em “anel” da porta do transistor ELT, com um dos terminais “isolado” por este anel, uma proteção extra pode ser adicionada. Esta proteção é o anel de guarda (*guard ring*) e sua função é impedir a fuga de corrente entre dispositivos vizinhos, conforme ilustrado na Figura 3.2. Isso ocorre, pois, eventuais canais parasitas induzidos pelo acúmulo de cargas nos óxidos de campo são interrompidos pelo anel de guarda, evitando então o fluxo de corrente de fuga entre transistores vizinhos.

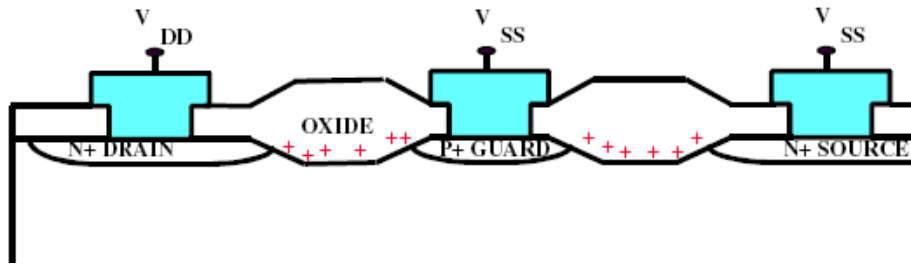


Figura 3.2: Detalhe do anel de guarda em transistores ELT interrompendo possíveis caminhos de fuga de corrente. Figura extraída de (WIRTH, 2009)

Detalhes do *layout* de um par de transistores ELT são mostrados na Figura 3.3. Já um exemplo do nível de tolerância à dose total alcançado por esta solução é mostrado na Figura 3.4, extraída de um trabalho de Snoeys et al. (2000). Nesta figura observa-se a relação da corrente de dreno (em escala logarítmica) com a tensão de porta, antes e a após a exposição à radiação, para um transistor construído com *layout* padrão e outro (com dimensões equivalentes) com *layout* ELT. Ambos dispositivos foram irradiados com raios-X de 10 keV acumulando uma dose total de 2 Mrad. Segundo os autores, o transistor com *layout* tradicional apresentou níveis não toleráveis de corrente de fuga quando a dose acumulada ultrapassou 40 krad. O *layout* ELT também diminui a suscetibilidade do transistor à SEL.

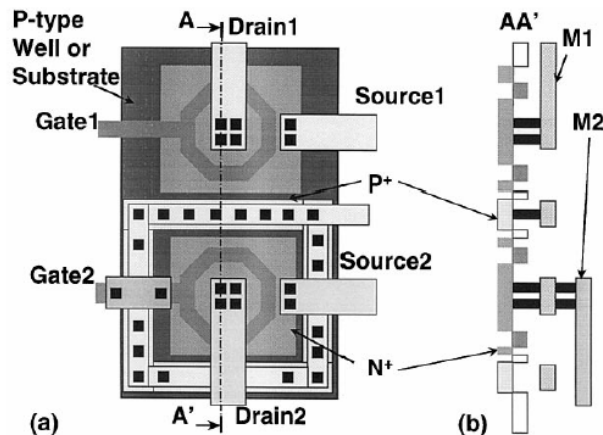


Figura 3.3: (a) *Layout* detalhado de transistores ELT e (b) sua vista em corte. Figura extraída de (SNOEYS et al., 2000).

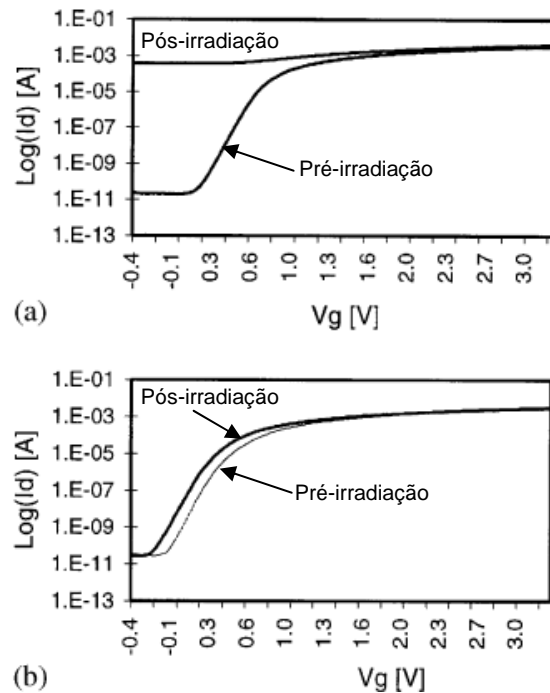


Figura 3.4: Comparação entre transistores de mesma tecnologia e relação W/L quanto à corrente de fuga ocasionada pela exposição a 2 Mrad de radiação acumulada: (a) transistor com layout tradicional e (b) transistor ELT. Figura extraída de (SNOEYS et al., 2000)

Apesar das vantagens da técnica ELT, que é independente da tecnologia de fabricação, algumas desvantagens devem ser levadas em consideração. O modelo do transistor utilizado em simulações e no seu equacionamento deve ser diferente do modelo de um transistor tradicional, pois a capacitância de porta para uma dada razão W/L é maior do que a capacitância de um transistor construído com *layout* padrão. Além disso, no transistor ELT não existe simetria entre dreno e fonte, o que pode interferir no casamento de dispositivos. Outro fator limitante é o aumento da largura mínima (W) que se consegue realizar, dada a geometria do transistor ELT. Finalmente, o transistor ELT ocupa uma área maior do que o transistor tradicional para uma mesma razão W/L, o que reduz a densidade de integração deste dispositivo em especial (FACCIO, 2007).

Efeitos singulares (SEE) podem também ser mitigados com alteração em nível de projeto, principalmente em circuitos de memórias e registradores. Dada a grande densidade dos circuitos de memória atuais e as implicações da redução das dimensões dos transistores (que possibilitam esta alta integração), grande parte da taxa de erros ocasionada por SEEs tem origem em blocos de armazenamento (NICOLAIDIS, 2005). A solução mais utilizada para proteção de memória em sistemas digitais complexos consiste na utilização de códigos detectores e corretores de erro (ECC do inglês, *Error Correcting Codes*) como, por exemplo,

paridade e código de Hamming. A utilização de ECC implica em aumento de área e de consumo de energia, principalmente quando utilizados códigos capazes de corrigir mais de um erro simultâneo. No entanto, para as taxas de erro observadas na prática, códigos como o de Hamming, capaz de corrigir um único bit, configuram uma boa técnica para a proteção de memórias quando considerado o compromisso “aumento de área *versus* tolerância a SEEs” (NICOLAIDIS, 2005).

A detecção e correção de erros induzidos por SEUs em memórias também pode ser alcançada utilizando-se sensores que monitoram a corrente consumida pelas células. De fato, o monitoramento da corrente consumida por um circuito para detectar falhas é um método comum de teste *on-line*, conhecido como IDDQ (MAO et al., 1990). Durante a ocorrência de um SEU uma corrente tipicamente maior do que a corrente consumida por uma célula de memória (em estado estático, ou seja, quando não estão sendo escritos novos valores) pode ser detectada por sensores denominados BICS (*Built-In Current Sensors* – do inglês: sensor de corrente integrado) (FELTHAM et al., 1988). A utilização destes sensores nas linhas de alimentação vertical (coluna de bits) permite a identificação da posição do bit potencialmente invertido, não indicando a palavra afetada. No entanto, a associação deste método com a utilização do método da paridade permite a detecção e correção de uma única inversão de bit na memória (VARGAS & NICOLAIDIS, 1994). O ponto negativo desta técnica é que a localização da célula afetada só será obtida durante a leitura da palavra alterada. Se uma nova inversão de bit ocorrer nesta mesma palavra não será possível corrigir o seu valor. Logo, esta técnica pode não ser efetiva em ambientes hostis, onde a taxa de erros singulares (SER) pode ser elevada.

Os sensores de corrente podem ser também associados ao substrato dos circuitos CMOS, como proposto por Neto et al. (2005), em uma variante desta técnica que foi denominada *Bulk-BICS* (BICS de substrato). De um modo geral, é possível utilizar sensores de corrente para a detecção de correntes transientes ocasionadas pelo impacto de partículas energéticas no silício, independentemente da funcionalidade do circuito (WIRTH & FAYOMI, 2007). No entanto, a correção dos erros que possam surgir em decorrência deste pulso de corrente transiente demanda a aplicação de técnicas distintas. Um exemplo é a utilização de *Bulk-BICS* em microprocessadores, associada à recomputação de instruções quando uma corrente anormal for detectada pelo sensor, conforme proposto por Leite et. al. (2009).

As células de armazenamento utilizadas como base para a construção de memórias e até mesmo na implementação de *latches* e *flip-flops* também podem ter sua estrutura alterada visando à redução da SER decorrente da exposição à radiação. *Flip-Flops* tradicionais (topologia “mestre-escravo”) ocupam uma área significativa se comparados às células de memória SRAM. Por isso, estas células são preferidas na implementação de grandes registradores de deslocamento, utilizando uma variante conhecida como *Dual-Ported SRAM* (WESTE & HARRIS, 2004). Por este motivo, além de sua utilização como memória RAM de sistemas complexos, células do tipo SRAM são também utilizadas para armazenar o *bitstream* de programação de dispositivos programáveis (por exemplo, FPGAs e FPAAs). Logo, as técnicas de proteção direcionadas a este bloco de memória são de grande importância para este trabalho.

Existem diversas técnicas de proteção em nível de projeto voltadas diretamente à arquitetura de células de memória SRAM e registradores. Alguns trabalhos propõem alterações na estrutura destas células e, em alguns casos, as dimensões dos transistores são especificadas de tal modo a aumentar a tolerância à radiação.

Os primeiros trabalhos a respeito de células de memória SRAM tolerantes à radiação propuseram a utilização de resistores na realimentação dos dois inversores da célula (MNICH et al., 1983; WEAVER et al. 1987), conforme ilustrado na Figura 3.5. Os resistores adicionados, em conjunto com a capacitância associada aos nós dos inversores da célula de memória, configuram uma constante de tempo, que, se corretamente dimensionada, pode filtrar o pulso transiente gerado por um SEE (evitando que um SEU aconteça). As desvantagens desta técnica são a degradação dos tempos de acesso (escrita e leitura) imposta por esta constante de tempo e a limitação da proteção a pulsos transientes de uma determinada largura (duração).

Outros trabalhos a respeito de células de memória tolerantes à radiação propuseram a inserção de transistores adicionais, a fim de implementar algum tipo de redundância, como por exemplo, na célula denominada HIT (*Heavy Ion Tolerant*), proposta por Velazco et al. (1994), a qual é construída com 12 transistores. Modificações de arquitetura (principalmente através de inversores redundantes para o armazenamento da informação em diferentes nós) e no dimensionamento de transistores, também foram propostas em diversos outros trabalhos (ROCKETT, 1988; WHITAKER, CANARIS, LIU, 1991; FACCIO et al., 1999; MONNIER et al., 1999).

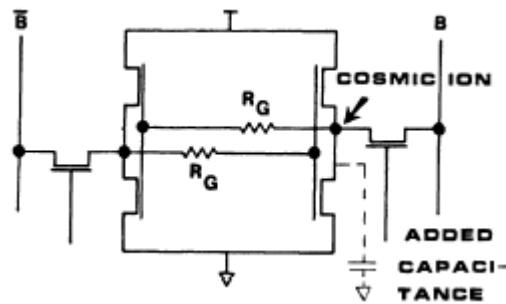


Figura 3.5: Célula de memória modificada, com a inclusão de resistores de realimentação, para tolerância a SEU. Figura extraída do trabalho de MNICH et al. (1983).

Um trabalho de (CALIN, NICOLAIDIS, VELAZCO, 1996) propôs uma arquitetura de célula de memória tolerante à SEU que, ao contrário da maioria das propostas apresentadas nos trabalhos já citados, pode ser integrada utilizando-se o tamanho mínimo dos transistores. Esta célula de memória, denominada DICE (*Dual Interlocked Cell* – do inglês, célula dual intercadeada), é composta por elementos de armazenamento redundantes, interligados de tal forma que, quando um nó tiver seu valor lógico invertido por uma corrente transiente, dois outros nós da célula permanecerão com seus valores de tensão inalterados e restabelecerão os valores corretos dos nós afetados (Figura 3.6). Segundo um dos autores que propuseram esta arquitetura de célula (NICOLAIDIS, 2005), a comparação de um *Flip-Flop* baseado na célula DICE (integrado em uma tecnologia de 90 nm) com um *Flip-Flop* disponível comercialmente, mostrou um aumento de área de 81% além de um pequeno aumento no parâmetro temporal “tempo de descida”.

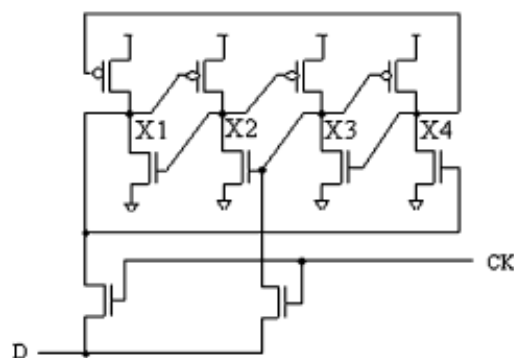


Figura 3.6.: Célula básica de armazenamento tolerante à SEU, proposta por (CALIN, NICOLAIDIS, VELAZCO, 1996). Figura Extraída de (NICOLAIDIS, 2005).

De fato, o aumento de área nas soluções propostas para mitigar os efeitos de SEU em células de memória é um dos principais gargalos da maioria das técnicas existentes. Embora

este aumento de área possa ser tolerado em matrizes de memórias ou registradores de deslocamento de tamanho moderado, sua utilização em grande escala pode representar um aumento significativo de área e energia consumida.

Embora células de memória SRAM sejam circuitos digitais, a sua utilização em circuitos analógicos programáveis e de capacitores chaveados tem se tornado cada vez mais comum. Tais circuitos são especialmente importantes para este trabalho, visto que um dos dispositivos investigados (que será descrito no capítulo 4) utiliza a técnica de capacitores chaveados e sua memória de programação é do tipo SRAM.

Em um trabalho de Gingrich et. al. (2003), um ASIC (*Application Specific Integrated Circuit* – do inglês, circuito integrado de aplicação específica) destinado ao controle de uma matriz de chaveamento de um circuito baseado em capacitores chaveados – que seria então empregado em uma parte dos circuitos de instrumentação do LHC (no CERN) – foi testado quanto aos efeitos da radiação (TID, NIEL, SEU e SET). Neste circuito uma matriz de capacitores chaveados é utilizada como *pipeline* analógico, para armazenar amostras de um sinal antes do mesmo ser convertido para o domínio digital. No circuito em questão a matriz de capacitores é controlada por células de memória SRAM. Os autores utilizaram diferentes técnicas de proteção no protótipo do circuito integrado: layout ELT e anéis de guarda para os transistores, códigos corretores de erro na memória SRAM e redundância modular tripla em registradores críticos do sistema (GINGRICH et. al., 2003). Além da memória que define o status das chaves de um circuito SC, a lógica digital de controle destas chaves também pode manifestar efeitos indesejados induzidos pela radiação.

Uma particularidade de circuitos SC também deve ser observada quando considerada sua vulnerabilidade a efeitos transientes. Na seção 2.4, foi apresentada uma situação em que blocos a capacitores chaveados tornam-se especialmente vulneráveis a efeitos transientes. Durante a fase de avaliação do sinal o amplificador operacional pode ter a tensão de seus nós de entrada mantida apenas pelos nós dos capacitores da matriz de capacitores chaveados e um evento transiente nestes nós pode alterar a tensão do par diferencial de entrada, gerando um pulso transiente amplificado na saída. Esta condição foi exemplificada na Figura 2.43 (FLEMING et al., 2008). Em alguns casos, o pulso transiente pode cortar o funcionamento de um dos transistores do par diferencial, fazendo com que a corrente que circula pelo par seja direcionada em sua totalidade ao transistor não afetado do par. No referido trabalho os autores propuseram uma técnica que consiste na duplicação dos transistores do par diferencial de entrada do amplificador OTA utilizado em um amplificador *Sample-and-Hold* a capacitores

chaveados. A Figura 3.7 mostra o circuito original, bem como o diagrama do OTA, destacando o par diferencial de entrada.

Pela proposta dos autores, cada transistor do par diferencial de entrada do OTA é dividido em dois transistores com metade da razão W/L do transistor original e são arranjados em paralelo, conforme ilustrado na Figura 3.8. A duplicação do circuito diferencial de entrada demanda a duplicação do circuito de chaveamento, como pode ser visto na mesma figura. O resultado desta duplicação é que, se apenas um dos transistores duplicados de cada entrada do par for atingido por um pulso transiente, o transistor adicional tende a compensar o efeito passando a conduzir uma corrente maior, e o equilíbrio no par diferencial é mantido, conforme exemplificado na Figura 3.9.

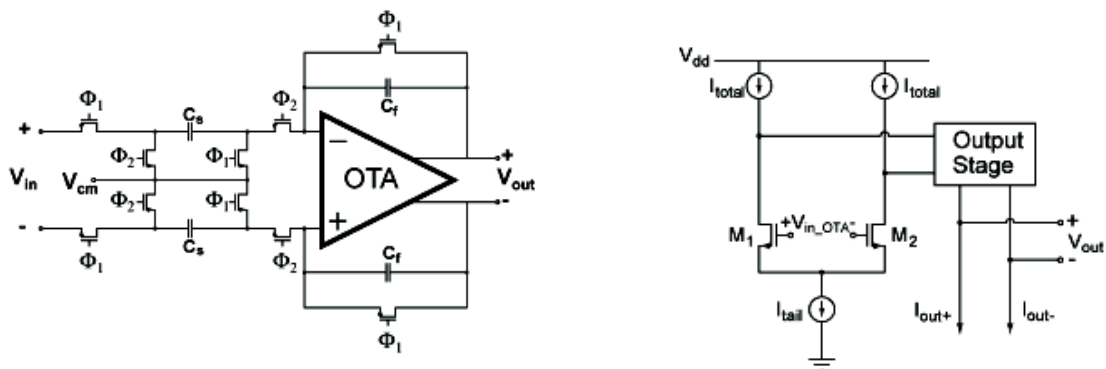


Figura 3.7: Circuito a capacitor chaveado considerado em (FLEMING et al., 2008) e detalhe do bloco OTA. Figura compilada de (FLEMING et al., 2008).

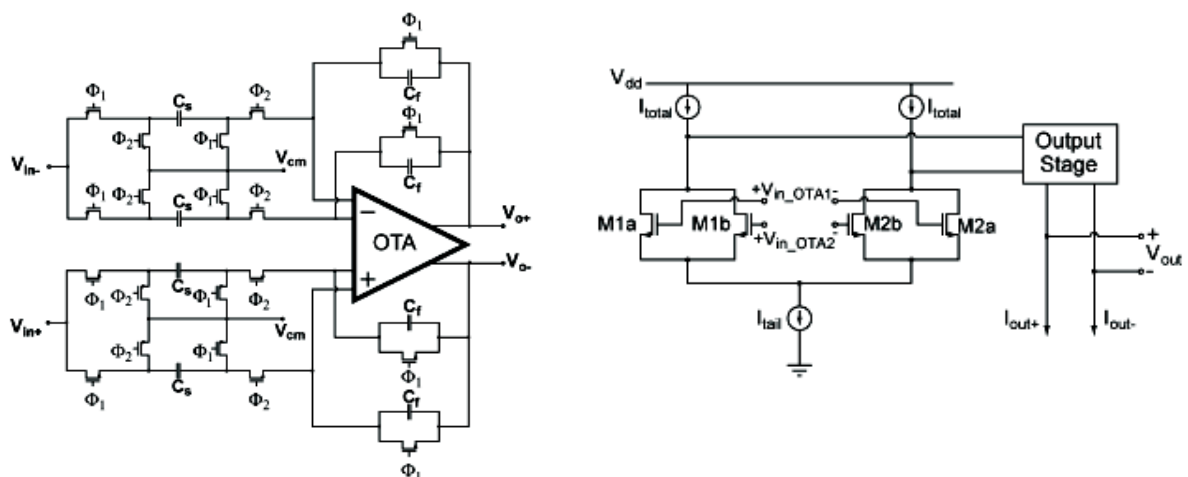


Figura 3.8: Duplicações nos circuitos de entrada do OTA e na rede de capacitores chaveados, para compensação de efeitos transientes no par diferencial de entrada do amplificador. Figura compilada de (FLEMING et al., 2008).

Para garantir que apenas um dos transistores duplicados sofra os efeitos de um SET ocasionado pela ionização do semicondutor, os mesmos necessitam estar fisicamente separados e posicionados em poços distintos. Além disso, existe um aumento de área associada à duplicação. Embora os transistores e capacitores duplicados tenham a metade das dimensões de seus equivalentes não duplicados, os transistores de chaveamento necessitam ser também duplicados, e a complexidade das interconexões também aumenta (FLEMING et al., 2008).

A redundância é um recurso muito utilizado para introduzir a característica de tolerância às falhas em dispositivos eletrônicos, inclusive visando à proteção aos efeitos da radiação. Na próxima seção serão abordadas técnicas de proteção, em sua maioria baseadas em redundância, porém, implementadas em nível de sistema.

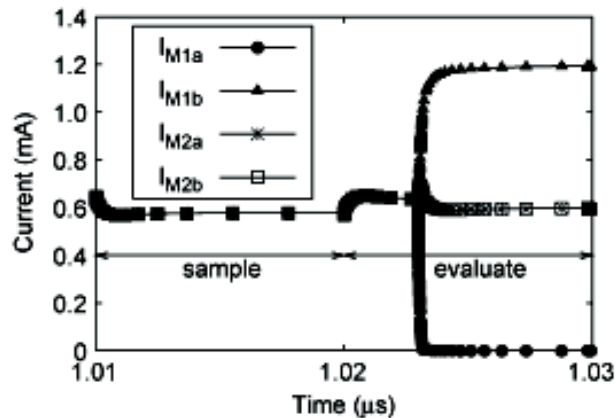


Figura 3.9: Distribuição da corrente nos transistores duplicados do par diferencial durante as fases de amostragem e avaliação (simulação), quando um SET que forçou o desligamento do transistor M1a foi compensado pelo aumento da corrente em M1b, mostrado na Figura 3.8. Figura extraída de (FLEMING et al., 2008).

3.3 PROTEÇÃO EM NÍVEL DE SISTEMA

Algumas das técnicas de proteção apresentadas na seção anterior consistem na adição de elementos redundantes em um determinado bloco circuital para torná-lo resiliente no que diz respeito aos efeitos da radiação. Os principais exemplos são as memórias protegidas por códigos corretores de erro, em cujas palavras são adicionados bits que não fazem parte da informação original, para acomodar a codificação que visa identificar e corrigir uma inversão de bit. No caso das células de memória, também se discutiram trabalhos que propuseram a inserção de inversores redundantes e, no caso dos circuitos a capacitores chaveados, foi apresentada uma proposta de duplicação dos transistores que apresentam maior

vulnerabilidade aos efeitos de SET. A classificação adotada neste trabalho como diferenciação da proteção à radiação nos níveis de projeto e sistema considera que a proteção em nível de sistema pode ser empregada pelo integrador final, sem a necessidade de alterar o layout, bibliotecas de células ou o projeto do circuito integrado e dos blocos circuitais utilizados.

Componentes disponíveis comercialmente (COTS – da sigla em inglês, *commercial off-the-shelf*), configuram uma alternativa para redução de custos do sistema final e são utilizados mesmo em aplicações críticas, como no caso dos sistemas aeroespaciais (WINOKUR et al. 1999). Deste modo, as técnicas de proteção em nível de sistema, justamente pela não necessidade de intervenção nas etapas de fabricação e projeto de componentes, têm grande importância para os integradores de tais sistemas. Outra questão que torna importante o desenvolvimento de técnicas em nível de sistema é o chamado “cerceamento tecnológico”, imposto pelos Estados Unidos aos demais países, através de uma regulamentação denominada ITAR (*International Traffic In Arms Regulations* - do inglês, regulamentação internacional sobre o tráfico de armas) (COOK, 2010; EUA, 1997). O ITAR considera que componentes eletrônicos tolerantes à radiação podem ser destinados à fabricação de artefatos bélicos. Por isso, alguns componentes não podem ser exportados pelos fabricantes de CI dos Estados Unidos (ou são exportados após autorização do governo, o que pode atrasar de maneira excessiva o andamento de um projeto). Neste sentido, a utilização de componentes comerciais (supostamente não tolerantes) em implementações tolerantes à radiação é uma saída possível para transpor esta barreira.

É possível também aplicar uma estratégia que consiste em testar circuitos comerciais para classificá-los quanto ao grau de tolerância à radiação (MILAGRES, 2009). Conforme já discutido no capítulo 2, os componentes comerciais podem apresentar, intrinsecamente, algum grau de tolerância à radiação, que, dependendo da aplicação, pode ser considerado suficiente. Sendo assim, um circuito que se pretende utilizar em aplicações suscetíveis a radiação pode ser testado através de experimentos de irradiação. Estes experimentos reproduzem os níveis de radiação aos quais o sistema será exposto e, dependendo do resultado, o componente pode ser considerado robusto para a aplicação a qual será destinado. A Figura 3.10 exemplifica o procedimento de qualificação de um circuito integrado em relação à sua tolerância à radiação. Alguns trabalhos (e eventos como o *Radiation Effects Data Workshop*¹ - REDW) compilam resultados de experimentos de irradiação realizados

sobre diferentes circuitos integrados comerciais, como, por exemplo (HARBOE-SORENSEN et al., 1999; MENICHELLI et al., 1999; HIEMSTRA et al., 2008).

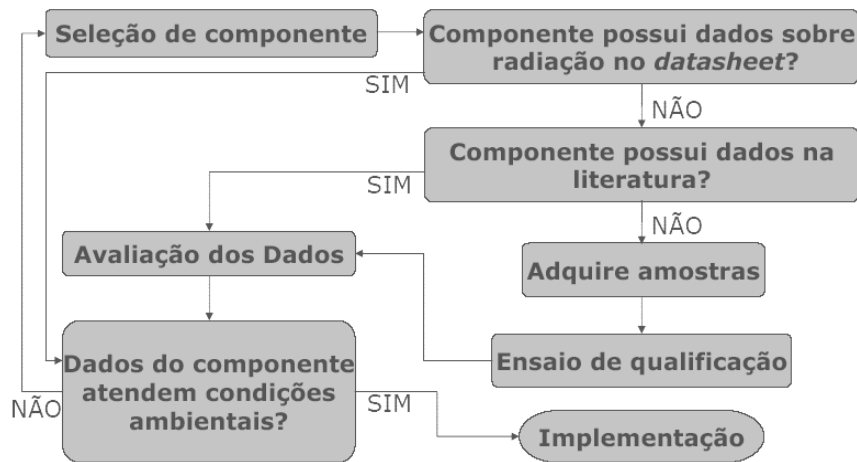


Figura 3.10: Fluxo de procedimentos para a qualificação de componentes quanto a sua tolerância à radiação. Figura extraída de (MILAGRES, 2009).

Outra estratégia de proteção de sistemas suscetíveis à radiação é utilizar uma blindagem metálica externa que reduz a dose efetiva acumulada pelo componente (BOUDENOT, 2007). Para o cálculo da proteção adicionada pela blindagem levam-se em consideração todas as estruturas metálicas que envolvem o circuito, incluindo a estrutura externa (satélites e aeronaves), *racks* (bastidores), caixas metálicas dos sub-sistemas e blindagem adicional em componentes nas placas. Os projetistas de sistemas suscetíveis à radiação devem conhecer as condições ambientais e o nível de dose acumulada tolerado pelo circuito (em função de sua vida útil estimada), para definir a blindagem a ser utilizada. Uma das técnicas para obtenção da dose efetiva acumulada pelo componente, em função das condições externas de radiação, consiste na aplicação de análise de Monte Carlo (TRUSCOTT et al., 2000). Um exemplo de condições ambientais é exposto na Tabela 3.1, que mostra o valor de dose acumulada aos quais os satélites CBERS² (*China Brasil Earth Resources Satellite*) 3 e 4 serão submetidos (considerando 3 anos de exposição) em função da blindagem total de seus componentes (CBERS, 2008). Na Tabela 3.1 a blindagem é especificada em g/cm^2 , no entanto sabendo-se a densidade do material utilizado, pode-se calcular a espessura necessária (por exemplo: $0,54 \text{ g/cm}^2$ representa 2 mm de blindagem de alumínio).

¹ O REDW é um fórum para publicação de resultados de experimentos e simulações dos efeitos da radiação em componentes. Ocorre como atividade integrante dos dois maiores eventos sobre o assunto, o RADECS (Radiation Effects on Components and Systems), que ocorre normalmente na Europa e o NSREC (Nuclear and Space Radiation Effects Conference), que é sediado nos Estados Unidos.

² O programa de satélites CBERS consiste em uma parceria dos governos brasileiro e chinês destinada ao lançamento de satélites de monitoramento e geoprocessamento. Três satélites CBERS já foram lançados (1, 2 e 2b). Os satélites CBERS 3 e 4 têm previsão de lançamento, segundo o INPE (Instituto Nacional de Pesquisas Espaciais), para 2011 e 2014, respectivamente (MURAOKA & CHAMON, 2009; INPE, 2010).

Tabela 3.1: Dose acumulada durante 3 anos em função da blindagem metálica total, conforme modelo de condições ambientais considerados para os satélites CEBERS 3 e 4 (CEBERS, 2008).

Shield Thickness (g/cm ²)	Total (rad)
.002	5.794E+06
.004	5.438E+06
.005	4.962E+06
.027	1.686E+06
.054	7.154E+05
.108	2.138E+05
.162	9.320E+04
.216	5.676E+04
.270	3.980E+04
.540	1.350E+04
.945	4.590E+03
1.215	2.686E+03
1.350	2.160E+03
1.620	1.575E+03
2.160	1.166E+03
2.430	1.068E+03
2.700	9.958E+02
2.970	9.588E+02
3.240	9.142E+02
3.510	8.586E+02
3.780	8.332E+02
4.050	8.138E+02
4.320	7.658E+02
4.590	7.398E+02
4.860	7.436E+02
5.130	6.980E+02
5.400	6.586E+02
6.000	6.402E+02
8.000	5.294E+02
10.000	4.544E+02

A tolerância a SEEs pode ser implementada com técnicas usuais de tolerância a falhas. As principais técnicas de proteção e tolerância a falhas em nível de sistema utilizam algum tipo de redundância que podem ser classificadas basicamente em **redundância temporal** e **redundância espacial** (ANGHEL, ALEXANDRESCU, NICOLAIDIS, 2000).

Nos métodos baseados em redundância espacial, o hardware a ser protegido é normalmente replicado (usualmente duplicado ou triplicado) e as saídas dos blocos replicados são entregues a circuitos especiais que fazem a comparação dos valores presentes nas saídas. No caso da duplicação, em circuitos digitais, a saída de ambos os blocos é entregue à entrada de um comparador digital que simplesmente identifica a presença de uma falha, mas não identifica qual dos blocos está correto e não corrige a falha. Por este motivo a técnica de redundância espacial mais comumente utilizada é triplicação ou redundância modular tripla, conhecida como TMR (*Triple Modular Redundancy*) (ANGHEL; ALEXANDRESCU; NICOLAIDIS, 2000; CARMICHAEL 2001).

Na técnica de TMR o hardware de interesse é triplicado e suas saídas são aplicadas a um votador de maioria (*majority voter*). Na hipótese de uma falha atingir um dos blocos

triplicados os outros dois continuarão gerando uma saída correta e o votador irá gerar uma saída global também correta, com base na saída da maioria dos blocos. No entanto, se houver falhas em dois blocos, tal que as saídas destes sejam modificadas, o votador não mais estará escrevendo em sua saída o valor correto, pois, neste caso, a maioria dos blocos estará com um valor incorreto em suas saídas. O ponto negativo da técnica de triplicação é o aumento de área que é sempre maior do que 200% em relação ao circuito a ser protegido. A Figura 3.11 exemplifica a técnica TMR para circuitos digitais.

A redundância temporal consiste em replicar os elementos de armazenamento e amostrar a saída dos blocos combinacionais em instantes distintos, porém, dentro de um mesmo ciclo da lógica sequencial, conforme a Figura 3.12. Desta maneira, perturbações transientes de duração menor do que o atraso “d” entre as amostragens serão toleradas, pois pelo menos dois elementos de amostragem conterão o valor correto da amostra.

Além do aumento de área imposto pela utilização de elementos de amostragem extras e pela replicação da lógica combinacional, a redundância temporal impõe uma degradação na frequência máxima de operação do sistema, em função dos atrasos necessários para computar a saída do bloco combinacional em instantes diferentes.

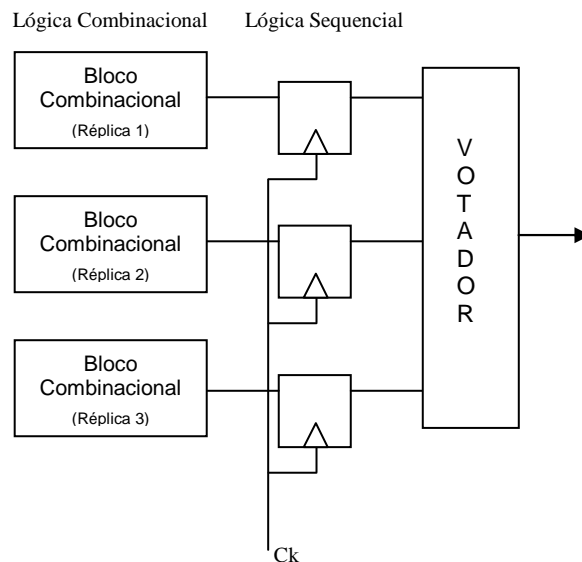


Figura 3.11: Exemplo de redundância modular tripla (espacial).

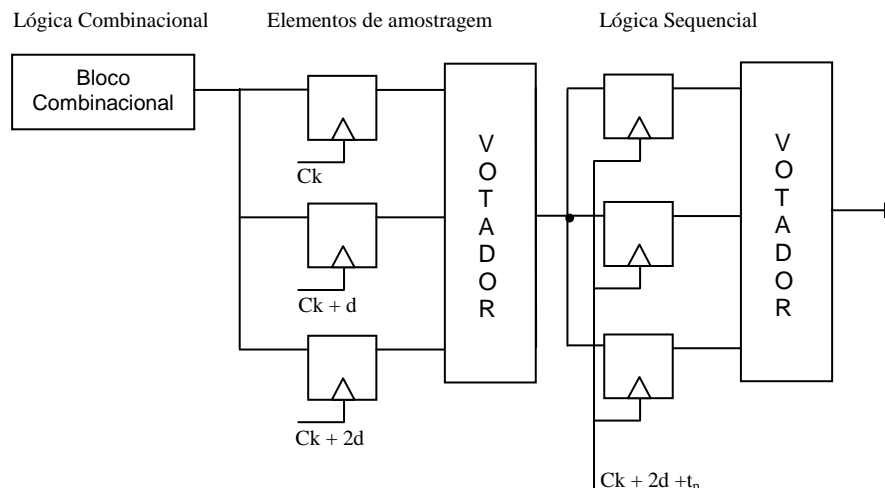


Figura 3.12: Exemplo de redundância temporal.

Nas técnicas de redundância temporal e espacial aqui descritas os elementos de memória são triplicados. Logo, além de proteger o sistema contra SETs, é possível tolerar um SEU em um dos elementos de armazenamento. Uma proteção extra pode ser adicionada se os elementos de memória já possuírem algum grau de tolerância a falhas, como por exemplo, se forem baseados em alguma das células de memória tolerantes, apresentadas na seção 3.2. Adicionalmente, o votador também pode ser triplicado e um caminho de realimentação pode ser adicionado para que seja possível recarregar o valor correto em todos os elementos de memória (em uma operação denominada *refresh*) (CARMICHEL, 2001). Isso diminui a probabilidade do sistema falhar em decorrência de erros sucessivos e cumulativos que possam ocorrer no intervalo de tempo entre uma recarga e outra dos elementos de memória (KASTENSMIDT, 2003). A Figura 3.13 ilustra esta arquitetura.

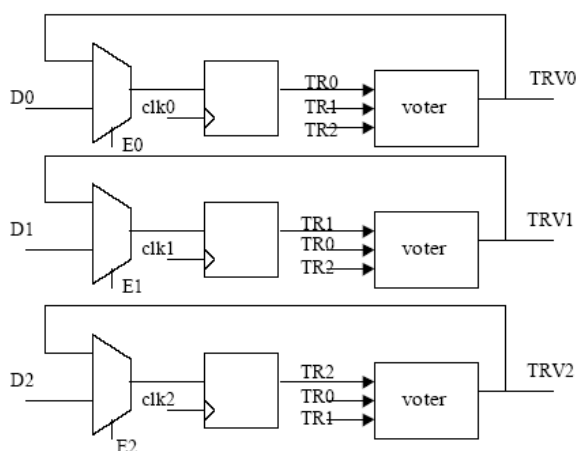


Figura 3.13: Célula de memória redundante com votadores triplicados e realimentação, que permitem a recarga do valor votado como correto. Figura extraída de (KASTENSMIDT, 2003).

A técnica de replicação pode ser aplicada utilizando-se diversidade de projeto tanto em nível de *software* como de *hardware*. Esta metodologia consiste em replicar o sistema utilizando blocos que executam a mesma função, mas não são idênticos. Foi originalmente proposta no projeto de software (AVIZIENIS & KELLY, 1984), mas pode também ser aplicada em nível de *hardware* (MITRA, SAXENA, McCLUSKEY, 1999). Um trabalho recente propõe a utilização de blocos funcionais implementados em software, em hardware e no domínio analógico, operando em paralelo, para incrementar o nível de tolerância a falhas de sistemas de sinal misto. Esta metodologia, referenciada como DTMR (*Design Diversity TMR*), é exemplificada na Figura 3.14 (BORGES et al., 2010).

Nos esquemas redundantes discutidos até aqui se considerou a replicação em nível de bloco arquitetural. No entanto, a utilização da replicação em nível de componente também é uma estratégia empregada pela indústria aeroespacial para construção de sistemas tolerantes a falhas (KASTENSMIDT, 2003). Esta estratégia consiste em triplicar um circuito integrado na placa onde o mesmo é montado e adicionar um quarto componente para realizar a votação (Figura 3.15). Apesar do significativo aumento de área de placa e interconexões, é um método simples de ser implementado. Analogamente, a redundância de placas ou de módulos do sistema também pode ser adotada como estratégia de proteção.

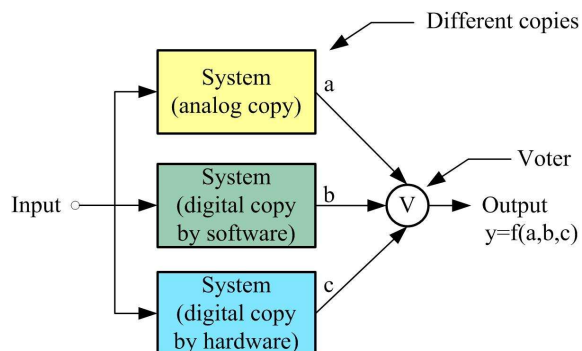


Figura 3.14: Redundância com diversidade de implementação. Figura extraída de (BORGES et al., 2010).

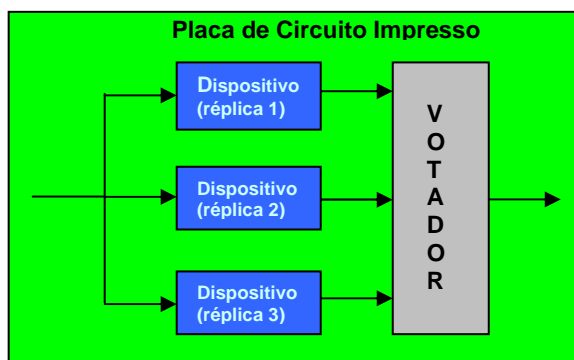


Figura 3.15: Replicação de dispositivos em nível de componente em uma placa de circuito impresso.

No caso de dispositivos programáveis como os FPGAs, os recursos programáveis disponíveis podem ser utilizados para se implementar as cópias do sistema a ser protegido, desde que o dispositivo disponha do número de CLBs (*Configurable Logic Blocks* - do inglês, blocos lógicos configuráveis) necessários. No entanto, nos FPGAs baseados em memória SRAM, erros ocasionados por SEUs podem modificar a configuração do dispositivo. Tais erros são corrigidos através da reprogramação do FPGA. A memória de programação destes dispositivos normalmente é armazenada em uma memória ROM externa que não é sensível à SEUs. Durante o ciclo de inicialização ou *reset* o conteúdo da memória ROM é transferido (normalmente de modo serial) à matriz de células SRAM do FPGA. A reconfiguração do dispositivo sobrescreve o valor correto na memória de configuração, corrigindo eventuais erros. A reprogramação periódica como estratégia para corrigir *soft errors* pode ser considerada uma técnica de proteção em nível de sistema – conhecida como *bit scrubbing* (CARMICHEL, CAFFREY, SALAZAR, 2000). Uma vez que alguns modelos de FPGAs são programados de maneira idêntica à descrita acima, esta técnica também pode ser aplicada a estes dispositivos.

As técnicas de proteção baseadas em redundância temporal e espacial podem ser bastante específicas dependendo do tipo e arquitetura dos circuitos considerados. No caso de circuitos analógicos e de sinal misto estas técnicas são também aplicáveis. No entanto, um votador analógico é mais complexo que um votador digital e, ao contrário deste, pode ser ainda mais complexo do que o bloco circuital a ser protegido. Votadores analógicos são usualmente baseados na obtenção de um sinal de erro e na comparação com valores de referência pré-definidos. O resultado da comparação pode controlar multiplexadores analógicos para selecionar o valor correto a ser entregue à saída do sistema. Outra estratégia de votação analógica é realizar a média aritmética dos sinais dos blocos duplicados, através de operações analógicas de soma e divisão por número constante. De acordo com a comparação realizada entre os sinais, um deles pode ser desconectado da entrada do somador, e o fator de divisão da média reduzido, para contemplar o novo número de entradas (VÁZQUES, 1995). A Figura 3.16 mostra o diagrama típico de um votador analógico, considerando o seu uso em sistemas que utilizam TMR. Como pode ser visto na Figura 3.16 os três sinais são comparados mutuamente em combinações “dois a dois” e o resultado destas comparações alimenta o elemento de decisão, que determina o sinal de saída.

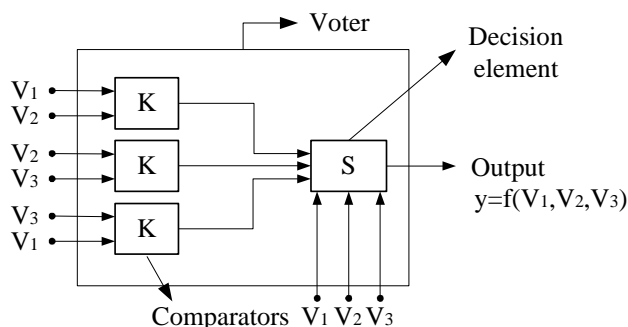


Figura 3.16: Diagrama típico de um votador analógico. Figura adaptada de (VÁZQUES, 1995).

Uma consideração importante sobre os votadores analógicos diz respeito à tolerância necessária para desvios nos sinais processados. Diferentemente de sinais digitais, dois sinais analógicos idênticos processados por blocos com a mesma função de transferência (ideal) não são necessariamente iguais. A natureza analógica do sinal e dos sistemas faz com que pequenas diferenças existam e, na prática, os sinais ainda podem ser considerados iguais. Neste sentido, os comparadores devem ser flexíveis (VÁZQUES, 1995), considerando janelas de tensão ao invés de um nível único. Tais comparadores são conhecidos como comparadores de janela. A Figura 3.17 ilustra um comparador flexível construído com um comparador de janela. Observa-se que a comparação é realizada sobre um sinal de erro que consiste na diferença dos sinais a serem comparados (ou na soma, no caso de circuitos diferenciais).

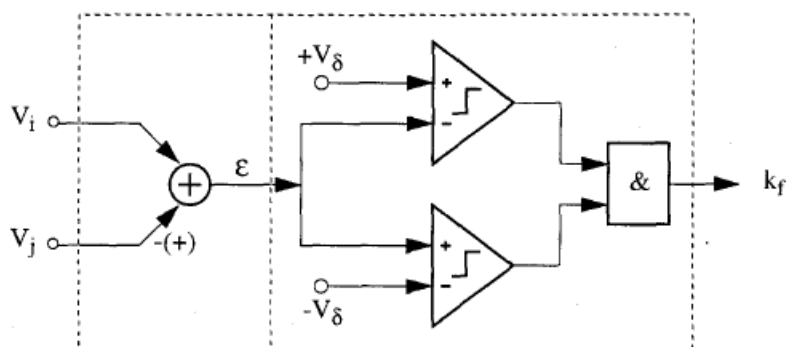


Figura 3.17: Comparador flexível baseado em um subtrator/somador e um comparador de janela proposto por (VÁZQUES, 1995).

No capítulo 7 desta tese é apresentado um esquema de detecção de erros (aplicado a um FPAA comercial) baseado em duplicação e associado a um circuito *self-checking* que utiliza um comparador flexível similar ao da Figura 3.15. O esquema também utiliza a técnica de *bit scrubbing* para corrigir possíveis erros quando um desvio no circuito for detectado.

4. FIELD PROGRAMMABLE ANALOG ARRAYS (FPAA)

Os FPAA são circuitos analógicos programáveis que podem ser reconfigurados durante as etapas de desenvolvimento de um projeto, bem como em campo, durante a utilização do sistema no qual o componente se encontra (daí o seu nome, que traduzido para o português significa “Arranjo Analógico Programável em Campo”).

O FPAA proporciona ao domínio analógico as mesmas características que o seu dual digital, o FPGA (*Field Programmable Gate Array*), proporciona aos circuitos digitais, aumentando a flexibilidade e diminuindo o tempo de projeto. Outra característica de alguns FPAA é a reconfiguração dinâmica, o que pode ser uma ótima alternativa em sistemas de controle e instrumentação adaptativos (HEREFORD; PRUITT, 2004; ZNAMIROWSKI; PAULUSINSKI; VRUDHULA, 2004), onde algumas características do circuito podem ser alteradas de acordo com as mudanças nos valores das variáveis consideradas nos processos. Devido à disponibilidade de ferramentas de programação automatizadas e de fácil manipulação, o projeto de circuitos analógicos complexos pode ser realizado sem a necessidade de um projetista analógico altamente especializado, tornando o desenvolvimento de sistemas analógicos uma tarefa menos difícil e demorada.

4.1 ARQUITETURA TÍPICA DE UM FPAA GENÉRICO

A Figura 4.1 ilustra a arquitetura típica de um FPAA genérico formada por blocos analógicos programáveis (*CABs – Configurable Analog Blocks*), células de entrada e saída (*I/O*), uma rede de interconexões e registradores de memória, onde são armazenados os dados digitais que programam o componente. A rede de interconexões é responsável por conectar os diferentes CABs entre si e também com as células de I/O. As células de I/O são a interface do FPAA com o sistema externo e podem ser compostas por *buffers*, filtros *anti-aliasing* ou *smoothing*, entre outras funções de condicionamento de sinal.

A Figura 4.2 ilustra o esquemático genérico de um bloco analógico configurável (CAB) de um FPAA. Cada CAB é composto por um conjunto de componentes analógicos programáveis, blocos de interconexões e um amplificador operacional de saída. Os componentes de um CAB podem ser configurados como simples linhas de interconexão (fios), resistores, capacitores e transdutores, por exemplo. Em geral, os parâmetros

programáveis dos CABs são ganho de amplificadores, valores de resistores e capacitores, bem como a habilitação de laços de realimentação locais ou globais.

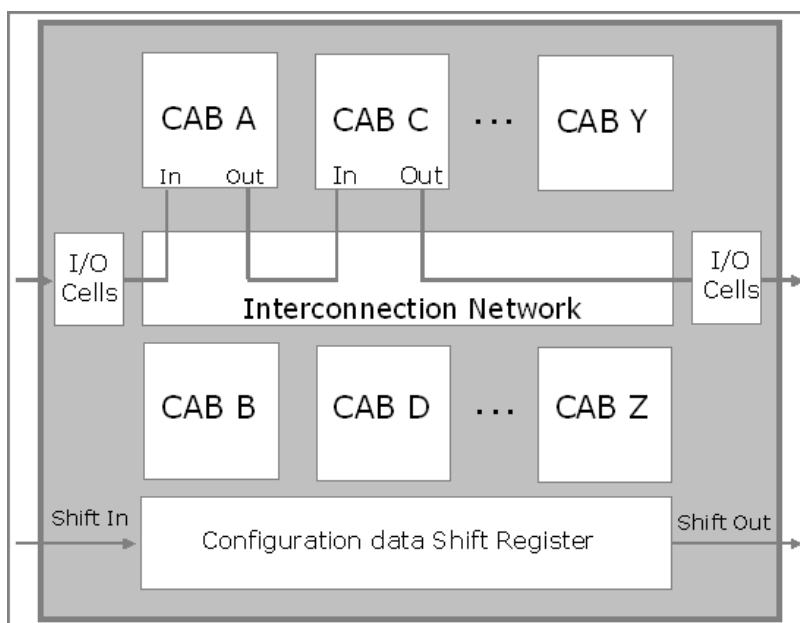


Figura 4.1: Arquitetura de um FPA genérico.

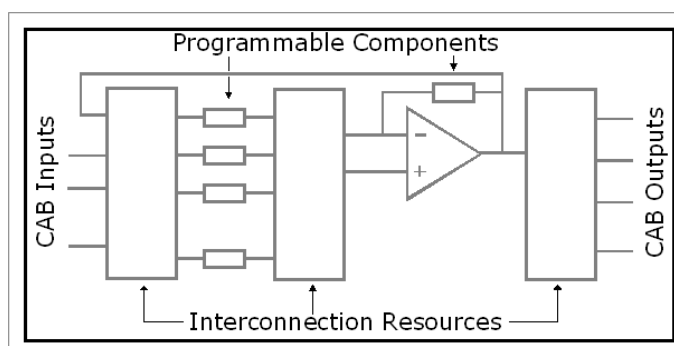


Figura 4.2: Arquitetura de um CAB genérico.

Pesquisas na área de circuitos analógicos programáveis resultaram em diversas propostas de arquiteturas de FPAs nos últimos anos. Em (BALEN, 2006) são apresentados alguns FPAs concebidos ou projetados em universidades ou institutos de pesquisa, bem como os FPAs comerciais ainda encontrados no mercado ou já descontinuados. Na seqüência deste capítulo serão apresentados os FPAs AN10E40 e AN221E04 da *Anadigm*, pois estes são os dispositivos estudados neste trabalho.

4.2 O FPAA AN10E40 DA ANADIGM COMPANY

Em 1996 a *Pilkinton Microelectronics*, situada na Inglaterra, desenvolvia um FPAA baseado na tecnologia de capacitores chaveados, denominado DPAD2 (BRATT; MACBETH, 1998). Uma versão posterior deste FPAA foi denominada DPAD3. Em 1997 a Motorola comprou a empresa inglesa e fundou o *Motorola Programmable Technologies Center*. O FPAA passou a ser comercializado pela Motorola com o nome de MPAA020 e pouco tempo depois, segundo (EETIMES, 2000), Macbeth deixou a Motorola após re-comprar a tecnologia do MPAA020 e, juntamente com Ludwig Klingenbeck, fundou a *Anadigm*.

São muitas as semelhanças entre o MPAA020 e o Atual AN10E40, ambos possuem uma matriz de 4x5 CABs, 13 células de I/O, têm o mesmo esquema de interconexões e finalmente, o software de programação *Anadigm Designer* é um melhoramento do *Easy Analog* da Motorola, usado para a programação do MPAA020. Ainda, segundo (EETIMES, 2000), o hardware do atual AN10E40 é o mesmo do MPAA020. A representação por blocos do AN10E40 pode ser vista na Figura 4.3.

Este componente utiliza a tecnologia de capacitores chaveados implicando na amostragem do sinal analógico. A frequência de amostragem depende da frequência de relógio utilizada pelo FPAA. Segundo o manual do fabricante (ANADIGM, 2003) a máxima frequência de relógio comportada pelo dispositivo é 1 MHz, o que, de acordo com o teorema de Nyquist da amostragem (HAYKIN; VAN VEEN, 2001), limita a largura de banda deste dispositivo em 500 kHz.

Na Figura 4.3 é possível visualizar uma rede de interconexões circundando os 20 CABs. Esta rede é composta por um barramento vertical e um horizontal, totalizando 5 linhas e 6 colunas de interconexões, sendo que cada linha e cada coluna é composta por 2 fios. Este esquema de barramentos é definido como “interconexões globais” (BRATT; MACBETH, 1998), pois desta maneira é possível conectar um CAB a qualquer outro da matriz e a qualquer célula de I/O. As linhas do barramento vertical podem ser conectadas às linhas horizontais através de *cross over switches* (Figura 4.4).

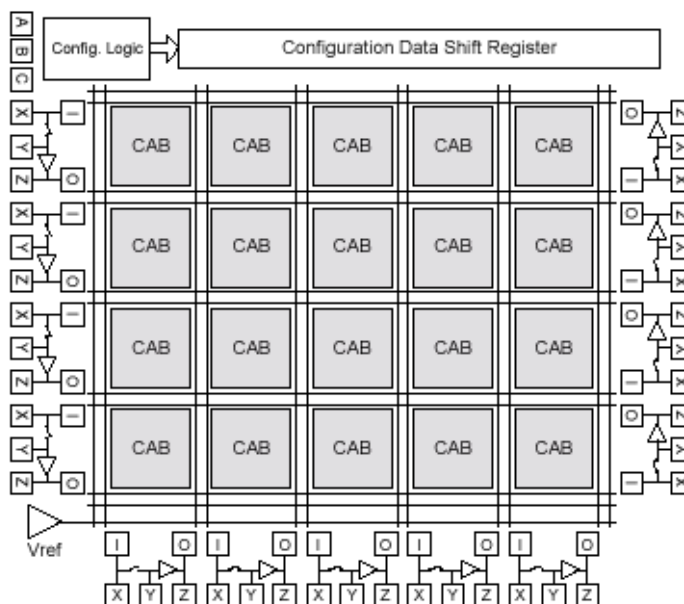


Figura 4.3: Representação em blocos do AN10E40 (ANADIGM, 2003).

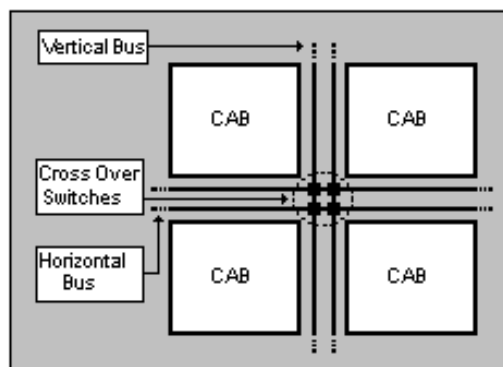


Figura 4.4 Barramentos globais e *cross over switches*.

A matriz de interconexões globais não é o único recurso de roteamento do FPAA estudado. É possível conectar um CAB a outros CABs vizinhos utilizando interconexões locais. Estas conexões permitem que a saída de um CAB seja conectada à entrada dos 8 CABs que o circundam e do CAB situado duas posições à sua direita, além de sua própria entrada (BRATT; MACBETH, 1998). Tal esquema é muito útil em se tratando de dispositivos analógicos, pois os projetos analógicos usualmente são concebidos cascadeando-se blocos funcionais. Segundo (BRATT & MACBETH, 1998) cada CAB possui 5 conjuntos de entradas, denominadas entradas “A”, “B”, “C”, “D”, “E”. A entrada “A” é exclusiva da realimentação, ou seja, esta entrada só pode ser conectada à saída do seu próprio CAB. A entrada “E” também é especial, pois só pode ser conectada aos barramentos globais. As entradas “B”, “C” e “D”, são conjuntos de três entradas, que servem à conexão do CAB com

seus 9 CABs vizinhos. A Figura 4.5 mostra o esquema de conexões locais onde o CAB central (em branco), tem sua saída conectada à sua própria entrada A, enquanto os CABs que o circundam tem suas saídas conectadas nas entradas B, C e D do CAB central, conforme a letra que os representa. Com este esquema de interconexões locais é possível conectar as células mais próximas, deixando os barramentos globais livres, para que estes possam ser utilizados para conectar células mais distantes na matriz.

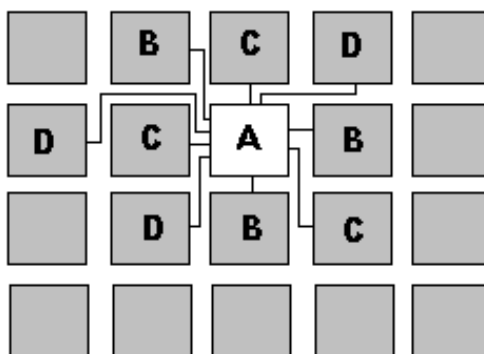


Figura 4.5: Conectividade local do AN10E40 (BRATT; MACBETH, 1998).

O CAB do AN10E40 é composto por um amplificador operacional, 5 bancos de capacitores e recursos de interconexão, conforme pode ser visualizado na Figura 4.6. A programabilidade do CAB é concebida através de chaves, cujo estado (aberta ou fechada) é definido pela memória de configuração, que é armazenada no *shift register* de programação. Cada componente programável ilustrado na Figura 4.6 apresenta um conjunto de chaves, estas chaves podem ser estáticas ou dinâmicas. As chaves estáticas são utilizadas para programar um dado valor de componente ou o estado de uma conexão e as chaves dinâmicas são utilizadas na implementação dos capacitores chaveados. A Figura 4.7 ilustra um banco de capacitores que pode ser programado como um capacitor ou como um resistor (capacitor chaveado) (ANADIGM, 2003).

No software de programação do componente AN10E40 existe uma biblioteca com 60 módulos que implementam as mais diversas funções analógicas, desde simples comparadores até os mais diversos tipos de filtros. Cada módulo possui um *bitstream* de programação próprio, que configura as chaves programáveis de maneira que o CAB execute a função requerida. Cada CAB possui aproximadamente 200 chaves programáveis (ANADIGM, 2003). O *bitstream* que programa um CAB possui 208 bits. Além destas chaves, o componente ainda conta com as chaves que programam as interconexões globais, as células de I/O e as lógicas

de controle de relógio, de referência e de programação. No total são necessários 6864 bits para programar todo o dispositivo (ANADIGM, 2003).

A alimentação do AN10E40 é não simétrica de 5V. Sua estrutura é totalmente diferencial.

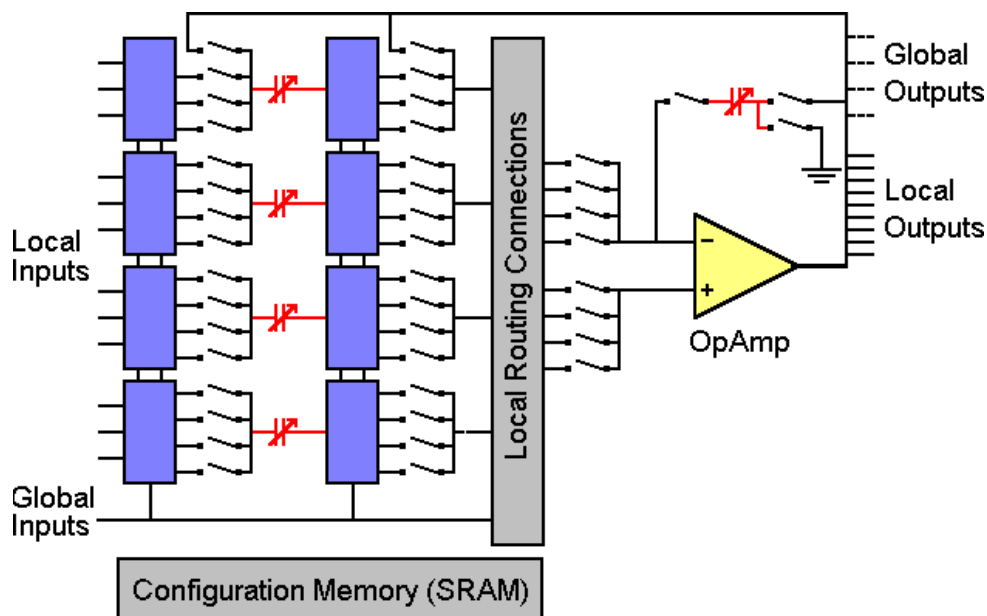


Figura 4.6: Representação do CAB do AN10E40 (ANADIGM, 2003).

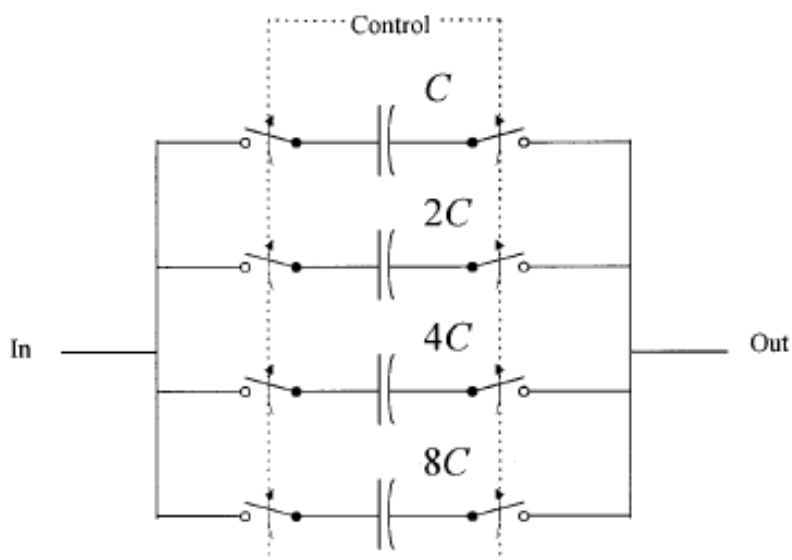


Figura 4.7: Banco programável de capacitores.

4.3 O FPAA AN221E04 DA ANADIGM COMPANY

O AN221E04 faz parte de uma família de componentes da segunda geração de FPAAs fabricados pela *Anadigm* (ANADIGM, 2003b). Em comparação com o componente da primeira geração, o AN10E40 (ANADIGM, 2003), o AN221E04 possui um menor número de CABs (4, contra 20 do componente da primeira geração). Contudo, os CABs do AN221E04 são mais versáteis e funcionais, sendo compostos por 3 elementos ativos (dois amplificadores operacionais e um comparador) enquanto o CAB do AN10E40 possui apenas um *OPAMP*. Adicionalmente, as células de entrada e saída (*I/O*) possuem recursos adicionais, como filtros *anti-aliasing* e *smoothing* e entradas multiplexadas permitindo o processamento de mais de um canal analógico pela mesma entrada.

São recursos extras, também, desta nova geração de componentes uma LUT (*Look Up Table*) e conversores A/D (analógico para digital), recursos estes que podem ser utilizados na linearização de sensores e processos de auto-calibração. A Figura 4.8 mostra o diagrama em blocos do FPAA AN221E04 onde é possível visualizar os 4 CABs, as 4 células de entrada e saída, as duas células exclusivamente de saída, o esquema de interconexões, a LUT e outros blocos como geradores de referência e relógio.

Neste esquema é possível verificar que em cada CAB há uma área dedicada à memória de configuração do componente (SRAM) (ANADIGM, 2003b), diferentemente do AN10E40 no qual há apenas um *shift register* dedicado à programação de todo o componente. Tal esquema demonstra uma das principais características desta nova geração de FPAAs: a reconfiguração dinâmica. Nesta modalidade de programação, partes do circuito podem ser reconfiguradas durante o funcionamento do FPAA, enquanto outras partes continuam sua operação normal (ANADIGM, 2003b).

Assim como na geração anterior a tecnologia deste componente é CMOS e utiliza capacitores chaveados na implementação de resistores. A técnica de capacitores chaveados torna o circuito menos vulnerável a variações de processo e capacitâncias parasitas (BRATT, 1998) e ainda desempenha importante papel na programabilidade do dispositivo. No entanto esta técnica impõe limitações à faixa de operação em frequência do componente, pois implica na amostragem do sinal analógico, demandando que a frequência do sinal a ser processado seja pelo menos a metade da frequência de chaveamento do dispositivo (teorema da amostragem de Nyquist) (HAYKIN; VAN VEEN, 2001).

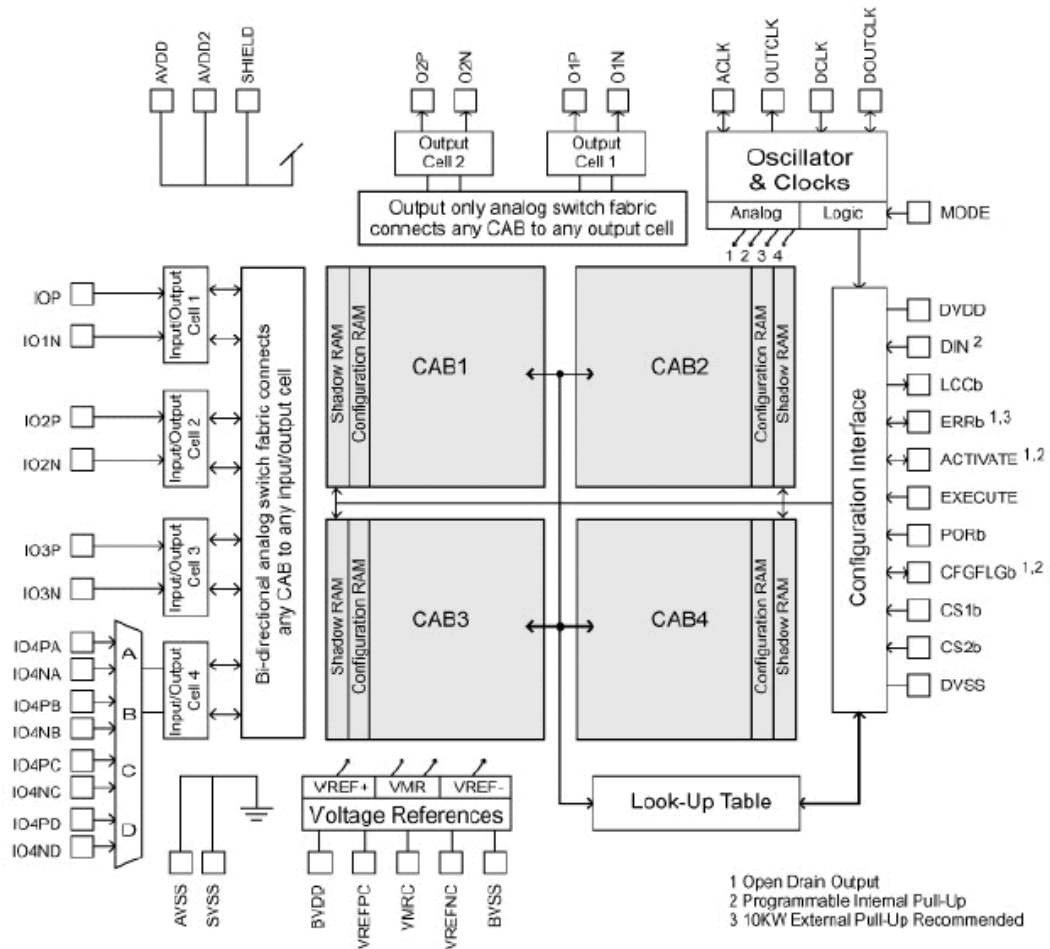


Figura 4.8: Diagrama em blocos do FPAA AN221E04. Extraído de (ANADIGM, 2003b).

Cada CAB do AN221E04 é composto por dois amplificadores operacionais, um comparador, blocos de interconexão, 8 bancos de capacitores programáveis, um conversor SAR-A/D, um bloco responsável pela geração dos sinais de relógio não sobrepostos (necessários ao funcionamento de circuitos a capacitor chaveado (SEDRÁ; SMITH, 1991)), além de sua memória de programação. O esquema de um CAB do FPAA AN221E04 pode ser visto na Figura 4.9.

Segundo o manual do fabricante, cada capacitor programável é composto por um banco “muito grande” de capacitores de igual tamanho, sendo que cada banco de capacitores pode assumir um valor relativo entre 0 e 255 unidades de capacitância (ANADIGM, 2003b). Através destas informações, duas possíveis arquiteturas para cada banco de capacitores do dispositivo podem ser consideradas, conforme mostrado na Figura 4.10. A arquitetura “a” considera capacitores programáveis individualmente onde $C_1 = C_2 = \dots = C_{255}$. A arquitetura “b” considera a programabilidade em grupos com pesos binários.

A Figura 4.11(a) mostra a célula de entrada básica do AN221E04, a Figura 4.11(b) mostra a célula de entrada multiplexada e a Figura 4.12 mostra uma célula de saída.

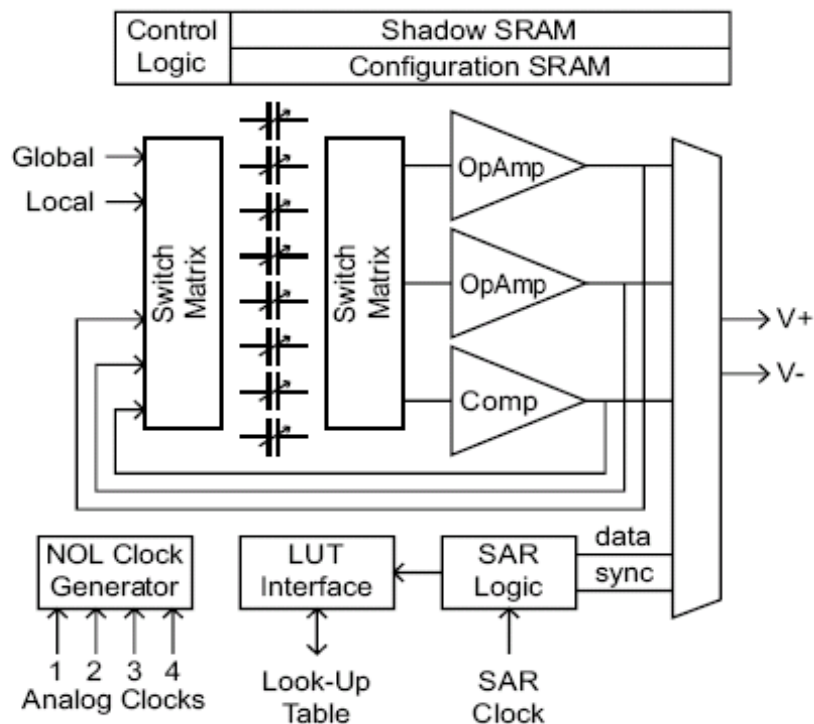


Figura 4.9: Esquemático do CAB do FPAAs AN221E04. Extraído de (ANADIGM, 2003b).

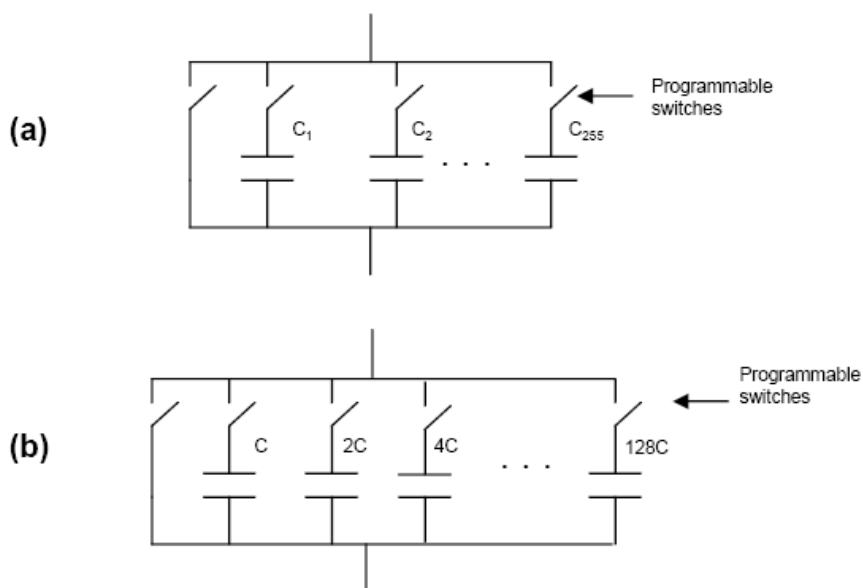


Figura 4.10: Possíveis arquiteturas consideradas para os bancos de capacitores do AN221E04.

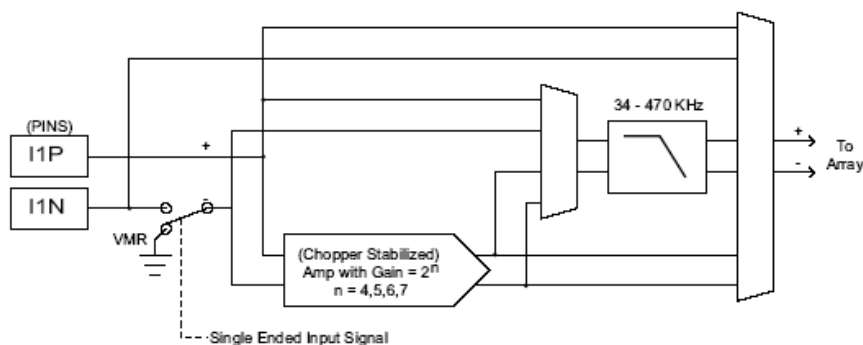


Figura 4.11(a): Célula de entrada do FPAA AN221E04. Extraído de (ANADIGM, 2003b)

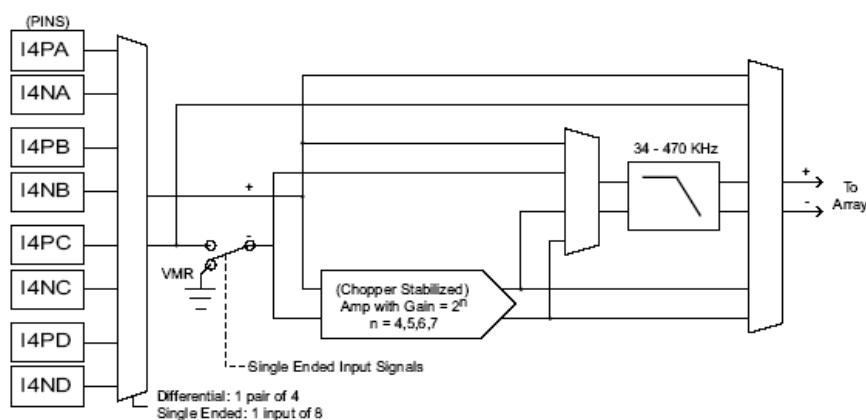


Figura 4.11(b): Célula de entrada multiplexada do FPAA AN221E04. Extraído de (ANADIGM, 2003b)

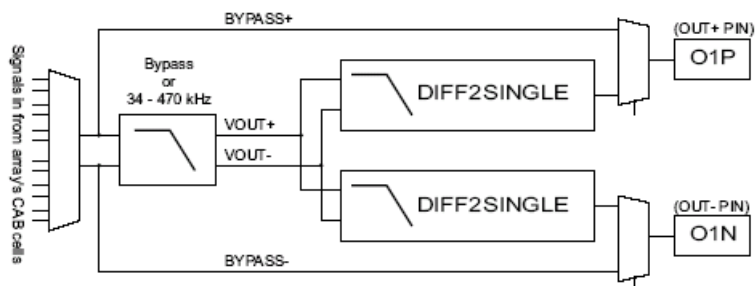


Figura 4.12: Célula de saída do FPAA AN221E04. Extraído de (ANADIGM, 2003b)

A programação deste FPAA pode ser feita através de um software específico fornecido pelo fabricante, denominado *Anadigm Designer II*. Esta ferramenta é uma interface gráfica de fácil utilização que permite escolher blocos programáveis disponíveis em uma biblioteca pré-concebida. A programabilidade do componente é restrita a parâmetros funcionais, como frequência de corte e ganho, tomando como exemplo a programação de filtros. Por esta razão o usuário não tem acesso direto aos componentes internos de um CAB, e não pode alterar

diretamente parâmetros como valores de resistores e capacitores, por exemplo. A Figura 4.13 ilustra este fato mostrando a tela da área de trabalho do software com um exemplo de programação dos parâmetros de um filtro.

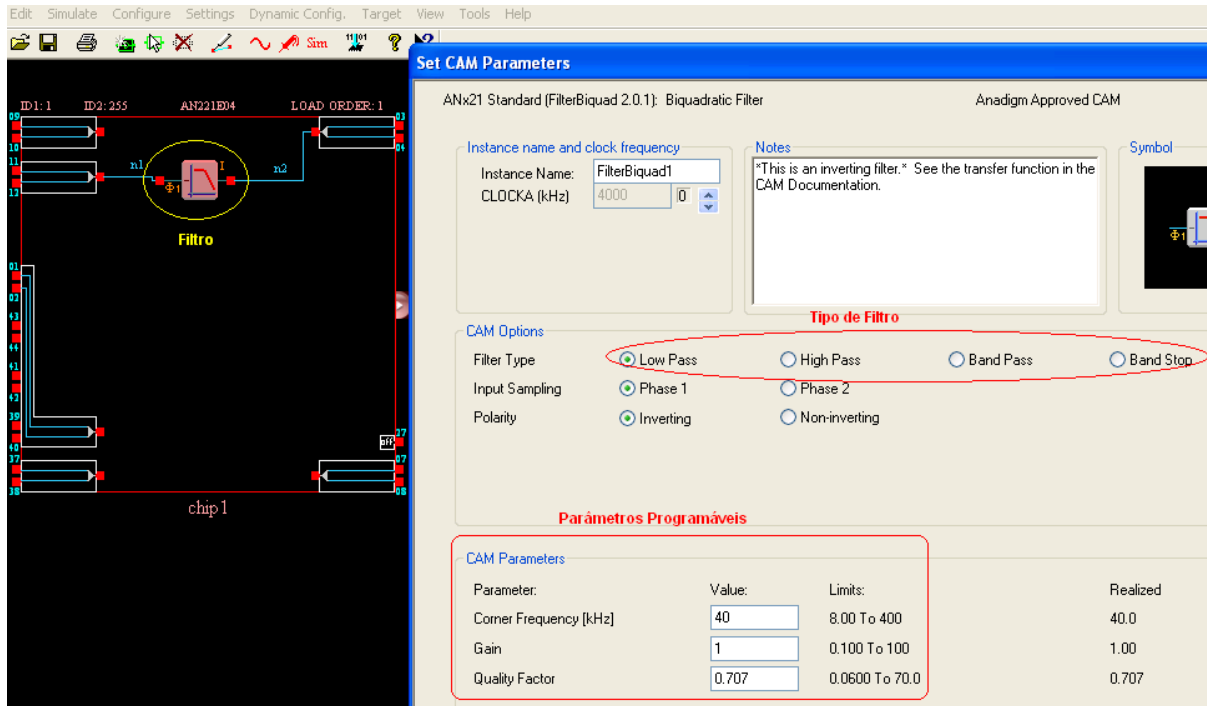


Figura 4.13: Exemplo de programabilidade com o software *Anadigm Designer II*.

Assim como o AN10E40 a alimentação do A221E04 é não simétrica de 5V. Sua estrutura é totalmente diferencial. Além do AN221E04 a segunda geração de FPAs da *Anadigm*, denominada *Anadigm Vortex*, possui mais quatro componentes.

5. EFEITOS DE “SEUs” EM DISPOSITIVOS ANALÓGICOS PROGRAMÁVEIS

Conforme descrito na seção 4.1, a arquitetura típica de um FPAA é formada por blocos analógicos programáveis (CABs), células de entrada e saída (I/O), uma rede de interconexões e registradores de memória, onde são armazenados os dados digitais que programam o componente. Em alguns FPAAs esta memória de programação é baseada em blocos do tipo SRAM, como é o caso dos FPAAs da *Anadigm*, utilizados neste trabalho. Este capítulo descreve os efeitos de inversões de bit (que podem ter origem em eventos do tipo SEU) na memória de programação de FPAAs baseado em blocos SRAM.

5.1 SEUS EM UM FPAA GENÉRICO BASEADO EM MEMÓRIA SRAM

A programabilidade dos FPAAs é usualmente implementada através de um conjunto de chaves. Estas são responsáveis pelo roteamento de sinais internos, bem como pelos valores de componentes programáveis do dispositivo. O estado destas chaves é definido através do valor de uma sequência de bits, conhecida como *bitstream*, a qual é carregada para o dispositivo (configurando o mesmo) no ciclo de inicialização, no momento em que é ligada a alimentação do circuito. Se o *shift-register* de programação for baseado em blocos de memória SRAM, a incidência de radiação, ou o impacto de partículas ionizantes em um ou mais transistores destes blocos, pode ocasionar um *bit-flip* no *bitstream* previamente programado. Esta inversão de bit pode alterar o estado de uma chave utilizada na implementação do circuito programado e modificar parâmetros como valores de componentes ou até mesmo mudar o roteamento interno dos CABs ou da matriz de um modo geral.

Em alguns casos, um SEU na memória de programação pode resultar em uma modificação drástica na configuração do circuito previamente programado, podendo ser muito prejudicial à operação do mesmo. A Figura 5.1 ilustra este tipo de evento para um FPAA genérico.

No exemplo da Figura 5.1 um circuito foi previamente programado com um capacitor de realimentação local cujo valor relativo é $24C$ ($8C+16C$, considerando um banco de capacitores com pesos binários). É possível que um SEU nas células de memória do FPAA afete o valor de um componente programável do dispositivo. Neste exemplo hipotético foi considerado um *bit-flip* em uma das chaves que controla um dos bancos de capacitores utilizados na implementação do circuito, provocando um curto circuito no capacitor programado. Através desse exemplo é possível concluir que um SEU pode ser catastrófico em

FPAAs do tipo SRAM, pois em determinadas situações o correto funcionamento de uma simples chave é crucial para a operação de todo o sistema.

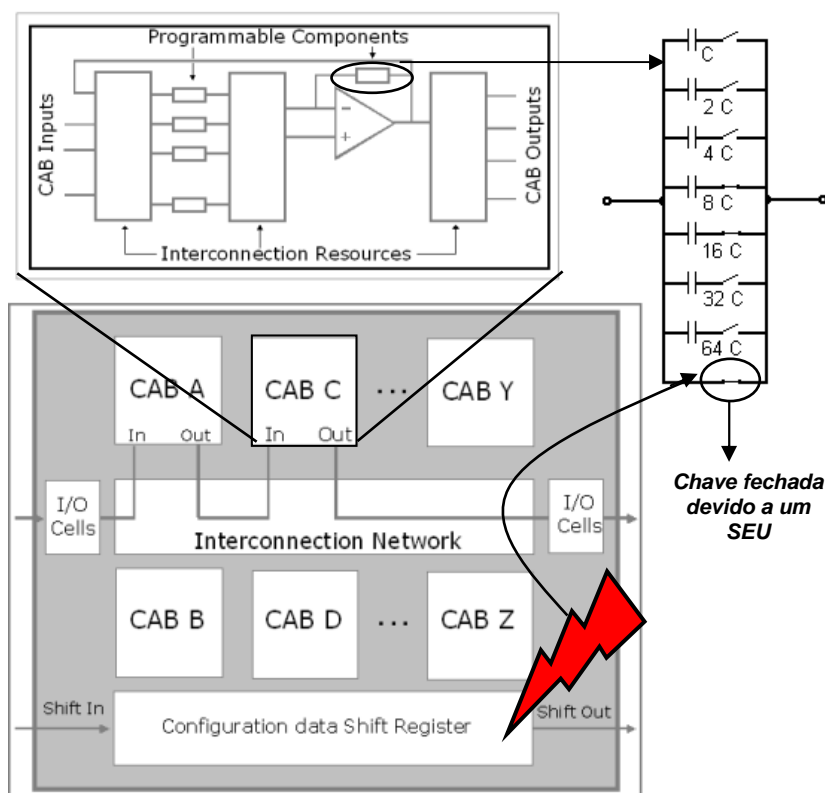


Figura 5.1: Modificação no circuito programado devido a um SEU na memória de programação de um FPA baseado em memória SRAM.

Além de modificação nos valores de componentes programáveis, um *bit-flip* nas células de memória de um FPA pode resultar na desconexão de componentes, conexão de componentes indesejados (parasitas) e até mesmo em uma interrupção no caminho do sinal. Tal interrupção pode invalidar completamente o bloco analógico afetado, ou até mesmo o sistema em que o FPA se encontra inserido.

Caso um ou mais bits da configuração do dispositivo sejam invertidos durante a operação do FPA, a única maneira de restaurar a configuração original é recarregando o *bitstream* original no *shift-register* de programação do componente. Em alguns modelos de FPAs esta reconfiguração pode ser feita em frações de milissegundos.

5.2 EXPERIMENTOS DE INJEÇÃO DE FALHAS DO TIPO SEU NO FPA AN10E40

Com a finalidade de estudar os efeitos de inversões de bits na memória de programação dos FPAs um componente comercial foi utilizado, o AN10E40 da Anadigm (ANADIGM,

2003), cuja descrição foi feita previamente. Os procedimentos adotados nestes experimentos são descritos nas seções subsequentes.

5.2.1 Procedimento de Injeção de Falhas

Uma maneira possível de injetar falhas no FPAA AN10E40 é modificando o *bitstream* de configuração do mesmo. De acordo com o fabricante (ANADIGM, 2003b), um CAB compreende 208 chaves programáveis e o *bitstream* que programa estas chaves é formado por 208 bits. Cada módulo tem um arquivo de configuração onde consta o *bitstream* padrão que configura o CAB no qual o módulo será alocado.

A Figura 5.2 mostra exemplos de *bitstream* para um amplificador simples e um retificador. O *bitstream* de cada módulo selecionado é armazenado no endereço do CAB no qual o mesmo é alocado e faz parte do *bitstream* completo do componente. No exemplo da Figura 5.2 os dois módulos considerados são compostos por apenas um CAB do FPAA. Existem outros módulos disponíveis na biblioteca do fabricante que demandam a utilização de dois ou três CABs. Portanto, um simples bloco funcional analógico pode ser programado com até 624 bits. O AN10E40 possui no total 6864 chaves programáveis (ANADIGM, 2003b), que é também o tamanho em bits do *bitstream* completo de programação.

IPmodule	Bytes
Simple gain stage	003f c040 0022 ff24 1000 0ff3 fc00 0018 2270 01c0 0805 2090 8000
Rectifier	003f c040 0082 ff20 1000 0ff0 0000 0080 2a70 01c0 0000 2090 9500

Figura 5.2: Exemplos de *bitstream* de configuração

Nos experimentos de injeção de falhas um módulo oscilador senoidal foi utilizado, dada a importância deste tipo de bloco para aplicações analógicas e a facilidade de extrair parâmetros importantes como frequência e amplitude do sinal. As falhas foram injetadas nos CABS do oscilador e o modelo de falhas adotado foi a inversão dos bits de programação (*bit-flip*). Dado o *bitstream* padrão do oscilador, os bits foram modificados um a um, configurando o inverso do valor lógico correto, considerando uma hipótese de falhas simples. Logo, em cada um dos dois CABs do oscilador foram injetadas 208 falhas.

O *bitstream* padrão para os dois CABs do módulo oscilador, bem como os parâmetros esperados para o sinal deste módulo, quando nenhuma falha é injetada, são mostrados na Figura 5.3 (onde f_{osc} é a frequência de oscilação e A é a amplitude do sinal observado). A Figura 5.4 mostra exemplos de injeção de falhas em dois bits distintos do *bitstream* do

oscilador, bem como o comportamento resultante. Cada dígito dos *bitstreams* nas Figuras 5.3 e 5.4 é a representação hexadecimal de 4 bits.

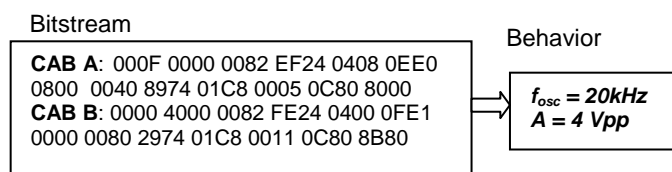


Figura 5.3: *Bitstream* padrão do módulo oscilador e o comportamento esperado para o sinal.

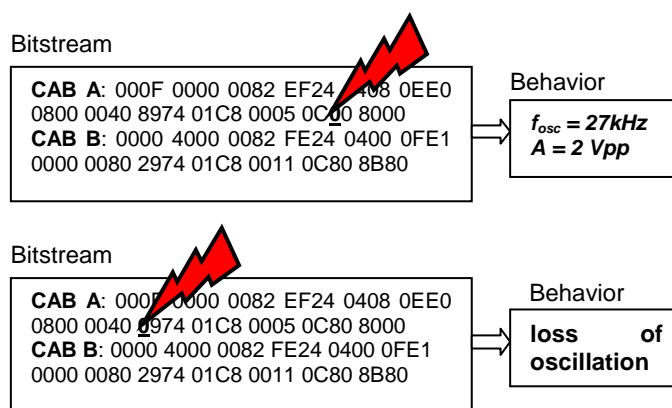


Figura 5.4: *Bitstreams* modificados e o comportamento obtido para o sinal de saída do oscilador.

5.2.2 Detecção de Erros

Para facilitar a tarefa de detecção de erros durante o procedimento de injeção de falhas, um circuito específico para tal finalidade foi utilizado. Este circuito (mostrado na Figura 5.5) é baseado em um filtro passa-banda bastante seletivo ($Q=100$) sintonizado com a frequência do oscilador. A frequência do sinal produzido pelo oscilador quando este está livre de falhas foi programada em 20 kHz, e a amplitude foi programada em 2 V de pico. Logo, a frequência central do filtro passa-banda foi programada em 20 kHz, de maneira que o sinal do oscilador livre de falhas não sofra atenuação. A saída do filtro é então retificada e filtrada, produzindo um sinal DC proporcional à amplitude da saída do filtro passa-banda. Este sinal DC é então aplicado à entrada de um comparador de janela cujos limites foram programados em ± 10 mV em torno do nível DC produzido na saída do bloco retificador. Desta maneira, uma alteração de frequência do sinal do oscilador irá colocá-lo fora da banda de passagem do filtro, logo, o sinal será atenuado. Esta atenuação implica em uma redução do nível DC na entrada do comparador de janela, fazendo com que a saída de um dos comparadores mude de estado, acusando a presença de uma falha. O mesmo ocorre se a amplitude do sinal gerado

pelo oscilador sofre uma variação em decorrência de uma falha. A Figura 5.6 mostra a simulação feita para o sinal do oscilador sem falhas (a), e com um desvio de frequência injetado de 100 Hz (b).

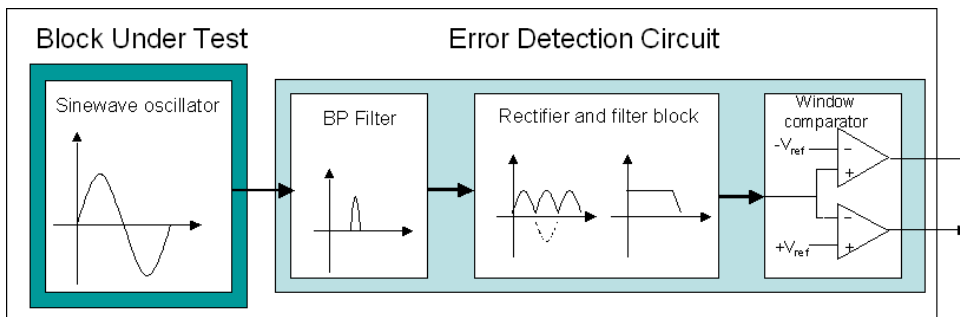
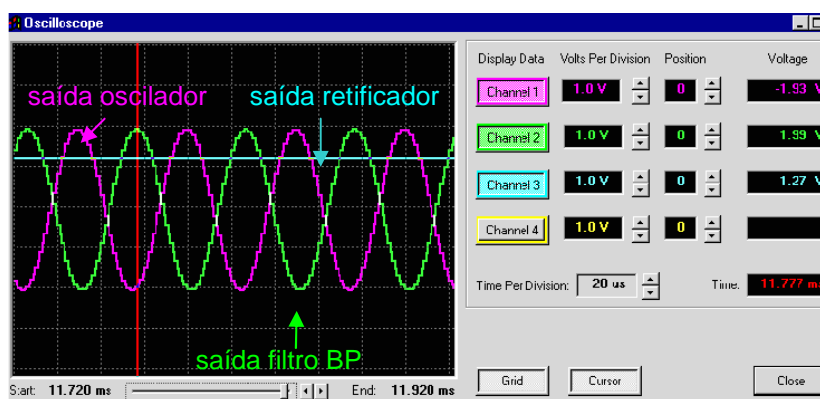
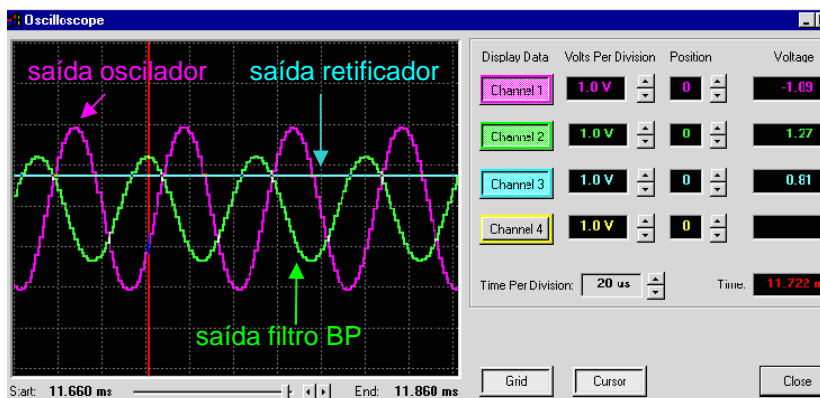


Figura 5.5: Circuito de detecção de erro.



(a)



(b)

Figura 5.6: Simulação (a) sem falhas e (b) com um desvio de 100Hz (0.5%) na frequência do sinal do oscilador.

Na Figura 5.6 os sinais senoidais representam a saída do oscilador e do filtro passa-banda e o sinal contínuo (DC) é o sinal já retificado e filtrado. Nota-se que para uma variação de 100 Hz (0,5%) da frequência de oscilação o sinal senoidal na saída do filtro passa-banda tem sua amplitude reduzida de 2 V para 1.27 V (36,5%), e a saída do retificador/filtro tem seu

nível DC reduzido de 1,27 V para 0,81 V (36,22%). É possível notar também, na Figura 5.6, o efeito da amostragem do sinal imposto pelos capacitores chaveados do dispositivo

5.2.3 Resultados dos experimentos de injeção de falhas

Das 416 falhas injetadas no oscilador, apenas 140 (33,65%) afetaram o comportamento funcional do bloco, variando a frequência ou amplitude do sinal gerado. No primeiro CAB do oscilador, 57 das 208 inversões de bit injetadas (27,5%) causaram um desvio perceptível no comportamento do mesmo. Já no segundo CAB, 83 *bit-flips* (39,9%) causaram uma variação detectável nos parâmetros do sinal de saída do oscilador. Estes resultados são mostrados nas Figuras 5.7 e 5.8.

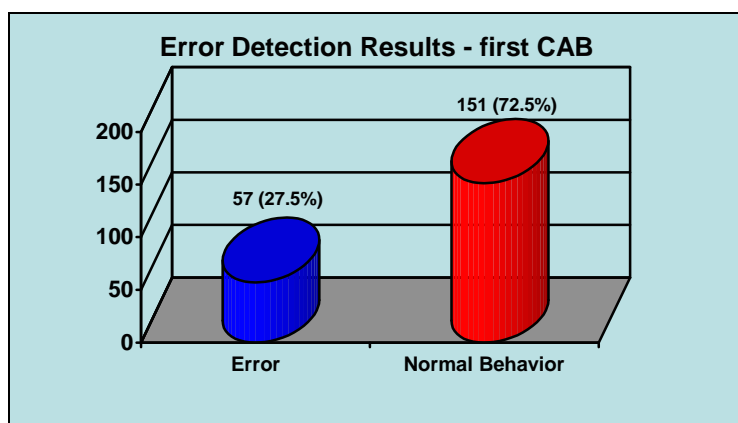


Figura 5.7: Resultados dos experimentos de injeção de falhas para o primeiro CAB do oscilador.

A baixa taxa de erros causada pelas falhas injetadas deve-se ao fato de que apenas parte dos recursos programáveis dos CABs são utilizados na implementação do oscilador. Portanto, muitas das chaves programáveis dos CABs não estão diretamente relacionadas ao caminho do sinal e seu estado não afeta significativamente o comportamento do circuito. A Figura 5.9 mostra o diagrama esquemático do oscilador segundo o manual da biblioteca de módulos do FPAA (ANADIGM 2003b) e a Figura 5.10 mostra uma possível implementação do oscilador utilizando o CAB mostrado anteriormente na Figura 4.6.

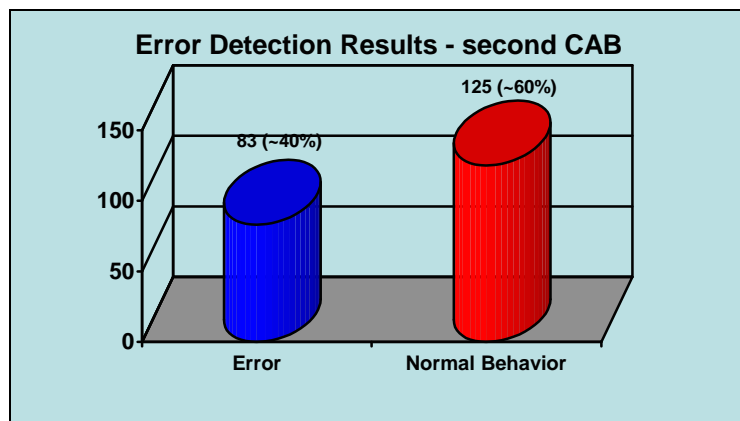


Figura 5.8: Resultados dos experimentos de injeção de falhas para o segundo CAB do oscilador.

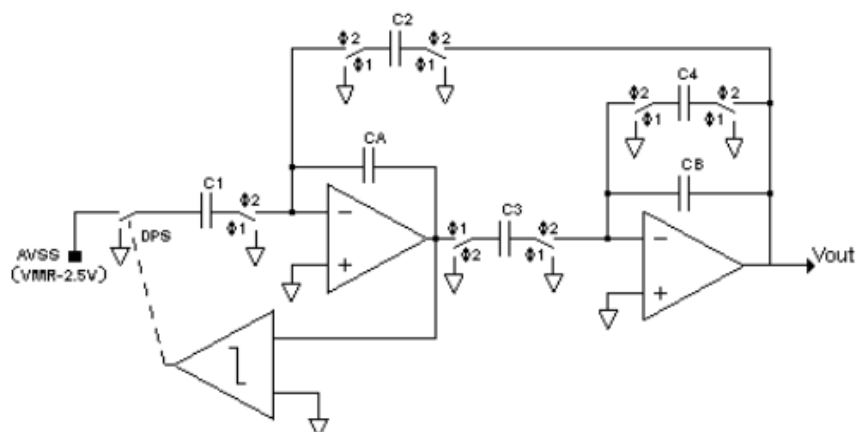


Figura 5.9: Esquemático do Oscilador (implementado com dois CABs).

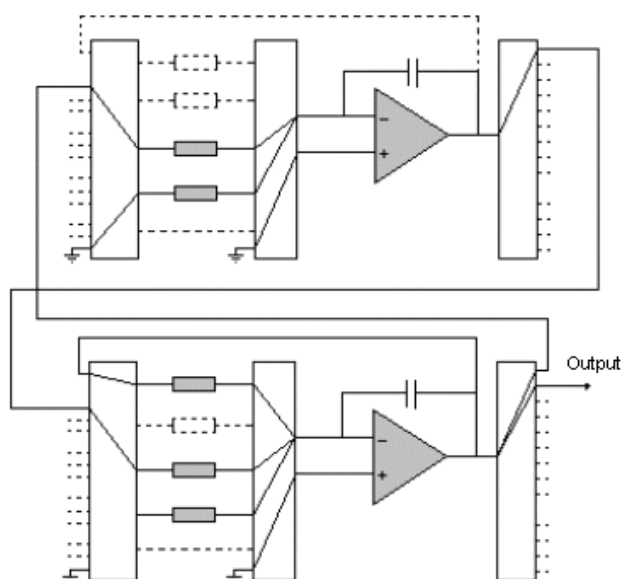


Figura 5.10: Possível implementação do oscilador com dois CABs do AN10E40 e exemplo de recursos programáveis não utilizados (linhas pontilhadas).

Através das Figuras 5.9 e 5.10 é possível verificar que a implementação do oscilador não utiliza todos os recursos programáveis dos CABs que o compõe. Por isso, a ocorrência de um SEU em um bit que controla um componente ou um caminho do circuito não utilizado pode não afetar a funcionalidade dos blocos programados. Além disso, a diferença entre as taxas de erro observadas para os dois CABs do oscilador é explicada pela maior taxa de utilização de recursos do segundo bloco do oscilador, como pode ser visto na Figura 5.10.

5.2.4 Estimativa da taxa de erros - *Soft Error Rate* (SER)

A taxa de erros SER (*Soft Error Rate*) é uma medida que expressa a quantidade de erros *soft* (que podem ser corrigidos e não danificam diretamente o circuito e seu funcionamento) em um determinado período de tempo. Nesta seção é feita uma estimativa da SER ao nível do mar para o FPAA AN10E40. Para tal estimativa foram utilizados dados publicados pela empresa Tezzaron Semiconductor (2004), de onde se obteve a taxa de FIT (*Failure in Time*, do inglês falhas no tempo) para uma tecnologia de memória similar à memória do FPAA estudado (0,6 μm).

A taxa de FIT ou, em inglês, *FIT rate*, representa a quantidade de erros observada em elementos de memória a cada 10^9 horas (GUENZER et. al., 1979), e depende, obviamente, da quantidade total de bits da memória. Para a tecnologia 0,6 μm a taxa de FIT considerada foi 1000 FIT/Mbit (TEZZARON, 2004).

Além da taxa de FIT, o cálculo da taxa de erros para o FPAA também leva em conta o tamanho da memória de programação do dispositivo (neste caso são 6864 bits, ou 0,006864 Mbit) e uma estimativa média da taxa de ocupação dos recursos programáveis de 35%. Com estes dados, pode-se calcular a estimativa da taxa de erros *soft*, multiplicando a taxa de FIT considerada pelo tamanho da memória do FPAA e pela taxa de ocupação média dos recursos programáveis, conforme mostrado da Tabela 5.1. Nas quatro últimas linhas desta tabela observa-se o valor estimado de 2,4024 erros a cada 10^9 horas, que equivale $2,1045 \times 10^{-5}$ erros por ano. Isso representa um erro a cada 47517 anos. À primeira vista pode parecer um taxa de erros muito baixa, no entanto, tal estimativa considera um único dispositivo e, ainda, operando ao nível do mar. Se considerarmos escalas industriais (dezenas ou centenas de milhares) de equipamentos que utilizam tal FPAA em operação, estes erros podem efetivamente começar a serem reportados ao nível do mar.

Ainda, se considerarmos aplicações aviônicas e espaciais, onde a incidência de raios cósmicos é muito maior do que àquela observada ao nível do mar, a taxa de erros pode ser significativamente maior, conforme discutido o capítulo 2. Na Figura 2.4, por exemplo, que mostra o fluxo de prótons na região da anomalia magnética do atlântico sul, é possível visualizar que o fluxo de prótons na região do SAA é aproximadamente 100 a 1000 vezes maior do que o fluxo em outras regiões do espaço situadas à mesma altitude (os quais são ainda maiores do que os observados ao nível do solo). Outro exemplo considerado, mostra a dependência do fluxo de nêutrons com a altitude e é ilustrado na Figura 5.11. Esta figura mostra um gráfico traçado com dados obtidos através de um software que calcula o fluxo de nêutrons em função das coordenadas e da altitude (SEUTEST, 2010). O gráfico mostra o fluxo de nêutrons para a cidade de Porto Alegre em diferentes altitudes. Os valores de fluxo mostrado na Figura 5.11 são relativos ao fluxo da cidade de Nova Iorque (ao nível do solo) e calculados considerando o efeito da modulação imposto pela atividade solar, conforme discutido no capítulo 2 (neste caso foram considerados 3 valores para o fator de modulação: 0%, 50% e 100%).

Outra questão que merece ser destacada é que a taxa de FIT utilizada para o cálculo da SER corresponde a uma memória fabricada na tecnologia 0,6 μm . Conforme já mencionado, tecnologias mais modernas possuem taxas de FIT maiores. Logo, mesmo que a ocorrência de SEUs não seja um grande problema para os FPAA comerciais atuais, dispositivos fabricados em tecnologias recentes ou futuras apresentarão uma SER maior do que a calculada nesta seção.

Tabela 5.1: Parâmetros para o cálculo da SER do FPAA ao nível do mar.

Parâmetro	Valor	Unidade
FIT rate considerada	1000	FIT/Mbit
Bitstream do FPAA	0,006864	Mbit
1 FIT	1	Erro/(10 ⁹ horas)
FIT para todo FPAA	6,864	Erro/(10 ⁹ horas)
Taxa de ocupação média do FPAA	0,35	-
SER médio	2,4024	Erro/(10 ⁹ horas)
Um ano compreende	8760	horas
SER (em anos)	2,1045E-05	Erro/ano
Um erro a cada	47517	anos

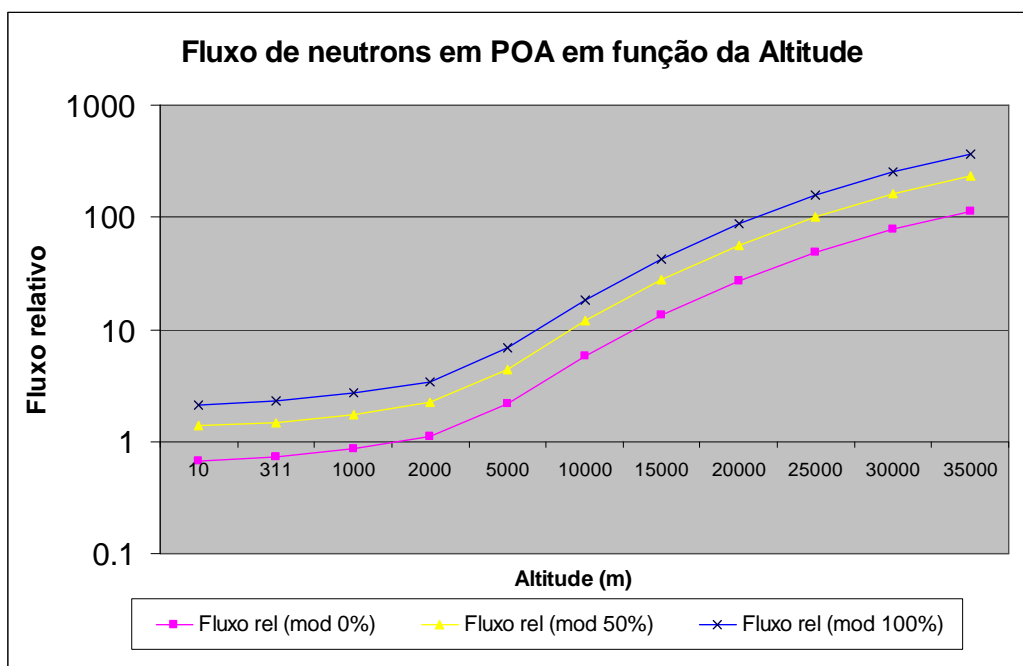


Figura 5.11: Fluxo de nêutrons para a região da cidade de Porto Alegre em função da altitude.

6. EFEITOS TRANSIENTES (SETS) NOS BANCOS DE CAPACITORES DE FPAAS

Conforme apresentado no capítulo 4, os CABs dos FPAAs da Anadigm, são compostos por um conjunto de bancos de capacitores que, dependendo do controle das chaves que os conectam ao restante do CAB, podem implementar capacitores ou resistores equivalentes (capacitores chaveados). De fato, os bancos de capacitores estão presentes em todos os FPAAs comerciais estudados neste trabalho (e em trabalhos anteriores), como por exemplo, nos FPAAs da Lattice Semiconductor (LATTICE, 2000) e nos blocos analógicos do SoC (*System-on-a-Chip*) programável da Cypress Semiconductor o PSoC (CYPRESS, 2002).

Tal recurso é fundamental na viabilização da programabilidade destes dispositivos, pois permite a programação de capacitores e resistores equivalentes de diferentes valores. A arquitetura de banco de capacitores mais comumente utilizada consiste de capacitores unitários agrupados em subconjuntos de capacitores com pesos binários. Tal estrutura está representada nas Figuras 4.7 e 4.10(b), no capítulo que descreve os recursos programáveis dos FPAAs da Anadigm. O valor do capacitor equivalente pode variar desde C_{uni} (valor de capacitância unitária) até $256C_{uni}$. Esta estrutura, que consiste em 8 capacitores programáveis, foi tomada como modelo nas simulações que serão descritas neste capítulo.

As simulações foram realizadas com o intuito de investigar o efeito dos SETs nas chaves programáveis dos bancos de capacitores de FPAAs, o que pode ocasionar uma redistribuição de carga entre capacitores, perturbando assim o funcionamento do circuito programado. As simulações foram realizadas utilizando o software HSPICE (SYNOPTIS, 2007).

6.1 MODELO SPICE DOS BANCOS DE CAPACITORES DO FPAAN10E40

O primeiro passo para a definição de um modelo realista do banco de capacitores que será investigado é a modelagem das chaves que programam o banco, conforme descrito na seção seguinte. A definição do valor de capacitância unitária e os modelos do banco de capacitores utilizados nas simulações são descritos nas seções subsequentes.

6.1.1 Modelo das chaves programáveis

As chaves CMOS são componentes extremamente importantes de circuitos programáveis ou de blocos a capacitores chaveados. O correto dimensionamento e utilização deste sub-circuito é crucial para o funcionamento do circuito.

As chaves consideradas neste modelo são do tipo *transmission gate* (porta de transmissão), conforme pode ser visto na Figura 6.1. Esta topologia de chave apresenta uma boa condutividade tanto para valores positivos como negativos de tensão aplicada no terminal de entrada da chave. Isto acontece porque o transistor tipo N é um bom condutor de sinais para os quais o valor da tensão V_{DS} (tensão entre dreno e fonte) é negativo sendo um condutor menos eficiente de valores positivos de V_{DS} . Já o comportamento do transistor P é complementar, configurando-se um bom condutor para valores positivos de V_{DS} . Assim sendo, a combinação em paralelo dos dois transistores resulta em uma chave com boa condutividade em toda a faixa de tensão dos sinais que ela conduz, apresentando uma resistência aproximadamente linear (WESTE & HARIS, 2004). Esta característica, ilustrada na Figura 6.2 em termos de sua resistência R_{ON} (resistência entre os terminais *a* e *b* quando a chave está fechada), e a facilidade de implementação de uma porta de transmissão fazem com que este modelo de chave seja amplamente utilizado em circuitos programáveis (RODRÍGUEZ-MONTAÑÉS, et al., 2002).

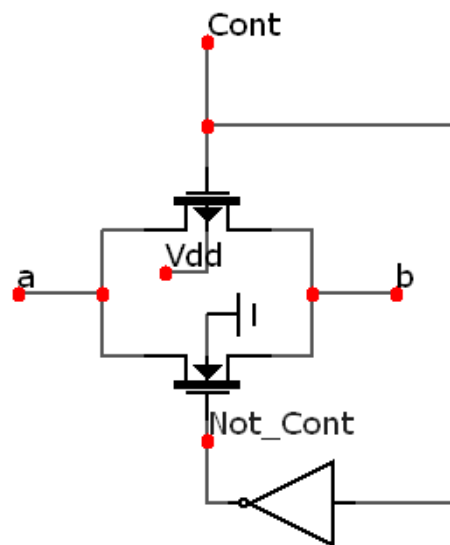


Figura 6.1: esquema das chaves programáveis do modelo utilizado para os bancos de capacitores, onde “a” e “b” são os terminais da chave e os sinais complementares “Cont” e “Not_Cont” controlam o estado da chave (aberta ou fechada).

Em geral, valores médios de resistência R_{ON} aceitáveis para aplicações analógicas situam-se em torno de 100Ω . A Figura 6.3 mostra um gráfico extraído de um trabalho de RODRÍGUEZ-MONTAÑÉS, et al. (2002), onde falhas nas chaves programáveis de FPAAs foram estudadas. O comportamento nominal considerado nesse trabalho para a resistência de

uma chave programável, cujas dimensões dos transistores são $L_N = 2 \mu\text{m}$, $W_N = 60 \mu\text{m}$, $L_P = 2 \mu\text{m}$, $W_P = 100 \mu\text{m}$, é mostrado na Figura 6.3. Com estas dimensões, a resistência média ficou em torno de 80Ω com valores máximos em torno de 100Ω , conforme mostra a Figura.

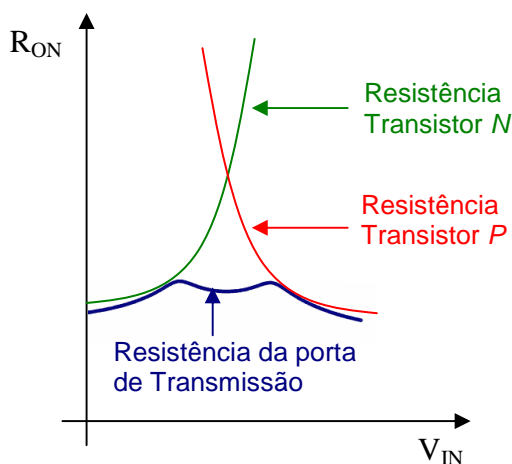


Figura 6.2: Comparação gráfica qualitativa da resistência R_{ON} de uma porta de transmissão com as resistências individuais dos transistores PMOS e NMOS, de acordo com (WESTE & ESHRAGHIAN, 1994).

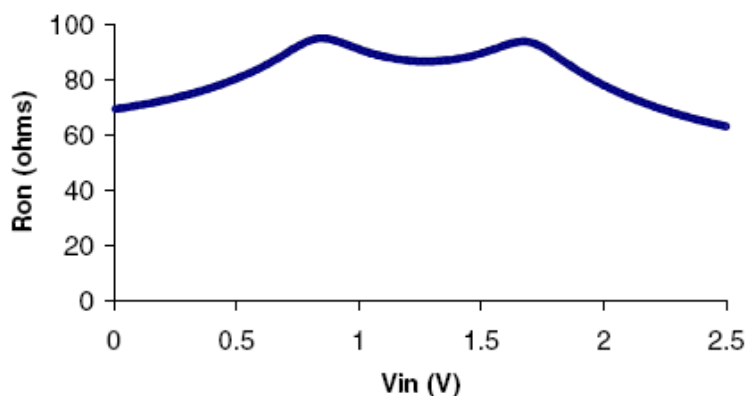


Figura 6.3: Comportamento da resistência R_{ON} de uma chave CMOS cujas dimensões são $L_N=2 \mu\text{m}$, $W_N=60 \mu\text{m}$, $L_P=2 \mu\text{m}$, $W_P=100 \mu\text{m}$. Figura extraída de (RODRÍGUEZ-MONTAÑÉS et al., 2002).

Observa-se na Figura 6.1 que a chave em questão compreende quatro terminais (excluindo os terminais de substrato e poço dos transistores), dois deles são de entrada e saída, não havendo distinção entre eles, i.e., qualquer um dos dois pode ser utilizado tanto como entrada ou como saída, uma vez que o transistor MOS é simétrico (*layout* padrão). Os outros dois terminais são os sinais de controle das chaves (*Cont*, e *Not_Cont* na Figura 6.1). A chave estará fechada (conduzindo) quando o sinal *Cont* estiver em nível lógico 1 e

conseqüentemente quando o sinal *Not_Cont* estiver em nível lógico 0. Esta lógica de controle, com sinais complementares, demanda a utilização de uma porta inversora. A topologia completa da chave em nível de transistores é mostrada na Figura 6.4, incluindo um inversor CMOS.

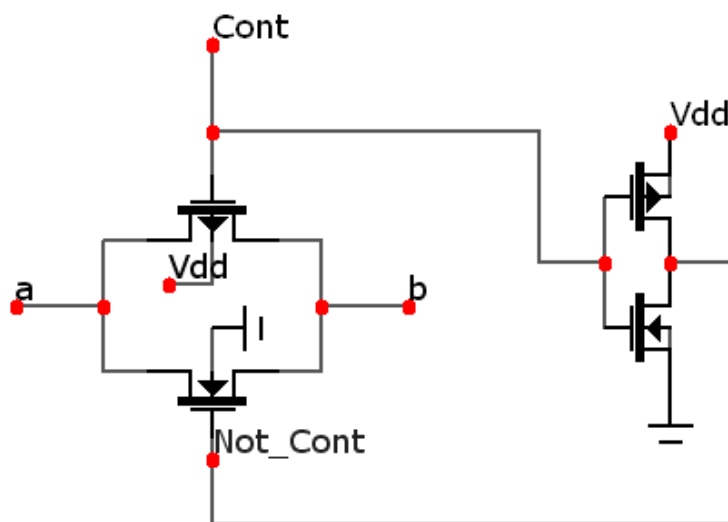


Figura 6.4: Esquema das chaves programáveis do modelo utilizado para os bancos de capacitores, incluindo o inversor CMOS para a lógica de controle.

O modelo *spice* das chaves foi descrito utilizando-se os parâmetros do processo CMOS 0,5 μm da AMI (*America Microsystems Inc.*), atualmente incorporada pela *On Semiconductors* (ON, 2010). Apesar do dispositivo em estudo ser fabricado em tecnologia 0,6 μm , tal modelo foi utilizado devido à sua disponibilidade no site da empresa MOSIS (MOSIS, 2009). O mesmo modelo já havia sido utilizado em trabalhos anteriores para simulações da matriz de interconexões globais do FPAA AN10E40, sendo que os resultados obtidos na simulação ficaram muito próximos aos parâmetros medidos em testes práticos sobre os dispositivos. Além disso, a única informação disponível sobre a tecnologia de fabricação do FPAA diz respeito ao nó tecnológico (0,6 μm). Não há informações disponíveis sobre a fábrica (*foundry*) onde os dispositivos foram concebidos, sendo assim, o modelo considerado consiste de uma aproximação. O modelo *spice* dos transistores utilizado foi o BSIM3v3 (*Berkeley Short-Channel IGFET Model*) no nível 49 (LIU, 2001).

As dimensões dos transistores utilizadas no modelo da chave CMOS foram calculadas em função da resistência R_{ON} desejada e posteriormente ajustadas através da comparação das

simulações *spice* com valores obtidos experimentalmente para a resistência R_{ON} das chaves de roteamento global do FPAA AN10E40.

O valor medido indiretamente para a resistência R_{ON} de uma chave de roteamento global do FPAA AN10E40 foi de, aproximadamente, 145 Ω . De acordo com as simulações utilizando a topologia de chave da Figura 6.4, esta apresenta uma resistência de aproximadamente 145 Ω quando os transistores apresentarem as seguintes dimensões: $L_N=L_P= 0,6 \mu\text{m}$, $W_N = 25 \mu\text{m}$ e $W_P = 60 \mu\text{m}$. A largura do transistor P é aproximadamente duas vezes e meia maior que a largura do transistor N para compensar a diferença da mobilidade de elétrons e lacunas nos dispositivos, de modo que os mesmos tenham condutividades e características dinâmicas semelhantes. Com estes valores foi possível calcular o valor teórico para a resistência R_{ON} da chave, conforme descrito na sequência.

A resistência ON dos transistores MOS tipo N e P, respectivamente, podem ser expressas matematicamente pelas equações 6.1 e 6.2:

$$R_{ON(N)} = \frac{L}{K'_N W (V_{GS} - V_T)} \quad (6.1)$$

$$R_{ON(P)} = \frac{L}{K'_P W (V_{GS} - V_T)} \quad (6.2)$$

Onde W é a largura do canal do transistor, L é o comprimento do canal, V_{GS} é a tensão entre porta e fonte do transistor, V_T é a tensão de limiar e K' é o parâmetro de transcondutância do processo. Os índices N e P identificam os transistores PMOS e NMOS respectivamente.

O único termo que diferencia as equações 6.1 e 6.2 é o parâmetro K' que depende da capacitância de óxido de porta e das mobilidades dos portadores (elétrons ou lacunas) que são diferentes nos transistores P e N. As equações 6.3 e 6.4 descrevem a relação entre o termo K' e a mobilidade dos portadores (μ_o) e capacitância de óxido de porta (C_{ox}).

$$K'_N = \mu_{oN} \cdot C_{ox} \quad (6.3)$$

$$K'_P = \mu_{oP} \cdot C_{ox} \quad (6.4)$$

Segundo dados dos parâmetros do processo de fabricação do qual o modelo SPICE utilizado nas simulações foi extraído, os valores de K'_n e K'_p são respectivamente $33,06 \times 10^{-6} \text{ A/V}^2$ e $11,11 \times 10^{-6} \text{ A/V}^2$ (MOSIS 2009).

O valor de R_{ON} depende também da tensão $V_{GS}-V_T$ que não é constante (conforme Figuras 6.2 e 6.3), pois, apesar da tensão de porta ser constante durante o tempo em que a chave encontra-se fechada, o valor da tensão de fonte depende do sinal que trafega sobre a chave. O valor equivalente de resistência das chaves será então o paralelo entre as resistências $R_{ON(N)}$ e $R_{ON(P)}$. A tensão $V_{GS}-V_T$ foi aproximada por um valor constante e igual a 2, para simplificar as estimativas de cálculo. Assim sendo, o valor calculado para a resistência R_{ON} das chaves cujos transistores apresentam as dimensões aqui estabelecidas ficou em torno de 160Ω (próximo do valor simulado de 145Ω).

Deste modo, as dimensões utilizadas para os transistores da porta inversora foram $L_N = L_P = 0,6 \mu\text{m}$, $W_N = 10 \mu\text{m}$ e $W_P = 25 \mu\text{m}$. A tensão V_{dd} e a tensão de nível alto do sinal de controle são 5 V (tensão nominal de alimentação do FPAA AN10E40).

6.1.2 Modelo completo dos bancos de capacitores

Considerando agora as chaves programáveis descritas na seção anterior, o modelo estrutural de um ramo genérico do banco de capacitores considerado é mostrado na Figura 6.5, onde C_{uni} representa o valor de capacitância unitária, o qual será explicitado no próximo parágrafo, e n é um número inteiro que varia de 0 a 7 para cada um dos ramos do banco de capacitores.

O valor C_{uni} utilizado neste modelo foi extraído de um trabalho publicado por Bratt & Macbeth (1996) os criadores do DPA2D, projeto do FPAA que originou o AN10E40. Nesse trabalho consta que o valor de capacitância unitária do FPAA é $0,12 \text{ pF}$. Assim, considerando que a chave utilizada é implementada em nível de transistores conforme a chave mostrada na Figura 6.4, o modelo considerado para o banco de capacitores é mostrado na Figura 6.6. Com esta estrutura o banco de capacitores tem um valor programável mínimo e uma “resolução” de $0,12 \text{ pF}$ e um valor máximo de $30,6 \text{ pF}$. O banco também pode ser programado como um curto circuito entre seus terminais.

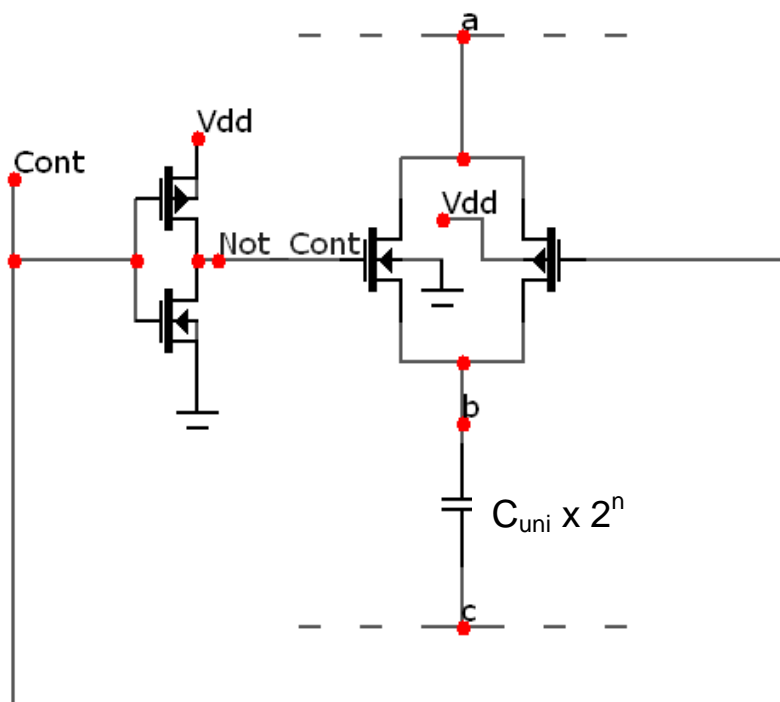


Figura 6.5: Modelo de um ramo do banco de capacitores. Os nós a e c representam os dois terminais do banco.

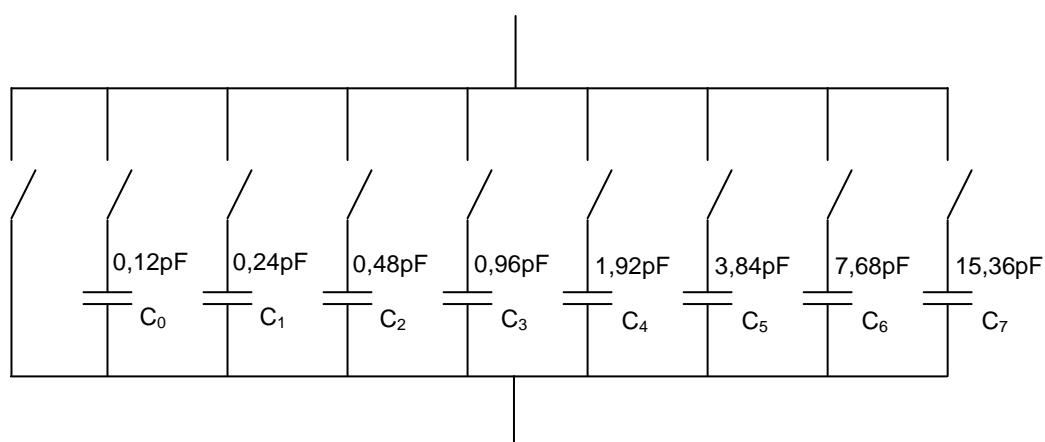


Figura 6.6: Modelo do banco de capacitores com os valores de capacitância de cada ramo.

6.1.3 Modelo compacto dos bancos de capacitores

Um modelo compacto do banco de capacitores foi utilizado com a intenção de facilitar o processo de simulação. Uma vez que é pressuposto que um conjunto de capacitores do banco está efetivamente conectado aos terminais do banco (chaves fechadas) enquanto outro conjunto está desconectado (chaves abertas) e que o SET simulado atinge apenas uma chave

programável de um dos ramos, é possível considerar um valor de capacitância equivalente para os capacitores conectados ao banco. O mesmo pode ser feito para o valor da resistência R_{on} das chaves programáveis dos n capacitores conectados ao banco. A Figura 6.7 mostra o modelo compacto.

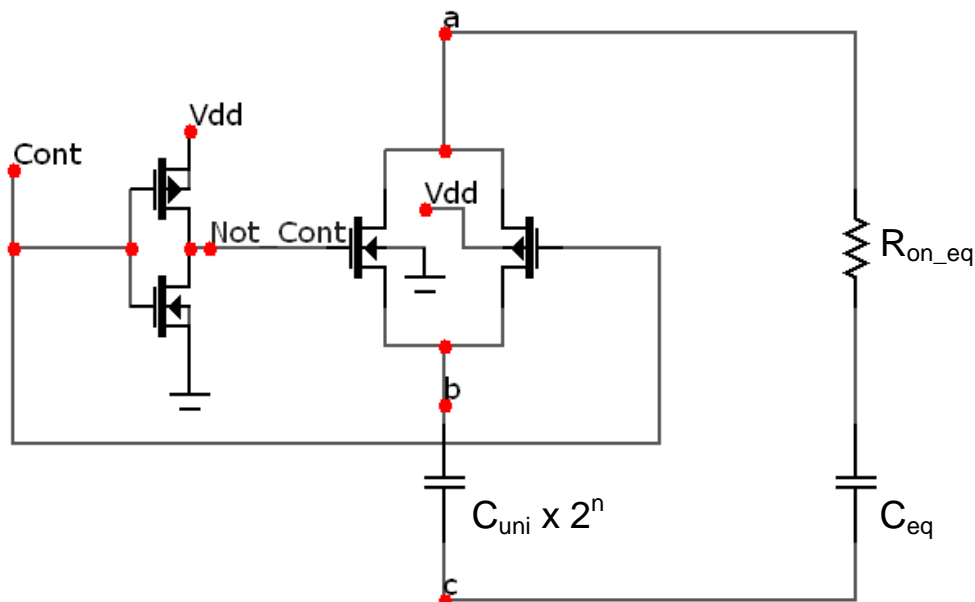


Figura 6.7: Modelo compacto do banco de capacitores, onde C_{eq} é o somatório das capacitâncias efetivamente conectadas ao banco de capacitor (valor programado de capacitância) e R_{on_eq} é o paralelo das resistências “ON” das chaves do banco que se encontram fechadas.

6.2 SIMULAÇÃO E ANÁLISE DE SETs NAS CHAVES DOS BANCOS DE CAPACITORES

A injeção de SETs por simulação, utilizando o modelo compacto do banco de capacitores, foi realizada através da inserção de uma fonte de corrente conectada ao dreno do transistor NMOS (saída) do inversor que controla a chave programável e ao substrato do transistor, que neste caso está amarrado ao terra (GND), conforme ilustrado na Figura 6.8. O pulso de corrente injetado obedece ao modelo de exponencial dupla, descrito na seção 2.4 (MESSENGER, 1982).

Por questão de simplicidade e objetividade, realizou-se a simulação do banco de capacitores isoladamente. Para tanto, o capacitor equivalente que modela os capacitores utilizados foi disposto em série com um resistor de 100Ω e carregado através de uma fonte de tensão de 3 V de amplitude. A carga foi realizada através de uma chave auxiliar entre a fonte e o capacitor, a qual permaneceu fechada o tempo suficiente para carregar o capacitor equivalente programado no banco até uma tensão de 2,84V (valor arbitrado).

Na primeira rodada de simulações foi considerada a situação em que o capacitor equivalente programado no banco (C_{eq} na Figura 6.8) tinha o valor de 127 unidades de capacitância (15,24 pF), ou seja, utilizava os capacitores C_0 a C_6 do banco em paralelo (Figura 6.6). O capacitor considerado desligado foi o capacitor mais significativo (C_7) que compreende 128 unidades de capacitância e cujo valor é 15,36 pF. A largura do pulso transiente injetado, calculada considerando a metade de sua amplitude, foi de 1 ns. A Figura 6.9 mostra os resultados desta simulação.

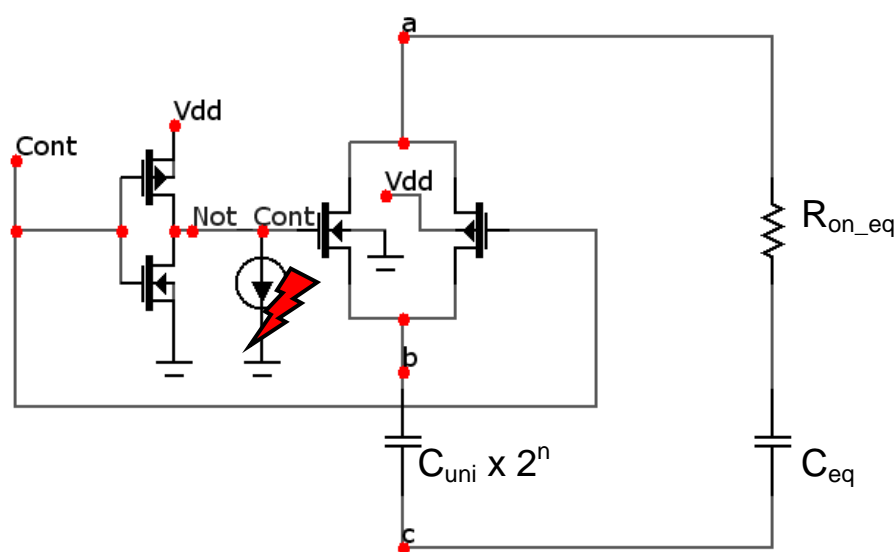


Figura 6.8: Simulação de SET através de fonte de corrente.

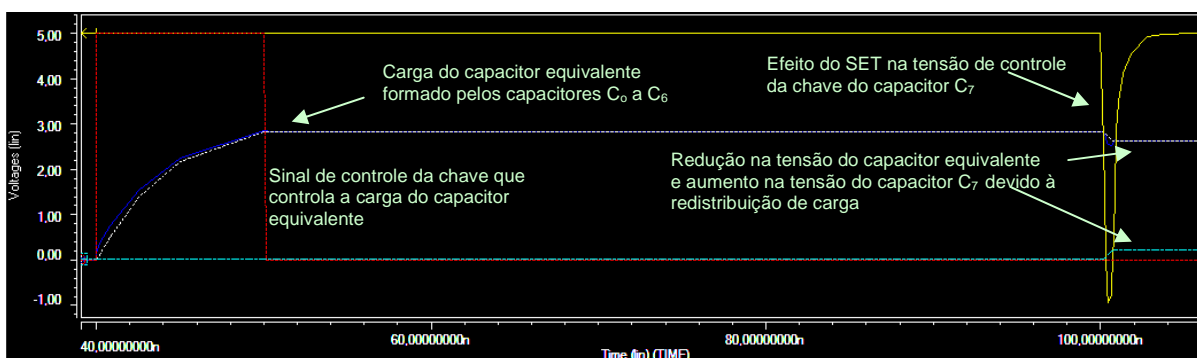


Figura 6.9: resultados da simulação considerando os efeitos de um SET na redistribuição de carga entre dois capacitores equivalentes de valores similares (15,24 pF e 15,36pF) em um mesmo banco de capacitores programável.

Na Figura 6.9 é possível observar o efeito de um SET na tensão armazenada pelo banco de capacitores. Observa-se uma queda de tensão no capacitor programado no banco, enquanto o capacitor que foi momentaneamente conectado ao banco (devido ao SET) teve sua tensão aumentada. As Figuras 6.10 e 6.11 mostram em detalhes estas alterações de tensão. Enquanto

o capacitor equivalente teve uma redução de 210 mV, o capacitor C_7 teve um acréscimo de 231 mV. Os valores de variação de tensão resultante da redistribuição de carga são similares nos dois capacitores, pois os valores de capacitância são também muito próximos.

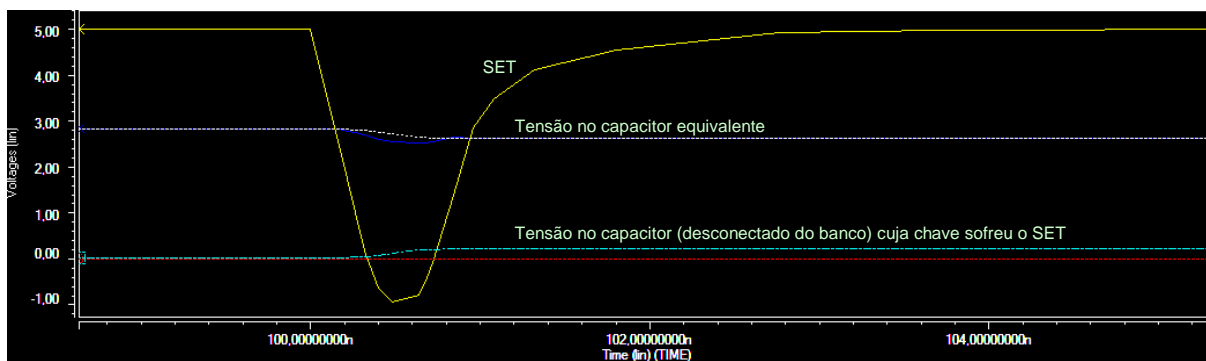


Figura 6.10: Resultados da simulação mostrando em detalhes o pulso ocasionado pelo SET.

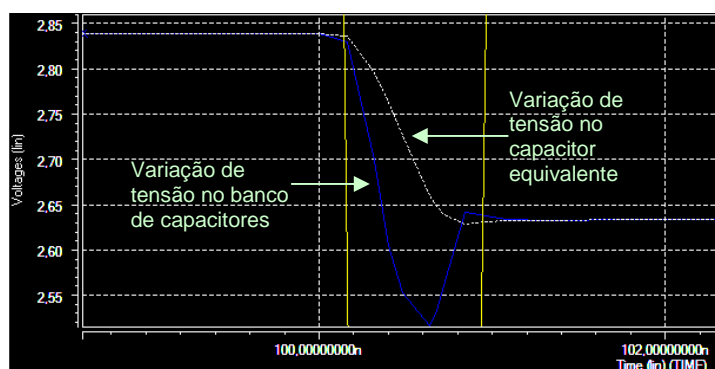


Figura 6.11: Resultados da simulação mostrando em detalhes a redução de tensão no capacitor equivalente programado no banco.

Por questão de praticidade nas explicações das análises que seguem, será utilizada uma nomenclatura comumente aplicada na análise de *crosstalk* em circuitos ou linhas de transmissão acoplados capacitivamente (GAL, 1995). O capacitor conectado momentaneamente ao banco em decorrência de um SET, que “rouba” carga do capacitor equivalente, será denominado “agressor” e o capacitor que perde carga será denominado “vítima”.

As variações de tensão nos capacitores do banco dependem das capacitâncias do capacitor equivalente (vítima) e do capacitor cuja chave sofreu o efeito do SET (agressor). A carga (em Coulombs) armazenada por um capacitor pode ser expressa em função de sua capacitância e da tensão entre seus terminais:

$$Q = C \cdot V \quad (6.5)$$

O capacitor equivalente tem inicialmente uma carga (Q_{eq_I}) armazenada e, após o evento transiente terá uma carga final menor (Q_{eq_F}), de modo que a carga líquida perdida (indicada pelo sinal negativo) será:

$$\Delta Q_{eq} = Q_{eq_F} - Q_{eq_I} \quad (6.6)$$

Onde os índices F e I denotam, respectivamente, as quantidades de carga final e inicial do capacitor.

Pela lei da conservação de carga o módulo da carga perdida pelo capacitor equivalente, será transferido integralmente para o capacitor agressor C_n (onde, de agora em diante, o índice n indica o ramo do banco que sofreu o SET, conforme a Figura 6.6). Deste modo, o acréscimo de tensão no capacitor C_n (ou a tensão final neste capacitor, considerando que a tensão inicial é zero) será:

$$V_n = \frac{|\Delta Q_{eq}|}{C_n} \quad (6.7)$$

Ou seja, quanto maior for a quantidade de carga transferida e quanto menor for o valor da capacitância C_n , maior será a tensão final no capacitor agressor. No entanto, considerando que o capacitor agressor não está sendo utilizado pelo banco, e, que o banco de capacitores é descarregado durante o ciclo de programação de um CAB, o aumento de tensão neste capacitor não é determinante para avaliar a magnitude da perturbação imposta ao circuito. Por outro lado, a redução de tensão no capacitor equivalente poderá ocasionar um pulso transiente na saída do amplificador operacional do CAB do FPAA, principalmente se o SET ocorrer durante a fase de amostragem (conforme discutido nas seções 2.5.3 e 3.2) e, especialmente, nos bancos de capacitores de realimentação local do OPAMP. O efeito desta perturbação na saída do circuito dependerá também da existência de outros bancos de capacitores em paralelo com o capacitor vítima, o que depende do circuito programado (aplicação).

A redução da tensão no capacitor vítima será tão mais severa, quanto maior for o capacitor agressor em relação a C_{eq} (capacitor vítima). Uma maneira simples de entender esta

relação é analisando a transferência de carga em uma situação hipotética em que a chave do capacitor C_n fique permanentemente fechada, ou seja, obtendo os valores finais de carga e tensão dos capacitores. Considerando tal hipótese, o circuito da Figura 6.8 pode ser desenhado conforme a Figura 6.12, na qual o resistor R_{on_n} modela a resistência da chave individual do ramo n do banco de capacitores, quando fechada.

Na análise em questão considera-se que antes da chave do ramo n do banco fechar o capacitor equivalente detinha uma carga inicial Q_{eq_I} e uma tensão inicial V_{eq_I} , enquanto a carga inicial e a tensão do capacitor C_n eram zero. No momento em que a chave fecha se estabelece uma corrente elétrica que tende a descarregar o capacitor C_{eq} , carregando o capacitor C_n . Esta corrente tem intensidade máxima no instante em que a chave fecha, decaindo na medida em que a carga é transferida de um capacitor ao outro. Seu valor inicial é:

$$I(0^+) = \frac{V_{eq_I} - V_{n_I}}{R_{on_n} + R_{on_eq}} = \frac{V_{eq_I}}{(k+1)/R_{on}} \quad (6.8)$$

Onde k é o número de capacitores utilizados para programar o valor do capacitor equivalente e R_{on} é o valor da resistência individual da porta de transmissão utilizada como chave no banco de capacitores.

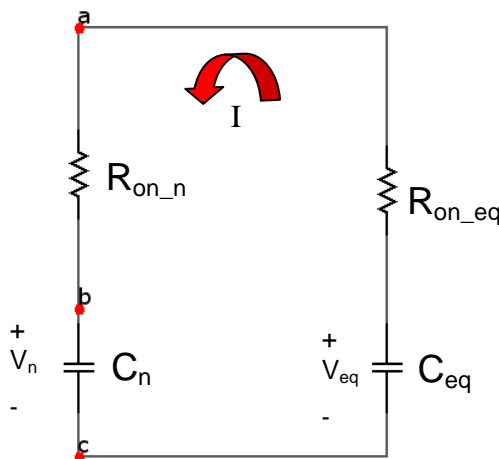


Figura 6.12: Circuito utilizado para análise das condições iniciais e finais de carga e tensão nos capacitores do banco.

Na medida em que a carga é transferida do capacitor vítima para o agressor a tensão do capacitor C_n (agressor) aumenta e a tensão do capacitor C_{eq} (vítima) diminui, diminuindo também a corrente I . Esta cessa quando:

$$V_n(t) = V_{eq}(t) = V_{n_F} = V_{eq_F} \quad (6.9)$$

Nesta condição é possível calcular o valor da carga final de cada um dos capacitores, aplicando a equação 6.1 em 6.5:

$$\frac{Q_{n_F}}{C_n} = \frac{Q_{eq_F}}{C_{eq}} \quad (6.10a)$$

Que pode ser reescrita como:

$$Q_{n_F} = Q_{eq_F} \left(\frac{C_n}{C_{eq}} \right) \quad (6.10b)$$

Logo, o valor da carga final, transferida ao agressor será tão maior quanto maior for o valor deste capacitor em relação ao capacitor vítima (equivalente programado no restante do banco).

Como a carga final dos capacitores, no equilíbrio, dada pela equação 6.10a resulta da redistribuição de carga do capacitor C_{eq} , cuja carga inicial era Q_{eq_I} , e, aplicando novamente a lei da conservação de carga, se obtém:

$$Q_{eq_I} = Q_{n_F} + Q_{eq_F} \quad (6.11)$$

Logo, substituindo a equação 6.10a em 6.11 e rearranjando os termos se obtém:

$$Q_{eq_F} = \frac{Q_{eq_I}}{\left(\frac{C_n}{C_{eq}} + 1 \right)} \quad (6.12)$$

que mostra o fator de perda de carga no capacitor equivalente do banco em função da razão das capacitâncias envolvidas.

Aplicando novamente a equação 6.5 em 6.12 é possível obter a tensão final do capacitor C_{eq} em função das capacitâncias envolvidas, conforme segue:

$$V_{eq-F} = \frac{Q_{eq-F}}{C_{eq}} = \frac{Q_{eq-I}}{\left(\frac{C_n}{C_{eq}} + 1\right) \cdot C_{eq}} = \frac{Q_{eq-I}}{C_n + C_{eq}} \quad (6.13)$$

Uma vez que,

$$Q_{eq-I} = C_{eq} \cdot V_{eq-I} \quad (6.14)$$

Obtém-se:

$$V_{eq-F} = \left(\frac{C_{eq}}{C_n + C_{eq}}\right) \cdot V_{eq-I} \quad (6.15)$$

que mostra que a diminuição da tensão do capacitor vítima (C_{eq}) será tão maior quanto maior for o capacitor agressor (C_n) em relação ao capacitor vítima.

Embora a carga transferida, bem como a perda e o acréscimo de tensão dos capacitores, dependam da razão de capacitâncias apresentada na equação 6.15, elas também dependem do tempo de duração do pulso de tensão induzido pelo SET. A transferência de carga (corrente) ocorre com uma tendência exponencial, diminuindo o módulo da sua derivada com o tempo. Este processo será tão mais rápido quanto menor for a constante de tempo associada ao circuito equivalente. Na prática, o tempo limitado em que a chave do ramo agressor permanece fechada limitará a transferência de carga. Logo, na maioria das vezes, as tensões finais dos capacitores agressor e vítima serão diferentes. No entanto, considerando um mesmo intervalo de tempo, a queda de tensão no capacitor vítima será proporcional à razão das capacitâncias apresentada na equação 6.15.

As conclusões obtidas dessa análise podem ser comprovadas com um conjunto adicional de simulações. Nestas simulações consideram-se situações extremas. Inicialmente, o capacitor vítima é o menor valor possível ($C_0 = 0,12 \text{ pF}$) e o agressor é o maior valor presente no banco ($C_7 = 15,36 \text{ pF}$). O resultado desta simulação é mostrado na Figura 6.13, onde é possível visualizar que o capacitor vítima sofre uma redução de tensão de 2,46 V enquanto o agressor tem um incremento de 25 mV. Esta diferença deve-se à diferença de capacitâncias entre agressor e vítima, uma vez que a carga perdida por um é a mesma que foi armazenada pelo outro.

Na situação complementar, em que o capacitor vítima é igual a 15,36 pF e o agressor é o capacitor C_0 (0,12 pF) o capacitor vítima tem uma redução de tensão pequena (40 mV) ao passo que a tensão do capacitor agressor aumenta em 3,37 V. A simulação desta situação é mostrada na Figura 6.14.

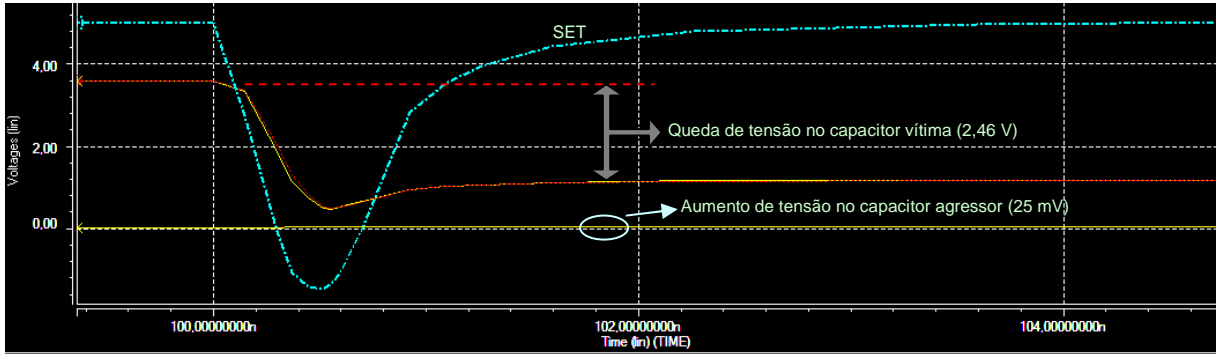


Figura 6.13: Transferência de carga e variações de tensão para valores extremos dos capacitores envolvidos (vítima menor e agressor maior).

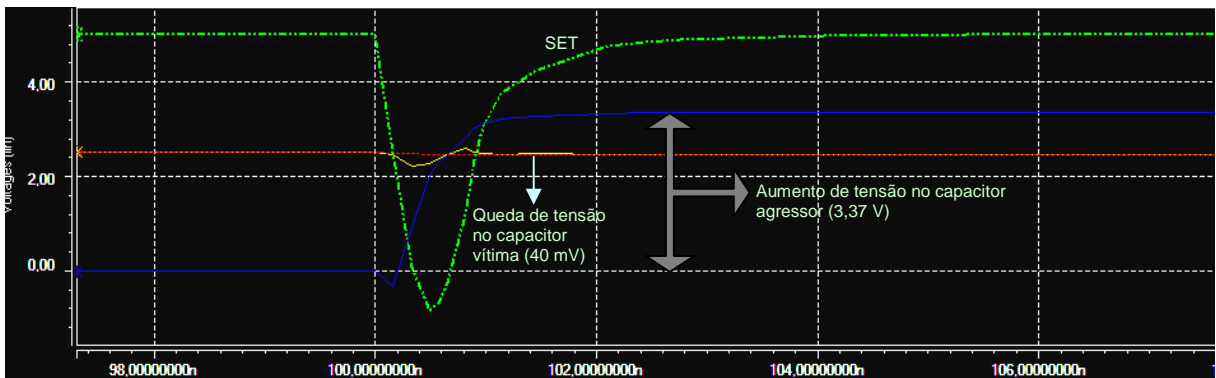


Figura 6.14: Transferência de carga e variações de tensão para valores extremos dos capacitores envolvidos (vítima maior e agressor menor).

Conforme já discutido anteriormente, esta tecnologia (0,5 μm) não apresenta uma vulnerabilidade tão significativa a efeitos de SET ocasionados por incidência de radiação, se comparada com tecnologias mais recentes (como, por exemplo, 130 nm ou 90 nm). Deste modo, para gerar um pulso de tensão que seja percebido como uma alteração de nível lógico pelo inversor de controle da porta de transmissão, o valor de pico da corrente do pulso utilizado nestas simulações foi 20 mA, o que não configura um modelo de corrente absolutamente realista para este tipo de evento.

No entanto, neste caso, o valor da tensão gerada na saída do inversor de controle, depende também das dimensões do inversor. Nas simulações acima as dimensões consideradas para os transistores são: $L_n = L_p = 0,6 \mu\text{m}$, $W_n = 10 \mu\text{m}$ e $W_p = 25 \mu\text{m}$. Com

estas dimensões, uma corrente com pico de 5 mA, por exemplo, não gera uma perturbação na chave do banco de capacitores a ponto de resultar em uma redistribuição de carga, conforme mostrado na Figura 6.15. A configuração dos capacitores utilizada na simulação mostrada na Figura 6.15 é mesma utilizada nas simulações da Figura 6.13 (agressor com maior capacitância e vítima com menor capacitância).

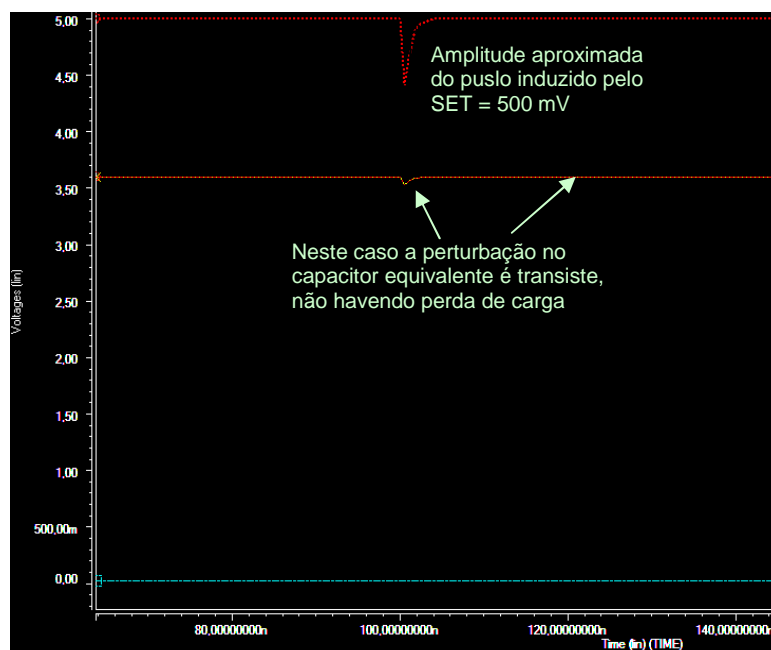


Figura 6.15: Pulso de tensão na saída do inversor de controle da chave do banco de capacitores ocasionado por um pulso transiente de 5 mA de pico.

Por outro lado se o inversor de controle for implementado com dimensões mínimas, ou menores do que as apresentadas acima, um pulso de corrente de amplitude menor pode ocasionar uma inversão temporária do estado da saída do inversor. Este fato é ilustrado na Figura 6.16 que mostra o efeito de redistribuição de carga ocasionado por um pulso de corrente de 2 mA na saída do inversor de controle quando este possui dimensões reduzidas ($L_n = L_p = 0,6 \mu\text{m}$, $W_n = 1 \mu\text{m}$ e $W_p = 2,5 \mu\text{m}$). Esta corrente configura uma condição mais realista, próxima a valores medidos em trabalhos experimentais relacionados, como, por exemplo, no pulso mostrado na Figura 2.21, do capítulo 2 (FERLET-CAVROIS et al. 2006)

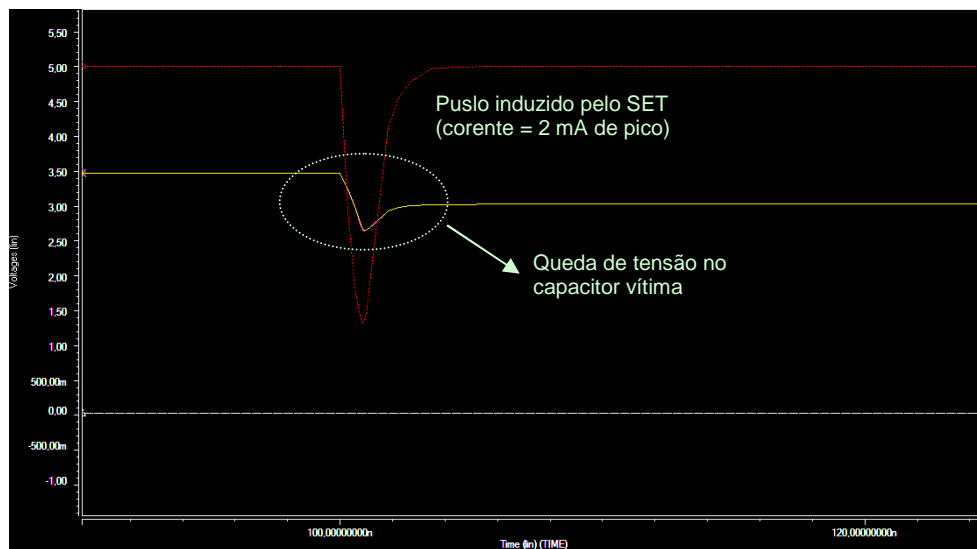


Figura 6.16: Pulso na saída do inversor de controle da chave do banco de capacitores ocasionado por um pulso transiente de 2 mA de pico quando as dimensões do inversor são $L_n=L_p=0,6\mu\text{m}$, $W_n=1\mu\text{m}$ e $W_p=2,5\mu\text{m}$.

6.3 PROPOSTAS PARA IMPLEMENTAÇÃO DE TOLERÂNCIA A SET EM NÍVEL DE PROJETO

As seções anteriores mostraram evidências de que a estrutura típica de um banco de capacitores programável apresenta vulnerabilidades a efeitos transientes, podendo sofrer com um efeito definido como redistribuição de carga. Este fenômeno ocorre devido à arquitetura do banco e independe do nó tecnológico ao qual pertence o circuito. No entanto, as tecnologias mais atuais são especialmente mais vulneráveis, em função das capacitâncias de porta dos transistores e das tensões de alimentação reduzidas, o que contribui para geração de um pulso de tensão perceptível pela lógica de controle das chaves.

Mais simulações são necessárias para mapear de forma precisa a influência do dimensionamento das chaves, do inversor e dos capacitores na vulnerabilidade do banco aos SETs. No entanto, os resultados obtidos com as simulações apresentadas permitem sugerir algumas técnicas que podem ser empregadas para reduzir ou até mesmo evitar a redistribuição de carga induzida por um SET, conforme será discutido na sequência.

Nas simulações realizadas na seção 6.2 um dos fatores observados que contribui para que o efeito de redistribuição de carga seja mais severo é a disparidade de valores entre o capacitor agressor e o capacitor vítima, especialmente quando o agressor possui um valor maior. Deste modo, a primeira sugestão é modificar a arquitetura do banco, de modo que não haja mais o agrupamento binário, ou seja, cada capacitor unitário pode ser conectado ao banco

independentemente. Tal arquitetura é mostrada na Figura 4.10(a), do capítulo 4. Neste caso, considerando que o capacitor agressor será sempre menor ou igual ao capacitor vítima, a queda de tensão neste último, ocasionada pela redistribuição de carga, tende a ser minimizada. Neste caso, o número de capacitores unitários permanece o mesmo, não havendo aumento de área destinada aos capacitores em si. No entanto, o número de chaves programáveis aumenta de 8 para 256 por banco, o que configura um ponto negativo desta proposta. Como um exemplo, o FPAA AN10E40 possui no total 100 bancos de capacitores, logo, o número total de chaves com a finalidade de programar estes bancos aumentaria de 800 para 5210. Além disso, as interconexões e a lógica de controle tornar-se-iam mais complicadas e haveria um aumento significativo no número de bits do *bitstream* de programação (dos atuais 6864 para, no mínimo, 11274 – um aumento de 64,24%). Deste modo, seriam necessárias 64,24% mais células SRAM para armazenar a memória de programação e o tempo de configuração do dispositivo também aumentaria.

Outra proposta consiste em duplicar as chaves dos bancos de capacitores, duplicando também o número de inversores de controle necessários. Esta proposta é ilustrada na Figura 6.17, que mostra um ramo do banco de capacitores. Neste caso, considerando que o nó vulnerável é a saída do inversor de controle das chaves, o bit que programa o estado das chaves pode ser o mesmo, não implicando em aumento de memória. No entanto, mesmo que, por algum motivo, seja necessário alocar os bits em células de memória distintas, o número de bits de controle destinados aos bancos dobraria (de 800 para 1600), mas o aumento total em relação ao dispositivo seria de 11,65%. Embora a proposta de duplicação das chaves imponha uma penalização de aumento de área do circuito, esta não será tão significativa do ponto de vista global, pois estas chaves representam apenas uma parte das chaves programáveis do dispositivo. Ainda, grande parte da área total dos FPAA's é dominada pelos bancos de capacitores, os quais são usualmente maiores do que as chaves utilizadas para sua programação.

Com as chaves e inversores duplicados, um SET em uma das chaves poderá fazer com que esta feche momentaneamente, no entanto a outra continuará aberta, evitando o estabelecimento de corrente e a redistribuição de carga. No entanto, para evitar que um SET interfira nas duas chaves, os inversores devem estar fisicamente separados (conforme sugerido no trabalho de Fleming et al., (2008), discutido no capítulo 3) e, como proteção adicional, um anel de guarda pode ser utilizado.

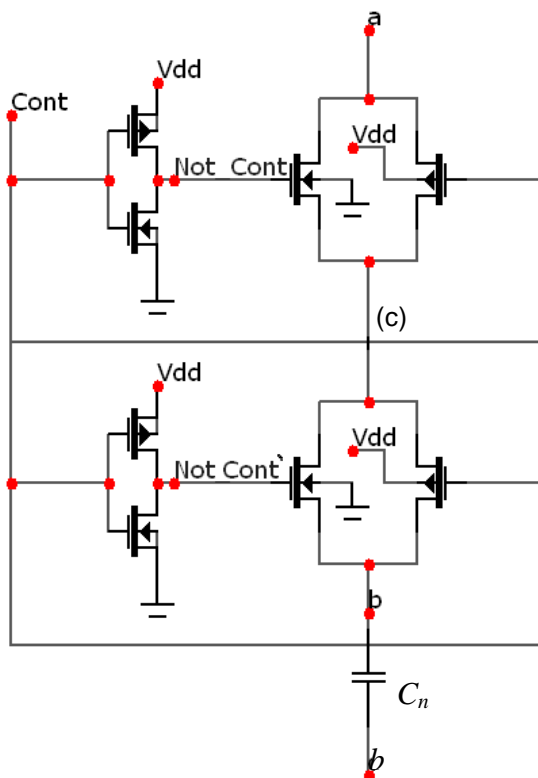


Figura 6.17: Um dos ramos do banco de capacitores considerando a proposta de duplicação das chaves programáveis.

A Figura 6.18 mostra uma simulação, considerando esta topologia do banco de capacitores, no caso em que o capacitor agressor tem o maior valor possível (15,36 pF) o capacitor vítima é o capacitor de valor unitário (0,12 pF). Observa-se que houve um decréscimo de 0,16 V na tensão do capacitor vítima após o SET. Esta redução é muito inferior à observada sob as mesmas condições, mas, sem a duplicação nas chaves, a qual foi de 2,46 V, conforme ilustrado na Figura 6.13. Na simulação em questão o nó afetado pelo SET foi o nó de saída do inversor de controle da chave que está conectada diretamente ao capacitor agressor (*Not_Cont'* na Figura 6.17).

Um comportamento diferente foi observado quando o pulso transiente foi injetado no inversor de controle da chave que está conectada ao nó “a” do banco de capacitores (chave mais próxima ao capacitor vítima). Neste caso, o nó que consiste na interconexão das duas chaves do ramo (nó “c” na Figura 6.17) acaba por armazenar carga em virtude de sua capacitância intrínseca (parasita), conforme mostrado na Figura 6.19. Deste modo o nó “c” acaba fazendo o papel de agressor, tendendo a descarregar o capacitor vítima. No entanto, uma vez que a capacitância do nó, não é muito elevada (se comparada com os possíveis

agressores de um banco sem redundância nas chaves) a queda de tensão no capacitor vítima é menor do que a observada no caso sem redundância.

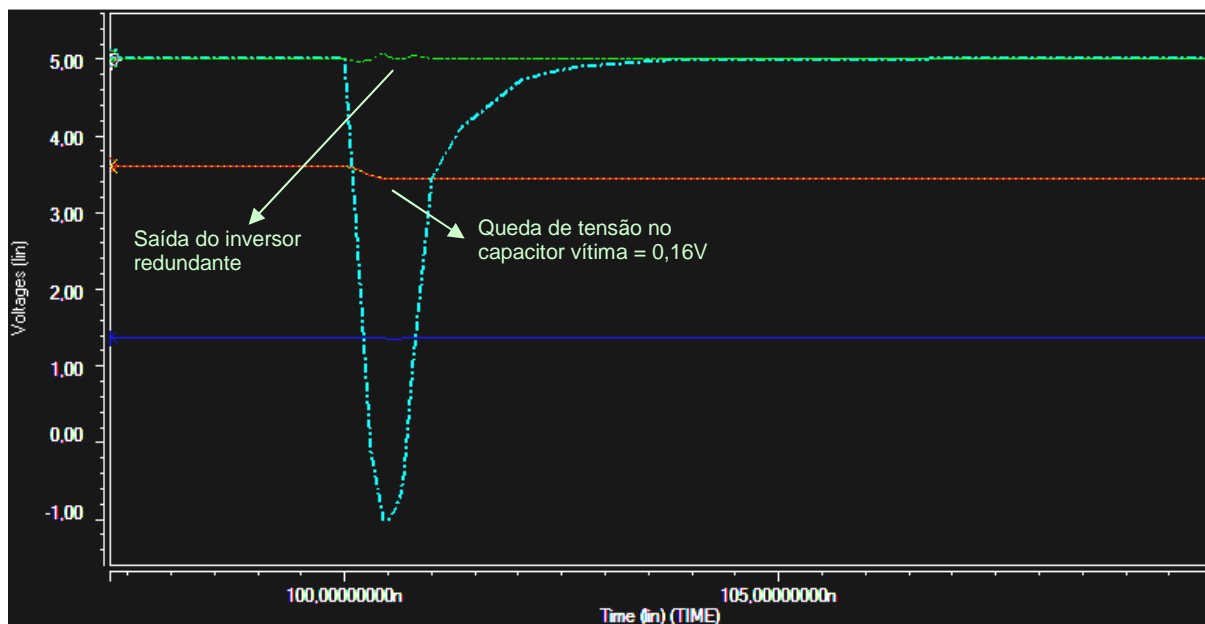


Figura 6.18: Transferência de carga e variações de tensão para valores extremos dos capacitores envolvidos (vítima menor a agressor maior) utilizando chaves redundantes para programação do banco. Neste caso a chave afetada é a que está conectada ao capacitor “agressor”.

Nas Figuras 6.18 e 6.19 o capacitor vítima considerado foi o capacitor C_0 , ou seja, o menor e mais vulnerável capacitor do banco. Quando capacitores maiores são programados no banco a queda de tensão em decorrência da redistribuição de carga para o nó “c” é menor, conforme mostrado na Figura 6.20.

Uma terceira proposta para proteção em nível de projeto de banco de capacitores é relacionada ao dimensionamento do inversor de controle das chaves programáveis. Conforme mostrado na seção 6.2 (Figuras 6.15 e 6.16), a utilização de dimensões maiores do que as dimensões mínimas, como no caso da largura de canal (W) faz com que correntes transientes maiores sejam toleradas sem inverter a tensão do nó, e conseqüentemente, não alterando o estado da chave.

O dimensionamento do inversor dependerá da tecnologia utilizada e do valor da corrente que se pretende tolerar (que dependerá da transferência de energia (LET) das partículas que possam incidir sobre o circuito). A obtenção de um valor para a largura dos transistores deverá obedecer a um compromisso entre robustez e área ocupada pela porta de transmissão, que deve ser conhecida ou definida pelo projetista.

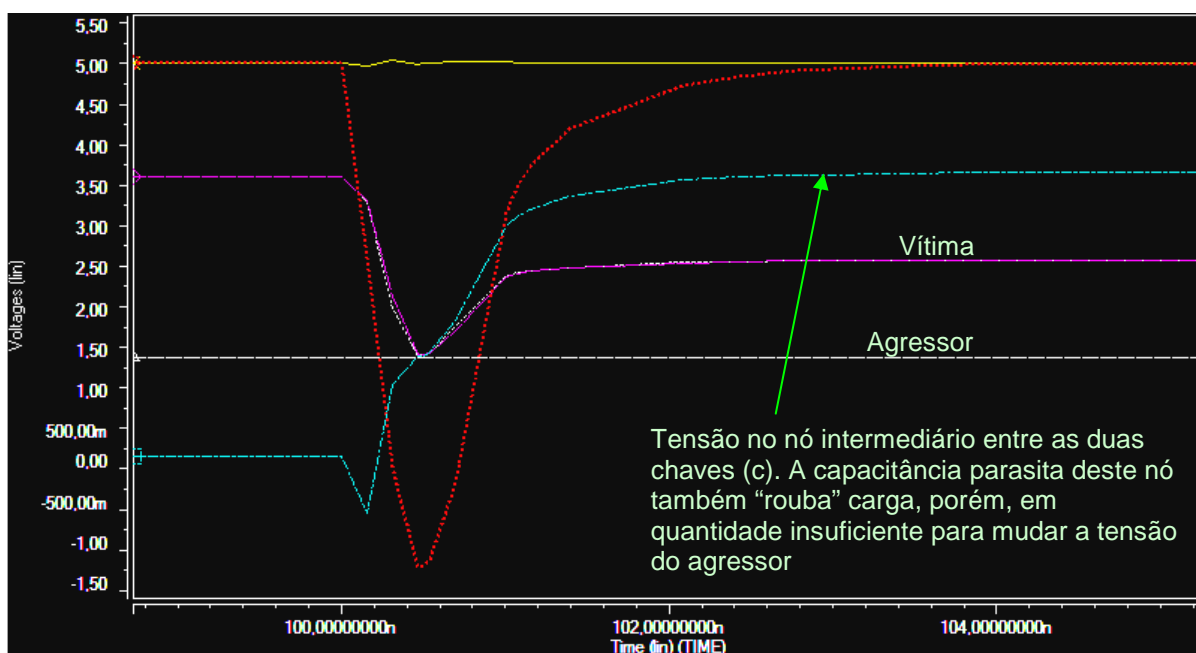


Figura 6.19: Transferência de carga e variações de tensão para valores extremos dos capacitores envolvidos (vítima menor e agressor maior) utilizando chaves redundantes para programação do banco. Neste caso a chave afetada é a que está conectada ao capacitor “vítima”.

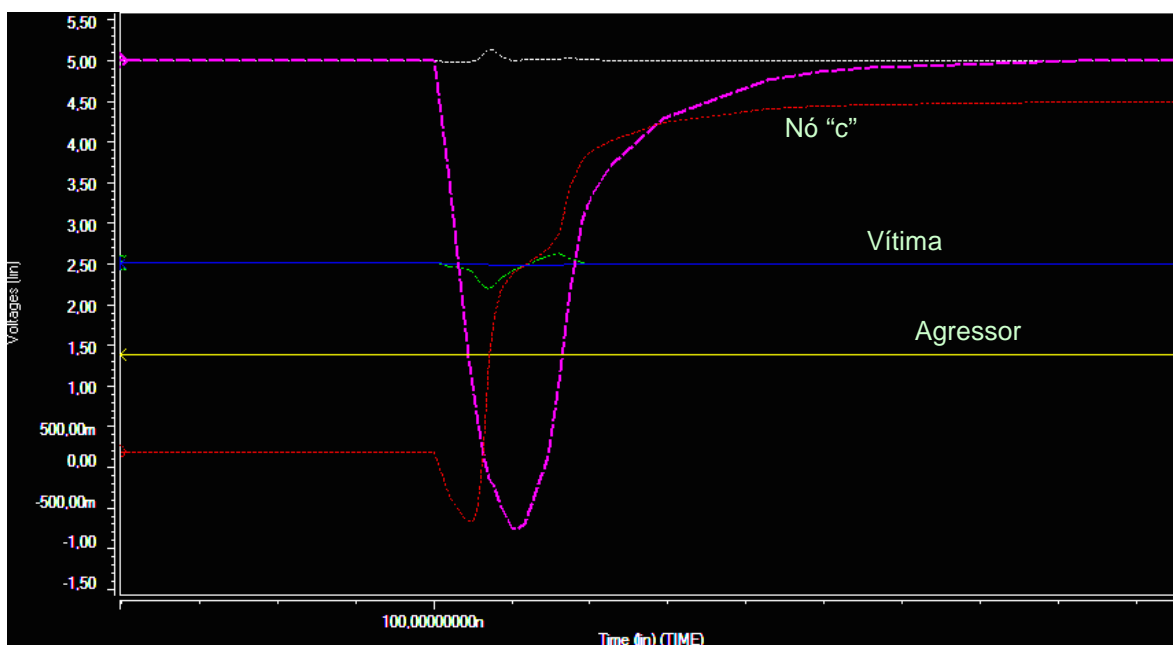


Figura 6.20: Simulação do efeito de um SET no inversor de controle na chave conectada ao capacitor “vítima” quando este tem um valor de 127 unidades de capacitância (15,24 pF) e o agressor 128 unidades de capacitância (15,32 pF).

Finalmente, é possível considerar uma técnica de proteção que não depende de alterações de projeto, mas que nem sempre poderá ser aplicada. Trata-se da otimização de “políticas” de programação, a serem implementadas no *software* que realiza a programação

do dispositivo. Quando um determinado bloco funcional necessita ser programado com um parâmetro que depende de uma razão de capacitâncias (o que é muito comum em circuitos a capacitores chaveados), como, por exemplo, o ganho na faixa de passagem de um filtro ($G=C_2/C_1$), a seleção dos valores de C_1 e C_2 devem priorizar a escolha por valores maiores. Obviamente, nem sempre será possível maximizar o valor dos capacitores, pois estes podem também interferir em outros parâmetros do circuito como, por exemplo, a frequência de corte. No entanto, mesmo não conseguindo proteger o circuito em 100% dos casos, a implementação destas políticas, o que demanda alterações no algoritmo que calcula os valores dos capacitores a serem programados, pode ser uma alternativa para aumentar a robustez dos módulos programados no FPAA.

7. ESQUEMA DE AUTO-RECUPERAÇÃO BASEADO EM REDUNDÂNCIA

O circuito de detecção de erros apresentado na seção 5.2.2 é aplicável apenas ao bloco considerado como circuito sob teste (CUT, do inglês: *Circuit Under Test*) naqueles experimentos (um oscilador senoidal). Além disso, tal bloco compõe um esquema de teste *off-line* (fora de funcionamento) e o propósito do circuito é apenas facilitar os experimentos de injeção de falhas. Contudo, é possível tirar vantagem da programabilidade dos FPAA para construir circuitos detectores de erros (*checkers*) que possam ser utilizados em esquemas *on-line* (em funcionamento). Deste modo, é possível implementar circuitos auto-checáveis (*self-checking*) e auto-recuperáveis (*self-recovering*) utilizando FPAA. Este capítulo apresenta uma proposta de utilização dos recursos programáveis do FPAA para configurar um esquema de autodetecção e autocorreção de erros ocasionados por *bit-flips*, tais quais os apresentados no capítulo 5.

7.1 ARQUITETURA PROPOSTA

Se ocorrer um *bit-flip* em uma célula de memória do FPAA a única possibilidade de recuperar os dados originalmente programados é recarregando o *bitstream* de programação para a memória do dispositivo. A memória de programação do FPAA é organizada sob a forma de um *shift-register* (registrador de deslocamento) que é carregado durante os ciclos de inicialização (depois de ligada a alimentação) e *reset* do dispositivo.

A maneira mais simples de realizar a programação do AN10E40 é através de uma interface serial. Neste caso os dados de configuração ficam armazenados em uma memória ROM serial externa. Este esquema de configuração é amplamente utilizado na configuração de FPGAs, sendo uma alternativa de programação de baixo custo.

O esquema de auto-recuperação proposto consiste em um *checker on-line* que força o *reset* do FPAA, e, conseqüentemente, a recarga dos dados, se um desvio funcional é detectado no circuito. Tal esquema é baseado em redundância. O circuito de interesse programado é duplicado e o *checker* subtrai as saídas do circuito e de sua réplica, gerando um sinal de erro. Este sinal de erro é aplicado à entrada de um comparador de janela com limites de referência pré-definidos. Se o sinal de erro desviar desta janela de referência o comparador irá ativar o *reset* do dispositivo e a configuração original será então recarregada. Para tal fim uma lógica externa extremamente simples é necessária.

A Figura 7.1 mostra o diagrama de blocos do esquema proposto, considerando um filtro passa-banda como bloco funcional. Embora neste trabalho seja utilizado um filtro passa-banda, esta metodologia pode ser aplicada a qualquer bloco funcional que possa ser programado no dispositivo em questão. A Figura 7.2 mostra a resposta em frequência do filtro passa-banda programado, bem como seus principais parâmetros e o número de CABs utilizados na implementação.

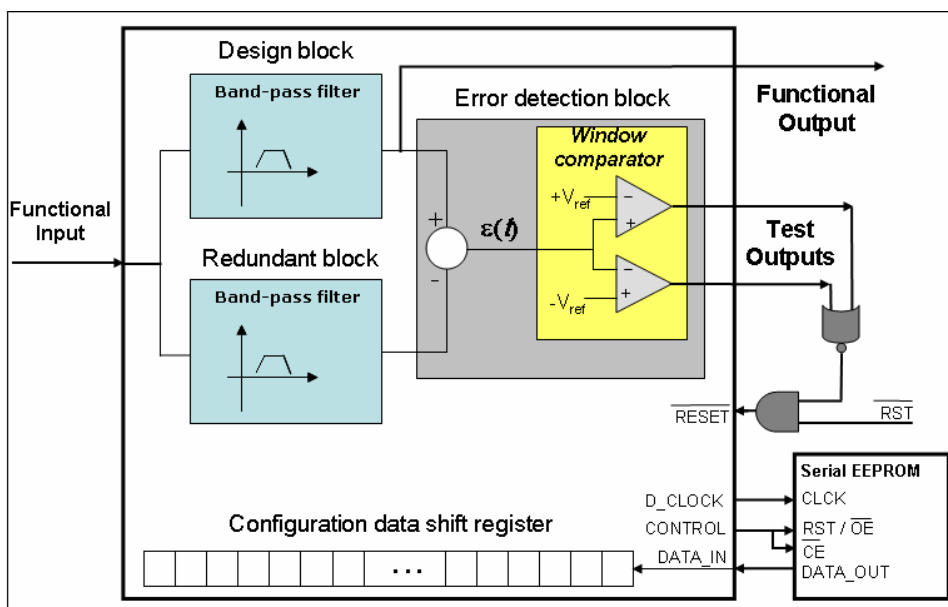


Figura 7.1: Diagrama de blocos do esquema de auto-recuperação com o FPA AN10E40

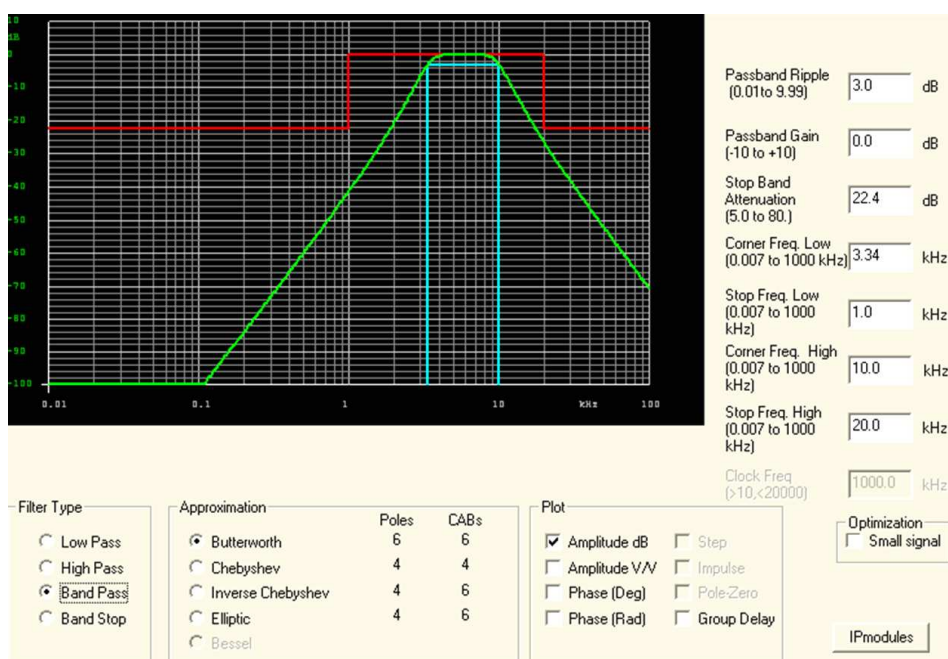


Figura 7.2: Parâmetros e resposta em frequência do filtro programado como bloco funcional de interesse

Tanto o *checker* como o bloco redundante são construídos utilizando os recursos internos do FPAAs. Uma vez que o dispositivo compreende um número limitado de CABs, o número de blocos programáveis disponíveis para a função de interesse é também restrito. A Figura 7.3 mostra a área de trabalho do software *Anadigm Designer* com a representação dos blocos utilizados no esquema proposto.

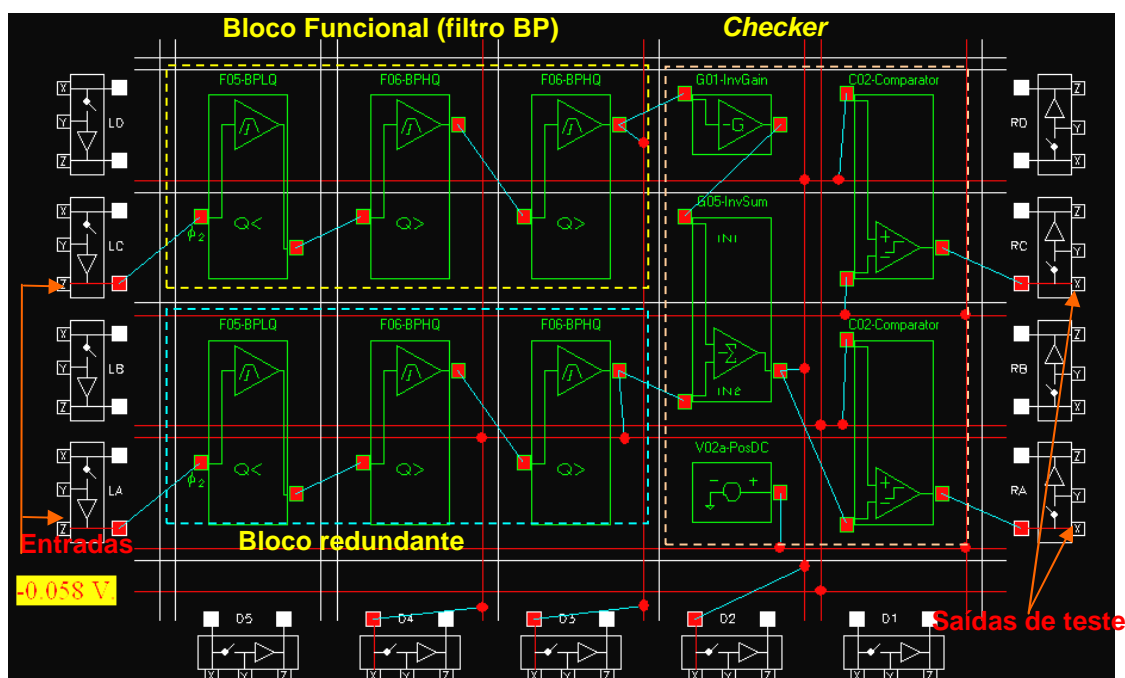


Figura 7.3: Diagrama de blocos (tela do software de programação) do esquema proposto

A Figura 7.4 mostra as formas de onda dos sinais na saída dos dois filtros e o sinal de erro, adquiridos durante um experimento de injeção de falhas funcionais. Neste experimento um desvio de +10% na frequência de corte superior de um dos filtros (de 10 kHz para 11 kHz) foi injetado. Um sinal retangular com ciclo ativo de 50%, dois Volts (pico) de amplitude e frequência igual a 10 kHz foi aplicado à entrada dos filtros. A janela de tolerância considerada foi ± 58 mV. A Figura 7.5 mostra a saída de ambos comparadores que compõem o comparador de janela do *checker* quando o sinal de erro ($\varepsilon(t)$) excede os limites de tolerância programados.

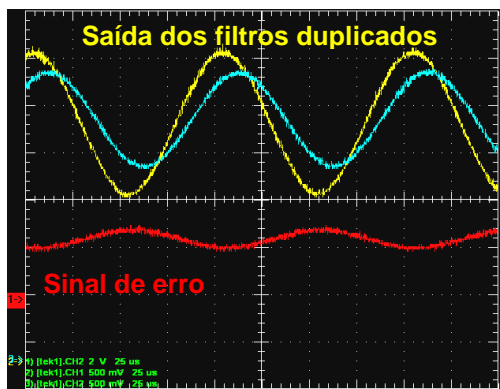


Figura 7.4: Sinais de saída dos filtros e sinal de erro considerando um desvio injetado em um dos filtros

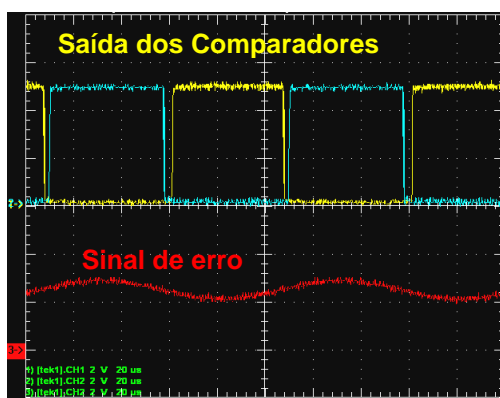


Figura 7.5: Saída dos comparadores quando o sinal de erro excede os limites de tolerância.

Através da Figura 7.3 observa-se que o *checker* necessita de 8 CABs quando utilizados os blocos da biblioteca padrão do software *Anadigm Designer*. Logo, 12 CABs ficam disponíveis para a implementação do bloco funcional de interesse e sua réplica, limitando o bloco funcional a 6 CABs. Este número de CABs disponíveis é relativamente reduzido, uma vez que apenas 30% dos recursos programáveis estão disponíveis para implementar o bloco funcional definido pelo usuário quando o esquema proposto for utilizado. Entretanto, o *checker* não é um bloco muito complexo, logo, se blocos customizados pudessem ser utilizados (biblioteca diferenciada fornecida pelo fabricante) o circuito detector de erro poderia ser construído com no máximo 4 CABs (20% dos CABs disponíveis). Os CABs restantes (80%) seriam divididos entre o bloco de interesse e sua réplica, o que significa que 8 blocos programáveis ficariam disponíveis para o usuário.

Dependendo da complexidade do projeto 8 CABs pode ser um número razoável, uma vez que é possível implementar 4 filtros de segunda ordem, por exemplo, ou até mesmo um conjunto de blocos lineares e não lineares. Mesmo assim, em aplicações críticas os custos de implementação podem ser uma preocupação secundária, como é o caso de circuitos expostos à radiação. Logo, caso seja necessário utilizar mais que um FPAA no projeto, o aumento nos

custos do sistema pode ser compensado pela característica de tolerância a falhas associada aos esquemas baseados em redundância.

Uma possível alternativa de proteção para estes dispositivos, visando evitar o consumo de recursos programáveis na construção do *checker*, é a utilização de *scrubbing* periódico, sem necessitar da detecção de um erro. Neste caso, não é necessário utilizar blocos redundantes programados no FPAA, mas necessita-se de um circuito externo para fazer o controle de temporização do *scrubbing*. Embora simples e fácil de implementar, tal técnica não garante a correção de um erro funcional de imediato, ao contrário da metodologia proposta. Adicionalmente, para um ambiente no qual a taxa de erros estimada seja baixa, ou desconhecida, o *scrubbing* periódico configura-se em um desperdício de energia se comparado com a técnica proposta, uma vez que recargas desnecessárias da memória de programação serão realizadas.

7.2 INJEÇÃO DE FALHAS NO CIRCUITO DETECTOR DE ERRO (CHECKER)

A capacidade do *checker* de detectar desvios funcionais nos blocos sob teste (bloco funcional e sua réplica) foi mostrada na seção anterior. Nesta seção são apresentados experimentos e resultados de injeção de *bit-flips* no próprio *checker* com a finalidade de verificar a confiabilidade do esquema proposto. A justificativa para considerar a injeção de *bit-flips* apenas no *checker*, no restante deste trabalho, reside no fato de que a probabilidade de falhas múltiplas afetarem exatamente os mesmos bits do bloco funcional e de sua cópia é extremamente baixa. Logo, uma falha (ou um conjunto de falhas) pode manter as saídas de ambos os blocos inalteradas (como mostrado na seção 5.2) ou causar um desvio entre os blocos gerando um sinal de erro maior que os limites de tolerância. Assim, é altamente provável que mesmo após sucessivos SEUs nos elementos de memória do FPAA um sinal de erro seja gerado e o *checker* detecte a falha que ocasionou o erro. Além disso, a análise do comportamento do *checker* quando afetado por falhas, possivelmente ocasionadas por SEUs, torna-se essencial, uma vez que o bloco detector de erro é um bloco universal, que pode ser utilizado independentemente do bloco funcional programado.

A seguir algumas definições utilizadas no domínio digital para circuitos *self-checking* (ANDERSON, 1971) são apresentadas e utilizadas para definir algumas propriedades do *checker* proposto na seção anterior. Tais definições consideram um bloco G (o *checker*, nesta

análise) com um espaço de código de entrada A , um espaço de código de saída B e um dado conjunto de falhas F , conforme segue:

Definição D1: “ G é *fault secure* em relação a F se, para todas as falhas em F e para todas as entradas do código, a saída ou é correta ou é uma palavra que não pertence ao código válido”.

Definição D2: “ G é *self-testing* em relação a F se, para cada falha em F , existe pelo menos uma entrada pertencente ao código que produz uma saída não pertencente ao código válido”.

Definição D3: “ G é *totally self-checking* (TSC) em relação a F se for ao mesmo tempo *fault secure* e *self-testing* em relação a F ”.

Para circuitos analógicos podemos considerar que o espaço de código corresponde aos limites esperados para um dado sinal, considerando características como amplitude, frequência fundamental e conteúdo harmônico. Considerando o esquema redundante proposto neste trabalho e as tensões nas saídas do bloco funcional ($V_{oF}(t)$) e do bloco redundante ($V_{oR}(t)$), o espaço de entrada do *checker* deve satisfazer a seguinte equação:

$$\left| V_{oF}(t) - V_{oR}(t) \right| < \left| V_{ref} \right| \quad \text{para qualquer valor de } t \quad (7.1)$$

onde V_{ref} é o valor absoluto dos limites considerados para o comparador de janela.

Os resultados obtidos na primeira parte experimental deste trabalho, considerando a injeção de falhas no oscilador, associada à condição imposta pela Equação 1, permite concluir que o *checker* é *fault secure* (considerando uma hipótese de falha simples). Entretanto, estes mesmos resultados nos levam a concluir que é altamente provável que o *checker* não seja *self-testing* (e, conseqüentemente, também não seja TSC) dado que algumas falhas do modelo considerado podem afetar um recurso não utilizado dos DUTs, e, neste caso, os sinais de saída dos blocos pertencerão ao espaço válido mesmo com uma falha afetando um dos DUTs.

No entanto, de acordo com (NICOLAIDIS e COURTOIS, 1998), do ponto de vista da segurança do sistema, em um esquema *self-checking* não existe a necessidade de que o *checker* seja TSC, basta que o mesmo seja *strongly code disjoint*, de acordo com as definições seguintes:

Definição D4: “Uma determinada rede é *code disjoint* se palavras pertencentes ao código de entrada sempre geram palavras pertencentes ao código de saída e palavras não

pertencentes ao código de entrada sempre geram palavras não pertencentes ao código de saída”.

Definição D5: “Um circuito G é *strongly code disjoint*, considerando um conjunto de falhas F , se, antes da ocorrência de qualquer falha, G for *code disjoint e*, para cada falha f pertencente a F , **ou** a) G é *self-testing* **ou** b) G modificado por uma falha f gera sempre saídas não pertencentes ao código para entradas não pertencentes ao código de entrada e , se uma nova falha pertencente a F ocorrer, resultando no caso de falhas múltiplas, **ou** a) **ou** b) são verdadeiros”.

Para verificar se o *checker* proposto neste trabalho é *strongly code disjoint* dois conjuntos de experimentos foram realizados. Primeiramente foram injetados *bit-flips* no *bitstream* de programação do *checker* quando o circuito funcional e sua réplica não apresentavam desvio em seu comportamento (sem falhas). Este experimento foi realizado para investigar se o *checker* satisfaz a propriedade *self-checking*. No segundo conjunto de experimentos o procedimento é repetido quando um desvio funcional é injetado em um dos blocos sob teste (bloco funcional ou sua réplica). Nos dois conjuntos de experimentos o estímulo de entrada dos blocos é um sinal retangular de 2V de pico e frequência 10 kHz. O principal objetivo do segundo conjunto de experimentos é investigar a confiabilidade do *checker* e o fenômeno conhecido como *fault aliasing*, que pode ocorrer quando uma falha no bloco sob teste não é detectada em razão de uma falha que ocorra ao mesmo tempo no *checker*. Os resultados destes experimentos são mostrados a seguir.

7.2.1 Injeção de Falhas no *Checker* (Parte I): DUTs Sem Falhas

Neste conjunto de experimentos, falhas de inversão de bit são exaustivamente injetadas nos 5 blocos que compõe o *checker* (8 CABs). Uma vez que cada CAB é programado através de 208 bits, 1664 falhas são injetadas no *bitstream* do *checker*.

Os blocos sob teste são mantidos com suas configurações originais, ou seja, com ambos os blocos operando dentro de suas especificações. Neste caso o sinal de erro deve se manter dentro da janela de referência (espaço de entrada válido do *checker*) e ambos comparadores do *checker* devem estar com suas saída em 0V. No entanto, se uma falha afetar o *checker*, uma indicação de erro pode ocorrer. Neste caso o *checker* estará detectando uma falha originada em seus próprios blocos. A Figura 7.6 exemplifica a configuração destes experimentos bem como o comportamento esperado para o sinal de erro.

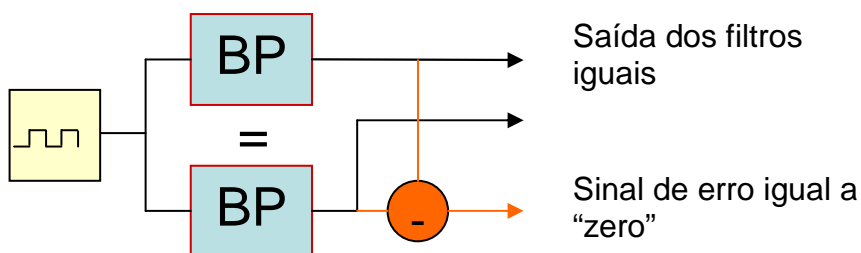


Figura 7.6: Configuração de teste e resultados esperados (DUT sem falhas)

Das 1664 falhas injetadas, 283 (17%) geraram uma indicação de erro na saída do *checker*, enquanto 1381 (83%) não modificaram as suas saídas. Estes resultados são mostrados na Figura 7.7. Inicialmente pode-se até considerar que estes 17% de indicação de erro representam um mau resultado, pois isso significa que o *checker* não é *self-testing* em relação ao modelo de falhas considerado. Porém, conforme mencionado na seção 5.2.3 e ilustrado na Figura 5.10, esta baixa taxa de detecção de erros deve-se também a baixa taxa de utilização dos recursos internos dos CABs que compõe o *checker*. Ainda, esta baixa taxa de detecção de erros não significa que o *checker* não é confiável, uma vez que os experimentos foram conduzidos com o circuito funcional livre de falhas. A confiabilidade do esquema proposto é testada nos experimentos que são descritos a seguir, nos quais se investiga a habilidade do *checker* em detectar desvios no DUT quando falhas de inversão de bit afetam seus próprios blocos (propriedade *strongly code disjoint*).

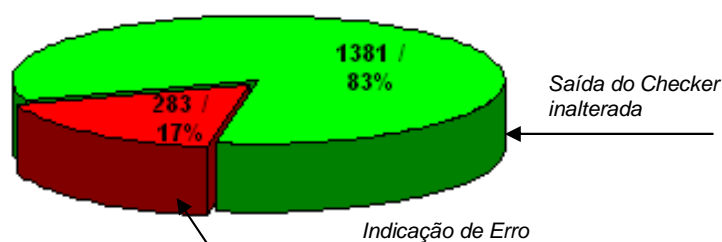


Figura 7.7: Resultados dos experimentos de injeção de falhas no *checker* quando o DUT não apresenta falhas

7.2.2 Injeção de Falhas no *Checker* (Parte II): DUTs Com Falhas

Neste conjunto de experimentos, *bit-flips* são injetados no *checker* (assim como nos experimentos descritos na seção anterior), porém, neste caso considera-se a ocorrência de uma falha em um dos blocos sob teste. Um desvio funcional é injetado em um dos blocos

duplicados: a frequência de corte superior do filtro passa-banda é desviada em +10% de seu valor nominal. Esta variação é suficiente para gerar uma indicação de erro se o *checker* estiver funcionando adequadamente. O objetivo destes experimentos específicos é verificar se o fenômeno de *fault aliasing* pode ocorrer quando um *bit-flip* afeta o *checker*, ou, em outras palavras, se o *checker* pode ser considerado *strongly code disjoint*. Neste caso, *fault aliasing* é considerado como a incapacidade do *checker* de indicar que existe um desvio entre os blocos (funcional e redundante) quando na verdade existe um desvio funcional injetado em um deles. A Figura 7.8 exemplifica a configuração destes experimentos, bem como o comportamento esperado dos sinais de saída dos filtros e do sinal de erro.

Os resultados mostram que das 1664 falhas injetadas no *bitstream* do *checker* apenas 4 (0,24%) causaram o fenômeno de *fault aliasing*. As falhas restantes (99,76%) não afetaram a capacidade do *checker* de detectar o desvio funcional injetado no DUT, como mostrado na Figura 7.9. Este pode ser considerado um bom resultado no que diz respeito à confiabilidade do *checker*, pois representa uma baixa probabilidade de *aliasing*, mesmo que o *checker* não possa ser considerado formalmente *strongly code disjoint*.

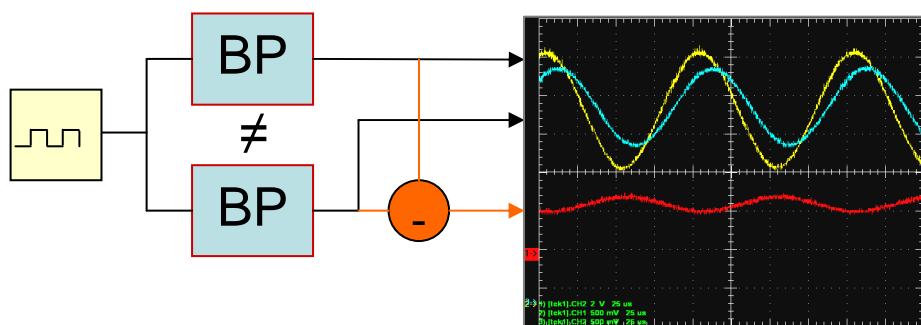


Figura 7.8: configuração de teste e resultados esperados (DUT com falha)

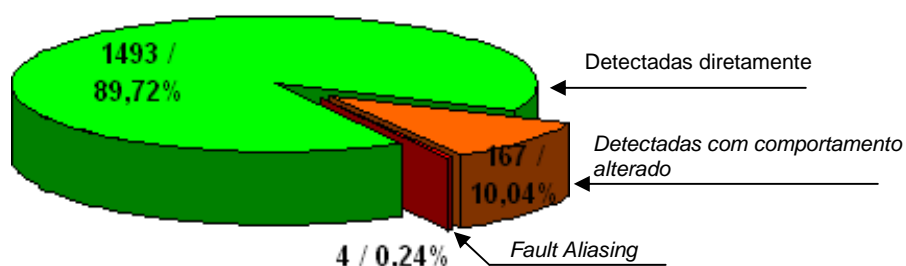


Figura 7.9: Resultados da injeção de falhas no *checker* com um desvio funcional injetado também no DUT

É possível concluir que esta baixa probabilidade de *aliasing* deve-se à redundância natural do *checker* proposto, uma vez que dois comparadores indicam uma possível discrepância entre os blocos duplicados. Os experimentos mostram que, na maioria dos casos, quando um comparador falha na indicação de um erro o outro consegue indicá-lo. Estes casos específicos e os casos em que as saídas dos comparadores apresentam sinais diferentes daqueles observados quando o *checker* está livre de falhas (mas, mesmo assim, ocorrendo a indicação de erro), são considerados como saídas do *checker* fora do espaço de código válido, de acordo com as definições apresentadas anteriormente. Estes casos representam aproximadamente 10% das falhas injetadas e são mostrados na Figura 7.9 como “Detectadas com comportamento alterado”.

Apesar do *checker* apresentar esta redundância natural, através da Figura 7.1 pode-se notar que o mesmo apresenta um ponto fraco, que não é duplicado: a saída do bloco subtrator (na verdade o subtrator é construído com um somador e um inversor em uma de suas entradas, devido à limitação da biblioteca padrão do dispositivo, sendo que a saída deste bloco é a saída do próprio somador). Se uma falha neste bloco ou nos blocos vizinhos fizer com que o sinal de erro seja zero, quando deveria ser diferente de zero, ocorrerá o *aliasing*. De fato, para todas as falhas que geraram *aliasing*, o sinal de erro observado estava dentro da janela de tolerância considerada.

Para investigar como estas 4 falhas geraram o fenômeno de *aliasing* outro conjunto de experimentos foi realizado. O primeiro passo foi identificar a quais blocos do *checker* pertencem as seções do *bitstream* que ocasionaram os casos de *aliasing* quando injetados *bit-flips*. Embora o ponto fraco (mencionado anteriormente) seja a saída do bloco subtrator (saída do módulo somador), apenas dois dos quatro casos de *aliasing* são originados por uma falha no *bitstream* do somador. Os outros dois casos são devidos a falhas no inversor (entrada do bloco subtrator) e no comparador cuja referência é positiva (comparador da parte superior da Figura 7.3). Os resultados mostraram que estas 4 falhas forçaram o sinal de erro para zero. No entanto, a falha injetada no inversor não alterou o comportamento do próprio inversor e o mesmo ocorreu no caso da falha no comparador. Uma possível razão para tal fato é a interação entre blocos vizinhos na matriz por meio de interconexões locais. Uma vez que o inversor e o comparador são blocos vizinhos ao somador, falhas nestes blocos podem ativar interconexões locais que ligam alguma parte destes blocos ao somador, possivelmente desviando o sinal de erro para a referência interna do dispositivo.

A hipótese de interação com os blocos vizinhos foi comprovada modificando-se a localização dos blocos na matriz programável e injetando as mesmas falhas que geraram o *aliasing*. Neste caso, as inversões de bit que antes geraram *aliasing* deixaram de afetar o comportamento do *checker*. De fato, quando se modifica a localização dos blocos é possível que esteja se modificando apenas a posição dos bits sensíveis no *bitstream* de programação. Portanto, se detalhes construtivos e de programação do dispositivo forem conhecidos, talvez seja possível distribuir os blocos do *checker* na matriz de maneira a evitar esta interação entre vizinhos e, finalmente, tornar o checker *strongly code disjoint* por construção. Outra possibilidade de obter um checker SCD é eliminando pontos não redundantes, conforme será mostrado na próxima seção.

7.3 AUMENTO DE REDUNDÂNCIA PARA OBTER UM CHECKER SCD

A hipótese levantada na seção 7.2.3 de que as 4 falhas no checker que ocasionaram o fenômeno de *aliasing* ocorreram pois o subtrator não é duplicado, foi confirmada em experimentos adicionais.

Nestes experimentos o subtrator do checker foi também duplicado e saída de cada um deles foi conectada a cada um dos comparadores do comparador de janela. Neste caso, apenas o somador necessita ser duplicado, pois o sinal de saída do filtro invertido é tomado do mesmo inversor já presente no checker original. Posteriormente, o procedimento de injeção de falhas do tipo *bit-flip* (descrito na seção anterior) no *bitstream* de todos os blocos do checker foi repetido. Nestes novos experimentos, 2080 falhas foram injetadas no checker, pois agora o mesmo compreende dois CABs a mais. Das 2080 falhas injetadas com esta nova configuração nenhuma delas ocasionou o *aliasing*, ou seja, o checker foi capaz de detectar um desvio funcional nos blocos sob teste para todas as falhas consideradas.

Assim, sob pena de um aumento de 25% dos recursos programáveis utilizados pelo *checker* (calculado em número de CABs) pode-se enfim afirmar que se obteve um *checker Strongly Code Disjoint* para o modelo de falhas adotado.

8. EFEITOS DE DOSE TOTAL EM FPAAS - ESTUDO DE CASO: FPAA AN221E04

Nesta etapa do trabalho os efeitos de dose total sobre os FPAAs são investigados através de um estudo de caso experimental. No experimento realizado o FPAA AN221E04 foi submetido à radiação gama proveniente de uma fonte de Cobalto-60. Os experimentos foram realizados no Laboratório de Radiação Ionizante (LRI) do Instituto de Estudos Avançados (IEAv), órgão ligado ao Departamento de Ciência e Tecnologia Aeroespacial (DCTA) em São José dos Campos – SP. O FPAA utilizado neste experimento é pertencente à segunda geração de FPAAs da Anadigm Company. Este FPAA é fabricado em uma tecnologia de 0,6 μ m, logo, os óxidos de isolamento são suficientemente espessos para considerar sua vulnerabilidade a efeitos de dose total.

As próximas seções descrevem a configuração do experimento realizado e os resultados obtidos. Os experimentos foram conduzidos de acordo com a especificação número 22900 da Agência Espacial Européia (ESA, 1995) que estabelece a normatização de procedimentos experimentais para irradiação e testes de circuitos eletrônicos.

8.1 CONFIGURAÇÃO DO EXPERIMENTO DE IRRADIAÇÃO

Antes da exposição à radiação o FPAA foi configurado com um circuito equivalente ao apresentado no capítulo 7 (Figuras 7.1 e 7.2). Embora o esquema considerado tenha sido proposto originalmente para auto-correção de erros ocasionados por *bit-flips* (SEUs), a variedade de blocos funcionais analógicos e a possibilidade de monitorar um sinal de erro, proporcionados por tal configuração, fez com que a mesma fosse escolhida para ser utilizada no experimento. A Figura 8.1 mostra o diagrama em blocos do circuito configurado no FPAA (tela do *software* “*Anadigm Designer 2*”), considerando agora os módulos disponíveis para o AN221E04 e suas possibilidades de programação.

Os filtros passa-banda foram configurados com uma frequência central de 10 kHz, sendo as frequências de corte inferior e superior 5 kHz e 20 kHz, respectivamente. Um sinal senoidal de 1 V de amplitude de pico e 10 kHz de frequência foi aplicado à entrada dos filtros, e, com um osciloscópio de quatro canais, foram monitorados: o sinal de entrada, a saída de um dos filtros, o sinal de erro e a saída de um dos comparadores. Além destas medidas, a corrente de alimentação da placa do FPAA foi monitorada. Todos os instrumentos foram controlados pela plataforma virtual VEE da Agilent (AGILENT, 2010) através de um barramento GPIB (*General Purpose Interface Bus* – Barramento de Interfaceamento de

Propósito Geral). Além das medidas realizadas sobre os sinais, as amostras do sinal de entrada e do sinal na saída do filtro monitorado foram utilizadas no cálculo da THD (*Total Harmonic Distortion*) e dos níveis médio e RMS (*Root Mean Square* – Valor Médio Quadrático) dos respectivos sinais, em tempo de aquisição, através de uma interface do VEE com o software Matlab (MATHWORKS, 2010).

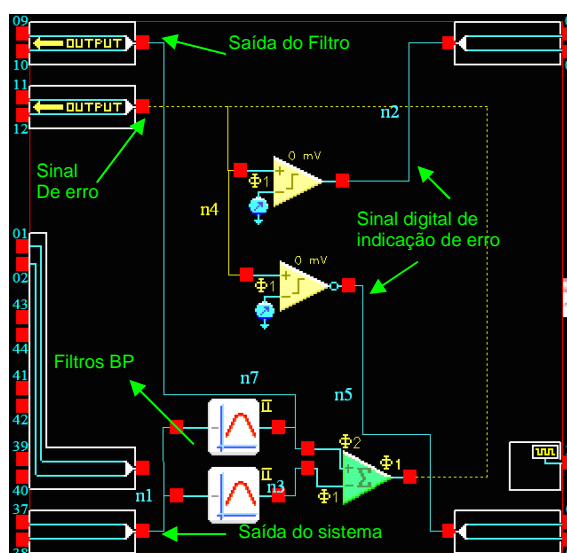


Figura 8.1. Diagrama em blocos do circuito programado no FPAA para o experimento de irradiação.

Todas as medidas foram primeiramente realizadas antes do início da irradiação, em um monitoramento contínuo, por aproximadamente 3 horas, no qual o *setup* mostrou-se perfeitamente estável e confiável. Posteriormente, durante os experimentos, os ciclos de medidas (medida de todos os sinais e cálculos envolvidos) foram realizados a cada 5 minutos, no qual 500 pontos por ciclo de cada sinal analisado eram tomados como amostras (além das medidas estáticas). A figura 8.2 mostra a bancada de instrumentos durante o teste pré-irradiação incluindo a tela do software VEE com a interface gráfica de aquisição de dados.

O Laboratório de Radiação Ionizante do IEAv possui uma fonte de Cobalto-60 (operacional), que pode ser ajustada para fornecer uma taxa de dose de até 3 krad(Si)/h, através da distância da fonte radioativa até o alvo considerado. Neste experimento optou-se por configurar uma taxa de dose de 1 krad(Si)/h. O FPAA foi exposto à radiação, em funcionamento, por um período de aproximadamente 27 horas. Desta maneira, a dose total acumulada pelo dispositivo foi de aproximadamente 27 krad(Si). Durante a etapa de irradiação, os instrumentos de medida, bem como a área de placa do FPAA que contém outros componentes, foram isolados com blocos de chumbo.

A Figura 8.3 mostra o diagrama em blocos com todos os instrumentos envolvidos no experimento. A Figura 8.4 mostra a foto da configuração do experimento com a bomba de cobalto e os instrumentos de medida utilizados. A Figura 8.5 mostra o detalhe da placa do FPAA e a proteção de chumbo utilizada para isolar os demais componentes.



Figura 8.2: Configuração do experimento de pré-irradiação.

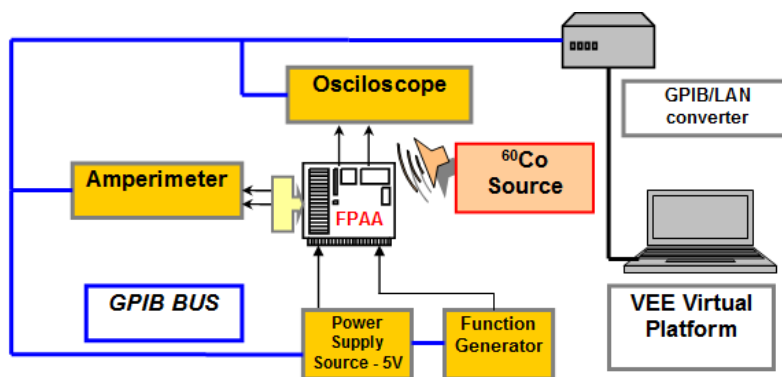


Figura 8.3: Diagrama em blocos da configuração de teste, durante a irradiação do FPAA.

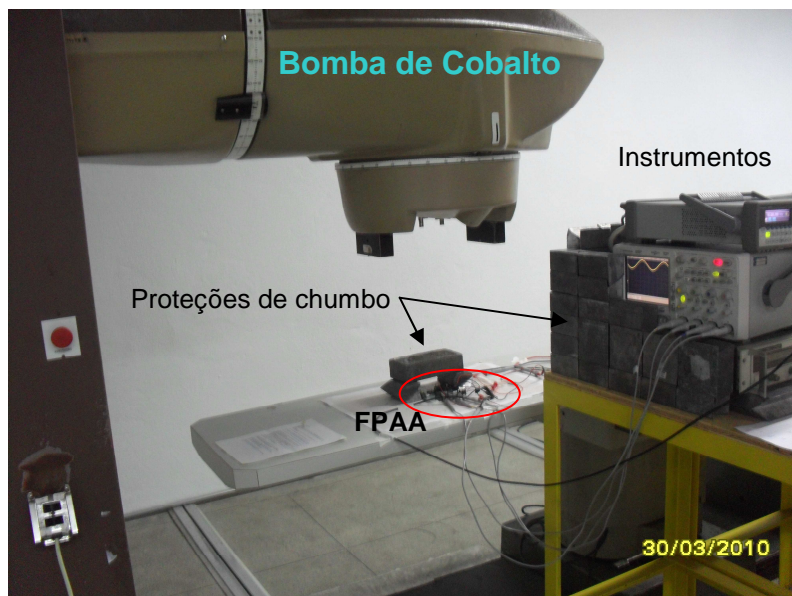


Figura 8.4: Configuração do experimento de irradiação no LRI.

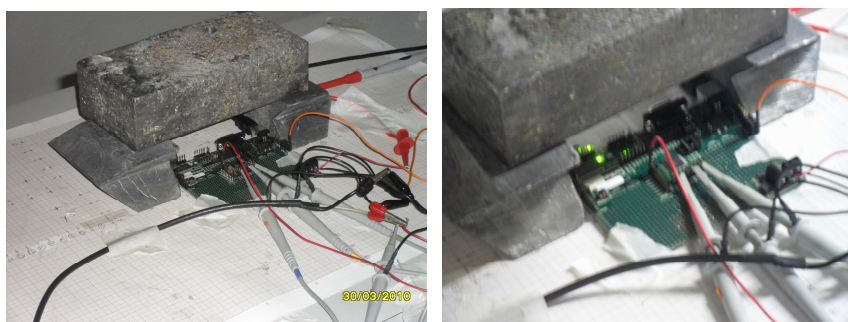


Figura 8.5: Detalhe da proteção de chumbo utilizada em parte da placa do FPAA.

8.2 RESULTADOS

O primeiro efeito observado após o início do experimento foi o aumento do consumo de corrente do dispositivo. A corrente medida na etapa pré-irradiação foi de aproximadamente 68 mA. Os primeiros indícios de aumento na corrente ocorreram após aproximadamente 12 horas de irradiação, o que representa aproximadamente 12 krad de dose acumulada, uma vez que a taxa de dose aplicada foi de 1 krad(Si)/h. A Figura 8.6 mostra o gráfico da corrente de alimentação em função do tempo de irradiação, onde é possível visualizar o valor máximo (aproximadamente 200 mA) atingido pela corrente antes da falha completa do dispositivo – após 27 horas de experimento, ou, 27 krad de dose acumulada. O aumento da corrente

observado deve-se principalmente à fuga de corrente ocasionada pelo acúmulo de cargas nos óxidos de porta e de campo dos transistores MOS do circuito, conforme apresentado na seção 2.3.

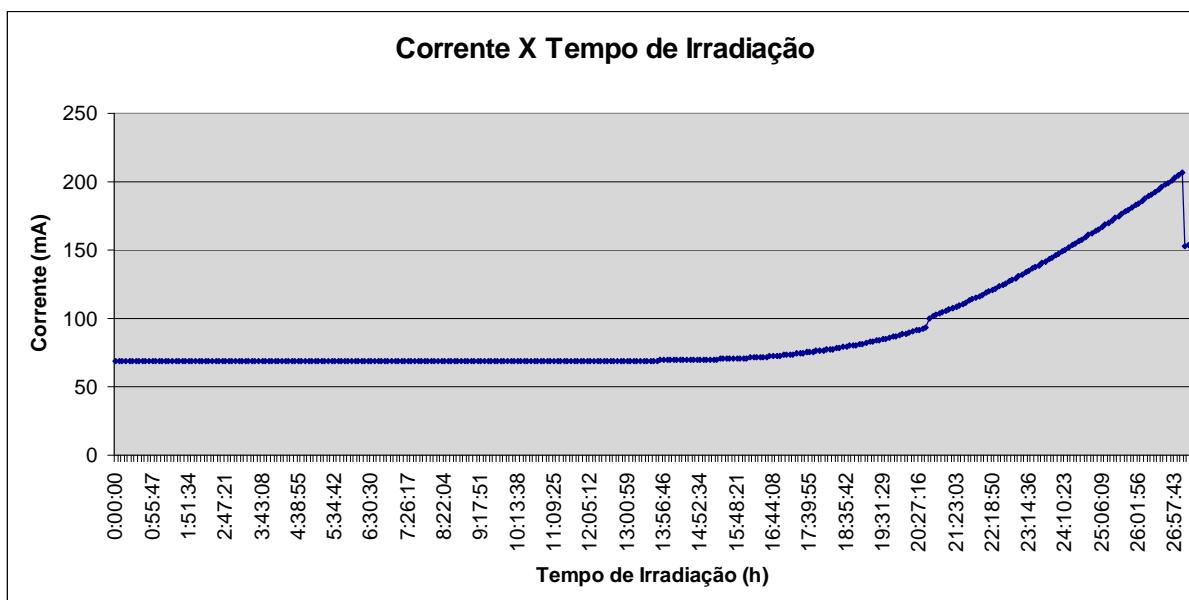


Figura 8.6: Corrente consumida pelo FPAA em função do tempo de irradiação decorrido.

A componente AC (*Alternated Current* – do inglês, Corrente Alternada) da corrente de alimentação (ruído) também foi medida durante os experimentos. No início do experimento o valor (RMS) desta componente da corrente era de aproximadamente $0,6 \mu\text{A}$ e, no final, com 27 krad de dose acumulada, atingiu um máximo de aproximadamente $72 \mu\text{A}$. Este aumento da componente AC da corrente, que, neste caso, foi de duas ordens de grandeza, deve-se aos centros de recombinação formados na interface Si/SiO₂, e ao conseqüente aumento da densidade espectral de ruído 1/f do dispositivo, conforme apresentado na seção 2.3.4. Este comportamento é mostrado na Figura 8.7.

Outra medida realizada durante o experimento de irradiação foi a distorção harmônica total (THD) do sinal de saída de um dos filtros duplicados, bem como sua comparação com a THD do sinal de entrada. A THD do sinal de excitação do circuito, medida durante todo experimento, ficou estável entre 0,3% e 0,4% aproximadamente, como esperado, uma vez que o gerador de sinais estava isolado da fonte de cobalto. O valor da THD do sinal de saída do filtro no início do experimento era aproximadamente 2%, sendo maior do que a THD do sinal de entrada, pois o FPAA com suas chaves (portas de transmissão) no caminho do sinal e capacitores chaveados, naturalmente degrada o sinal processado. Este valor permaneceu

estável até que a dose acumulada atingiu um valor aproximado de 14 krad, quando começou a aumentar exponencialmente. No final do experimento, minutos antes da falha completa do FPAA, a THD deste sinal atingiu 17%, conforme mostrado na Figura 8.8.

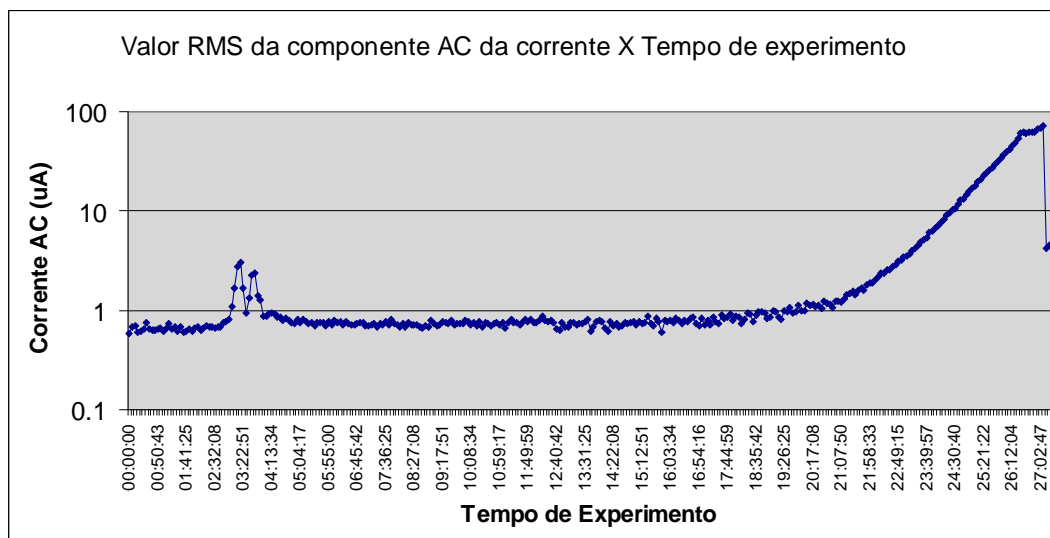


Figura 8.7: Componente AC da corrente de alimentação do FPAA em função do tempo de irradiação. Os valores estão em microamperes (RMS) e representados em escala logarítmica.

Um comportamento surpreendente foi observado durante os experimentos, o qual fica claro no gráfico da THD, mostrado na Figura 8.8. Após 20 horas e 37 minutos de irradiação, com uma dose acumulada de aproximadamente 20 krad, a THD do sinal de saída do filtro era quase 12%. No entanto, no ciclo de medidas seguinte (5 minutos depois), a THD subitamente diminuiu para um valor de aproximadamente 0,6%. Tão surpreendente quanto a redução súbita foi o fato de que o valor da distorção harmônica caiu para um nível menor do que o observado no início do experimento, o qual é da mesma ordem da distorção do sinal utilizado como excitação do circuito. Transcorrida uma hora deste acontecimento a THD começou a aumentar, novamente com um comportamento exponencial, como pode ser visto na Figura 8.8.

A primeira impressão ao analisar o gráfico da Figura 8.8, na tentativa de explicar tal redução na THD do sinal, é de que a medida passou a apresentar um erro de *offset*. No entanto, dois fatores ajudam a refutar esta hipótese. O primeiro é que, após a súbita redução, a THD aumentava com uma taxa de variação menor do que a taxa de variação observada para as amostras anteriores. Ainda, somente depois de decorridas mais algumas horas, a taxa de variação da THD em função da dose retomou a mesma constante observada anteriormente. (região aproximadamente linear da curva).

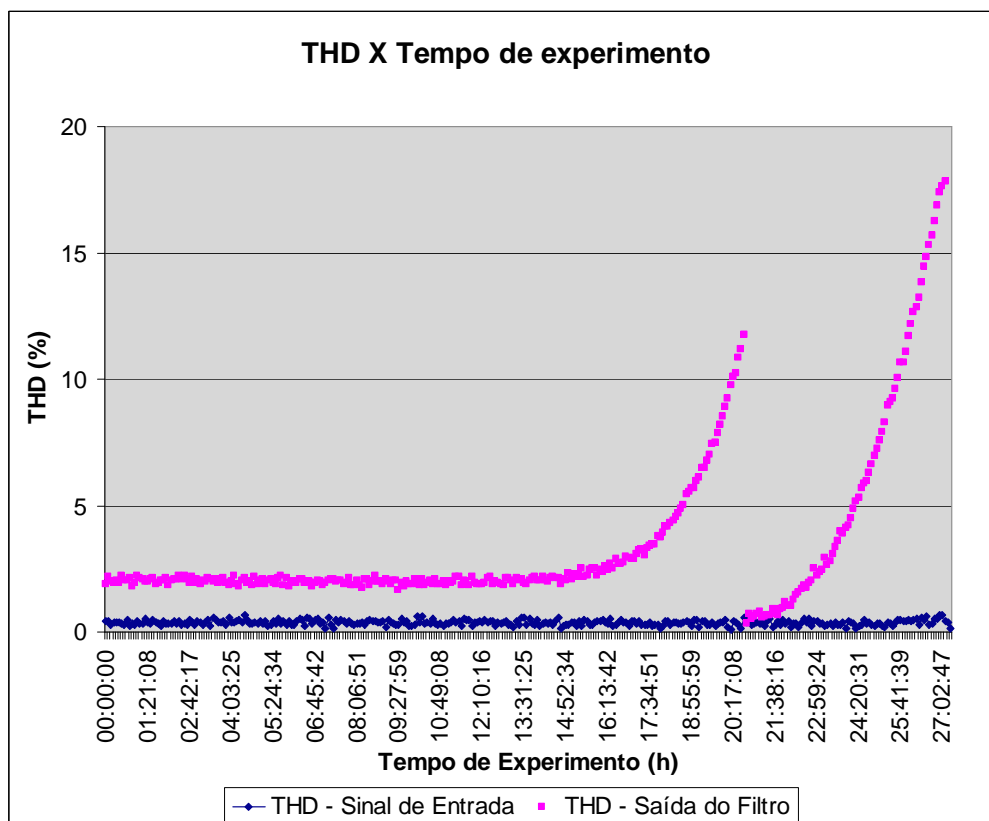


Figura 8.8: THD do sinal de entrada do sistema e do sinal de saída do filtro passa-banda ao longo do experimento.

A segunda constatação é ainda mais decisiva para refutar a hipótese de erro de cálculo ou medida da THD. O sinal da saída do filtro, amostrado durante todo experimento, apresentava visíveis distorções antes de ocorrer este evento, e, logo após, a distorção não era mais visualmente perceptível. Este fato é ilustrado na Figura 8.9, a qual mostra as formas de onda do sinal de saída do filtro adquiridas em diferentes momentos do experimento, bem como sua comparação com a forma de onda da entrada do sistema.

Na Figura 8.9 é possível visualizar a distorção do sinal de saída em relação ao sinal de entrada do sistema. Observa-se uma visível distorção do sinal (principalmente no semiciclo negativo) com uma dose total acumulada de aproximadamente 20,5 krad, enquanto que, minutos depois, com uma dose acumulada de 21 krad a distorção percebida visualmente é similar àquela visualizada no início do experimento.

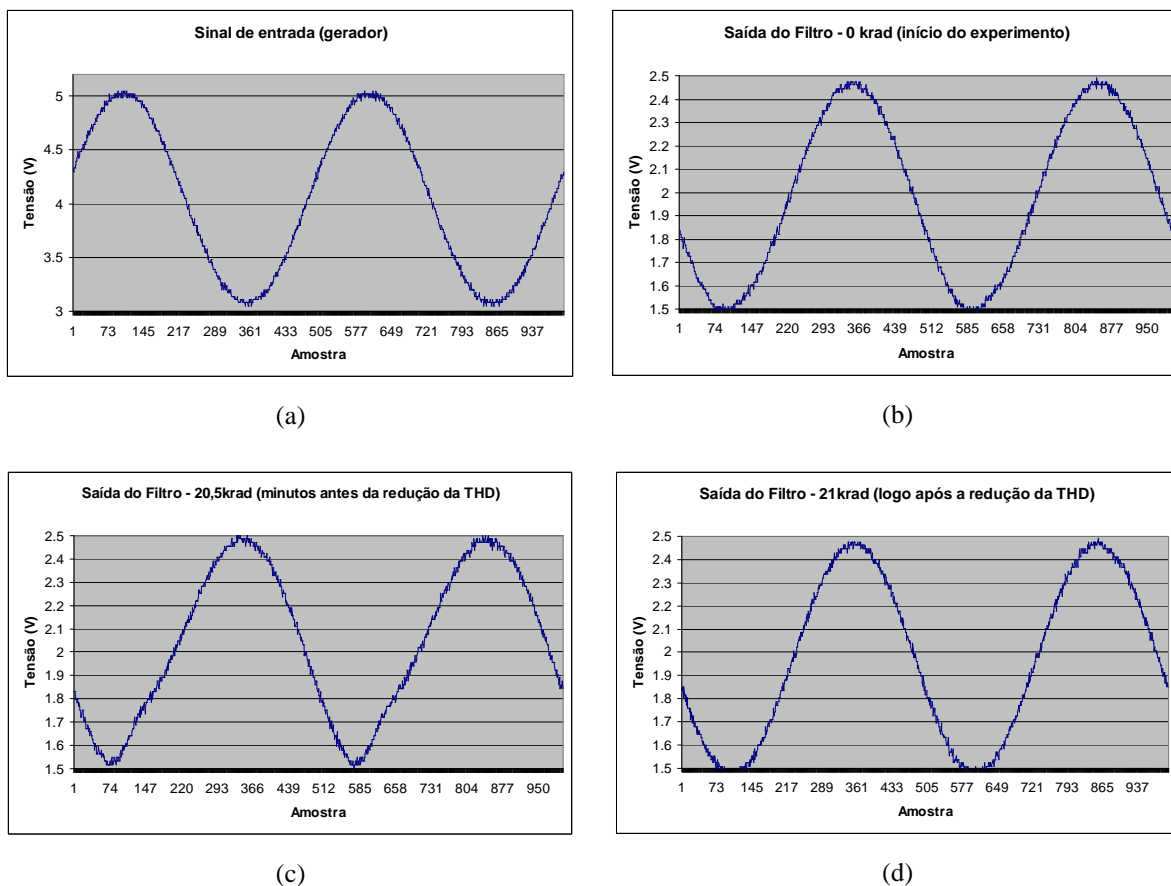


Figura 8.9: Sinais adquiridos durante o experimento: (a) sinal de excitação e (b) saída do filtro no início do experimento (0 krad de dose acumulada); (c) saída do filtro minutos antes da redução da THD (@20,5 krad) e (d) logo após a redução (@ 21krad).

Na Figura 8.9 verifica-se que o sinal de saída é invertido em relação ao sinal de entrada, pois esta é uma característica do filtro programado. Também é possível observar que o sinal de entrada apresenta um nível DC de 4 V e amplitude 1 V de pico, enquanto o sinal de saída tem nível DC 2 V e amplitude de pico de 0,5 V. Isso se deve ao fato de que o FPPA pode operar em modo totalmente diferencial, e, no experimento em questão, foi utilizado com terminação simples. Para tanto, a entrada inversora do sistema foi “amarrada” à referência interna do FPPA (2 V) e um *offset* de 4 volts foi adicionado ao sinal de entrada. Assim, a tensão de 2 V de referência é subtraída do sinal de entrada, de modo que o sinal processado internamente esteja novamente referenciado a este nível de 2 V. A amplitude AC do sinal de saída é a metade da amplitude do sinal de entrada, pois apenas uma das saídas diferenciais do filtro é utilizada.

A distorção do sinal de saída do filtro em função da dose acumulada é evidenciada na Figura 8.10 que mostra a aquisição de dois ciclos deste sinal em diferentes momentos do experimento (diferentes valores de dose acumulada). Na figura é possível verificar que a

distorção a 21 krad é menor do que a distorção a 20,5 krad, e a forma de onda do sinal é muito próxima àquela do início do experimento (0 krad). Também é possível observar a distorção máxima ocorrendo minutos antes da falha catastrófica do dispositivo que ocorreu com uma dose acumulada de aproximadamente 27,2 krad.

Outro fator que merece destaque na Figura 8.10 é o fato de que a distorção (visível) ocorre apenas quando a derivada do sinal é positiva (transições de V_{\min} para V_{\max}). A hipótese para tanto é de que a distorção esteja sendo causada principalmente pelas portas de transmissão no caminho do sinal, conforme será discutido posteriormente.

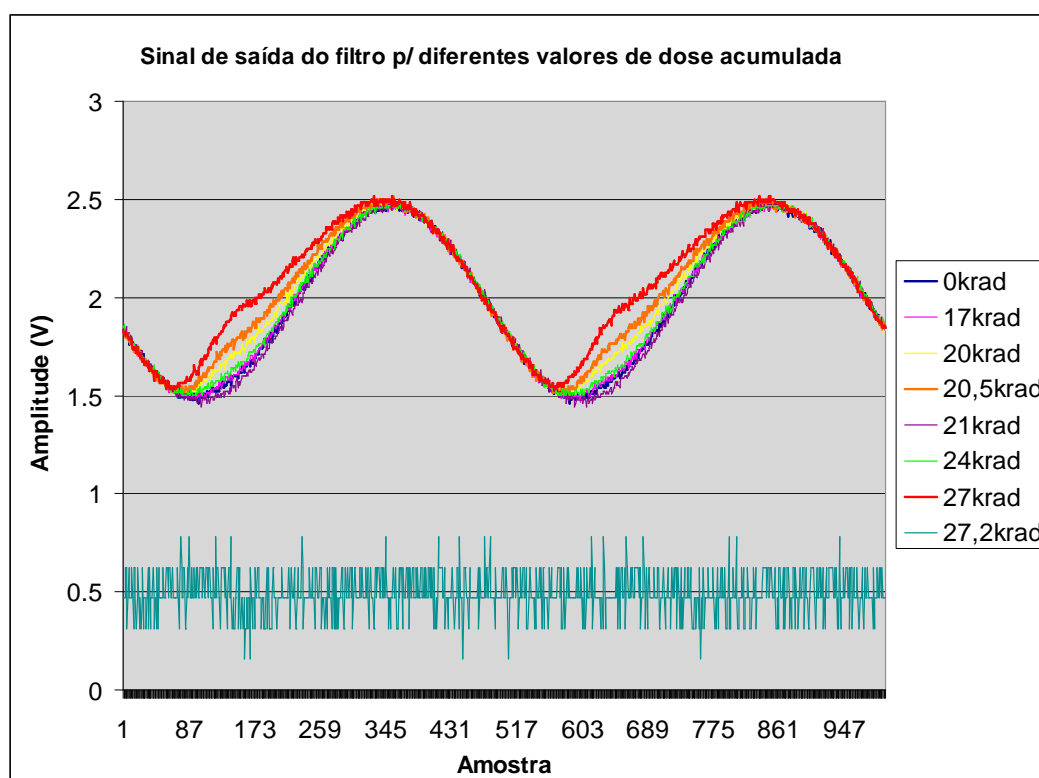


Figura 8.10: Sinal de saída do filtro com diferentes valores de dose acumulada.

Nas Figuras 8.9(c) e 8.10 é possível constatar um pequeno desvio no nível médio da tensão de saída do filtro quando a dose acumulada é 20,5 krad, sendo que o nível DC do sinal volta ao normal quando ocorre a redução da THD. O nível médio e a amplitude pico-a-pico do sinal de saída também foram medidos ao longo do experimento, os quais são mostrados na Figura 8.11.

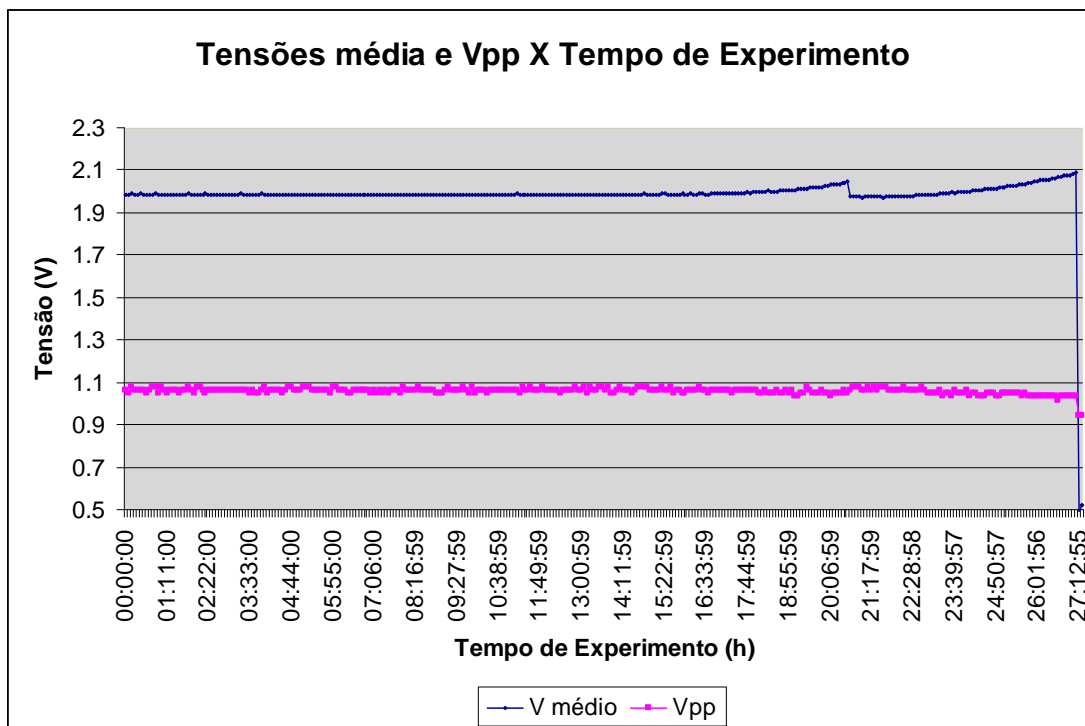


Figura 8.11: Nível médio e amplitude pico-a-pico do sinal de saída do filtro ao longo do experimento.

A Figura 8.11 mostra um aumento na tensão média do sinal de saída para valores de dose maiores que 15 krad. A tensão média observada em 0 krad foi de 1,98 V, e, com 27 krad chegou ao valor de 2,08 V, representando um aumento de 100 mV. Este aumento na tensão média deve-se principalmente à deformação do sinal, mas também pode ter origem na variação na tensão de *offset* de saída dos OpAmps do filtro. Uma pequena redução na amplitude do sinal de saída (V_{pp}) foi também observada entre o início e o final do experimento (aproximadamente -25 mV de variação).

A Figura 8.11 mostra que, de modo similar ao observado para a THD, a variação do nível médio da tensão de saída do filtro também diminuiu subitamente (reflexo da recuperação do sinal, retornando à forma de onda não distorcida). De modo geral, estes resultados mostram uma súbita recuperação da degradação do sinal até então observada, 20 horas e 37 minutos após o início da irradiação. Olhando mais atentamente para a Figura 8.6 é possível perceber que no mesmo instante em que ocorre a recuperação da THD a corrente consumida pelo FPAA também sofre um pequeno salto (+7 mA). Antes de apresentar hipóteses sobre as possíveis causas da recuperação observada convém analisar o comportamento dos outros sinais observados durante o experimento (sinal de erro e saída de um dos comparadores).

O sinal de erro (diferença entre as saídas do filtro e sua cópia) permaneceu contínuo, próximo ao valor da referência interna do dispositivo (2 V), até que a dose acumulada atingiu o valor de 23 krad. Isso significa que até este valor de dose acumulada a distorção observada no sinal de saída do filtro analisado ocorreu de forma similar na sua réplica, de modo que a diferença entre os sinais não foi significativa. Logo, conclui-se que para os níveis de dose inferiores a 23krad os componentes afetados dos dois filtros sofreram desvios paramétricos similares. Transcorridas 23 horas e 10 minutos de experimento, pela primeira vez foi possível visualizar o sinal de erro, o qual apresentava apenas valores negativos (menor do que 2 V), conforme pode ser visto na Figura 8.12. A justificativa para tanto é que, conforme mostrado na Figura 8.8 (e discutido acima), a distorção do sinal na saída dos filtros é mais intensa apenas durante a metade de um ciclo do sinal. Ressalta-se que o sinal de erro em si, na figura, é a envoltória do sinal apresentado (característica do bloco subtrator utilizado na construção do circuito).

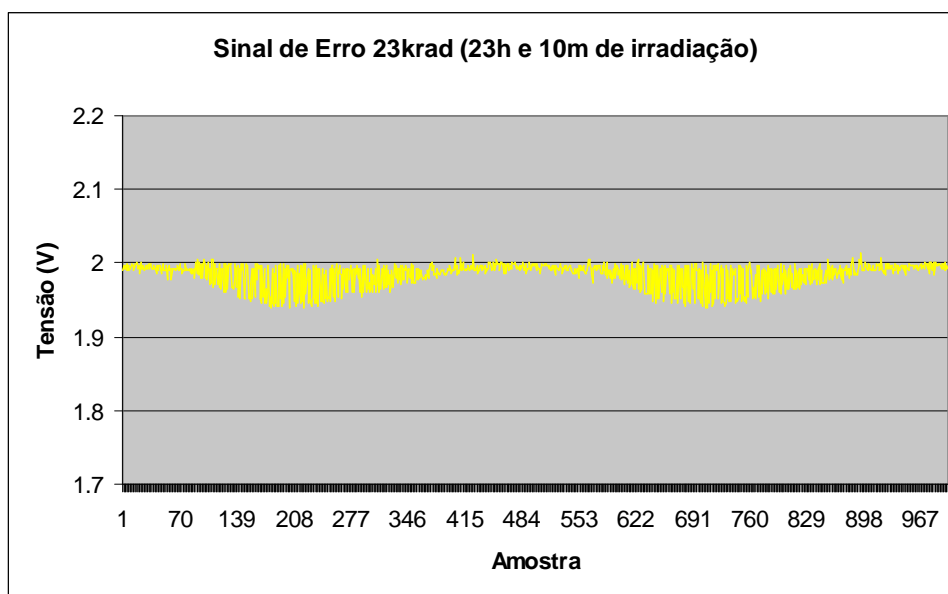


Figura 8.12: Primeiro conjunto de amostras a revelar o sinal de erro, indicando que para dose acumulada superior a 23 krad os filtros duplicados começaram a sofrer desvios de intensidades distintas.

Após o surgimento do sinal de erro este aumentou proporcionalmente com o aumento da dose acumulada, como pode ser visto na Figura 8.13.

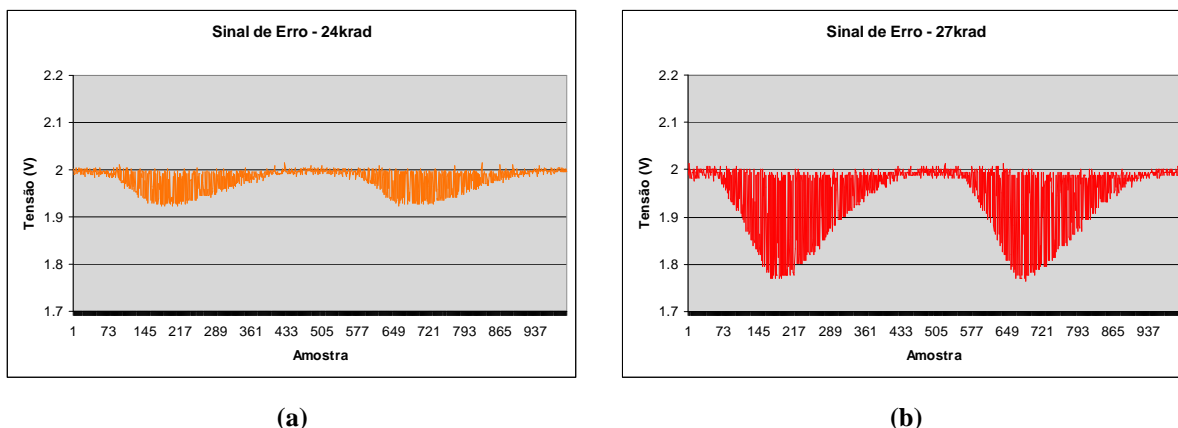


Figura 8.13: Sinal de erro para dois valores de dose acumulada: (a) 24 krad e (b) 27 krad, pouco antes da falha completa do dispositivo.

O surgimento do sinal de erro poderia ser também causado por um desvio no circuito de subtração. No entanto, o padrão do sinal observado (apenas meio ciclo), coincide com o padrão de distorção evidenciado na Figura 8.10 e corrobora para a hipótese de que o desvio na saída dos filtros duplicados é distinto para os valores de dose acima de 23 krad.

Por limitações no número de canais disponíveis nos instrumentos utilizados nas medidas, apenas 4 sinais puderam ser analisados. Deste modo, apenas um dos comparadores teve sua saída adquirida. O comparador escolhido para ser medido foi aquele que indica variações positivas do sinal de erro, logo, como o sinal de erro variou apenas negativamente, a saída deste comparador permaneceu em zero durante todo experimento. No entanto, foi possível acompanhar o valor do offset de saída do comparador, o qual aumentou com o aumento da dose acumulada, conforme pode ser visualizado na Figura 8.14. O valor do *offset* no início do experimento era de aproximadamente 20 mV (dentro dos padrões normais, segundo o manual do fabricante do FPAA), o qual atingiu um valor de 200 mV ao término do experimento – após o acúmulo de 27 krad de radiação.

De um modo geral, os efeitos observados no dispositivo, revelados pelas alterações nos sinais adquiridos durante o experimento, estão de acordo com o que foi apresentado no capítulo 2. No entanto, a súbita diminuição na distorção harmônica é um fato que merece especial atenção. Inicialmente é preciso identificar a origem da distorção, ou seja, os elementos do FPAA que são os principais responsáveis pela distorção do sinal (neste caso). O fato de que a distorção ocorre (de maneira significativa) apenas em metade de cada ciclo do sinal observado, e, principalmente, no semiciclo negativo, dão pistas importantes da origem do efeito observado.

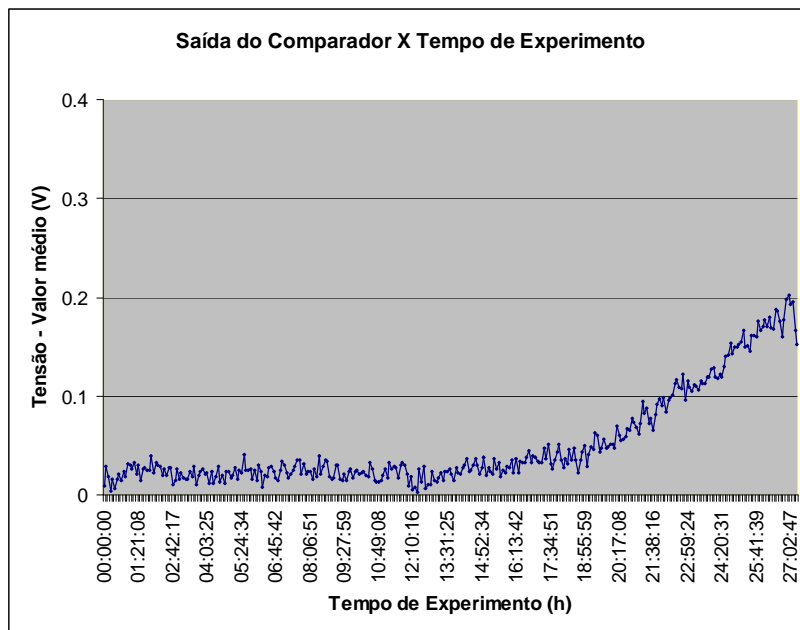


Figura 8.14: Saída do comparador em função da dose acumulada, evidenciando a variação do *offset* DC.

Conforme mencionado no capítulo 4, o FPAA AN221E04 é baseado em capacitores chaveados, logo, há portas de transmissão no caminho do sinal. Tais portas de transmissão são também utilizadas nas interconexões locais e globais do dispositivo. Cada porta de transmissão é constituída por um transistor NMOS e um transistor PMOS “em paralelo”, como ilustrado na Figura 6.1 (seção 6.1.1).

Os dados revelados pela Figura 8.8 permitem formular a hipótese de que a degradação do sinal (distorção) ocorre fundamentalmente nas portas de transmissão, pois esta é percebida em apenas metade do ciclo do sinal, principalmente no semiciclo negativo. A porta de transmissão utiliza transistores complementares (N e P), justamente pela complementaridade nas características *tensão x corrente* de cada um deles em função da polaridade e intensidade do sinal aplicado na entrada da porta de transmissão, conforme ilustrado na Figura 6.2. Sendo assim, há indícios de que um dos transistores que compõe a porta de transmissão sofreu efeitos mais intensos do que o dispositivo complementar, causando o padrão de distorção de meio ciclo observado.

Os transistores N e P sofrem efeitos distintos em relação ao acúmulo de carga líquida induzido por radiação, devido às contribuições de cargas aprisionadas no óxido e na interface, como apresentado na seção 2.3. Uma vez que o transistor NMOS da porta de transmissão apresenta menores valores de resistência para valores menores de tensão (WESTE & HARRIS, 2004), conforme ilustrado na Figura 6.2, este é o principal responsável pela

condução no semiciclo negativo do sinal. Deste modo conclui-se que a degradação observada no sinal, deve-se principalmente à degradação imposta pelos transistores NMOS das portas de transmissão do circuito. De fato, o FPAA compreende um grande número de chaves programáveis, as quais, por transportarem sinais analógicos, necessitam ter comportamento linear e baixa resistência quando ligadas (R_{ON}). Variações na tensão de limiar e fuga de corrente, induzidas pela radiação, podem alterar o comportamento dos transistores e, no caso das portas de transmissão, torná-las não lineares. Efeitos similares podem ocorrer se a tensão de controle das portas de transmissão sofrer uma redução.

Conforme visto na seção 2.3, cargas acumuladas no óxido e na interface de transistores N têm, tipicamente, sinal oposto. Isso poderia explicar a recuperação observada na distorção do sinal. A carga líquida aprisionada no óxido de transistores canal-N é normalmente positiva, e a carga acumulada na interface é tipicamente negativa. Quando a porta de transmissão encontra-se conduzindo o campo elétrico no óxido é positivo, contribuindo para o acúmulo de cargas negativas na interface. As cargas positivas acumuladas no óxido contribuem para um desvio negativo na tensão de limiar (ΔV_{ot}), enquanto as cargas negativas aprisionadas na interface contribuem para um desvio positivo na tensão (ΔV_{it}).

Também, conforme discutido na seção 2.3, segundo Schwank et al., (2008), para taxas de dose moderadas e tempos de exposição moderados tanto ΔV_{it} como ΔV_{ot} podem ser altos. Ainda, segundo Shaneyfelt et al. (1992), o aprisionamento de cargas na interface ocorre de maneira muito mais lenta do que o aprisionamento no óxido, podendo levar milhares de segundos para atingir a saturação. Para transistores do tipo N estas duas parcelas de contribuição para o desvio na tensão de limiar têm sinais opostos e tendem a compensarem-se mutuamente para um dado valor de dose acumulada, após o qual tende novamente a aumentar.

Deste modo, uma hipótese para o efeito observado é de que inicialmente os transistores NMOS foram afetados principalmente por cargas acumuladas no óxido, as quais induziram um desvio negativo na tensão de limiar. Como as cargas aprisionadas na interface acumulam-se de maneira mais lenta, seus efeitos seriam observados depois dos efeitos induzidos pelas cargas aprisionadas no óxido e tenderiam a compensar o desvio na tensão de limiar por elas ocasionado. No entanto, esta hipótese ainda não explica porque a recuperação ocorreu subitamente, em um intervalo de 5 minutos (período de amostragem dos dados), uma vez que uma recuperação gradual seria esperada, dada a taxa de acumulação de cargas na interface que

normalmente é lenta. Uma possível explicação para tal fato é traçada nos próximos parágrafos.

Um trabalho de Franco, Zong e Agapito (2006), sobre efeitos de dose total em portas de transmissão, relatou um acontecimento semelhante ao observado nos experimentos descritos neste capítulo. Os autores testaram diversos modelos comerciais de chaves analógicas sob influência de radiação ionizante, com doses acumuladas entre 1500 e 2000 Gy (150 krad a 200 krad) a uma taxa de aproximadamente 3 krad/h. Alguns modelos testados apresentaram o que os autores chamaram de “janela de inatividade” – um intervalo de valores de dose total acumulada para o qual as chaves pararam de funcionar – retomando sua funcionalidade para valores de dose maiores do que o limite superior da janela. A Figura 8.15, extraída do referido trabalho, mostra a resistência R_{ON} em função da dose acumulada para um conjunto de chaves comerciais (modelo DG412 da Maxim), medidas durante o experimento realizado naquele trabalho. Observa-se na figura uma lacuna compreendida entre 700 Gy a 900 Gy (70 krad a 90 krad), que, segundo os autores, representa um intervalo em que as chaves permaneceram abertas (resistência considerada infinita), embora a tensão de controle aplicada deveria manter a chave fechada.

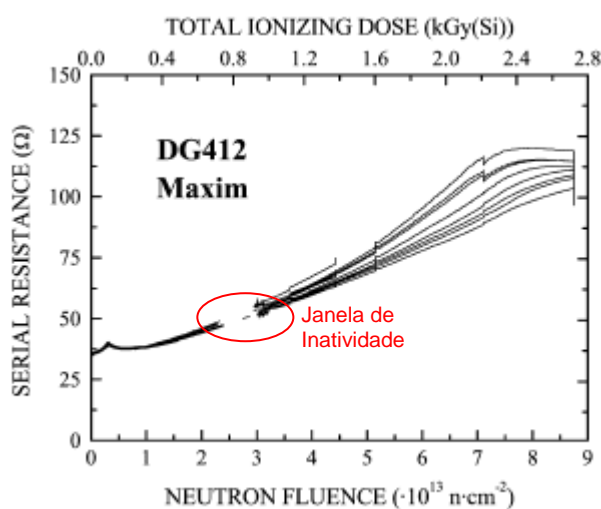


Figura 8.15: Aumento da resistência em função da dose acumulada para as chaves analógicas testadas no trabalho de Franco, Zong e Agapito (2006).

A Figura 8.16 mostra outra figura extraída do trabalho de Franco, Zong e Agapito (2006) na qual se observa claramente a janela de inatividade em função da tensão aplicada ao terminal de controle da chave e da dose acumulada. A figura mostra que para tensões de controle maiores do que 4V, para as quais as chaves deveriam permanecer fechadas (barra preta no gráfico) existe uma janela (barra branca no gráfico) entre aproximadamente 450 e

1300 kGy, para a qual a chave permanece fechada. Para doses superiores a 1300 kGy a chave volta a funcionar (porém, com uma fuga de corrente da ordem de 2mA, segundo os autores).

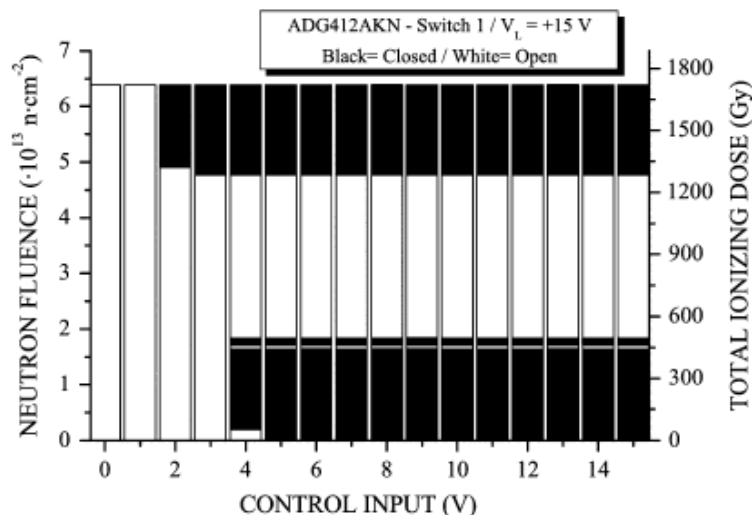


Figura 8.16: Janela de inatividade observada para as chaves analógicas do CI ADG41AKAN, da Analog Devices, testadas no trabalho de Franco, Zong e Agapito (2006).

A teoria formulada pelos autores para justificar esta janela de inatividade é baseada justamente nas características de acúmulo de cargas no óxido e na interface, conforme descrito anteriormente. Os autores afirmam que para a taxa de dose utilizada no experimento (~ 3 krad/h) observa-se uma combinação dos efeitos de acúmulo de cargas positivas no óxido e negativas na interface, de modo que, inicialmente, o desvio na tensão de limiar dos transistores NMOS decresce, aumentando posteriormente, conforme ilustrado na Figura 8.17.

Ainda, segundo os autores a janela de inatividade teria origem no inversor da lógica de controle da porta de transmissão. A necessidade por sinais em contrafase para controlar os transistores complementares da porta de transmissão impõe a utilização de portas inversoras. A redução na tensão de limiar do transistor NMOS, para valores negativos, faz com que as tensões de chaveamento do inversor (V_{IH} e V_{IL}) sejam modificadas, tal que existe a possibilidade de que V_{IH} seja menor que zero. Deste modo o inversor não consegue mais chavear entre 1 e 0, mantendo a porta de transmissão permanentemente aberta, até que o desvio seja compensado por cargas acumuladas no óxido. Dependendo da estrutura de controle das chaves da porta de transmissão, este efeito pode interferir no chaveamento de apenas um dos transistores e afetar o sinal em apenas um dos semiciclos.

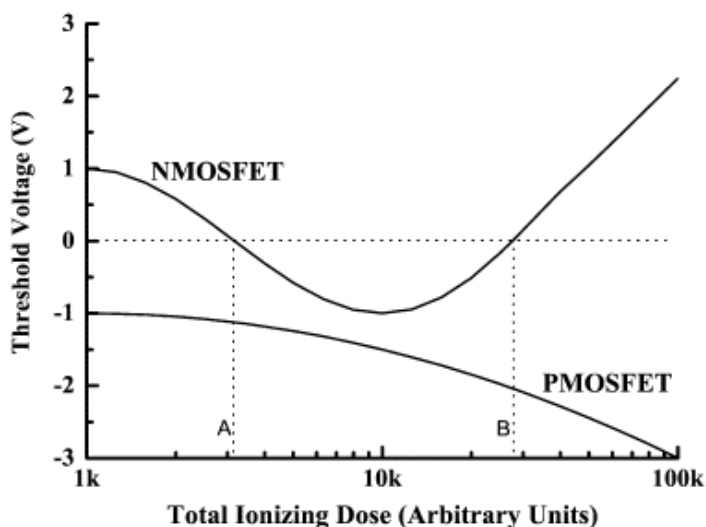


Figura 8.17: Variações típicas da tensão de limiar de transistores NMOS e PMOS, em função da dose acumulada, segundo Franco, Zong e Agapito (2006).

Assim, a hipótese de que a compensação dos efeitos das cargas acumuladas no óxido e na interface foi a responsável pela recuperação da distorção do sinal, no experimento realizado com o FPAA, pode ser considerada verdadeira. A recuperação súbita pode ser explicada pelo fato de que inicialmente a degradação foi ocasionada por desvios negativos na tensão V_{th} dos transistores das portas inversoras de controle. Sendo assim, esta falha manteve um dos transistores da porta de transmissão permanente fechado. Após aproximadamente 20,5 krad de dose acumulada houve a compensação dos efeitos, trazendo a tensão de limiar dos dispositivos NMOS novamente para valores positivos e a porta inversora de controle voltou a funcionar (e, conseqüentemente, a porta de transmissão), reduzindo a distorção harmônica. O salto de 7 mA na corrente pode ser também justificado pela retomada da operação correta dos inversores.

A partir de 20,5 krad a tensão de limiar dos transistores passou a aumentar constantemente, logo, a distorção começou a aumentar novamente. No entanto, a causa para a distorção após a recuperação é a degradação do transistor N da própria porta de transmissão, e não mais do inversor de controle, estando de acordo com a teoria de Franco et al. (2006), e com as simulações apresentadas a seguir.

Embora simulações mais detalhadas sejam necessárias para o completo entendimento dos mecanismos responsáveis pela degradação observada (dada a complexidade do circuito testado e do controle das chaves programáveis do sistema), um conjunto simples de simulações pode auxiliar nesta compreensão. Para tanto, um circuito simples com uma porta

de transmissão e um inversor para gerar os sinais de controle complementares foi investigado. O circuito (mostrado na Figura 8.18) pode ser visto como um *sample-and-hold*, onde uma porta de transmissão, chaveada a uma frequência de 1 MHz, transporta um sinal senoidal de 10 kHz e 1 V de amplitude (com *offset* DC de 2V) a uma carga que consiste em um resistor de 10 M Ω e um capacitor de 10 pF (também referenciada a 2 V). O modelo e as dimensões dos transistores foram os mesmos utilizados nas simulações de SETs (capítulo 6). Deste modo as condições de operação do circuito simulado são próximas às condições reais observadas no FPAA.

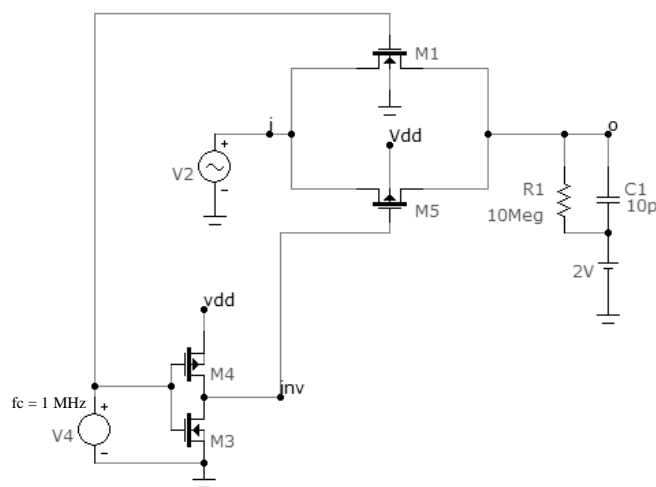


Figura 8.18: Circuito utilizado para simular o comportamento das chaves analógicas e sua lógica de controle na presença de falhas induzidas por radiação.

A Figura 8.19 mostra a simulação para a saída do inversor de controle da chave considerando desvios de V_{th} no transistor M3 (NMOS do inversor de controle) mostrado na Figura 8.8. A primeira rodada das simulações considera o valor nominal (neste caso 0,6322 V) decrementando V_{th} em passos de -0,3 V até um valor de -6 V (embora este extremo de -6 V não configure um valor absolutamente realista para tais desvios, a simulação com valores extremos é válida para o entendimento do fenômeno). Observa-se na simulação uma redução na tensão do sinal de saída do inversor. Esta redução diminui a tensão V_{GS} (entre porta e fonte) do transistor controlado por este sinal, aumentando a resistência do canal. Este aumento de resistência do transistor altera a resistência da porta de transmissão, que pode começar a apresentar não linearidades. Em condições extremas, o transistor controlado por este sinal pode permanecer permanentemente aberto ou fechado.

A Figura 8.20 mostra a simulação para um destes casos extremos, onde o transistor N encontra-se permanentemente cortado. Neste caso, apenas o transistor P da porta de transmissão é chaveado e o sinal sofre uma distorção no semiciclo negativo. O mesmo padrão de distorção é observado quando simulados desvios positivos na tensão V_{th} do transistor N da porta de transmissão, conforme a Figura 8.21.

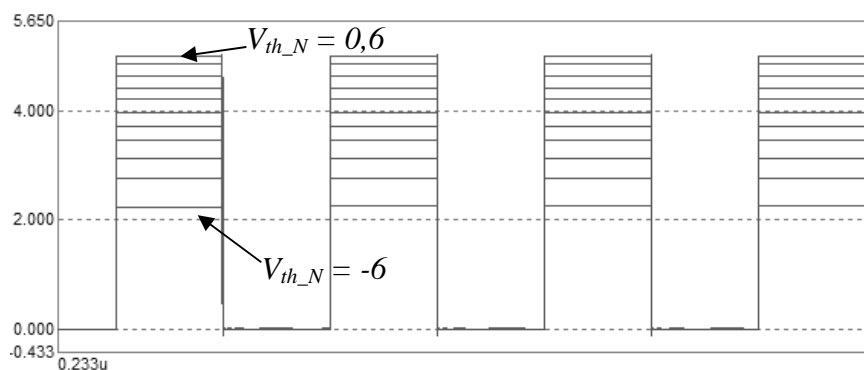


Figura 8.19: Simulações para o efeito de desvios negativos em V_{th} do transistor NMOS do inversor de controle no sinal de saída do inversor.

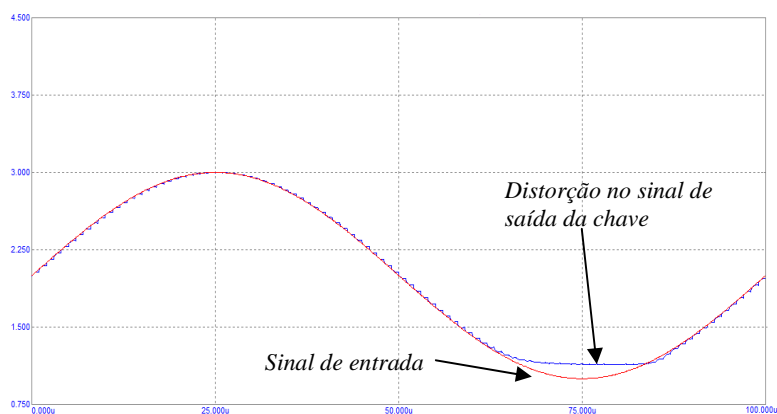


Figura 8.20: Saída da porta de transmissão quando o transistor M1 está cortado.

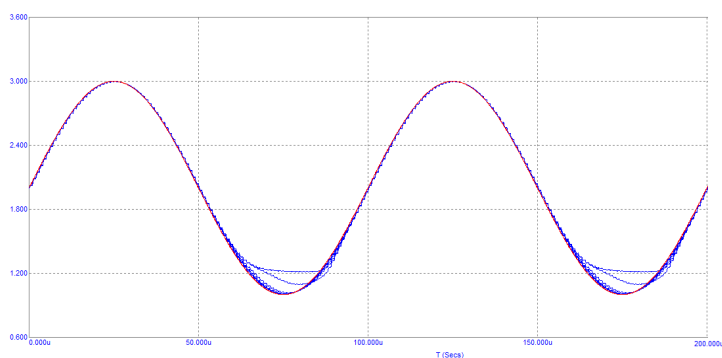


Figura 8.21: Distorção observada no sinal de saída da porta de transmissão quando simulados desvios positivos de V_{th} no transistor NMOS (M1).

É possível visualizar nas Figuras 8.20 e 8.21 um padrão de distorção semelhante ao observado na Figura 8.8, que mostra os dados adquiridos durante o experimento de irradiação. Sendo assim, com o conhecimento dos mecanismos de aprisionamento de cargas no óxido e na interface de transistores MOS (SHANEYFELT et al., 1992; SCHWANK et al., 2008) e da existência do fenômeno das “janela de inatividade” (FRANCO, ZONG, AGAPITO, 2006) suportado por um conjunto de simulações simples, o fenômeno observado da recuperação da distorção harmônica durante o experimento pode ser considerado compreendido.

Obviamente, a complexidade do dispositivo irradiado vai muito além do circuito simulado neste trabalho. A lógica de controle das chaves envolve a geração de duas fases de relógios não sobrepostas que ainda necessitam estar disponíveis em suas versões direta e invertida. Dependendo do circuito programado, em um mesmo ciclo de amostragem ou avaliação (no caso de circuitos com capacitores chaveados), o sinal pode trafegar por chaves controladas por fases distintas de relógio. Neste sentido, mais detalhes sobre os efeitos de dose total em circuitos a capacitores chaveados podem ser obtidos com simulações mais detalhadas.

8.3 ANNEALING (NEUTRALIZAÇÃO)

Após os experimentos executaram-se as medidas pós-irradiação, de acordo com a norma 22900 ESA (ESA, 1995). Imediatamente após o término da janela de irradiação, o FPPA não podia ser configurado novamente, pois o software de programação não conseguia estabelecer a comunicação com o dispositivo.

Após esta etapa, o dispositivo foi mantido sob polarização (alimentado) à temperatura ambiente, por 168h, e medidas periódicas foram realizadas. Em uma etapa posterior o FPAA foi submetido à uma temperatura de 100° C por 168h. A figura 8.22 mostra o “forno” onde o dispositivo foi mantido à 100° C.

Já nas primeiras medidas na etapa de *annealing* foi possível programar o FPAA novamente. Foi observada uma redução na corrente de alimentação e uma recuperação da distorção harmônica, indicando uma neutralização parcial das cargas acumuladas nos óxidos de isolamento.

A Figura 8.23 mostra a curva da corrente de consumo ao longo de todo o experimento, incluindo os dados obtidos na etapa de annealing. Os mesmos pontos de medida foram incluídos na curva da distorção harmônica, mostrada na Figura 8.24, com exceção dos dados

medidos durante o annealing acelerado (a 100° C), que não foram coletados por motivos de ordem técnica.

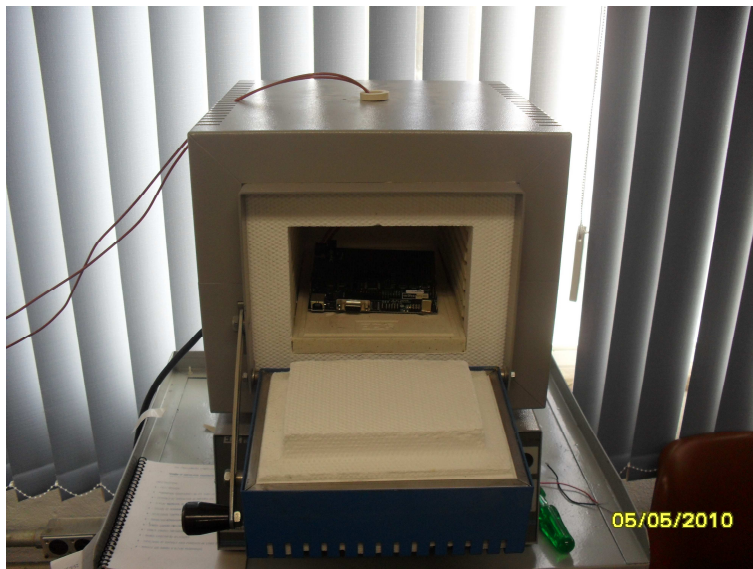


Figura 8.22: Forno onde o FPPA foi submetido ao annealing à temperatura de 100°.

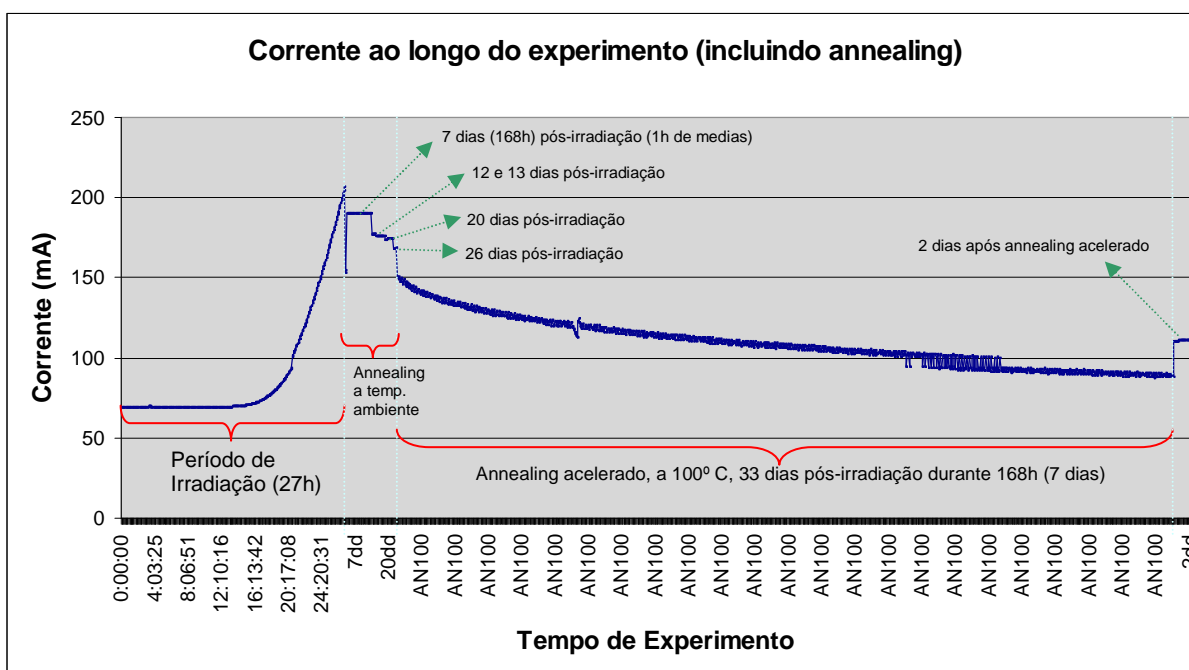


Figura 8.23: Corrente de alimentação durante a irradiação e a etapa de annealing, mostrando que mesmo após o annealing este parâmetro não foi totalmente recuperado.

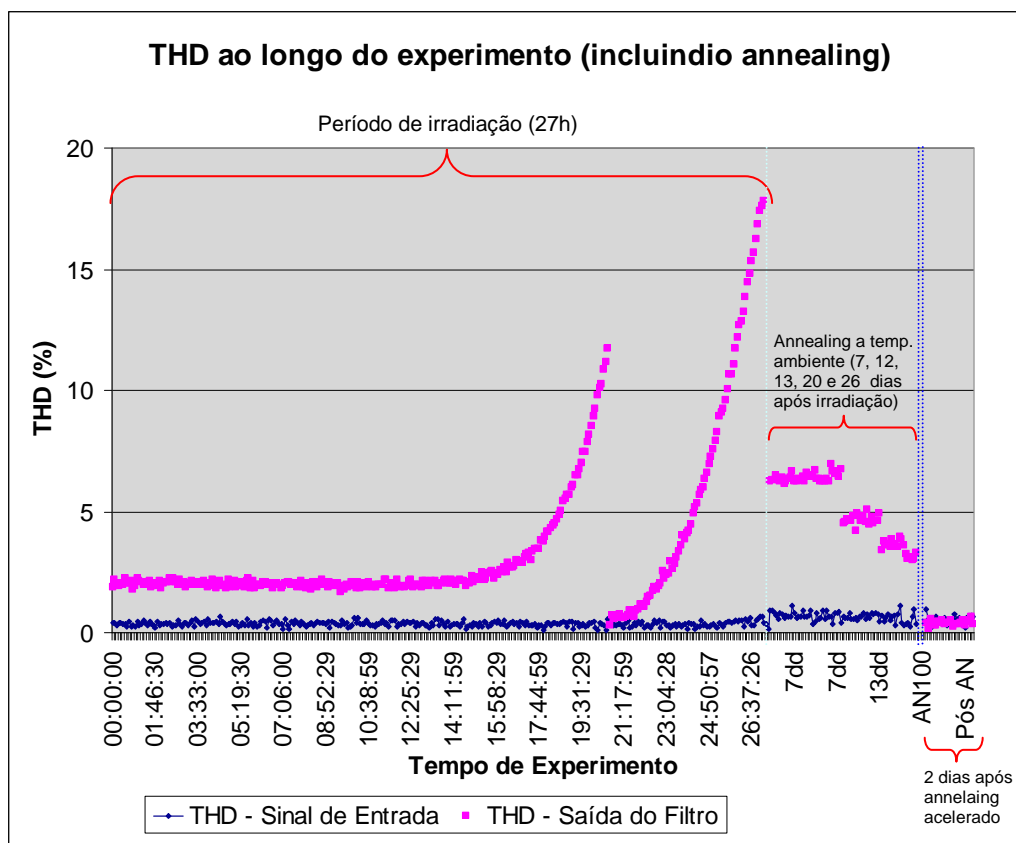


Figura 8.24: Distorção harmônica durante a irradiação e a etapa de annealing, mostrando a recuperação total deste parâmetro após o annealing acelerado.

Durante a etapa de *annealing* o sinal de erro ainda podia ser visualizado. Nas coletas realizadas após o *annealing* acelerado o sinal de erro persistia, com uma forma de onda de meio ciclo (similar às mostradas na Figura 8.13), porém, com uma amplitude menor, da ordem de 40 mV. A redução da distorção também pôde ser confirmada por inspeção, através da forma de onda de saída do filtro.

Comparando-se as curvas dos parâmetros THD e corrente de alimentação obtidas durante a etapa de *annealing* observa-se que a distorção harmônica recuperou-se mais rapidamente do que a corrente. Enquanto a THD retrocedeu para 3% (valor próximo ao do início do experimento) antes mesmo de submeter o FPAA ao *annealing* acelerado, a corrente ainda permanecia com um valor mais de duas vezes maior do que a corrente de consumo nominal da placa. Esta constatação reforça as conclusões apresentadas na seção anterior, ou seja, que o aumento da corrente de alimentação tem relação com a corrente de fuga dos transistores das portas de transmissão, enquanto a distorção harmônica é afetada principalmente pelos efeitos sobre os inversores de controle das portas de transmissão. A recuperação nos inversores de controle é mais acelerada pois suas dimensões são usualmente

menores do que as dimensões das chaves analógicas, as quais acumulam uma quantidade maior de cargas quando submetidas à radiação ionizante.

8.4 COMPARAÇÃO COM OS DADOS OBTIDOS PELO INTA (ESPANHA)

Antes de realizar os experimentos de irradiação no IEAv, em um contato com pesquisadores do Instituto Nacional de Técnica Aeroespacial (INTA), órgão vinculado ao departamento de defesa da Espanha, tivemos acesso a dados de um experimento de dose total realizado sobre um FPAA AN221E04 (RIVAS, 2007). No referido experimento o FPAA foi submetido à radiação gama (Co-60) a uma taxa duas vezes maior do que a utilizada no experimento descrito na seção 8.1 (2 krad/h).

Os pesquisadores do INTA monitoraram poucos parâmetros funcionais do FPAA, pois a sua maior preocupação era estabelecer o nível de dose acumulado para o qual o dispositivo não mais operasse adequadamente, logo, os resultados de nossos experimentos descritos nas seções anteriores, apresentam uma riqueza de detalhes maior do que os descritos pelo INTA (RIVAS, 2007).

No entanto, um teste adicional realizado nos experimentos em questão mostra um dado complementar aos obtidos nos nossos experimentos. Nos experimentos do INTA, duas amostras do FPAA foram submetidas à radiação. Um dos chips foi continuamente alimentado, e outro foi ligado e desligado alternadamente durante o experimento, de modo a ficar 20% do tempo total do experimento ligado. Os resultados da corrente de alimentação destes dispositivos são mostrados na Figura 8.25.

Embora as amostras do valor da corrente da Figura 8.25 foram tomadas com espaçamento temporal maior, observa-se que o aumento da corrente no FPAA1 (alimentado continuamente) começou a ser percebido (com valores significativos) para doses acima de 20 krad, em conformidade com os experimentos realizados neste trabalho (Figura 8.4). De fato, nos nossos experimentos, a corrente consumida começou a aumentar para valores de TID menores, em torno de 13 krad. Esta diferença foi possivelmente causada pela taxa de dose diferente utilizada nos dois experimentos. Conforme mencionado na seção 2.3 o acúmulo de cargas no óxido e na interface ocorrem com uma determinada característica temporal, que normalmente depende da taxa de dose. No caso dos experimentos do INTA, a dose de 20 krad foi atingida em 10h de experimento, enquanto a taxa de aproximadamente 13 krad no nosso experimento foi atingida em 13h de experimento.

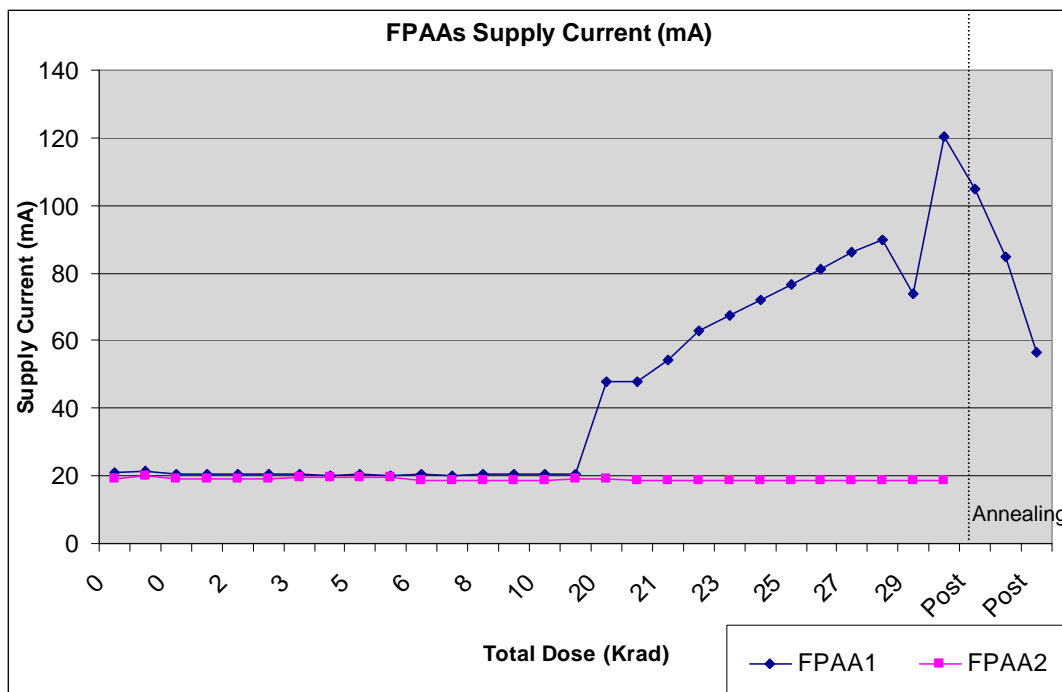


Figura 8.25: Variações da corrente de alimentação medidas no experimento de irradiação realizado por pesquisadores do INTA (RIVAS, 2007).

O dado mais interessante apontado nos experimentos do INTA foi a manutenção da corrente de consumo do FPAA2 (alternadamente alimentado) dentro do seu valor nominal. Isso ocorreu, pois, conforme discutido na seção 2.3, a ausência de campo elétrico nos óxidos do circuito (durante 80% do tempo – período no qual o FPAA permaneceu desligado) favoreceu a recombinação inicial, reduzindo a quantidade de cargas aprisionadas nos óxidos.

8.5 POSSIBILIDADES DE PROTEÇÃO À TID PARA FPAAS

As possibilidades de implementação de proteção a efeitos de dose total em FPAAs, ora propostas, são as mesmas empregadas para os circuitos eletrônicos de uma forma geral.

A primeira proposta demanda a alteração em nível de projeto e consiste na utilização de transistores ELT, conforme discutido na seção 3.2. Neste trabalho identificamos que os principais elementos afetados pela incidência de dose total no FPAA são as chaves analógicas e seus circuitos de controle. Deste modo, é possível arbitrar determinados transistores a proteger com a utilização de *layout* ELT (em especial as chaves e seus controles), de modo a não penalizar excessivamente o circuito final com aumento de área.

Outra técnica de proteção que pode ser aplicada pelo integrador do sistema final no qual o FPAA será inserido consiste na blindagem do CI e do sistema. Esta técnica depende do conhecimento por parte do integrador das condições ambientais, para que seja definida a espessura da blindagem a ser considerada, conforme discutido na seção 3.3.

Finalmente, baseado nos resultados discutidos na seção 8.3 e no estudo conduzido na seção 2.3, é possível propor uma alternativa de proteção em nível de sistema, baseada em redundância. A idéia é utilizar a replicação de dispositivos na placa de circuito impresso, em um esquema similar ao da Figura 3.15 (capítulo 3). Porém, ao invés de utilizar os dispositivos replicados em paralelo, com um votador em sua saída, estes seriam utilizados alternadamente, com suas saídas conectadas em um multiplexador analógico. Deste modo apenas um dos n dispositivos permanece alimentado por vez e a ausência de campo elétrico nos demais desacelera o acúmulo de cargas induzidos por radiação, aumentando a vida útil do sistema. A idéia é ilustrada na Figura 8.26. Dependendo do grau de tolerância do multiplexador este pode também ser triplicado.

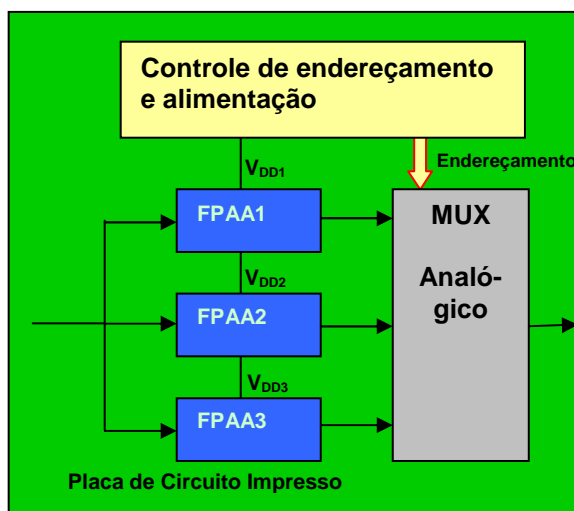


Figura 8.26: Proposta de replicação e utilização alternada como alternativa ao aumento de vida útil de um sistema exposto à radiação ionizante.

Esta metodologia implica em aumento de área e de custos (significativos), que depende da quantidade de dispositivos redundantes que se pretende utilizar. No entanto, a replicação, inclusive em nível de dispositivo, tem sido uma estratégia amplamente aceita para tornar os sistemas eletrônicos mais robustos para utilização em aplicações críticas. Desse modo, tal estratégia, apesar de custosa, pode configurar uma alternativa interessante para aumentar a vida útil de sistemas que utilizam a flexibilidade dos FPAAs em suas implementações. Vale

ressaltar que mesmo em se tratando de uma metodologia simples e pouco refinada, é uma proposta original, visto que não foram encontradas referências na literatura sobre uma proposta similar.

A utilização desta metodologia pode ainda agregar uma proteção extra no que diz respeito a SEUs nos blocos de memória do FPAA. Ao utilizar os dispositivos alternadamente, toda vez que um dispositivo é desligado e posteriormente ligado para ser utilizado, os dados de programação são automaticamente relidos da memória ROM externa. Portanto, um *scrubbing* automático é realizado. Assim, a frequência com que se alterna a utilização os dispositivos pode ser calculada levando em consideração a SER esperada para o dispositivo.

9. CONCLUSÕES

Este trabalho consiste em um estudo teórico e prático sobre os efeitos da radiação em dispositivos analógicos programáveis. Inicialmente foi feita uma revisão teórica sobre as origens da radiação espacial e seus efeitos nos circuitos eletrônicos, bem como, sobre o estado-da-arte das técnicas de proteção aplicáveis aos sistemas sujeitos à radiação. Deste modo, os capítulos 2 e 3 desta tese contribuem como um texto de revisão bastante abrangente sobre o tema, que pode auxiliar pesquisadores da área na busca de informações sobre a interação da radiação com os dispositivos semicondutores.

Posteriormente, o estudo dos efeitos da radiação em dispositivos eletrônicos foi direcionado aos FPAA. Estes dispositivos são uma alternativa de baixo custo para o projeto de sistemas analógicos e de sinal misto, visto que blocos funcionais relativamente complexos podem ser programados sem a necessidade de uma elevada *expertise* na área de circuitos analógicos. Componentes comerciais como os FPAA podem ser também utilizados em aplicações suscetíveis à radiação (como em sistemas aeroespaciais e em instalações nucleares). Por esta razão, os estudos apresentados nesta tese podem servir como fonte de consulta para projetistas e integradores de sistemas que cogitem a utilização de dispositivos programáveis em seus projetos.

Além dos estudos teóricos, foram realizados experimentos práticos para investigar os três principais efeitos da radiação em diferentes partes de um FPAA comercial: SEUs nos blocos de memória de programação, SETs nos bancos de capacitores programáveis e TID no dispositivo como um todo. As metodologias utilizadas consistiram em injeção de falhas por emulação (SEUs) e simulação (SETs) e em um experimento prático de irradiação para TID.

Na investigação dos efeitos de SEUs nos blocos de memória SRAM do dispositivo, experimentos de injeção de falhas foram realizados sobre um módulo simples (oscilador) programado no FPAA. Falhas do tipo “inversão de bit” foram injetadas através da modificação do *bitstream* de programação do componente. Nessa etapa do trabalho concluiu-se que o efeito de uma inversão de bit na memória de programação pode fazer com que o sistema sofra severas alterações funcionais, pois o estado de uma chave de controle de uma interconexão ou de um componente importante pode ser alterado. No entanto, esta inversão de bit pode também não ser percebida pelo sistema, pois pode atingir um elemento de memória que controla um recurso do FPAA não utilizado na implementação do módulo programado.

Com base nos resultados dos experimentos de injeção de falhas, uma arquitetura *self-checking* foi proposta a fim de permitir a detecção (*on-line*) de erros e a auto-recuperação dos dados de memória se um erro for detectado. Esta arquitetura é baseada em redundância, onde o bloco funcional (programado no FPAA) a ser protegido é duplicado e um circuito detector de erros (*checker*) compara a saída dos dois blocos. Se um erro for detectado, os dados de programação do dispositivo (armazenados em uma memória ROM externa) são recarregados para o *shift-register* de programação do FPAA. A habilidade deste esquema em detectar desvios funcionais entre o bloco de interesse e sua réplica foi discutida. Experimentos de injeção de falhas foram também realizados a fim de comprovar a confiabilidade do *checker* quando consideradas falhas no *bitstream* de seus próprios blocos. Estes experimentos mostraram que existe uma probabilidade de *fault aliasing* muito baixa, pois para a grande maioria das falhas injetadas no *checker* o mesmo manteve sua capacidade de detectar desvios funcionais nos blocos sob teste.

Experimentos adicionais mostraram que, ao aumentar a redundância do *checker*, eliminando pontos não duplicados, nenhuma das falhas injetadas ocasionou *aliasing*. Logo, com o custo de um aumento de 25% do número de CABs do *checker*, este pode ser considerado formalmente um *checker Strongly Code Disjoint*. De fato, a área ocupada pelo *checker* (neste caso o número de CABs) representa 40% ou 50% (*checker SCD*) dos recursos programáveis do FPAA estudado. No entanto, é possível reduzir a área do *checker* utilizando módulos customizados (e não apenas os disponibilizados pelo fabricante na biblioteca padrão). Em outros modelos de FPAA esta redução do *overhead* pode se dar de modo natural. Outra alternativa de proteção, similar, mas que não demanda a utilização de recursos do FPAA na construção de circuitos detectores de erro é o *scrubbing* periódico. No entanto, apesar de representar um ganho em recursos de hardware, esta técnica é menos eficiente do que o esquema de autocorreção proposto.

Efeitos de eventos transientes nos circuitos de controle dos bancos de capacitores de FPAAs foram também investigados neste trabalho. As chaves programáveis utilizadas nos bancos de capacitores do FPAA estudado são do tipo “porta de transmissão”. Estas chaves necessitam de sinais de controle complementares e, conseqüentemente, de um inversor lógico. Conforme comprovado em simulações *spice*, uma corrente transiente ocasionada pelo impacto de uma partícula no nó de saída deste inversor pode conectar momentaneamente ao banco um capacitor originalmente não utilizado. A conexão temporária deste capacitor resulta em transferência de carga entre os capacitores do banco. As simulações mostraram que, se o

capacitor que rouba carga (agressor) possui capacitância maior do que o capacitor que perde carga (vítima), a tensão do capacitor equivalente programado pode sofrer uma redução significativa, perturbando temporariamente o circuito.

Baseado nestas simulações e em uma análise da redistribuição de carga foi possível propor alterações em nível de projeto para evitar ou reduzir a influência destes efeitos. Uma das possibilidades é modificar a arquitetura do banco, de modo que cada capacitor unitário possa ser conectado individualmente ao banco (e não em pesos binários). Esta arquitetura impede que o capacitor agressor seja maior do que o capacitor vítima e minimiza a redistribuição de carga. No entanto, implica em um aumento de área significativo, não só na parte analógica (chaves e interconexões extras), mas também na parte digital (elementos de memória e circuito de controle das chaves). A partir das simulações também se observou que o dimensionamento da porta inversora de controle das chaves programáveis do banco também pode ser controlado para aumentar a tolerância desta parte do dispositivo a SETs. Aumentando a largura (W) dos transistores do inversor, se aumenta também a intensidade máxima de corrente do pulso transiente que o nó de saída consegue tolerar, sem mudar de estado a chave controlada por ele. A terceira proposta consiste na duplicação das chaves que conectam os capacitores ao banco, de modo que seja necessário ligar duas chaves ao mesmo tempo para conectar o capacitor ao banco. Assim, aliado à separação física das duas chaves, a redundância evita que um SET conecte temporariamente um capacitor não utilizado ao banco de capacitores, evitando a redistribuição de carga.

Neste trabalho também estudou-se os efeitos de dose total sobre um FPAA comercial, através de um experimento de irradiação com uma fonte de Cobalto-60. Os resultados obtidos trazem três principais contribuições: a identificação dos níveis de dose que o dispositivo testado tolera, a compreensão dos principais subcircuitos de um dispositivo analógico programável que são afetados pelo acúmulo de dose e a constatação de novas evidências de ocorrência de um fenômeno reportado em apenas um trabalho encontrado na literatura (denominado “janela de inatividade”). Os resultados mostraram um acréscimo considerável na corrente consumida pelo FPAA, devido à fuga de corrente dos transistores do circuito. Também se observou aumento na distorção harmônica de um dos sinais processados pelo FPAA. A distorção ocorreu (visivelmente) em apenas um semiciclo do sinal, indicando que sua origem mais provável estava nas portas de transmissão do circuito. Um dado adicional observado (inicialmente surpreendente) foi que, após o sinal atingir determinado nível de distorção harmônica, este parâmetro simplesmente sofreu uma súbita recuperação, sendo

reduzido consideravelmente. Este fenômeno foi então explicado através do estudo teórico realizado nos primeiros capítulos da tese e de um trabalho recente que reportou “janelas de inatividade” em chaves analógicas comerciais. A explicação para tanto encontra suporte nos mecanismos de armazenamento de carga no óxido e na interface, os quais resultam em desvios opostos na tensão de limiar dos transistores N e P das portas de transmissão. Assim, como estes dois mecanismos de acúmulo de cargas tem características temporais distintas, um deles dominou o fenômeno de distorção no início do experimento, sendo posteriormente compensado pelo outro mecanismo, o qual na parte final do experimento passou a dominar a distorção harmônica observada. Estas hipóteses foram então comprovadas através de simulações elétricas.

Os dados do experimento de TID foram então comparados com outro experimento similar realizado por pesquisadores espanhóis. Um dado obtido desta análise, que complementa as constatações realizadas através de nossos experimentos, é a evidência de outro fenômeno estudado na etapa de revisão bibliográfica: a recombinação inicial. No experimento espanhol duas amostras do FPAA foram submetidas à radiação, sendo um dos dispositivos alimentado de maneira alternada (ligado e desligado alternadamente), permanecendo alimentado apenas 20% do tempo total de irradiação. Este dispositivo, ao contrário do FPAA alimentado continuamente, não sofreu aumento na corrente de alimentação. Isso indica que a ausência de campo elétrico nos óxidos dos transistores, no período em que este permanecia desligado, contribuiu para que uma alta fração de portadores, gerados pela ionização, sofresse recombinação inicial. Deste modo, o acúmulo de cargas foi menor neste dispositivo, razão pela qual não houve aumento de corrente de fuga para os valores de dose testados. Com base nesta constatação, um esquema baseado em redundância foi então proposto como alternativa de aumentar a vida útil de sistemas suscetíveis à radiação que utilizem FPAAs. O esquema consiste na utilização de múltiplos dispositivos que são utilizados alternadamente, cuja seleção é feita por um bloco controlador simples e um multiplexador analógico. Apesar de implicar em um alto custo, a técnica proposta permite aumentar a vida do sistema e ao mesmo tempo aumenta a tolerância do sistema à SEUs devido ao *scrubbing* automático que é realizado na alternância de dispositivos.

Os trabalhos relacionados à esta tese geraram um conjunto de publicações que compreendem um capítulo de livro (LUBASZEWSKI et al., 2007), três publicações em anais de eventos (BALEN, LUBASZEWSKI, RENOVELL, 2006; BALEN et al., 2007; BALEN et al., 2008) e uma publicação na revista *IEEE Transactions on Nuclear Science* (BALEN et al.,

2009). Um pôster também foi apresentado em um evento nacional denominado *NanoAeroEspacial*, ocorrido em São José dos Campos em 2007. Os resultados decorrentes desta tese também foram apresentados no *16th IEEE International On-Line Testing Symposium*, em uma palestra convidada (*Invited Talk*) (BALEN & LUBASZEWSKI, 2010).

Embora, no meu ponto de vista, os trabalhos realizados nesta tese tragam contribuições interessantes para área de tolerância à radiação aplicada aos circuitos eletrônicos, há ainda muito a ser investigado. As simulações sobre os efeitos de SETs podem ser aprofundadas. Inicialmente, simulando SETs ocorrendo em um circuito com uma das funcionalidades possíveis de se implementar no FPAA. Para tanto, é necessário simular um CAB do dispositivo, o que já foi realizado em trabalhos anteriores. Simulações sistemáticas que visam identificar os efeitos das variações no dimensionamento das chaves e dos inversores de controle também podem ser realizadas. Os efeitos de dose total podem ser investigados mais a fundo, realizando novos experimentos (agora direcionados a identificar com mais clareza o fenômeno das janelas de inatividade). É possível também aprofundar as simulações elétricas dos efeitos de dose total.

REFERÊNCIAS

- ADAMS, L. et al. A verified proton induced latch-up in space. **IEEE Transactions on Nuclear Science**, New Orleans, v. 39, n. 6, p. 1804-1808, Dec. 1992.
- ADELL, P. et al. Analysis of single-event transients in analog circuits. **IEEE Transactions on Nuclear Science**, Reno, v. 47, n. 6, p. 2616-2623, Dec. 2000.
- AGILENT. **Agilent VEE Pro 9.2 and Agilent VEE Express 9.2**: datasheet. 2010. Disponível em: <http://www.home.agilent.com/upload/cmc_upload/All/5989-9641EN.pdf>. Acesso em: 26 abr. 2010.
- ALEXANDER, C. K.; SADIKU, M. N. O. **Fundamentos de circuitos elétricos**. Porto Alegre: Bookman, 2003.
- ALLEN, P.; HOLBERG, D. **CMOS analog circuit design**. New York: Holt-Rinehart and Winston, 1987.
- ANADIGM. **Anadigm designer IP module manual**. 2002. Disponível em: <www.anadigm.com>. Acesso em: 8 mar. 2006.
- ANADIGM. **AN10E40 field programmable analog array**: datasheet. 2003. Disponível em: <www.anadigm.com>. Acesso em: 8 mar. 2006.
- ANADIGM. **Field programmable analog array**: datasheet. 2003b. Disponível em: <www.anadigm.com>. Acesso em: 8 mar. 2006.
- ANDERSON, D. A. **Design of self-checking digital networks using coding techniques**: Report 527. Urbana-Champaign: Univeristy of Illinois Press, 1971.
- ANGHEL, A.; ALEXANDRESCU, D.; NICOLAIDIS, M. Evaluation of a soft error tolerance technique based on time and or hardware redundancy. In: **IEEE INTEGRATED CIRCUITS AND SYSTEMS DESIGN (SBCCI)**, 2000, [S. l.]. **Proceedings...** [S. l.]: [s. n.], 2000. p. 237-242.
- ARABI, K.; KAMINSKA, B. Oscillation-test strategy for analog and mixed-signal integrated circuits. In: **VLSI TEST SYMPOSIUM**, 14., 1996, [S. l.]. **Proceedings...** [S. l.]: [s. n.], 1996. p. 476-482.
- AUBUCHON, K. G. Radiation hardening of P-MOS devices by optimization of the thermal SiO₂ gate insulator. **IEEE Transactions on Nuclear Science**, Snowmass Village, v. 18, n. 6, p. 117-125, Dec. 1971.

AVIZIENIS, A.; KELLY, J. P. J. Fault tolerance by design diversity - concepts and experiments. **Computer**, [S. l.], v. 17, n. 8, p. 67-80, Aug. 1984.

BALEN, T. R. **Teste de dispositivos analógicos programáveis (FPAAs)**. 2006. 128 p. Dissertação (Mestrado em Engenharia Elétrica) - Programa de Pós-Graduação em Engenharia Elétrica, Universidade Federal do Rio Grande do Sul, Porto Alegre, 2006.

BALEN, T. R.; LUBASZEWSKI, M. S.; RENOVELL, M. Study of single event upset effects in SRAM-based field programmable analog arrays. In: **IEEE LATIN-AMERICAN TEST WORKSHOP, 7.**, 2006, Buenos Aires. **Digest of Papers...** Buenos Aires: INTI/PUCRS, 2006. p. 115-119.

BALEN, T. R. et al. Single Event Upset in SRAM-Based Field Programmable Analog Arrays: effects and mitigation. In: **IEEE Computer Society Annual Symposium on VLSI. Proceedings...** 2007, Porto Alegre. 2007. p. 192-197.

BALEN, T. R. et al. A Self-Checking Scheme to Mitigate Single Event Upset Effects in SRAM-based FPAAs. In: **8th European Workshop on Radiation Effects on Components and Systems. Proceedings**, 2008, Jyväskylä. Finlândia, 2008.

BALEN, T. R. et al. A Self-Checking Scheme to Mitigate Single Event Upset Effects in SRAM-based FPAAs. **IEEE Transactions on Nuclear Science**. v. 56, n. 4, p. 1950-1957, dez. 2009.

BALEN, T. R.; LUBASZEWSKI, M. Radiation Effects on Programmable Analog Devices and Mitigation Techniques. **Invited Talk**. 6th IEEE International On-Line Testing Symposium. 2010.

BARNABY, H. J. et al. Proton radiation response mechanisms in bipolar analog circuits. **IEEE Transactions on Nuclear Science**, Vancouver, v. 48, n. 6, p. 2074-2080, Dec. 2001.

BAUMANN, R. Soft errors in advanced semiconductor devices-part I: the three radiation sources. **IEEE Transactions on Device and Materials Reliability**, [S. l.], v. 1, n. 1, p. 17-22, Mar. 2001.

BAUMANN, R. Soft errors in advanced computer systems. **IEEE Design & Test of Computers**, [S. l.], v. 22, n. 3, p. 258-266, June 2005.

BAZE, M. P.; BUCHNER, S. P. Attenuation of single event induced pulses in CMOS combinational logic. **IEEE Transactions on Nuclear Science**, Snowmass Village, v. 44, n. 6, p. 2217-2223, Dec. 1997.

BINDER, D.; SMITH, E. C.; HOLMAN, A. B. Satellite anomalies from galactic cosmic rays. **IEEE Transaction on Nuclear Science**, Snowmass Village, v. 22, n. 6, p. 2675-2680, Dec. 1975.

BOESCH, H. E.; McLEAN, F. B. Hole transport and trapping in field oxides. **IEEE Transactions on nuclear Science**, [S. l.], v. NS-32, n. 6, p. 3940-3945, Dec. 1985.

BORGES, G. M. et al. Diversity TMR: proof of concept in a mixed-signal case. In: IEEE LATIN-AMERICAN TEST WORKSHOP, 11., 2010, Punta del Est. **Proceedings...** [S. l.]: [s. n.], 2010.

BOUDENOT, J. C. Radiation space environment. In: VELAZCO, R.; FOUILLAT, P.; REIS, R. (Ed.). **Radiation effects on embedded systems**. Dordrecht: Springer, 2007. p. 1-9.

BOULGHASSOUL, Y. et al. Frequency domain analysis of analog single-event transients in linear circuits. **IEEE Transaction on Nuclear Science**, [S. l.], v. 49, n. 6, p. 3142-3147, Dec. 2002.

BRATT, A.; MACBETH, I. Design and implementation of a field programmable analogue array. In: ACM INTERNATIONAL SYMPOSIUM ON FIELD-PROGRAMMABLE GATE ARRAYS, 4, 1996, [S. l.]. **Proceedings...** New York: ACM, 1996. p. 88-93.

BRATT, A.; MACBETH, I. DPAD2 – A field programmable analog array. **Analog Integrated Circuits and Signal Processing**, The Netherlands, v. 17, n. 1-2, p. 67-89, Sept. 1998.

BROWN, D. et al. Advanced analog CMOS technology. In: INTERNATIONAL ELECTRON DEVICES MEETING, 1985, [S. l.]. **Proceedings...** [S. l.]: [s. n.], 1985. v. 31, p. 260-263.

CALIN, T.; NICOLAIDIS, M.; VELAZCO, R. Upset hardened memory design for submicron CMOS technology. **IEEE Transactions Nuclear Science**, Indian Wells, v. 43, n. 6, p. 2874-2878, Dec. 1996.

CAMPBELL, A. B. et al. Charge collection in test structures. **IEEE Transactions on Nuclear Science**, [S. l.], v. NS-30, n. 6, p. 4486-4492, Dec. 1983.

CARMICHEL, C. Triple module redundancy design techniques for virtex series FPGA. **Xilinx Application Notes 197**, v. 1.0, Mar. 2001.

CARMICHAEL, C; CAFFREY, M.; SALAZAR, A. Correcting single-event upsets through virtex partial configuration. Los Alamos National Laboratories. **Xilinx Application Notes XAPP216**, v. 1.0, June 2000.

CEBERS. CEBERS 3 & 4 Environmental Specification. China Brasil Earth Resources Satellite. 2008.

CESCHIA, M. et al. Radiation-induced leakage current and stress induced leakage current in ultra-thin gate oxides. **IEEE Transactions on Nuclear Science**, [S. l.], v. 45, n. 6, p. 2375-2382, Dec. 1997.

CESCHIA, M. et al. Heavy ion irradiation of thin gate oxides. **IEEE Transactions on Nuclear Science**, Reno, v. 47, n. 6, p. 2648-2655, Dec. 2000.

CHUNG, H. H. et al. Analysis of single events effects on monolithic PLL frequency synthesizers. **IEEE Transactions on Nuclear Science**, Snowmass Village, v. 53, n. 6, p. 3539-3543, Dec. 2006.

CONNELL, L. W. et al. Modeling the heavy ion upset cross section. **IEEE Transactions on Nuclear Science**, [S. l.], v. 42, n. 2, p. 73-82, Apr. 1995.

COOK, K. L. B. The ITAR and you - what you need to know about the International Traffic in Arms Regulations. **Aerospace Conference**, Big Sky, p. 1-12, Mar. 2010.

CRAIN, S. H. et al. Analog and digital single-event effects experiments in space. **IEEE Transactions on Nuclear Science**, Vancouver, v. 48, n. 6, p. 1841-1848, Dec. 2001.

CYPRESS. Cypress Microsystems. **CY8C2XXXX Family**: datasheet, 2002. Disponível em: <www.cypress.com>. Acesso em: 20 mar. 2010.

DELAUS, M. et al. Converting a bulk radiation-hardened BiCMOS technology into a dielectrically-isolated process. **IEEE Transactions on Nuclear Science**, Snowbird, v. 40, n. 6, p. 1774-1779, Dec. 1993.

DERBENWICK, G. F.; GREGORY, B. L. Process optimization of radiation-hardened CMOS integrated circuits. **IEEE Transactions on Nuclear Science**, Snowmass Village, v. NS-22, n. 6, p. 2151-2156, Dec. 1975.

DIMITRIJEV, S.; STOJADINOVIC, N.. Analysis of CMOS transistor instabilities. **Solid-State Electron**, v. 30, p. 991-1003, 1987.

DODD, P. E.; SEXTON, F. W. Critical charge concepts for CMOS SRAMs. **IEEE Transactions on Nuclear Science**, [S. l.], v. 42, n. 6, p. 1764-1771, Dec. 1995.

DODD, P. E.; SHANEYFELT, M. R.; SEXTON, F. W. Charge collection and SEU from Angled ion strikes. **IEEE Transactions on Nuclear Science**, Snowmass Village, v. 44, n. 6, p. 2256-2265, Dec. 1997.

DODD, P. E. et al. Impact of ion energy on single-event upset. **IEEE Transactions on Nuclear Science**, Newport Beach, v. 45, n. 6, p. 2483-2491, Dec. 1998.

DUFOUR, C. et al. Heavy ion induced single hard errors on submicronic memories [for space application]. **IEEE Transactions on Nuclear Science**, New Orleans, v. 39, n. 6, p. 1693-1697, Dec. 1992.

ECOFFET, R. et al. Observation of heavy ion induced transients in linear circuits. In: IEEE RADIATION EFFECTS DATA WORKSHOP, 1994, [S. l.]. **Proceedings...** [S. l.]: [s. n.], 1994. p. 72-77.

ECOFFET, R. In-flight anomalies on electronic devices. In: VELAZCO, R.; FOUILLAT, P.; REIS, R. (Ed.). **Radiation effects on embedded systems**. Dordrecht: Springer, 2007. p. 31-68.

EETIMES. 2000. Disponível em:

<<http://www.eetimes.com/semi/news/OEG20000731S0026>>. Acesso em: 10 abr. 2005.

ENLOW, E. W. et al. Response of advanced bipolar processes to ionizing radiation. **IEEE Transactions on Nuclear Science**, San Diego, v. 38, n. 6, p. 1342-1351, Dec. 1991.

ENTRENA, L. et al. SET emulation considering electrical masking effects. **IEEE Transactions on Nuclear Science**, [S. l.], v. 56, n. 4, p. 2021-2025, Ago. 2009.

ESA. European space agency (ESA). Total dose steady state irradiation test method. **ESA/SCC basic specification n. 22900**, [S. l.], 1995.

ESPINOSA-DURAN, J. M. et al. Measuring SET effects in a CMOS operational amplifier using a built-in detector. In: AFRICON 2007, 8., 2007, Windhoek, Namibia. **Proceedings...** [S. l.]: [s. n.], 2007. p. 1-7.

ESPINOSA-DURAN, J. M. et al. Total ionizing dose effects in switched-capacitor filters using oscillation-based test. In: **IEEE INTERNATIONAL CONFERENCE ON ELECTRONICS, CIRCUITS AND SYSTEMS**, 14., 2007, Marrakech. **Proceedings...** [S. l.]: [s. n.], 2007b. p. 841-844.

EUA. Estados Unidos da América (EUA). International traffic in arms regulations. **Code of Federal Regulations**, n. 22, parts 120-130, 1997. Disponível em: <www.fas.org/spp/starwars/offdocs/itar/>. Acesso em: 23 jun. 2010.

FACCIO, F. Design Hardening Methodologies for ASICS. In: VELAZCO, R.; FOUILLAT, P.; REIS, R. (Ed.). **Radiation effects on embedded systems**. Dordrecht: Springer, 2007. p. 143-160.

FELTHAM, D. B. I. et al. Current sensing for built-in testing of CMOS circuits. In: **COMPUTER DESIGN: VLSI IN COMPUTERS AND PROCESSORS**, 1988, [S. l.]. **Proceedings...** [S. l.]: [s. n.], 1988. p. 454-457.

FERLET-CAVROIS, V. et al. Statistical analysis of the charge collected in SOI and bulk devices under heavy ion and proton irradiation: implications for digital SETs. **IEEE Transactions on Nuclear Science**, Snowmass Village, v. 53, n. 6, p. 3242-3252, Dec. 2006.

FERLET-CAVROIS, V. et al. New insights into single event transient propagation in chains of inverters: evidence for propagation-induced pulse broadening. **IEEE Transactions on Nuclear Science**, Snowmass Village, v. 54, n. 6, p. 2338-2346, Dec. 2007.

FLEETWOOD, D. M.; WINOKUR, P. S.; SCHWANK, J. R. Using laboratory X-ray and Co-60 irradiations to predict CMOS device response in strategic and space environments. **IEEE Transactions on Nuclear Science**, Portland, v. 35, n. 6, p. 1497-1505, Dec. 1988.

FLEMING, P. R. et al. Design technique for mitigation of soft errors in differential switched-capacitor circuits. **IEEE Transactions on Nuclear Science**, [S. l.], v. 55, n. 9, p. 838-842, Sept. 2008.

FONGER, W. H.; LOFERSKI, J. J.; RAPPAPORT, P. Radiation induced noise in p-n junctions. **Journal of Applied Physics**, [S. l.], v. 29, n. 3, p. 588-591, Mar. 1958.

FOSSUM, J. G.; DERBENWICK, G. F.; GEGRORY, B. L. Design optimization of radiation-hardened CMOS integrated circuits. **IEEE Transactions on Nuclear Science**, Snowmass Village, v. 22, n. 6, p. 2208-2213, Dec. 1975.

FRANCO, F. J.; ZONG, Y.; AGAPITO, J. A. Inactivity windows in irradiated CMOS analog switches. **IEEE Transactions on Nuclear Science**, Snowmass Village, v. 53, n. 4, p. 1923-1930, Aug. 2006.

FRANCO, F. J. et al. Evolution of lowest supply voltage and hysteresis phenomena in irradiated analog CMOS switches. In: IEEE RADIATION EFFECTS DATA WORKSHOP, 2004, [S. l.]. **Proceedings...** Atlanta: IEEE, 2004. p. 91-95.

GAL, L. On-Chip cross talk: the new signal integrity challenge. In: IEEE CUSTOM INTEGRATED CIRCUITS CONFERENCE, 1995, Santa Clara. **Proceedings...** [S. l.]: [s. n.], 1995. p. 251-254.

GINGRICH, D. M. et al. Radiation tolerant ASIC for controlling switched-capacitor arrays. **Nuclear Science Symposium Conference Record**, [S. l.: S. n.], v. 1, p. 182- 186, Oct. 2003.

GUENZER. C. S.; WOLICKI, E. A.; ALLAS, R. G. Single event upset of dynamic RAMs by neutrons and protons. **IEEE Transactions on Nuclear Science**, Snowmass Village, v. 26, n. 6, p. 5048-5052, Dec. 1979.

GUNASEELAN, S. T.; SELVAKUMAR, C. R.; HIEMSTRA, D. Radiation effects and annealing behaviour of operational amplifiers for space application. In: IEEE CANADIAN CONFERENCE ON ELECTRICAL AND COMPUTER ENGINEERING, 2003, [S. l.]. **Proceedings...** [S. l.]: [s. n.], 2003. v. 1, p. 303-306.

HALLIDAY, D.; RESNICK, R.; WLKER, J. **Fundamentos de física**. 7. ed. Rio de Janeiro: LTC, 2007. v. 4.

HARBOE-SORENSEN, R. et al. Single event transient characterization of analog IC's for ESA's satellites. In: EUROPEAN CONFERENCE ON RADIATION AND ITS EFFECTS ON COMPONENTS AND SYSTEMS, 15., 1999, [S. l.]. **Proceedings...** [S. l.]: [s. n.], 1999. p. 573-581.

HAYKIN, S.; VAN VEEN, B. **Sinais e sistemas**. Porto Alegre: Bookman, 2001.

HEREFORD, J.; PRUITT, C. Robust sensor systems using evolvable hardware. In: NASA/DoD CONFERENCE ON EVOLVABLE HARDWARE, 2004, [S. l.]. **Proceedings...** [S. l.]: [s. n.], 2004. p. 161.

HEYNDERICKX, D. et al. Calculating low-altitude trapped particles fluxes with the NASA models AP-8 and AE-8. **Radiation Measurements**, Amsterdam: Elsevier, v. 26, n. 6, p. 947-952, Nov. 1996.

HIEMSTRA, D. M. Guide to the 2007 IEEE radiation effects data workshop record. **Radiation Effects Data Workshop**, Tucson, [S. n.], p. 1-4, July. 2008.

HSIEH, C. M.; MURLEY, P. C.; O'BRIEN, R. R. A field-funneling effect on the collection of alpha-particle-generated carriers in silicon devices. **IEEE Electron Device Letters**, [S. l.], v. 2, n. 4, p. 103-105, Apr. 1981.

INPE. Instituto Nacional de Pesquisas Espaciais (INPE). **CEBERS, Satélite Sino-Brasileiro de Recursos Terrestres**. Disponível em: <<http://www.cbbers.inpe.br/noticias/index.php?cod=not176>>. Acesso em: 22 jun. 2010.

JAULENT, P. et al. Study of single-event transients in high-speed operational amplifiers. **IEEE Transactions on Nuclear Science**, Snowmass Village, v. 55, n. 4, p. 1974-1982, Aug. 2008.

JOHNSTON, A. H. Radiation effects in advanced microelectronics technologies. **IEEE Transactions on Nuclear Science**, [S. l.], v. 45, n. 3, p. 1339-1354, June 1998.

JOHNSTON, A. H.; LANCASTER, C. A. A total dose homogeneity study of the 108a operational amplifier. **IEEE Transactions on Nuclear Science**, Snowmass Village, v. 26, n. 6, p. 4769-4774, Dec. 1979.

JOHNSTON, A. H.; PLAAG, R. E. Models for total dose degradation of linear integrated circuits. **IEEE Transactions on Nuclear Science**, Snowmass Village, v. 34, n. 6, p. 1474-1480, Dec. 1987.

JOHNSTON, A. H.; SWIFT, G. M.; RAX, B. G. Total dose effects in conventional bipolar transistors and linear integrated circuits. **IEEE Transactions on Nuclear Science**, Tucson, v. 41, n. 6, p. 2427-2436, Dec. 1994.

KASTENSMIDT, F. G. L. **Designing single event upset mitigation techniques for large SRAM-Based FPGA components**. 2003. 157 p. Tese (Doutorado em Computação) - Programa de Pós-Graduação em Computação. Universidade Federal do Rio Grande do Sul, Porto Alegre, 2003.

KAUPPILA, A. V. et al. Frequency-domain analysis of analog single-event transients (ASET) based on energy spectral density. **IEEE Transactions on Nuclear Science**, [S. l.], v. 51, n. 6, p. 3537-3545, Dec. 2004.

KAUPPILA, A. V. et al. Probabilistic evaluation of analog single event transients. **IEEE Transactions on Nuclear Science**, Snowmass Village, v. 54, n. 6, p. 2131-2136, Dec. 2007.

KOGA, R.; KOLASINSKI, W. A.; IMAMOTO, S. Heavy ion induced upsets in semiconductor devices. **IEEE Transactions on Nuclear Science**, Snowmass Village, v. 32, n. 1 p. 159-162, Feb. 1985.

KOGA, R. et al. Observation of single event upsets in analog microcircuits. **IEEE Transactions on Nuclear Science**, Snowbird, v. 40, n. 6, p. 1838-1844, Dec. 1993.

KOGA, R. et al. Single event upset (SEU) sensitivity dependence of linear integrated circuits (ICs) on bias conditions. **IEEE Transactions on Nuclear Science**, Snowmass Village, v. 44, n. 6, p. 2325-2332, Dec. 1997.

KOGA, R. et al. Single event burnout sensitivity of embedded field effect transistors. **IEEE Transactions on Nuclear Science**, Norfolk, v. 46, n. 6, p. 1395-1402, Dec. 1999.

KOLASINSKI, W. A. et al. Simulation of cosmic-ray induced soft errors and latchup in integrated-circuit computer memories. **IEEE Transactions on Nuclear Science**, Snowmass Village, v. 26, n. 6, p. 5087-5091, Dec. 1979.

LATTICE. **Programmable analog circuits: ispPAC handbook**. Hillsboro: Lattice Semiconductors Corporation, 2000.

LAURITZEN, P. O. Effects of radiation on the noise performance of transistors. **IEEE Transactions on Nuclear Science**, Snowmass Village, v. 19, n. 2, p. 321-326, Apr. 1972.

LEHTONEN, T.; PLOSILA, J.; ISOAHO, J. On fault tolerance techniques towards nanoscale circuits and systems. **Turku Centre for Computer Science Technical Report**, Turku, v.1, n. 708, p. 1-39, Aug. 2005.

LEITE, F. et al. Using bulk built-in current sensors and recomputing techniques to mitigate transient faults in microprocessors. In: LATIN AMERICAN TEST WORKSHOP, 10., 2009, [S. l.]. **Proceedings...** [S. l.]: [s. n.], 2009. p. 1-6.

LEVEUGLE, R.; AMMARI, A. Early SEU fault injection in digital, analog and mixed signal circuits: a global flow. In: DESIGN, AUTOMATION AND TEST IN EUROPE CONFERENCE AND EXHIBITION, 2004, [S. l.]. **Proceedings...** [S. l.]: [s. n.], 2004. v. 1, p. 1530-1591.

LIMA, F.; CARRO, L.; REIS, R. Designing fault tolerant systems into SRAM-based FPGAs. In: DESIGN AUTOMATION CONFERENCE, 2003, [S. l.]. **Proceedings...** [S. l.]: [s. n.], 2003. p. 650-655.

LIU, W. **Mosfet models for spice simulation, including BSIM3v3 and BSIM4**. New York: John Wiley & Sons, 2001.

LOFERSKI, J. J.; RAPPAPORT, P. Radiation damage in Ge and Si detected by carrier lifetime changes: damage thresholds. **Physical Review**, [S. l.], v. 111, n. 2, p. 432-439, July 1958.

LUBASZEWSKI, M. et al. Effects of radiation on analog e mixed-signal circuits. In: VELAZCO, R.; FOUILLAT, P.; REIS, R. (Ed.). **Radiation effects on embedded systems**. Dordrecht: Springer, 2007. p. 89-109.

MANGHISONI, M. et al. Comparison of ionizing radiation effects in 0.18 and 0.25 um CMOS technologies for analog applications. **IEEE Transactions on Nuclear Science**, [S. l.] v. 50, n. 6, p. 1827-1832, Dec. 2003.

MAO, W. et al. QUIETEST: a quiescent current testing methodology for detecting leakage faults. In: IEEE INTERNATIONAL CONFERENCE ON COMPUTER-AIDED DESIGN, 1990. **Digest of Technical Papers...** [S. l.]: [s. n.], 1990. p. 280-283.

MATHWORKS. **Matlab 7.9 Manual**. 2009. Disponível em: <www.mathworks.com>. Acesso em: 26 abr. 2010.

McDONALD, F. B. Cosmic-ray modulation in the heliosphere: a phenomenological study. **Space Science Reviews**. Dordrecht: Springer, v. 83, n. 1-2, p. 33-50, Jan. 1998.

McGARRITY, J. M. Considerations for hardening MOS devices and circuits for low radiation doses. **IEEE Transactions on Nuclear Science**, Snowmass Village, v. NS-27, n. 6, p. 1739-1744, Dec. 1980.

MAY, T. C.; WOODS, M. H. A new physical mechanism for soft errors in dynamic memories. In: ANNUAL RELIABILITY PHYSICS SYMPOSIUM, 16., 1978, [S. l.]. **Proceedings...** [S. l.]: [s. n.], 1978. p. 33-40.

McNULTY, P. J.; BEAUVAIS, W. J.; ROTH, D. R. Determination of SEU parameters of NMOS and CMOS SRAMS. **IEEE Transactions on Nuclear Science**, San Diego, v. NS-38, n. 6, p. 1463-1470, Dec. 1991.

McNULTY, P. J. et al. Charge collection at large angles of incidence [CMOS SRAM]. **IEEE Transactions on Nuclear Science**, New Orleans, v. 39, n. 6, p. 1622-1629, Dec. 1992.

McWHORTER, P. J.; MILLER, S. L.; MILLER, W. M. Modeling the anneal of radiation-induced trapped holes in a varying thermal environment. **IEEE Transactions on Nuclear Science**, Reno, v. 37, n. 6, p.1682-1689, Dec. 1990.

MENICHELLI, N. et al. Total dose test of commercial off-the-shelf components to be used in power supply for space experiments. In: IEEE NUCLEAR SCIENCE SYMPOSIUM, 1999, [S. l.]. **Conference Record...** [S. l.]: [s. n.], 1999. v. 1, p. 408-413.

MEISENHEIMER, T. L.; FLEETWOOD, D. M. Effect of radiation-induced charge on 1/f noise in MOS devices. **IEEE Transactions on Nuclear Science**, Reno, v. 37, n. 6, p. 1696-1702, Dec. 1990.

MEISENHEIMER, T. L. et al. 1/f noise in N- and P-channel MOS devices through irradiation and annealing. **IEEE Transactions on Nuclear Science**, San Diego, v. 38, n. 6, p. 1297-1303, Dec. 1991.

MESSENGER, G. C. A summary review of displacement damage from high energy radiation in silicon semiconductors and semiconductors devices. **IEEE Transactions on Nuclear Science**, [S. l.], n. 3, v. 39, p. 468-473, June 1992.

MESSENGER, G. C. Collection of charge on junction nodes from ion tracks. **IEEE Transactions on Nuclear Science**, Snowmass Village, v. 29, n. 6, p. 2024-2031, Dec. 1982.

MILAGRES, D. C. Qualificação de componentes para uso espacial. Palestra ministrada no: **II Workshop sobre efeitos da radiação em componentes eletrônicos e fotônicos de uso aeroespacial**. São José dos Campos, 2009.

MITRA, S.; SAXENZ, N. R.; McCLUSKEY, E. J. A design diversity metric and reliability analysis for redundant systems. In: INTERNATIONAL TEST CONFERENCE, Atlantic City, 1999. **Proceedings...** [S. l.: S. n.], 1999. p. 662-671.

MNICH, T. M. et al. Comparison of analytical models and experimental results for single event upset in CMOS SRAMs. **IEEE Transactions on Nuclear Science**, Snowmass Village, v. 30, n. 6, p.4620-4623, Dec. 1983.

MONNIER, T. et al. SEU testing of a novel hardened register implemented using standard CMOS technology. **IEEE Transactions Nuclear Science**, Norfolk, v. 46, n. 6, p.1440-1444, Dec. 1999.

MOORE, G. E. Cramming more components onto integrated circuits. **Electronics Magazine**, [S. l.], v. 38, n. 8, p. 114-117, Apr. 1965.

MOSIS. **Parâmetros do processo AMI (ON) 0.5 µm**. Disponível em: <http://www.mosis.com/on_semi/c5/>. Acesso em: 14 set. 2009.

MRSTIK, B. J. et al. Hole and electron trapping in ion implanted thermal oxides and SIMOX. **IEEE Transactions on Nuclear Science**, Reno, v. 47, n. 6, p. 2189-2195, Dec. 2000.

MURAOKA, I.; CHAMON, M. A. Componentes eletrônicos para uso espacial: dificuldades e soluções. Palestra ministrada no: **II Workshop sobre efeitos da radiação em componentes eletrônicos e fotônicos de uso aeroespacial**. São José dos Campos, 2009.

MUSSEAU, O. Single event effects in SOI technologies and devices. **IEEE Transactions on Nuclear Science**, [S. l.], v. 43, n. 2, p. 6003-6013, Apr. 1996.

NARASIMHAM, B. et al. Characterization of digital single event transient pulse-widths in 130-nm and 90-nm CMOS technologies. **IEEE Transactions on Nuclear Science**, Snowmass Village, v. 54, n. 6, p. 2506-2511, Dec. 2007.

NATIONAL AERONAUTICS AND SPACE ADMINISTRATION (NASA). **NASA earth observatory**. Disponível em: <http://earthobservatory.nasa.gov/IOTD/view.php?id=617>. Acesso em: 13 jan. 2010.

NATIONAL AERONAUTICS AND SPACE ADMINISTRATION (NASA). **NASA image science center**. Disponível em: <<http://image.gsfc.nasa.gov/poetry/tour/teachers2.html>>. Acesso em: 13 jan. 2010.

NATIONAL AERONAUTICS AND SPACE ADMINISTRATION (NASA). **NASA astronomy picture of the day**. Disponível em: <<http://apod.nasa.gov/apod/ap060814.html>>. Acesso em: 13 jan. 2010.

NETO, E. H. et al. Evaluating fault coverage of bulk built-in current sensor for soft errors in combinational and sequential logic. In: SYMPOSIUM ON INTEGRATED CIRCUITS AND SYSTEMS DESIGN, 18., 2005, Florianopolis. **Proceedings...** [S. l.]: [s. n.], 2005. p. 62-67.

NEWBERRY, D. M.; KAYE, D. H.; SOLI, G. A.; Single event induced transients in I/O devices: a characterization. **IEEE Transactions on Nuclear Science**, Reno, v. 37, n. 6, p. 1974-1980, Dec. 1990.

NICOLAIDIS, M.; COURTOIS, B. Strongly code disjoint checkers. **IEEE Transactions on Computers**, [S. l.], v. 37, n. 6, p. 751-756, June 1988.

NICOLAIDIS, M. Design for soft error mitigation. **IEEE Transactions on Device and Materials Reliability**, [S. l.], v. 5, n. 3, p. 405- 418, Sept. 2005.

NORMAND, E. et al. Neutron-induced single event burnout in high voltage electronics. **IEEE Transactions on Nuclear Science**, Snowmass Village, v. 44, n. 6, p. 2358-2366, Dec. 1997.

O'GORMAN, T. J. The effect of cosmic rays on the soft errors of a DRAM at ground level. **IEEE Transactions on Electron Devices**, [S. l.], v. 41, n. 4, p. 533-557, Apr. 1994.

OLDHAM, T. R.; LELIS, A. J.; McLEAN, F. B. Spatial dependence of trapped holes determined from tunneling analysis and measured annealing. **IEEE Transactions on Nuclear Science**, Snowmass Village, v. 33, n. 6, p. 1203-1209, Dec. 1986.

ON. **Semiconductors**. Disponível em:

<<http://www.onsemi.com/PowerSolutions/content.do?id=16667>>. Acesso em: 25 jan. 2010.

PAULOS, J. J; BISHOP, R. J.; TURFLINGER, T. L. Radiation-induced response of operational amplifiers in low-level transient radiation environments. **IEEE Transactions on Nuclear Science**, Snowmass Village, v. 34, n. 6, p. 1442-1447, Dec. 1987.

PEASE, R. L. et al. A compendium of recent total dose data on bipolar linear microcircuits. In: IEEE RADIATION EFFECTS DATA WORKSHOP, 1996, [S. l.]. **Proceedings...** [S. l.]: [s. n.], 1996. p. 28-37.

PEASE, R. L. et al. An updated compendium of enhanced low dose rate sensitive (ELDRS) bipolar linear circuits. In: IEEE RADIATION EFFECTS DATA WORKSHOP RECORD, 2001, [S. l.]. **Proceedings...** [S. l.]: [s. n.], 2001. p. 127.

PEASE, R. L. 2008 update to the ELDRS bipolar linear circuit data compendium. In: EUROPEAN WORKSHOP ON RADIATION EFFECTS ON COMPONENTS AND SYSTEMS (RADECS), 8., 2008, Jyväskylä, Finland. **Proceedings...** [S. l.]: [s. n.], 2008.

PEASE, R. L.; SCHRIMPF, R. D.; FLEETWOOD, D. M. ELDRS in bipolar linear circuits: a review. **IEEE Transactions on Nuclear Science**, [S. l.], v. 56, n. 4, p. 1894-1908, Aug. 2009.

PETERSEN, E. L. et al. Geometrical factors in SEE rate calculations. **IEEE Transactions on Nuclear Science**, Snowbird, v. 40, n. 6, p. 1888-1909, Dec. 1993.

POIVEY, C. et al. Characterization of single hard errors (SHE) in 1 M-bit SRAMs from single ion. **IEEE Transactions on Nuclear Science**, [S. l.], v. 41, n. 6, p. 2235-2239, Dec. 1994.

RE, V. et al. Total ionizing dose effects on the noise performances of a 0.13 μm CMOS technology. **IEEE Transactions on Nuclear Science**, [S. l.], v. 53, n. 3, p. 1599-1606, June 2006.

RIVAS, J. TID test report analog and digital devices for OWLS. **Relatório de experimentos**. Instituto Nacional de Técnica Aeroespacial. Madrid, Espanha, 2007.

ROCKETT, L. R. An SEU-hardened CMOS data latch design. **IEEE Transactions Nuclear Science**, Portland, v. 35, n. 6, p. 1682-1687, Dec. 1988.

RODGER, C. J.; CLILVERD, M. A. Magnetospheric physics: hiss from the chorus. **Nature**, [S. l.], v. 452, n. 7183, p. 41-42, Mar. 2008.

RODITTI, I. **Dicionário Houaiss de física**. 1. ed. Rio de Janeiro: Objetiva, 2005.

RODRÍGUEZ-MONTAÑÉS, R. et al. Analog switches in programmable analog devices: quiescent defective behaviours. In: IEEE INTERNATIONAL ON-LINE TESTING WORKSHOP (IOLTW'02), 8., 2002, [S. l.]. **Proceedings...** [S. l.]: [s. n.], 2002. p. 99-103.

SAVAGE, M. W. et al. A compendium of single event transient data. In: RADIATION EFFECTS DATA WORKSHOP, 2001, [S. l.]. **Proceedings...** [S. l.]: [s. n.], 2001. p. 134-141.

SCARPA, A. et al. G. Ionizing radiation induced leakage current on ultra-thin oxides. **IEEE Transactions on Nuclear Science**, Snowmass Village, v. 44, n. 6, p. 1818-1825, Dec. 1997.

SCHWANK, J. R. et al. Effects of angle of incidence on proton and neutron-induced single-event latchup. **IEEE Transactions on Nuclear Science**, Snowmass Village, v. 53, n. 6, p. 3122-3131, Dec. 2006.

SCHWANK, J. R. et al. Radiation effects in MOS oxides. **IEEE Transactions on Nuclear Science**, Snowmass Village, v. 55, n. 4, p. 1833-1853, Aug. 2008.

SCHRIMPF, R. D. Radiation Effects in Microelectronics. In: VELAZCO, R.; FOUILLAT, P.; REIS, R. (Ed.). **Radiation effects on embedded systems**. Dordrecht: Springer, 2007. p. 11-29.

SEDRA, A.; SMITH, K. **Microelectronic circuits**. 2. ed. Oxford: Saunders College Publishing, 1991.

SEDRA, A.; SMITH, K. **Microeletrônica**. 5. ed. São Paulo: Pearson Prentice Hall, 2007.

SEUTEST. Soft Error Test Resources. **Flux Calculation**. Disponível em: <<http://www.seutest.com/>> Acesso em: 4 jun. 2010.

SEXTON, F. W. et al. Single event gate rupture in thin gate oxides. **IEEE Transactions on Nuclear Science**, Snowmass Village, v. 44, n. 6, p. 2345-2352, Dec. 1997.

SEXTON, F. W.; SCHWANK, J. R. Correlation of radiation effects in transistors and integrated circuits. **IEEE Transactions on Nuclear Science**, v. 32, n. 6, p. 3975-3981, Dec. 1985.

SHANEYFELT, M. R. et al. Charge yield for cobalt-60 and 10-keV X-ray irradiations of MOS devices. **IEEE Transactions on Nuclear Science**, San Diego, v. 38, n. 6, p. 1187-1194, Dec. 1991.

SHANEYFELT, M. R. et al. Interface-trap buildup rates in wet and dry oxides. **IEEE Transactions on Nuclear Science**, New Orleans, v. 39, n. 6, p. 2244-2251, Dec. 1992.

SHANEYFELT, M. R. et al. Challenges in hardening technologies using shallow-trench isolation. **IEEE Transactions on Nuclear Science**, Newport Beach, v. 45, n. 6, p. 2584-2592, Dec. 1998.

SHANFIELD, Z. et al. Angular dependence of charge funneling in *Si* and *GaAs* devices. **IEEE Transactions on Nuclear Science**, Snowmass Village, v. NS-34, n. 6, p. 1341-1346, Dec. 1987.

SHIVAKUMAR, P. et al. Modeling the effect of technology trends on the soft error rate of combinational logic. In: INTERNATIONAL CONFERENCE ON DEPENDABLE SYSTEMS AND NETWORKS, 2002, [S. l.]. **Proceedings...** [S. l.]: [s. n.], 2002. p. 389-398.

SHOGA, M.; BINDER, D. Theory of single event latchup in complementary metal-oxide semiconductor integrated circuits. **IEEE Transactions on Nuclear Science**, Snowmass Village, v. 33, n. 6, p. 1714-1717, Dec. 1986.

SNOEYS, W. et al. Layout techniques to enhance the radiation tolerance of standard CMOS technologies demonstrated on a pixel detector readout chip. **Nuclear Instruments and Methods in Physics Research Section A: accelerators, spectrometers, detectors and associated equipment**, [S. l.], v. 439, n. 2-3, p. 349-360, Jan. 2000.

SNOW, E. H.; GROVE, S.; FITZGERALD, D. J. Effects of ionizing radiation on oxidized silicon surfaces and planar devices. **Proceedings of the IEEE**, [S. l.], v. 55, n. 7, p. 1168-1184, July 1967.

SOARES, C. F.; PETRAGLIA, A. A systematic method to approximate capacitance ratios to improve capacitance matching in SC filters. In: ANNUAL CONFERENCE ON INTEGRATED CIRCUITS AND SYSTEMS DESIGN, 20., 2007, [S. l.]. **Proceedings...** New York: ACM, 2007. p. 59-64.

SPENVIS. **European Space Agency**: space environment information system. Disponível em: <<http://www.spennis.oma.be/help/background/traprad/traprad.html>>. Acesso em: 10 jan. 2010.

SROUR, J. R.; MARSHALL, C. J.; MARSHALL, P. W. Review of displacement damage effects in silicon devices. **IEEE Transactions on Nuclear Science**, [S. l.], v. 50, n. 3, p. 653-670, June 2003.

STASSINOPOULOS, E.; RAYMOND, J. The space radiation environment for electronics. **Proceedings of the IEEE**, [S. l.], v. 76, n. 11, p. 1423-1442, Nov. 1988.

SYNOPSYS. **HSPICE software reference manual**. 2007. Disponível em: <<http://www.synopsys.com/>>. Acesso em: 20 set. 2009.

TAUR, Y. et al. CMOS Scaling into the nanometer regime. **Proceedings of the IEEE**, [S. l.], v. 85, n. 4, p. 486-504, Apr. 1997.

TEZZARON SEMICONDUCTOR. **Soft errors in electronic memories**: a white paper. 2004. Disponível em: <www.tezzaron.com>. Acesso em: 22 dez. 2008.

TRUSCOTT, P. et al. Geant4-a new Monte Carlo toolkit for simulating space radiation shielding and effects. **Radiation Effects Data Workshop**, Reno, [S. n.], p. 147-152, 2000.

TURFLINGER, T. L.; DAVEY, M. V. Understanding single event phenomena in complex analog and digital integrated circuits. **IEEE Transactions on Nuclear Science**, Reno, v. 37, n. 6, p. 1832-1838, Dec. 1990.

TURFLINGER, T. L. Single-event effects in analog and mixed-signal integrated circuits. **IEEE Transactions on Nuclear Science**, [S. l.], v. 43, n. 2, p. 594-602, Apr. 1996.

TURFLINGER, T. L.; DAVEY, M. V.; BINGS, J. P. Radiation effects in analog CMOS analog-to-digital converters. In: IEEE RADIATION EFFECTS DATA WORKSHOP, Indian Wells, 1996. **Proceedings...** [S. l.]: [s. n.], 1996. p. 6-12.

TURFLINGER, T. L. et al. ELDRS in space: an updated and expanded analysis of the bipolar ELDRS experiment on MPTB. **IEEE Transactions on Nuclear Science**. [S. l.], v. 50, n. 6, p. 2328-2334, Dec. 2003.

TUROWSKI, M.; RAMAN, A.; SCHRIMPF, R. D. Nonuniform total-dose-induced charge distribution in shallow-trench isolation oxides. **IEEE Transactions on Nuclear Science**, [S. l.], v. 51, n. 6, p. 3166- 3171, Dec. 2004.

VÁSQUEZ, D. **Diseño para testabilidad y tolerancia a fallos en circuitos analógicos**. 1995. 280 p. Tese (Doutorado em Física) – Programa de doctorado: Microelectronica. Universidade de Sevilla, Sevilla, Espanha, 1995.

- VARGAS, F.; NICOLAIDIS, M. SEU-tolerant SRAM design based on current monitoring. In: INTERNATIONAL SYMPOSIUM ON FAULT-TOLERANT COMPUTING, 24., 1994, [S. l.]. **Proceedings...** [S. l.]: [s. n.], 1994. p. 106-115.
- VELAZCO, R. et al. Two CMOS memory cells suitable for the design of SEU-tolerant VLSI circuits. **IEEE Transactions Nuclear Science**, Tucson, v. 41, n. 6, p. 2229-2234, Dec. 1994.
- VELAZCO, R.; FOUILLAT, P.; REIS, R. (Ed.). **Radiation effects on embedded systems**. Dordrecht: Springer, 2007.
- WANG, F.; AGRAWAL, V. D. Single event upset: an embedded tutorial. In: IEEE INTERNATIONAL CONFERENCE ON VLSI DESIGN, 21., 2008, [S. l.]. **Proceedings...** [S. l.]: [s. n.], 2008. p. 429-434.
- WARREN, W. L. et al. Microscopic nature of border traps in MOS oxides. **IEEE Transactions on Nuclear Science**, Tucson, v. 41, n. 6, p. 1817-1827, Dec. 1994.
- WEAVER, H. T. et al. An SEU tolerant memory cell derived from fundamental studies of SEU mechanisms in SRAM. **IEEE Transactions on Nuclear Science**, Snowmass Village, v. 34, n. 6, p.1281-1286, Dec. 1987.
- WESTE, N. H.; ESHRAGHIAN, K. **Principles of CMOS VLSI design**. 2. ed. [S. l.]: Addison-Wesley, 1994.
- WESTE N. H.; HARRIS, D. **CMOS VLSI design: a circuits and systems perspective**. 3. ed. [S. l.]: Pearson Addison-Wesley, 2004.
- WHEATLEY, C. F.; TITUS, J. L.; BURTON, D. I. Single-event gate rupture in vertical power MOSFETs: an original empirical expression. **IEEE Transactions on Nuclear Science**, Tucson, v. 41, n. 6, p. 2152-2159, Dec. 1994.
- WHITAKER, S.; CANARIS, J.; LIU, K. SEU hardened memory cells for a CCSDS Reed-Solomon encoder. **IEEE Transactions Nuclear Science**, San Diego, v. 38, n. 6, p. 1471-1477, Dec. 1991.
- WINOKUR, P. S. et al. Use of COTS microelectronics in radiation environments. **IEEE Transactions on Nuclear Science**, Norfolk, v. 46, n. 6, p. 1494-1503, Dec. 1999.
- WIRTH, J. L.; ROGERS, S. C. The transient response of transistors and diodes to ionizing radiation. **IEEE Transactions on Nuclear Science**, [S. l.], v. 11, n. 5, p. 24-38, Nov. 1964.
- WIRTH, G. Efeitos da Radiação em Circuitos Integrados Analógicos: técnicas de simulação e “hardening”. Palestra ministrada no: **II Workshop sobre efeitos da radiação em componentes eletrônicos e fotônicos de uso aeroespacial**. São José dos Campos, 2009.
- WIRTH, G.; FAYOMI, C. The bulk built in current sensor approach for single event transient detection. In: INTERNATIONAL SYMPOSIUM ON SYSTEM-ON-CHIP, 2007, [S. l.]. **Proceedings...** [S. l.]: [s. n.], 2007. p. 1-4.

WIRTH, G.; KASTENSMIDT, F. L.; RIBEIRO, I. Single event transients in logic circuits: load and propagation induced pulse broadening. **IEEE Transactions on Nuclear Science**, [S. l.], v. 55, n. 6, p. 2928-2935, Dec. 2008.

WROBEL, T. F. On heavy ion induced hard-errors in dielectric structures. **IEEE Transactions on Nuclear Science**, Snowmass Village, v. 34, n. 6, p. 1262-1268, Dec. 1987.

XAPSOS, M. A. Applicability of LET to single events in microelectronic structures. **IEEE Transactions on Nuclear Science**, New Orleans, v. 39, n. 6, p. 1613-1621, Dec. 1992.

YANEN, D. S.; NELSON, J. T.; VANSKIKE, L. L. Alpha-particle tracks in silicon and their effect on dynamic MOS RAM reliability. **IEEE Transactions on Electronic Devices**, [S. l.], v. ED-26, n. 1, p. 10-16, Jan. 1979.

YANG, F. L.; SALEH, R. A. Simulation and analysis of transient faults in digital circuits. **IEEE Journal of Solid-State Circuits**, [S. l.], v. 27, n. 3, p. 258-264, Mar. 1992.

ZAFAR, S. et al. Charge trapping in high k gate dielectric stacks. In: INTERNATIONAL ELECTRON DEVICES MEETING (IEDM '02), 2002, [S. l.]. **Digest...** [S. l.]: [s. n.], 2002. p. 517-520.

ZHANG, C.; BRATT, A.; MACBETH, I. A new field programmable mixed signal array and its applications. In: CANADIAN WORKSHOP ON FIELD PROGRAMMABLE DEVICES, 4., 1996, Toronto. **Proceedings...** [S. l.]: [s. n.], 1996.

ZHOU, X. J. et al. Radiation effects on the 1/f noise of field-oxide field effect transistors. **IEEE Transactions on Nuclear Science**, [S. l.], v. 55, n. 6, p. 2975-2980, Dec. 2008.

ZIEGLER, J. F.; LANFORD, W. A. Effect of cosmic rays on computer memories. **Science**, [S. l.], v. 206, n. 4420, p. 776-788, Nov. 1979.

ZIEGLER, J. F.; LANFORD, W. A. The effect of sea level cosmic rays on electronic devices. **Journal of Applied Physics**, [S. l.], v. 52, n. 6, p. 4305-4312, June 1981.

ZIEGLER, J. F. Terrestrial cosmic rays. **IBM Journal of Research and Development**, [S. l.], v. 40, n. 1, p. 19-39, Jan. 1996.

ZNAMIROWSKI, L.; PAULUSINSKI, O. A.; VRUDHULA, S. B. K. Programmable analog/digital arrays in control and simulation. **Analog Integrated Circuits and Signal Processings**, Dordrecht: Kluwer Academic Publishers, v. 39, n. 1, p. 55-73, Apr. 2004.

ZUPAC, D. et al. Separation of effects of oxide-trapped charges and interface-trapped charges on mobility in irradiated power mosfets. **IEEE Transactions on Nuclear Science**, Snowbird, v. 40, n. 6, p. 1307-1315, Dec. 1993.

APÊNDICE A – CÓDIGO SPICE UTILIZADO COMO BASE NAS SIMULAÇÕES APRESENTADAS NO CAPÍTULO 6

```

*****
* SIMULAÇÃO SET #1 - Modelo Banco CAP
* 7 CAPs = 127C em ON e 1 CAP = 128C OFF
* SETs de difetentes intensidades no inversor
* de controle da chave aberta
*****
*****Tecnolgia ami 0.5 microns! *****
.include ami_06.txt
***** SUB-CIRCUITO CHAVE*****

.SUBCKT chave A B CONT CONTB Vcc

M1 A Cont B 0 nmos l=0.6u w=25u
M2 A ContB B Vcc pmos l=0.6u w=60u

* inversor controle

M3 ContB Cont 0 0 nmos l=0.6u w=10u
M4 Vcc Cont ContB Vcc pmos l=0.6u w=25u

.ENDS
*****
*****
* Circuito
*****
** Chave Controle Carga

X1 Vin Vr ContCarga ContCargaB Vcc chave
R1 Vr BC 100

** Capacitor 127Cu - C2, nós Cso - gnd
C2 Cso 0 15.36p
** Chave Capacitor
X2 BC Cso Cont1 Cont1B Vcc chave
R3 BC Ceq 25
C1 Ceq 0 15.25p
*****
* Fontes:
*****
V1 Vin 0 DC 0 AC 0 0 PULSE 0 3 25n 10p 10p 600n 1200n
V2 Cont1 0 0 *DC 0 AC 0 0 PULSE 0 5 0 10p 10p 2n 700n
V3 Vcc 0 5
V4 ContCarga 0 DC 0 AC 1 0 PWL 0,0 10n,0 10.001n,5 20n,5 20.001n,0 40n,0
+ 40.001n,5 50n,5 50.001n,0 100n,0
**** SET ****
Ip3 Cont1B 0 EXP(0 20m 100n 200p 100.0001n 650p )
*****
* Analise
*****
.TRAN 1n 200n START = 0

.option post

.END

```