

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL
INSTITUTO DE INFORMÁTICA
PROGRAMA DE PÓS-GRADUAÇÃO EM MICROELETRÔNICA

MATHEUS HENRIQUE RAMOS LEMOS

**Projeto Físico de uma Biblioteca de Células
Padrão em Altura Múltipla para um PDK
FinFET Preditivo em 7 nm**

Dissertação apresentada como requisito
parcial para a obtenção do grau de Mestre
em Microeletrônica

Orientador: Prof. Dr. José Rodrigo Furlanetto de
Azambuja

Co-orientador: Prof. Dr. Paulo Francisco Butzen

Porto Alegre
2024

CIP — CATALOGAÇÃO NA PUBLICAÇÃO

Lemos, Matheus Henrique Ramos

Projeto Físico de uma Biblioteca de Células Padrão em Altura Múltipla para um PDK FinFET Preditivo em 7 nm / Matheus Henrique Ramos Lemos. – Porto Alegre: PGMICRO da UFRGS, 2024.

69 f.: il.

Dissertação (mestrado) – Universidade Federal do Rio Grande do Sul. Programa de Pós-Graduação em Microeletrônica, Porto Alegre, BR–RS, 2024. Orientador: José Rodrigo Furlanetto de Azambuja; Co-orientador: Paulo Francisco Butzen.

1. Biblioteca de Células Padrão. 2. FinFET. 3. Altura Múltipla. 4. Projeto Físico. I. Azambuja, José Rodrigo Furlanetto de. II. Butzen, Paulo Francisco. III. Título.

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL

Reitora: Prof^a. Marcia Barbosa

Vice-Reitor: Prof. Pedro Costa

Pró-Reitora de Pós-Graduação: Prof^a. Claudia Wasserman

Diretora do Instituto de Informática: Prof^a. Carla Maria Dal Sasso Freitas

Coordenador do PGMICRO: Prof. Cláudio Radtke

Bibliotecário-chefe do Instituto de Informática: Alexsander Borges Ribeiro

RESUMO

A miniaturização contínua da tecnologia de semicondutores aumentou a procura por circuitos integrados eficientes e de elevado desempenho. Nesse contexto, a tecnologia FinFET surge como uma resposta aos desafios enfrentados pela indústria. Os transistores FinFET, com sua estrutura tridimensional que controla melhor o fluxo de corrente, permitem uma maior densidade de transistores, proporcionando ganhos significativos em desempenho e eficiência energética. As células padrão tradicionais em altura única enfrentam limitações na obtenção de métricas ótimas de potência, desempenho e área, bem como desafios de roteamento. A técnica de altura múltipla permite a definição de uma altura menor para a biblioteca, sem comprometer o projeto de células lógicas que possuem maior complexidade, como as células sequenciais, permitindo flexibilidade e desempenho melhorados. O presente trabalho apresenta o desenvolvimento de uma biblioteca de células padrão em altura múltipla em 7 nm, com base na tecnologia FinFET. A análise elétrica e a metodologia de projeto físico das células padrão também são discutidas na dissertação. Isso envolve a definição de métricas de desempenho relevantes, como atraso de propagação, tempos de subida e descida e consumo de potência. Foram projetadas treze células padrão. As funções lógicas flip-flop e multiplexador foram propostas em altura múltipla. A maioria das células alcançou uma redução de 25%, sendo que o flip-flop tipo D com *reset* e a XNOR2 alcançaram reduções de 40% e 50%, respectivamente. Os resultados da síntese lógica de *benchmarks* da ISCAS'89 e ITC'99 demonstraram uma economia de área de até 36% em comparação com uma biblioteca convencional de 6 *tracks*. Essas descobertas oferecem uma direção promissora para futuros projetos de bibliotecas de células padrão.

Palavras-chave: Biblioteca de Células Padrão. FinFET. Altura Múltipla. Projeto Físico.

ABSTRACT

The continuous scaling of semiconductor technology has increased the demand for efficient, high-performance integrated circuits. In this context, FinFET technology has emerged as a response to the challenges faced by the industry. FinFET transistors, with their three-dimensional structure that better controls current flow, allow for a higher density of transistors, providing significant gains in performance and energy efficiency. Traditional single-height standard cells face limitations in achieving optimal power, performance and area metrics, as well as routing challenges. The multi-height technique allows the definition of a smaller height for the library, without compromising the design of logic cells that have greater complexity, such as sequential cells, allowing for improved flexibility and performance. This paper presents the development of a 7 nm multi-height standard cell library, based on FinFET technology. The electrical analysis and design methodology of the standard cells are also discussed in the dissertation. This involves defining relevant performance metrics such as propagation delay, rise and fall times and power consumption. Thirteen standard cells were designed. The D-type flip-flop with reset and multiplexer logic functions were proposed in multi-height. Most of the cells achieved a reduction of 25%, with the D-type flip-flop with reset and XNOR2 achieving reductions of 40% and 50%, respectively. The results of the logic synthesis of the IS-CAS'89 and ITC'99 benchmarks demonstrated an area saving of up to 36% compared to a conventional 6 *tracks* library. These findings offer a promising direction for future cell library projects

Keywords: Standard Cell Library. FinFET. Multi-Height. Physical Design.

LISTA DE ABREVIATURAS E SIGLAS

APR	Automatic Place and Route
ASIC	Application-Specific Integrated Circuit
BEOL	Back-end of Line
CCS	Composite Current Source
CMOS	Complementary Metal-Oxide-Semiconductor
CPU	Central Processing Unit
DFFR	D-type Flip-flop with Reset
DRC	Design Rule Check
DTCO	Design Technology Co-Optimization
ECSM	Effective Current Source Model
EDA	Electronic Design Automation
EUV	Extreme Ultraviolet Lithography
FEOL	Front-end of Line
FinFET	Fin Field-Effect Transistor
FO4	Fan-out of 4
HDL	Hardware Description Language
IC	Integrated Circuit
IoT	Internet of Things
INV	Inverter
ISCAS	International Symposium on Circuits and Systems
ITC	International Test Conference
LIG	Local-interconnect gate
LISD	Local-interconnect source–drain
LVS	Layout vs. Schematic

MOL	Middle of Line
MOSFET	Metal-Oxide-Semiconductor Field-Effect Transistor
MUX21	Multiplexer with 2 inputs and 1 select line
NLDM	Non-Linear atraso Model
NMOS	N-channel metal oxide semiconductor
OCL	OpenCore Library
PDK	Process Design Kit
PDN	Pull-Down Network
PEX	Parasitic Extraction
PMOS	P-channel metal oxide semiconductor
PPA	Power, Performance and Area
PUN	Pull-Up Network
RC	Resistance-Capacitance
RTL	Register Transfer Level
SAQP	Self-Aligned Quadruple Patterning
SD	Source-drain
SPICE	Simulation Program with Integrated Circuit Emphasis
SoC	System-on-Chip
SRAM	Static Random-Access Memory
TSPC	True Single Phase Clock
TTL	Transistor-Transistor Logic
VLSI	Very-Large-Scale Integration

LISTA DE FIGURAS

Figura 1.1	Células padrão com com altura múltipla.	12
Figura 2.1	Planar e FinFET.	16
Figura 2.2	Inversor a nível de transistor e projeto físico.	19
Figura 2.3	Esboço da altura de uma células padrão com 9T.	20
Figura 2.4	Lógica combinacional.	21
Figura 2.5	Redes de <i>pull-up</i> e <i>pull-down</i>	21
Figura 2.6	Lógica sequencial.	23
Figura 2.7	Atraso de Propagação Low-to-High.	25
Figura 2.8	Atraso de Propagação High-to-Low.	25
Figura 2.9	Tempo de Subida.	26
Figura 2.10	Tempo de Descida.	26
Figura 2.11	Tempo de Configuração e Retenção.	29
Figura 3.1	Conexão do layer LIG para gate.	31
Figura 3.2	Conexão do layer LISD para SDT e para SD.	31
Figura 3.3	Arquitetura de células padrão com 7.5 <i>tracks</i> para anaálise de DTCCO.	32
Figura 4.1	Fluxo adotado.	36
Figura 5.1	Fan-out de 1.	43
Figura 5.2	Fan-out de 4.	46
Figura A.1	INV_X1.	58
Figura A.2	NAND2_X1.	58
Figura A.3	NAND3_X1.	58
Figura A.4	NOR2_X1.	59
Figura A.5	NOR3_X1.	59
Figura A.6	XOR2_X1.	59
Figura A.7	XNOR2_X1.	60
Figura A.8	AOI21_X1.	60
Figura A.9	AOI22_X1.	60
Figura A.10	OAI21_X1.	61
Figura A.11	OAI22_X1.	61
Figura A.12	MUX21_X1 (multi-height).	61
Figura A.13	Flip-Flop tipo D.	62

LISTA DE TABELAS

Tabela 2.1	Tabela verdade de operações lógicas.	22
Tabela 2.2	Tabela Verdade de um Flip-Flop RS síncrono sensível à borda de subida.	23
Tabela 3.1	Resumo dos Trabalhos Citados.	35
Tabela 5.1	Inversor com fan-out de 10 fF.	44
Tabela 5.2	Inversor com fan-out de 1.	45
Tabela 5.3	Inversor com fan-out de 4.	47
Tabela 5.4	NAND2 com fan-out de 10 fF.	48
Tabela 5.5	NOR2 com fan-out de 10 fF.	49
Tabela 5.6	Economia de Área das Células de 4.5 <i>tracks</i>	51
Tabela 5.7	Síntese Lógica.	53

SUMÁRIO

1 INTRODUÇÃO	10
2 CONCEITOS BÁSICOS	13
2.1 CMOS e FinFET	13
2.2 Projeto Físico de Biblioteca de Células Padrão.....	17
2.2.1 Lógica Combinacional	20
2.2.2 Lógica Sequencial	22
2.3 Caracterização de Biblioteca de Células Padrão	24
2.3.1 Atraso de propagação.....	24
2.3.2 Transição da Saída	25
2.3.3 Capacitância dos Pinos	26
2.3.4 Potência.....	27
2.3.5 Tempo de Configuração e Retenção	28
3 TRABALHOS RELACIONADOS	30
4 DESENVOLVIMENTO DE UMA BIBLIOTECA DE CÉLULAS.....	36
4.1 Análise Elétrica	36
4.2 Metodologia do Projeto Físico	39
4.3 Funções Lógicas	40
5 RESULTADOS	43
5.1 Dimensionamento.....	43
5.2 Projeto Físico.....	50
5.3 Síntese Lógica.....	51
6 CONSIDERAÇÕES FINAIS	54
REFERÊNCIAS.....	55
APÊNDICE A — LAYOUTS DAS CÉLULAS PADRÃO.....	58
APÊNDICE B — CÓDIGOS SPICE	63

1 INTRODUÇÃO

A miniaturização contínua da tecnologia de semicondutores tem sido o motor do progresso na indústria eletrônica. A medida que as dimensões dos transistores diminuem, aumenta a demanda de maior desempenho, menor potência e projetos mais compactos. Uma abordagem amplamente adotada para satisfazer estas exigências é a utilização de bibliotecas de células padrão no fluxo de concepção de circuitos integrados (Rahman et al., 2011). Esta metodologia permite que os projetistas equilibrem o *time-to-market* com o desempenho final do circuito, proporcionando um balanço eficiente entre a complexidade do projeto e a otimização do desempenho. As células padrão funcionam como blocos de construção pré-concebidos que simplificam o processo de concepção, garantindo simultaneamente um elevado desempenho, o que as torna essenciais no projeto de circuitos modernos (Cui et al., 2014).

A dissipação de calor tornou-se um problema crítico, pois à medida que os transistores diminuem, a geração de calor por unidade de área aumenta, exigindo soluções avançadas de gerenciamento térmico. Além disso, o controle preciso do fluxo de corrente em transistores menores se torna mais difícil e a fabricação de transistores com tamanhos tão reduzidos apresenta desafios significativos em termos de precisão e controle dos processos de produção. Esses desafios impõem a necessidade de novas arquiteturas e tecnologias que possam superar as limitações dos transistores tradicionais.

Neste cenário, a tecnologia Transistor de Efeito de Campo com Fin (*Fin Field-Effect Transistor* - FinFET) emergiu como uma resposta para enfrentar os desafios impostos pela miniaturização contínua (Auth et al., 2017). FinFET é uma arquitetura de transistor tridimensional que se distingue pela sua estrutura vertical. Ao contrário dos transistores planos convencionais, os FinFETs possuem um *fin* de silício que se projeta verticalmente, permitindo um controle mais eficaz sobre o fluxo de corrente e reduzindo a corrente de fuga (Xie et al., 2015). Essa estrutura tridimensional oferece uma solução para aumentar a densidade de transistores em uma área reduzida, melhorando simultaneamente o desempenho e a eficiência energética dos dispositivos. O avanço proporcionado pelos transistores FinFET atende à demanda crescente por dispositivos eletrônicos que sejam mais poderosos e econômicos em termos de consumo de energia, o que é importante para a inovação na indústria de semicondutores.

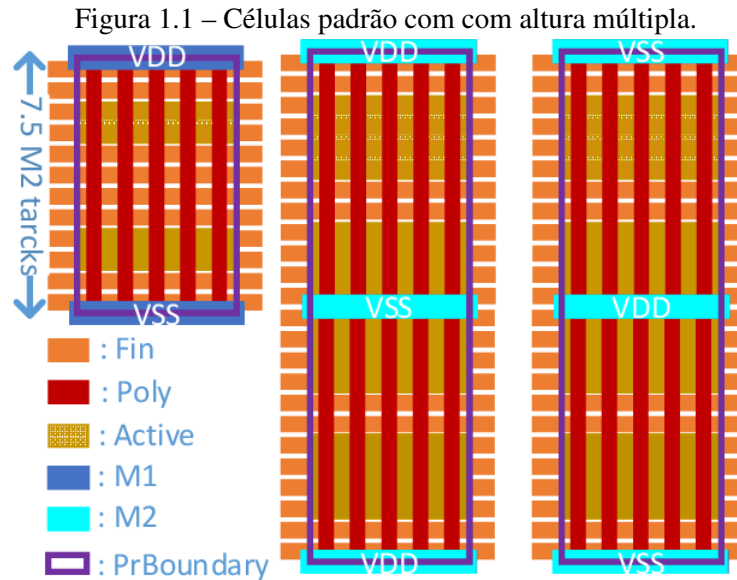
Nos nós avançados, a concepção de bibliotecas de células padrão tem se tornado cada vez mais crítica. As dimensões físicas reduzidas introduzem vários desafios

(Vashishtha; Vangala; Clark, 2017). Como resultado, os projetos destas bibliotecas influenciam a eficiência global dos circuitos. Com a crescente complexidade dos designs, a criação de células que atinjam as melhores métricas de potência, desempenho e área, respeitando as rigorosas restrições da tecnologia, é um desafio para manter a competitividade na indústria de semicondutores.

Para responder a estes desafios, as células de altura múltipla surgiram como uma abordagem promissora. Elas proporcionam maior flexibilidade, permitindo aos projetistas otimizar a densidade e o desempenho do circuito. Esta técnica é particularmente vantajosa para o projeto de células sequenciais ou circuitos lógicos com um maior número de transistores, em que as células tradicionais de altura única podem limitar a eficiência do roteamento ou aumentar a área necessária (Wu; Chu, 2016). Além disso, lógicas dinâmicas envolvem operações que dependem de sinais temporais e estados intermediários e trabalhar com diferentes alturas proporciona uma melhor organização dos transistores e elementos de controle. Com essa técnica, os projetistas podem reduzir o consumo de energia, melhorar o desempenho temporal e aumentar a eficiência do *layout*, oferecendo uma alternativa robusta para a concepção de circuitos avançados. Além disso, a adoção de células de altura múltipla alinha-se com a ênfase crescente no baixo consumo de energia, que é importante para a Internet das Coisas (*Internet of Things* - IoT) e os dispositivos portáteis (Nautiyal et al., 2017).

O presente trabalho concentra-se no desenvolvimento de uma biblioteca de células padrão em 7 nm, baseada na arquitetura FinFET. O diferencial abordado é a técnica de altura múltipla, que permite a utilização de diferentes alturas para as células da biblioteca. A Figura 1.1 mostra um exemplo da técnica adotada.

A pesquisa também aborda detalhadamente a análise elétrica da tecnologia e a metodologia de projeto físico adotada. A definição de métricas críticas de desempenho, como atraso de propagação, tempos de subida e descida e consumo de potência, é utilizada para definir o dimensionamento da biblioteca. A partir das análises realizadas, foi comprovado que é possível utilizar apenas um *fin* para as redes de *pull-up* e *pull-down*, resultando em uma otimização da altura das células para 4.5 *tracks*. Desta forma, a maioria das células combinacionais apresentaram uma redução de 25% na área em comparação com uma biblioteca de 6 *tracks*. O flip-flop tipo D com *reset* atingiu uma redução ainda maior, chegando a 40%. Resultados de síntese lógica mostraram reduções de área de 24% a 36%. Essa otimização contribui para melhorar a eficiência do design, reduzir o consumo de energia e maximizar a utilização da área disponível no chip.



Fonte: (Lin; Chiang, 2019).

A organização do trabalho está estruturada para abordar de forma abrangente os aspectos teóricos e práticos relacionados ao desenvolvimento da biblioteca. O Capítulo 2 aborda o conhecimento prévio necessário para o projeto de uma biblioteca de células padrão, bem como a comparação entre a tecnologia planar e FinFET. O Capítulo 3 fornece uma revisão detalhada do estado da arte na tecnologia de semicondutores e na arquitetura FinFET. O Capítulo 4 apresenta o desenvolvimento da biblioteca. Os resultados e considerações finais são abordados nos Capítulos 5 e 6. Por fim, os layouts são apresentados, bem como os códigos *SPICE* desenvolvidos para caracterização da tecnologia nos Apêndices A e B.

2 CONCEITOS BÁSICOS

Este Capítulo aborda conceitos relacionados ao projeto físico e à caracterização de células padrão, detalhando aspectos para o projeto de uma biblioteca. O Capítulo também discorre sobre as tecnologias subjacentes que impactam diretamente o desempenho e a inovação nesta área. Em particular, são analisadas as tecnologias Semicondutor Complementar de Óxido Metálico (*Complementary Metal-Oxide-Semiconductor* - CMOS) e FinFET, que representam marcos significativos na evolução dos semicondutores.

2.1 CMOS e FinFET

CMOS é uma tecnologia chave na fabricação de circuitos integrados, como processadores, memórias e outros dispositivos eletrônicos. Essa tecnologia é amplamente utilizada devido à sua eficiência energética, alta densidade de integração e baixo custo de produção.

Os circuitos CMOS são construídos utilizando-se Transistores de Efeito de Campo de Metal-Óxido-Semicondutor (*Metal-Oxide-Semiconductor Field-Effect Transistor* - MOSFET) complementares, ou seja, um transistor Semicondutor de Óxido Metálico do Tipo P (*P-type Metal-Oxide-Semiconductor* - PMOS) e um transistor Semicondutor de Óxido Metálico do Tipo N (*N-type Metal-Oxide-Semiconductor* - NMOS).

Essa tecnologia é utilizada em uma variedade de dispositivos eletrônicos, desde microprocessadores em computadores até sensores em câmeras digitais e chips de memória em celulares. Sua eficiência energética é particularmente crucial em dispositivos alimentados por bateria, onde a duração da bateria é uma preocupação importante.

Além disso, a tecnologia tem evoluído ao longo do tempo para permitir o aumento da densidade de integração, resultando em chips mais poderosos e compactos. Essa evolução tem impulsionado inovações em uma ampla gama de indústrias, incluindo a automotiva, de saúde, de comunicação e muito mais. Teve suas raízes nos anos 1960 e 1970, com os primeiros dispositivos CMOS sendo desenvolvidos como uma alternativa de baixa potência aos dispositivos de Lógica Transistor-Transistor (*Transistor-Transistor Logic* - TTL) predominantes na época. O processo de fabricação inicial tinha características de tamanho de transistor na faixa de micrômetros (μm) e as tensões de operação eram relativamente altas. Desde então, houve um avanço significativo. Os processos de fabricação foram continuamente refinados, permitindo a redução do tamanho dos transistores para a

faixa de nanômetros (nm). Essa miniaturização aumentou drasticamente a densidade de transistores em um chip, permitindo o desenvolvimento de processadores mais poderosos, memórias mais densas e uma variedade de outros dispositivos eletrônicos avançados.

As melhorias na tecnologia não se limitaram apenas ao tamanho dos transistores. Houve avanços em várias áreas, incluindo materiais semicondutores e técnicas de litografia. Essas melhorias têm sido fundamentais para o aumento da eficiência energética, desempenho e confiabilidade dos dispositivos CMOS (Brown et al., 2004).

Atualmente, os principais nós de fabricação CMOS estão na faixa de 7 nm a 5 nm (Liu et al., 2020; Wu et al., 2016), com tecnologias em desenvolvimento ou em produção avançada visando nós ainda menores, como 3 nm e além. Esses nós mais avançados trazem desafios significativos de engenharia, como corrente de fuga, e exigem técnicas de fabricação cada vez mais complexas, como Litografia Ultravioleta Extrema (*Extreme Ultraviolet Lithography* - EUV) e materiais avançados (Wu et al., 2022).

Em termos de aplicação, a tecnologia CMOS é onipresente em uma variedade de dispositivos eletrônicos, desde celulares e computadores pessoais até sistemas embarcados, dispositivos médicos e sensores industriais. Seu papel como uma tecnologia fundamental na era digital é inegável, e os avanços contínuos na tecnologia CMOS continuarão impulsionando a inovação em várias indústrias nos próximos anos.

Os FinFETs são uma evolução dos tradicionais MOSFETs e surgiram como uma solução para enfrentar os desafios da escalabilidade dos transistores (Auth et al., 2017). Ao contrário dos transistores planares convencionais, o FinFET possui uma estrutura tridimensional vertical, permitindo um controle mais eficaz da corrente e uma redução significativa da corrente de fuga (Xie et al., 2015). Esta estrutura inovadora oferece uma alternativa para aumentar a densidade de transistores em uma área menor, melhorando assim o desempenho, a eficiência energética e a confiabilidade global do chip (Ding; Yuan; Yin, 2022). Os avanços possibilitados pelo FinFET satisfazem a procura crescente de circuitos mais potentes e eficientes em termos energéticos, o que é importante para a indústria de semicondutores.

O limiar de comutação dos FinFETs é um parâmetro crítico na determinação de suas características de desempenho e consumo de energia. Frequentemente referido como a tensão de limiar (V_{Th}), é a tensão de gate na qual o transistor faz a transição do estado desligado para o estado ligado. É um parâmetro fundamental na determinação dos níveis lógicos digitais e da operação analógica do transistor. Essa tensão depende de vários fatores, incluindo geometria do dispositivo, concentração de dopagem do canal, espessura

do óxido e temperatura.

A margem de ruído em FinFETs é outro aspecto importante no design de circuitos digitais, especialmente em aplicações de baixo consumo de energia e alta velocidade. Essa margem refere-se à diferença entre a tensão de limiar de um transistor FinFET e as tensões de entrada que garantem operações corretas e estáveis do circuito. Uma margem de ruído adequada visa garantir a robustez e a confiabilidade das operações lógicas (Hajare et al., 2015). Existem vários fatores que influenciam a margem de ruído em FinFETs. A variabilidade do processo, devido à natureza estocástica dos processos de fabricação, resulta em variações na geometria, dopagem e outros parâmetros dos FinFETs. Essas variações podem causar dispersões na tensão de limiar, afetando a margem de ruído dos transistores. Além disso, o ruído de dreno, que é causado pela flutuação da corrente de dreno devido a fontes de ruído como flutuações térmicas e ruído de baixa frequência, pode impactar negativamente a operação correta do transistor, reduzindo a margem de ruído. Similarmente, o ruído de fonte, originado pela flutuação da corrente de fonte, também contribui para a degradação da margem. A degradação da tensão de limiar com a escala de tensão é outro fator relevante. À medida que a tensão de operação é reduzida para alcançar baixo consumo de energia, a degradação da tensão de limiar nos FinFETs torna-se mais significativa, o que pode diminuir a margem de ruído e tornar o design do circuito mais desafiador. Além disso, as condições de operação, como temperatura e tensão de alimentação, também afetam a tensão de limiar e, por conseguinte, a margem (Teman; Fish, 2010).

Os FinFETs apresentam uma evolução significativa em relação aos transistores planares tradicionais, oferecendo várias vantagens, mas também apresentando algumas desvantagens.

Com relação às vantagens dos FinFETs, podemos destacar:

- Melhor controle de corrente: os dispositivos têm um canal em três dimensões, o que permite um melhor controle da corrente. Isso resulta em corrente de fuga reduzida e, portanto, melhor eficiência energética. O efeito de canal curto é mitigado.
- Maior densidade de integração: a estrutura vertical permite que mais transistores sejam alocados em uma área menor de silício, aumentando assim a densidade de integração.
- Melhor desempenho em alta frequência: é devido à sua capacidade de reduzir a resistência parasita e melhorar o controle sobre o fluxo de corrente.

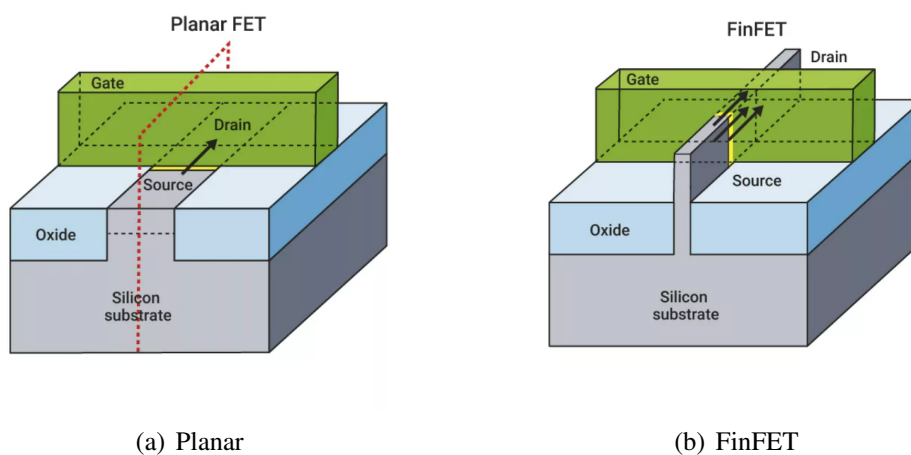
Devido a essas vantagens, os FinFETs se tornaram a tecnologia dominante em processos de fabricação de semicondutores avançados, sendo amplamente utilizados em uma variedade de aplicações, desde processadores de computador de alta performance até dispositivos de baixa potência para dispositivos móveis e IoT. Sua arquitetura representa um marco significativo na evolução da tecnologia de semicondutores, permitindo avanços contínuos na miniaturização e eficiência dos dispositivos eletrônicos.

As desvantagens dos FinFETs são:

- Complexidade de fabricação: são mais complexos de fabricar do que os transistores planares devido à necessidade de etapas adicionais no processo de fabricação.
- Variação de processo: a fabricação é mais sensível à variação de processo, o que pode levar a uma menor confiabilidade e rendimento dos dispositivos.
- Desafios de design: o design de circuitos com FinFETs pode ser mais desafiador devido às características da tecnologia com mais regras e regularidade.
- Compatibilidade retroativa: A transição para FinFETs pode exigir investimentos significativos em atualizações de infraestrutura de fabricação e desenvolvimento de tecnologia, o que pode não ser viável para todas as empresas, especialmente aquelas que já possuem instalações de fabricação de tecnologia planar estabelecidas.

As figuras 2.2(a) e 2.2(b) abordam as diferenças estruturais entre MOSFET e FinFET.

Figura 2.1 – Planar e FinFET.



Fonte: (Synopsys, 2024).

No processo de fabricação de circuitos integrados, as camadas dos dispositivos

FinFETs são fundamentais em diferentes etapas do processo de fabricação, incluindo *Front-End of Line* (FEOL), *Middle-End of Line* (MOL) e *Back-End of Line* (BEOL). No FEOL, a principal preocupação é a formação dos próprios transistores FinFETs. Nesta etapa, começa-se com a camada de silício, onde os transistores são construídos. Esta camada pode incluir regiões dopadas para criar poços que isolam os transistores e controlam suas características elétricas. A próxima fase é o MOL, onde o foco está em conectar os transistores e formar circuitos mais complexos. Nesta etapa, camadas metálicas são depositadas nas regiões específicas do chip para formar as interconexões entre os transistores FinFETs e outros componentes do circuito. Finalmente, no BEOL, o objetivo é finalizar as interconexões e o encapsulamento do circuito integrado. Durante esta fase, podem ser depositadas camadas adicionais de metalização para criar interconexões extras, conforme necessário para o design do circuito. Após a conclusão das interconexões, camadas finais de passivação são aplicadas para proteger o chip contra danos externos, umidade e outros fatores ambientais. Este processo assegura que o circuito integrado esteja completamente encapsulado e pronto para sua aplicação final (Clark et al., 2016; Weste; Harris, 2010).

2.2 Projeto Físico de Biblioteca de Células Padrão

Uma biblioteca de células padrão é um conjunto de elementos de circuitos pré-projetados e pré-caracterizados, utilizados no design de Circuitos Integrados (*Integrated Circuits* - ICs) e Circuitos Integrados de Aplicação Específica (*Application-Specific Integrated Circuits* - ASICs). Esses elementos incluem portas lógicas básicas, flip-flops, multiplexadores, entre outros, que são fundamentais para a construção de circuitos digitais.

Essas células padrão são projetadas para terem características elétricas bem definidas, como atraso de propagação, consumo de energia e área ocupada, para garantir que os circuitos construídos com elas atendam aos requisitos de desempenho do projeto. Elas são essenciais para simplificar e acelerar o processo de design de circuitos digitais, pois os designers podem selecionar e utilizar essas células padrão em seus projetos, em vez de projetar cada elemento do zero.

A principal característica de uma biblioteca de células padrão é que todas as células possuem a mesma altura ou número de *tracks*, que é a quantidade de metais de segundo nível (M2) que podem ser roteados horizontalmente sem violar regras de design.

As células padrão estão presentes no Kit de Design de Processo (*Process Design*

Kit - PDK), que é um conjunto de arquivos e informações essenciais fornecidos pela *foundry* aos designers para facilitar o projeto de bibliotecas próprias. Alguns dos arquivos comumente incluídos em um PDK são:

- Modelos de dispositivos: descrevem o comportamento dos transistores e outros componentes básicos no processo de fabricação da *foundry*.
- Regras de layout: estabelecem diretrizes para o design dos layouts dos circuitos, incluindo restrições de dimensionamento, espaçamento, metalização, entre outros.
- Regras de verificação (*Design Rule Check* - DRC): definem as restrições que o layout do circuito deve atender para garantir a viabilidade de fabricação.
- Regras de extração (*Layout vs. Schematic* - LVS): permitem verificar se o layout do circuito corresponde corretamente ao esquemático.
- Extração de parasitas (*Parasitic Extraction* - PEX): arquivos usados para extrair e modelar os efeitos parasitas, como capacitâncias e resistências, que podem afetar o desempenho do circuito. Essa extração garante que esses efeitos sejam considerados para um funcionamento adequado do chip.

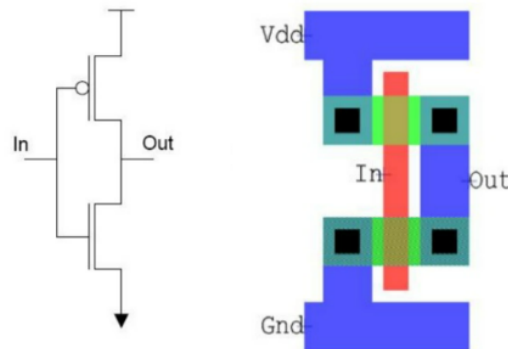
O projeto físico de células padrão envolve diversas etapas, como a entrada dos dados da célula, a otimização das dimensões e camadas, a verificação da integridade do layout e a geração dos arquivos de saída para serem utilizados no projeto do circuito integrado.

Além disso, o projeto físico também envolve a criação de modelos de caracterização que descrevem o comportamento elétrico e temporal das células em diferentes condições de operação, contribuindo para uma melhor avaliação da qualidade do design. A Figura 2.2 mostra um inversor a nível de transistor, assim como o projeto físico.

O número de *tracks* em uma biblioteca de células padrão é, geralmente, definido durante o processo de design e desenvolvimento da biblioteca. É o que determina a altura das células. Essa definição é influenciada por diversos fatores, incluindo:

- Requisitos de roteamento do design: o número de *tracks* é determinado com base na complexidade do design e na quantidade de interconexões necessárias entre as células da biblioteca.
- Tecnologia de fabricação disponível: a altura pode ser ajustada de acordo com as capacidades da tecnologia de fabricação específica, levando em consideração as limitações de espaçamento entre as linhas de metal.

Figura 2.2 – Inversor a nível de transistor e projeto físico.



Fonte: (Wimer, 2024).

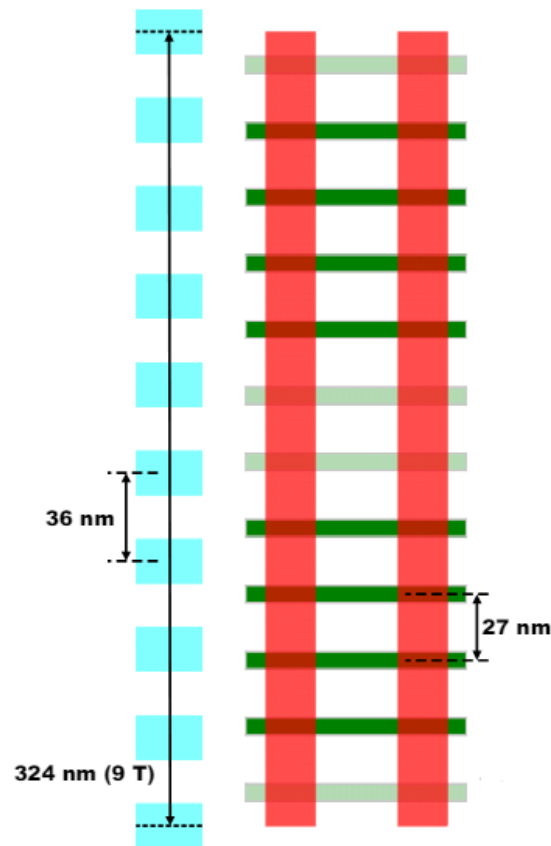
- *Trade-offs* entre desempenho e área ocupada: um maior número de *tracks* pode permitir um roteamento mais eficiente, contribuindo para um melhor desempenho do circuito. No entanto, resulta em uma área ocupada maior no layout.
- Considerações de consumo de energia: o número de *tracks* também afeta o consumo de energia do circuito, pois influencia a capacitância das interconexões e a largura (W) ou número de fins do dispositivo.
- Padrões da indústria e interoperabilidade: para facilitar a interoperabilidade entre diferentes designs e garantir a compatibilidade com as práticas da indústria, é comum estabelecer um número padrão de *tracks* que seja amplamente aceito.

Na Figura 2.3, podemos observar um esboço de como seria uma células padrão com 9 *tracks*, baseado em um *pitch* (distância entre o centro de duas conexões de M2) de 36 nm.

O menor número de *tracks* que uma biblioteca pode ser desenvolvida é verificado através da análise de viabilidade. Esse estudo consiste no projeto físico da célula mais complexa da biblioteca - normalmente, uma célula sequencial como o flip-flop - com a menor altura possível. Uma vez que essa célula é projetada, entende-se que células menos complexas - como combinacionais, por exemplo - são projetáveis dentro da *track* mínima encontrada.

Normalmente, as empresas que fabricam os circuitos integrados, comumente chamadas de *foundries*, definem as *tracks* que uma tecnologia pode trabalhar. 4, 6, 9 e 12 *tracks* são aquelas frequentemente citadas nos PDKs. Bibliotecas com menos *tracks* são

Figura 2.3 – Esboço da altura de uma células padrão com 9T.



Fonte: (Vashishtha; Vangala; Clark, 2017).

usadas para aplicações de baixa potência, enquanto que aquelas com maior número de *tracks* são aplicadas em projetos que requerem alta velocidade. Bibliotecas com número intermediário de *tracks* são para aplicações gerais e oferecem um bom *trade-off PPA* (performance, potência e área).

2.2.1 Lógica Combinacional

A lógica combinacional é um componente fundamental na concepção de circuitos digitais. A representação é dada na Figura 2.4. Ela envolve a criação de circuitos que realizam operações lógicas com base em entradas específicas. O design complementar é uma abordagem comum para a implementação de portas lógicas combinacionais. Utiliza redes de *pull-up* (*Pull-Up Network* - PUN) e *pull-down* (*Pull-Down Network* - PDN) construídas com transistores PMOS e NMOS para fornecer conexões entre a saída e VDD ou VSS, dependendo do valor lógico desejado (Rabaey; Chandrakasan; Nikolic, 2007).

O desenvolvimento dessas redes é apresentado na Figura 2.5.

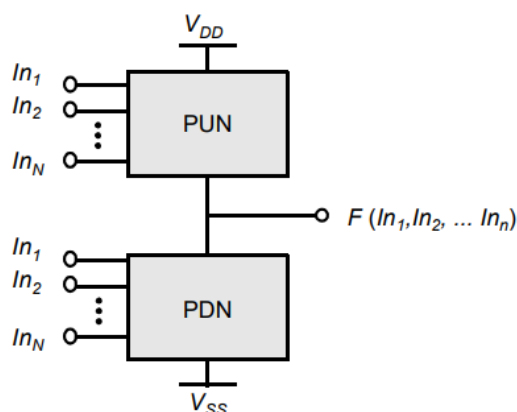
Figura 2.4 – Lógica combinacional.



Fonte: O Autor.

A estrutura complementar CMOS é inerentemente invertida, implementando apenas funções como NAND, NOR e XNOR. A síntese de portas lógicas complexas envolve a combinação dessas redes de *pull-up* e *pull-down* para realizar operações lógicas desejadas. Transistores NMOS em série produzem uma função AND, enquanto que, em paralelo, geram a função OR. Dispositivos PMOS em série são equivalente a porta NAND e, em paralelo, representam a lógica NOR. A lógica consiste na construção de uma das redes e na inversão da outra: se os transistores estão em série na rede de *pull-down*, os dispositivos da rede de *pull-up* devem estar em paralelo. A partir das portas mencionadas, derivam-se as lógicas não-inversoras, como AND e OR e XOR, com o uso de um simples inversor.

Figura 2.5 – Redes de *pull-up* e *pull-down*.



Fonte: (Rabaey; Chandrakasan; Nikolic, 2007).

A lógica combinacional CMOS pode ser facilmente usada para aproveitar os benefícios dos FinFETs. Os princípios fundamentais de funcionamento dos FinFETs são

semelhantes aos dos MOSFETs tradicionais, o que significa que as técnicas de projeto e os conceitos de lógica combinacional CMOS podem ser aplicados de forma semelhante. A Tabela 2.1 apresenta a tabela verdade das principais funções lógicas combinacionais.

Tabela 2.1 – Tabela verdade de operações lógicas.

A	B	\overline{A}	$A \cdot B$	$\overline{A \cdot B}$	$A + B$	$\overline{A + B}$	$A \oplus B$	$\overline{A \oplus B}$
0	0	1	0	1	0	1	0	1
0	1	1	0	1	1	0	1	0
1	0	0	0	1	1	0	1	0
1	1	0	1	0	1	0	0	1

Uma das vantagens mais notáveis da lógica CMOS estática é o seu baixo consumo de energia. Isso ocorre porque os transistores CMOS consomem energia apenas durante a comutação, ou seja, quando estão mudando de estado. Quando uma porta lógica CMOS está em estado estável (alto ou baixo), praticamente não há consumo de energia. Isso é importante em aplicações de baixa potência, como dispositivos móveis, onde a vida útil da bateria é uma preocupação central. Além disso, oferece alta imunidade ao ruído devido à sua estrutura simétrica e ao uso de pares de transistores complementares. Isso significa que os sinais de entrada são diferencialmente processados, o que ajuda a reduzir os efeitos de ruído externo e torna os circuitos CMOS menos suscetíveis a interferências.

2.2.2 Lógica Sequencial

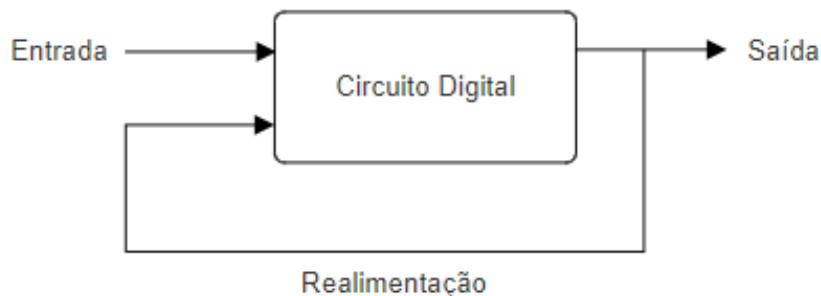
A lógica sequencial também é uma parte fundamental do design de circuitos digitais. Ela envolve elementos de armazenamento de informações e é usada em sistemas que precisam lembrar o estado passado para determinar o estado futuro, conforme apresentado na Figura 2.6. Dois dos componentes mais comuns na lógica sequencial são os flip-flops e os latches.

Um latch é um circuito digital que pode armazenar uma quantidade de informação. É sensível a nível, ou seja, muda o estado da saída com o *clock* ativo. Existem dois tipos principais de latches: o latch SR (*Set-Reset*) e o latch D (*Data latch*).

O latch SR possui duas entradas, "S" (*Set*) e "R" (*Reset*). Quando a entrada "S" é ativada (1) e a entrada "R" é desativada (0), a saída do latch é definida como 1. Quando "R" é ativada (1) e "S" é desativada (0), a saída é definida como 0. Se ambas "S" e "R" forem ativadas (1), o comportamento do latch pode se tornar indefinido ou indesejável.

O latch D, por outro lado, tem uma entrada de dados (D) e uma entrada de controle

Figura 2.6 – Lógica sequencial.



Fonte: O Autor.

(geralmente chamada de *Enable*), além da saída Q . Quando a entrada de controle está ativada (1), o valor da saída é igual a entrada de dados. Quando a entrada de controle é desativada (0), o latch mantém o último valor armazenado.

Um flip-flop é uma forma mais avançada de elemento de armazenamento em circuitos digitais. Existem vários tipos de flip-flops, incluindo o flip-flop RS, JK, D e T. Eles são usados em aplicações onde é necessário sincronizar a mudança de estado da saída com a transição do sinal de *clock*.

O flip-flop RS, por exemplo, é construído a partir de dois latches RS. Ele possui duas entradas adicionais: uma entrada de *clock* (geralmente denotada por "CLK") e uma entrada de habilitação (geralmente denotada por "*Enable*" também). O *clock* é usado para sincronizar as mudanças de estado e a entrada de habilitação permite controlar quando o flip-flop pode ou não mudar de estado. A Tabela 2.2 mostra a tabela verdade dessa função lógica sequencial.

Tabela 2.2 – Tabela Verdade de um Flip-Flop RS síncrono sensível à borda de subida.

Clk	R	S	Q (Saída)	\overline{Q} (Saída complementar)
↓	X	X	Qa	\overline{Qa}
↑	0	0	Qa	\overline{Qa}
↑	0	1	1	0
↑	1	0	0	1
↑	1	1	Indeterminado	Indeterminado

2.3 Caracterização de Biblioteca de Células Padrão

A caracterização de células padrão refere-se ao processo de avaliação e descrição das propriedades elétricas e temporais dos elementos que compõem uma biblioteca. Essas células são blocos básicos de construção de circuitos digitais em chips integrados e a caracterização é fundamental para garantir que elas atendam aos requisitos de desempenho, consumo de energia e confiabilidade.

A caracterização envolve a medição e modelagem de várias características, incluindo:

- Características elétricas: inclui parâmetros como capacitância, resistência, corrente de fuga e tensão de limiar. Tem por objetivo garantir que as células operem dentro dos limites elétricos especificados e que não causem problemas de compatibilidade elétrica no circuito integrado.
- Características de temporização: crítica para o desempenho de circuitos digitais. Atrasos de propagação, atrasos de transição, *setup* e *hold times*, entre outros parâmetros temporais, são medidos. Isso garante que o circuito funcione dentro dos limites de tempo especificados e atenda aos requisitos de frequência de operação.
- Variação de processo (*corners*): a caracterização também leva em consideração a variação de processo, que é a variação nas propriedades dos transistores devido a variações na fabricação. Isso envolve a avaliação da sensibilidade das células padrão à variação de processo e o desenvolvimento de modelos estatísticos para prever o comportamento do circuito em diferentes condições de fabricação.
- Consumo de energia: é uma consideração importante em muitos projetos. A caracterização inclui a medição e modelagem do consumo de energia em diferentes condições de operação para otimizar o desempenho energético do circuito.

2.3.1 Atraso de propagação

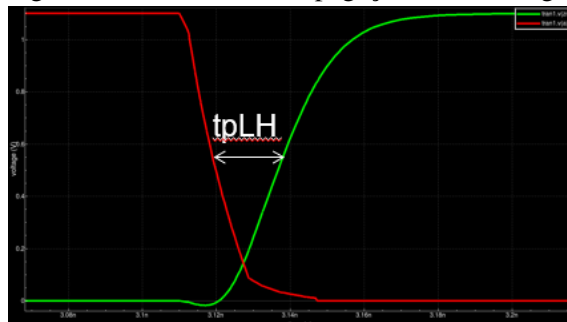
O atraso de propagação é o tempo que um sinal demora a passar da entrada de uma célula para a sua saída, depois de uma transição de entrada desencadear uma transição de saída.

Este atraso é medido quando os sinais de entrada e de saída atingem 50% dos seus

níveis de tensão.

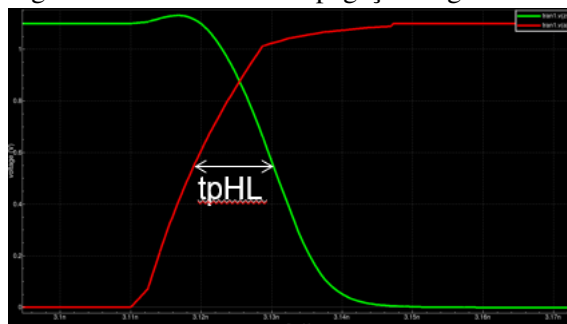
O sinal de saída pode subir ou descer com base no sinal de entrada, o que leva a dois tipos de atrasos: atraso de propagação *low-to-high* (tpLH), mostrado na Figura 2.7, e o atraso de propagação *high-to-low* (tpHL), apresentado na Figura 2.8

Figura 2.7 – Atraso de Propagação Low-to-High.



Fonte: O Autor.

Figura 2.8 – Atraso de Propagação High-to-Low.



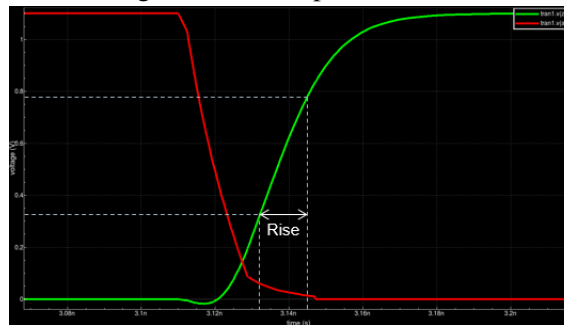
Fonte: O Autor.

2.3.2 Transição da Saída

A transição de saída é definida de 10% a 90% (subida), conforme a Figura 2.9, e de 90% a 10% (descida), como mostra a Figura 2.10, da tensão de saída. Para nós avançados, utiliza-se uma constante chamada de *slew derate*, pois a linearidade diminui e os pontos de medição são 30% e 70% da tensão da saída. Ao considerar um *slew derate* igual a 0.5, a banda de transição representa 80% da tensão de alimentação em vez de 40%. A equação abaixo demonstra a equivalência:

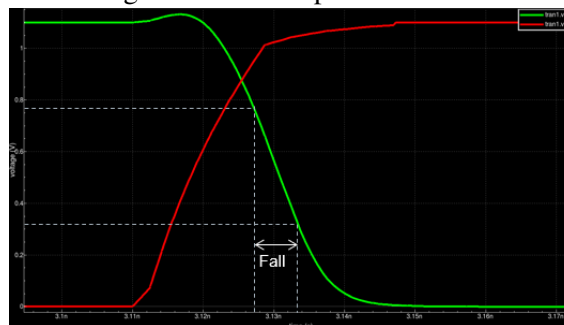
$$\text{slew derate} = \frac{70 - 30}{90 - 10} = 0.5$$

Figura 2.9 – Tempo de Subida.



Fonte: O Autor.

Figura 2.10 – Tempo de Descida.



Fonte: O Autor.

2.3.3 Capacitância dos Pinos

A capacitância do pino da célula refere-se à capacitância associada aos pinos de entrada, saída ou bidirecionais. É um parâmetro crítico na caracterização da biblioteca, pois afeta diretamente o desempenho das células em um projeto. Inclui vários componentes de capacitância:

- Capacitância da camada metálica: este componente surge da capacitância associada às camadas de roteamento metálico usadas para conectar o pino a outras partes do circuito. As camadas de metal contribuem para a capacitância parasitária do pino e dependem de fatores como o comprimento, largura e espaçamento das trilhas de metal.
- Capacitância de interconexão: surge da capacitância entre trilhas de metal adjacentes e entre as trilhas de metal e o substrato subjacente. Inclui tanto a capacitância entre camadas de metal quanto a capacitância entre metal e silício.
- Capacitância de carga: no caso de um pino de saída, a capacitância do pino também inclui a capacitância da carga conectada ao pino de saída. Esta capacitância pode consistir na capacitância de outras células ou outros componentes externos.

2.3.4 Potência

A caracterização de potência pode ser dividida em três grupos: *leakage*, dinâmica e *hidden*.

Leakage em células padrão é uma componente significativa do consumo de energia em circuitos integrados, mesmo quando os transistores estão em estado estático, ou seja, quando não estão realizando comutação de estado. Existem três principais tipos de potência *leakage* associados às células padrão: estática, *subthreshold* e *gate*. *Leakage* estática refere-se à energia consumida por uma célula mesmo quando não há atividade de comutação. É atribuída principalmente à corrente de fuga que flui através dos transistores quando estão em estado de repouso. Esta forma de potência é causada por vários mecanismos, incluindo *subthreshold leakage* e *gate leakage*, discutidos a seguir. *Subthreshold leakage* ocorre devido à corrente que flui através dos transistores quando eles estão operando abaixo do limiar de condução, conhecido como *subthreshold*. Em transistores CMOS, essa corrente é causada por portadores de carga que se movem através da região de canal do transistor, mesmo quando a diferença de potencial entre o terminal de fonte e dreno é muito pequena. *Gate leakage* é causada pela corrente que flui através do dielétrico da porta de um transistor quando não há tensão aplicada ao terminal de controle (*gate*). Este tipo de fuga é mais proeminente em transistores MOSFET devido à presença de campos elétricos intensos na região da porta. À medida que os transistores são miniaturizados em tecnologias de processo mais avançadas, o dielétrico da porta torna-se mais fino, aumentando assim a probabilidade da ocorrência desse tipo de potência (Butzen et al., 2007).

A potência dinâmica em células padrão refere-se à energia consumida durante as transições de estado, ou seja, quando os transistores estão ativando ou desativando para alterar o valor lógico dos sinais. Este tipo de potência é uma componente importante do consumo total de energia e é influenciado por vários fatores, incluindo a frequência de operação, a carga capacitiva dos circuitos e a tecnologia de processo utilizada. É gerada, principalmente, pela carga e descarga dos capacitores presentes nos nós de entrada e saída dos circuitos, bem como pela corrente que flui através dos transistores durante as transições de estado. Quanto mais rápido e frequente forem as transições de estado, maior será a potência dinâmica consumida pelo circuito. Em projetos de Integração em Escala Muito Grande (*Very-Large Scale Integration* - VLSI), onde milhões ou até bilhões de transistores podem estar presentes em um único chip, a minimização da potência dinâmica é uma

consideração decisiva para garantir uma operação eficiente e econômica. Estratégias para reduzir a potência dinâmica em células padrão incluem o uso de técnicas de *clock gating* para desativar seções do circuito quando não estão em uso, a otimização do layout para reduzir a carga capacitiva e simulações para descobrir o ponto de energia mínima, o que possibilita a redução da tensão de alimentação. Nesse caso, o transistor opera na região de *near-threshold*.

A potência *hidden* é aquela dissipada quando ocorre uma transição na entrada do circuito, porém não altera o estado lógico da saída. Em portas lógicas como AND e OR podemos observar que uma mudança na entrada não, necessariamente, altera a saída.

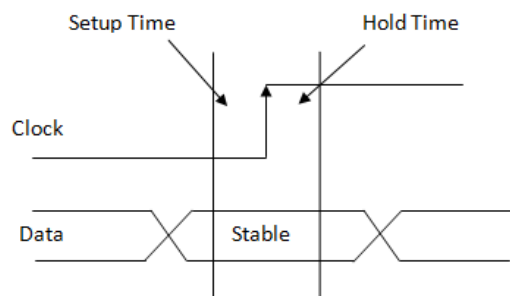
2.3.5 Tempo de Configuração e Retenção

O tempo de configuração dos flip-flops é o intervalo de tempo necessário para que os dados de entrada sejam estabilizados antes do *clock* de um flip-flop para garantir que os dados sejam lidos corretamente. Em outras palavras, é o tempo que deve ser dado para que os sinais de entrada sejam estáveis e bem definidos antes de serem capturados pelo flip-flop no momento do *clock*. Se os dados de entrada mudarem muito próximo ao pulso do *clock*, pode ocorrer uma condição chamada de violação de *setup*, onde os dados não são capturados corretamente pelo flip-flop, levando a erros no sistema.

O tempo de retenção de um flip-flop é o intervalo de tempo durante o qual os dados de entrada devem ser mantidos estáveis após o pulso do *clock* para garantir que os dados sejam corretamente retidos e armazenados pelo flip-flop, ou seja, é o tempo mínimo que os dados de entrada devem permanecer em um estado válido após o pulso do *clock* para que o flip-flop possa capturá-los corretamente. Se os dados de entrada mudarem muito cedo ou muito tarde após o pulso do *clock*, pode ocorrer uma condição chamada de violação de retenção, onde os dados não são retidos corretamente pelo flip-flop, levando a erros.

A caracterização desses tempos é baseada na metodologia de mudança de estado, que se baseia em uma busca por bisseção. Bisseção é um método que ajuda a encontrar um equilíbrio entre os tempos de configuração e retenção, dividindo igualmente a margem de tempo disponível. Isso significa que, ao determinar o tempo de configuração necessário para garantir que os dados sejam capturados corretamente pelo flip-flop, o método de bisseção divide iterativamente o intervalo de tempo disponível pela metade até encontrar o ponto onde a margem de tempo é dividida igualmente entre o tempo de configuração

Figura 2.11 – Tempo de Configuração e Retenção.



Fonte: (VLSICoding, 2014).

e o tempo de retenção. Essa abordagem é útil porque permite encontrar uma solução que otimiza tanto o tempo de configuração quanto o tempo de retenção, garantindo que os dados sejam capturados corretamente pelo flip-flop e que permaneçam estáveis pelo tempo necessário após o pulso do *clock*. A Figura 2.11 exemplifica os pontos onde são calculados os tempos de configuração e retenção de um flip-flop.

Assim como os flip-flops, o tempo de configuração dos latches é baseado na metodologia de mudança de estado.

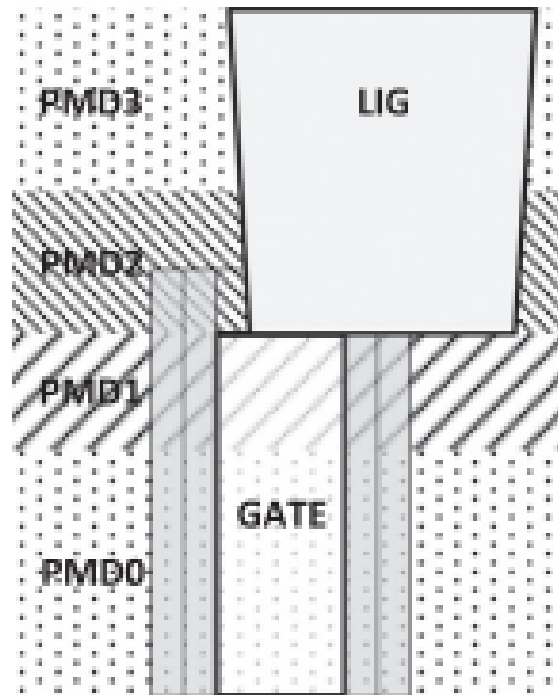
Já a caracterização do tempo de retenção é baseada na metodologia de estado ocioso. Isso significa que ao determinar o tempo de retenção necessário para garantir que os dados sejam mantidos corretamente pelo latch, a metodologia se concentra no estado em que os dados estão quando não há mudança na entrada. Essa abordagem considera o tempo mínimo que os dados de entrada devem ser mantidos estáveis após o momento em que são capturados pelo latch, garantindo que o circuito os mantenha corretamente. Diferentemente de um flip-flop, o latch é sensível a nível lógico e não a borda. Geralmente, os latches são mais simples em termos de circuito e, portanto, podem ser mais rápidos e consumir menos energia.

3 TRABALHOS RELACIONADOS

Clark et al. (2016) descreve o desenvolvimento de um kit de projeto preditivo para o processo de 7 nm, conhecido como ASAP7 PDK, desenvolvido em colaboração com a ARM para uso acadêmico. O PDK é baseado em pressupostos realistas para o nó de tecnologia de 7 nm e não está vinculado a nenhuma *foundry*. Ele assume o uso da Litografia Ultravioleta Extrema (*Extreme Ultra Violet - EUV*) para camadas-chave, com camadas não-EUV assumindo esquemas de *multi-patterning* apropriados com base na litografia de imersão óptica de 193 nm. A pesquisa detalha a derivação de regras de design específicas para *layers* chaves localizados no FEOL, MOL e BEOL do processo preditivo modelado, como mostrado nas Figuras 3.1 e 3.2. Os autores também explicam o desenvolvimento de uma arquitetura de células padrão de alta densidade e baixo consumo de energia usando a análise de Co-Otimização de Design e Tecnologia (*Design Technology Co-Optimization - DTCO*), bem como exemplos de células Static Random-Access Memory (SRAM). Além disso, aborda as suposições elétricas do transistor, regras de design FEOL e modelos que suportam quatro níveis de tensão de limiar (V_{Th}) para transistores NMOS e PMOS. O documento também discute considerações de litografia, precisão de sobreposição e dimensões críticas, enfatizando o impacto das decisões de tecnologia na usabilidade prática da tecnologia de fabricação de processos. A Figura 3.3 apresenta o layout de uma NAND3 e um inversor projetados com a tecnologia ASAP7.

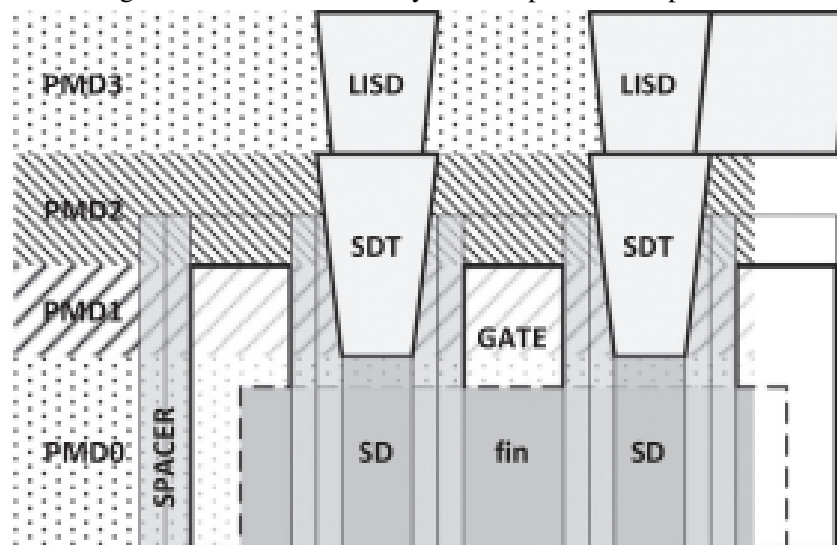
Os autores em "*ASAP7 Predictive Design Kit Development and Cell Design Technology Co-Optimization*" também abordam o desenvolvimento do kit de design preditivo ASAP7, além de bibliotecas, focando na co-otimização para SRAM e células padrão. Ele aborda a falta de PDKs educacionais abrangentes para cursos de design de circuitos e físicos modernos, especialmente para nós abaixo de 65 nm. O artigo enfatiza a importância de disponibilizar uma biblioteca células padrão publicamente disponível para uso acadêmico, destacando os desafios de acessar bibliotecas comerciais e PDKs para nós avançados. O PDK ASAP7 suporta verificação física completa e extração de parasitas, possibilitando o design físico realista. A biblioteca inclui células em quatro tensões de limiar, atendendo a uma ampla gama de requisitos de design, desde alto desempenho até baixo consumo. Também discute-se o uso da biblioteca em cursos de VLSI de nível de pós-graduação e sua aplicação em experimentos de Posicionamento e Roteamento Automáticos (*Automatic Place and Route - APR*). O trabalho fornece considerações sobre as considerações de design para processos baseados em FinFET, incluindo a seleção de

Figura 3.1 – Conexão do layer LIG para gate.



Fonte: (Clark et al., 2016).

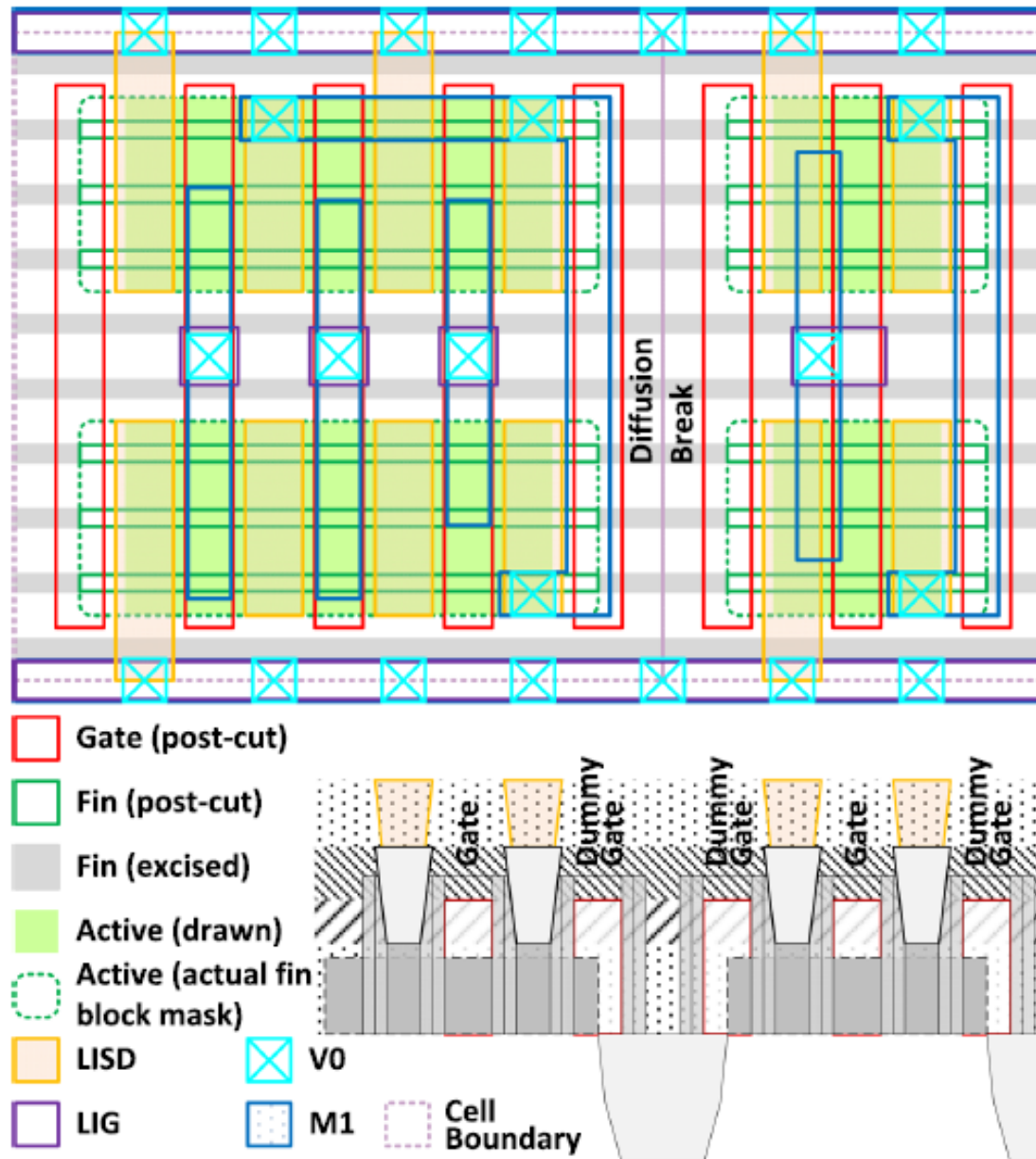
Figura 3.2 – Conexão do layer LISD para SDT e para SD.



Fonte: (Clark et al., 2016).

altura das células, capacidade de carregar e descarregar a capacitância presente na saída (*drive strength*) e o impacto das suposições de litografia. Ele também explora as implicações do corte de *fin* e o uso da Padronização Quádrupla Auto-Alinhada (*Self-Aligned Quadruple Patterning* - SAQP) para a padronização do *fin*. Destaca-se o desenvolvimento de bibliotecas de células de 7.5 tracks que suportam múltiplos V_{Th} , com o objetivo de permitir APR realista em um processo avançado em cenários acadêmicos. Ele também

Figura 3.3 – Arquitetura de células padrão com 7.5 tracks para análise de DTCO.



Fonte: (Clark et al., 2016).

discute a validação e o uso da biblioteca em experimentos de APR, mostrando a correlação entre diferentes métodos de extração parasitária e a escalabilidade da biblioteca para APR (Vashishtha; Vangala; Clark, 2017).

Salimath and Sechen (2020) determinam a composição ideal de uma biblioteca células padrão em 7nm com base em considerações de potência, área do chip e atraso usando a tecnologia ASAP7 da Universidade do Arizona. Os resultados sugerem que uma biblioteca com apenas 18 funções produz os melhores resultados, com desempenho significativamente pior para bibliotecas com menos funções. Tamanhos essenciais de *drive strength* para a biblioteca são fornecidos, mostrando que determinados *drive strengths* são

indispensáveis para obter resultados ótimos. No geral, os *benchmarks* alcançaram desempenho de área e potência dentro de 1%, para maioria dos casos, ao usar a composição recomendada da biblioteca e comparando-a com uma biblioteca com 28 funções lógicas.

Abazyán (2021) aborda a melhoria das bibliotecas células padrão para permitir a implementação de designs com células de diferentes alturas em um único bloco de circuito integrado. Essa abordagem visa otimizar o uso de área e o desempenho do circuito, permitindo a combinação de células de diferentes alturas em um único design, em oposição ao uso exclusivo de bibliotecas de células de altura única. Os resultados mostram uma comparação entre três tipos de designs: um com uma biblioteca de células de 9 *tracks*, outro com uma biblioteca de células de 12 *tracks* e um design misto usando ambas as bibliotecas. O design misto demonstra melhorias significativas em termos de área e desempenho em comparação com os designs de biblioteca de *track* única. A área de design das células padrão com design misto pode ser otimizada em cerca de 19,2% em comparação com o design de 12 *tracks* e o desempenho de *timing* pode ser otimizado em cerca de 14,3% em comparação com o design de 9 *tracks*. No entanto, o *runtime* é aumentado em cerca de 26,9% devido ao pós-processamento de dados físicos e o consumo de energia é aumentado em cerca de 12,8%, devido ao uso de células com grande *drive strength*.

A Biblioteca de Células Abertas (*Open-Cell Library - OCL*) baseada em FinFET de 15 nm foi desenvolvida com o objetivo de fornecer acesso a nós de tecnologia avançada. A OCL aborda os desafios inerentes ao design em 15nm, incluindo o duplo padrão para camadas de metal e poli, regras de design físico e a necessidade de padrões compatíveis com a litografia. Com um conjunto de 76 células que abrangem uma variedade de funções lógicas, a biblioteca é caracterizada para tempo e potência utilizando modelos de caracterização como *Non-Linear Delay Model* (NLDM), *Effective Current Source Model* (ECSM) e *Composite Current Source* (CCS), garantindo precisão e confiabilidade nas simulações. A síntese de uma unidade de ponto flutuante OpenCore utilizando a OCL de 15 nm revelou melhorias significativas em relação a uma implementação equivalente em tecnologia de 45 nm. A redução na área total do circuito, o aumento na frequência de operação e a diminuição no consumo de potência, tanto *leakage* quanto potência dinâmica, são indicadores do potencial da biblioteca para otimizar o design de ASICs e Sistemas intra-chip (*Systems-on-Chip - SoCs*). Essa biblioteca é uma ferramenta para pesquisadores e estudantes que buscam explorar as fronteiras da tecnologia de semicondutores. Ela permite o desenvolvimento de projetos de circuitos integrados digitais com um nível de detalhe e precisão que antes era acessível apenas a instituições com recursos significati-

vos. Além disso, a biblioteca facilita o avanço em ferramentas de Automação de Design Eletrônico (*Electronic Design Automation* - EDA) e algoritmos associados, contribuindo para o crescimento do conhecimento e inovação na área (Martins et al., 2015).

Chiang et al. (2018) conduziram uma pesquisa sobre o design e *benchmarking* de bibliotecas células padrão em altura múltipla para projetos de chips, utilizando o processo tecnológico de 15nm. Através do desenvolvimento de sete bibliotecas de células, eles demonstraram que as bibliotecas em altura múltipla podem alcançar economias de área substanciais, com reduções de até 21%, e melhorar o produto de área-atraso-potência em até 19%. Esses resultados são particularmente relevantes para a indústria de semicondutores, onde a otimização do uso de área e o aumento do desempenho são metas contínuas. O estudo não apenas destaca os benefícios da técnica de altura múltipla, mas também oferece uma compreensão detalhada dos desafios associados a essa abordagem. Por exemplo, o estudo identifica que o uso de transistores de tamanho mínimo (X1) com elevado número de fins para projetar essas bibliotecas em altura múltipla pode não ser viável devido à necessidade de uso de técnicas de *folding*, o que pode resultar em um aumento considerável no uso de área e potência. Além disso, o estudo fornece considerações sobre como o design de células em altura múltipla pode afetar o roteamento do chip. A pesquisa sugere que, embora essa metodologia possa oferecer vantagens significativas, a proporção de células com essa característica em um design pode influenciar a complexidade de roteamento, destacando a necessidade de equilíbrio desse aspecto com a economia de área e consumo de potência. A Tabela 3.1 apresenta o resumo dos trabalhos relacionados.

A presente pesquisa se destaca dos referenciais teóricos, pois, além de abordar a técnica de altura múltipla, também é performada uma análise elétrica para verificar a possibilidade do desenvolvimento da biblioteca de células padrão com a menor altura que a tecnologia permite, o que resulta em uma redução ainda maior quando comparado com os outros estudos.

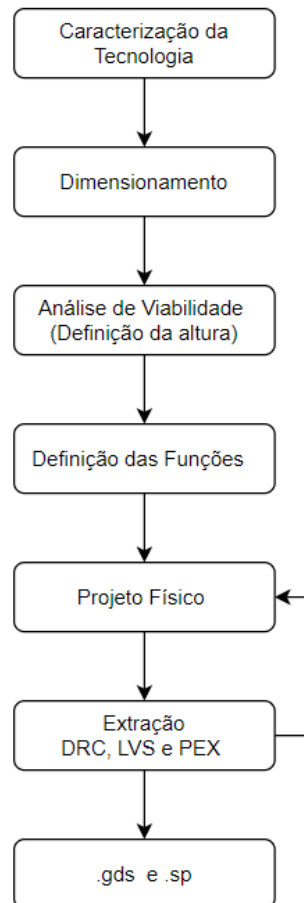
Tabela 3.1 – Resumo dos Trabalhos Citados.

Trabalho	Descrição	Desenvolvimento e Resultados	Contribuição
<i>ASAP7: A 7-nm finFET predictive process design kit</i> (Clark et al., 2016)	Desenvolvimento de um kit de projeto preditivo para o processo de 7 nm	Baseado em pressupostos realistas, desenvolve uma arquitetura de células padrão de alta densidade e baixo consumo de energia	Permite a exploração realista de design no nó de 7 nm e fornece suporte para pesquisa acadêmica
<i>ASAP7 predictive design kit development and cell design technology co-optimization</i> (Vashishtha; Vangala; Clark, 2017)	Desenvolvimento do kit de design preditivo ASAP7 e bibliotecas	Co-otimização para SRAM e células padrão, inclui verificação física completa e extração de parasitas	Fornecer capacidades de design realistas para fins educacionais e de pesquisa
<i>Optimal Standard Cell Library Composition for 7nm</i> (Salimath; Sechen, 2020)	Determinação da composição ideal de uma biblioteca de células padrão em 7nm	Identifica biblioteca ótima em termos de potência, área do chip e atraso. 18 funções têm os melhores resultados	Auxilia na definição do número de funções de uma biblioteca
<i>Standard Cell Library Enhancement For Mixed Multi-Height Cell Design Implementation</i> (Abazyan, 2021)	Projeto físico com altura mista (9 tracks e 12 tracks)	Oferece equilíbrio entre área e desempenho, que podem ser otimizados em 19.2% e 14.3%, respectivamente.	Compreensão da técnica de altura mista
<i>Open Cell Library in 15nm FreePDK Technology</i> (Martins et al., 2015)	Projeto de uma biblioteca de células padrão em 15nm	Redução na área total do circuito, aumento na frequência de operação e diminuição no consumo de potência	Facilita o acesso a tecnologias avançadas para pesquisa acadêmica e desenvolvimento de projetos de circuitos integrados digitais
<i>Designing and Benchmarking of Double-Row Height Standard Cell</i> (Chiang et al., 2018)	Desenvolvimento de uma biblioteca de células padrão de altura múltipla	Redução na área em 21% e do produto área-atraso-potência em 19%	Facilita a compreensão dos pros e contras no uso de células de altura múltipla

4 DESENVOLVIMENTO DE UMA BIBLIOTECA DE CÉLULAS

O Capítulo aborda a análise elétrica da tecnologia, que fundamenta o dimensionamento das células, bem como a metodologia do projeto físico. A definição das funções também é discutida. O fluxo da metodologia é apresentado na Figura 4.1

Figura 4.1 – Fluxo adotado.



Fonte: O Autor.

4.1 Análise Elétrica

A análise elétrica para determinar o número ideal de fins em um transistor para as redes de *pull-up* e *pull-down* é importante por várias razões. Primeiramente, o número de fins em um transistor afeta diretamente o desempenho do circuito. Uma quantidade inadequada de fins pode resultar em correntes de sublimiar mais altas ou desempenho de comutação insuficiente, levando a tempos de atraso maiores. Além disso, o consumo de energia em um circuito digital também é influenciado pelo número de fins do dispositivo.

Uma quantidade acima do ideal aumenta o consumo de energia, enquanto um número insuficiente pode resultar em um desempenho inadequado. O dimensionamento também pode afetar a estabilidade elétrica. O transistor pode ser mais suscetível a variações de temperatura, tensão e interferências externas, o que pode comprometer a operação confiável. Finalmente, outro fator a ser considerado é a área. O tamanho do transistor está diretamente relacionado ao número de fins. O uso eficiente da área do chip minimiza os custos de produção, caso ocorra, e maximiza o desempenho do sistema.

Xu et al. (2017) apresentam uma metodologia abrangente para o design e otimização de bibliotecas células padrão. O método de dimensionamento exaustivo de transistores envolve a determinação do número ideal de fins para cada dispositivo PMOS ou NMOS dentro de uma célula lógica básica. É executado o dimensionamento do transistor para a porta lógica NAND de 2 entradas de tamanho mínimo (referida como NAND2 X1), onde o número mínimo e máximo de fins para cada transistor são definidos como 2 e 3, respectivamente. As combinações de fins para os transistores PMOS e NMOS são enumeradas exaustivamente e são realizadas extrações de parasitas e simulações SPICE para calcular os tempos de subida e descida para cada combinação. O dimensionamento final do transistor é decidido com base nos tempos de subida e descida mais equilibrados dos resultados da simulação. Este método visa obter redes *pull-up* e *pull-down* equilibradas dentro das células padrão, visando um design e otimização eficientes e de alta qualidade da biblioteca, particularmente no contexto do PDK da ASAP7. A pesquisa também mostra uma comparação entre as arquiteturas de células padrão de 9 *tracks* e 7.5 *tracks* em termos de desempenho, potência e área (PPA). Para células lógicas básicas (inversor, NAND e NOR), as células de 7.5 *tracks* geram um atraso maior do que as células de 9 *tracks*. Isso ocorre porque o design de 7.5 *tracks* permite até 3 fins por transistor, o que resulta em corrente elétrica menor do que a arquitetura de 9 *tracks* (até 4 fins por transistor). O desempenho superior das células de 9 *tracks* não é gratuito, pois resulta em um consumo ligeiramente maior de energia.

No presente trabalho, também adotou-se a metodologia exaustiva para dimensionamento dos transistores. O número mínimo de fins foi definido como 1 e o máximo como 4. Foram extraídos os seguintes dados: tempo de propagação *low-to-high* (tpLH), tempo de propagação *high-to-low* (tpHL), tempo de subida, tempo de descida e potência média.

Quando há uma carga alta na saída de uma células padrão, várias consequências podem ocorrer. Primeiramente, o atraso de propagação aumenta, pois a capacitância efe-

tiva vista pelo nó de saída cresce. Como resultado, o tempo necessário para carregar ou descarregar essa capacitância aumenta, levando a atrasos de propagação mais longos. Isso pode fazer com que as transições de sinal sejam mais lentas e, conseqüentemente, provocar uma operação geral mais lenta do circuito. Além disso, a integridade do sinal pode ser comprometida. Um elevado *fan-out* pode resultar em problemas como aumento de ruído e níveis de tensão reduzidos. A capacitância elevada pode causar quedas ou picos de tensão, o que afeta a estabilidade e a confiabilidade dos sinais. Outra consequência é a ocorrência de violações de *timing*, que afetam as células sequenciais. Esses problemas surgem quando os tempos de *setup* ou *hold* dos dados não são atendidos devido aos atrasos de propagação maiores causados pela carga maior. Por fim, há um aumento no consumo de energia. Acionar uma carga maior demanda mais corrente elétrica, resultando em um maior consumo de energia.

Fan-out de 4 (*Fan-Out of Four* - FO4) é uma importante métrica de atraso no contexto da microeletrônica. Resumidamente, a técnica consiste em utilizar quatro portas idênticas na saída da célula que deseja-se analisar. Em outras palavras, a relação da capacitância de saída (C_{out}) e entrada (C_{in}) é igual a 4. No entanto, o FO4 tem limitações importantes, sendo mais adequada para células padrão. A métrica assume que apenas o *fan-out* influencia o atraso, desconsiderando outros fatores como capacitância de interconexões e resistência dos condutores. Também não leva em conta os efeitos parasitários, que podem impactar significativamente o desempenho. Nas simulações foram utilizados *fan-out* de 10 fF, 1 e 4.

Luo et al. (2020) discute a otimização de dispositivos FinFET e a análise de Potência, Desempenho e Área (*Power, Performance and Area* - PPA) no nó de 5 nm. Ele explora a influência de vários fatores, como o número de fins, o comprimento da interconexão de BEOL e o número de *fan-out* no desempenho de potência e velocidade. O estudo utiliza simulação TCAD para analisar as características CC e CA. A pesquisa revela que a potência é proporcional ao número de fins, quase dobrando quando este último aumenta de 1 para 2 em certas condições. Ainda, a potência aumenta quase linearmente com o incremento do *fan-out*, enquanto a frequência diminui quase inversamente proporcional ao número do *fan-out*. O trabalho citado corrobora com os dados das simulações apresentadas nos resultados, pois analisamos que, em ambos os estudos, a potência aumenta proporcionalmente com o número de fins e com o aumento do *fan-out*.

4.2 Metodologia do Projeto Físico

No pré-projeto de células padrão, o casamento entre teoria matemática e representação gráfica simplificada oferece uma abordagem poderosa. O caminho de Euler, uma teoria matemática que descreve um percurso visitando cada aresta de um grafo uma única vez, e o diagrama *stick*, uma ferramenta visual que simplifica o layout do circuito, combinam-se para otimizar as células padrão.

O caminho de Euler orienta a disposição eficiente dos componentes dentro da célula padrão, minimizando a área ocupada e simplificando o roteamento. Reduzindo o número de interconexões cruzadas entre os elementos da célula, esse método não apenas simplifica o layout, mas também melhora o desempenho do circuito, reduzindo os atrasos de sinal.

O diagrama *stick* complementa essa abordagem ao permitir uma visualização clara e concisa da estrutura do circuito. Representando os componentes e interconexões de forma simplificada, facilita a identificação de oportunidades para otimizar a área ocupada pela célula. Essa otimização garante uma utilização eficiente do espaço.

A utilização combinada do caminho de Euler e do diagrama *stick* oferece uma série de benefícios no pré-projeto de células padrão, incluindo organização eficiente, redução de atrasos de sinal e otimização da área ocupada. Embora exija um planejamento e iterações adicionais, essa abordagem é importante para garantir a conformidade com as especificações de desempenho e área do circuito.

Para o desenvolvimento da biblioteca de células padrão foi adotada uma abordagem sistemática, utilizando as técnicas abordadas acima. Isso permitiu uma otimização inicial da área ocupada pelas células, garantindo uma utilização eficaz do espaço.

O metal 1 foi a única camada de metal utilizada para roteamento, pois o uso inteligente do *layer* Interligação Local Fonte-Dreno (*Local Interconnect Source-Drain - LISD*) desempenhou um papel importante, evitando o uso de metais superiores e contribuindo para uma redução adicional nos requisitos de área e parasitas.

Das 13 células, 11 foram projetadas em 4.5 *tracks*. As células MUX21 e DFFR foram projetadas usando a técnica de altura múltipla, que, basicamente, consiste em dobrar a altura de uma célula, possibilitando que um roteamento complexo seja executado de uma maneira eficiente e economizando área.

Os pontos de acesso para metais superiores foram verificados através de um teste adicional. *Layers* de M2 foram roteados horizontalmente e foram adicionadas vias nos

pontos de intersecção entre os layers de M1, que possuem contatos de entrada ou saída, e camadas de M2. O *deck* de DRC foi, então, executado para averiguar a acessibilidade da célula. Após isso, os metais M2 e as vias foram removidos da célula padrão.

4.3 Funções Lógicas

As células padrão são blocos fundamentais que representam as operações lógicas básicas e essenciais para a construção de circuitos complexos. No seu conjunto, elas formam a base para a implementação de qualquer funcionalidade digital desejada.

As células lógicas projetadas e sua importância na construção de uma biblioteca abrangente são exploradas abaixo:

- INV (\overline{A}): esta célula realiza a operação básica de inversão de sinal. Ela é fundamental para a implementação de lógica complementar e, muitas vezes, serve como base para a construção de outras células mais complexas.
- NAND2 ($\overline{A \cdot B}$): é uma das operações lógicas fundamentais e é universal, o que significa que qualquer função lógica pode ser expressa exclusivamente em termos de operações NAND. Por essa razão, células NAND são fundamentais em qualquer biblioteca.
- NOR2 ($\overline{A + B}$): assim como o NAND, a NOR é uma operação lógica fundamental e também é universal. A presença de células NOR em uma biblioteca oferece uma alternativa conveniente para a implementação de funções lógicas.
- NAND3 ($\overline{A \cdot B \cdot C}$): estende a funcionalidade do NAND2 para incluir três entradas, permitindo a implementação de lógica mais complexa e reduzindo a necessidade de múltiplas células NAND2.
- NOR3 ($\overline{A + B + C}$): da mesma forma que o NAND3, a NOR3 expande a capacidade de implementação da operação NOR para três entradas.
- AOI21 ($\overline{A + (B \cdot C)}$): soma invertida de uma AND2 com outra entrada. Esta célula oferece uma maneira eficiente de implementar funções lógicas complexas, combinando operações AND, OR e inversão em uma única célula.
- OAI21 ($\overline{A \cdot (B + C)}$): produto invertido de uma OR2 com outra entrada.
- AOI22 ($\overline{(A \cdot B) + (C \cdot D)}$): soma invertida de duas portas AND2. Expande a fun-

cionalidade da AOI21 incluindo outra entrada.

- OAI22 ($\overline{(A + B) \cdot (C + D)}$): produto invertido de duas portas OR2.
- XOR2 ($A \oplus B$): a operação XOR é amplamente utilizada em circuitos digitais para detectar diferenças entre dois sinais. É uma operação lógica fundamental e sua presença em uma biblioteca é essencial.
- XNOR2 ($\overline{A \oplus B}$): inverso da XOR. É igualmente importante em muitas aplicações.
- MUX21 ($(\bar{S} \cdot A) + (S \cdot B)$): um multiplexador é uma operação lógica que seleciona uma das entradas de acordo com o valor de um seletor. É um componente chave em muitos circuitos, incluindo Unidades Centrais de Processamento (*Central Processing Units* - CPUs) e sistemas de comunicação.
- DFFR (Flip-flop tipo D com *Reset*): são elementos de memória primordiais em circuitos digitais. O DFFR oferece a capacidade de armazenar um bit de informação e, com o sinal de *reset*, reinicializar seu estado.

As células apresentadas oferecem uma gama diversificada de operações básicas, abrangendo desde inversão simples até operações mais complexas, como multiplexação e armazenamento de estado. Pode-se elencar diversos motivos que justificam a escolha e o projeto das células citadas, dentre eles:

- Simplicidade e essencialidade: as células selecionadas representam as operações lógicas mais fundamentais e essenciais. Elas são escolhas comuns em bibliotecas de células padrão devido à sua simplicidade e à sua capacidade de formar a base para a construção de circuitos digitais complexos.
- Universalidade: entre as células selecionadas, inversor, NAND e NOR são consideradas operações lógicas universais. Isso significa que qualquer função lógica pode ser expressa exclusivamente em termos dessas operações. A presença dessas células garante que sua biblioteca seja capaz de implementar uma ampla variedade de funções lógicas.
- Flexibilidade e combinabilidade: A inclusão de células como AOI21, OAI21, AOI22 e OAI22 oferece flexibilidade adicional na implementação de funções lógicas complexas. Essas células combinam várias operações lógicas em uma única unidade, permitindo a construção eficiente de circuitos mais sofisticados.
- Armazenamento e sequenciamento: DFFR é essencial para o armazenamento de es-

tado em circuitos digitais. Ele permite que o circuito retenha informações e sequencie operações de forma controlada, tornando-o crucial em projetos onde a memória ou a sincronização são necessárias.

- Economia de espaço e energia: ao incluir uma variedade de células com diferentes características de consumo de energia e área física, é possível otimizar o design para atender a requisitos específicos de espaço e eficiência energética.

Ao combinar essas características, as células selecionadas oferecem uma base sólida e versátil para o design de circuitos digitais. Elas são suficientes para atender a uma ampla gama de requisitos de projeto, desde circuitos simples até sistemas complexos. A interconexão e a combinação inteligente dessas células permitem a criação de projetos eficientes e funcionais.

5 RESULTADOS

5.1 Dimensionamento

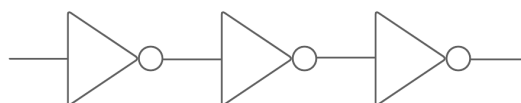
Esta Seção apresenta os resultados da análise elétrica realizada para verificar a viabilidade do dimensionamento a ser explorado nas portas lógicas. Todas as simulações foram realizadas com circuitos descritos como netlist SPICE, conforme ilustrado no Apêndice B, utilizando o software CADENCE Spectre.

Analisando a Tabela 5.1, podemos confirmar que uma capacitância de 10 fF na saída provoca uma potência média que, mesmo alterando as combinações de fins, permanece com pouca variação. Ainda, o *fan-out* eleva os tempos de propagação, de subida e descida. Embora seja possível identificar as combinações de fins que atendem a tempos de subida e descida equilibrados, foram necessários outros métodos para verificar as métricas desejadas, bem como avaliar o comportamento da célula quando submetida a uma capacitância coerente na saída.

Além de uma capacitância de 10 fF na saída, simulações considerando fan-out de 1 e fan-out de 4 foram realizadas, a fim de observar o comportamento das métricas de tempo e potência. As topologias do fan-out de 1 e FO4 são apresentadas nas Figuras 5.1 e 5.2, respectivamente.

Com o auxílio da Tabela 5.2, fica evidenciado que a medida que o número de fins das redes *pull-down* e *pull-up* são incrementados, a diferença entre os tempos de subida e descida é reduzida. A combinação ideal para este cenário seria o uso de 3 fins para o transistor PMOS e 2 fins para o transistor NMOS. Neste caso, a diferença entre os tempos de subida e descida é $|0,16|$ ps. A potência aumenta proporcionalmente com a soma do número de fins dos FinFETs PMOS e NMOS. A simulação com o número mínimo de fins para ambas as redes tem uma diferença entre os tempos de subida e descida de 0.91 ps, mas, em contrapartida, consome, aproximadamente, 2.5 vezes menos potência que o arranjo ideal.

Figura 5.1 – Fan-out de 1.



Fonte: O Autor.

Na tabela 5.3 verificamos que os tempos de subida e de descida equilibrados são

Tabela 5.1 – Inversor com fan-out de 10 fF.

Tp_HL (ps)				
FINS_N / FINS_P	1	2	3	4
1	114.26	111.69	113.01	111.28
2	63.18	63.29	63.16	62.80
3	47.85	48.02	46.51	46.67
4	38.51	39.34	38.36	39.44

Tp_LH (ps)				
FINS_N / FINS_P	1	2	3	4
1	131.11	75.70	54.71	44.61
2	137.63	73.82	55.65	44.05
3	134.71	74.71	53.31	44.70
4	140.54	73.94	54.45	45.78

Trise (ps)				
FINS_N / FINS_P	1	2	3	4
1	231.29	124.99	78.88	56.80
2	255.47	114.21	78.87	57.15
3	232.42	129.04	84.60	57.14
4	255.48	115.11	77.81	60.21

Tfall (ps)				
FINS_N / FINS_P	1	2	3	4
1	181.20	181.33	182.92	182.98
2	92.65	87.15	99.74	96.26
3	59.20	59.15	59.06	63.80
4	47.76	47.64	46.61	44.46

AVG Power (μW)				
FINS_N / FINS_P	1	2	3	4
1	2.46	2.43	2.43	2.41
2	2.44	2.46	2.48	2.45
3	2.47	2.42	2.44	2.42
4	2.47	2.43	2.48	2.47

encontrados na combinação que possui 4 fins na rede de *pull-up* e 3 fins na rede de *pull-down*. Existe uma diferença somente na terceira casa depois da vírgula na escala de ps. Como apresentado anteriormente, há uma degradação da potência média em detrimento de uma boa performance. A configuração com apenas um fin para cada rede apresenta uma diferença entre os tempos de subida e descida de 3.58 ps.

A tabela 5.4 contém informações para a análise elétrica focada na determinação do fator de *stack*. Esse fator é usado para identificar o número ideal de *fins* para as redes de *pull-up* ou *pull-down* quando há transistores em série, com o objetivo de otimizar o

Tabela 5.2 – Inversor com fan-out de 1.

Tp_HL (ps)				
FINs_N / FINs_P	1	2	3	4
1	2.75	3.22	3.81	4.47
2	2.63	2.75	2.61	3.22
3	2.79	2.63	2.75	2.52
4	2.87	2.63	2.64	2.75

Tp_LH (ps)				
FINs_N / FINs_P	1	2	3	4
1	2.75	2.48	2.88	3.09
2	3.32	2.75	2.40	2.48
3	4.24	3.25	2.75	2.64
4	5.00	3.32	3.09	2.75

Trise (ps)				
FINs_N / FINs_P	1	2	3	4
1	3.66	3.30	2.93	2.97
2	6.40	3.66	3.50	3.30
3	8.37	5.23	3.66	3.16
4	10.16	6.40	4.83	3.66

Tfall (ps)				
FINs_N / FINs_P	1	2	3	4
1	2.75	4.03	5.94	7.8
2	2.57	2.76	3.66	4.03
3	2.70	2.52	2.75	3.47
4	3.29	2.57	2.52	2.76

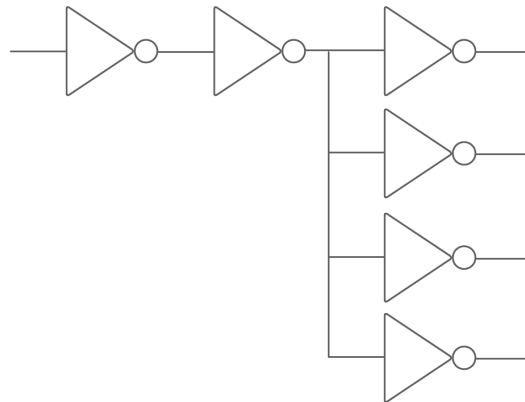
AVG Power (μW)				
FINs_N / FINs_P	1	2	3	4
1	0.70	1.03	1.36	1.72
2	0.96	1.40	1.70	2.01
3	1.28	1.72	2.10	2.40
4	1.62	1.92	2.41	2.80

desempenho, a eficiência energética e a estabilidade.

A fim de estabelecer um comparativo com a mesma célula já caracterizada em software, adotou-se um fan-out de 10 fF. Contudo, devido a restrições temporais e imprevistos, não foi viável realizar simulações contemplando fan-out de 1 e 4, constituindo uma limitação deste estudo.

Ao examinar os dados da tabela, é observado que o uso de apenas um *fin* resulta em tempos de atraso, tempos de subida e tempos de descida relativamente mais altos em comparação com configurações que utilizam mais fins. Isso indica que, teoricamente,

Figura 5.2 – Fan-out de 4.



Fonte: O Autor.

o desempenho da célula NAND pode ser impactado negativamente ao optar por uma configuração com apenas um *fin*.

Dependendo da aplicação, utilizar apenas um *fin* em ambas as redes é vantajoso, visto que tem-se economia de área e potência, duas métricas importantes em concepção de circuitos em larga escala (Bardon et al., 2016). Dispositivos portáteis e alimentados por baterias, por exemplo, tendem a requerer um projeto que optimize a energia, ainda que a performance possa ser prejudicada (Nautiyal et al., 2017).

Tabela 5.3 – Inversor com fan-out de 4.

Tp_HL (ps)				
FINs_N / FINs_P	1	2	3	4
1	5.02	6.82	8.71	10.65
2	5.18	5.02	5.64	6.82
3	5.35	5.16	5.02	5.44
4	5.44	5.18	5.17	5.02

Tp_LH (ps)				
FINs_N / FINs_P	1	2	3	4
1	5.71	5.46	5.78	5.99
2	8.38	5.71	5.67	5.46
3	11.38	7.09	5.71	5.68
4	14.98	8.38	6.98	5.71

Trise (ps)				
FINs_N / FINs_P	1	2	3	4
1	14.37	10.62	8.33	7.86
2	20.93	14.37	12.19	10.62
3	27.53	17.45	14.39	12.79
4	33.94	20.93	16.46	14.38

Tfall (ps)				
FINs_N / FINs_P	1	2	3	4
1	10.79	16.24	21.44	26.75
2	6.37	10.78	13.7	16.24
3	5.92	7.94	10.79	12.79
4	6.52	6.37	9.23	10.84

AVG Power (μW)				
FINs_N / FINs_P	1	2	3	4
1	2.07	3.12	4.19	5.21
2	3.12	4.14	5.21	6.25
3	4.11	5.20	6.22	7.30
4	5.06	6.24	7.30	8.26

Tabela 5.4 – NAND2 com fan-out de 10 fF

Tp_HL (ps)				
FINs_N / FINs_P	1	2	3	4
1	183.32	184.94	185.14	186.75
2	97.74	97.9	94.4	99.28
3	68.81	69.19	70.81	69.89
4	54.63	55.07	55.25	55.66

Tp_LH (ps)				
FINs_N / FINs_P	1	2	3	4
1	135.85	75.6	54.9	45.69
2	136.91	75.75	54.73	44.45
3	138.76	75.9	54.21	46.12
4	141.56	76.1	55.95	46.37

Trise (ps)				
FINs_N / FINs_P	1	2	3	4
1	245.94	129.82	77.25	58.8
2	236.12	118.32	76.63	63.06
3	237.68	120.81	78.87	58.68
4	231.46	122.79	78.35	59.48

Tfall (ps)				
FINs_N / FINs_P	1	2	3	4
1	322.61	321.16	319.96	328.22
2	163.48	163.24	172.04	168.28
3	104.07	105.02	112.86	106.29
4	82.64	80.07	80.37	79.83

AVG Power (μW)				
FINs_N / FINs_P	1	2	3	4
1	2.47	2.47	2.48	2.48
2	2.49	2.50	2.50	2.49
3	2.50	2.51	2.49	2.51
4	2.52	2.53	2.52	2.54

Como as funções lógicas NAND e NOR são análogas, a discussão anterior aplica-se na Tabela 5.5 também. É importante destacar que o emprego de um *fan-out* mais adequado levaria à redução do atraso de propagação, bem como dos tempos de subida e descida.

Tabela 5.5 – NOR2 com fan-out de 10 fF.

Tp_HL (ps)				
FINs_N / FINs_P	1	2	3	4
1	113.25	115.60	116.92	115.74
2	63.35	63.72	64.84	64.71
3	46.71	47.53	47.43	47.10
4	38.85	39.41	38.8	38.59

Tp_LH (ps)				
FINs_N / FINs_P	1	2	3	4
1	250.24	132.15	91.30	71.75
2	252.33	132.98	91.87	73.13
3	252.76	132.96	92.03	72.45
4	253.50	133.89	92.34	73.18

Trise (ps)				
FINs_N / FINs_P	1	2	3	4
1	441.28	219.16	145.65	108.47
2	439.60	219.41	146.63	108.99
3	443.53	220.81	154.53	110.58
4	444.22	221.03	146.72	111.49

Tfall (ps)				
FINs_N / FINs_P	1	2	3	4
1	188.14	192.49	190.45	184.35
2	91.14	88.69	93.26	90.00
3	59.05	59.68	60.38	65.98
4	44.09	45.69	46.29	46.46

AVG Power (μW)				
FINs_N / FINs_P	1	2	3	4
1	2.46	2.48	2.50	2.51
2	2.46	2.49	2.51	2.53
3	2.47	2.50	2.53	2.53
4	2.47	2.51	2.55	2.55

Por fim, foi comprovado que pode-se desenvolver uma biblioteca células padrão com o número mínimo de *fins*, tanto para a rede de *pull-up*, quanto para a rede de *pull-down*. Ainda, o fator de *stack* também pode ser considerado o mínimo.

5.2 Projeto Físico

A biblioteca de células padrão desenvolvida neste estudo inclui treze células distintas, que foram apresentadas e discutidas anteriormente. Figuras ilustrando o leiaute de todas as células projetadas podem ser encontradas no Apêndice A deste documento.

A Tabela 5.6 compara a área ocupada por células em 4.5 *tracks* e 6 *tracks*. Esta última está presente no GitHub da ASAP7 e foi desenvolvida por outros pesquisadores (The-OpenROAD-Project, 2021). Como esperado, esses resultados indicam que a diminuição na altura das células resulta em uma redução proporcional de área, quando as topologias são iguais.

Em comparação com a topologia presente na biblioteca de 6 *tracks*, a topologia com transistor de passagem proporcionou uma redução de 25% na área para XOR2 e 50% para XNOR2. Essa abordagem otimiza o uso do espaço, aumentando a densidade de componentes. Esse método consome menos potência quando comparado com a lógica CMOS estática, visto que usa um número menor de transistores. Contudo, a técnica com transistor de passagem não está isenta de desafios. Transistores NMOS passam um nível lógico alto degradado, enquanto que dispositivos PMOS apresentam uma passagem fraca do nível lógico baixo. Ainda, transistores de passagem podem ter uma margem de ruído limitada.

As lógicas AOI22 e OAI22 não apresentaram redução de 25% devido as restrições impostas pela quantidade de *tracks* de roteamento.

O multiplexador 2:1 da biblioteca de 4.5 *tracks* é baseado em gate de transmissão. Essa topologia usa menos transistores e otimiza a área, mas a potência estática é afetada negativamente. A biblioteca de 6 *tracks* não apresenta essa função lógica.

O flip-flop tipo D com *Reset* da biblioteca desenvolvida é baseado na topologia *True Single Phase Clock* (TSPC). Essa topologia diminui a potência, reduz a área e melhora a velocidade do circuito. Além disso, os parasitas são reduzidos também. O incremento da potência estática e do atraso são os pontos negativos dessa abordagem. Para comparação, foi escolhido o flip-flop ativado em borda de subida com saída negada da biblioteca de referência.

Tabela 5.6 – Economia de Área das Células de 4.5 tracks.

Célula	Área (nm ²)		Redução
	4.5 tracks	6 tracks	
INV	26244	34992	25%
NAND2	34992	46656	25%
NAND3	43740	58320	25%
NOR2	34992	46656	25%
NOR3	43470	58320	25%
XOR2	78732	104976	25%
XNOR2	52488	104976	50%
AOI21	43740	58320	25%
AOI22	61236	69984	13%
OAI21	43740	58320	25%
OAI22	61236	69984	13%
MUX21	104976	X	X
DFFR (DFFHQN)	139968	233280	40%

5.3 Síntese Lógica

A síntese lógica é um processo que converte descrições de alto nível de circuitos digitais em *netlists*. O início desse processo envolve a definição do circuito utilizando uma Linguagem de Descrição de Hardware (*Hardware Description Language* - HDL), como VHDL ou Verilog, na qual o design é descrito no Nível de Transferência de Registradores *Register Transfer Level* (RTL). A partir da descrição RTL, a síntese lógica traduz o modelo comportamental em uma rede de portas lógicas, como AND, OR e NOT, e outros componentes digitais. O objetivo é otimizar o circuito para atender a critérios como desempenho, consumo de energia e área ocupada no chip (YOSYS, 2024). Isso envolve a minimização do número de portas e a otimização das interconexões para garantir que o design seja funcional e adequado à fabricação. Após a síntese e otimização, o design é convertido em um layout físico que define a disposição e as conexões dos componentes no chip.

Esta pesquisa utilizou os *benchmarks* do Simpósio Internacional de Circuitos e Sistemas (*International Symposium on Circuits and Systems* - ISCAS) de 1989, que são um conjunto de circuitos digitais desenvolvidos para a avaliação e comparação de ferramentas e técnicas no campo da engenharia de circuitos digitais. Esses *benchmarks* têm sido amplamente utilizados para testar e validar métodos de design, síntese e verificação de circuitos. Eles incluem uma variedade de designs que abrangem diferentes complexidades e estruturas. Consistem em circuitos combinacionais e sequenciais, com tamanhos e características variadas, o que os torna adequados para uma ampla gama de análises. Os

benchmarks da Conferência Internacional de Testes (*International Test Conference - ITC*) de 1999, também foram sintetizados para avaliar a biblioteca desenvolvida. A ferramenta de síntese *open-source* Yosys foi utilizada para executar as tarefas descritas.

A Tabela 5.7 apresenta os resultados da síntese lógica dos circuitos do ISCAS e da ITC . Para uma comparação justa, a célula padrão MUX foi desconsiderada, pois essa função lógica não está presente na biblioteca de 6 *tracks*.

Para os *benchmarks* em que a área sequencial representa uma alta porcentagem da área total, a redução tende a exceder 30%, alcançando até 36%, uma vez que a redução do flip-flop é de 40%.

Por inferência, sem considerar a parte sequencial, algumas conclusões podem ser elaboradas. Por exemplo, a ferramenta de síntese, provavelmente, não usou as células XNOR2, AOI22 e OAI22 nos circuitos que possuem redução de 25%. Para diminuição acima de 25%, é coerente afirmar que a célula XNOR2 foi empregada.

O número de flip-flops explica a razão pela qual *benchmarks* que possuem a mesma redução da área da lógica combinacional, como s13207, b14 e s15850, diferem na redução total.

O *benchmark* s35932 tem a terceira maior área entre os circuitos e apresenta a maior redução, de 36%, pois apresenta o maior número de flip-flops. O circuito s1488 tem a menor redução, de 24%, pois a diferença entre a área combinacional e a total é de, aproximadamente, 5%, ou seja, o uso de 6 flip-flops tem uma contribuição pequena na área total.

Tabela 5.7 – Síntese Lógica.

Benchmark	# DFF	Área Lógica Comb. (μm^2)			Área Total (μm^2)		
		<i>4.5 tracks</i>	<i>6 tracks</i>	Redução	<i>4.5 tracks</i>	<i>6 tracks</i>	Redução
s27	3	253	328	23%	673	1027	34%
b02	4	680	886	23%	1240	1818	32%
b01	5	1135	1598	29%	1835	2763	34%
b06	8	1233	1636	25%	2353	3500	33%
s420	16	3558	5180	31%	5798	8908	35%
s382	21	3338	4695	29%	6278	9588	35%
s713	19	4417	5873	25%	7077	10300	31%
s641	19	4486	5967	25%	7146	10394	31%
b08	21	4288	5547	23%	7228	10440	31%
b09	28	4030	5499	27%	7950	12023	34%
b10	17	5603	7536	26%	7983	11497	31%
b03	30	4237	5466	22%	8437	12456	32%
b13	53	7204	9802	27%	14624	22151	34%
s1488	6	16057	20876	23%	16897	22274	24%
s1238	18	14583	19105	24%	17103	23299	27%
b07	49	10741	13726	22%	17601	25143	30%
b11	31	14646	20406	28%	18986	27629	31%
b05	34	16231	21957	26%	20991	29879	30%
b04	66	14291	18805	24%	23531	34183	31%
s1423	74	14904	20346	27%	25264	37588	33%
s9234	145	24884	34275	27%	45184	68060	34%
b12	119	31101	40280	23%	47761	68007	30%
s5378	179	28362	40331	30%	53422	82038	35%
s13207	626	62967	86171	27%	150607	232029	35%
b14	245	123065	169370	27%	157365	226455	31%
s15850	527	88746	121934	27%	162526	244725	34%
b15	449	216182	288243	25%	279042	392860	29%
b20	490	269727	373716	28%	338327	487886	31%
b21	490	272031	376374	28%	340631	490544	31%
s38417	1564	240851	327983	27%	459811	692395	34%
s38584	1416	298704	396490	25%	496944	726418	32%
s35932	1728	265634	390702	32%	507554	793326	36%
b22	703	411018	571601	28%	509438	735400	31%
b17	1414	663412	878841	25%	861372	1208303	29%

6 CONSIDERAÇÕES FINAIS

O dimensionamento, a definição das funções lógicas e o projeto físico são etapas fundamentais no design e otimização de circuitos digitais, garantindo um desempenho adequado e uma operação confiável. A pesquisa comprovou que é possível desenvolver uma biblioteca de células padrão com o número mínimo de fins, tanto para a rede de *pull-up* quanto para a rede de *pull-down*. Além disso, o fator de *stack* pode ser o mínimo para essa tecnologia.

Foram escolhidas estrategicamente 13 funções lógicas que representam uma vasta gama de possibilidade no contexto digital. No total, 13 células padrão foram projetadas fisicamente. As células lógicas flip-flop tipo D com *reset* e multiplexador 2:1 foram projetadas em altura múltipla. Não foram utilizados metais superiores, somente M1. Isso representa um ponto positivo da pesquisa, dada a complexidade de roteamento de uma biblioteca com o tamanho mínimo de *tracks*.

Todas as células da biblioteca apresentaram área consideravelmente inferior, quando comparadas com uma biblioteca de 6 *tracks*. A maioria das células alcançou uma redução de 25%, sendo que o flip-flop tipo D com *reset* e a XNOR2 alcançaram reduções de 40% e 50%, respectivamente. Os *benchmarks* do ISCAS e da ITC mostraram reduções de área de até 36%.

As células foram submetidas a execução de DRC e foram aprovadas. A execução de LVS foi realizada com sucesso também. Devido a circunstâncias temporais e de licenças de software, não foi realizada a caracterização da biblioteca com os parasitas extraídos. Embora a caracterização seja uma etapa importante, a análise elétrica para determinação do número de fins, bem como o fator de *stack*, é um prelúdio para os resultados das simulações pós-layout.

REFERÊNCIAS

- ABAZYAN, S. Standard cell library enhancement for mixed multi-height cell design implementation. In: **2021 IEEE East-West Design and Test Symposium (EWDTS)**. [S.l.: s.n.], 2021. p. 1–4.
- AUTH, C. et al. A 10nm high performance and low-power cmos technology featuring 3rd generation finfet transistors, self-aligned quad patterning, contact over active gate and cobalt local interconnects. In: **2017 IEEE International Electron Devices Meeting (IEDM)**. [S.l.: s.n.], 2017. p. 29.1.1–29.1.4.
- BARDON, M. G. et al. Extreme scaling enabled by 5 tracks cells: Holistic design-device co-optimization for finfets and lateral nanowires. In: **2016 IEEE International Electron Devices Meeting (IEDM)**. [S.l.: s.n.], 2016. p. 28.2.1–28.2.4.
- BROWN, G. et al. Scaling cmos: Materials and devices. **Materials Today**, v. 7, n. 1, p. 20–25, 2004. ISSN 1369-7021. Available from Internet: <<https://www.sciencedirect.com/science/article/pii/S1369702104000513>>.
- BUTZEN, P. et al. Subthreshold leakage modeling and estimation of general cmos complex gates. In: . [S.l.: s.n.], 2007. v. 4644, p. 474–484. ISBN 978-3-540-74441-2.
- CHIANG, Y.-X. et al. Designing and benchmarking of double-row height standard cells. In: **2018 IEEE Computer Society Annual Symposium on VLSI (ISVLSI)**. [S.l.: s.n.], 2018. p. 64–69.
- CLARK, L. T. et al. Asap7: A 7-nm finfet predictive process design kit. **Microelectronics Journal**, v. 53, p. 105–115, 2016. ISSN 1879-2391. Available from Internet: <<https://www.sciencedirect.com/science/article/pii/S002626921630026X>>.
- CUI, T. et al. 7nm finfet standard cell layout characterization and power density prediction in near- and super-threshold voltage regimes. In: **International Green Computing Conference**. [S.l.: s.n.], 2014. p. 1–7.
- DING, H.; YUAN, L.; YIN, B. Introduction to finfet: Formation process, strengths, and future exploration. In: **EMIE 2022; The 2nd International Conference on Electronic Materials and Information Engineering**. [S.l.: s.n.], 2022. p. 1–7.
- HAJARE, R. et al. Design and evaluation of finfet based digital circuits for high speed ics. In: . [S.l.: s.n.], 2015. p. 162–167.
- LIN, R.-B.; CHIANG, Y.-X. Impact of double-row height standard cells on placement and routing. In: **20th International Symposium on Quality Electronic Design (ISQED)**. [S.l.: s.n.], 2019. p. 317–322.
- LIU, J. et al. A reliability enhanced 5nm cmos technology featuring 5th generation finfet with fully-developed euv and high mobility channel for mobile soc and high performance computing application. In: **2020 IEEE International Electron Devices Meeting (IEDM)**. [S.l.: s.n.], 2020. p. 9.2.1–9.2.4.
- LUO, X. et al. A study of finfet device optimization and ppa analysis at 5 nm node. In: **2020 China Semiconductor Technology International Conference (CSTIC)**. [S.l.: s.n.], 2020. p. 1–4.

MARTINS, M. et al. Open cell library in 15nm freepdk technology. In: . [S.l.: s.n.], 2015.

NAUTIYAL, V. et al. Charge recycled low power sram with integrated write and read assist, for wearable electronics, designed in 7nm finfet. In: **2017 IEEE/ACM International Symposium on Low Power Electronics and Design (ISLPED)**. [S.l.: s.n.], 2017. p. 1–6.

RABAEY, J. M.; CHANDRAKASAN, A. P.; NIKOLIC, B. **Digital Integrated Circuits: A Design Perspective**. S.l.: Prentice-Hall, 2007.

RAHMAN, M. et al. Power reduction via separate synthesis and physical libraries. In: **2011 48th ACM/EDAC/IEEE Design Automation Conference (DAC)**. [S.l.: s.n.], 2011. p. 627–632.

SALIMATH, V. K.; SECHEN, C. Optimal standard cell library composition for 7nm. In: **2020 IEEE International Symposium on Circuits and Systems (ISCAS)**. [S.l.: s.n.], 2020. p. 1–5.

SYNOPSYS. **What is a FinFET?** 2024. <<https://www.synopsys.com/glossary/what-is-a-finfet.html>>. Acessado: 14. Abr. 2024.

TEMAN, A.; FISH, A. Sub-threshold and near-threshold sram design. In: **2010 IEEE 26-th Convention of Electrical and Electronics Engineers in Israel**. [S.l.: s.n.], 2010. p. 000608–000612.

THE-OPENROAD-PROJECT. **ASAP7 PDK and Cell Libraries**. 2021. Acessado: 15. Jul. 2023. Available from Internet: <<https://github.com/The-OpenROAD-Project/asap7>>.

VASHISHTHA, V.; VANGALA, M.; CLARK, L. T. Asap7 predictive design kit development and cell design technology co-optimization: Invited paper. In: **2017 IEEE/ACM International Conference on Computer-Aided Design (ICCAD)**. [S.l.: s.n.], 2017. p. 992–998.

VLSICODING. **Setup and Hold Time**. 2014. <<https://vlsicoding.blogspot.com/2014/05/setup-time-and-hold-time.html>>. Acessado: 10. Mai. 2024.

WESTE, N.; HARRIS, D. M. **CMOS VLSI Design: A Circuits and Systems Perspective**. S.l.: Addison Wesley Longman, 2010.

WIMER, S. **Layout of CMOS VLSI Circuits**. 2024. <<https://www.slideserve.com/paulsnow/layout-of-cmos-vlsi-circuits-powerpoint-ppt-presentation>>. Acessado: 29. Abr. 2024.

WU, G.; CHU, C. Detailed placement algorithm for vlsi design with double-row height standard cells. **IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems**, v. 35, n. 9, p. 1569–1573, 2016.

WU, S.-Y. et al. A 3nm cmos finflex™ platform technology with enhanced power efficiency and performance for mobile soc and high performance computing applications. In: **2022 International Electron Devices Meeting (IEDM)**. [S.l.: s.n.], 2022. p. 27.5.1–27.5.4.

WU, S.-Y. et al. A 7nm cmos platform technology featuring 4th generation finfet transistors with a 0.027um² high density 6-t sram cell for mobile soc applications. **2016 IEEE International Electron Devices Meeting (IEDM)**, p. 2.6.1–2.6.4, 2016. Available from Internet: <<https://api.semanticscholar.org/CorpusID:5747281>>.

XIE, Q. et al. Performance comparisons between 7-nm finfet and conventional bulk cmos standard cell libraries. **IEEE Transactions on Circuits and Systems II: Express Briefs**, v. 62, n. 8, p. 761–765, 2015.

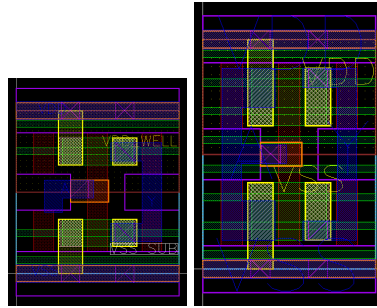
XU, X. et al. Standard cell library design and optimization methodology for asap7 pdk: (invited paper). In: **2017 IEEE/ACM International Conference on Computer-Aided Design (ICCAD)**. [S.l.: s.n.], 2017. p. 999–1004.

YOSYS. **Yosys Open SYNthesis Suite :: About**. 2024. <<https://yosyshq.net/yosys>>. Acessado: 23. Set. 2024.

APÊNDICE A — LAYOUTS DAS CÉLULAS PADRÃO

Este Apêndice apresenta o design físico das células padrão contidas na biblioteca de altura múltipla de 4.5 *tracks*, que foram desenvolvidas com a ferramenta Virtuoso da Cadence.

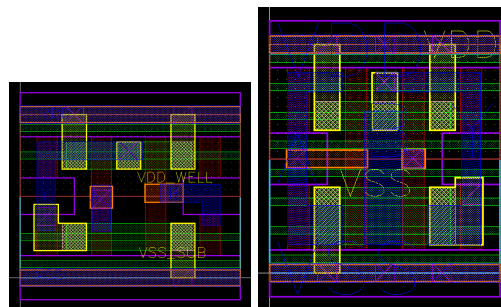
Figura A.1 – INV_X1.



(a) 4.5 tracks (b) 6 tracks

Fonte: O Autor.

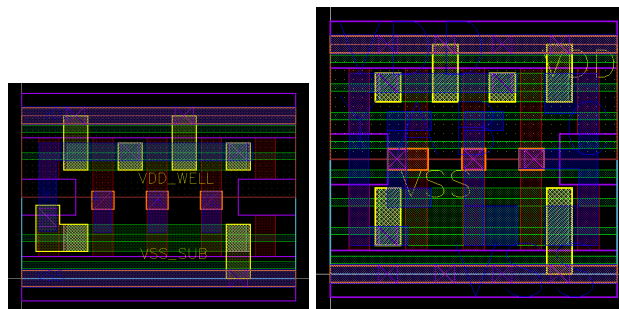
Figura A.2 – NAND2_X1.



(a) 4.5 tracks (b) 6 tracks

Fonte: O Autor.

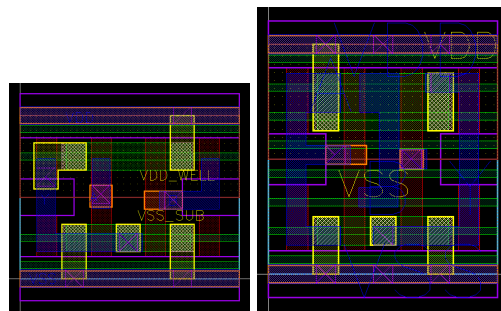
Figura A.3 – NAND3_X1.



(a) 4.5 tracks (b) 6 tracks

Fonte: O Autor.

Figura A.4 – NOR2_X1.

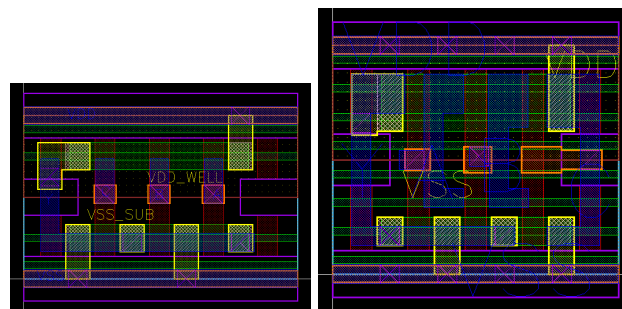


(a) 4.5 tracks

(b) 6 tracks

Fonte: O Autor.

Figura A.5 – NOR3_X1.

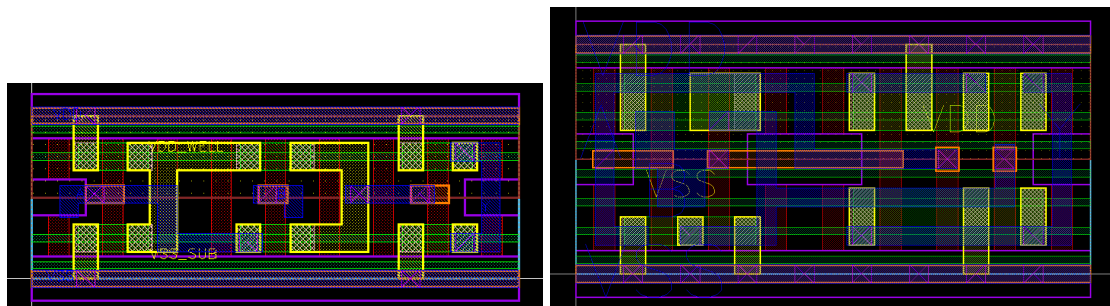


(a) 4.5 tracks

(b) 6 tracks

Fonte: O Autor.

Figura A.6 – XOR2_X1.

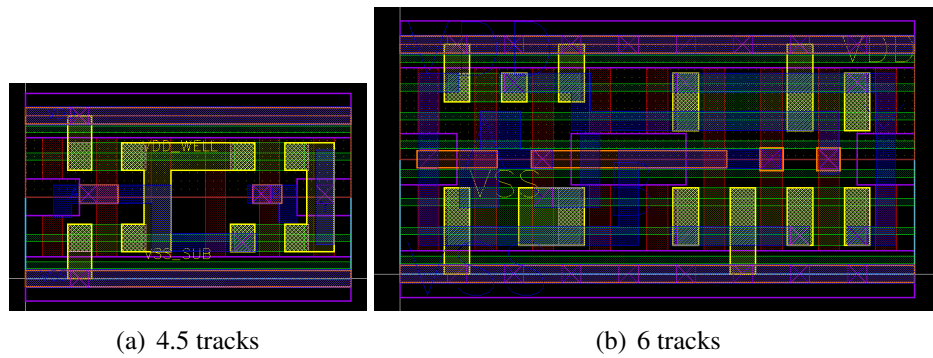


(a) 4.5 tracks

(b) 6 tracks

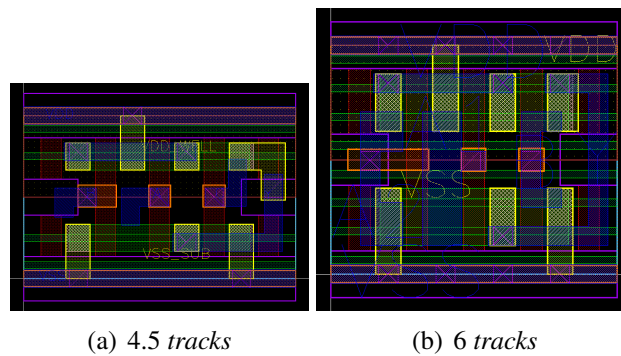
Fonte: O Autor.

Figura A.7 – XNOR2_X1.



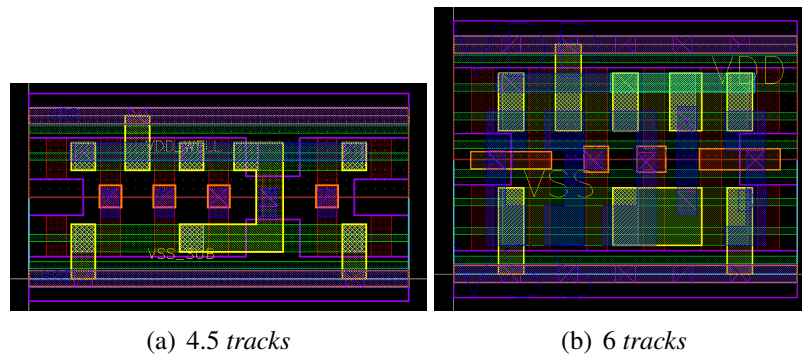
Fonte: O Autor.

Figura A.8 – AOI21_X1.



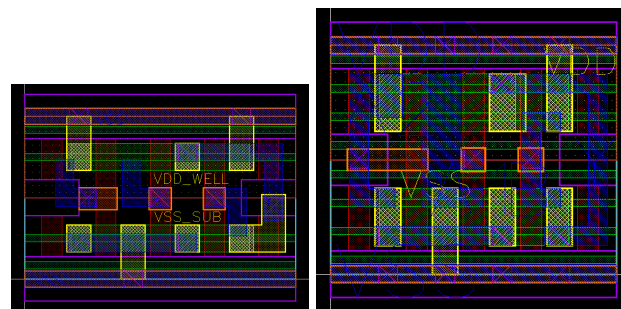
Fonte: O Autor.

Figura A.9 – AOI22_X1.



Fonte: O Autor.

Figura A.10 – OAI21_X1.

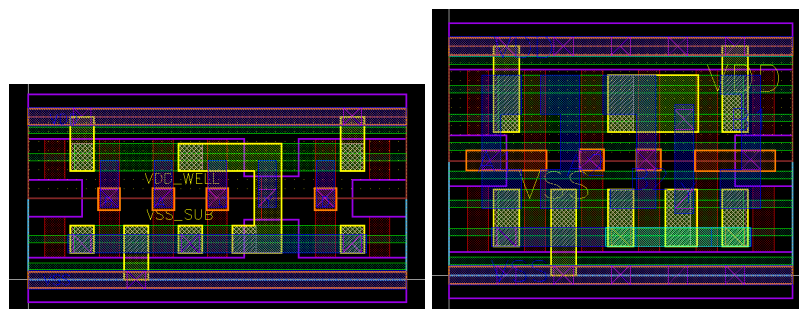


(a) 4.5 tracks

(b) 6 tracks

Fonte: O Autor.

Figura A.11 – OAI22_X1.

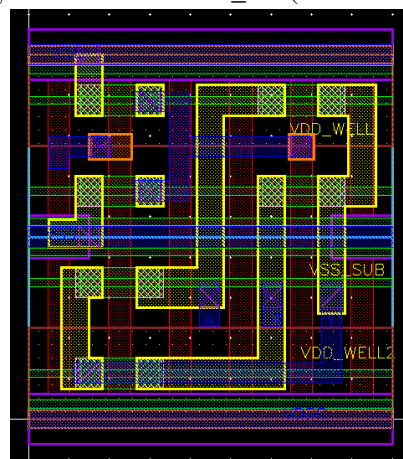


(a) 4.5 tracks

(b) 6 tracks

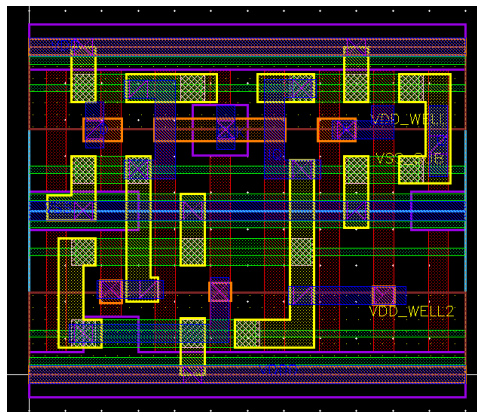
Fonte: O Autor.

Figura A.12 – MUX21_X1 (multi-height).

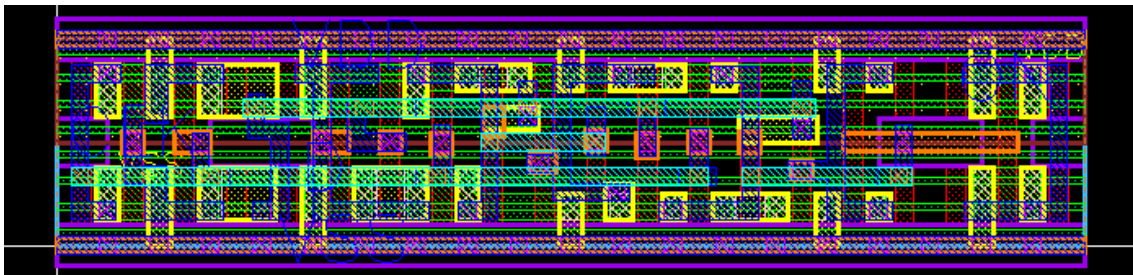


Fonte: O Autor.

Figura A.13 – Flip-Flop tipo D.



(a) DFFR (multi-height)



(b) DFFHQN - 6 tracks

Fonte: O Autor.

APÊNDICE B — CÓDIGOS SPICE

Neste Apêndice, estão os códigos SPICE desenvolvidos para realizar as simulações elétricas necessárias, utilizando o software HSPICE da Synopsys.

Código 1: Código SPICE do Inversor com fan-out de 10fF

```

*Model file*
.include "7nm_TT.pm"

*DC Source*
VVDD      VDD      0 0.7
VVSS      VSS      0 0

*Pulse Source*
VIN NA 0 PULSE(0 0.7 0 10ps 10ps 50p 120ps)

*Netlist*
.SUBCKT INV_X1 ground supply in out
MN0 out in ground ground nmos_rvt l=20n nfin=1
MP0 out in supply supply pmos_rvt l=20n nfin=1
.ENDS

X_INV_X1 VSS VDD A Y INV_X1
CLOAD          Y VSS 10f

*Analysis*
.OP
.TRAN 0.01ps 700ps

*Measurements*

*Slew derate = 0.5
.measure tran TriseAUX trig V(Y) val='0.21' rise=3 targ V(Y) val='0.49' rise=3

.measure tran TfallAUX trig V(Y) val='0.49' fall=3 targ V(Y) val='0.21' fall=3

*tpLH
.measure tran tpLH trig V(A) val='0.35' fall=3 targ V(Y) val='0.35' rise=3

*tpHL

```

```

.measure tran tpHL trig V(A) val='0.35' rise=3 targ V(Y) val='0.35' fall=3

*Trise
.measure Trise PARAM ='TriseAUX*2'

*Tfall
.measure Tfall PARAM ='TfallAUX*2'

*AVERAGE POWER
.measure tran total\_power avg P(VVDD) from=0n to=700p
.option post
.END

```

Código 2: Código SPICE do Inversor com fan-out de 1

```

*Model file*
.include "7nm_TT.pm"

*DC Source*
VVDD      VDD      0 0.7
VVDD_CUT  VDD_CUT  0 0.7
VVSS      VSS      0 0

*Pulse Source*
VIN NA 0 PULSE(0 0.7 0 10ps 10ps 50p 120ps)

*Netlist*
.SUBCKT INV_X1 ground supply in out
MN0 out in ground ground nmos_rvt l=20n nfin=1
MP0 out in supply supply pmos_rvt l=20n nfin=1
.ENDS

X_INV_X1 VSS VDD      NA A  INV_X1
X_INV_X2 VSS VDD_CUT A  Y  INV_X1
X_INV_X3 VSS VDD      Y  Y1 INV_X1

*Analysis*
.OP
.TRAN 0.01ps 700ps

```



```

*Measurements*

*Slew derate = 0.5
.measure tran TriseAUX trig V(Y) val='0.21' rise=3 targ V(Y) val='0.49' rise=3

.measure tran TfallAUX trig V(Y) val='0.49' fall=3 targ V(Y) val='0.21' fall=3

*tpLH
.measure tran tpLH trig V(A) val='0.35' fall=3 targ V(Y) val='0.35' rise=3

*tpHL
.measure tran tpHL trig V(A) val='0.35' rise=3 targ V(Y) val='0.35' fall=3

*Trise
.measure Trise PARAM ='TriseAUX*2'

*Tfall
.measure Tfall PARAM ='TfallAUX*2'

*AVERAGE POWER
.measure tran total_power avg P(VVDD_CUT) from=0n to=700p
.option post
.END

```

Código 3: Código SPICE do Inversor com fan-out de 4

```

*Model file*
.include "7nm_TT.pm"

*DC Source*
VVDD      VDD      0 0.7
VVDD_CUT  VDD_CUT  0 0.7
VVSS      VSS      0 0

*Pulse Source*
VIN NA 0 PULSE(0 0.7 0 10ps 10ps 50p 120ps)

*Netlist*
.SUBCKT INV_X1 ground supply in out
MN0 out in ground ground nmos_rvt l=20n nfin=1

```

```

MP0 out in supply supply pmos_rvt l=20n nfin=1
.ENDS

X_INV_X1 VSS VDD      NA A  INV_X1
X_INV_X2 VSS VDD_CUT A  Y  INV_X1
X_INV_X3 VSS VDD      Y  Y1 INV_X1
X_INV_X4 VSS VDD      Y  Y2 INV_X1
X_INV_X5 VSS VDD      Y  Y3 INV_X1
X_INV_X6 VSS VDD      Y  Y4 INV_X1

*Analysis*
.OP
.TRAN 0.01ps 700ps

*Measurements*

*Slew derate = 0.5
.measure tran TriseAUX trig V(Y) val='0.21' rise=3 targ V(Y) val='0.49' rise=3

.measure tran TfallAUX trig V(Y) val='0.49' fall=3 targ V(Y) val='0.21' fall=3

*tpLH
.measure tran tpLH trig V(A) val='0.35' fall=3 targ V(Y) val='0.35' rise=3

*tpHL
.measure tran tpHL trig V(A) val='0.35' rise=3 targ V(Y) val='0.35' fall=3

*Trise
.measure Trise PARAM ='TriseAUX*2'

*Tfall
.measure Tfall PARAM ='TfallAUX*2'

*AVERAGE POWER
.measure tran total_power avg P(VVDD_CUT) from=0n to=700p
.option post
.END

```

Código 4: Código SPICE da NAND2 com fan-out de 10fF

```

***Model file***
.include "7nm_TT.pm"

***DC Source***
VVDD VDD 0 0.7
VVSS VSS 0 0
VA A 0 0.7

***Pulse Source***
VB B VSS PULSE(0 0.7 0 10p 10p 50p 120p)

***Netlist***
.SUBCKT NAND2_X1 A B VDD VSS Y
MM3 VSS B net16 VSS nmos_rvt l=20n nfin=4
MM2 net16 A Y VSS nmos_rvt l=20n nfin=4
MM1 Y B VDD VDD pmos_rvt l=20n nfin=4
MM0 Y A VDD VDD pmos_rvt l=20n nfin=4
.ENDS

Cload Y VSS 10f
XNAND2 A B VDD VSS Y NAND2_X1

***Analysis***
.OP
.TRAN 0.01ps 700ps

***Measurements***

*Slew derate = 0.5
.measure tran TriseAUX trig V(Y) val='0.21' rise=2 targ V(Y) val='0.49' rise=2
.measure tran TfallAUX trig V(Y) val='0.49' fall=2 targ V(Y) val='0.21' fall=2

*tpLH
.measure tran tpLH trig V(B) val='0.35' fall=2 targ V(Y) val='0.35' rise=2

*tpHL
.measure tran tpHL trig V(B) val='0.35' rise=2 targ V(Y) val='0.35' fall=2

```

```

*Trise
.measure Trise PARAM ='TriseAUX*2'

*Tfall
.measure Tfall PARAM ='TfallAUX*2'

*AVERAGE POWER
.measure tran total_power avg P(VVDD) from=0n to=700p

.option post

.END

```

Código 5: Código SPICE da NOR2 com fan-out de 10fF

```

***Model file***
.include "7nm_TT.pm"

***DC Source***
VVDD VDD 0 0.7
VVSS VSS 0 0
VA A 0 0

***Pulse Source***
VB B VSS PULSE(0 0.7 0 10p 10p 50p 120p)

***Netlist***
.SUBCKT NOR2_X1 A B VDD VSS Y
MM3 VDD B net16 VDD pmos_rvt l=20n nfin=4
MM2 net16 A Y VDD pmos_rvt l=20n nfin=4
MM1 Y B VSS VSS nmos_rvt l=20n nfin=4
MM0 Y A VSS VSS nmos_rvt l=20n nfin=4
.ENDS

Cload Y VSS 10f
XNOR2 A B VDD VSS Y NOR2_X1

***Analysis***

```

```
.OP
.TRAN 0.01p 700p

***Measurements***

*Slew derate = 0.5
.measure tran TriseAUX trig V(Y) val='0.21' rise=2 targ V(Y) val='0.49' rise=2

.measure tran TfallAUX trig V(Y) val='0.49' fall=2 targ V(Y) val='0.21' fall=2

*tpLH
.measure tran tpLH trig V(B) val='0.35' fall=2 targ V(Y) val='0.35' rise=2

*tpHL
.measure tran tpHL trig V(B) val='0.35' rise=2 targ V(Y) val='0.35' fall=2

*Trise
.measure Trise PARAM ='TriseAUX*2'

*Tfall
.measure Tfall PARAM ='TfallAUX*2'

*AVERAGE POWER
.measure tran total_power avg P(VVDD) from=0p to=700p

.option post

.END
```