

033

**AUMENTO DE PERFORMANCE DOS CIRCUITOS CMOS DE LÓGICA QUATERNÁRIA MODO-TENSÃO.** *Patricia Luyet Alegria, Ricardo Cunha Gonçalves da Silva, Luigi Carro, Henri Ivanov Boudinov (orient.) (UFRGS).*

O aumento de performance dos circuitos CMOS está cada vez mais difícil devido à diversas razões físicas e tecnológicas como o excessivo consumo de energia e a construção das interconexões. Atualmente, o interesse em circuitos que empregam mais de dois níveis discretos de sinal tem crescido, e o uso de lógica quaternária está sendo visto como uma potencial alternativa para a continuação da melhoria dos atuais circuitos CMOS. Mesmo assim, os atuais circuitos quaternários possuem desvantagens como a dissipação de energia estática. A proposta do trabalho é a melhoria dos atuais circuitos quaternários e a redução da dissipação da energia estática. Para isso será utilizada uma nova maneira de fazer lógica quaternária, usando transistores com diferentes tensões de limiar e 3 níveis de alimentação para realizar circuitos com alta performance e baixo consumo. O método utilizado foi a simulação de circuitos. Simularam-se os circuitos lógicos básicos inversor, NMIN e NMAX. O software empregado foi o Spice usando a tecnologia TSMC 0.18 $\mu$ m. Os circuitos simulados apresentaram uma maior rapidez e um menor consumo de energia quando comparado com os outros circuitos CMOS quaternários modo-tensão. O inversor quaternário apresentou melhorias em relação ao binário. Os circuitos NMIN e NMAX não possuem correspondente na lógica binária para se fazer comparações. Com essas simulações, chegou-se a um resultado que satisfaz os objetivos. O uso de uma nova lógica quaternária modo-tensão possibilita um aumento de performance dos circuitos CMOS de lógica quaternária modo-tensão e, igualmente, reduz a dissipação da energia estática.