

As tecnologias altamente microscópicas existentes hoje em dia permitem a integração de múltiplos componentes em um único chip, resultando na formação de um sistema completo - denominado sistema intra-chip ou SoC (System-On-Chip) - em uma mesma pastilha de silício. Para sistemas que necessitam um grande paralelismo, por exemplo, barramentos podem não prover a largura de banda, a latência e o consumo de potência desejados. Uma solução para tal gargalo de comunicação é o uso de uma rede embarcada, chamada rede intra-chip (Network-on-Chip – NoC). O grande número de interconexões aliado com a diminuição das dimensões do chip fazem a NoC ser propensa a um número crescente de falhas permanentes. Roteadores de NoCs são responsáveis por garantir a comunicação adequada entre os núcleos do chip, os buffers por armazenar os dados vindos dos canais e o crossbar por conectar a entrada com a saída. Entretanto, falhas permanentes podem afetar os serviços de roteamento, comprometendo a integridade da comunicação e toda a operação do sistema. Este trabalho propõe o uso simultâneo de Reconfiguração, Código de Hamming e TMR (Triple Modular Redundancy) para garantir tolerância a falhas permanentes nas FIFOs, crossbar e nos links de NoCs. A proposta do trabalho é desenvolver técnicas para criar um roteador tolerante a falhas permanentes. O roteador proposto será capaz de, dinamicamente, parar de utilizar buffers defeituosos. O Código de Hamming protegerá os dados nos links, enquanto TMR será usado para proteger o controle da FIFO. Para o crossbar será utilizado uma técnica de reconfiguração que isole a conexão falhada. O novo roteador tem como objetivo aumentar a confiabilidade, apresentar pouca latência e consumo de potência. Será realizada injeção de falhas para testar a cobertura a falhas transientes e também será calculada a cobertura a falhas permanentes.