

Esse trabalho refere-se à pesquisa e desenvolvimentos de um protótipo de sistema em chip para redes de sensores wireless como parte do projeto realizado pelo Instituto Nacional de Ciência e Tecnologia de Sistemas Micro e Nanoeletrônicos (NAMITEC). O projeto está sendo realizado no Laboratório de Processamento de Sinais e Imagens (LaPSI), onde está sendo desenvolvida uma arquitetura utilizada na integração de IPs (módulos de propriedade intelectual) entre um dispositivo FPGA (Field Programmable Gate Array) e um dispositivo de comunicação wireless, formando o nó sensor. O nó sensor utiliza para comunicação sem fio um elemento de um kit RF (da empresa Freescale) formando o protótipo de um sistema em chip que implementa uma interface de comunicação *wireless* contendo um processador central e outros módulos periféricos de comunicação. Dentro do FPGA, o dimensionamento do processador escolhido é fundamental para se obter o melhor projeto possível. O trabalho que vem sendo desenvolvido consiste de adequar o processador de código aberto Zet à placa de FPGA Virtex-II e, conseqüentemente, ao protótipo de sistema em chip. O processador Zet é um processador de arquitetura IA-32, x86, de 16-bits (se assemelhando a um 8086/80186), desenvolvido para utilização junto à placa Altera DE1. Devido à arquitetura utilizada, o Zet é um ótimo candidato para formar o núcleo central de processamento do sistemas em chip. Porém, é preciso que se domine completamente sua implementação e os periféricos necessários de acordo com o sistema desenvolvido, para que este processador possa ser utilizado em futuras aplicações. Atualmente, o processador e um módulo de comunicação serial estão implementados no FPGA e o trabalho está focado Ambiente de Desenvolvimento.