

Visando o projeto de processador com menor consumo e melhor desempenho para a área dos sistemas embarcados, é proposta em [1] uma arquitetura reconfigurável. Este trabalho disponibilizou uma ferramenta que modela, em um alto nível de abstração, o comportamento da AR. Desta forma as múltiplas variáveis são facilmente manuseadas, extraindo resultados de desempenho e de potência da arquitetura rapidamente.

A AR é formada por um núcleo MIPS R4000 associado a um tradutor binário que detecta blocos básicos e os mapeia para uma matriz de unidades funcionais. Os blocos básicos detectados são armazenados em uma cache de reconfigurações (CR) para futura utilização usando-se como índice o endereço de memória da primeira instrução do bloco. Ao passar novamente pelo endereço de instruções armazenado na cache de reconfigurações, o bloco básico é executado na matriz de unidades funcionais, provendo maior desempenho, menor consumo e mantendo compatibilidade de software.

Devido ao grande tempo de execução consumido por simulações em baixo nível, como VHDL, são necessárias ferramentas mais rápidas, admitindo-se, porém, uma certa perda de precisão. Para isso foi desenvolvido um simulador em C++ que trabalha em conjunto com o software de simulação SIMICS, um simulador com precisão de instrução. Com ele podem-se obter resultados de aceleração e potência.

Para tal, a arquitetura proposta foi estudada, e após isso, o simulador foi aprimorado. Foi utilizada uma máquina de estados para a detecção dos blocos básicos. A simulação da cache de configurações da arquitetura foi implementada usando-se a política LRU. Também foram desenvolvidos *scripts* para a automatização das simulações.

1. Beck, Antonio Carlos S., et al. **Transparent Reconfigurable Acceleration for Heterogeneous Embedded.**