

Avaliação de arquiteturas GPU para a implementação de tolerância a falhas via software em sistemas embarcados

Caroline Zingano de Aguiar e Luigi Carro

O rápido desenvolvimento dos transistores, tal como anunciado pela Lei de Moore, oferece uma acentuada redução do seu tamanho e da voltagem a ele aplicada. No entanto, há concomitantemente o aumento da taxa de falhas decorrentes de partículas de alta energia, o que pode ocasionar erros quando da utilização de processadores fabricados com esses transistores mesmo no nível do mar. Neste sentido, uma alternativa para oferecer tolerância a falhas é realizar a detecção e correção de erros em software: neste trabalho adotamos a técnica de Freivalds, um algoritmo que detecta e corrige erros a partir de multiplicações de matrizes e vetores. Contudo, como estas operações envolvem uma elevada quantidade de dados, estas técnicas se tornam onerosas para serem utilizadas nos sistemas embarcados atuais. Neste trabalho, propomos a utilização de Unidades de Processamento Gráfico (GPUs) como meio de implementação de técnicas de tolerância a falhas em software para sistemas embarcados. Dessa forma, para a execução de um algoritmo codificado de maneira algébrica em GPU, tem-se um desempenho extremamente superior ao apresentado por processadores comuns (CPU). Sendo a utilização de GPU muito vantajosa em relação a outros tipos de unidades de processamento, é possível que, no futuro, elas sejam utilizadas em sistemas embarcados. Nos experimentos realizados de injeção de falhas em software, onde para cada execução de cada algoritmo codificado com a linguagem CUDA um erro foi inserido, verificou-se que o algoritmo protegido executando em GPU foi 600% mais rápido que o mesmo algoritmo executando em CPU para matrizes quadradas de tamanho médio 128 X 128. Enquanto que, para matrizes quadradas de tamanho 8192 X 8192, esse algoritmo executando em GPU foi 260.000% mais rápido que o mesmo algoritmo executando em CPU. Desse modo, conclui-se que o uso de GPUs favorece o uso de técnicas para tolerância a falhas de hardware implementadas em software, pois verificou-se que o alto desempenho dessas arquiteturas amortiza o tempo de execução do algoritmo de proteção contra falhas.

Financiamento: FP7 – European Commission