

A distribuição de diferentes *clocks* em uma rede-em-chip é um grande desafio a ser tratado, já que mecanismos de sincronismo são necessários em sistemas em chip com multi-processadores (MPSoCs – Multi-Processors System-on-Chip). Devido ao número crescente de elementos de processamento que tem sido inserido em MPSoCs, é extremamente necessário que cada dispositivo permita a utilização de um determinado domínio de *clock*. Por essa razão, a questão de sincronismo de *clocks* torna-se uma etapa bem importante para o desenvolvimento do projeto. No entanto, este sincronismo de *clock* normalmente é feito a partir de interfaces comumente utilizadas em redes-em-chip (NoC – Network-on-Chip). A nossa proposta difere das demais uma vez que as interfaces de rede foram desenvolvidas para uma topologia de rede hierárquica chamada HiCIT (Hierarchical Crossbar-capable Interconnection Topology). Com o objetivo já determinado, foi feita uma pesquisa de métodos para melhor resolução do problema de sincronismo. Entre os métodos verificados na literatura, o que nos mostrou ser mais eficaz foi a proposta de um sincronizador que propõe a implementação de uma FIFO bi-síncrona para multi-domínios de *clock*. A arquitetura proposta é composta por cinco módulos: *Writer e Reader Pointer*, *Data Buffer*, *Full e Empty Detector*. O *Writer* e o *Reader Pointer* têm por objetivo apontar para a seguinte posição da FIFO ao qual irá escrever ou ler os dados. O *Data Buffer* é composto por uma FIFO onde são escritos ou lidos os dados da aplicação, o *Full e Empty Detector* como já diz o nome são responsáveis pela verificação da FIFO caso ela esteja cheia ou vazia. Tendo feita a implementação do nosso sincronizador e testada para diversos domínios de *clock*, passamos para a parte de integração do sincronizador com a arquitetura HiCIT. A rede hierárquica permite a formação de *clusters* conforme a localidade de comunicação da aplicação permitindo que se obtenha um ganho de desempenho e consumo de potência. A etapa final do trabalho trata-se da integração dos sincronizadores junto as interfaces de rede da arquitetura HiCIT.